

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

H8S/2600シリーズマイクロコンピュータは、H8/300 CPUおよびH8/300H CPUと上位互換のアーキテクチャを持つ高速H8S/2600 CPUを核に、産業用機器組込み用に最適な周辺機能を内蔵した日立オリジナル高性能16ビットマイクロコンピュータです。

1チップ上にCPU、RAM、DMAコントローラ、バスコントローラ、タイマ及びSCIを内蔵しており、小規模システムから大規模システムまで幅広いアプリケーションに適用できます。

H8S/2655アプリケーションノート(インタフェース編)は、H8S/2655と周辺LSIのインタフェース例を紹介しており、ユーザにてハードウェア設計の際、ご参考として役立てていただけるようにまとめたものです。

なお、本アプリケーションノートに掲載されているタスク例は動作確認しておりますが、
実際にご使用になる場合には、必ず動作確認の上ご使用くださいますようお願い致します。

目次

1. H8S/2655アプリケーションノート使用手引	1
1.1 インタフェース編構成	3
2. バス制御機能説明	5
2.1 バスコントローラ	7
2.1.1 バス幅コントロールレジスタ (ABWCR)	7
2.1.2 アクセスステートコントロールレジスタ (ASTCR)	7
2.1.3 ウェイトコントロールレジスタH、L (WCRH、WCRL)	8
2.1.4 バスコントロールレジスタH (BCRH)	9
2.1.5 バスコントロールレジスタL (BCRL)	10
2.1.6 メモリコントロールレジスタ (MCR)	11
2.1.7 DRAMコントロールレジスタ (DRAMCR)	12
2.1.8 リフレッシュタイムカウンタ (RTCNT)	13
2.1.9 リフレッシュタイムコンスタントレジスタ (RTCOR)	13
2.2 バスコントローラ設定例	14
3. インタフェース例	17
3.1 8ビットバスモードによるEPROM (HN27C101AG-10) インタフェース	19
3.2 16ビットバスモードによるEPROM (HN27C101AG-10) インタフェース	24
3.3 8ビットバスモードによるSRAM (HM678127UH-12) インタフェース	29
3.4 16ビットバスモードによるSRAM (HM678127UH-12) インタフェース	36
3.5 8ビットバスモードによるSRAM (HM628128B-8) インタフェース	43
3.6 16ビットバスモードによるSRAM (HM628128B-8) インタフェース	50
3.7 2CAS方式によるDRAM (HM514260C-7) インタフェース	57
3.8 2WE方式によるDRAM (HM514270C-7) インタフェース	68
3.9 2CAS方式によるDRAM (HM51S4800C-7) インタフェース	79
3.10 2WE方式によるDRAM (HM51S4800C-7) インタフェース	92
3.11 8ビットバスモードによるDRAM (HM51S4800C-7) インタフェース	104
3.12 2CAS方式によるEDO DRAM (HM51W16165J-6) インタフェース	117
3.13 16ビットバスモードによるPSRAM (HM658512A-10) インタフェース	124
3.14 16ビットバスモードによるバーストロム (HN27C4000G-15) インタフェース	134
3.15 16ビットバスモードによるフラッシュメモリ (HN29WB800T-12) インタフェース	140

第1章 目次

1.1 インタフェース編構成 3

1.1 インタフェース編構成

インタフェース編は、図 1.1 に示す構成で周辺 L S I (R O M、 R A M 等) とのインタフェース方法について説明しています。

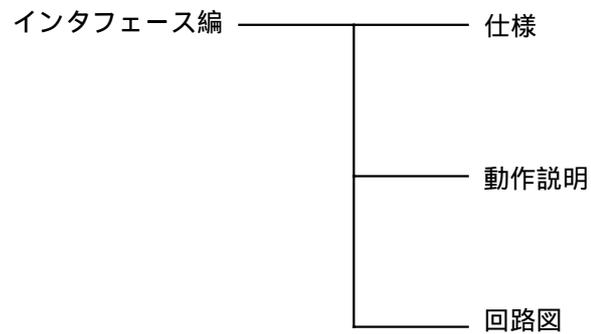


図 1.1 インタフェース編構成

(1) 仕様

接続する周辺 L S I 名およびメモリマップ等の回路仕様について説明しています。

(2) 動作説明

回路の動作をタイミングチャートを使用して説明しています。

(3) 回路図

周辺 L S I とインタフェースする回路図を示します。

2. バス制御機能説明

第2章 目次

2.1	バスコントローラ	7
2.1.1	バス幅コントロールレジスタ (ABWCR)	7
2.1.2	アクセスステートコントロールレジスタ (ASTCR)	7
2.1.3	ウェイトコントロールレジスタH、L (WCRH、WCRL)	8
2.1.4	バスコントロールレジスタH (BCRH)	9
2.1.5	バスコントロールレジスタL (BCRL)	10
2.1.6	メモリコントロールレジスタ (MCR)	11
2.1.7	DRAMコントロールレジスタ (DRAMCR)	12
2.1.8	リフレッシュタイムカウンタ (RTCNT)	13
2.1.9	リフレッシュタイムコンスタントレジスタ (RTCOR)	13
2.2	バスコントローラ設定例	14

2.1 バスコントローラ

H8S/2655ではモード端子の設定によりモード1～7の動作モードを決定します。各動作モードのアドレス空間はモード1～3（ノーマルモード）は64Kバイト、モード4～7（アドバンスモード）では、16Mバイトです。

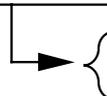
バスコントローラは、アドバンスモードの16Mバイトの空間を128Kバイトまたは2Mバイト単位で8分割して管理します。アドレスの低いほうより順にエリア0～エリア7としており、エリア毎にアクセスデータバス幅および、アクセスステート数を設定できます。また、低速の外部デバイスとのインタフェースを行う為にウェイトステートを自動挿入して、バスサイクルを伸ばすことも可能です。

アクセスデータバス幅、アクセスステート数およびウェイトステート等の設定は、バス幅コントロールレジスタ（ABWCR）およびアクセスステートコントロールレジスタ（ASTCR）等のバスコントローラ内のレジスタをソフトウェアにて設定することにより可能です。以下、各レジスタの機能を示します。

2.1.1 バス幅コントロールレジスタ（ABWCR）

各エリアを8ビットデータバスアクセス空間または、16ビットデータバスアクセス空間のどちらかに設定するための8ビットのリード/ライト可能なレジスタです。ビット0がエリア0に対応し、0～7ビットでエリア0～7の設定を行います。ビットの値を0に設定すると16ビットデータバスアクセス空間に、1に設定すると8ビットデータバスアクセス空間に設定されます。

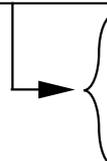
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード1～3、5～7 初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
モード4 初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W


 0・・・対応するエリアを16ビットアクセス空間に設定。
 1・・・対応するエリアを8ビットアクセス空間に設定。

2.1.2 アクセスステートコントロールレジスタ（ASTCR）

各エリアを2ステートアクセス空間または3ステートアクセス空間のどちらかに設定するための8ビットのリード/ライト可能なレジスタです。ビット0がエリア0に対応し、0～7ビットでエリア0～7の設定を行います。ビットの値を0に設定すると2ステートアクセス空間に、1に設定すると3ステートアクセス空間に設定されます。DRAM、PSRAMインタフェース時（BCRHのRMTS2～RMTS0で設定）は、基本アクセスステート数が4ステートとなるので、ASTCRでは対応するDRAM空間のウェイトステートの挿入の許可または禁止の選択を行います。

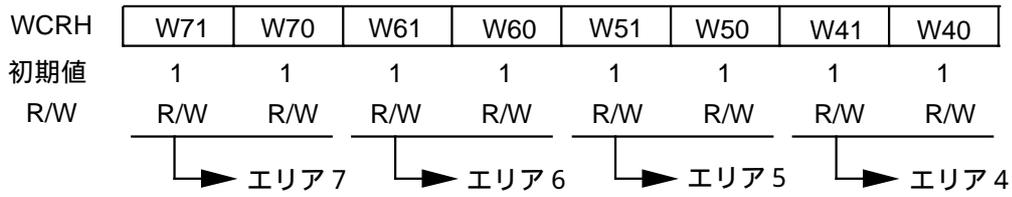
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W


 0・・・対応するエリアを2ステートアクセス空間に設定。
 （DRAM,PSRAM空間アクセスにウェイトステートの挿入を禁止）
 1・・・対応するエリアを3ステートアクセス空間に設定
 （DRAM,PSRAM空間アクセスにウェイトステートの挿入を許可）

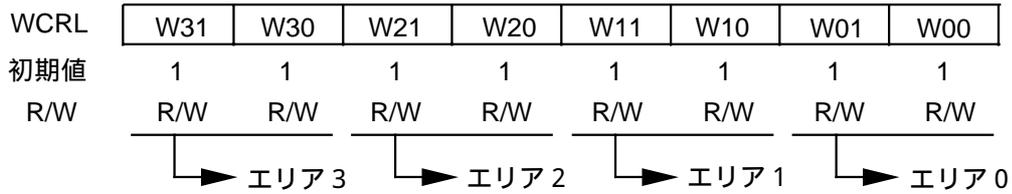
2.1.3 ウェイトコントロールレジスタH、L (WCRH、WCRL)

WCRH、WCRLは、各エリアのプログラムウェイトステート数を選択する為の8ビットのリード/ライト可能なレジスタです。2ビット単位で1つのエリアの設定を行います

(1) WCRH



(1) WCRL



Wn1	Wn0	説明
0	0	対応エリアの外部空間アクセス時、プログラムウェイトを挿入しない
	1	対応エリアの外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	対応エリアの外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	対応エリアの外部空間アクセス時、プログラムウェイトを3ステート挿入

2.1.4 バスコントロールレジスタH (BCRH)

BCRHは、アイドルサイクル挿入の許可または禁止、エリア0およびエリア2～5に接続するメモリの選択を行う8ビットのリード/ライト可能なレジスタです。

BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0
初期値	1	1	0	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RMTS2	RMTS1	RMTS0	エリア5	エリア4	エリア3	エリア2
0	0	0	通常空間			
		1	通常空間			DRAM空間
	1	0	通常空間		DRAM空間	
		1	DRAM空間			
1	0	0	通常空間			
		1	通常空間			PSRAM空間
	1	0	通常空間		PSRAM空間	
		1	PSRAM空間			

バーストROMインタフェース時のみ有効

BRSTS0	説明
0	バーストサイクルは1ステート。
1	バーストサイクルは2ステート。

バーストROMインタフェース時のみ有効

BRSTS1	説明
0	バーストアクセスは最大4ワード。
1	バーストアクセスは最大8ワード。

BRSTRM	説明
0	エリア0は基本バスインタフェース。
1	エリア0はバーストROMインタフェース。

ICIS0	説明
0	外部空間へのリードサイクルとライトサイクルが連続したときにアイドルサイクルを挿入しない。
1	外部空間へのリードサイクルとライトサイクルが連続したときにアイドルサイクルを挿入する。

ICIS1	説明
0	異なる外部空間エリアのリードサイクルが連続したとき、アイドルサイクルを挿入しない。
1	異なる外部空間エリアのリードサイクルが連続したとき、アイドルサイクルを挿入する。

2.1.5 バスコントロールレジスタ L (BCRL)

外部バス権の開放を許可または禁止、エリアの分割単位の選択、LCAS信号の選択、DMACシングルアドレス転送の選択、ライトデータバッファ機能の許可または禁止、WAIT端子入力の許可または禁止の選択を行う8ビットのリード/ライト可能なレジスタです。

BCRL	BRLE	BREQOE	EAE	LCASS	DDS	ASS	WDBE	WAITE
初期値	0	0	1	1	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WAITE	説明
0	WAIT端子によるウェイト入力を禁止。 (WAIT端子は入出力ポートとして使用可)
1	WAIT端子によるウェイト入力を許可。

WDBE	説明
0	ライトデータバッファ機能を使用しない。
1	ライトデータバッファ機能を使用する。

ASS	説明
0	エリアの分割単位は128kバイト。
1	エリアの分割単位は2Mバイト。

DDS	説明
0	DRAM/PSRAM空間に対してDMACシングルアドレス転送を行う場合、必ずフルアクセスを実行。
1	DRAM/PSRAM空間に対してDMACシングルアドレス転送を行う場合もバーストアクセス可能。

LCASS	説明
0	2CAS方式DRAMインタフェースのLCAS信号としてLCAS端子を使用。 (BREQO出力,WAIT入力は使用不可)
1	2CAS方式DRAMインタフェースのLCAS信号としてLWR端子を使用。 (RASダウンモードは使用不可)

EAE	説明
0	アドレスH'010000 ~ H'01FFFFは内蔵ROM。
1	アドレスH'010000 ~ H'01FFFFは外部アドレス空間(モード6)、または、リザーブ領域(モード7)。

BREQOE	説明
0	BREQO出力禁止。(BREQOは入出力ポートとして使用可)
1	BREQO出力許可。

BRLE	説明
0	外部バス権の開放を禁止。 (BREQ,BACK,BREQOは入出力ポートとして使用可)
1	外部バス権の開放を許可。

2.1.6 メモリコントロールレジスタ (MCR)

MCRは、エリア2～5をDRAMインタフェースに設定しているときには、DRAMに対するストロープ制御方法、プリチャージサイクル数、アクセスモード、アドレスマルチプレクスのシフト量及びリフレッシュ時に挿入するウェイトステート数の選択を行います。

エリア2～5をPSRAMインタフェースに設定しているときには、PSRAMに対するプリチャージサイクル数、アクセスモードを選択する8ビットのリード/ライト可能なレジスタです。

MCR	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DRAMインタフェース時のみ有効

RLW1	RLW0	説明 (CASピフォRASリフレッシュサイクル)
0	0	ウェイトステートを挿入しない。
	1	ウェイトステートを1ステート挿入する。
1	0	ウェイトステートを2ステート挿入する。
	1	ウェイトステートを3ステート挿入する。

DRAMインタフェース時のみ有効

MXC1	MXC0	シフト量	8ビットアクセス	16ビットアクセス
0	0	8ビットシフト	ロウアドレスはA ₂₃ ～A ₈	ロウアドレスはA ₂₃ ～A ₉
	1	9ビットシフト	ロウアドレスはA ₂₃ ～A ₉	ロウアドレスはA ₂₃ ～A ₁₀
1	0	10ビットシフト	ロウアドレスはA ₂₃ ～A ₁₀	ロウアドレスはA ₂₃ ～A ₁₁
	1	—	—	—

DRAMインタフェース時のみ有効

CW2	説明
0	CAS2本方式を選択。(CASH,CASL,WE信号が有効)
1	WE2本方式を選択。(CAS,UWE,LWE信号が有効)

DRAMインタフェース時のみ有効

RCDM	説明
0	RASアップモード。 (DRAMへのアクセスが途切れてもRAS信号をLowにしたまま、次のDRAMアクセスを待つ)
1	RASダウンモード。 (DRAMへのアクセスが途切れたらRAS信号をHighに戻す)

DRAM,PSRAMインタフェース時のみ有効

BE	説明
0	バーストアクセス禁止(常にフルアクセス)。
1	バーストアクセス許可。 (DRAM空間時は、高速ページモード) (PSRAM空間時は、スタティックカラムモード)

DRAM,PSRAMインタフェース時のみ有効

TPC	説明
0	プリチャージサイクルを1ステート挿入。
1	プリチャージサイクルを2ステート挿入。

2.1.7 DRAMコントロールレジスタ (DRAMCR)

DRAMCRは、DRAM、PSRAMのリフレッシュモード、リフレッシュカウンタのクロック選択及びリフレッシュタイムの制御を設定する8ビットのリード/ライト可能なレジスタです。

DRAMCR	RFSHE	RCW	RMODE	CMF	CMIE	CKS2	CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKS2	CKS1	CKS0	説明 (内部クロックからRTCNTに入力するクロックを選択)
0	0	0	カウント動作停止
		1	/2でカウント
	1	0	/8でカウント
		1	/32でカウント
1	0	0	/128でカウント
		1	/512でカウント
	1	0	/2048でカウント
		1	/4096でカウント

CMIE	説明
0	CMFフラグによる割込要求 (CMI) を禁止。
1	CMFフラグによる割込要求 (CMI) を許可。

CMF	説明
0クリア	CMF=1の状態、CMFフラグをリードした後、CMFフラグに0ライト可能。
1セット	RTCNT=RTCORになったときCMFフラグに1がセットされる。

RMODE	DRAMインタフェース	PSRAMインタフェース
0	CASビフォRASリフレッシュ	オートリフレッシュ
1	セルフリフレッシュ	

RCW	説明 (CASビフォRASリフレッシュ)
0	ウェイトステートの挿入を禁止。 (PSRAMインタフェースの場合は0に設定しておく)
1	ウェイトを1ステート挿入。

RFSHE	説明
0	リフレッシュ制御を行わない。
1	リフレッシュ制御を行う。

2.1.8 リフレッシュタイマカウンタ (RTCNT)

RTCNTは、DRAMCRのCKS2～CKS0ビットで選択された内部クロックにより、カウントアップする8ビットのリード/ライト可能なレジスタです。

リフレッシュ制御を行う(RFSHE=1)設定にしておき、RTCNT=RTCORになるとCMFフラグが1にセットされ、リフレッシュサイクルが起動されます。このとき、RTCNTは、H'00にクリアされます。

RTCNT								
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

2.1.9 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCORは、RTCNTとのコンペアマッチ周期を設定する8ビットのリード/ライト可能なレジスタです。

RTCOR								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

2.2 バスコントローラ設定例

本アプリケーションノートのインタフェース例のエリアマップを図1に示す様に、各エリアを設定するにはバスコントローラの各レジスタの設定をソフトウェアで行います。

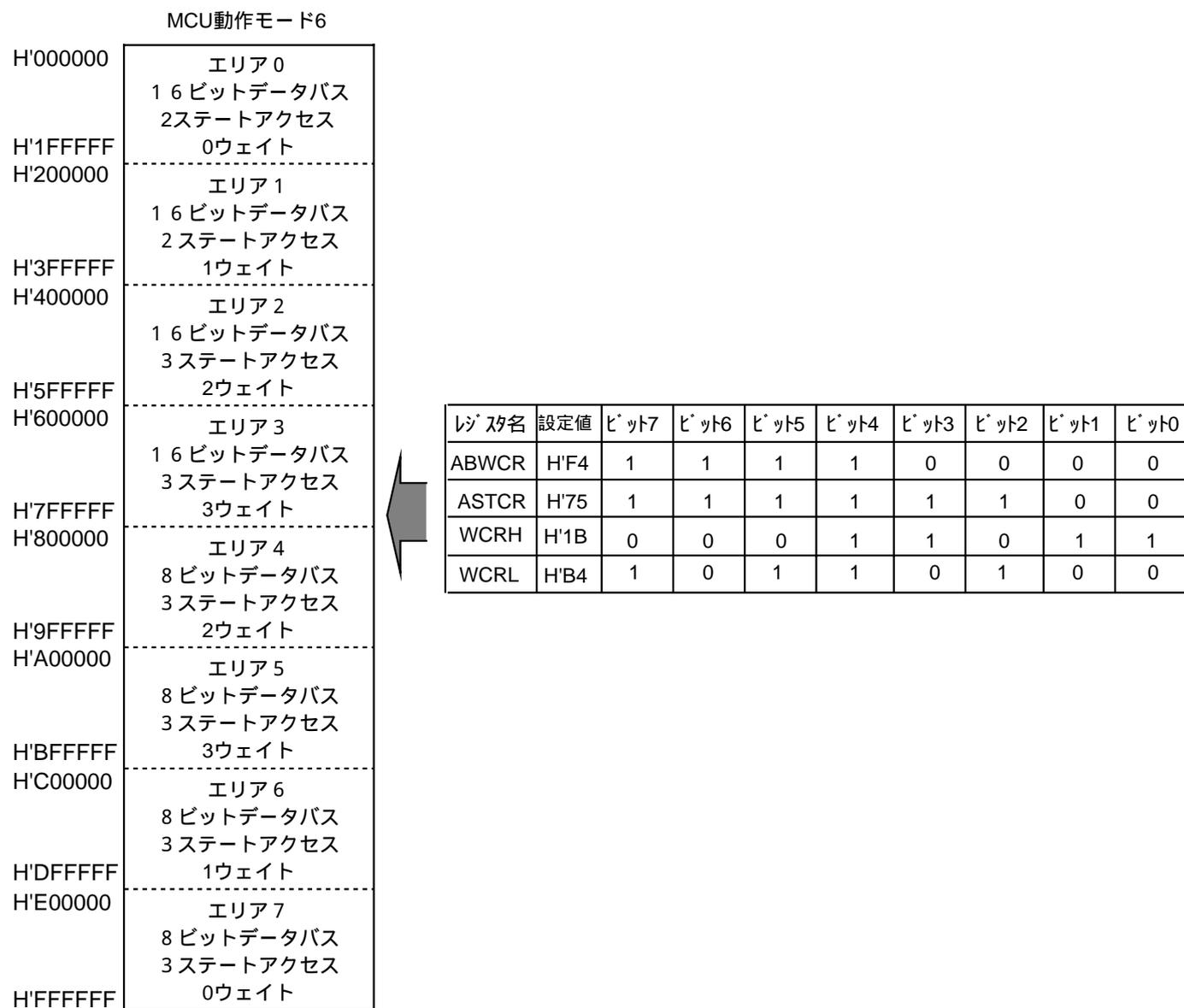
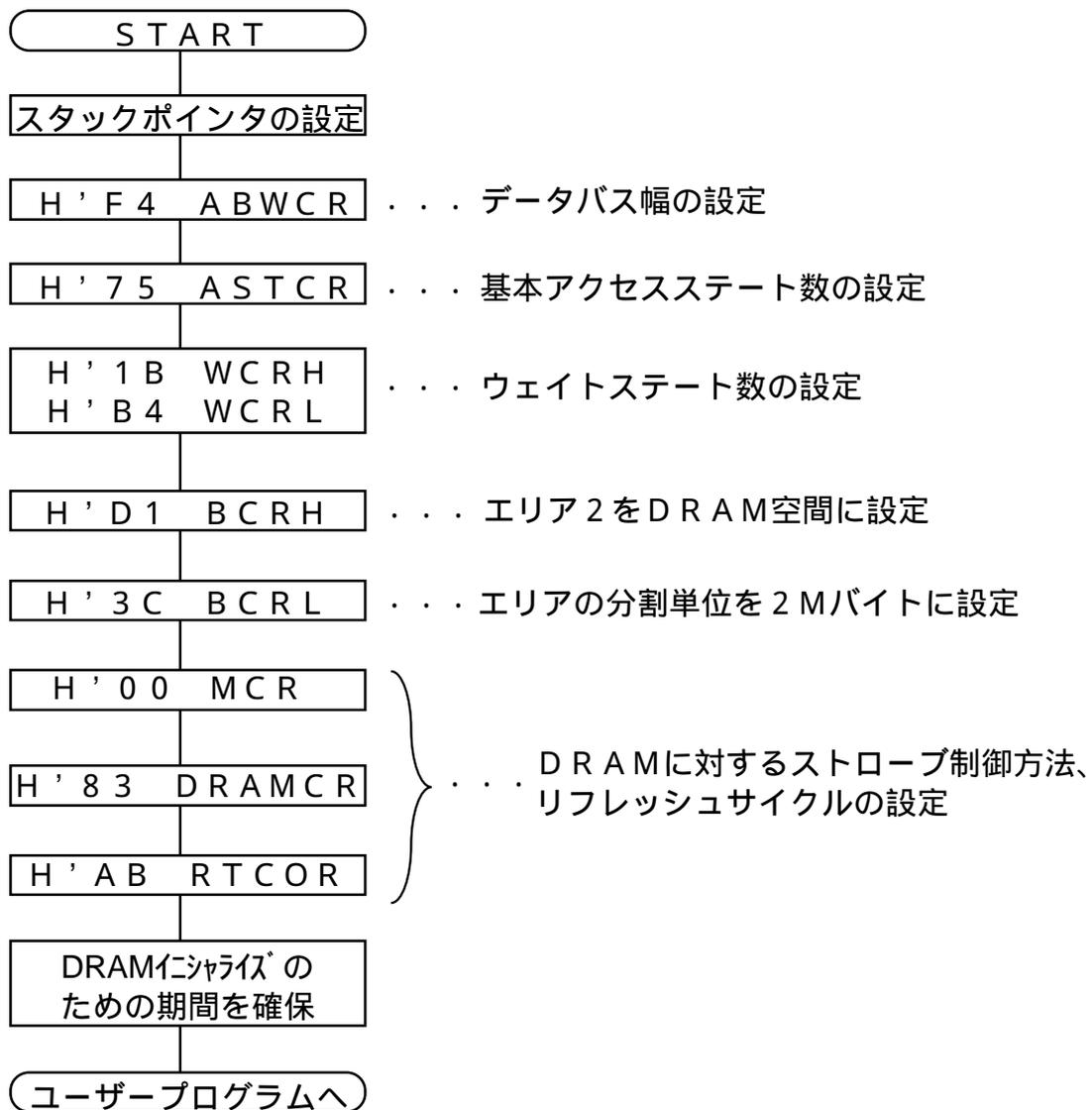


図2.2.1 エリアマップ

本アプリケーションノートのインタフェース例におけるエリアの設定のための各レジスタの設定例を示します。



* 特に設定する必要のないビットは初期値のままにしています。

図2.2.2 エリア設定のための各レジスタの設定例

3. インタフェース例

第3章 目次

3.1	8ビットバスモードによるE P R O M (H N 2 7 C 1 0 1 A G - 1 0) インタフェース	19
3.2	16ビットバスモードによるE P R O M (H N 2 7 C 1 0 1 A G - 1 0) インタフェース	24
3.3	8ビットバスモードによるS R A M (H M 6 7 8 1 2 7 U H - 1 2) インタフェース	29
3.4	16ビットバスモードによるS R A M (H M 6 7 8 1 2 7 U H - 1 2) インタフェース	36
3.5	8ビットバスモードによるS R A M (H M 6 2 8 1 2 8 B - 8) インタフェース	43
3.6	16ビットバスモードによるS R A M (H M 6 2 8 1 2 8 B - 8) インタフェース	50
3.7	2 C A S 方式によるD R A M (H M 5 1 4 2 6 0 C - 7) インタフェース	57
3.8	2 W E 方式によるD R A M (H M 5 1 4 2 7 0 C - 7) インタフェース	68
3.9	2 C A S 方式によるD R A M (H M 5 1 S 4 8 0 0 C - 7) インタフェース	79
3.10	2 W E 方式によるD R A M (H M 5 1 S 4 8 0 0 C - 7) インタフェース	92
3.11	8ビットバスモードによるD R A M (H M 5 1 S 4 8 0 0 C - 7) インタフェース	104
3.12	2 C A S 方式によるE D O D R A M (H M 5 1 W 1 6 1 6 5 J - 6) インタフェース	117
3.13	16ビットバスモードによるP S R A M (H M 6 5 8 5 1 2 A - 1 0) インタフェース	124
3.14	16ビットバスモードによるパーストR O M (H N 2 7 C 4 0 0 0 G - 1 5) インタフェース	134
3.15	16ビットバスモードによるフラッシュメモリ (H N 2 9 W B 8 0 0 T - 1 2) インタフェース	140

3.1 8ビットバスモードによるEPROM (HN27C101AG-10) インタフェース

EPROM(HN27C101AG-10)インタフェース	MCU	H8S/2655	使用機能	モード5 (8ビットバスモード)
-----------------------------	-----	----------	------	------------------

仕様

(1) 図3.1.1(a)にH8S/2655と×8ビット構成EPROM (HN27C101AG-10)の接続例を示します。H8S/2655はモード5の8ビットバスモードとし、EPROMをエリア0に割り当てます。

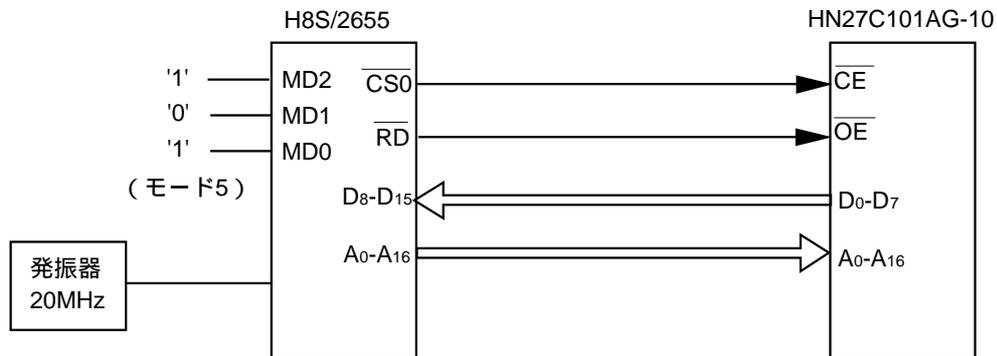


図3.1.1(a) H8S/2655とEPROMの接続例

(2) 図3.1.1(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、EPROM領域はH'000000~H'01FFFFになります。

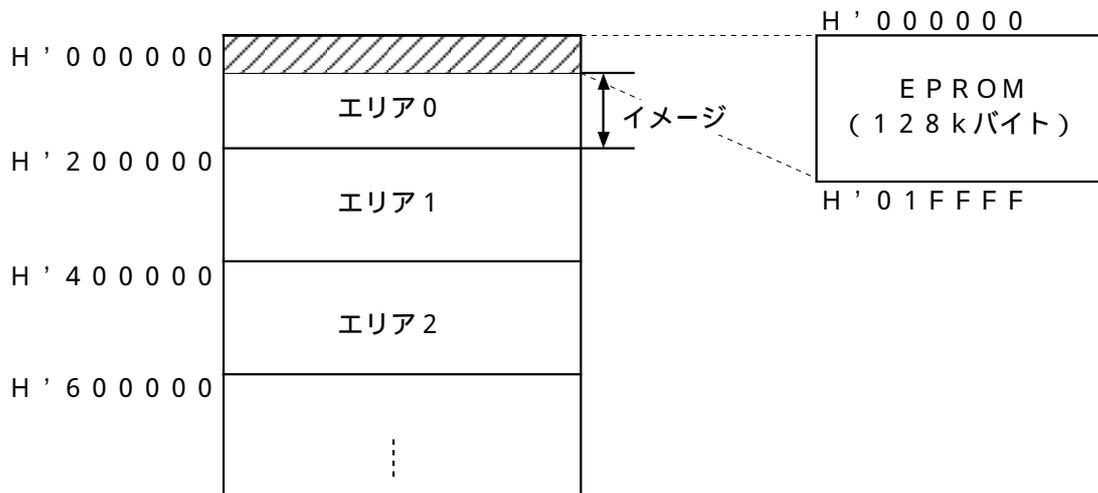


図3.1.1(b) メモリマップ

仕様

(3) 表3.1.1 (a) にバスコントローラの設定を示します。

表31.1.1.(a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
ﾊﾞｲｽ幅ｺﾝﾄﾚｰﾀﾞ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 *	ABW1 *	ABW0 1	ｲﾝﾀﾞｲｰｽ 8ﾋﾞｯﾄ
ｱｸｾｽﾀｲﾑｺﾝﾄﾚｰﾀﾞ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 *	AST0 1	ｲﾝﾀﾞｲｰｽ 3ｽﾀｰﾄｱﾌﾀｰ空間
傢ｲﾄｺﾝﾄﾚｰﾀﾞ	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
傢ｲﾄｺﾝﾄﾚｰﾀﾞ	WCRL	W31 *	W30 *	W21 *	W20 *	W11 *	W10 *	W01 0	W00 0	ｲﾝﾀﾞｲｰｽ 7 ｸﾞﾗﾌﾞ傢ｲﾄ挿入しない
ﾊﾞｲｽｺﾝﾄﾚｰﾀﾞ	BCRH	ICIS1 *	ICIS0 *	BRSTRM 0	BRSTS1 *	BRSTS0 *	RMTS2 *	RMTS1 *	RMTS0 *	ｲﾝﾀﾞｲｰｽ 基本ﾊﾞｲｽｲﾝﾀﾞｲｰｽ
ﾊﾞｲｽｺﾝﾄﾚｰﾀﾞ	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	ｲﾝﾀﾞｲｰｽ 分割単位: 2MIL (16MIL ｲﾄ)
傢ｲﾄｺﾝﾄﾚｰﾀﾞ	MCR	TPC *	BE *	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0 *	-
DRAMｺﾝﾄﾚｰﾀﾞ	DRAMCR	RFSHE *	RCW *	RMODE *	CMF *	CMIE *	CKS2 *	CKS1 *	CKS0 *	-
ﾘﾌﾚｯｼﾝｸﾞﾀｲﾑｺﾝﾄﾚｰﾀﾞ	RTCOR	*	*	*	*	*	*	*	*	-

* : don't care

動作説明

EPROMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のない t_{min} 値および t_{max} 値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器 20 MHz (=))
- ・ 規定のない t_{min} 値: 0 ns
- ・ 規定のない t_{max} 値: t_{min} 値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (2) AC特性」を参照して下さい。

(1) リード

図3.1.1(c)にEPROMリードタイミングチャートを示します。

以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) H8S/2655の t_{RDS}

(i) アドレスがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} の立ち上がり】

$$3t_{cyc} - t_{AD(max)} - t_{ACC(max)} = 30 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(ii) CSがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} の立ち上がり】

$$3t_{cyc} - t_{CSD1(max)} - t_{CE(max)} = 30 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(iii) RDがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} の立ち上がり】

$$2.5t_{cyc} - t_{RSD1(max)} - t_{OE(max)} = 45 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(b) H8S/2655の t_{RDH} (i) ホールド時間の計算【 T_{1-1} の立ち上がり】

$$t_{AD(min)} + t_{OH(min)} = 0 \text{ ns} - 0 \text{ ns} (t_{RDH})$$

動作説明

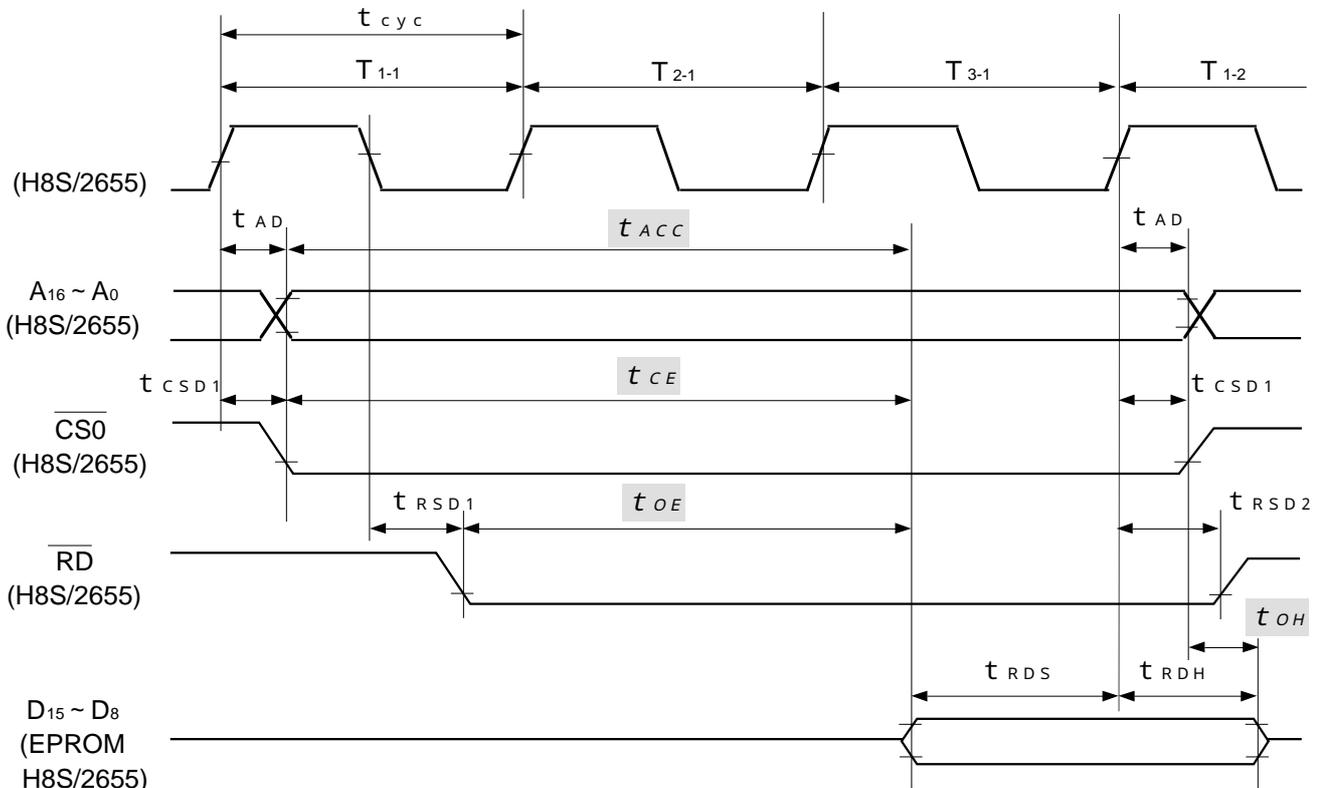
(2) AC特性

(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/RD遅延時間2	t_{RSD2}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns

(b) HN27C101AG-10

項目	記号	min	max	単位
アクセス時間	t_{ACC}	-	100	ns
/CEからの出力遅延時間	t_{CE}	-	100	ns
/OEからの出力遅延時間	t_{OE}	-	60	ns
データ出力ホールド時間	t_{OH}	0	-	ns



■ : EPROM (HN27C101AG-10) の AC 特性

図3.1.1 (c) EPROMリードタイミングチャート

3.2 16ビットバスモードによるEPROM (HN27C101AG-10) インタフェース

EPROM(HN27C101AG-10)インタフェース	MCU	H8S/2655	使用機能	モード4 (16ビットバスモード)
仕様				

(1) 図3.1.2(a)にH8S/2655とx8ビット構成EPROM (HN27C101AG-10)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、EPROMをエリア0に割り当てます。

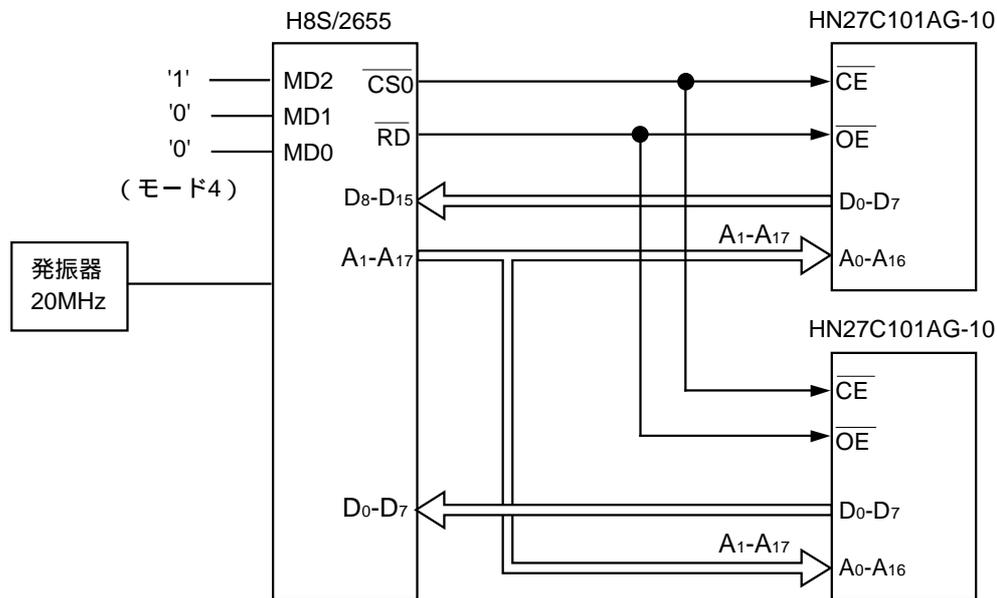


図3.1.2(a) H8S/2655とEPROMの接続例

(2) 図3.1.2(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、EPROM領域はH'00 0000 ~ H'03 FFFFになります。

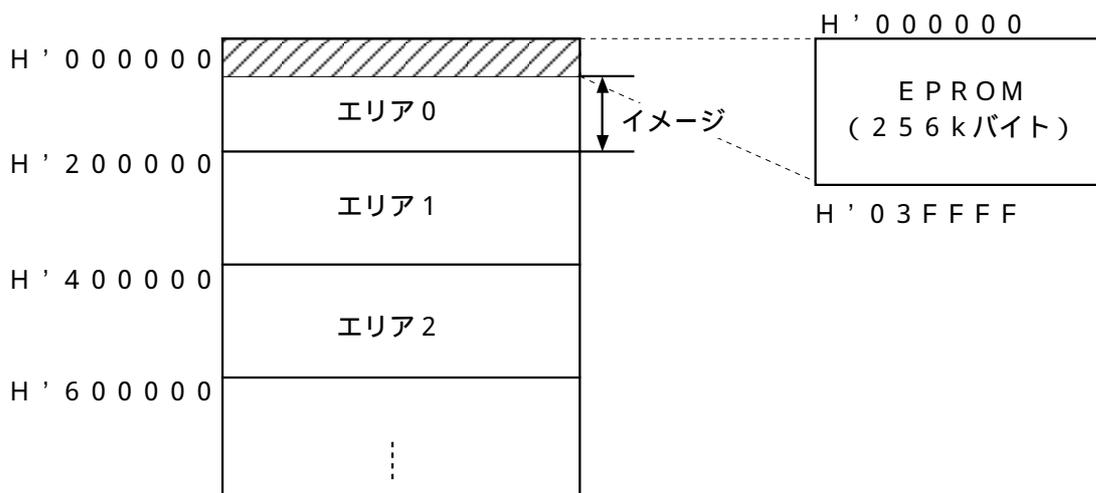


図3.1.2(b) メモリマップ

仕様

(3) 表3.1.2(a) にバスコントローラの設定を示します。

表3.1.2(a) バスコントローラの設定

* : don't care

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントローラ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 *	ABW1 *	ABW0	0 EJ70 : 16ビットアドレス空間
アドレスコントローラ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 *	AST0	1 EJ70 : 32ビットアドレス空間
ウェイトコントローラ	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40	-
ウェイトコントローラ	WCRL	W31 *	W30 *	W21 *	W20 *	W11 *	W10 *	W01	W00	EJ70 : プログラムウェアを挿入しない
バスコントローラ	BCRH	ICIS1 *	ICIS0 *	BRSTRM	BRSTS1 *	BRSTS0 *	RMTS2 *	RMTS1 *	RMTS0 *	EJ70 : 基本バスインタフェース
バスコントローラ	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS	WDBE	WAITE	EJ70の分割単位 : 2Mbit (16Mbit)
メモリコントローラ	MCR	TPC *	BE *	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0	-
DRAMコントローラ	DRAMCR	RFSHE *	RCW *	RMODE *	CMF *	CMIE *	CKS2 *	CKS1 *	CKS0 *	-
リフレッシュサイクルコントローラ	RTCOR	*	*	*	*	*	*	*	*	-

動作説明

EPROMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のないmin値およびmax値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器 20 MHz (=))
- ・ 規定のないmin値: 0 ns
- ・ 規定のないmax値: min値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (2) AC特性」を参照して下さい。

(1) リード

図3.1.2(c)にEPROMリードタイミングチャートを示します。

以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) H8S/2655の t_{RDS}

(i) アドレスがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} の立ち上がり】

$$3 t_{cyc} - t_{AD(max)} - t_{ACC(max)} = 30 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(ii) CSがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} の立ち上がり】

$$3 t_{cyc} - t_{CSD1(max)} - t_{CE(max)} = 30 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(iii) RDがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} の立ち上がり】

$$2.5 t_{cyc} - t_{RSD1(max)} - t_{OE(max)} = 45 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(b) H8S/2655の t_{RDH} (i) ホールド時間の計算【 T_{1-1} の立ち上がり】

$$t_{AD(min)} + t_{OH(min)} = 0 \text{ ns} - 0 \text{ ns} (t_{RDH})$$

動作説明

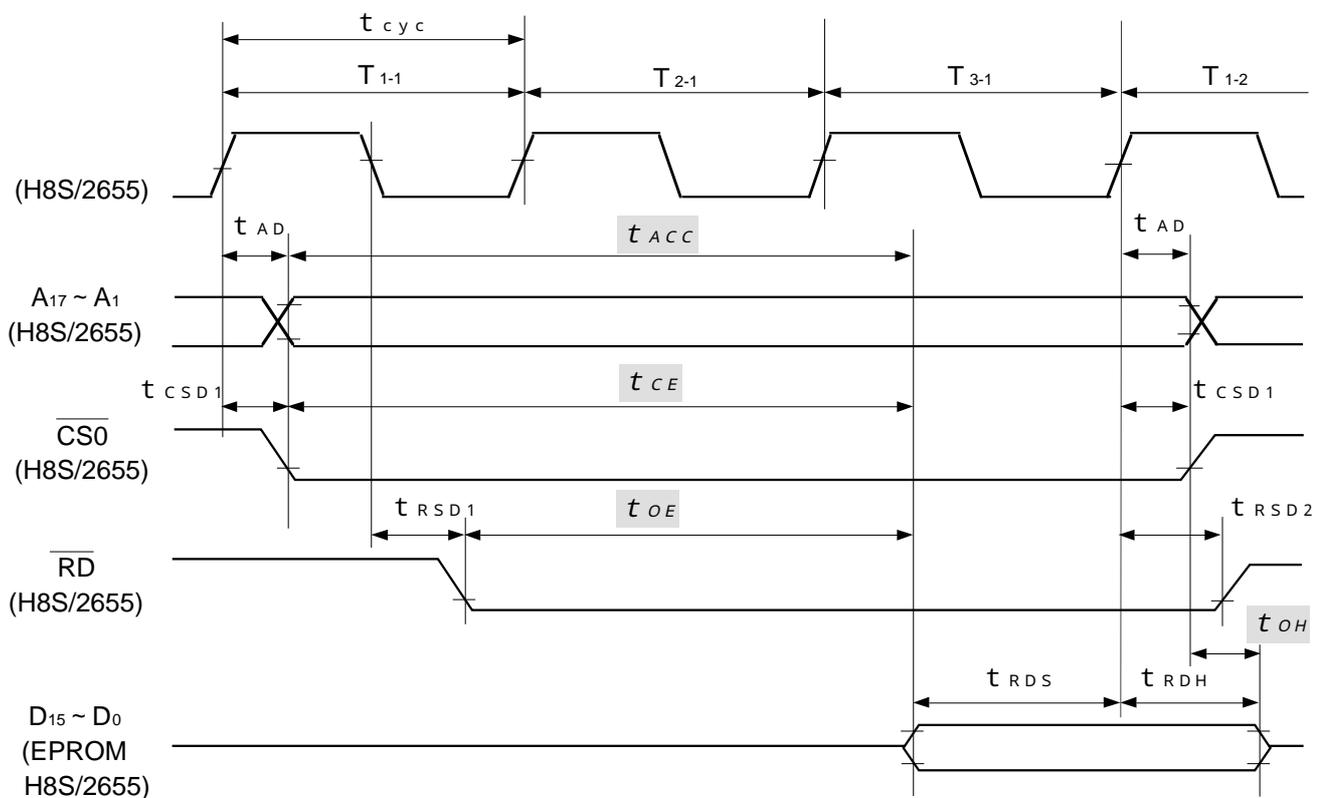
(2) AC特性

(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/RD遅延時間2	t_{RSD2}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns

(b) HN27C101AG-10

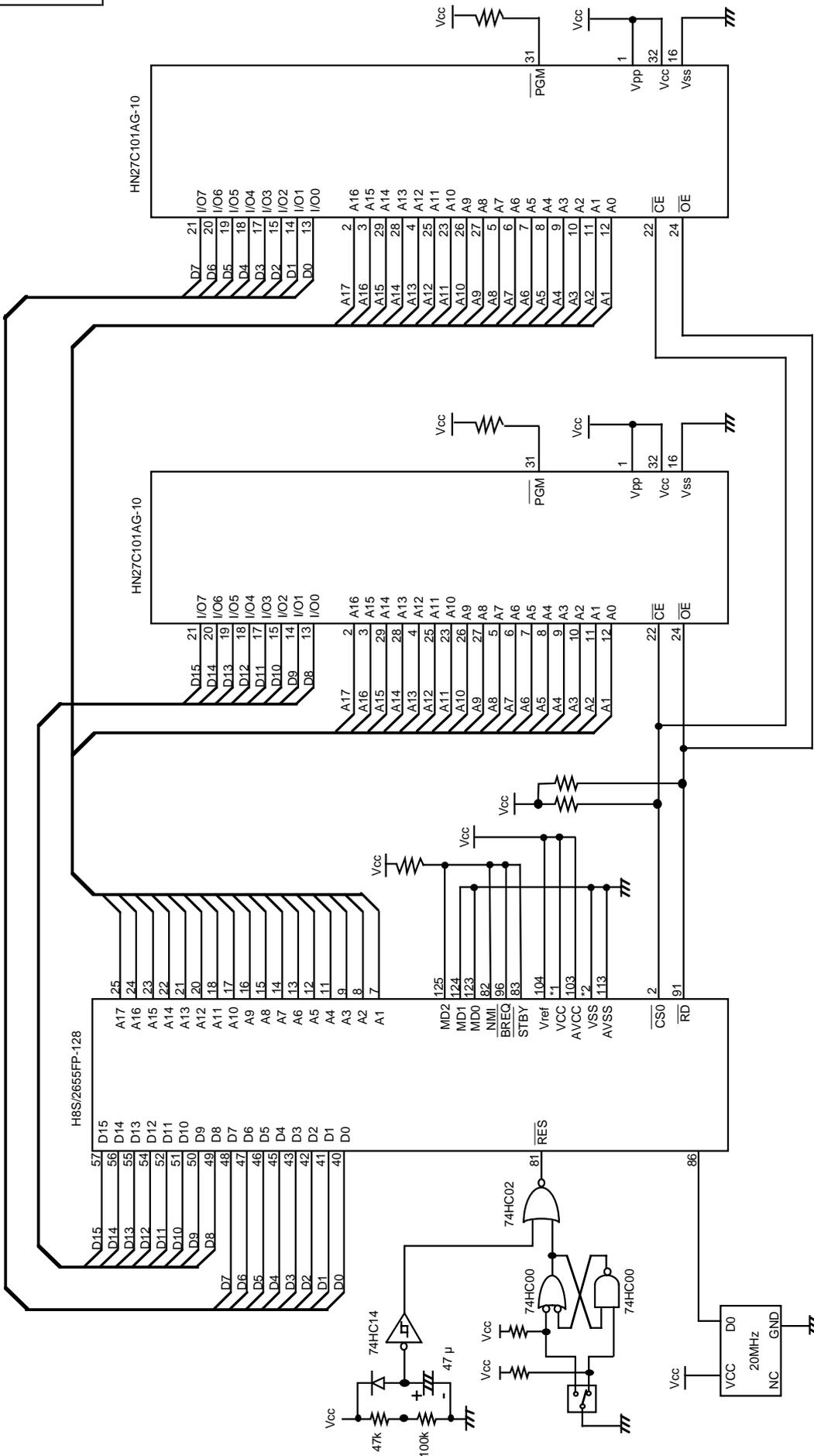
項目	記号	min	max	単位
アクセス時間	t_{ACC}	-	100	ns
/CEからの出力遅延時間	t_{CE}	-	100	ns
/OEからの出力遅延時間	t_{OE}	-	60	ns
データ出力ホールド時間	t_{OH}	0	-	ns



■ : EPROM (HN27C101AG-10) の AC 特性

図3.1.2 (c) EPROMリードタイミングチャート

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。

*2: Vssは、3, 10, 19, 28, 35, 36, 44, 53, 65, 67, 68, 87, 99, 100, 114全ピンを電源(0V)に接続する。

図3.1.2 (d) HN27C101AG-10インタフェース

3.3 8ビットバスモードによるSRAM(HM678127UH-12)インタフェース

SRAM(HM678127UH-12)インタフェース	MCU	H8S/2655	使用機能	モード5(8ビットバスモード)
----------------------------	-----	----------	------	-----------------

仕様

(1) 図3.2.1(a)にH8S/2655とx8ビット構成SRAM(HM678127UH-12)の接続例を示します。H8S/2655はモード5の8ビットバスモードとし、SRAMをエリア1に割り当てます。

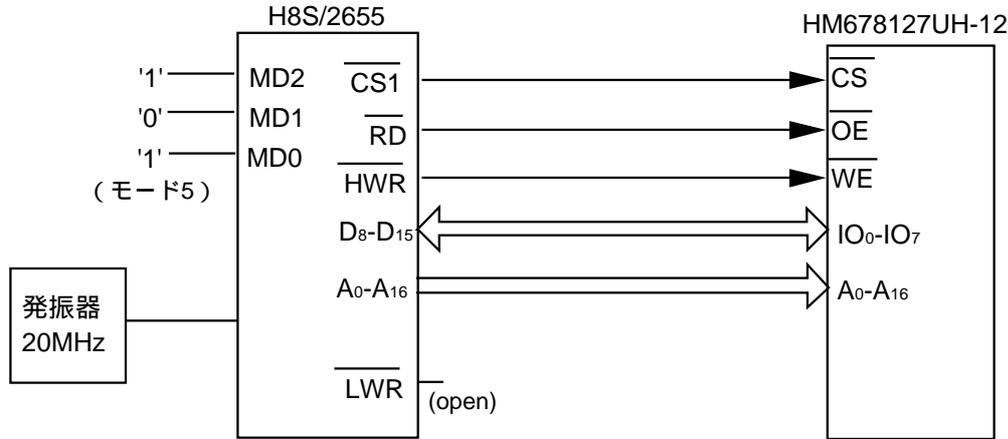


図3.2.1(a) H8S/2655とSRAMの接続例

(2) 図3.2.1(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、SRAM領域はH'20 0000~H'21 FFFFになります。

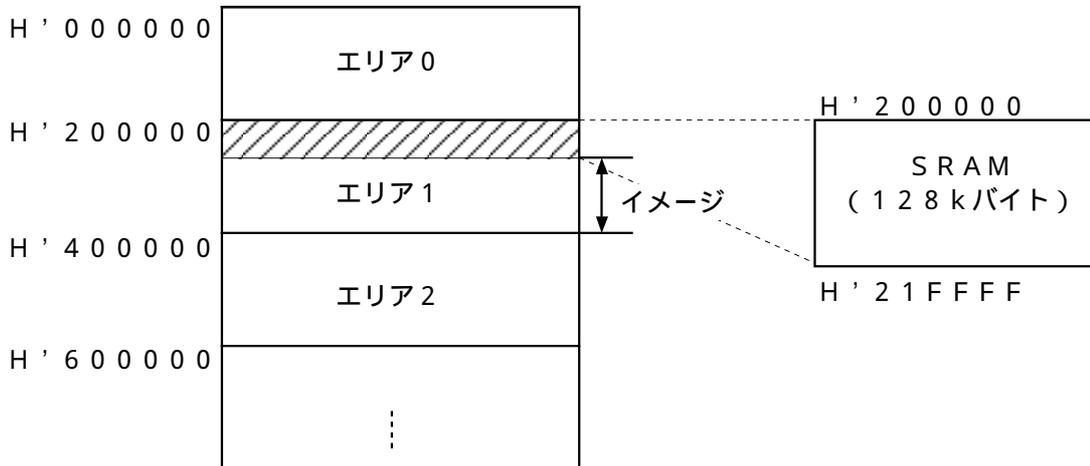


図3.2.1(b) メモリマップ

仕様

(3) 表3.2.1(a) にバスコントローラの設定を示します。

表3.2.1(a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
ﾊﾞｽ幅ｺﾝﾄﾚｰﾙｼﾞｽﾀ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 *	ABW1 1	ABW0 *	ｲﾝﾀﾞｰｽ : 8ﾋﾞｯﾄｸﾞﾗｲﾄﾞ空間
ｱｸｾｽﾀｲﾑ-ﾄﾞｲﾝﾄﾞﾚｰﾙｼﾞｽﾀ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 0	AST0 *	ｲﾝﾀﾞｰｽ : 2ｽﾏｰﾄﾞｸﾞﾗｲﾄﾞ空間
ｳｪｲﾄｺﾝﾄﾚｰﾙｼﾞｽﾀH	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ｳｪｲﾄｺﾝﾄﾚｰﾙｼﾞｽﾀL	WCRL	W31 *	W30 *	W21 *	W20 *	W11 0	W10 0	W01 *	W00 *	ｲﾝﾀﾞｰｽ : ｼﾞｳﾞｳﾞｸﾞﾗｲﾄﾞを挿入しない
ﾊﾞｽｺﾝﾄﾚｰﾙｼﾞｽﾀH	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2 *	RMTS1 *	RMTS0 *	-
ﾊﾞｽｺﾝﾄﾚｰﾙｼﾞｽﾀL	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	ｲﾝﾀﾞｰｽの分割単位 : 2Mﾊﾞｲﾄ (16Mﾊﾞｲﾄ)
ﾏｲｸﾞﾙｺﾝﾄﾚｰﾙｼﾞｽﾀ	MCR	TPC *	BE *	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0 *	-
DRAMｺﾝﾄﾚｰﾙｼﾞｽﾀ	DRAMCR	RFSHE *	RCW *	RMODE *	CMF *	CMIE *	CKS2 *	CKS1 *	CKS0 *	-
ﾘﾌﾚｯｼﾝｸﾞﾀｲﾑｲﾝﾎﾞﾝﾄﾞｼﾞｽﾀ	RTCOR	*	*	*	*	*	*	*	*	-

* : don't care

動作説明

SRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のないmin値およびmax値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器20 MHz (=))
- ・規定のないmin値: 0 ns
- ・規定のないmax値: min値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (2) AC特性」を参照して下さい。

(1) リード/ライト

図3.2.1(c)にSRAMリード/ライトタイミングチャートを示します。

以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
SRAM (HM678127UH-12)	入力データセット時間	t_{DW}
	入力データ保持時間	t_{DH}
	アドレスセットアップ時間	t_{AS}
	アドレス保持時間	t_{WR}
	ライトパルス幅	t_{WP}
	チップ選択時間	t_{CW}

(a) リード

(i) H8S/2655の t_{RDS}

(i-1) アドレスがクリティカルな場合

- ・セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - (t_{AD(max)} + t_{AA(max)}) = 68 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(i-2) CSがクリティカルな場合

- ・セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - (t_{CSD1(max)} + t_{ACS(max)}) = 68 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(i-3) RDがクリティカルな場合

- ・セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - (0.5t_{cyc} + t_{RSD1(max)} + t_{OE(max)}) = 49 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

(ii) H8S/2655の t_{RDH}

- ・ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{AD(min)} + t_{OH(min)} = 4 \text{ ns} - 0 \text{ ns} (t_{RDH})$$

動作説明

(b) ライト

(i) SRAMの t_{DW} および t_{DH}

- ・入力データセット時間の計算【 T_{1-1} サイクルの立ち下がり】

$$0.5t_{cyc} + 0.5t_{cyc} + t_{WRD2(min)} - t_{WDD(max)} = 20ns \quad 6ns (t_{DW})$$

- ・入力データ保持時間の計算

$$t_{WDH(min)} = 15ns \quad 0ns (t_{DH})$$

(ii) SRAMの t_{WP} および t_{CW}

- ・ライトパルス幅の計算

$$t_{WSW1(min)} = 30ns \quad 10ns (t_{WP})$$

- ・チップ選択時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - t_{CSD1(max)} + t_{CSD1(min)} = 80ns \quad 10ns (t_{CW})$$

(iii) SRAMの t_{AS} および t_{WR}

- ・アドレスセットアップ時間の計算

$$t_{ASC(min)} = 10ns \quad 0ns (t_{AS})$$

- ・アドレス保持時間の計算

$$t_{AH(min)} = 15ns \quad 0ns (t_{WR})$$

動作説明

(2) AC特性

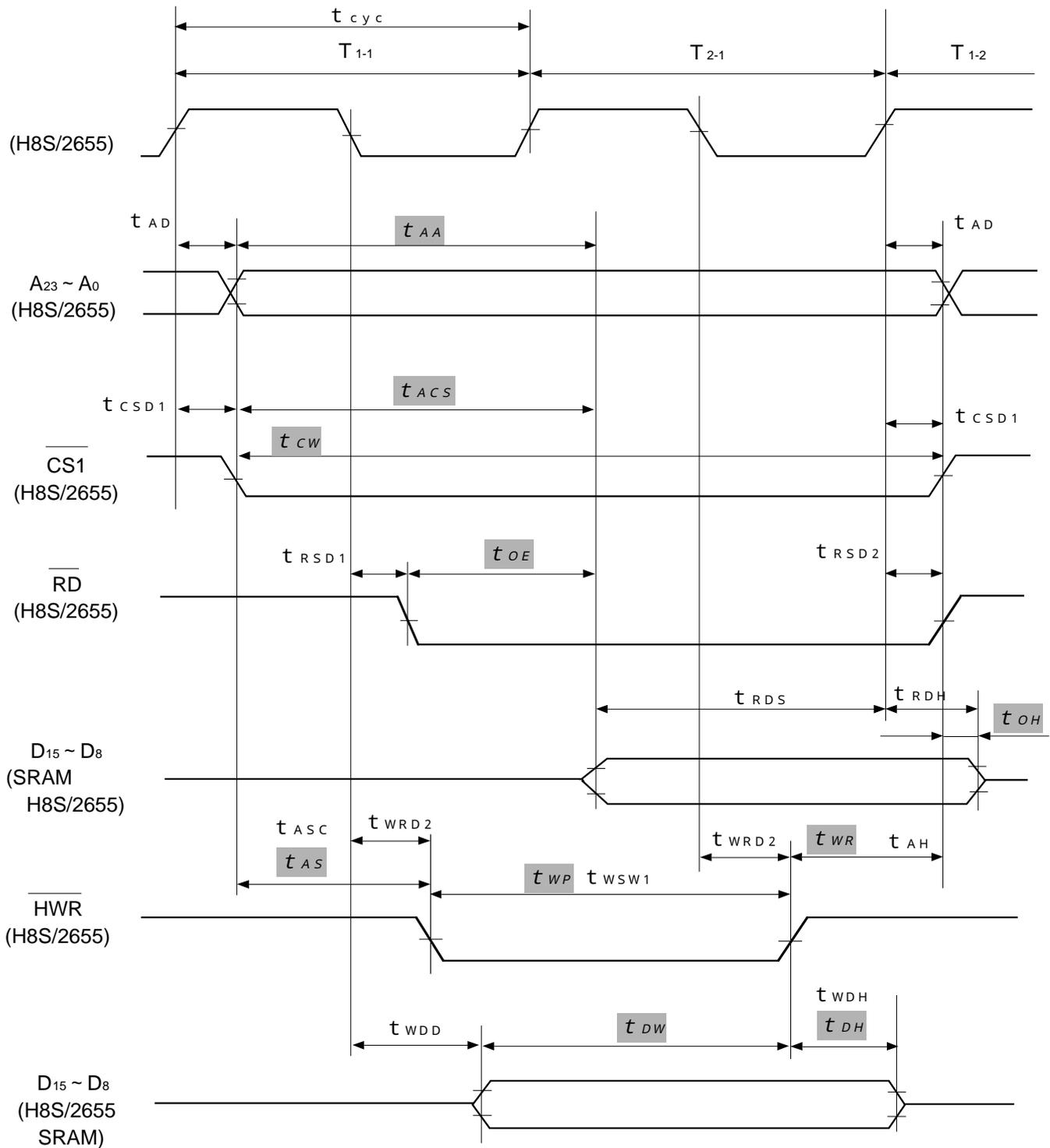
(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスセットアップ時間	t_{ASC}	$0.5 \times t_{cyc} - 15$	-	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/RD遅延時間2	t_{RSD2}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間2	t_{WRD2}	-	20	ns
/WRパルス幅1	t_{WSW1}	$1.0 \times t_{cyc} - 20$	-	ns
ライトデータ遅延時間	t_{WDD}	-	30	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns

(b) HM678127UH-12

項目	記号	min	max	単位
アドレスアクセス時間	t_{AA}	-	12	ns
チップセレクトアクセス時間	t_{ACS}	-	12	ns
出力イネーブルアクセス時間	t_{OE}	-	6	ns
出力保持時間	t_{OH}	4	-	ns
チップ選択時間	t_{CW}	10	-	ns
アドレスセットアップ時間	t_{AS}	0	-	ns
ライトパルス時間	t_{WP}	10	-	ns
アドレス保持時間	t_{WR}	0	-	ns
入力データセット時間	t_{DW}	6	-	ns
入力データ保持時間	t_{DH}	0	-	ns

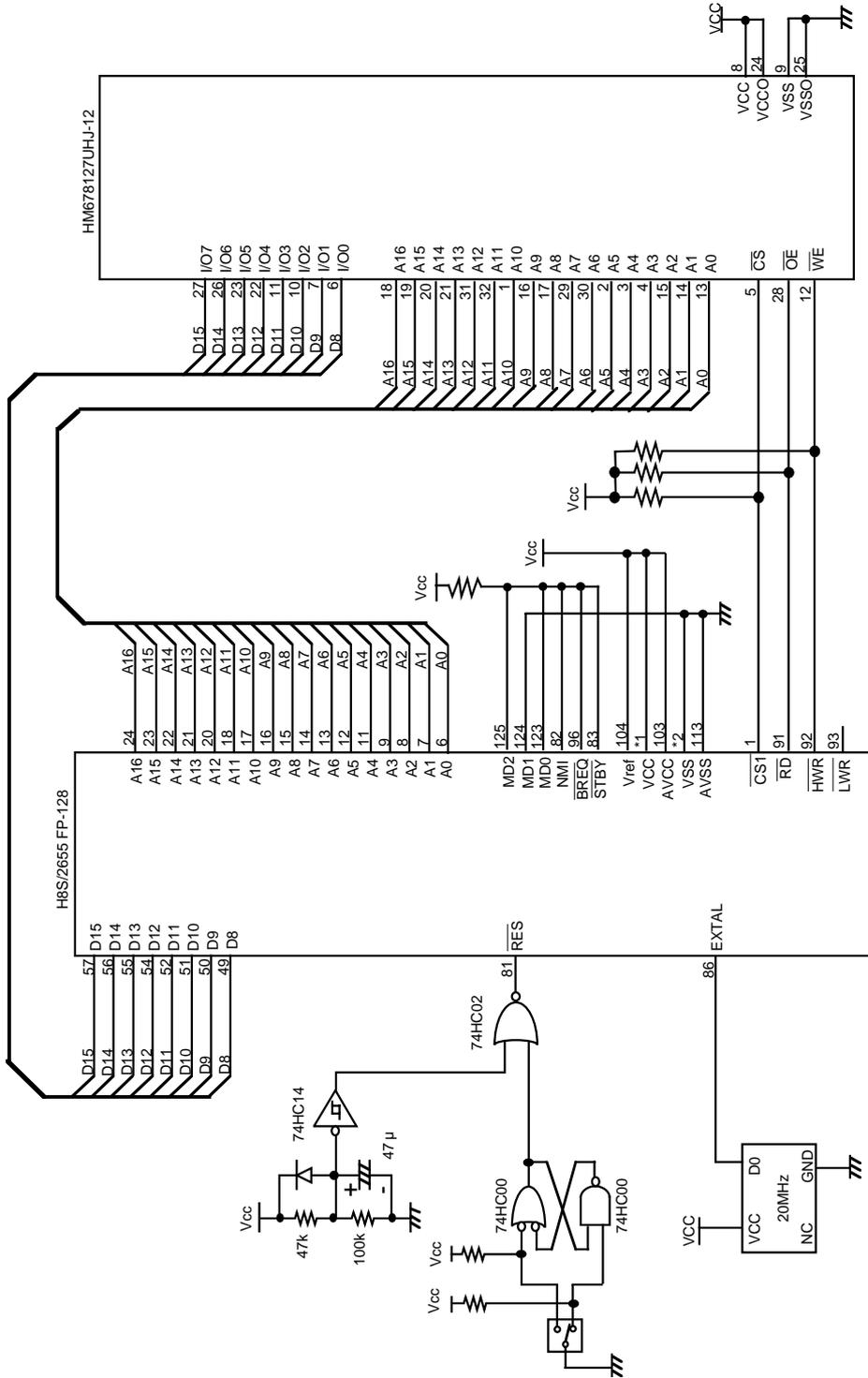
動作説明



■ : SRAM (HM678127UH-12) の A C 特性

図3.2.1 (c) SRAMリード/ライトタイミングチャート

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。
 *2: Vssは、3, 4, 10, 19, 28, 35, 36, 44, 53, 65, 67, 68, 87, 99, 100, 114の全ピンを電源(0V)に接続する。

図3.2.1 (d) HM678127UHJ-12インタフェース

3.4 16ビットバスモードによるSRAM(HM678127UH-12)インタフェース

SRAM(HM678127UH-12)インタフェース	MCU	H8S/2655	使用機能	モード4(16ビットバスモード)
----------------------------	-----	----------	------	------------------

仕様

(1) 図3.2.2(a)にH8S/2655と×8ビット構成SRAM(HM678127UH-12)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、DRAMをエリア1に割り当てます。

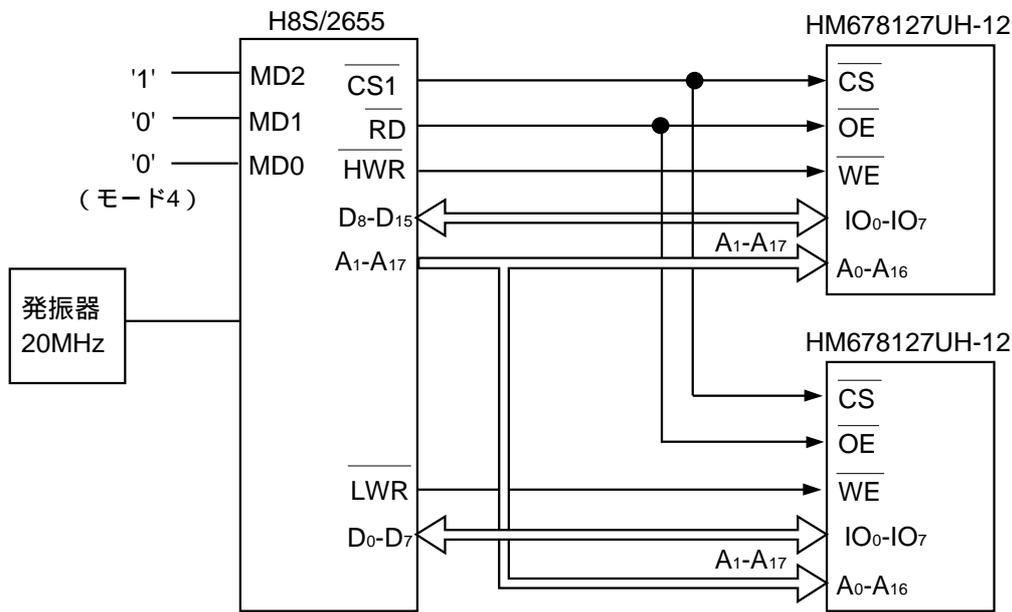


図3.2.2(a) H8S/2655とSRAMの接続例

(2) 図3.2.1(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、SRAM領域はH'20 0000~H'23 FFFFになります。

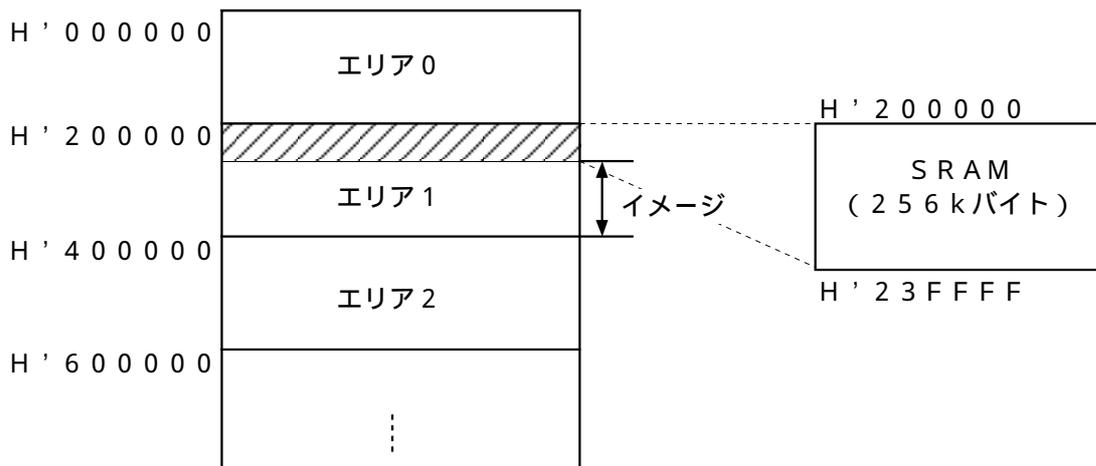


図3.2.2(b) メモリマップ

仕様

(3) 表3.2.2(a) にバスコントローラの設定を示します。

表3.2.2(a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントローラレジスタ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 *	ABW1 0	ABW0 *	エリア1: 16ビットアドレス空間
アドレスデコードコントローラレジスタ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 0	AST0 *	エリア1: 2行-アドレス空間
ウェイトコントローラレジスタH	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ウェイトコントローラレジスタL	WCRL	W31 *	W30 *	W21 *	W20 *	W11 0	W10 0	W01 *	W00 *	エリア1: 7*ロウアドレスを挿入しない
バスコントローラレジスタH	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2 *	RMTS1 *	RMTS0 *	-
バスコントローラレジスタL	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	エリアの分割単位: 2Mバイト (16Mバイト)
メモリコントローラレジスタ	MCR	TPC *	BE *	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0 *	-
DRAMコントローラレジスタ	DRAMCR	RFSHE *	RCW *	RMODE *	CMF *	CMIE *	CKS2 *	CKS1 *	CKS0 *	-
リフレッシュタイムアウトレジスタ	RTCOR	*	*	*	*	*	*	*	*	-

*: don't care

動作説明

SRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のない t_{min} 値および t_{max} 値は以下の通りとします。

- ・ t_{cyc} : 50ns(発振器20MHz(=))
- ・規定のない t_{min} 値: 0ns
- ・規定のない t_{max} 値: t_{min} 値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (2) AC特性」を参照して下さい。

(1) リード/ライト

図3.2.2(c)にSRAMリード/ライトタイミングチャートを示します。

以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
SRAM (HM678127UH-12)	入力データセット時間	t_{DW}
	入力データ保持時間	t_{DH}
	アドレスセットアップ時間	t_{AS}
	アドレス保持時間	t_{WR}
	ライトパルス幅	t_{WP}
	チップ選択時間	t_{CW}

(a) リード

(i) H8S/2655の t_{RDS} 、 t_{RDH} の確認をします。

(i-1) アドレスがクリティカルな場合

・セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - (t_{AD(max)} + t_{AA(max)}) = 68\text{ns} - 15\text{ns} (t_{RDS})$$

(i-2) CSがクリティカルな場合

・セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - (t_{CSD1(max)} + t_{ACS(max)}) = 68\text{ns} - 15\text{ns} (t_{RDS})$$

(i-3) RDがクリティカルな場合

・セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - (0.5t_{cyc} + t_{RSD1(max)} + t_{OE(max)}) = 49\text{ns} - 15\text{ns} (t_{RDS})$$

(ii) H8S/2655 t_{RDH}

・ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{AD(min)} + t_{OH(min)} = 4\text{ns} - 0\text{ns} (t_{RDH})$$

動作説明

(b) ライト

(i) SRAMの t_{DW} および t_{DH}

- ・入力データセット時間の計算【 T_{1-1} サイクルの立ち下がり】

$$0.5t_{cyc} + 0.5t_{cyc} + t_{WRD2(min)} - t_{WDD(max)} = 20\text{ ns} \quad 6\text{ ns} (t_{DW})$$

- ・入力データ保持時間の計算

$$t_{WDH(min)} = 15\text{ ns} \quad 0\text{ ns} (t_{DH})$$

(ii) SRAMの t_{WP} および t_{CW}

- ・ライトパルス幅の計算

$$t_{WSW1(min)} = 30\text{ ns} \quad 10\text{ ns} (t_{WP})$$

- ・チップ選択時間の計算【 T_{1-1} サイクルの立ち上がり】

$$2t_{cyc} - t_{CSD1(max)} + t_{CSD1(min)} = 80\text{ ns} \quad 10\text{ ns} (t_{CW})$$

(iii) SRAMの t_{AS} および t_{WR}

- ・アドレスセットアップ時間の計算

$$t_{ASC(min)} = 10\text{ ns} \quad 0\text{ ns} (t_{AS})$$

- ・アドレス保持時間の計算

$$t_{AH(min)} = 15\text{ ns} \quad 0\text{ ns} (t_{WR})$$

動作説明

(2) AC特性

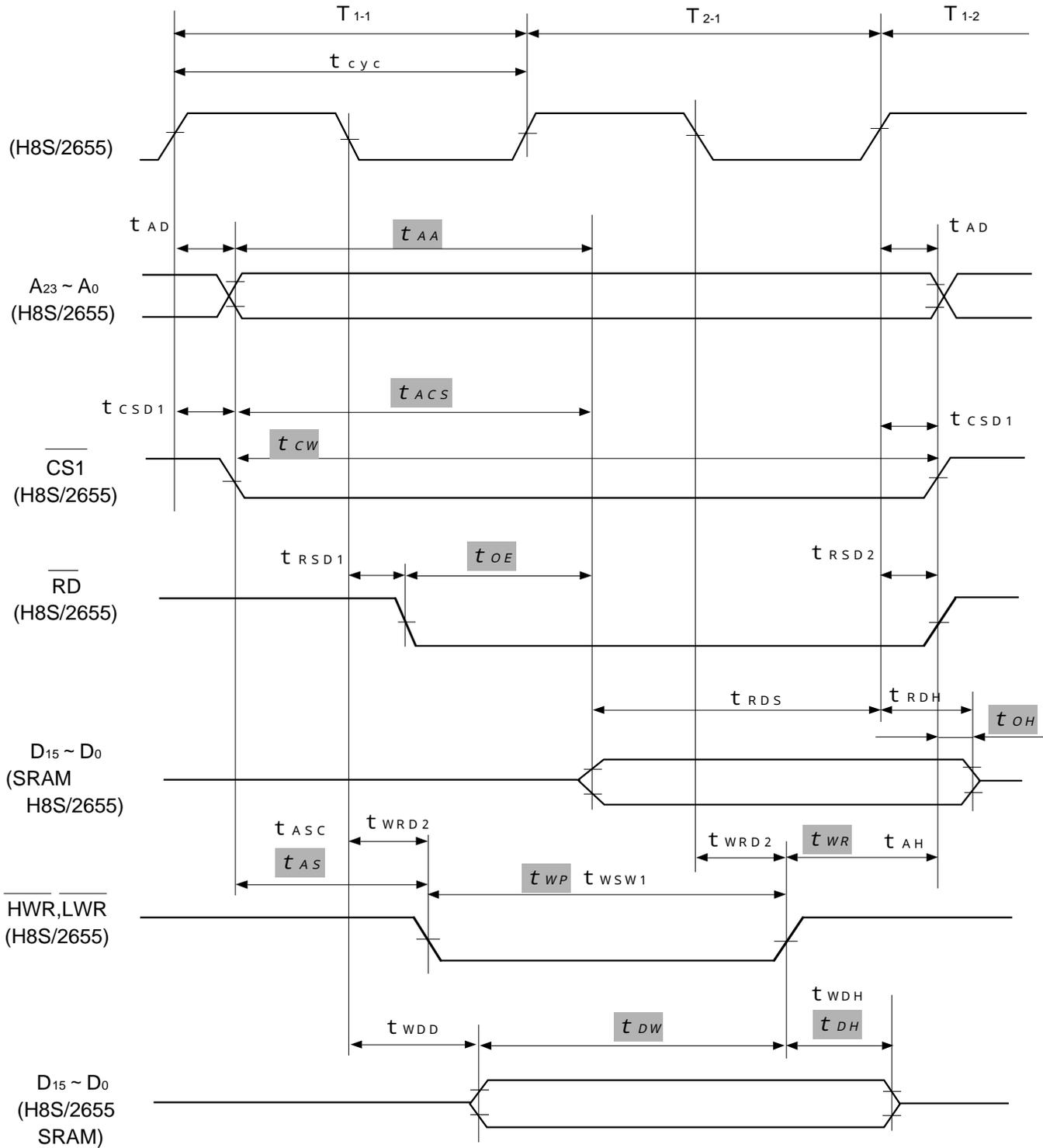
(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスセットアップ時間	t_{ASC}	$0.5 \times t_{cyc} - 15$	-	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/RD遅延時間2	t_{RSD2}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間2	t_{WRD2}	-	20	ns
/WRパルス幅1	t_{WSW1}	$1.0 \times t_{cyc} - 20$	-	ns
ライトデータ遅延時間	t_{WDD}	-	30	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns

(b) HM678127UH-12

項目	記号	min	max	単位
アドレスアクセス時間	t_{AA}	-	12	ns
チップセレクトアクセス時間	t_{ACS}	-	12	ns
出力イネーブルアクセス時間	t_{OE}	-	6	ns
出力保持時間	t_{OH}	4	-	ns
チップ選択時間	t_{CW}	10	-	ns
アドレスセットアップ時間	t_{AS}	0	-	ns
ライトパルス時間	t_{WP}	10	-	ns
アドレス保持時間	t_{WR}	0	-	ns
入力データセット時間	t_{DW}	6	-	ns
入力データ保持時間	t_{DH}	0	-	ns

動作説明



■ : SRAM (HM678127UH-12) の AC 特性

図3.2.2(c) SRAMリード/ライトタイミングチャート

3.5 8ビットバスモードによるSRAM (HM628128B-8) インタフェース

SRAM(HM628128B-8)インタフェース	M C U	H 8 S / 2 6 5 5	使用機能	モード5 (8ビットバスモード)
--------------------------	-------	-----------------	------	------------------

仕様

(1) 図3.2.3(a)にH8S/2655と×8ビット構成SRAM(HM628128B-8)の接続例を示します。H8S/2655はモード5の8ビットバスモードとし、SRAMをエリア1に割り当てます。

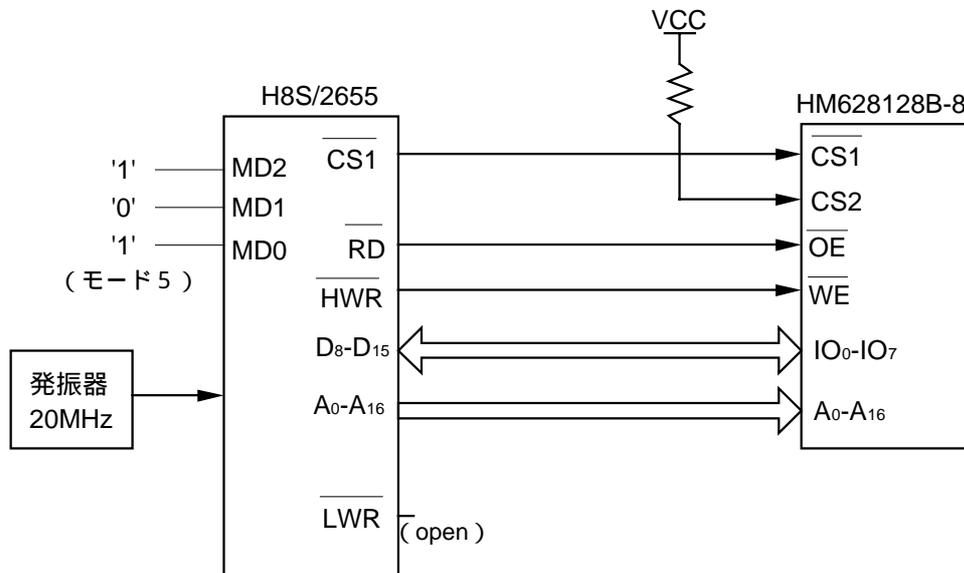


図3.2.3(a) H8S/2655とSRAMの接続例

(2) 図3.2.3(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、SRAM領域はH'200000~H'21FFFFになります。

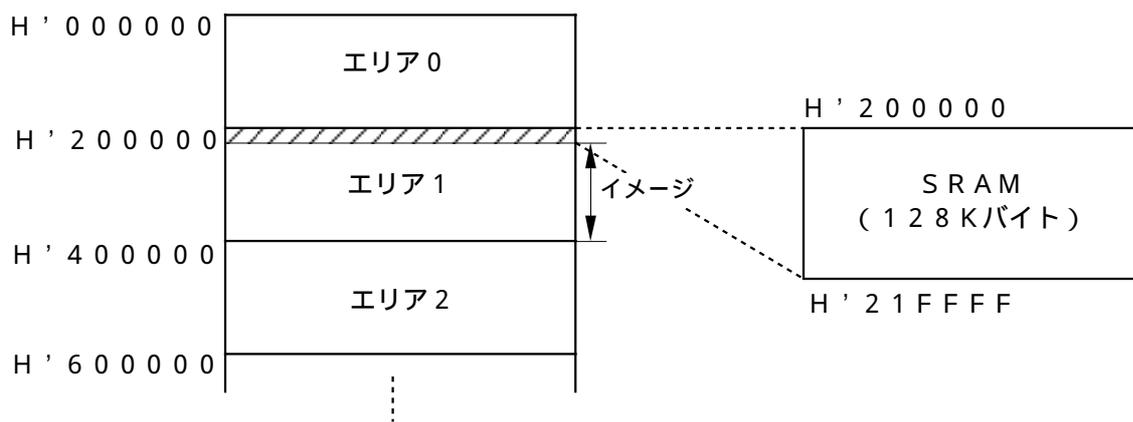


図3.2.3(b) メモリマップ

仕様

(3) 表3.2.3 (a) にバスコントローラの設定を示します。

表3.2.3 (a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントローラレジスタ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 *	ABW1 1	ABW0 *	エリア1 : 8ビットアドレス空間
アドレスバスコントローラレジスタ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 1	AST0 *	エリア1 : 32ビットアドレス空間
データバスコントローラレジスタH	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
データバスコントローラレジスタL	WCRL	W31 *	W30 *	W21 *	W20 *	W11 0	W10 0	W01 *	W00 *	エリア1 : プログラムメモリーを挿入しない
バスコントローラレジスタH	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2 *	RMTS1 *	RMTS0 *	-
バスコントローラレジスタL	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	エリアの分割単位 : 2Mバイト (16Mバイト)
メモリコントローラレジスタ	MCR	TPC *	BE *	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0 *	-
DRAMコントローラレジスタ	DRAMCR	RFSHE *	RCW *	RMODE *	CMF *	CMIE *	CKS2 *	CKS1 *	CKS0 *	-
リアルタイムクロックコントローラレジスタ	RTCOR	*	*	*	*	*	*	*	*	-

* : don't care

動作説明

SRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のない min 値および max 値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器 20 MHz (=))
- ・ 規定のない min 値 : 0 ns
- ・ 規定のない max 値 : min 値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (2) AC特性」を参照して下さい。

(1) リード/ライト

図3.2.3(c) にSRAMリード/ライトタイミングチャートを示します。

以下のAC特性が満足していることを確認します。

名 称		略 称
H8S / 2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
SRAM (HM628128B-8)	入力データセット時間	t_{DW}
	入力データ保持時間	t_{DH}
	アドレスセットアップ時間	t_{AS}
	アドレス保持時間	t_{WR}
	ライトパルス幅	t_{WP}
	チップセレクト時間	t_{CW}

(a) リードサイクル

H8S / 2655の t_{RDS} 、 t_{RDH} の確認をします。

(i) アドレスがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3 t_{cyc} - (t_{AD(max)} + t_{AA(max)}) = 45 ns \quad 15 ns (t_{RDS})$$

- ・ ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{AD(min)} + t_{OH(min)} = 10 ns \quad 0 ns (t_{RDH})$$

(ii) CSがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3 t_{cyc} - (t_{CSD1(max)} + t_{CO1(max)}) = 45 ns \quad 15 ns (t_{RDS})$$

- ・ ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{CSD1(min)} + t_{OH(min)} = 10 ns \quad 0 ns (t_{RDH})$$

(iii) RDがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち下がり】

$$2.5 t_{cyc} - (t_{RSD1(max)} + t_{OE(max)}) = 60 ns \quad 15 ns (t_{RDS})$$

- ・ ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{RSD2(min)} + t_{OH(min)} = 10 ns \quad 0 ns (t_{RDH})$$

動作説明

(b) ライトサイクル

SRAMの t_{DW} 、 t_{DH} 、 t_{WP} 、 t_{CW} 、 t_{AS} および t_{WR} を確認します。

(i) SRAMの t_{DW} および t_{DH}

- ・入力データセット時間の計算【 T_{1-1} サイクルの立ち下がり】

$$2 t_{cyc} + t_{WRD2(min)} - t_{WDD(max)} = 70 ns \quad 35 ns (t_{DW})$$

- ・入力データ保持時間の計算

$$t_{WDH(min)} = 0.5 t_{cyc} - 10 = 15 ns \quad 0 ns (t_{DH})$$

(ii) SRAMの t_{WP} および t_{CW}

- ・ライトパルス幅の計算【 T_2 サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{WRD2(min)} - t_{WRD1(max)} = 55 ns \quad 55 ns (t_{WP})$$

- ・チップセレクト時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3 t_{cyc} + t_{CSD1(min)} - t_{CSD1(max)} = 130 ns \quad 75 ns (t_{CW})$$

(iii) SRAMの t_{AS} および t_{WR}

- ・アドレスセットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$t_{cyc} + t_{WRD1(min)} - t_{AD(max)} = 30 ns \quad 0 ns (t_{AS})$$

- ・アドレス保持時間の計算【 T_3 サイクルの立ち下がり】

$$0.5 t_{cyc} + t_{AD(min)} - t_{WRD2(max)} = 5 ns \quad 0 ns (t_{WR})$$

動作説明

(2) AC特性

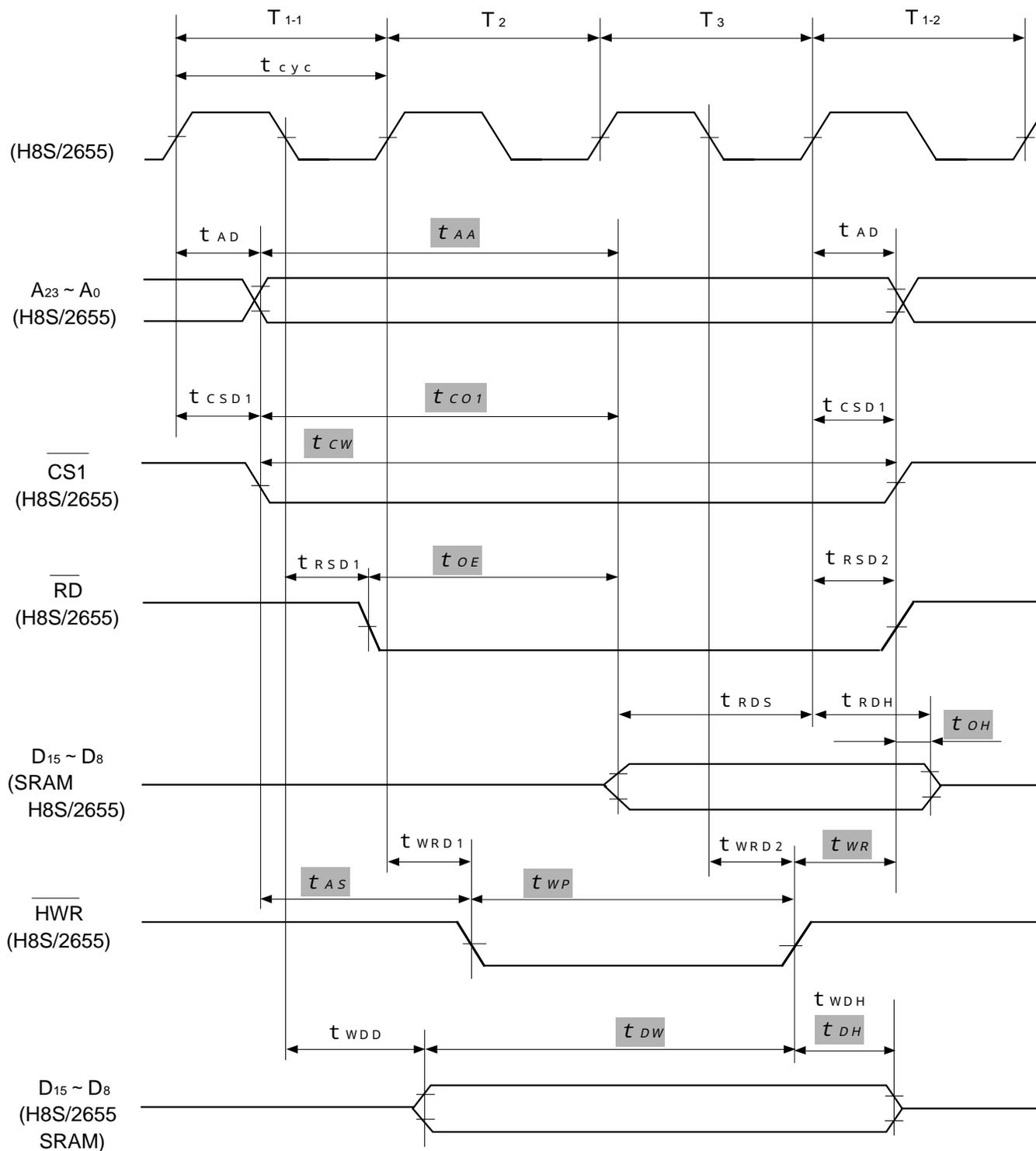
(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/RD遅延時間2	t_{RSD2}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
/WR遅延時間2	t_{WRD2}	-	20	ns
ライトデータ遅延時間	t_{WDD}	-	30	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns

(b) HM628128B-8

項目	記号	min	max	単位
アドレスアクセス時間	t_{AA}	-	85	ns
チップセレクトアクセス時間	t_{CO1}	-	85	ns
出力イネーブルアクセス時間	t_{OE}	-	45	ns
出力保持時間	t_{OH}	10	-	ns
チップセレクト時間	t_{CW}	60	-	ns
アドレスセットアップ時間	t_{AS}	0	-	ns
ライトパルス幅	t_{WP}	50	-	ns
アドレス保持時間	t_{WR}	0	-	ns
入力データセット時間	t_{DW}	30	-	ns
入力データ保持時間	t_{DH}	0	-	ns

動作説明



■ : S R A M (H M 6 2 8 1 2 8 B - 8) の A C 特性

図3.2.3(c) リード/ライトタイミングチャート

3.6 16ビットバスモードによるSRAM(HM628128B-8)インタフェース

SRAM(HM628128B-8)インタフェース	MCU	H8S/2655	使用機能	モード4(16ビットバスモード)
--------------------------	-----	----------	------	------------------

仕様

(1) 図3.2.4(a)にH8S/2655と×8ビット構成SRAM(HM628128B-8)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、SRAMをエリア1に割り当てます。

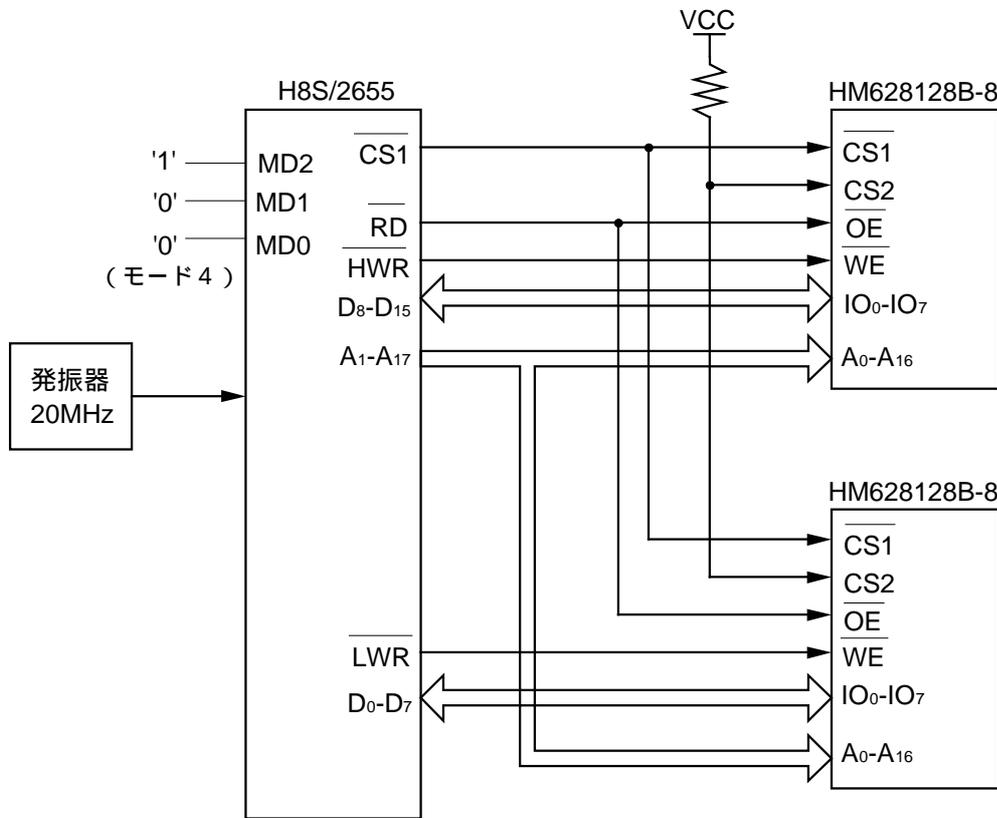


図3.2.4(a) H8S/2655とSRAMの接続例

(2) 図3.2.4(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、SRAM領域はH'200000~H'23FFFFになります。

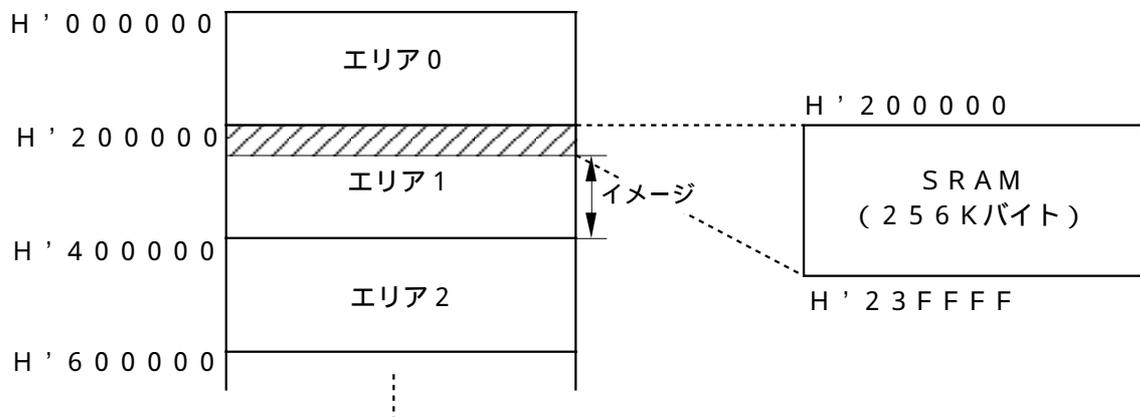


図3.2.4(b) メモリマップ

仕様

(3) 表3.2.4 (a) にバスコントローラの設定を示します。

表3.2.4 (a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
ﾊﾞｽ幅ｺﾝﾄﾛｰﾙｼﾞｽﾀ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 *	ABW1 0	ABW0 *	エリア1 : 16ﾋﾞｯﾄｱｸｼｽ空間
ｱｸｼｽｱｽﾞ-ﾄﾞｺﾝﾄﾛｰﾙｼﾞｽﾀ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 1	AST0 *	エリア1 : 3ﾋﾞｯﾄｱｸｼｽ空間
ｳｲﾄｺﾝﾄﾛｰﾙｼﾞｽﾀH	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ｳｲﾄｺﾝﾄﾛｰﾙｼﾞｽﾀL	WCRL	W31 *	W30 *	W21 *	W20 *	W11 0	W10 0	W01 *	W00 *	エリア1 : 7 ﾋﾞｯﾄ ｳｲﾄﾍﾞｯﾄを挿入しない
ﾊﾞｽｺﾝﾄﾛｰﾙｼﾞｽﾀH	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2 *	RMTS1 *	RMTS0 *	-
ﾊﾞｽｺﾝﾄﾛｰﾙｼﾞｽﾀL	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	エリアの分割単位 : 2Mﾊﾞｲﾄ (16Mﾊﾞｲﾄ)
ﾏｽｸｺﾝﾄﾛｰﾙｼﾞｽﾀ	MCR	TPC *	BE *	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0 *	-
DRAMｺﾝﾄﾛｰﾙｼﾞｽﾀ	DRAMCR	RFSHE *	RCW *	RMODE *	CMF *	CMIE *	CKS2 *	CKS1 *	CKS0 *	-
ﾘﾌﾚｯｼﾝｸﾞﾀｲﾐﾝｸﾞｼﾞｽﾀ	RTCOR	*	*	*	*	*	*	*	*	-

* : don't care

動作説明

SRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のない t_{min} 値および t_{max} 値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器 20 MHz (=))
- ・ 規定のない t_{min} 値 : 0 ns
- ・ 規定のない t_{max} 値 : t_{min} 値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (2) AC特性」を参照して下さい。

(1) リード/ライト

図3.2.4(c)にSRAMリード/ライトタイミングチャートを示します。

以下のAC特性が満足していることを確認します。

名 称		略 称
H8S / 2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
SRAM (HM628128B-8)	入力データセット時間	t_{DW}
	入力データ保持時間	t_{DH}
	アドレスセットアップ時間	t_{AS}
	アドレス保持時間	t_{WR}
	ライトパルス幅	t_{WP}
	チップセレクト時間	t_{CW}

(a) リードサイクル

H8S / 2655 t_{RDS} 、 t_{RDH} の確認をします。

(i) アドレスがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3 t_{cyc} - (t_{AD(max)} + t_{AA(max)}) = 45 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

- ・ ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{AD(min)} + t_{OH(min)} = 10 \text{ ns} - 0 \text{ ns} (t_{RDH})$$

(ii) CSがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3 t_{cyc} - (t_{CSD1(max)} + t_{CO1(max)}) = 45 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

- ・ ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{CSD1(min)} + t_{OH(min)} = 10 \text{ ns} - 0 \text{ ns} (t_{RDH})$$

(iii) RDがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち下がり】

$$2.5 t_{cyc} - (t_{RSD1(max)} + t_{OE(max)}) = 60 \text{ ns} - 15 \text{ ns} (t_{RDS})$$

- ・ ホールド時間の計算【 T_{1-2} サイクルの立ち上がり】

$$t_{RSD2(min)} + t_{OH(min)} = 10 \text{ ns} - 0 \text{ ns} (t_{RDH})$$

動作説明

(b) ライトサイクル

SRAMの t_{DW} 、 t_{DH} 、 t_{WP} 、 t_{CW} 、 t_{AS} および t_{WR} を確認します。

(i) SRAMの t_{DW} および t_{DH}

- ・入力データセット時間の計算【 T_{1-1} サイクルの立ち下がり】

$$2 t_{cyc} + t_{WRD2(\min)} - t_{WDD(\max)} = 70 \text{ ns} \quad 35 \text{ ns} (t_{DW})$$

- ・入力データ保持時間の計算

$$t_{WDH(\min)} = 0.5 t_{cyc} - 10 = 15 \text{ ns} \quad 0 \text{ ns} (t_{DH})$$

(ii) SRAMの t_{WP} および t_{CW}

- ・ライトパルス幅の計算【 T_2 サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{WRD2(\min)} - t_{WRD1(\max)} = 55 \text{ ns} \quad 55 \text{ ns} (t_{WP})$$

- ・チップセレクト時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3 t_{cyc} + t_{CSD1(\min)} - t_{CSD1(\max)} = 130 \text{ ns} \quad 75 \text{ ns} (t_{CW})$$

(iii) SRAMの t_{AS} および t_{WR}

- ・アドレスセットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$t_{cyc} + t_{WRD1(\min)} - t_{AD(\max)} = 30 \text{ ns} \quad 0 \text{ ns} (t_{AS})$$

- ・アドレス保持時間の計算【 T_3 サイクルの立ち下がり】

$$0.5 t_{cyc} + t_{AD(\min)} - t_{WRD2(\max)} = 5 \text{ ns} \quad 0 \text{ ns} (t_{WR})$$

動作説明

(2) AC特性

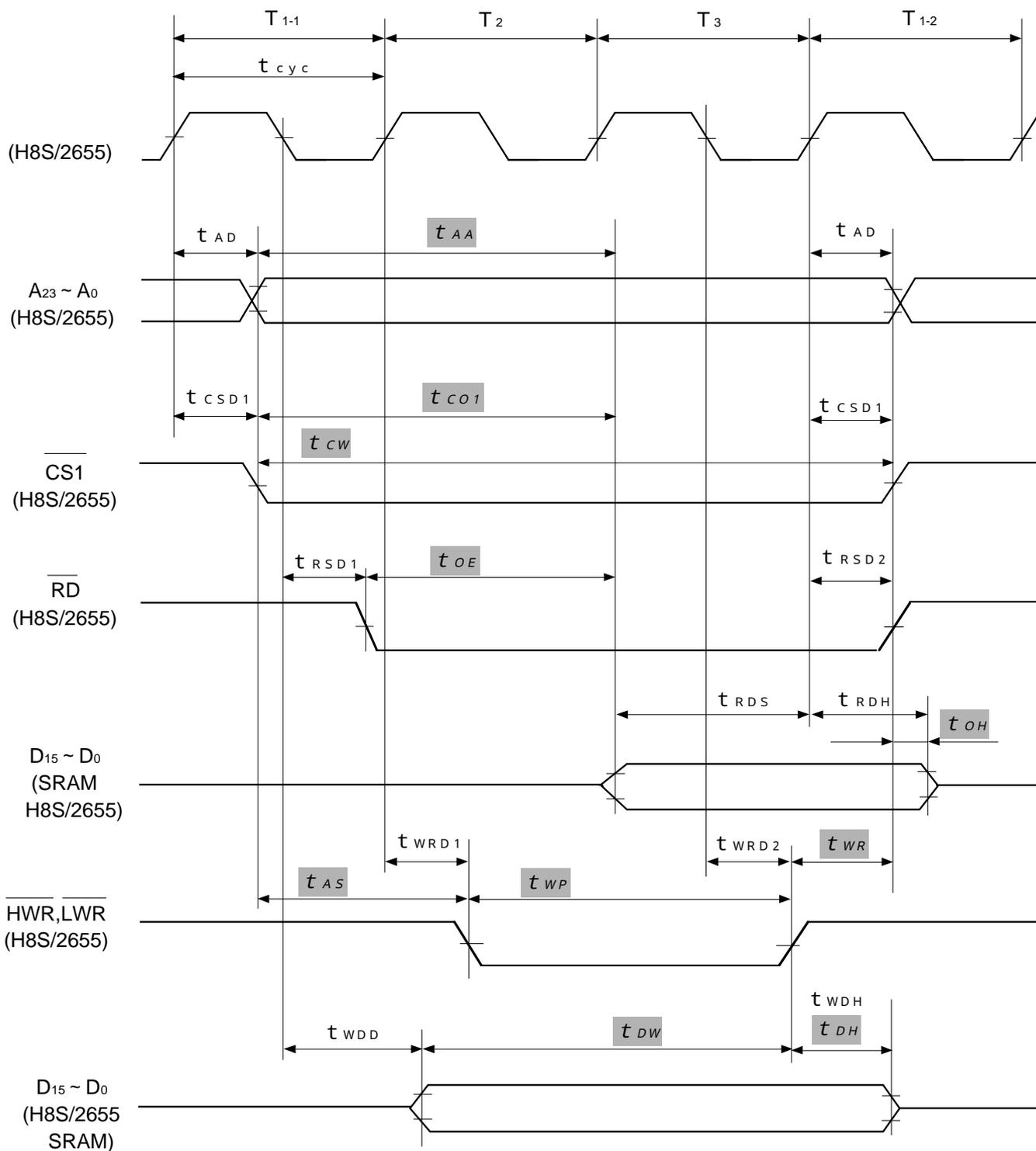
(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/RD遅延時間2	t_{RSD2}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
/WR遅延時間2	t_{WRD2}	-	20	ns
ライトデータ遅延時間	t_{WDD}	-	30	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns

(b) HM628128B-8

項目	記号	min	max	単位
アドレスアクセス時間	t_{AA}	-	85	ns
チップセレクトアクセス時間	t_{CO1}	-	85	ns
出力イネーブルアクセス時間	t_{OE}	-	45	ns
出力保持時間	t_{OH}	10	-	ns
チップセレクト時間	t_{CW}	60	-	ns
アドレスセットアップ時間	t_{AS}	0	-	ns
ライトパルス幅	t_{WP}	50	-	ns
アドレス保持時間	t_{WR}	0	-	ns
入力データセット時間	t_{DW}	30	-	ns
入力データ保持時間	t_{DH}	0	-	ns

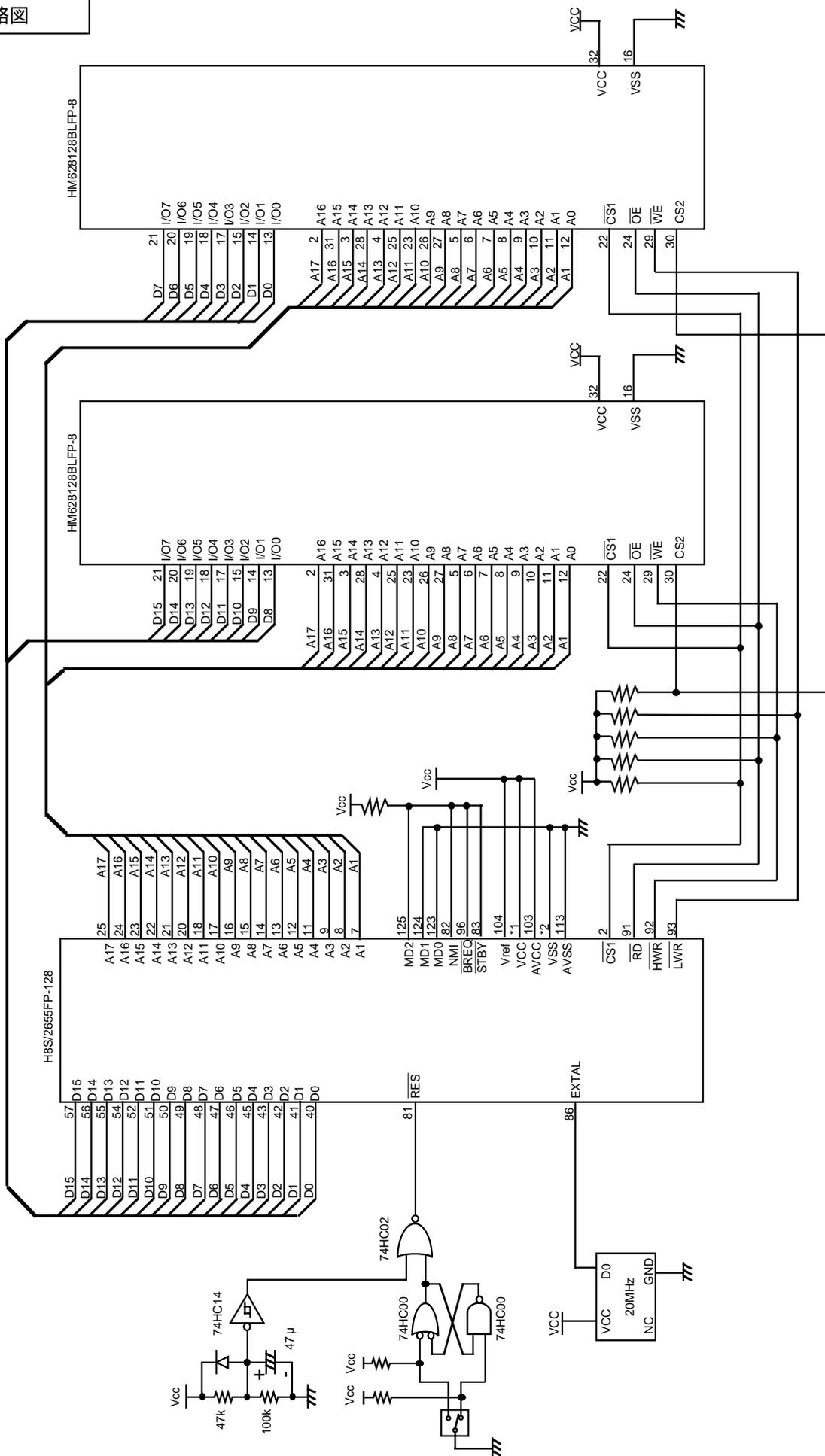
動作説明



■ : S R A M (H M 6 2 8 1 2 8 B - 8) の A C 特性

図3.2.4 (c) リード/ライトタイミングチャート

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。

*2: Vssは、3, 4, 10, 19, 28, 35, 36, 44, 53, 65, 67, 88, 87, 99, 100, 114の全ピンを電源(0V)に接続する。

図3.2.4 (d) HM628128BLFP-8インタフェース

3.7 2CAS方式によるDRAM (HM514260C-7) インタフェース

DRAM(HM514260C-7)インタフェース	MCU	H8S/2655	使用機能	モード4 (16ビットバスモード)
--------------------------	-----	----------	------	-------------------

仕様

(1) 図3.3.1(a)にH8S/2655と×16ビット構成DRAM (HM514260C-7)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、DRAMをエリア2に割り当てます。バイト制御は/CAS 2本で行います。

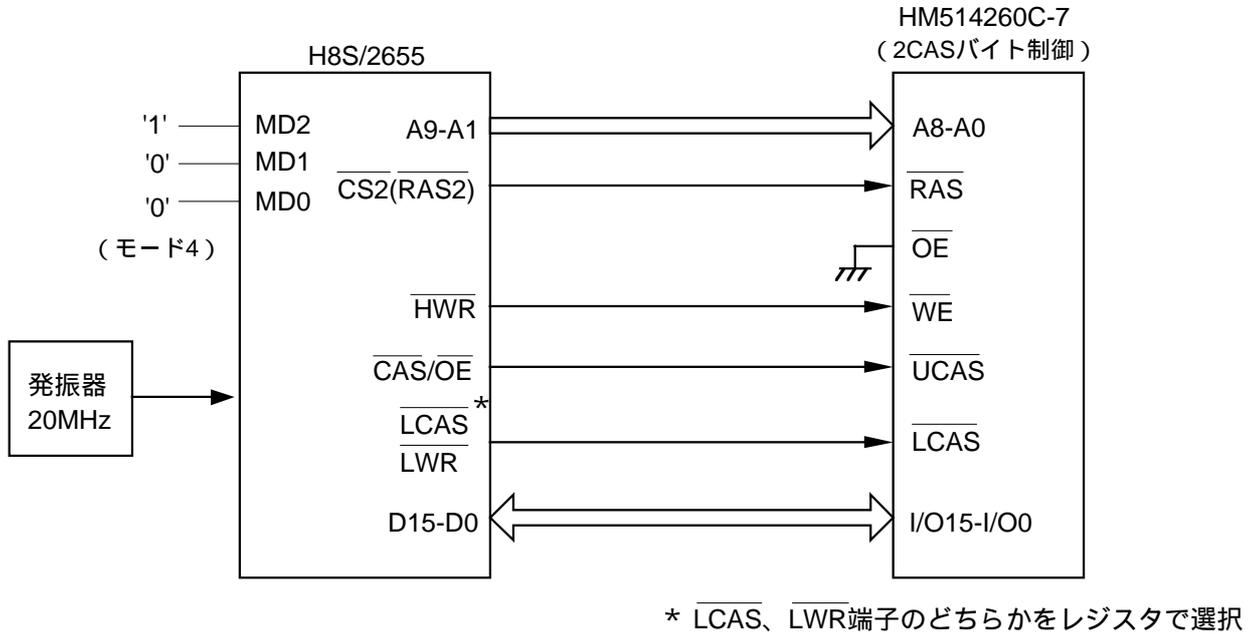


図3.3.1(a) H8S/2655とDRAMの接続例

(2) 図3.3.1(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、DRAM領域はH'400000~H'47FFFFになります。

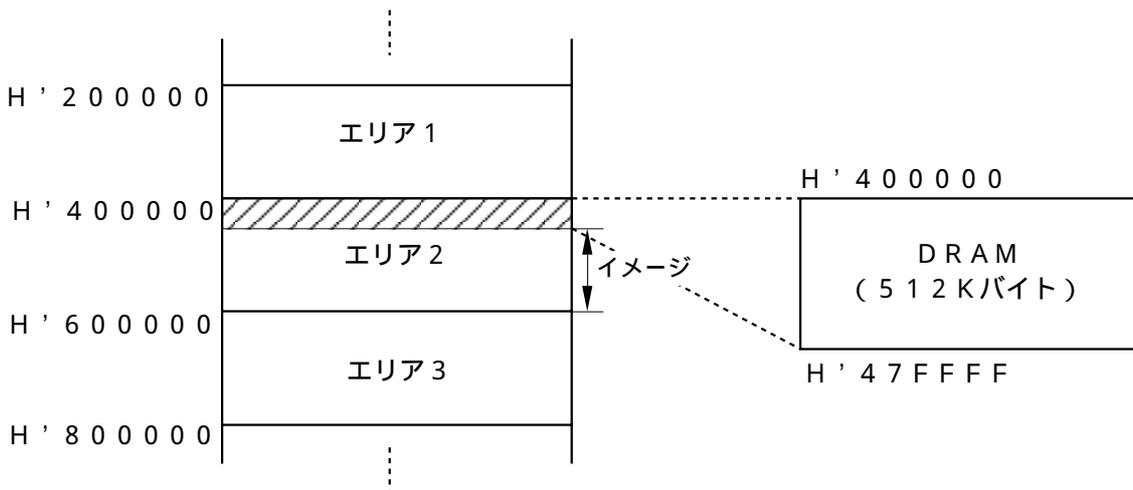


図3.3.1(b) メモリマップ

仕様

(3) 表3.3.1 (a) にバスコントローラの設定を示します。

表3.3.1 (a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントローラレジスタ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 0	ABW1 *	ABW0 *	エリア2 : 16ビットアクセス空間
アドレスコントローラレジスタ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 *	AST0 *	-
ウエイコントローラレジスタH	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ウエイコントローラレジスタL	WCRL	W31 *	W30 *	W21 0	W20 1	W11 *	W10 *	W01 *	W00	プログラムウエイ1レジスタ挿入
バスアドレスレジスタH	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2 0	RMTS1 0	RMTS0 1	DRAM空間 : エリア2
バスアドレスレジスタL	BCRL	BRLE *	BREQOE *	EAE *	LCASS 0:LCASS端子 or 1:LRWR端子	DDS *	ASS 1	WDBE *	WAITE *	/LCAS信号は/LCAS、/LWR端子から選択 エリアの分割単位 : 2Mbit (16Mbit)
メモリコントローラレジスタ	MCR	TPC 0	BE 1	RCDM 0	CW2 0	MXC1 0	MXC0 1	RLW1 0	RLW0 0	プログラレジ1レジスタ 高速アドレスモード /RASのレジモード /CAS2本方式 9ビットレジスタ /CAS比 70/RAS1レジスタウエイ無し
DRAMコントローラレジスタ	DRAMCR	RFSHE 1	RCW 0	RMODE 0	CMF *	CMIE 0	CKS2 0	CKS1 0	CKS0 1	レジスタ制御を行なう /CAS比 70/RAS1レジスタ時のウエイ1レジスタ挿入禁止 /CAS比 70/RAS1レジスタ方式 コンパリア分割り込み禁止 レジスタのレジスタレジスタ : /2でかた
レジスタ	RTCOR	0	1	0	0	1	1	1	1	H14F *

* : don't care

* HM514260C-7のレジスタ形式は512ビット/8msである。レジスタ発生が規定時間通り行えない場合を考慮して2倍の1024ビット/8msで計算する。レジスタのレジスタレジスタ / 2 (100ns) とすると RTCORは、(8ms / 1024ビット) / 100ns 79 (=H14F)

動作説明

DRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のないmin値およびmax値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器 20 MHz (=))
- ・ 規定のないmin値: 0 ns
- ・ 規定のないmax値: min値

を基準に求めた時間には【】に基準タイミングを示します。タイミング値については、「動作説明(5) AC特性」を参照して下さい。

(1) リード

図3.3.1(c)にDRAMリードのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM514260C-7)	ロウアドレスセットアップ時間	t_{ASR}
	ロウアドレスホールド時間	t_{RAH}
	カラムアドレスセットアップ時間	t_{ASC}
	カラムアドレスホールド時間	t_{CAH}
	/RAS・/CAS遅延時間	t_{RCD}
	/RAS・カラムアドレス遅延時間	t_{RAD}
	/RASプリチャージ時間	t_{RP}
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) DRAM

(i) ロウアドレスセットアップ時間の計算【 T_{r1} サイクルの立ち上がり】

$$0.5 t_{cyc} + t_{CSD2(min)} - t_{AD(max)} = 5 \text{ ns} \quad 0 \text{ ns} (t_{ASR})$$

(ii) ロウアドレスホールド時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 \text{ ns} \quad 10 \text{ ns} (t_{RAH})$$

(iii) カラムアドレスセットアップ時間の計算【 T_{c1-1} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{AD(max)} = 30 \text{ ns} \quad 0 \text{ ns} (t_{ASC})$$

(iv) カラムアドレスホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$2 t_{cyc} + t_{AD(min)} - t_{CASD(max)} = 80 \text{ ns} \quad 15 \text{ ns} (t_{CAH})$$

(v) /RAS・/CAS遅延時間の計算【 T_{r1} サイクルの立ち下がり】

$$1.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 55 \text{ ns} \quad 20 \text{ ns} (t_{RCD})$$

(vi) /RAS・カラムアドレス遅延時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 \text{ ns} \quad 15 \text{ ns} (t_{RAD})$$

(vii) /RASプリチャージ時間の計算【 T_{p-3} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 \text{ ns} \quad 50 \text{ ns} (t_{RP})$$

動作説明

(b) H8S/2655

(i) リードデータセットアップ時間の計算【 T_{w-1} サイクルの立ち上がり】

$$2t_{cyc} - t_{CASD(max)} + t_{CAC(max)} = 60ns \quad 15ns (t_{RDS})$$

<補足> アクセス時間は t_{RCD} および t_{RAD} により以下の時間で規定します。

条件	適用時間
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	/CASからのアクセス時間 (t_{CAC})
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	アドレスからのアクセス時間 (t_{AA})
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	/RASからのアクセス時間 (t_{RAC})

(ii) リードデータホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{CASD(min)} + t_{OFF1(min)} = 0ns \quad 0ns (t_{RDH})$$

(2) ライト

図3.3.1(d)にDRAMライトのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM514260C-7)	ライトコマンドセットアップ時間	t_{WCS}
	ライトコマンドホールド時間	t_{WCH}
	ライト入力セットアップ時間	t_{DS}
	ライト入力ホールド時間	t_{DH}

(a) ライトコマンドセットアップ時間の計算

$$t_{WCS(min)} = 0.5t_{cyc} - 10 = 15ns \quad 0ns (t_{WCS})$$

(b) ライトコマンドホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$1.5t_{cyc} - t_{CASD(max)} = 55ns \quad 15ns (t_{WCH})$$

(c) ライト入力セットアップ時間の計算

$$t_{WDS(min)} = 0.5t_{cyc} - 20 = 5ns \quad 0ns (t_{DS})$$

(d) ライト入力ホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$1.5t_{cyc} + t_{WRD1(min)} + t_{WDH(min)} - t_{CASD(max)} = 55ns \quad 15ns (t_{DH})$$

動作説明

(3) バーストモード

(a) 高速ページモード

高速ページモードでは、以下のAC特性が満足していることを確認します。

名称		略称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
DRAM (HM514260C-7)	高速ページモード/CASプリチャージ時間	t_{CP}
	高速ページモードサイクル時間	t_{PC}
	/CASプリチャージからの/RASホールド時間	t_{RHCP}

(i) H8S/2655

(i-1) リードデータセットアップ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} - t_{CASD(max)} - t_{ACP(max)} = 90ns \quad 15ns (t_{RDS})$$

(i-2) リードデータホールド時間の計算【 T_{p-3} サイクルの立ち上がり】

$$t_{CSD1(min)} + t_{OFF1(min)} = 0ns \quad 0ns (t_{RDH})$$

(ii) DRAM

(ii-1) 高速ページモード/CASプリチャージ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 30ns \quad 10ns (t_{CP})$$

(ii-2) 高速ページモードサイクル時間の計算【 T_{w-1} サイクルの立ち上がり】

$$3t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130ns \quad 45ns (t_{PC})$$

(ii-3) /CASプリチャージからの/RASホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} + t_{CSD1(min)} - t_{CASD(max)} = 130ns \quad 40ns (t_{RHCP})$$

(b) /RASダウンモード

/RASダウンモードは、メモリコントロールレジスタ(MCR)のRCDMビットを'1'に設定すると選択できます。ただし、/LWR端子を/LCAS信号として用いる場合には使用できません。

動作説明

(4) リフレッシュサイクル(/CASピフォ/RASリフレッシュ)

図3.3.1(e)、図3.3.1(f)に/CASピフォ/RASリフレッシュタイミングチャートを示します。
以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM514260C-7)	/RASプリチャージ時間	t_{RP}
	/CASセットアップ時間	t_{CSR}
	/RASパルス幅	t_{RAS}
	/CASホールド時間	t_{CHR}
	ノーマルモード・/CASプリチャージ時間	t_{CPN}
	ランダムリード・ライトサイクル時間	t_{RC}

(a) /RASプリチャージ時間

(i) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(ii) リフレッシュサイクルからノーマルサイクルに遷移

(ii-1) /LCAS信号として/LCAS端子を使用する場合【 T_p サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(ii-2) /LCAS信号として/LWR端子を使用する場合【 T_{Ri} サイクルの立ち上がり】

$$2.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 105 ns \quad 50 ns (t_{RP})$$

(b) /CASセットアップ時間

$$t_{CSR(min)} = 15 ns \quad 10 ns (t_{CSR})$$

(c) /RASパルス幅【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CSD1(min)} - t_{CSD2(max)} = 105 ns \quad 70 ns (t_{RAS})$$

(d) /CASホールド時間【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 105 ns \quad 10 ns (t_{CHR})$$

(e) ノーマルモード・/CASプリチャージ時間

(i) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 70 ns \quad 10 ns (t_{CPN})$$

(ii) リフレッシュサイクルからノーマルサイクルに遷移

(ii-1) /LCAS信号として/LCAS端子を使用する場合【 T_p サイクルの立ち上がり】

$$3 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130 ns \quad 10 ns (t_{CPN})$$

(ii-2) /LCAS信号として/LWR端子を使用する場合【 T_{Ri} サイクルの立ち上がり】

$$4 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 180 ns \quad 10 ns (t_{CPN})$$

(f) ランダムリード・ライトサイクル時間【 T_{Rr} サイクルの立ち下がり】

(i) /LCAS信号として/LCAS端子を使用する場合

$$4 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 180 ns \quad 130 ns (t_{RC})$$

(ii) /LCAS信号として/LWR端子を使用する場合

$$5 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 230 ns \quad 130 ns (t_{RC})$$

動作説明

(5) AC特性

表3.3.1 (b) にH8S/2655のAC特性を、表3.3.1 (c) にHM514260C-7のAC特性を示します。

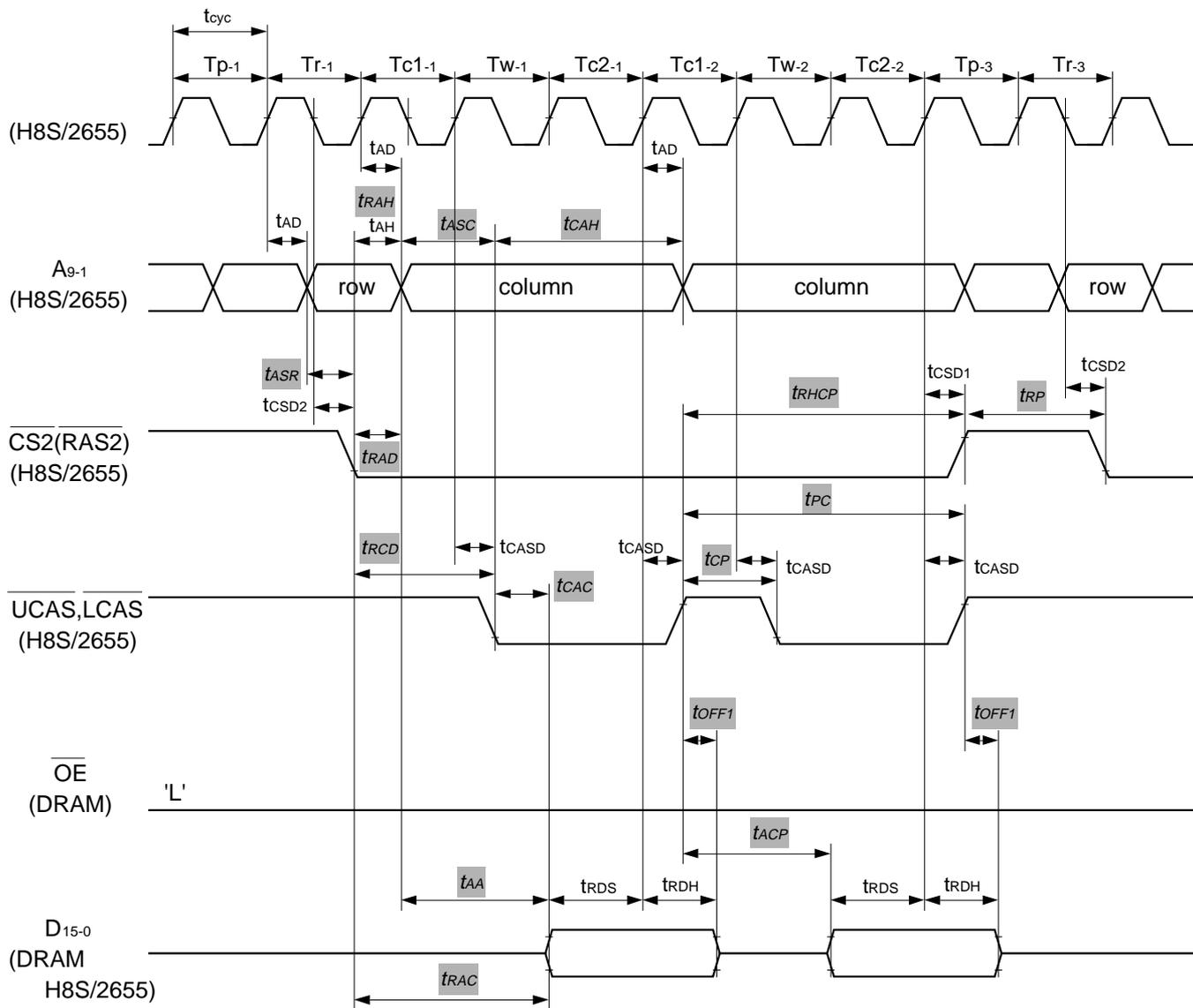
表3.3.1 (b) H8S/2655のAC特性

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/CS遅延時間2	t_{CSD2}	-	20	ns
/CAS遅延時間	t_{CASD}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 20$	-	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns
/WRセットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 10$	-	ns

表3.3.1 (c) HM514260C-7のAC特性

項目	記号	min	max	単位
ランダムリード・ライトサイクル時間	t_{RC}	130	-	ns
/RASプリチャージ時間	t_{RP}	50	-	ns
/RASパルス幅	t_{RAS}	70	10000	ns
ロウアドレスセットアップ時間	t_{ASR}	0	-	ns
ロウアドレスホールド時間	t_{RAH}	10	-	ns
カラムアドレスセットアップ時間	t_{ASC}	0	-	ns
カラムアドレスホールド時間	t_{CAH}	15	-	ns
/RAS・/CAS遅延時間	t_{RCD}	20	50	ns
/RAS・カラムアドレス遅延時間	t_{RAD}	15	35	ns
/RASからのアクセス時間	t_{RAC}	-	70	ns
/CASからのアクセス時間	t_{CAC}	-	20	ns
アドレスからのアクセス時間	t_{AA}	-	35	ns
出力バッファターンオフ時間	t_{OFF1}	0	15	ns
ライトコマンドセットアップ時間	t_{WCS}	0	-	ns
ライトコマンドホールド時間	t_{WCH}	15	-	ns
データ入力セットアップ時間	t_{DS}	0	-	ns
データ入力ホールド時間	t_{DH}	15	-	ns
/CASセットアップ時間	t_{CSR}	10	-	ns
/CASホールド時間	t_{CHR}	10	-	ns
ノーマルモード・/CASプリチャージ時間	t_{CPN}	10	-	ns
高速ページモードサイクル時間	t_{PC}	45	-	ns
高速ページモード/CASプリチャージ時間	t_{CP}	10	-	ns
/CASプリチャージからのアクセス時間	t_{ACP}	-	40	ns
/CASプリチャージからの/RASホールド時間	t_{RHCP}	40	-	ns

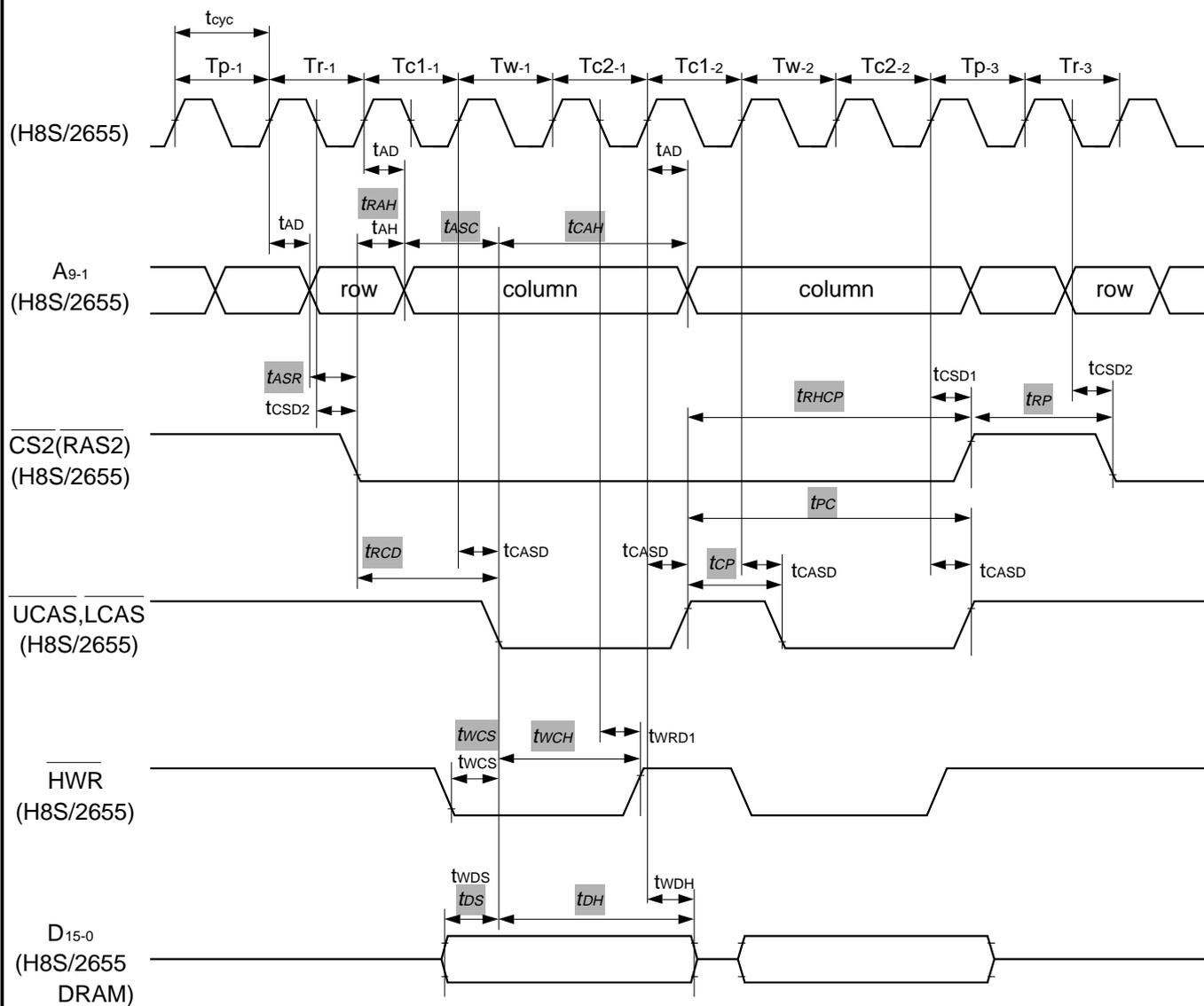
動作説明



■ : D R A M (H M 5 1 4 2 6 0 C - 7) の A C 特性

図3.3.1(c) D R A M リードタイミングチャート

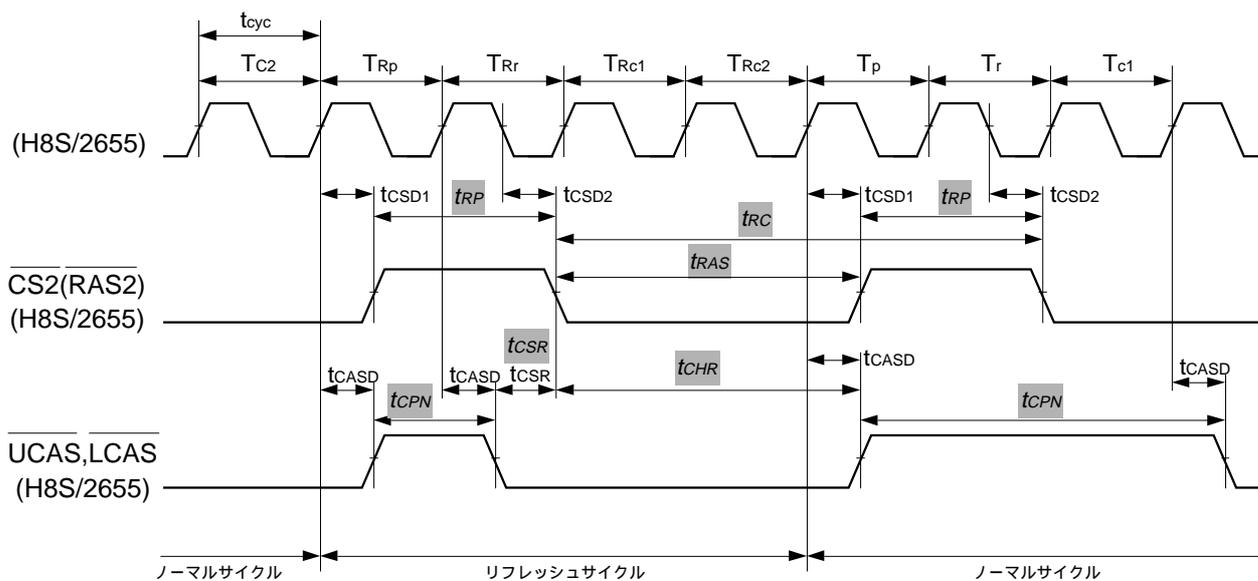
動作説明



■ : D R A M (H M 5 1 4 2 6 0 C - 7) の A C 特性

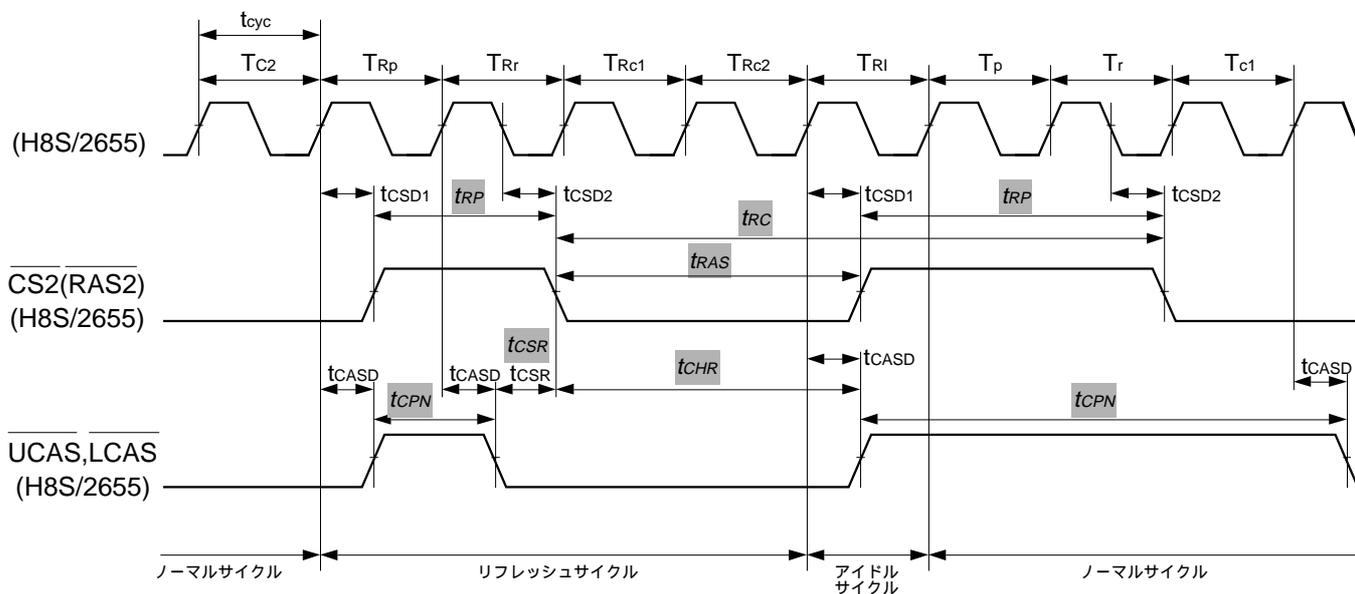
図3.3.1 (d) D R A M ライトタイミングチャート

動作説明



■ : D R A M (H M 5 1 4 2 6 0 C - 7) の A C 特性

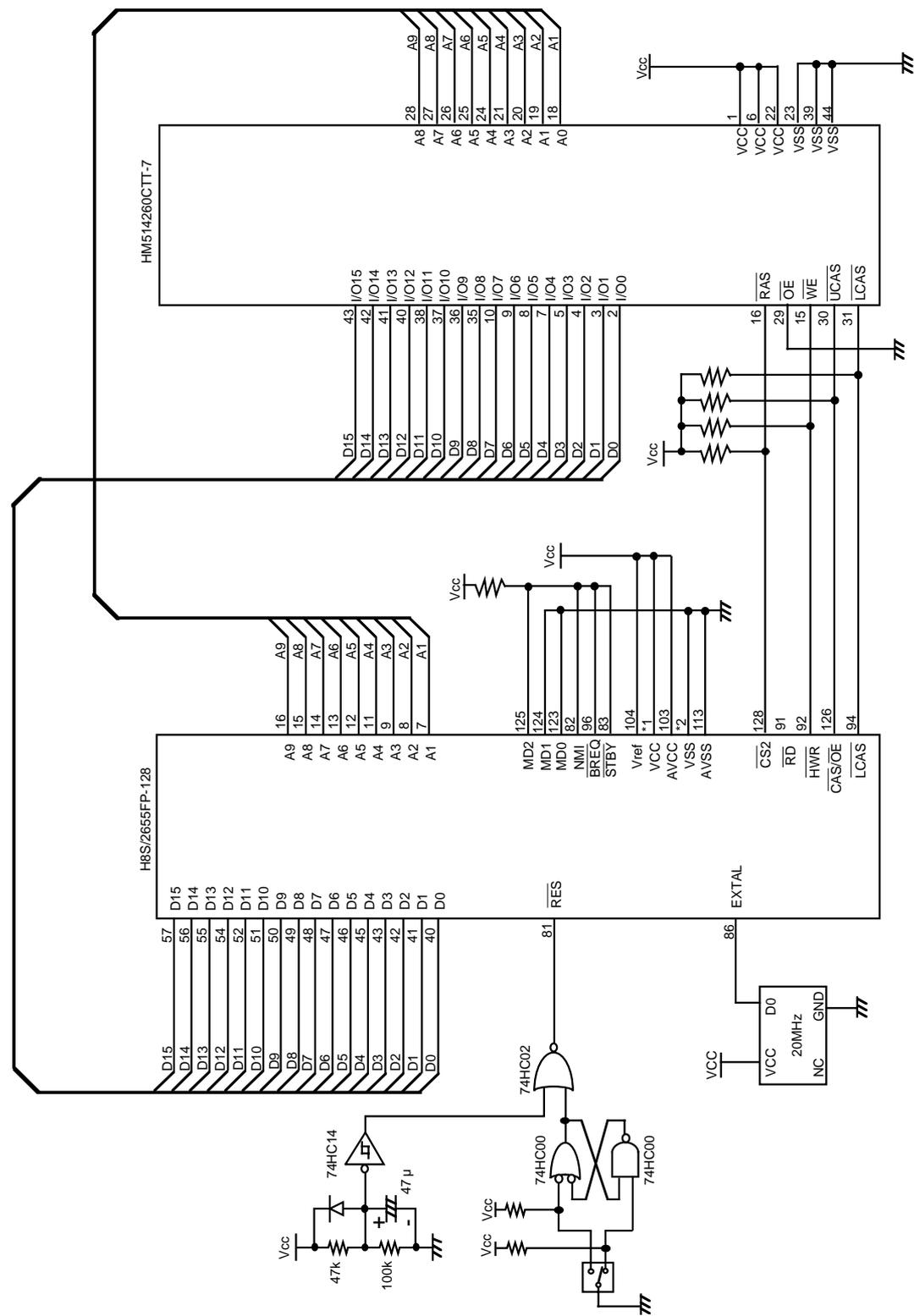
図3.3.1 (e) /CASピフォ/RASリフレッシュタイミングチャート
(/LCAS信号として/LCAS端子を使用する場合)



■ : D R A M (H M 5 1 4 2 6 0 C - 7) の A C 特性

図3.3.1 (f) /CASピフォ/RASリフレッシュタイミングチャート
(/LCAS信号として/LWR端子を使用する場合)

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。

*2: Vssは、3, 4, 10, 19, 28, 35, 36, 44, 53, 65, 67, 68, 87, 99, 100, 114の全ピンを電源(0V)に接続する。

図3.3.1 (g) HM514260CTT-7インタフェース (LCAS信号として/LCAS端子を使用する場合)

3.8 2WE方式によるDRAM (HM514270C-7) インタフェース

DRAM(HM514270C-7)インタフェース

MCU

H8S/2655

使用機能

モード4 (16ビットバスモード)

仕様

(1) 図3.3.2(a)にH8S/2655と×16ビット構成DRAM(HM514270C-7)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、DRAMをエリア2に割り当てます。バイト制御は、/WE 2本方式で行います。

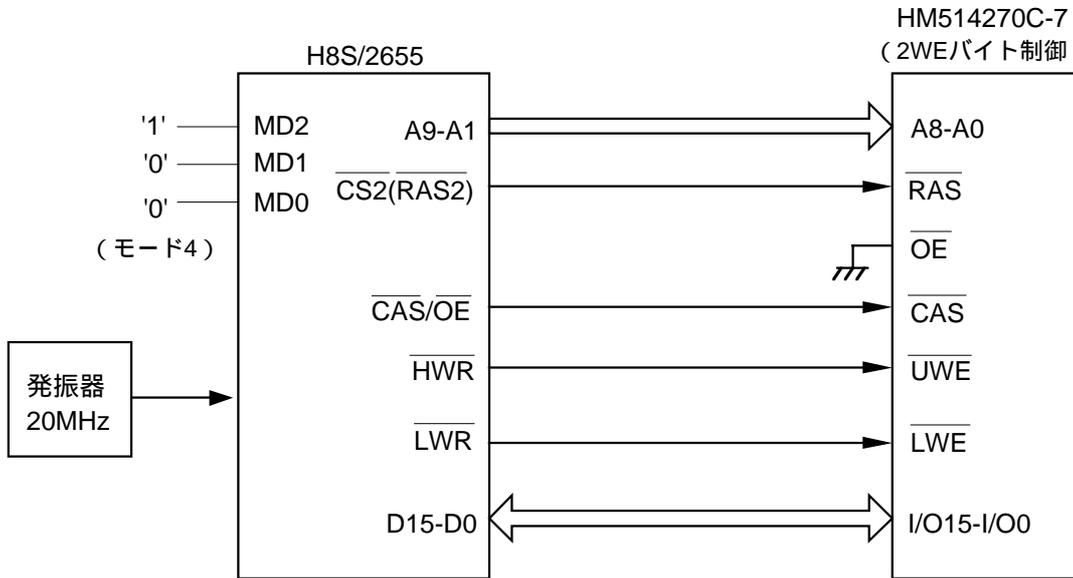


図3.3.2(a) H8S/2655とDRAMの接続例

(2) 図3.3.2(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、DRAM領域はH'400000~H'47FFFFになります。

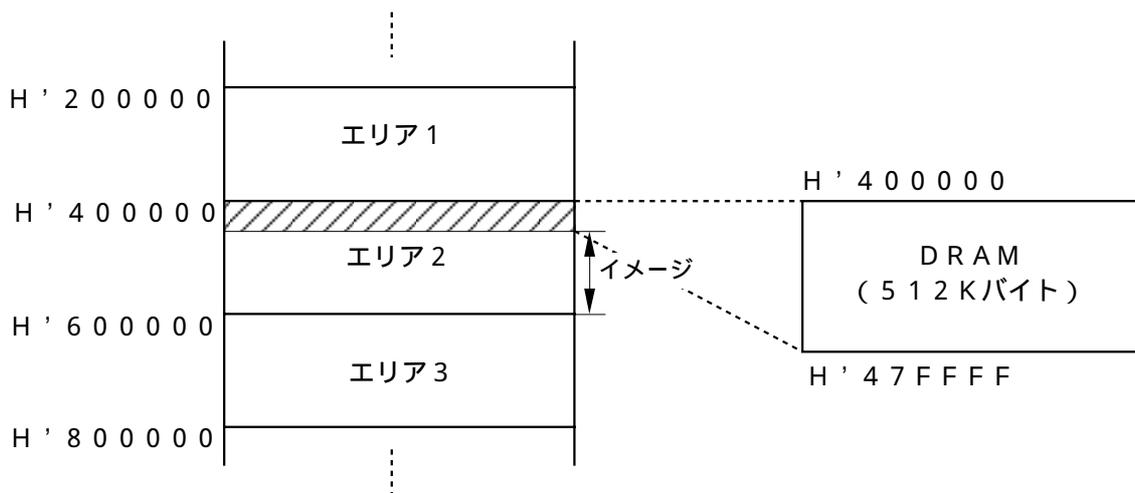


図3.3.2(b) メモリマップ

仕様

(3) 表3.3.2 (a) にバスコントローラの設定を示します。

表3.3.2 (a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントローラレジスタ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2	ABW1 *	ABW0 *	レジスタ: 16ビットアクセス空間
アドレスコントローラレジスタ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 *	AST0 *	-
ウェイトコントローラレジスタ	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ウェイトコントローラレジスタ	WCRL	W31 *	W30 *	W21 *	W20 *	W11 *	W10 *	W01 *	W00 *	レジスタ幅コントローラ挿入
バスコントローラレジスタ	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2	RMTS1	RMTS0	DRAM空間: レジスタ
バスコントローラレジスタ	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS	WDBE *	WAITE *	レジスタの分割単位: 2Mバイト (16Mバイト)
レジスタコントローラレジスタ	MCR	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0	レジスタレジスタ 高速バーストモード /RAS7777モード /WE2本方式 9ビットレジスタ /CASレジスタ/RASレジスタレジスタ無し
DRAMコントローラレジスタ	DRAMCR	RFSHE	RCW	RMODE	CMF	CMIE	CKS2	CKS1	CKS0	レジスタ制御を行なう /CASレジスタ/RASレジスタ時のウェイト挿入禁止 /CASレジスタ/RASレジスタ方式 コマンド割り込み禁止 レジスタコントローラ: /2で加算
レジスタコントローラレジスタ	RTCOR	0	1	0	0	1	1	1	1	H14F *

* : don't care

* HM514270C-7のリフレッシュ形式は512サイクル/8msである。リフレッシュ発生が規定時間通り行えない場合を考慮して2倍の1024サイクル/8msで計算する。リフレッシュカウンタロックを /2 (100ns) とすると RTCORは、(8ms/1024サイクル) /100ns 79 (=H14F)

動作説明

DRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のない min 値および max 値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器 20 MHz (=))
- ・ 規定のない min 値: 0 ns
- ・ 規定のない max 値: min 値

を基準に求めた時間には【】に基準タイミングを示します。タイミング値については、「動作説明 (5) AC特性」を参照して下さい。

(1) リード

図3.3.2 (c) にDRAMリードのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM514270C-7)	ロウアドレスセットアップ時間	t_{ASR}
	ロウアドレスホールド時間	t_{RAH}
	カラムアドレスセットアップ時間	t_{ASC}
	カラムアドレスホールド時間	t_{CAH}
	/RAS・/CAS遅延時間	t_{RCD}
	/RAS・カラムアドレス遅延時間	t_{RAD}
	/RASプリチャージ時間	t_{RP}
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) DRAM

(i) ロウアドレスセットアップ時間の計算【 T_{r1} サイクルの立ち上がり】

$$0.5 t_{cyc} + t_{CSD2(min)} - t_{AD(max)} = 5 \text{ ns} \quad 0 \text{ ns} \quad (t_{ASR})$$

(ii) ロウアドレスホールド時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 \text{ ns} \quad 10 \text{ ns} \quad (t_{RAH})$$

(iii) カラムアドレスセットアップ時間の計算【 T_{c1} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{AD(max)} = 30 \text{ ns} \quad 0 \text{ ns} \quad (t_{ASC})$$

(iv) カラムアドレスホールド時間【 T_{w1} サイクルの立ち上がり】

$$2 t_{cyc} + t_{AD(min)} - t_{CASD(max)} = 80 \text{ ns} \quad 15 \text{ ns} \quad (t_{CAH})$$

(v) /RAS・/CAS遅延時間の計算【 T_{r1} サイクルの立ち下がり】

$$1.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 55 \text{ ns} \quad 20 \text{ ns} \quad (t_{RCD})$$

(vi) /RAS・カラムアドレス遅延時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 \text{ ns} \quad 15 \text{ ns} \quad (t_{RAD})$$

(vii) /RASプリチャージ時間の計算【 T_{p3} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 \text{ ns} \quad 50 \text{ ns} \quad (t_{RP})$$

動作説明

(b) H8S/2655

(i) リードデータセットアップ時間の計算【 T_{w-1} サイクルの立ち上がり】

$$2 t_{cyc} - t_{CASD(max)} + t_{CAC(max)} = 60 ns \quad 15 ns (t_{RDS})$$

<補足> アクセス時間は t_{RCD} および t_{RAD} により以下の時間で規定します。

条件	適用時間
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	/CASからのアクセス時間 (t_{CAC})
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	アドレスからのアクセス時間 (t_{AA})
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	/RASからのアクセス時間 (t_{RAC})

(ii) リードデータホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{CASD(min)} + t_{OFF1(min)} = 0 ns \quad 0 ns (t_{RDH})$$

(2) ライト

図3.3.2(d)にDRAMライトのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM514270C-7)	ライトコマンドセットアップ時間	t_{WCS}
	ライトコマンドホールド時間	t_{WCH}
	ライト入力セットアップ時間	t_{DS}
	ライト入力ホールド時間	t_{DH}

(a) ライトコマンドセットアップ時間の計算

$$t_{WCS(min)} = 0.5 t_{cyc} - 10 = 15 ns \quad 0 ns (t_{WCS})$$

(b) ライトコマンドホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$1.5 t_{cyc} - t_{CASD(max)} = 55 ns \quad 15 ns (t_{WCH})$$

(c) ライト入力セットアップ時間の計算

$$t_{WDS(min)} = 0.5 t_{cyc} - 20 = 5 ns \quad 0 ns (t_{DS})$$

(d) ライト入力ホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{WRD1(min)} + t_{WDH(min)} - t_{CASD(max)} = 55 ns \quad 15 ns (t_{DH})$$

動作説明

(3) バーストモード

(a) 高速ページモード

高速ページモードでは、以下のAC特性が満足していることを確認します。

	名称	略称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
DRAM (HM514270C-7)	高速ページモード/CASプリチャージ時間	t_{CP}
	高速ページモードサイクル時間	t_{PC}
	/CASプリチャージからの/RASホールド時間	t_{RHCP}

(i) H8S/2655

(i-1) リードデータセットアップ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} - t_{CASD(max)} - t_{ACP(max)} = 90ns \quad 15ns (t_{RDS})$$

(i-2) リードデータホールド時間の計算【 T_{p-3} サイクルの立ち上がり】

$$t_{CSD1(min)} + t_{OFF1(min)} = 0ns \quad 0ns (t_{RDH})$$

(ii) DRAM

(ii-1) 高速ページモード/CASプリチャージ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 30ns \quad 10ns (t_{CP})$$

(ii-2) 高速ページモードサイクル時間の計算【 T_{w-1} サイクルの立ち上がり】

$$3t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130ns \quad 45ns (t_{PC})$$

(ii-3) /CASプリチャージからの/RASホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} + t_{CSD1(min)} - t_{CASD(max)} = 130ns \quad 40ns (t_{RHCP})$$

(b) /RASダウンモード

/RASダウンモードは、メモリコントロールレジスタ (MCR) のRCDMビットを'1'に設定すると選択できます。

動作説明

(4) リフレッシュサイクル (/CASビフォ/RASリフレッシュ)

図3.3.2(e)に/CASビフォ/RASリフレッシュタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名 称		略 称
DRAM (HM514270C-7)	/RASプリチャージ時間	t_{RP}
	/CASセットアップ時間	t_{CSR}
	/RASパルス幅	t_{RAS}
	/CASホールド時間	t_{CHR}
	ノーマルモード・/CASプリチャージ時間	t_{CPN}
	ランダムリード・ライトサイクル時間	t_{RC}

(a) /RASプリチャージ時間

(i) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(ii) リフレッシュサイクルからノーマルサイクルに遷移【 T_p サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(b) /CASセットアップ時間

$$t_{CSR(min)} = 15 ns \quad 10 ns (t_{CSR})$$

(c) /RASパルス幅【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CSD1(min)} - t_{CSD2(max)} = 105 ns \quad 70 ns (t_{RAS})$$

(d) /CASホールド時間【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 105 ns \quad 10 ns (t_{CHR})$$

(e) ノーマルモード・/CASプリチャージ時間

(i) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 70 ns \quad 10 ns (t_{CPN})$$

(ii) リフレッシュサイクルからノーマルサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$3 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130 ns \quad 10 ns (t_{CPN})$$

(f) ランダムリード・ライトサイクル時間【 T_{Rr} サイクルの立ち下がり】

$$4 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 180 ns \quad 130 ns (t_{RC})$$

動作説明

(5) AC特性

表3.3.2(b)にH8S/2655のAC特性を、表3.3.2(c)にHM514270C-7のAC特性を示します。

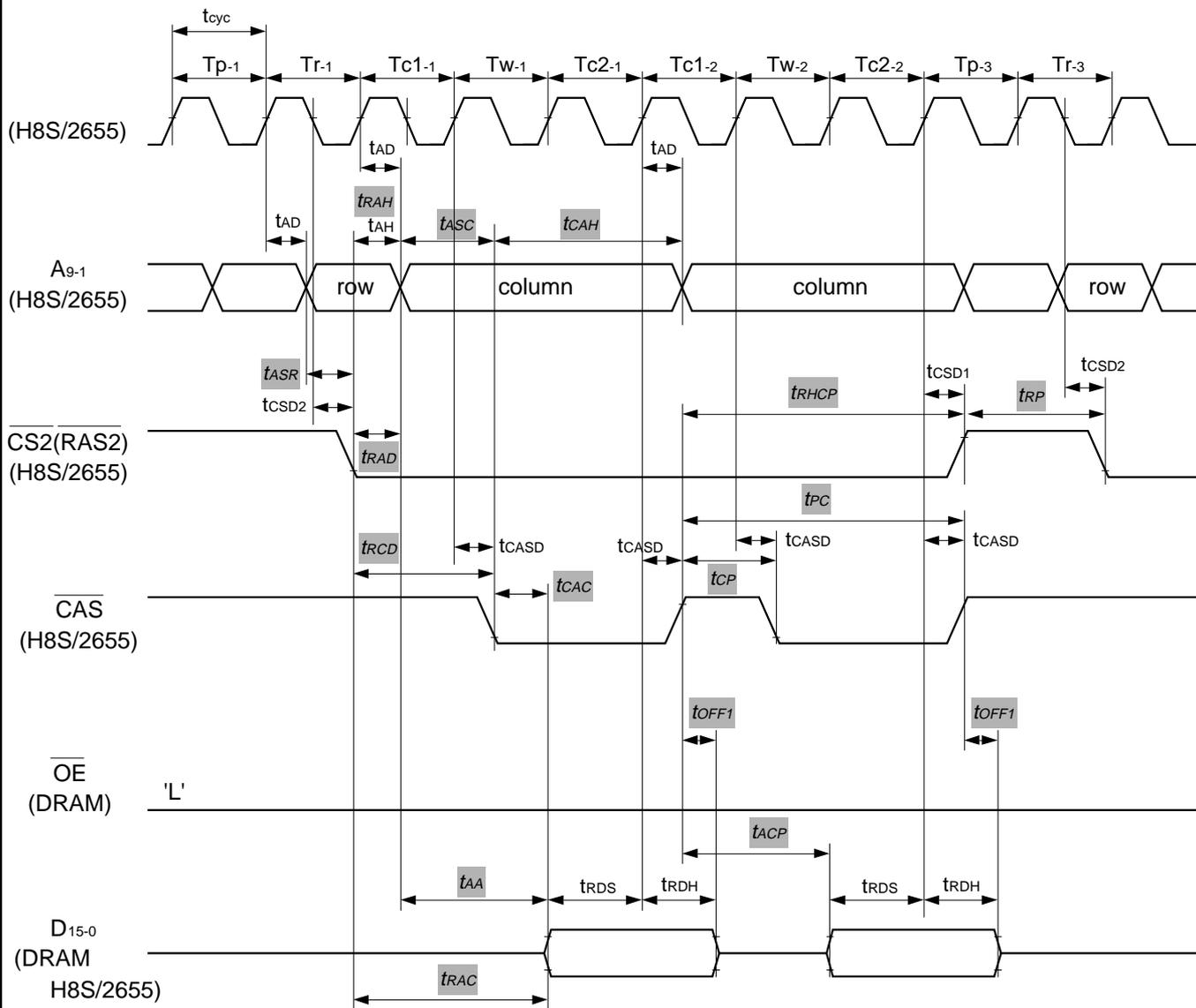
表3.3.2(b) H8S/2655のAC特性

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/CS遅延時間2	t_{CSD2}	-	20	ns
/CAS遅延時間	t_{CASD}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 20$	-	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns
/WRセットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 10$	-	ns

表3.3.2(c) HM514270C-7のAC特性

項目	記号	min	max	単位
ランダムリード・ライトサイクル時間	t_{RC}	130	-	ns
/RASプリチャージ時間	t_{RP}	50	-	ns
/RASパルス幅	t_{RAS}	70	10000	ns
ロウアドレスセットアップ時間	t_{ASR}	0	-	ns
ロウアドレスホールド時間	t_{RAH}	10	-	ns
カラムアドレスセットアップ時間	t_{ASC}	0	-	ns
カラムアドレスホールド時間	t_{CAH}	15	-	ns
/RAS・/CAS遅延時間	t_{RCD}	20	50	ns
/RAS・カラムアドレス遅延時間	t_{RAD}	15	35	ns
/RASからのアクセス時間	t_{RAC}	-	70	ns
/CASからのアクセス時間	t_{CAC}	-	20	ns
アドレスからのアクセス時間	t_{AA}	-	35	ns
出力バッファターンオフ時間	t_{OFF1}	0	15	ns
ライトコマンドセットアップ時間	t_{WCS}	0	-	ns
ライトコマンドホールド時間	t_{WCH}	15	-	ns
データ入力セットアップ時間	t_{DS}	0	-	ns
データ入力ホールド時間	t_{DH}	15	-	ns
/CASセットアップ時間	t_{CSR}	10	-	ns
/CASホールド時間	t_{CHR}	10	-	ns
ノーマルモード・/CASプリチャージ時間	t_{CPN}	10	-	ns
高速ページモードサイクル時間	t_{PC}	45	-	ns
高速ページモード/CASプリチャージ時間	t_{CP}	10	-	ns
/CASプリチャージからのアクセス時間	t_{ACP}	-	40	ns
/CASプリチャージからの/RASホールド時間	t_{RHCP}	40	-	ns

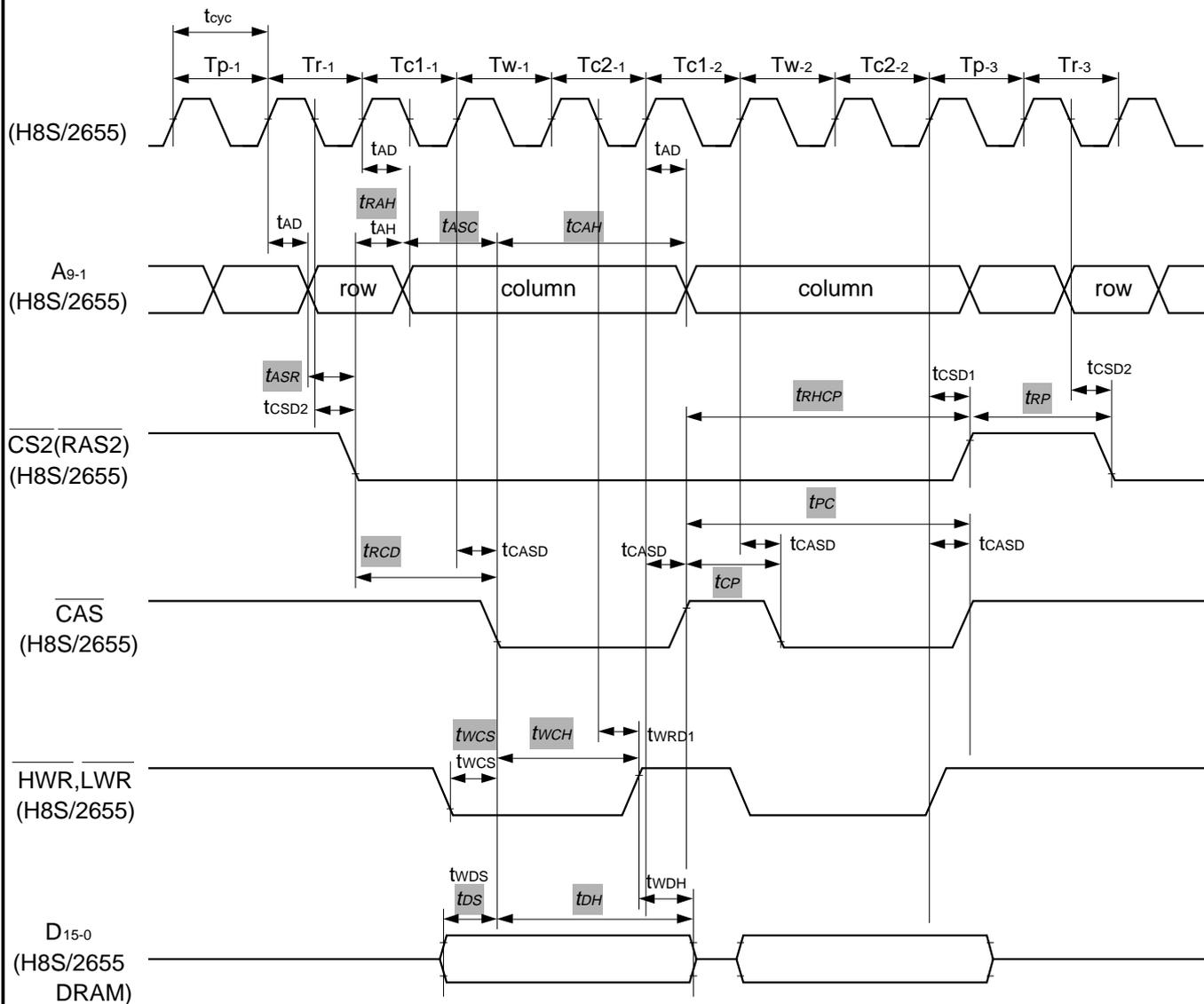
動作説明



■ : D R A M (H M 5 1 4 2 7 0 C - 7) の A C 特性

図3.3.2 (c) D R A M リードタイミングチャート

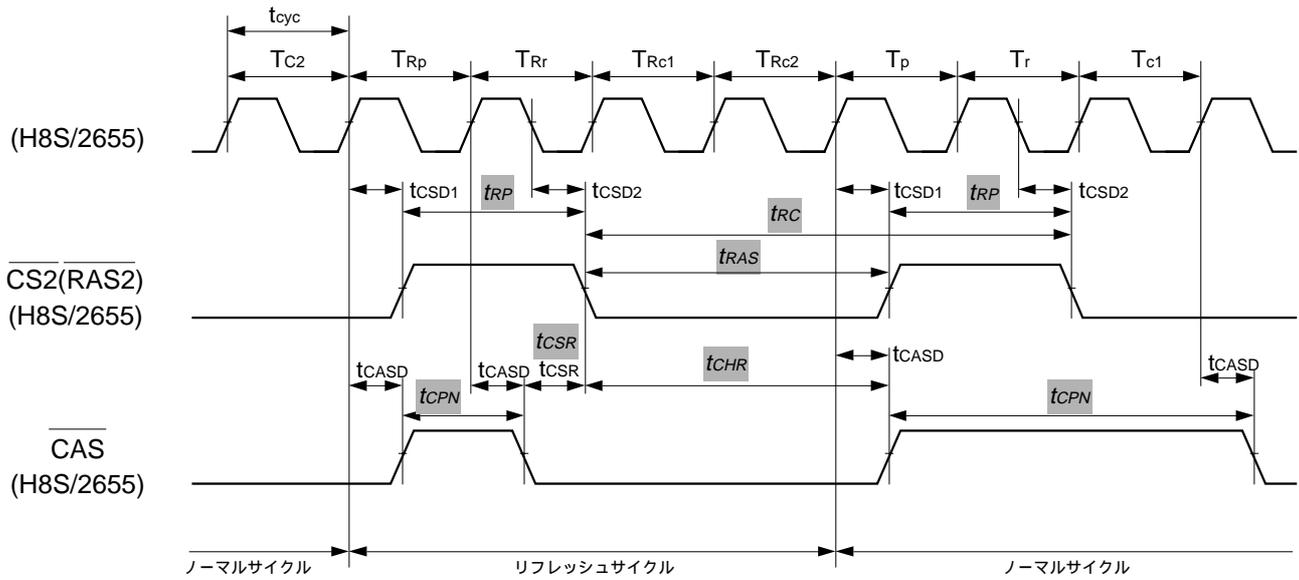
動作説明



■ : D R A M (H M 5 1 4 2 7 0 C - 7) の A C 特性

図3.3.2 (d) D R A M ライトタイミングチャート

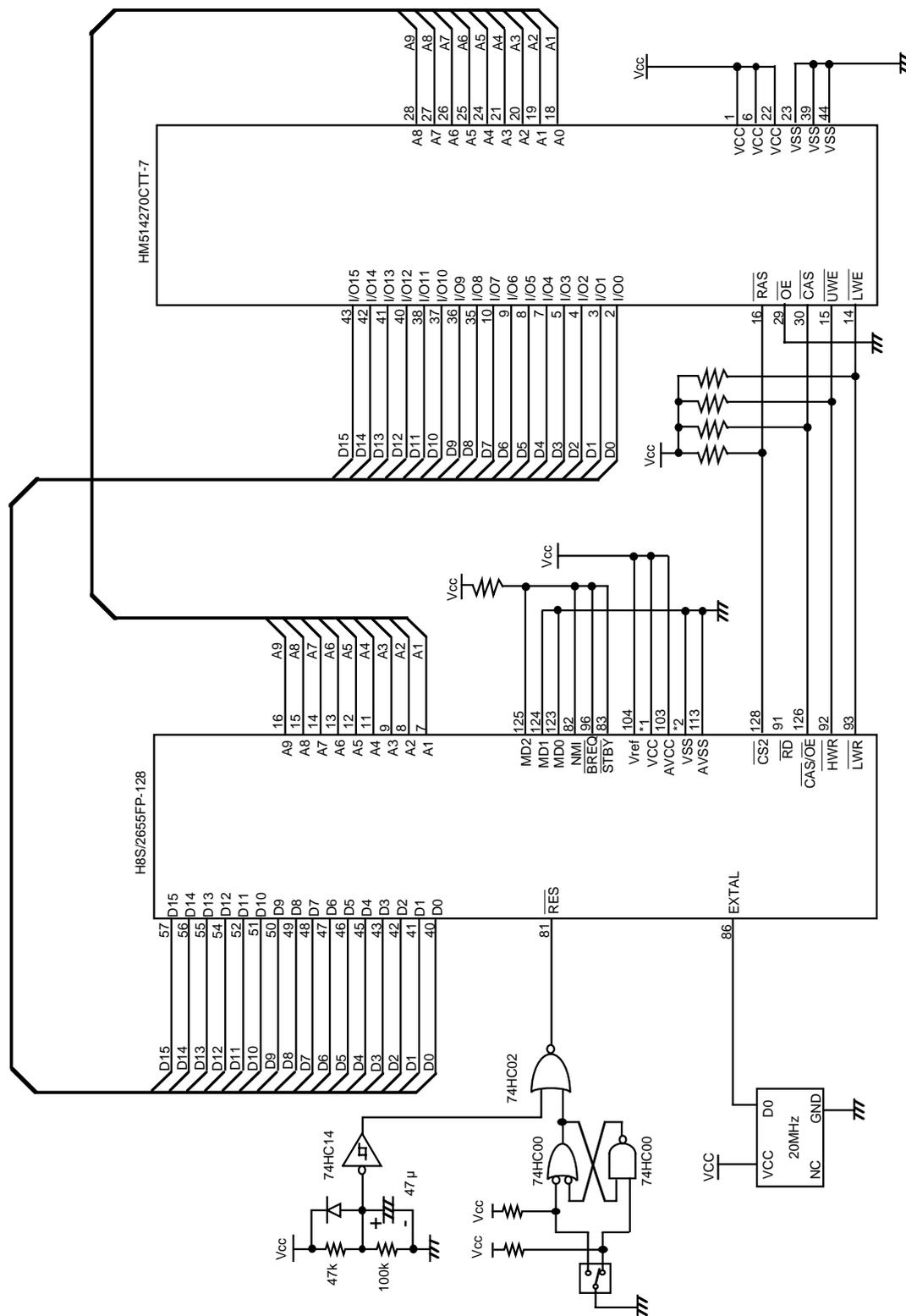
動作説明



■ : D R A M (H M 5 1 4 2 7 0 C - 7) の A C 特性

図3.3.2(e) /CASビフォ/RASリフレッシュタイミングチャート

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。

*2: Vssは、3, 4, 10, 19, 28, 35, 36, 44, 53, 65, 67, 68, 87, 99, 100, 114の全ピンを電源(0V)に接続する。

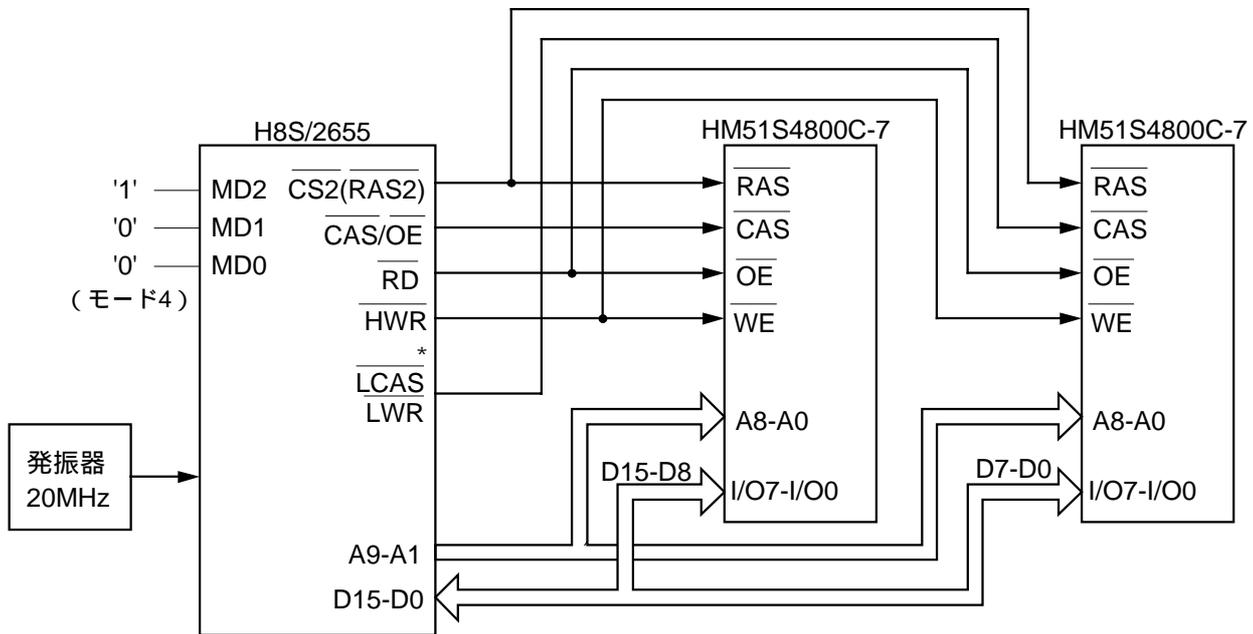
図3.3.2 (f) HM514270CTT-7インタフェース

3.9 2CAS方式によるDRAM (HM51S4800C-7) インタフェース

DRAM(HM51S4800C-7)インタフェース	MCU	H8S/2655	使用機能	モード4 (16ビットバスモード)
---------------------------	-----	----------	------	-------------------

仕様

(1) 図3.3.3(a)にH8S/2655と×8ビット構成DRAM(HM51S4800C-7)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、DRAMをエリア2に割り当てます。バイト制御は、/CAS2本方式で行います。



* LCAS、LWR端子のどちらかをレジスタで選択

図3.3.3(a) H8S/2655とDRAMの接続例 (バイト制御: /CAS2本方式)

(2) 図3.3.3(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、DRAM領域はH'400000~H'4FFFFFFになります。

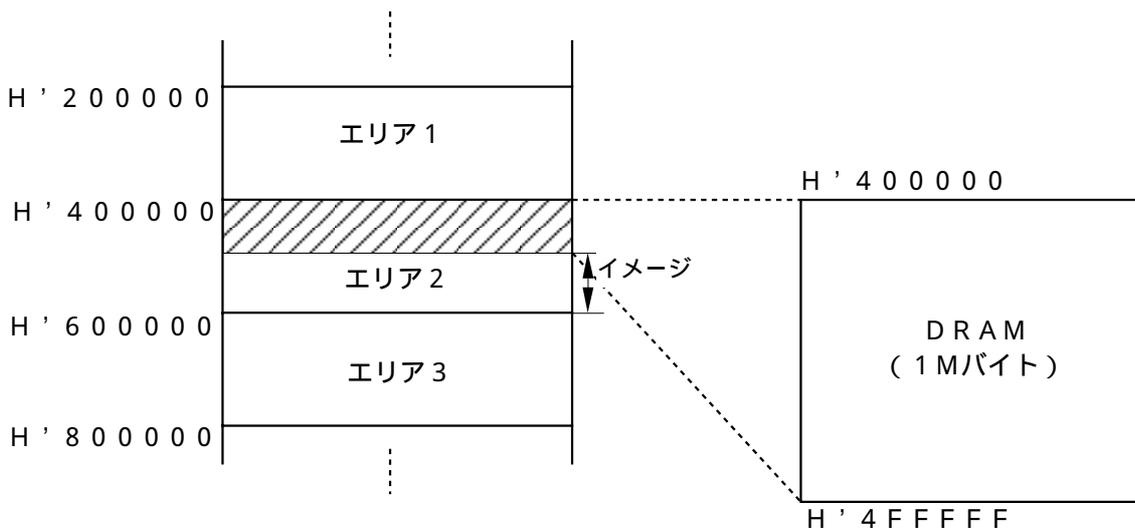


図3.3.3(b) メモリマップ

仕様

(3) 表3.3.3(a) にバスコントローラの設定を示します。

表3.3.3(a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントリブルレジスタ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 0	ABW1 *	ABW0 *	レジスタ: 16ビットアクセス空間
アドレスストロブコントリブルレジスタ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 *	AST0 *	-
ウェイトコントリブルレジスタH	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ウェイトコントリブルレジスタL	WCRL	W31 *	W30 *	W21 0	W20 1	W11 *	W10 *	W01 *	W00 *	アドレスストロブ挿入
バスコントリブルレジスタH	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMSTS2 0	RMSTS1 0	RMSTS0 1	DRAM空間: レジスタ
バスコントリブルレジスタL	BCRL	BRLE *	BREQOE *	EAE *	LCASS 0/LCASS端子 or 1/LWR端子	DDS *	ASS 1	WDBE *	WAITE *	/LCAS信号は/LCAS、/LWR端子から選択 レジスタの分割単位: 2Mbit (16Mbit)
メモリコントリブルレジスタ	MCR	TPC 0	BE 1	RCDM 0	CW2 0	MXC1 0	MXC0 1	RLW1 0	RLW0 0	プリチャージ 1行ポート 高速チャージモード /RASチャージモード /CAS2本方式 9ビットワイト /CASビフォア/RASリフレッシュウェイト無し
DRAMコントリブルレジスタ	DRAMCR	RFSHE 1	RCW 0	RMODE 0	CMF *	CMIE 0	CKS2 0	CKS1 0	CKS0 1	リフレッシュ制御を行なう /CASビフォア/RASリフレッシュ時のウェイトポート挿入禁止 /CASビフォア/RASリフレッシュ方式 コンパリア分割り込み禁止 リフレッシュレジスタのレジスタ: /2で割る
リフレッシュレジスタ	RTCOR	0	1	0	0	1	1	1	1	H'4F *

* HM51S4800C-7のリフレッシュ形式は1024サイクル/16msである。リフレッシュ発生が規定時間通り行えない場合を考慮して2倍の2048サイクル/8msで計算する。リフレッシュレジスタのレジスタを /2 (100ns) とすると RTCORは、(16ms / 2048サイクル) / 100ns 79 (= H'4F)

動作説明

DRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のないmin値およびmax値は以下の通りとします。

- ・ t_{cyc} : 50ns (発振器20MHz (=))
- ・ 規定のないmin値: 0ns
- ・ 規定のないmax値; min値

を基準に求めた時間には【】に基準タイミングを示します。タイミング値については、「動作説明(5)AC特性」を参照して下さい。

(1) リード

図3.3.3(c)にDRAMリードのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名 称		略 称
DRAM (HM51S4800C-7)	ロウアドレスセットアップ時間	t_{ASR}
	ロウアドレスホールド時間	t_{RAH}
	カラムアドレスセットアップ時間	t_{ASC}
	カラムアドレスホールド時間	t_{CAH}
	/RAS・/CAS遅延時間	t_{RCD}
	/RAS・カラムアドレス遅延時間	t_{RAD}
	/RASプリチャージ時間	t_{RP}
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) DRAM

(i) ロウアドレスセットアップ時間の計算【 T_{r-1} サイクルの立ち上がり】

$$0.5 t_{cyc} + t_{CSD2(min)} - t_{AD(max)} = 5 ns \quad 0 ns (t_{ASR})$$

(ii) ロウアドレスホールド時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 ns \quad 10 ns (t_{RAH})$$

(iii) カラムアドレスセットアップ時間の計算【 T_{c1-1} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{AD(max)} = 30 ns \quad 0 ns (t_{ASC})$$

(iv) カラムアドレスホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$2 t_{cyc} + t_{AD(min)} - t_{CASD(max)} = 80 ns \quad 15 ns (t_{CAH})$$

(v) /RAS・/CAS遅延時間の計算【 T_{r-1} サイクルの立ち下がり】

$$1.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 55 ns \quad 20 ns (t_{RCD})$$

(vi) /RAS・カラムアドレス遅延時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 ns \quad 15 ns (t_{RAD})$$

(vii) /RASプリチャージ時間の計算【 T_{p-3} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

動作説明

(b) H8S/2655

(i) リードデータセットアップ時間の計算【T_{w-1}サイクルの立ち上がり】

$$2t_{cyc} - t_{CASD(max)} + t_{CAC(max)} = 60ns \quad 15ns (t_{RDS})$$

<補足> アクセス時間は t_{RCD} および t_{RAD} により以下の時間で規定します。

条 件	適用時間
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	/CASからのアクセス時間 (t_{CAC})
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	アドレスからのアクセス時間 (t_{AA})
$t_{RCD}(\text{計算値})$ $t_{RCD(max)}$ かつ $t_{RAD}(\text{計算値})$ $t_{RAD(max)}$	/RASからのアクセス時間 (t_{RAC})

(ii) リードデータホールド時間の計算【T_{c1-2}サイクルの立ち上がり】

$$t_{CASD(min)} + t_{OFF1(min)} = 0ns \quad 0ns (t_{RDH})$$

(2) ライト

図3.3.3(d)にDRAMライトのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名 称		略 称
DRAM (HM51S4800C-7)	ライトコマンドセットアップ時間	t_{WCS}
	ライトコマンドホールド時間	t_{WCH}
	ライト入力セットアップ時間	t_{DS}
	ライト入力ホールド時間	t_{DH}

(a) ライトコマンドセットアップ時間の計算

$$t_{WCS(min)} = 0.5t_{cyc} - 10 = 15ns \quad 0ns (t_{WCS})$$

(b) ライトコマンドホールド時間の計算【T_{w-1}サイクルの立ち上がり】

$$1.5t_{cyc} - t_{CASD(max)} = 55ns \quad 15ns (t_{WCH})$$

(c) ライト入力セットアップ時間の計算

$$t_{WDS(min)} = 0.5t_{cyc} - 20 = 5ns \quad 0ns (t_{DS})$$

(d) ライト入力ホールド時間の計算【T_{w-1}サイクルの立ち上がり】

$$1.5t_{cyc} + t_{WRD1(min)} + t_{WDH(min)} - t_{CASD(max)} = 55ns \quad 15ns (t_{DH})$$

動作説明

(3) バーストモード

(a) 高速ページモード

高速ページモードでは、以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
DRAM (HM51S4800C-7)	高速ページモード/CASプリチャージ時間	t_{CP}
	高速ページモードサイクル時間	t_{PC}
	/CASプリチャージからの/RASホールド時間	t_{RHCP}

(i) H8S/2655

(i-1) リードデータセットアップ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} - t_{CASD(max)} - t_{ACP(max)} = 90ns \quad 15ns (t_{RDS})$$

(i-2) リードデータホールド時間の計算【 T_{p-3} サイクルの立ち上がり】

$$t_{CSD1(min)} + t_{OFF1(min)} = 0ns \quad 0ns (t_{RDH})$$

(ii) DRAM

(ii-1) 高速ページモード/CASプリチャージ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 30ns \quad 10ns (t_{CP})$$

(ii-2) 高速ページモードサイクル時間の計算【 T_{w-1} サイクルの立ち上がり】

$$3t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130ns \quad 45ns (t_{PC})$$

(ii-3) /CASプリチャージからの/RASホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} + t_{CSD1(min)} - t_{CASD(max)} = 130ns \quad 40ns (t_{RHCP})$$

(b) /RASダウンモード

/RASダウンモードは、メモリコントロールレジスタ(MCR)のRCDMビットを'1'に設定すると選択できます。ただし、/LWR端子を/LCAS信号として用いた場合には使用できません。

動作説明

(4) リフレッシュサイクル

(a) /CASピフォ/RASリフレッシュ

図3.3.3(e)、図3.3.3(f)に/CASピフォ/RASリフレッシュタイミングチャートを示します。
以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM51S4800C-7)	/RASプリチャージ時間	t_{RP}
	/CASセットアップ時間	t_{CSR}
	/RASパルス幅	t_{RAS}
	/CASホールド時間	t_{CHR}
	ノーマルモード・/CASプリチャージ時間	t_{CPN}
	ランダムリード・ライトサイクル時間	t_{RC}

(i) /RASプリチャージ時間

(i-1) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(i-2) リフレッシュサイクルからノーマルサイクルに遷移

・/LCAS信号として/LCAS端子を使用する場合【 T_p サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

・/LCAS信号として/LWR端子を使用する場合【 T_{Ri} サイクルの立ち上がり】

$$2.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 105 ns \quad 50 ns (t_{RP})$$

(ii) /CASセットアップ時間

$$t_{CSR(min)} = 15 ns \quad 10 ns (t_{CSR})$$

(iii) /RASパルス幅【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CSD1(min)} - t_{CSD2(max)} = 105 ns \quad 70 ns (t_{RAS})$$

(iv) /CASホールド時間【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 105 ns \quad 10 ns (t_{CHR})$$

(v) ノーマルモード・/CASプリチャージ時間

(v-1) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 70 ns \quad 10 ns (t_{CPN})$$

(v-2) リフレッシュサイクルからノーマルサイクルに遷移

・/LCAS信号として/LCAS端子を使用する場合【 T_p サイクルの立ち上がり】

$$3 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130 ns \quad 10 ns (t_{CPN})$$

・/LCAS信号として/LWR端子を使用する場合【 T_{Ri} サイクルの立ち上がり】

$$4 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 180 ns \quad 10 ns (t_{CPN})$$

(vi) ランダムリード・ライトサイクル時間【 T_{Rr} サイクルの立ち下がり】

(vi-1) /LCAS信号として/LCAS端子を使用する場合

$$4 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 180 ns \quad 130 ns (t_{RC})$$

(vi-2) /LCAS信号として/LWR端子を使用する場合

$$5 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 230 ns \quad 130 ns (t_{RC})$$

動作説明

(b) セルフリフレッシュモード

図3.3.3(g)にセルフリフレッシュタイミングチャートを示します。

DRAMコントロールレジスタ(DRAMCR)のRMODEビットを'1'に設定し、その後ソフトウェアスタンバイモードに遷移するためのSLEEP命令を実行するとDRAMをセルフリフレッシュモードに遷移させることができます。

セルフリフレッシュモードでは、以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM51S4800C-7)	/RASパルス幅	t_{RASS}
	/CASホールド時間	t_{CHS}
	/RASプリチャージ時間	t_{RPS}

(i) /RASパルス幅の計算【 T_{Rf} サイクルの立ち下がり】

$$3.5 t_{cyc} + (\text{ソフトウェアスタンバイ時間}) + t_{CSD1(max)} - t_{CSD2(min)} \\ = 105 + (\text{ソフトウェアスタンバイ時間}) ns \quad 100 ns (t_{RASS})$$

(ii) /CASホールド時間の計算【 T_{Rc} サイクルの立ち下がり】

$$0.5 t_{cyc} + t_{CASD(min)} - t_{CSD1(max)} = 5 ns \quad - 50 ns (t_{CHS})$$

(iii) /RASプリチャージ時間の計算【 T_{Rc} サイクルの立ち下がり】

割り込み処理ルーチン領域をDRAMとすると、

$$t_{cyc} + (\text{割り込み例外処理時間}) + 1.5 t_{cyc} + t_{CSD2(max)} - t_{CSD1(min)} \\ = 105 + (\text{割り込み例外処理時間}) ns \quad 130 ns (t_{RPS})$$

<補足>

以下の条件の場合、割り込み例外処理時間は $21 t_{cyc} = 1050 ns$ のため、上記の /RASプリチャージ時間の不等式は成り立ちます。

- ・割り込みモード：モード0
- ・エリア0へのアクセスステート数：4
- ・スタックエリアへのアクセスステート数：3

動作説明

(5) AC特性

表3.3.3(b)にH8S/2655のAC特性を、表3.3.3(c)にHM51S4800C-7のAC特性を示します。

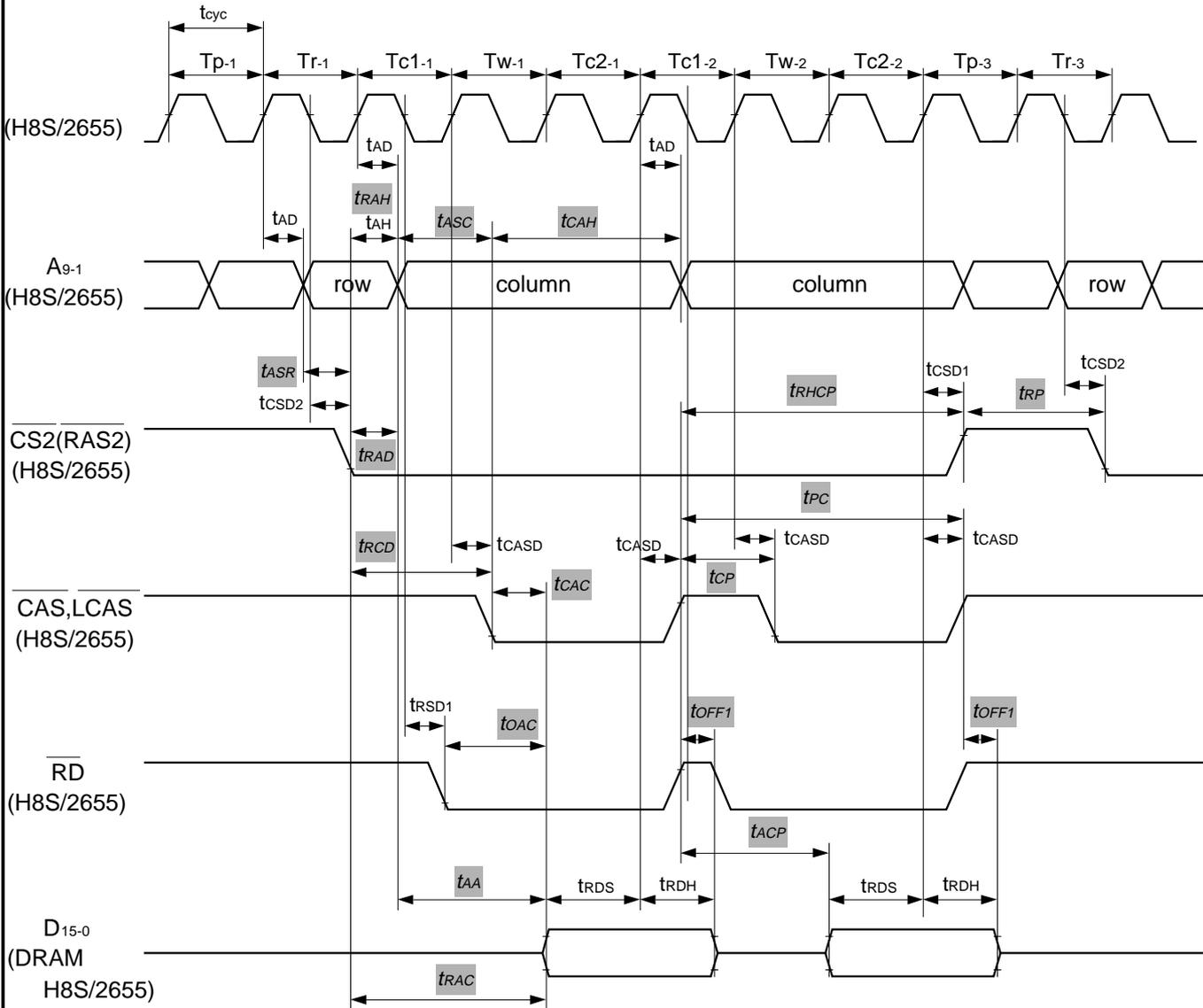
表3.3.3(b) H8S/2655のAC特性

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/CS遅延時間2	t_{CSD2}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/CAS遅延時間	t_{CASD}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 20$	-	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns
/WRセットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 10$	-	ns

表3.3.3(c) HM51S4800C-7のAC特性

項目	記号	min	max	単位
ランダムリード・ライトサイクル時間	t_{RC}	130	-	ns
/RASプリチャージ時間	t_{RP}	50	-	ns
/RASパルス幅	t_{RAS}	70	10000	ns
ロウアドレスセットアップ時間	t_{ASR}	0	-	ns
ロウアドレスホールド時間	t_{RAH}	10	-	ns
カラムアドレスセットアップ時間	t_{ASC}	0	-	ns
カラムアドレスホールド時間	t_{CAH}	15	-	ns
/RAS・/CAS遅延時間	t_{RCD}	20	50	ns
/RAS・カラムアドレス遅延時間	t_{RAD}	15	35	ns
/RASからのアクセス時間	t_{RAC}	-	70	ns
/CASからのアクセス時間	t_{CAC}	-	20	ns
アドレスからのアクセス時間	t_{AA}	-	35	ns
/OEからのアクセス時間	t_{OAC}	-	20	ns
出力バッファターンオフ時間	t_{OFF1}	0	15	ns
ライトコマンドセットアップ時間	t_{WCS}	0	-	ns
ライトコマンドホールド時間	t_{WCH}	15	-	ns
データ入力セットアップ時間	t_{DS}	0	-	ns
データ入力ホールド時間	t_{DH}	15	-	ns
/CASセットアップ時間	t_{CSR}	10	-	ns
/CASホールド時間	t_{CHR}	10	-	ns
ノーマルモード・/CASプリチャージ時間	t_{CPN}	10	-	ns
高速ページモードサイクル時間	t_{PC}	45	-	ns
高速ページモード/CASプリチャージ時間	t_{CP}	10	-	ns
/CASプリチャージからのアクセス時間	t_{ACP}	-	40	ns
/CASプリチャージからの/RASホールド時間	t_{RHCP}	40	-	ns
セルフリフレッシュ/RASパルス幅	t_{RASS}	100	-	ns
セルフリフレッシュ/RASプリチャージ時間	t_{RPS}	130	-	ns
セルフリフレッシュ/CASホールド時間	t_{CHS}	-50	-	ns

動作説明



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

図3.3.3(c) DRAMリードタイミングチャート

動作説明

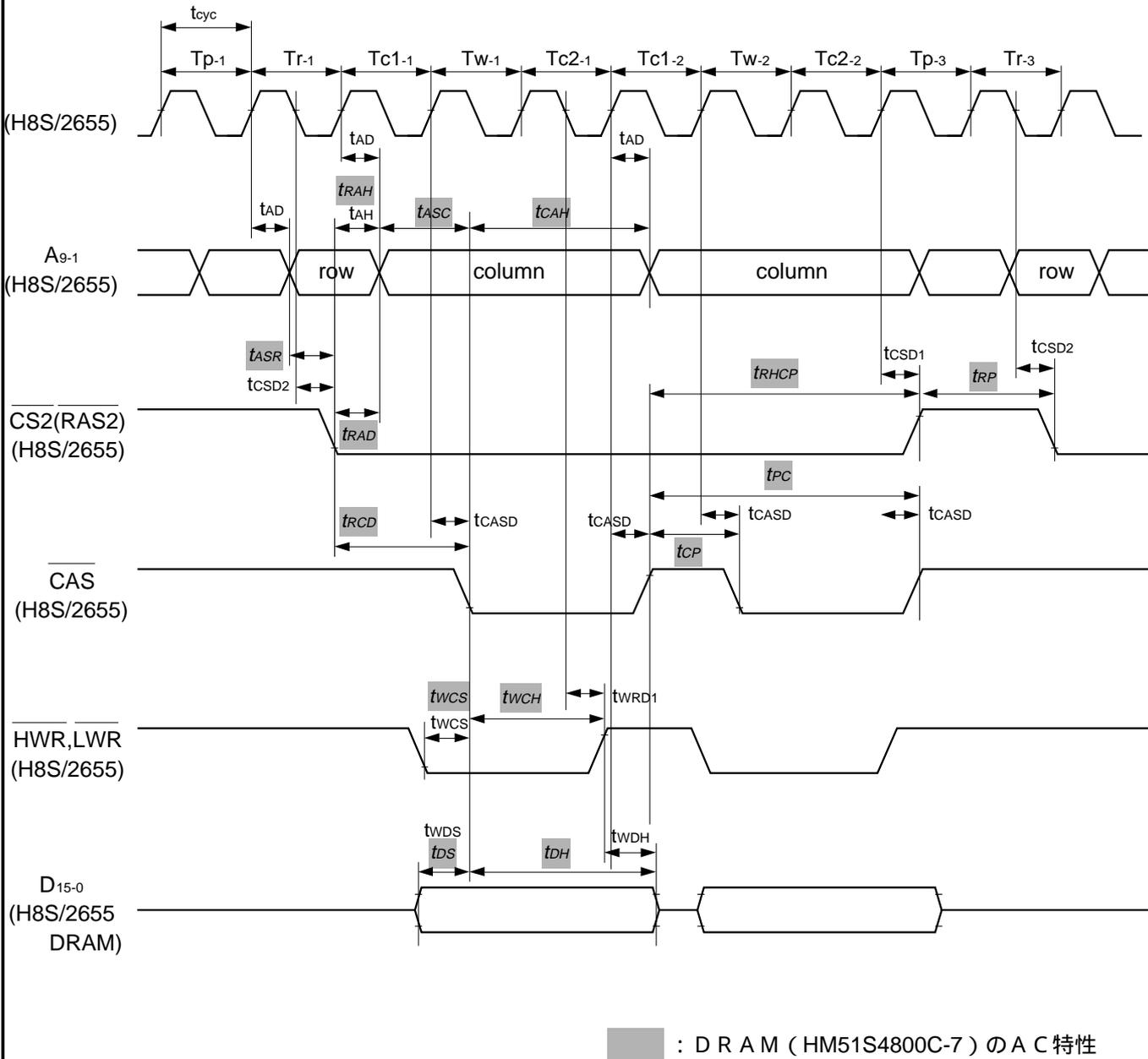
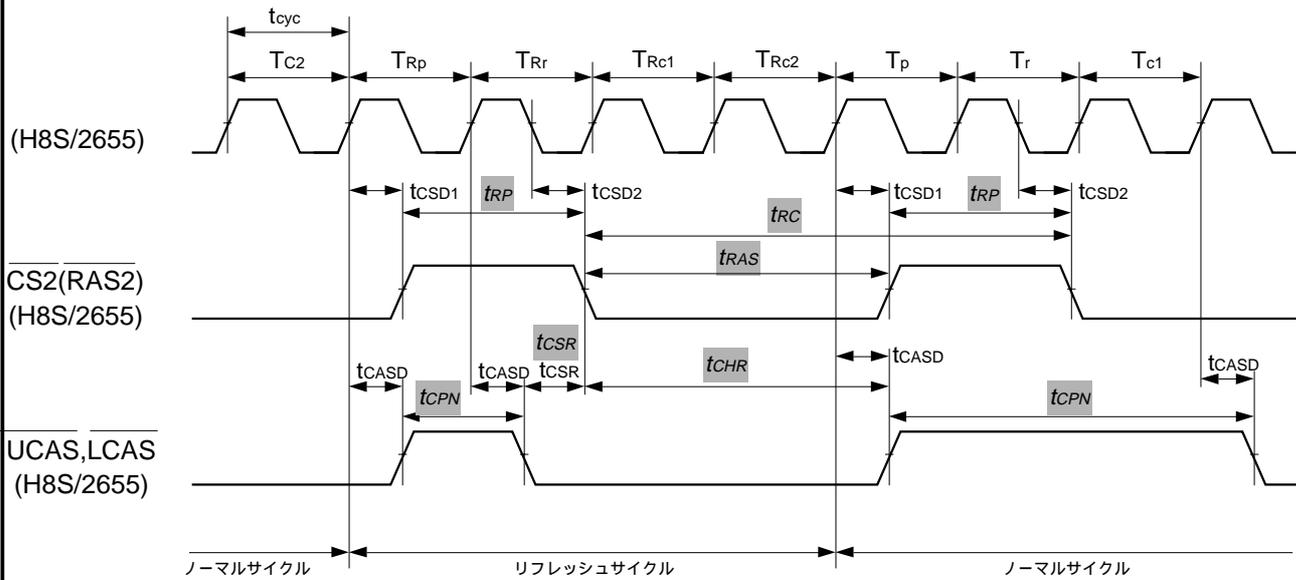


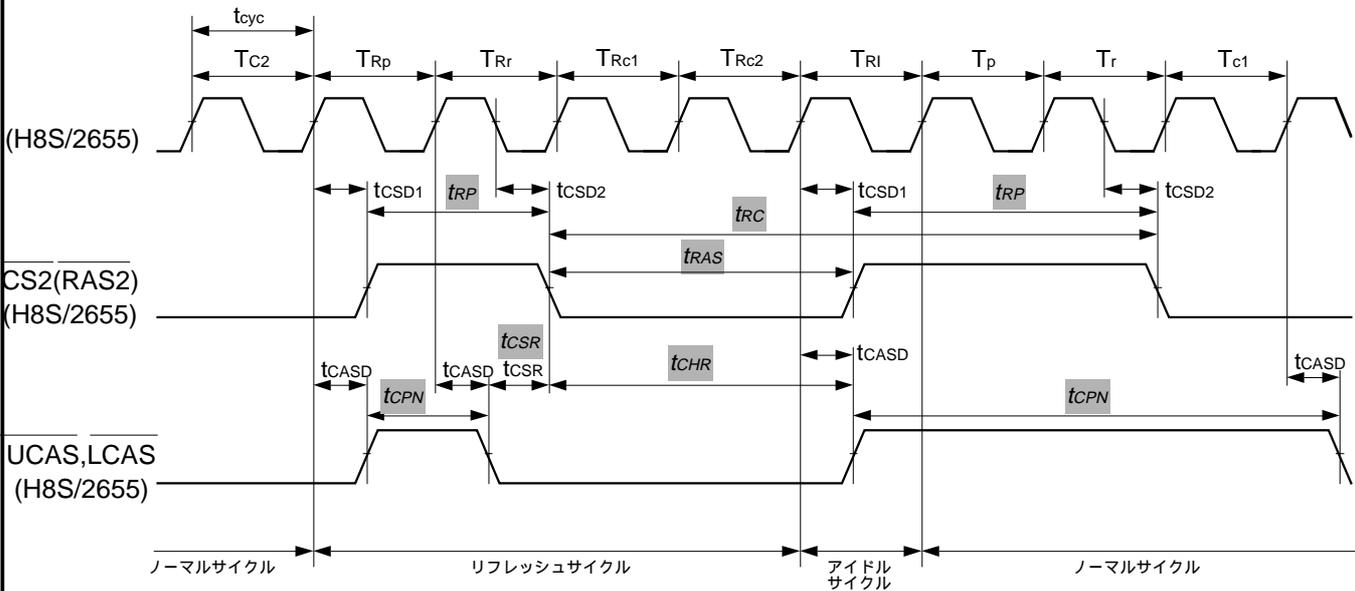
図3.3.3 (d) D R A M ライトタイミングチャート

動作説明



■ : DRAM (HM51S4800C-7) の AC 特性

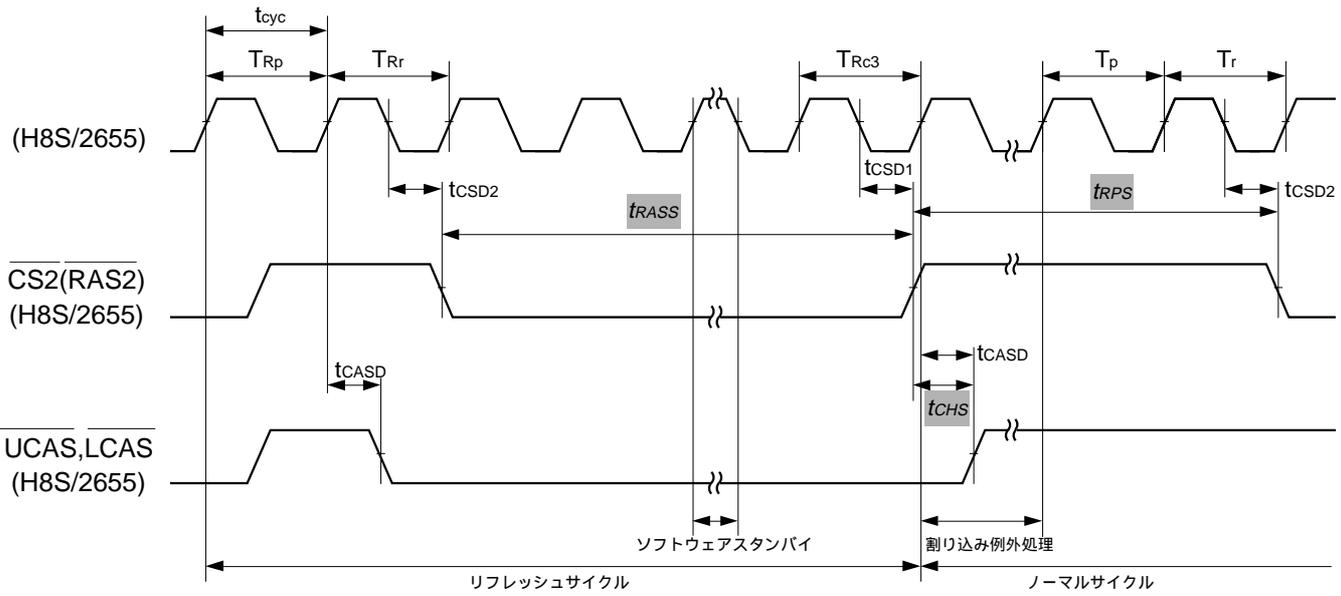
図3.3.3 (e) /CASピフオ/RASリフレッシュタイミングチャート
(/LCAS信号として/LCAS端子を使用する場合)



■ : DRAM (HM51S4800C-7) の AC 特性

図3.3.3 (f) /CASピフオ/RASリフレッシュタイミングチャート
(/LCAS信号として/LWR端子を使用する場合)

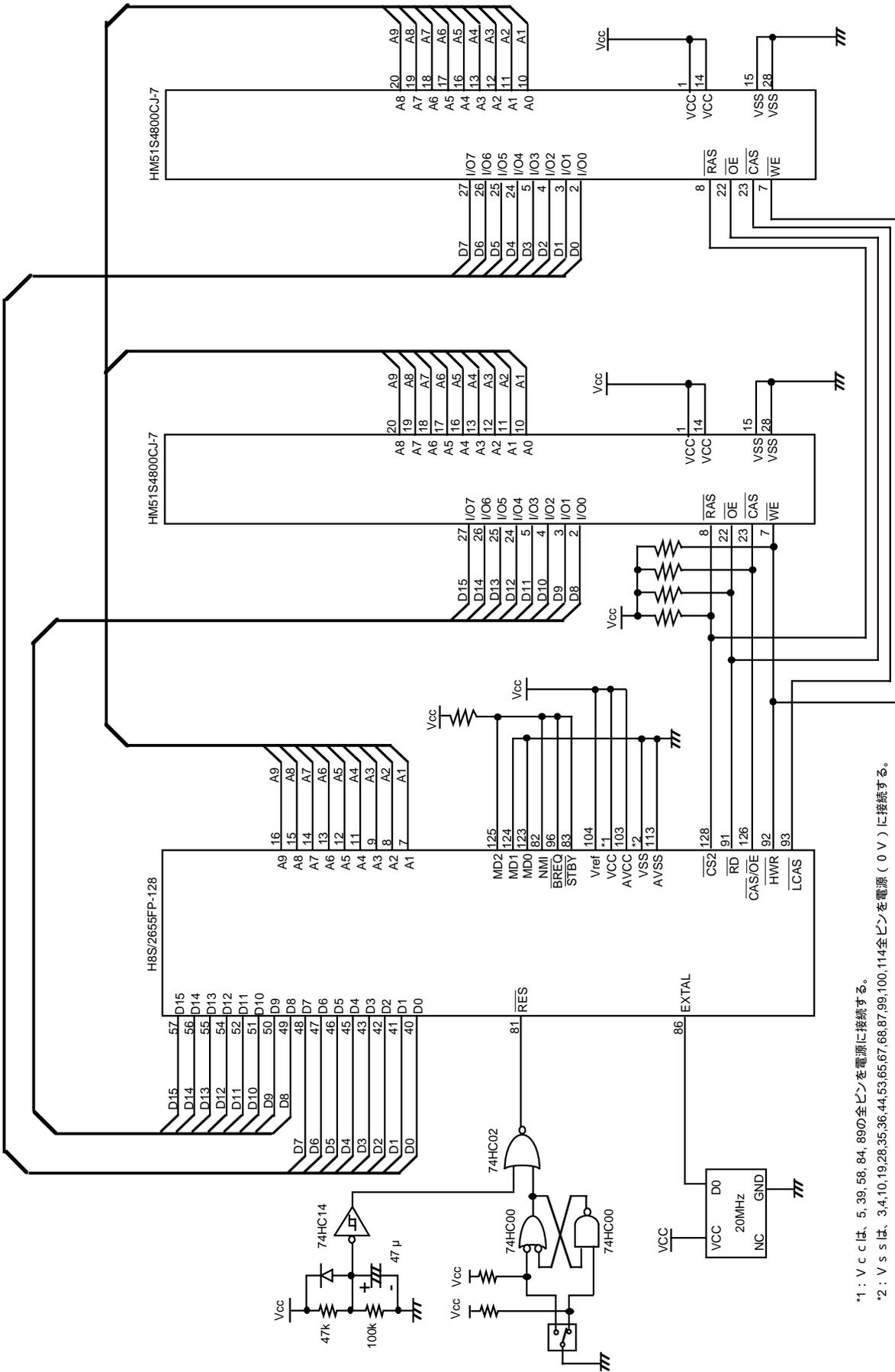
動作説明



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

図3.3.3 (g) セルリフレッシュタイミングチャート

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。
 *2: Vssは、3, 4, 10, 19, 28, 35, 36, 44, 53, 65, 67, 68, 87, 99, 100, 114全ピンを電源(0V)に接続する。

図3.3.3(h) HM51S4800CJ-7インタフェース (L CAS信号としてL CAS端子を使用する場合)

3.1.0 2WE方式によるDRAM(HM51S4800C-7)インタフェース

DRAM(HM51S4800C-7)インタフェース	MCU	H8S/2655	使用機能	モード4(16ビットバスモード)
---------------------------	-----	----------	------	------------------

仕様

(1) 図3.3.4(a)にH8S/2655と×8ビット構成DRAM(HM51S4800C-7)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、DRAMをエリア2に割り当てます。バイト制御は、/WE 2本方式で行います。

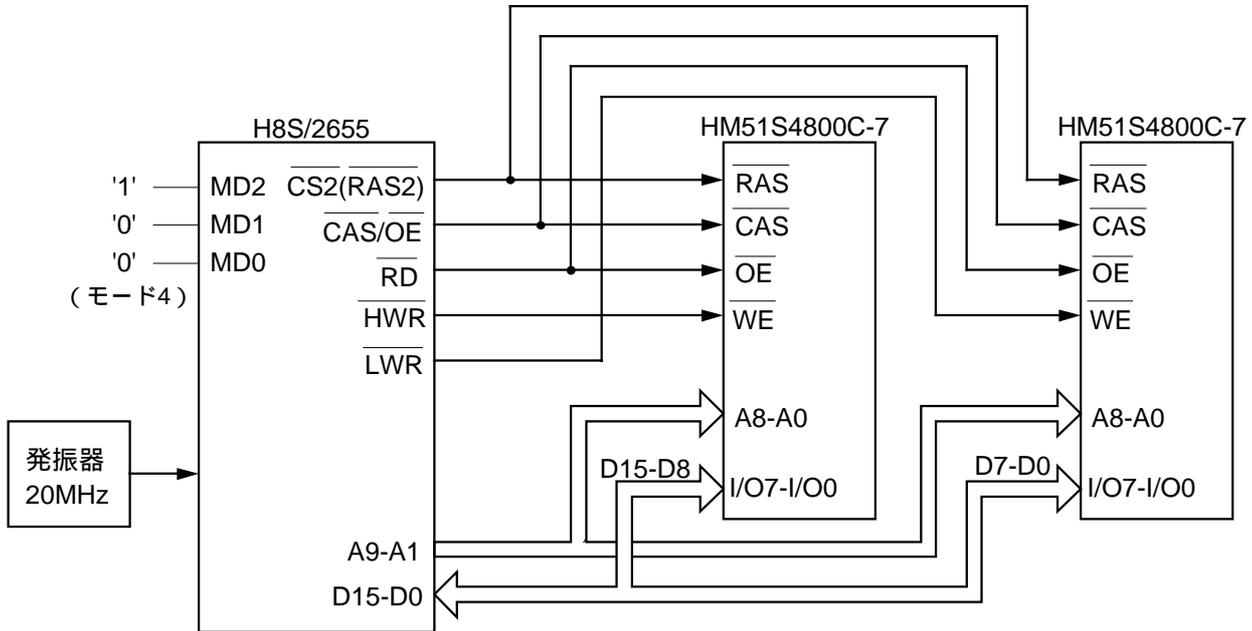


図3.3.4(a) H8S/2655とDRAMの接続例(バイト制御:/WE 2本方式)

(2) 図3.3.4(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、DRAM領域はH'400000~H'4FFFFFFになります。

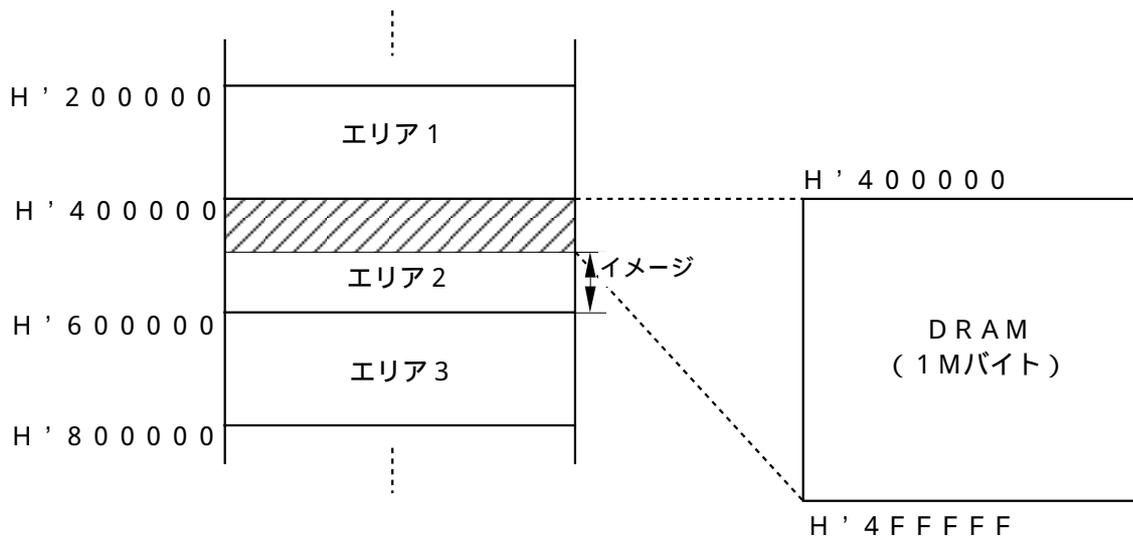


図3.3.4(b) メモリマップ

仕様

(3) 表3.3.4 (a) にバスコントローラの設定を示します。

表3.3.4 (a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントロールレジスタ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 0	ABW1 *	ABW0 *	I/O: 16ビットアクセス空間
アドレスポートコントロールレジスタ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 *	AST0 *	-
ウェイトコントロールレジスタH	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ウェイトコントロールレジスタL	WCRL	W31 *	W30 *	W21 0	W20 1	W11 *	W10 *	W01 *	W00 *	プログラムのポート挿入
バスコントロールレジスタH	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2 0	RMTS1 0	RMTS0 1	DRAM空間: I/O
バスコントロールレジスタL	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	I/Oの分割単位: 2Mバイト (16Mバイト)
メモリコントロールレジスタ	MCR	TPC 0	BE 1	RGDM 0	CW2 1	MXC1 0	MXC0 1	RLW1 0	RLW0 0	プログラムのポート 高速バースト /RASバースト /RASバースト方式 /WE2本方式 9ビット /CASバースト/RASバースト無し
DRAMコントロールレジスタ	DRAMCR	RFSHE 1	RCW 0	RMODE 0	CMF *	CMIE 0	CKS2 0	CKS1 0	CKS0 1	リフレッシュ制御を行なう /CASバースト/RASバースト時のウェイトポート挿入禁止 /CASバースト/RASバースト方式 コンパイル割り込み禁止 リフレッシュ加算: /2でカット
リフレッシュタイムアウトレジスタ	RTCOR	0	1	0	0	1	1	1	1	* H4F

* HM51S4800C-7のリフレッシュ形式は1024サイクル / 16msである。リフレッシュ発生が規定時間通り行えない場合を考慮して2倍の2048サイクル / 8msで計算する。リフレッシュ加算を / 2 (100ns) とすると RTCORは、(16ms / 2048サイクル) / 100ns 79 (= H4F)

動作説明

DRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。t_{cyc}、規定のないmin値およびmax値は以下の通りとします。

- ・t_{cyc}: 50ns(発振器20MHz(=))
- ・規定のないmin値: 0ns
- ・規定のないmax値: min値

を基準に求めた時間には【】に基準タイミングを示します。タイミング値については、「動作説明(5)AC特性」を参照して下さい。

(1) リード

図3.3.4(c)にDRAMリードのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM51S4800C-7)	ロウアドレスセットアップ時間	t _{ASR}
	ロウアドレスホールド時間	t _{RAH}
	カラムアドレスセットアップ時間	t _{ASC}
	カラムアドレスホールド時間	t _{CAH}
	/RAS・/CAS遅延時間	t _{RCD}
	/RAS・カラムアドレス遅延時間	t _{RAD}
	/RASプリチャージ時間	t _{RP}
H8S/2655	リードデータセットアップ時間	t _{RDS}
	リードデータホールド時間	t _{RDH}

(a) DRAM

(i) ロウアドレスセットアップ時間の計算【T_{r-1}サイクルの立ち上がり】

$$0.5 t_{cyc} + t_{CSD2(min)} - t_{AD(max)} = 5 ns \quad 0 ns (t_{ASR})$$

(ii) ロウアドレスホールド時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 ns \quad 10 ns (t_{RAH})$$

(iii) カラムアドレスセットアップ時間の計算【T_{c1-1}サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{AD(max)} = 30 ns \quad 0 ns (t_{ASC})$$

(iv) カラムアドレスホールド時間の計算【T_{w-1}サイクルの立ち上がり】

$$2 t_{cyc} + t_{AD(min)} - t_{CASD(max)} = 80 ns \quad 15 ns (t_{CAH})$$

(v) /RAS・/CAS遅延時間の計算【T_{r-1}サイクルの立ち下がり】

$$1.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 55 ns \quad 20 ns (t_{RCD})$$

(vi) /RAS・カラムアドレス遅延時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 ns \quad 15 ns (t_{RAD})$$

(vii) /RASプリチャージ時間の計算【T_{p-3}サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

動作説明

(b) H8S/2655

(i) リードデータセットアップ時間の計算【 T_{w-1} サイクルの立ち上がり】

$$2 t_{cyc} - t_{CASD(max)} + t_{CAC(max)} = 60 ns \quad 15 ns (t_{RDS})$$

<補足> アクセス時間は t_{RCD} および t_{RAD} により以下の時間で規定します。

条 件	適用時間
t_{RCD} (計算値) $t_{RCD(max)}$ かつ t_{RAD} (計算値) $t_{RAD(max)}$	/CASからのアクセス時間 (t_{CAC})
t_{RCD} (計算値) $t_{RCD(max)}$ かつ t_{RAD} (計算値) $t_{RAD(max)}$	アドレスからのアクセス時間 (t_{AA})
t_{RCD} (計算値) $t_{RCD(max)}$ かつ t_{RAD} (計算値) $t_{RAD(max)}$	/RASからのアクセス時間 (t_{RAC})

(ii) リードデータホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{CASD(min)} + t_{OFF1(min)} = 0 ns \quad 0 ns (t_{RDH})$$

(2) ライト

図3.3.4(d)にDRAMライトのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名 称		略 称
DRAM (HM51S4800C-7)	ライトコマンドセットアップ時間	t_{WCS}
	ライトコマンドホールド時間	t_{WCH}
	ライト入力セットアップ時間	t_{DS}
	ライト入力ホールド時間	t_{DH}

(a) ライトコマンドセットアップ時間の計算

$$t_{WCS(min)} = 0.5 t_{cyc} - 10 = 15 ns \quad 0 ns (t_{WCS})$$

(b) ライトコマンドホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$1.5 t_{cyc} - t_{CASD(max)} = 55 ns \quad 15 ns (t_{WCH})$$

(c) ライト入力セットアップ時間の計算

$$t_{WDS(min)} = 0.5 t_{cyc} - 20 = 5 ns \quad 0 ns (t_{DS})$$

(d) ライト入力ホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{WRD1(min)} + t_{WDH(min)} - t_{CASD(max)} = 55 ns \quad 15 ns (t_{DH})$$

動作説明

(3) バーストモード

(a) 高速ページモード

高速ページモードでは、以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
DRAM (HM51S4800C-7)	高速ページモード/CASプリチャージ時間	t_{CP}
	高速ページモードサイクル時間	t_{PC}
	/CASプリチャージからの/RASホールド時間	t_{RHCP}

(i) H8S/2655

(i-1) リードデータセットアップ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} - t_{CASD(max)} - t_{ACP(max)} = 90ns \quad 15ns (t_{RDS})$$

(i-2) リードデータホールド時間の計算【 T_{p-3} サイクルの立ち上がり】

$$t_{CSD1(min)} + t_{OFF1(min)} = 0ns \quad 0ns (t_{RDH})$$

(ii) DRAM

(ii-1) 高速ページモード/CASプリチャージ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 30ns \quad 10ns (t_{CP})$$

(ii-2) 高速ページモードサイクル時間の計算【 T_{w-1} サイクルの立ち上がり】

$$3t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130ns \quad 45ns (t_{PC})$$

(ii-3) /CASプリチャージからの/RASホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} + t_{CSD1(min)} - t_{CASD(max)} = 130ns \quad 40ns (t_{RHCP})$$

(b) /RASダウンモード

/RASダウンモードは、メモリコントロールレジスタ(MCR)のRCDMビットを'1'に設定すると選択できます。

動作説明

(4) リフレッシュサイクル

(a) /CASピフオ/RASリフレッシュ

図3.3.4(e)に/CASピフオ/RASリフレッシュタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM51S4800C-7)	/RASプリチャージ時間	t_{RP}
	/CASセットアップ時間	t_{CSR}
	/RASパルス幅	t_{RAS}
	/CASホールド時間	t_{CHR}
	ノーマルモード・/CASプリチャージ時間	t_{CPN}
	ランダムリード・ライトサイクル時間	t_{RC}

(i) /RASプリチャージ時間

(i-1) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(i-2) リフレッシュサイクルからノーマルサイクルに遷移【 T_p サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(ii) /CASセットアップ時間

$$t_{CSR(min)} = 15 ns \quad 10 ns (t_{CSR})$$

(iii) /RASパルス幅【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CSD1(min)} - t_{CSD2(max)} = 105 ns \quad 70 ns (t_{RAS})$$

(iv) /CASホールド時間【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 105 ns \quad 10 ns (t_{CHR})$$

(v) ノーマルモード・/CASプリチャージ時間

(v-1) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 70 ns \quad 10 ns (t_{CPN})$$

(v-2) リフレッシュサイクルからノーマルサイクルに遷移【 T_p サイクルの立ち上がり】

$$3 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130 ns \quad 10 ns (t_{CPN})$$

(vi) ランダムリード・ライトサイクル時間【 T_{Rr} サイクルの立ち下がり】

$$4 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 180 ns \quad 130 ns (t_{RC})$$

動作説明

(b) セルフリフレッシュモード

図3.3.4 (f) にセルフリフレッシュタイミングチャートを示します。

DRAMコントロールレジスタ (DRAMCR) のRMODE ビットを'1'に設定し、その後ソフトウェアスタンバイモードに遷移するためのSLEEP命令を実行するとDRAMをセルフリフレッシュモードに遷移させることができます。

セルフリフレッシュモードでは、以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM51S4800C-7)	/RASパルス幅	t_{RASS}
	/CASホールド時間	t_{CHS}
	/RASプリチャージ時間	t_{RPS}

(i) /RASパルス幅の計算【 T_{Rf} サイクルの立ち下がり】

$$3.5 t_{cyc} + (\text{ソフトウェアスタンバイ時間}) + t_{CSD1(max)} - t_{CSD2(min)} \\ = 105 + (\text{ソフトウェアスタンバイ時間}) ns \quad 100 ns (t_{RASS})$$

(ii) /CASホールド時間の計算【 T_{Rc} サイクルの立ち下がり】

$$0.5 t_{cyc} + t_{CASD(min)} - t_{CSD1(max)} = 5 ns \quad - 50 ns (t_{CHS})$$

(iii) /RASプリチャージ時間の計算【 T_{Rc} サイクルの立ち下がり】

割り込み処理ルーチン領域をDRAMとすると、

$$t_{cyc} + (\text{割り込み例外処理時間}) + 1.5 t_{cyc} + t_{CSD2(max)} - t_{CSD1(min)} \\ = 105 + (\text{割り込み例外処理時間}) ns \quad 130 ns (t_{RPS})$$

<補足>

以下の条件の場合、割り込み例外処理時間は $21 t_{cyc} = 1050 ns$ のため、上記の /RASプリチャージ時間の不等式は成り立ちます。

- ・割り込みモード：モード0
- ・エリア0へのアクセスステート数：4
- ・スタックエリアへのアクセスステート数：3

動作説明

(5) AC特性

表3.3.4 (b) にH8S/2655のAC特性を、表3.3.4 (c) にHM51S4800C-7のAC特性を示します。

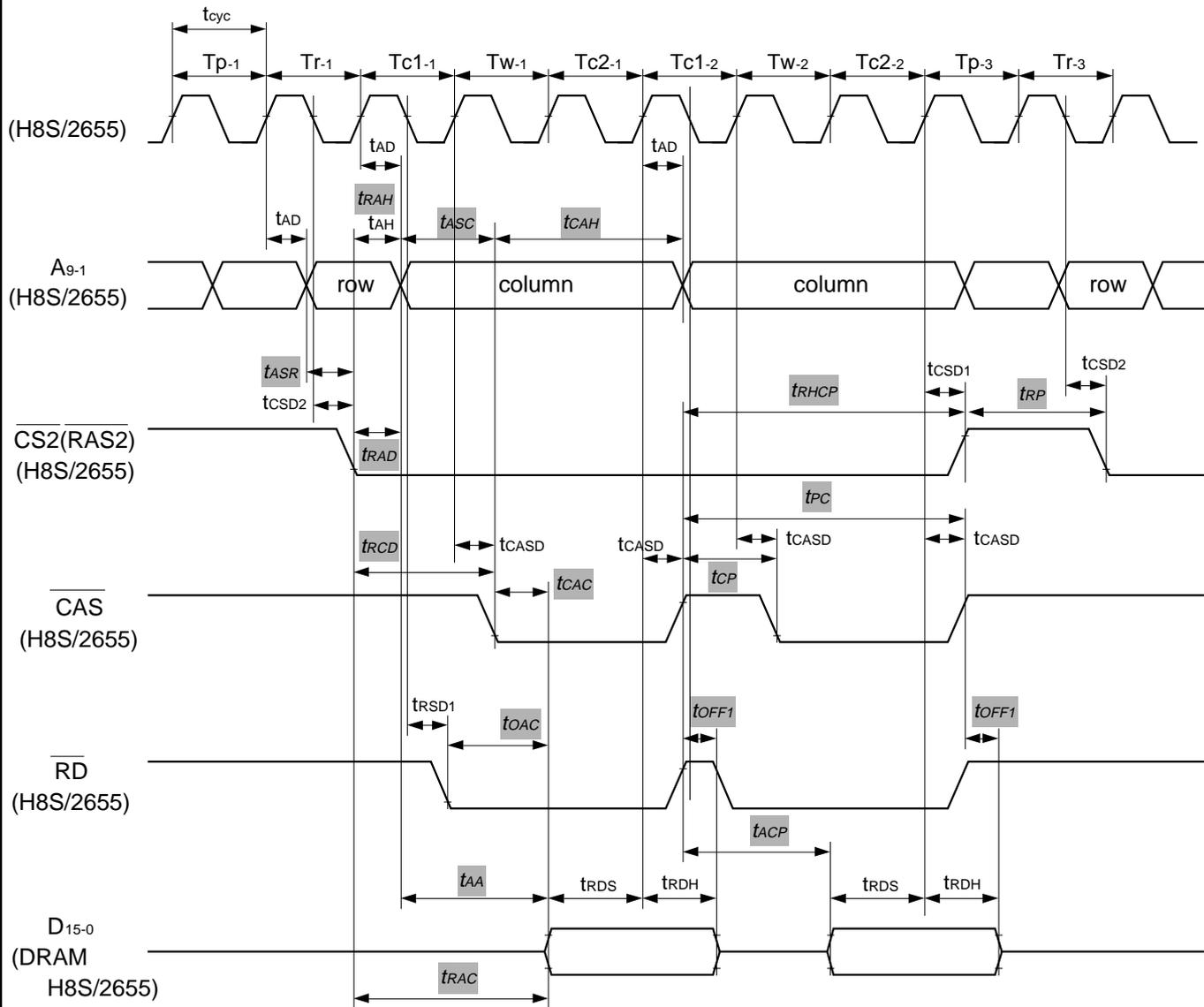
表3.3.4 (b) H8S/2655のAC特性

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/CS遅延時間2	t_{CSD2}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/CAS遅延時間	t_{CASD}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 20$	-	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns
/WRセットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 10$	-	ns

表3.3.4 (c) HM51S4800C-7のAC特性

項目	記号	min	max	単位
ランダムリード・ライトサイクル時間	t_{RC}	130	-	ns
/RASプリチャージ時間	t_{RP}	50	-	ns
/RASパルス幅	t_{RAS}	70	10000	ns
ロウアドレスセットアップ時間	t_{ASR}	0	-	ns
ロウアドレスホールド時間	t_{RAH}	10	-	ns
カラムアドレスセットアップ時間	t_{ASC}	0	-	ns
カラムアドレスホールド時間	t_{CAH}	15	-	ns
/RAS・/CAS遅延時間	t_{RCD}	20	50	ns
/RAS・カラムアドレス遅延時間	t_{RAD}	15	35	ns
/RASからのアクセス時間	t_{RAC}	-	70	ns
/CASからのアクセス時間	t_{CAC}	-	20	ns
アドレスからのアクセス時間	t_{AA}	-	35	ns
/OEからのアクセス時間	t_{OAC}	-	20	ns
出力バッファターンオフ時間	t_{OFF1}	0	15	ns
ライトコマンドセットアップ時間	t_{WCS}	0	-	ns
ライトコマンドホールド時間	t_{WCH}	15	-	ns
データ入力セットアップ時間	t_{DS}	0	-	ns
データ入力ホールド時間	t_{DH}	15	-	ns
/CASセットアップ時間	t_{CSR}	10	-	ns
/CASホールド時間	t_{CHR}	10	-	ns
ノーマルモード・/CASプリチャージ時間	t_{CPN}	10	-	ns
高速ページモードサイクル時間	t_{PC}	45	-	ns
高速ページモード/CASプリチャージ時間	t_{CP}	10	-	ns
/CASプリチャージからのアクセス時間	t_{ACP}	-	40	ns
/CASプリチャージからの/RASホールド時間	t_{RHCP}	40	-	ns
セルフリフレッシュ/RASパルス幅	t_{RASS}	100	-	ns
セルフリフレッシュ/RASプリチャージ時間	t_{RPS}	130	-	ns
セルフリフレッシュ/CASホールド時間	t_{CHS}	-50	-	ns

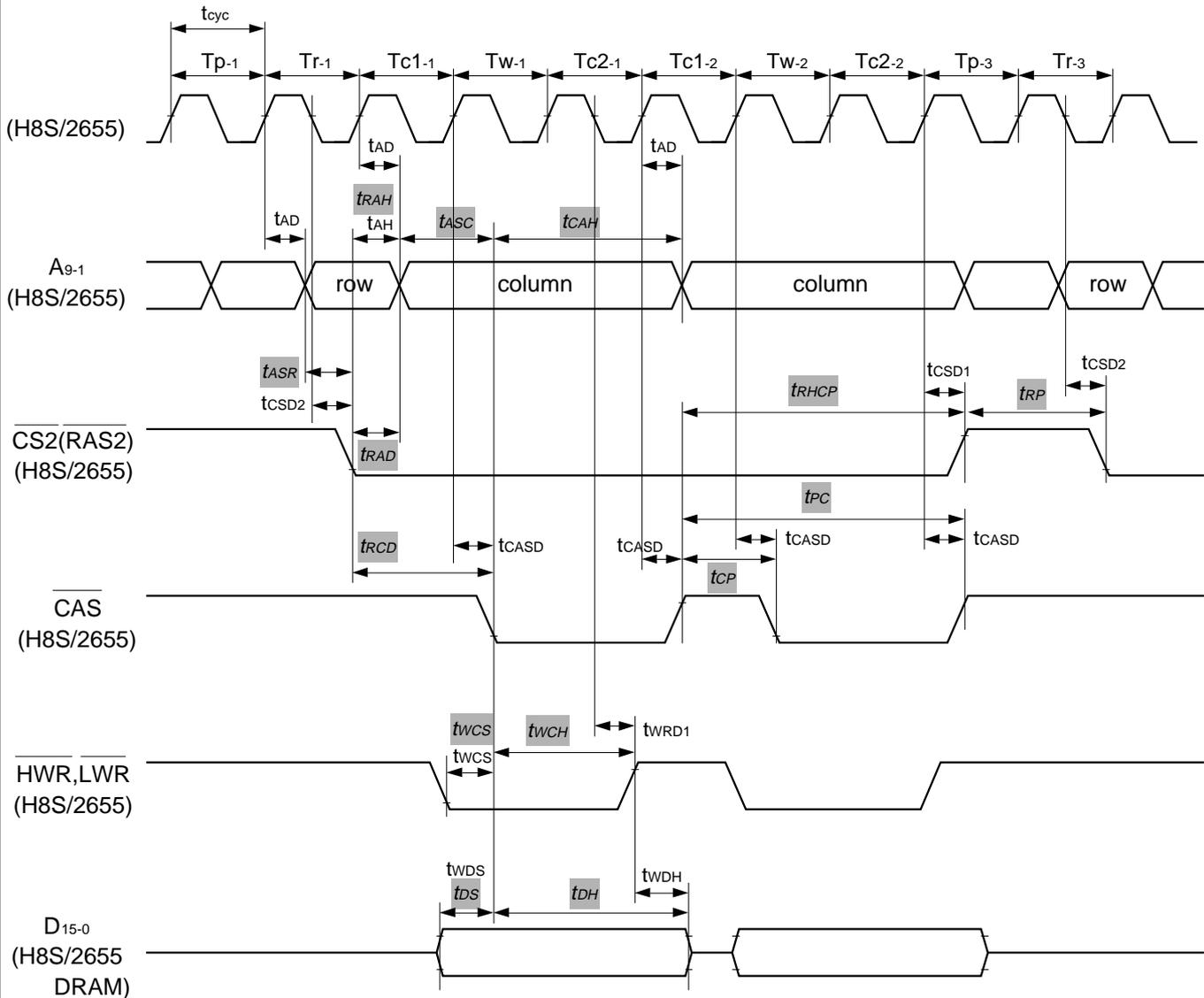
動作説明



■ : DRAM (HM51S4800C-7) の A C 特性

図3.3.4(c) DRAMリードタイミングチャート

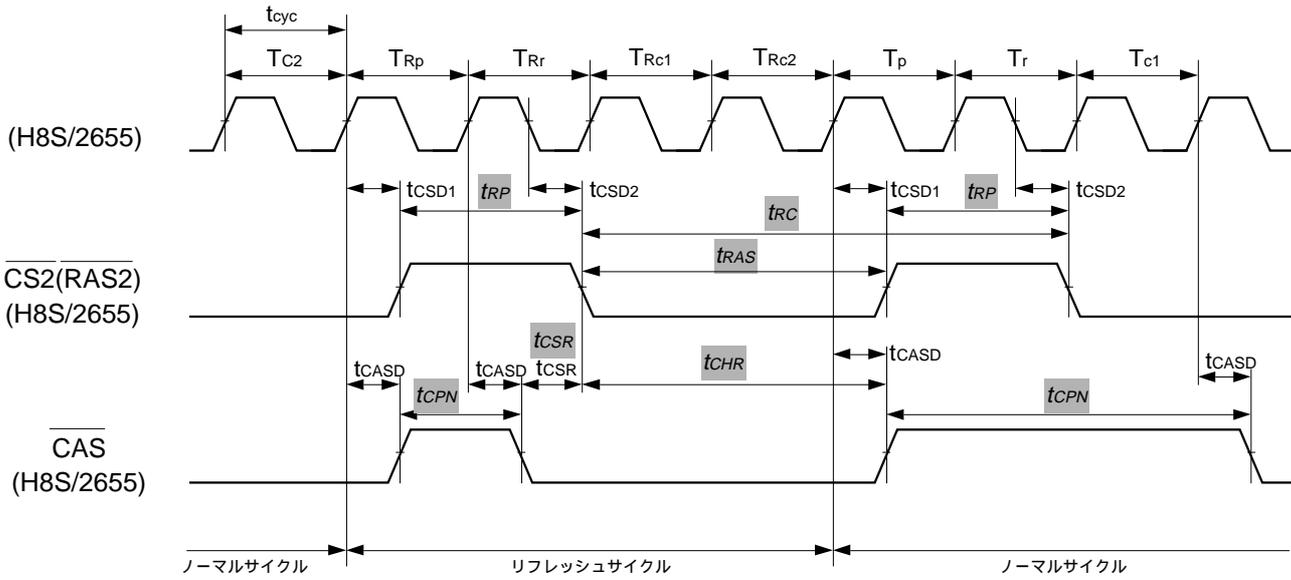
動作説明



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

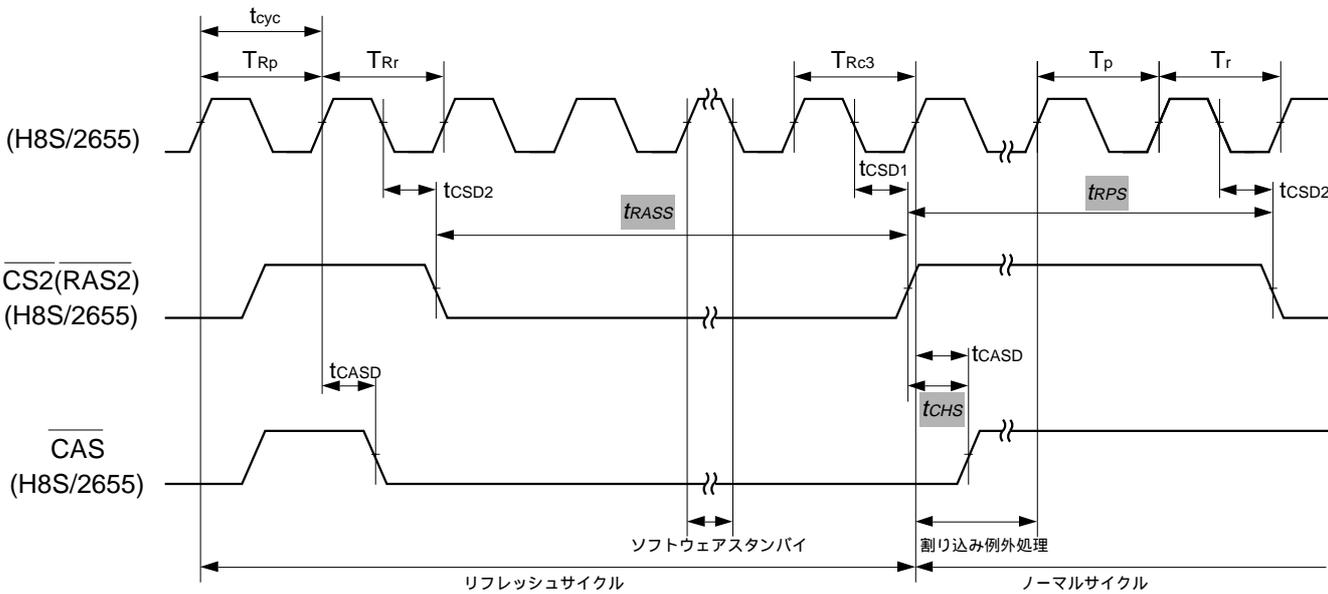
図3.3.4 (d) D R A M ライトタイミングチャート

動作説明



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

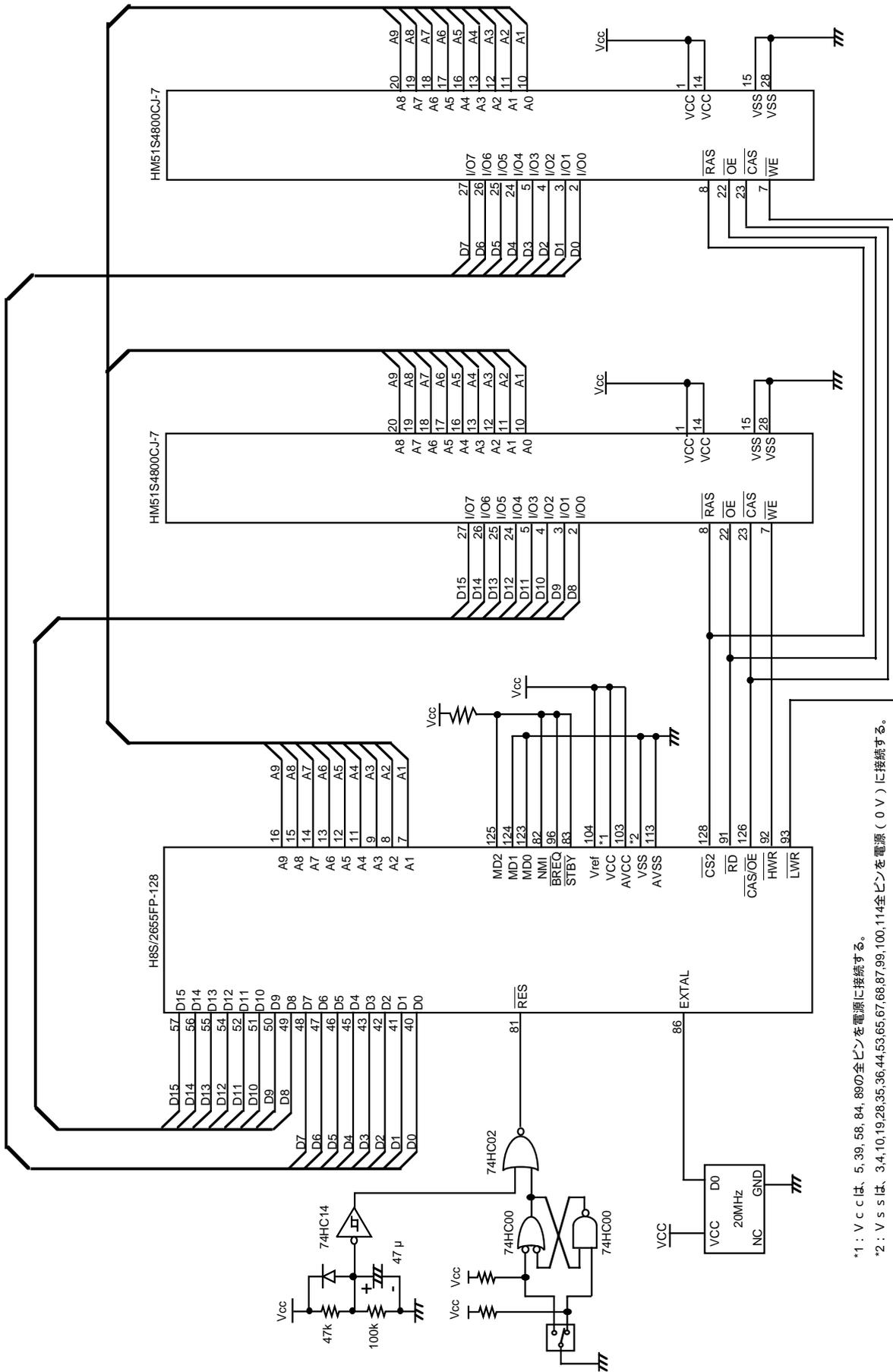
図3.3.4 (e) / C A S ビフォ/R A S リフレッシュタイミングチャート



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

図3.3.4 (f) セルフリフレッシュタイミングチャート

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。

*2: Vssは、3, 4, 10, 19, 28, 35, 36, 44, 53, 65, 67, 68, 87, 99, 100, 114全ピンを電源(0V)に接続する。

図3.3.4 (g) HM51S4800CJ-7インタフェース

3.1.1 8ビットバスモードによるDRAM (HM51S4800C-7) インタフェース

DRAM(HM51S4800C-7)インタフェース	MCU	H8S/2655	使用機能	モード4 (8ビットバスモード)
---------------------------	-----	----------	------	------------------

仕様

(1) 図3.3.5 (a) にH8S/2655とx8ビット構成DRAM (HM51S4800C-7) の接続例を示します。H8S/2655はモード4の8ビットバスモードとし、DRAMをエリア3に割り当てます。

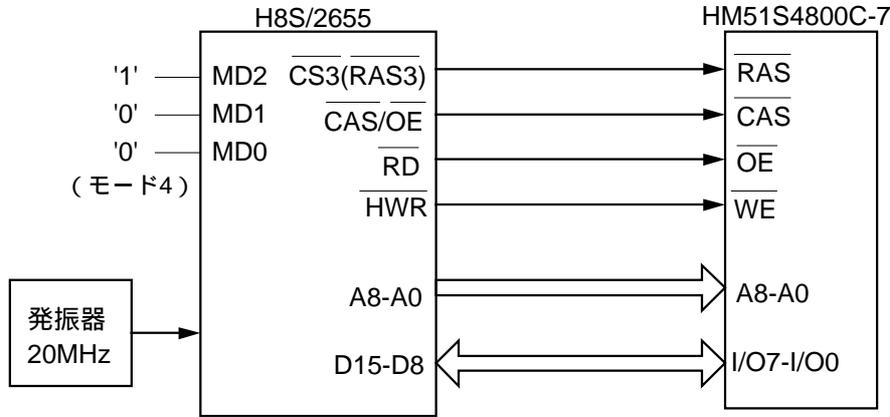


図3.3.5 (a) H8S/2655とDRAMの接続例

(2) 図3.3.5 (b) にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、DRAM領域はH'600000~H'67FFFFになります。

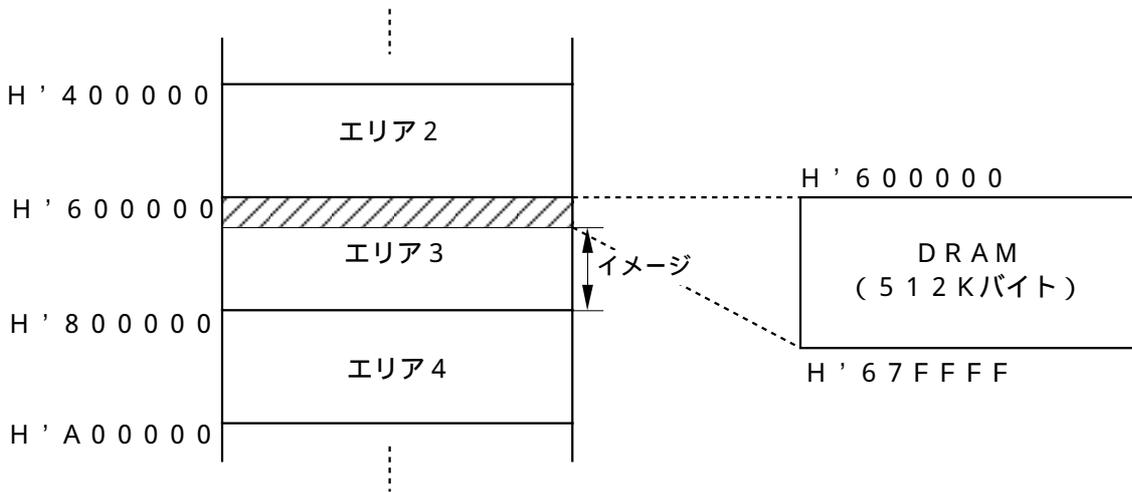


図3.3.5 (b) メモリマップ

仕様

(3) 表3.3.5(a) にバスコントローラの設定を示します。

表3.3.5(a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントローラレジスタ	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	レジスタ: 8ビットアドレス空間
アドレスコントローラレジスタ	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	-
ウェイトコントローラレジスタH	WCRH	W71	W70	W61	W60	W51	W50	W41	W40	-
ウェイトコントローラレジスタL	WCRL	W31	W30	W21	W20	W11	W10	W01	W00	アドレスコントローラレジスタ挿入
バススコアコントローラレジスタH	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0	DRAM空間: IJ72,3
バススコアコントローラレジスタL	BCRL	BRLE	BREQOE	EAE	LCASS	DDS	ASS	WDBE	WAITE	アドレスの分割単位: 2Mbit (16Mbit)
メモリコントローラレジスタ	MCR	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0	プログラムのアドレス 高速バーストモード /RASバーストモード 9ビットレジスタ /CASバースト/RASバースト無し
DRAMコントローラレジスタ	DRAMCR	RFSHE	RCW	RMODE	CMF	CMIE	CKS2	CKS1	CKS0	リフレッシュ制御を行なう /CASバースト/RASバースト時のウェイトレジスタ挿入禁止 /CASバースト/RASバースト方式 コマンドバースト割り込み禁止 リフレッシュコマンド知覚: /2でカット
リフレッシュコマンドレジスタ	RTCOR	0	1	0	0	1	1	1	1	H'4F*

* HM51S4800C-7のリフレッシュ形式は1024バイト/16msである。リフレッシュ発生が規定時間通り行えない場合を考慮して2倍の2048バイト/8msで計算する。リフレッシュコマンド知覚を /2(100ns)とすると
RTCORは、(16ms/2048バイト)/100ns = 79 (=H'4F)

動作説明

DRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のないmin値およびmax値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器 20 MHz (=))
- ・ 規定のないmin値: 0 ns
- ・ 規定のないmax値: min値

を基準に求めた時間には【】に基準タイミングを示します。タイミング値については、「動作説明(5) AC特性」を参照して下さい。

(1) リード

図3.3.5(c)にDRAMリードのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM51S4800C-7)	ロウアドレスセットアップ時間	t_{ASR}
	ロウアドレスホールド時間	t_{RAH}
	カラムアドレスセットアップ時間	t_{ASC}
	カラムアドレスホールド時間	t_{CAH}
	/RAS・/CAS遅延時間	t_{RCD}
	/RAS・カラムアドレス遅延時間	t_{RAD}
	/RASプリチャージ時間	t_{RP}
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) DRAM

(i) ロウアドレスセットアップ時間の計算【 T_{r-1} サイクルの立ち上がり】

$$0.5 t_{cyc} + t_{CSD2(min)} - t_{AD(max)} = 5 \text{ ns} \quad 0 \text{ ns} (t_{ASR})$$

(ii) ロウアドレスホールド時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 \text{ ns} \quad 10 \text{ ns} (t_{RAH})$$

(iii) カラムアドレスセットアップ時間の計算【 T_{c1-1} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{AD(max)} = 30 \text{ ns} \quad 0 \text{ ns} (t_{ASC})$$

(iv) カラムアドレスホールド時間の計算【 T_{w-1} サイクルの立ち上がり】

$$2 t_{cyc} + t_{AD(min)} - t_{CASD(max)} = 80 \text{ ns} \quad 15 \text{ ns} (t_{CAH})$$

(v) /RAS・/CAS遅延時間の計算【 T_{r-1} サイクルの立ち下がり】

$$1.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 55 \text{ ns} \quad 20 \text{ ns} (t_{RCD})$$

(vi) /RAS・カラムアドレス遅延時間の計算

$$t_{AH(min)} = 0.5 t_{cyc} - 10 = 15 \text{ ns} \quad 15 \text{ ns} (t_{RAD})$$

(vii) /RASプリチャージ時間の計算【 T_{p-3} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 \text{ ns} \quad 50 \text{ ns} (t_{RP})$$

動作説明

(b) H8S/2655

(i) リードデータセットアップ時間の計算【T_{w-1}サイクルの立ち上がり】

$$2t_{cyc} - t_{CASD(max)} + t_{CAC(max)} = 60ns \quad 15ns (t_{RDS})$$

<補足> アクセス時間はt_{RCD}およびt_{RAD}により以下の時間で規定します。

条 件	適用時間
t _{RCD} (計算値) t _{RCD(max)} かつt _{RAD} (計算値) t _{RAD(max)}	/CASからのアクセス時間(t _{CAC})
t _{RCD} (計算値) t _{RCD(max)} かつt _{RAD} (計算値) t _{RAD(max)}	アドレスからのアクセス時間(t _{AA})
t _{RCD} (計算値) t _{RCD(max)} かつt _{RAD} (計算値) t _{RAD(max)}	/RASからのアクセス時間(t _{RAC})

(ii) リードデータホールド時間の計算【T_{c1-2}サイクルの立ち上がり】

$$t_{CASD(min)} + t_{OFF1(min)} = 0ns \quad 0ns (t_{RDH})$$

(2) ライトアクセス

図3.3.5(d)にDRAMライトのタイミングチャートを示します。以下のAC特性が満足していることを確認します。

名 称		略 称
DRAM (HM51S4800C-7)	ライトコマンドセットアップ時間	t _{WCS}
	ライトコマンドホールド時間	t _{WCH}
	ライト入力セットアップ時間	t _{DS}
	ライト入力ホールド時間	t _{DH}

(a) ライトコマンドセットアップ時間の計算

$$t_{WCS(min)} = 0.5t_{cyc} - 10 = 15ns \quad 0ns (t_{WCS})$$

(b) ライトコマンドホールド時間の計算【T_{w-1}サイクルの立ち上がり】

$$1.5t_{cyc} - t_{CASD(max)} = 55ns \quad 15ns (t_{WCH})$$

(c) ライト入力セットアップ時間の計算

$$t_{WDS(min)} = 0.5t_{cyc} - 20 = 5ns \quad 0ns (t_{DS})$$

(d) ライト入力ホールド時間の計算【T_{w-1}サイクルの立ち上がり】

$$1.5t_{cyc} + t_{WRD1(min)} + t_{WDH(min)} - t_{CASD(max)} = 55ns \quad 15ns (t_{DH})$$

動作説明

(3) バーストモード

(a) 高速ページモード

高速ページモードでは、以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
DRAM (HM51S4800C-7)	高速ページモード/CASプリチャージ時間	t_{CP}
	高速ページモードサイクル時間	t_{PC}
	/CASプリチャージからの/RASホールド時間	t_{RHCP}

(i) H8S/2655

(i-1) リードデータセットアップ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} - t_{CASD(max)} - t_{ACP(max)} = 90ns - 15ns (t_{RDS})$$

(i-2) リードデータホールド時間の計算【 T_{p-3} サイクルの立ち上がり】

$$t_{CSD1(min)} + t_{OFF1(min)} = 0ns - 0ns (t_{RDH})$$

(ii) DRAM

(ii-1) 高速ページモード/CASプリチャージ時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 30ns - 10ns (t_{CP})$$

(ii-2) 高速ページモードサイクル時間の計算【 T_{w-1} サイクルの立ち上がり】

$$3t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130ns - 45ns (t_{PC})$$

(ii-3) /CASプリチャージからの/RASホールド時間の計算【 T_{c1-2} サイクルの立ち上がり】

$$3t_{cyc} + t_{CSD1(min)} - t_{CASD(max)} = 130ns - 40ns (t_{RHCP})$$

(b) /RASダウンモード

/RASダウンモードは、メモリコントロールレジスタ(MCR)のRCDMビットを'1'に設定すると選択できます。

動作説明

(4) リフレッシュサイクル

(a) /CASピフォ/RASリフレッシュ

図3.3.5(e)、図3.3.5(f)に/CASピフォ/RASリフレッシュタイミングチャートを示します。以下のAC特性が満足していることを確認します。なお、バスコントロールレジスタLのLCASSビットをBCRL.LCASS、メモリコントロールレジスタのCW2ビットをMCR.CW2と記述します。

名称		略称
DRAM (HM51S4800C-7)	/RASプリチャージ時間	t_{RP}
	/CASセットアップ時間	t_{CSR}
	/RASパルス幅	t_{RAS}
	/CASホールド時間	t_{CHR}
	ノーマルモード・/CASプリチャージ時間	t_{CPN}
	ランダムリード・ライトサイクル時間	t_{RC}

(i) /RASプリチャージ時間

(i-1) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(i-2) リフレッシュサイクルからノーマルサイクルに遷移

(i-2.1) BCRL.LCASS='0'かつMCR.CW2='0'あるいはMCR.CW2='1'の場合

【 T_p サイクルの立ち上がり】

$$1.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 55 ns \quad 50 ns (t_{RP})$$

(i-2.2) BCRL.LCASS='1'かつMCR.CW2='0'の場合【 T_{Ri} サイクルの立ち上がり】

$$2.5 t_{cyc} + t_{CSD2(min)} - t_{CSD1(max)} = 105 ns \quad 50 ns (t_{RP})$$

(ii) /CASセットアップ時間

$$t_{CSR(min)} = 15 ns \quad 10 ns (t_{CSR})$$

(iii) /RASパルス幅【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CSD1(min)} - t_{CSD2(max)} = 105 ns \quad 70 ns (t_{RAS})$$

(iv) /CASホールド時間【 T_{Rr} サイクルの立ち下がり】

$$2.5 t_{cyc} + t_{CASD(min)} - t_{CSD2(max)} = 105 ns \quad 10 ns (t_{CHR})$$

(v) ノーマルモード・/CASプリチャージ時間

(v-1) ノーマルサイクルからリフレッシュサイクルに遷移【 T_{Rp} サイクルの立ち上がり】

$$t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 70 ns \quad 10 ns (t_{CPN})$$

(v-2) リフレッシュサイクルからノーマルサイクルに遷移

(v-2.1) BCRL.LCASS='0'かつMCR.CW2='0'あるいはMCR.CW2='1'の場合

【 T_p サイクルの立ち上がり】

$$3 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 130 ns \quad 10 ns (t_{CPN})$$

(v-2.2) BCRL.LCASS='1'かつMCR.CW2='0'の場合【 T_{Ri} サイクルの立ち上がり】

$$4 t_{cyc} + t_{CASD(min)} - t_{CASD(max)} = 180 ns \quad 10 ns (t_{CPN})$$

(vi) ランダムリード・ライトサイクル時間【 T_{Rr} サイクルの立ち下がり】

(vi-1) BCRL.LCASS='0'かつMCR.CW2='0'あるいはMCR.CW2='1'の場合

$$4 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 180 ns \quad 130 ns (t_{RC})$$

(vi-2) BCRL.LCASS='0'かつMCR.CW2='0'あるいはMCR.CW2='1'の場合

$$5 t_{cyc} + t_{CSD2(min)} - t_{CSD2(max)} = 230 ns \quad 130 ns (t_{RC})$$

動作説明

(b) セルフリフレッシュモード

図3.3.5(g)にセルフリフレッシュモードのタイミングチャートを示します。

DRAMコントロールレジスタ(DRAMCR)のRMODEビットを'1'に設定し、その後ソフトウェアスタンバイモードに遷移するためのSLEEP命令を実行するとDRAMをセルフリフレッシュモードに遷移させることができます。

セルフリフレッシュモードでは、以下のAC特性が満足していることを確認します。

名称		略称
DRAM (HM51S4800C-7)	/RASパルス幅	t_{RASS}
	/CASホールド時間	t_{CHS}
	/RASプリチャージ時間	t_{RPS}

(i) /RASパルス幅の計算【 T_{Rf} サイクルの立ち下がり】

$$3.5 t_{cyc} + (\text{ソフトウェアスタンバイ時間}) + t_{CSD1(max)} - t_{CSD2(min)} \\ = 105 + (\text{ソフトウェアスタンバイ時間}) ns \quad 100 ns (t_{RASS})$$

(ii) /CASホールド時間の計算【 T_{Rc} サイクルの立ち下がり】

$$0.5 t_{cyc} + t_{CASD(min)} - t_{CSD1(max)} = 5 ns \quad - 50 ns (t_{CHS})$$

(iii) /RASプリチャージ時間の計算【 T_{Rc} サイクルの立ち下がり】

割り込み処理ルーチン領域をDRAMとすると、

$$t_{cyc} + (\text{割り込み例外処理時間}) + 1.5 t_{cyc} + t_{CSD2(max)} - t_{CSD1(min)} \\ = 105 + (\text{割り込み例外処理時間}) ns \quad 130 ns (t_{RPS})$$

<補足>

以下の条件の場合、割り込み例外処理時間は $21 t_{cyc} = 1050 ns$ のため、上記の /RASプリチャージ時間の不等式は成り立ちます。

- ・割り込みモード：モード0
- ・エリア0へのアクセスステート数：4
- ・スタックエリアへのアクセスステート数：3

動作説明

(5) AC特性

表3.3.5(b)にH8S/2655のAC特性を、表3.3.5(c)にHM51S4800C-7のAC特性を示します。

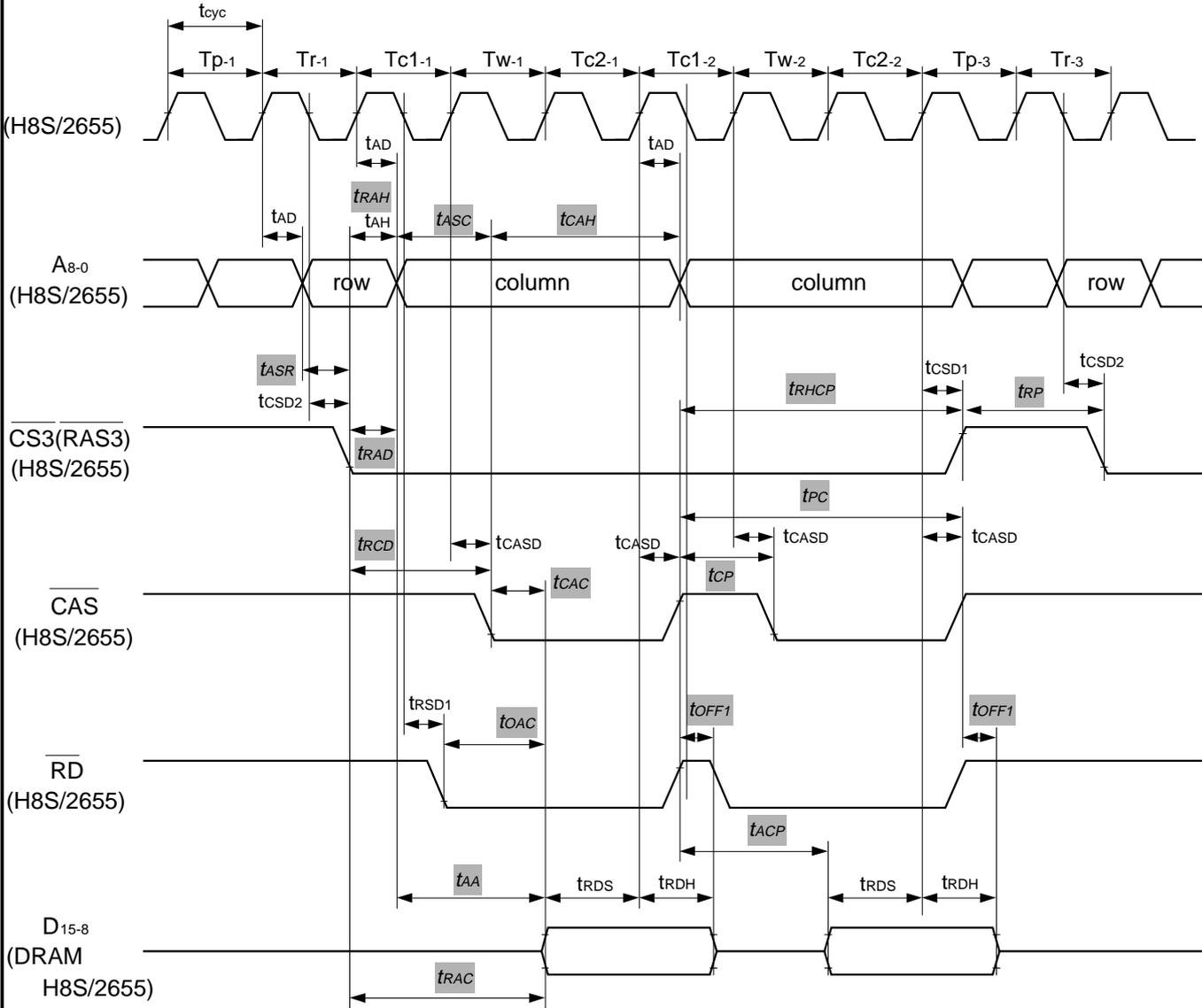
表3.3.5(b) H8S/2655のAC特性

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/CS遅延時間2	t_{CSD2}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/CAS遅延時間	t_{CASD}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 20$	-	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns
/WRセットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 10$	-	ns

表3.3.5(c) HM51S4800C-7のAC特性

項目	記号	min	max	単位
ランダムリード・ライトサイクル時間	t_{RC}	130	-	ns
/RASプリチャージ時間	t_{RP}	50	-	ns
/RASパルス幅	t_{RAS}	70	10000	ns
ロウアドレスセットアップ時間	t_{ASR}	0	-	ns
ロウアドレスホールド時間	t_{RAH}	10	-	ns
カラムアドレスセットアップ時間	t_{ASC}	0	-	ns
カラムアドレスホールド時間	t_{CAH}	15	-	ns
/RAS・/CAS遅延時間	t_{RCD}	20	50	ns
/RAS・カラムアドレス遅延時間	t_{RAD}	15	35	ns
/RASからのアクセス時間	t_{RAC}	-	70	ns
/CASからのアクセス時間	t_{CAC}	-	20	ns
アドレスからのアクセス時間	t_{AA}	-	35	ns
/OEからのアクセス時間	t_{OAC}	-	20	ns
出力バッファターンオフ時間	t_{OFF1}	0	15	ns
ライトコマンドセットアップ時間	t_{WCS}	0	-	ns
ライトコマンドホールド時間	t_{WCH}	15	-	ns
データ入力セットアップ時間	t_{DS}	0	-	ns
データ入力ホールド時間	t_{DH}	15	-	ns
/CASセットアップ時間	t_{CSR}	10	-	ns
/CASホールド時間	t_{CHR}	10	-	ns
ノーマルモード・/CASプリチャージ時間	t_{CPN}	10	-	ns
高速ページモードサイクル時間	t_{PC}	45	-	ns
高速ページモード/CASプリチャージ時間	t_{CP}	10	-	ns
/CASプリチャージからのアクセス時間	t_{ACP}	-	40	ns
/CASプリチャージからの/RASホールド時間	t_{RHCP}	40	-	ns
セルフリフレッシュ/RASパルス幅	t_{RASS}	100	-	ns
セルフリフレッシュ/RASプリチャージ時間	t_{RPS}	130	-	ns
セルフリフレッシュ/CASホールド時間	t_{CHS}	-50	-	ns

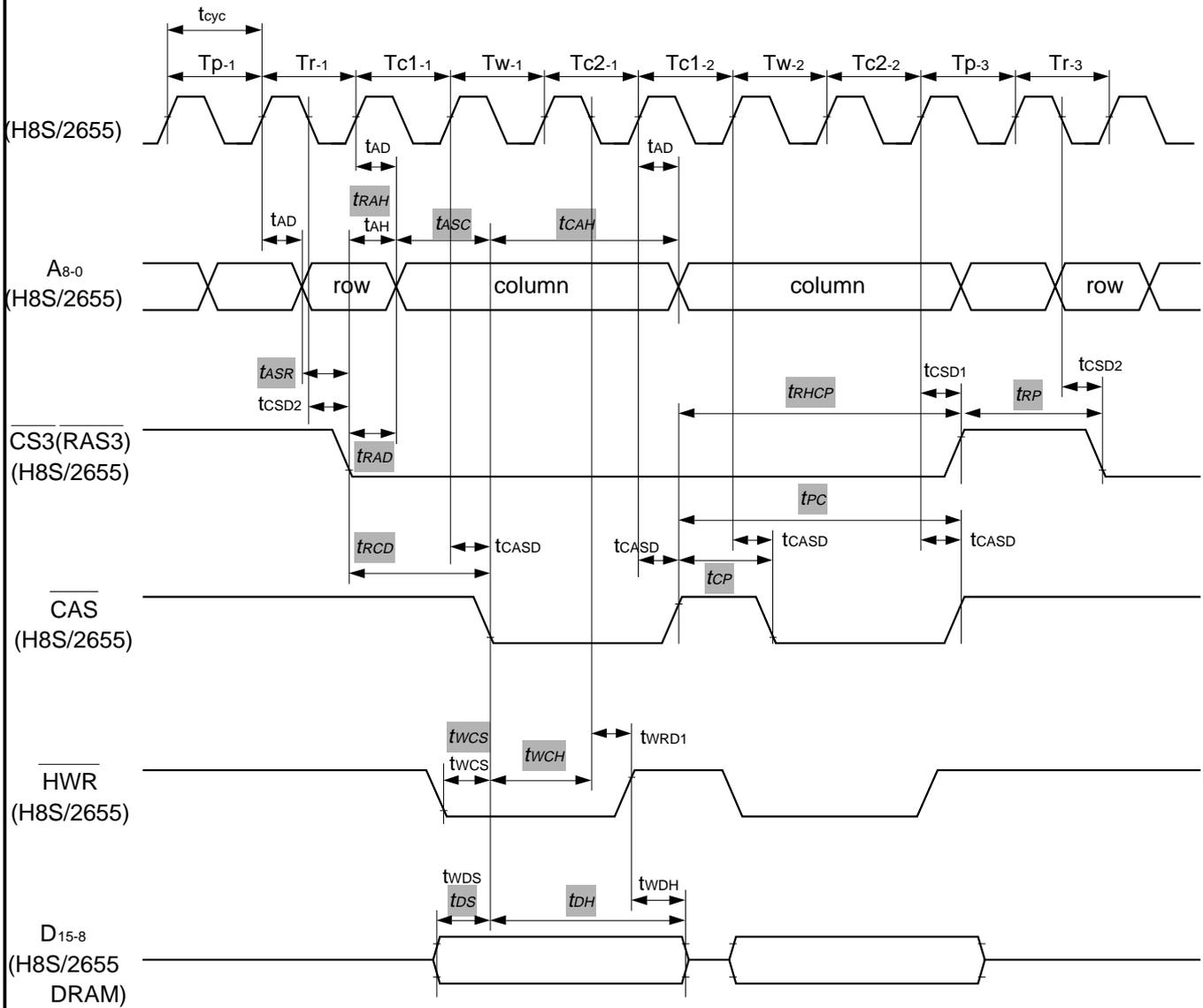
動作説明



■ : DRAM (HM51S4800C-7) の A C 特性

図3.3.5(c) DRAMリードタイミングチャート

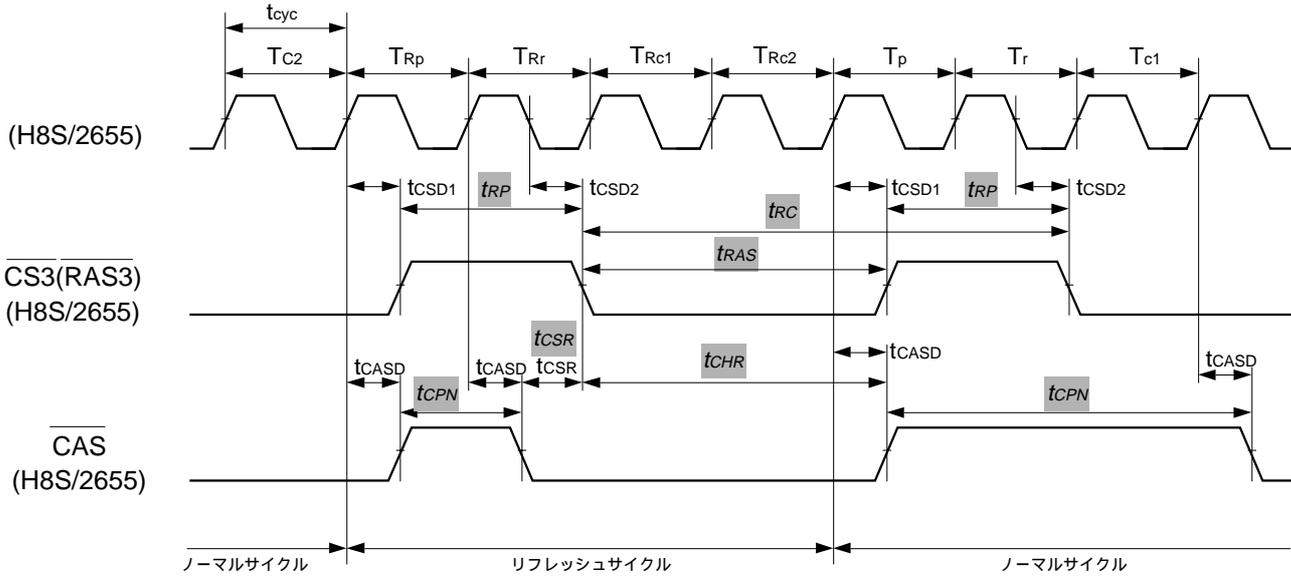
動作説明



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

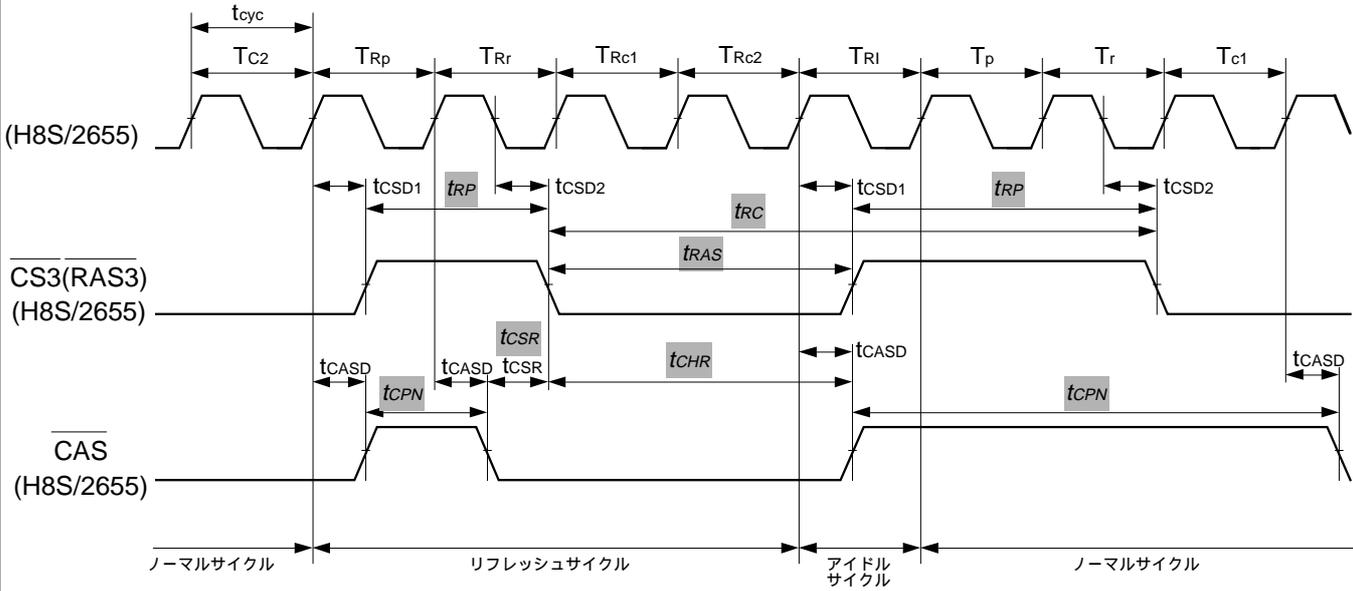
図3.3.5 (d) D R A M ライトタイミングチャート

動作説明



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

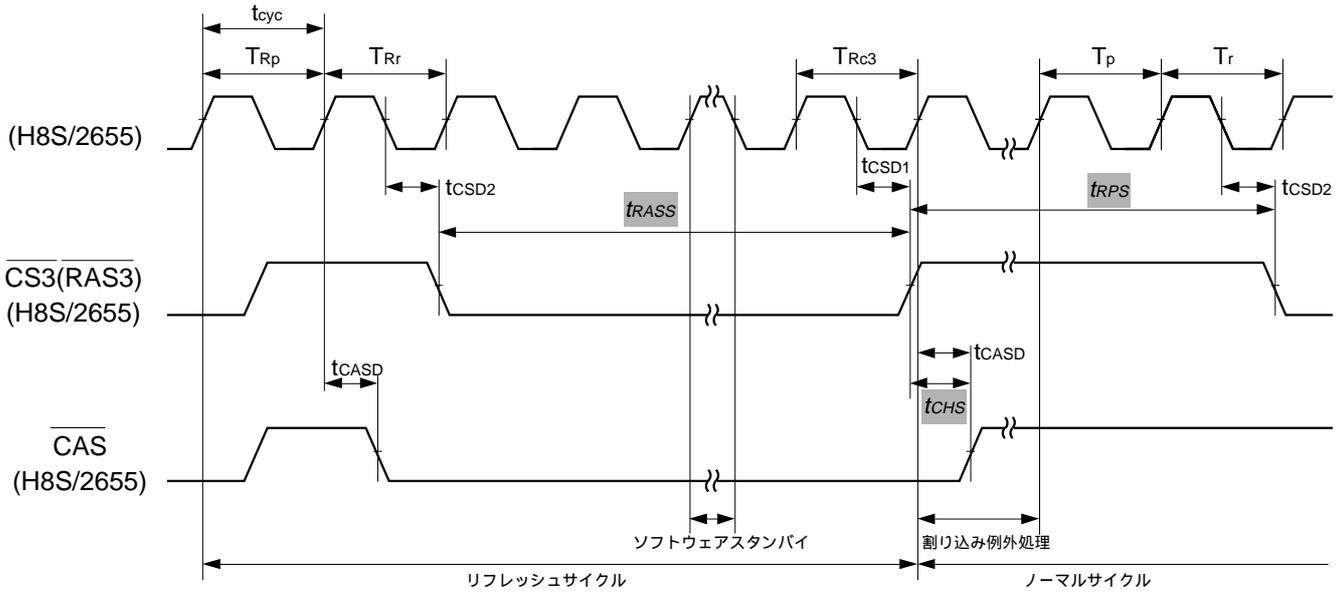
図3.3.5 (e) / C A S ビフォ/R A S リフレッシュタイミングチャート
(BCRL.LCASS='0'かつMCR.CW2='0'あるいはMCR.CW2='1'の場合)



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

図3.3.5 (f) / C A S ビフォ/R A S リフレッシュタイミングチャート
(BCRL.LCASS='1'かつMCR.CW2='0'の場合)

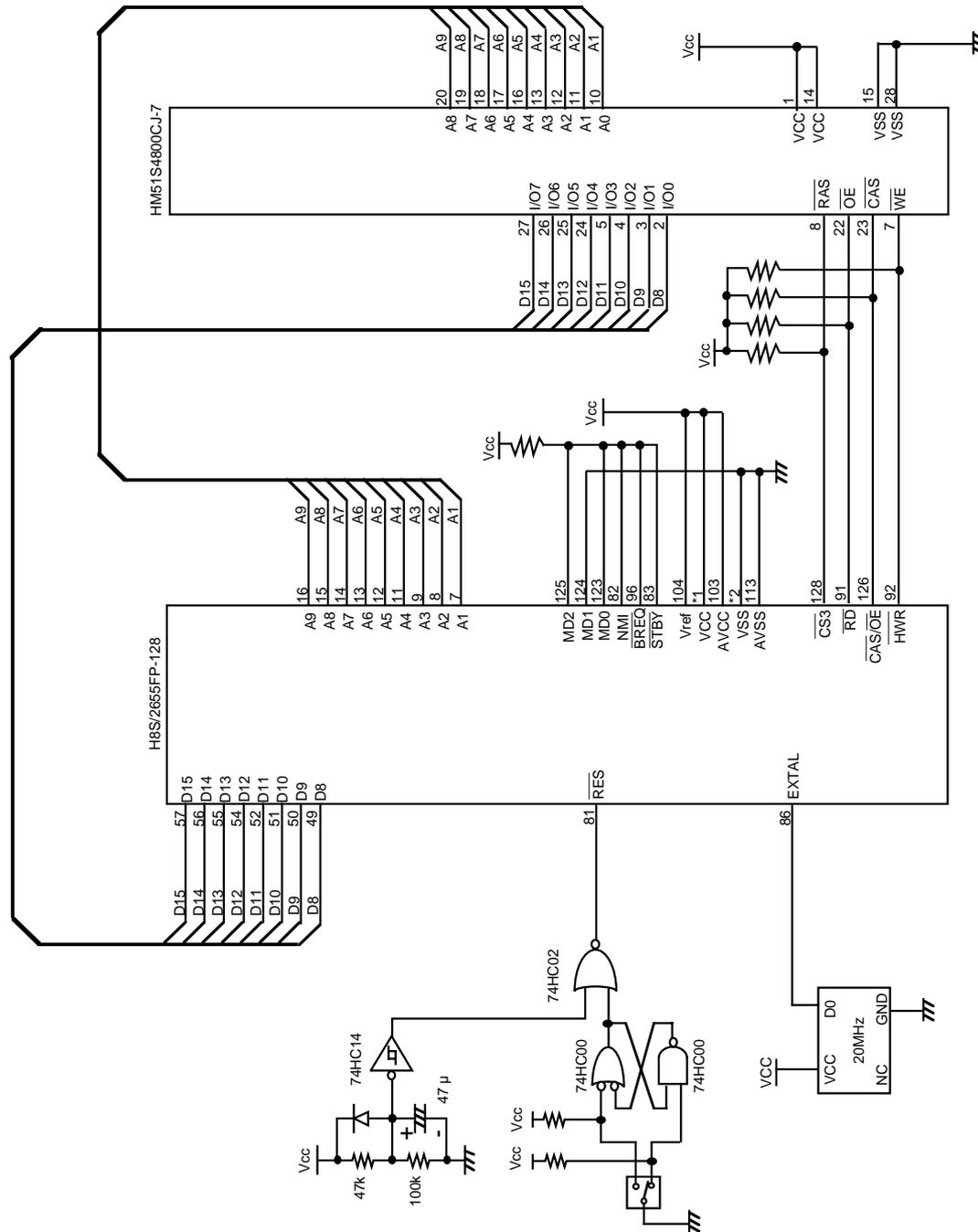
動作説明



■ : D R A M (H M 5 1 S 4 8 0 0 C - 7) の A C 特性

図3.3.5 (g) セルフリフレッシュタイミングチャート

回路図



*1: Vccは、5, 39, 58, 84, 89の全ピンを電源に接続する。
 *2: Vssは、3, 4, 10, 19, 28, 35, 36, 44, 53, 65, 67, 68, 87, 99, 100, 114全ピンを電源(0V)に接続する。

図3.3.5 (h) HM51S4800CJ-7インタフェース

3.1.2 2CAS方式によるEDO DRAM (HM51W16165J-6) インタフェース

EDO DRAM(HM51W16165J-6)インタフェース	MCU	H8S/2655	使用機能	モード4
--------------------------------	-----	----------	------	------

仕様

- (1) モード4(16Mバイトアクセス、16ビットデータバス、内蔵ROM無効)によるH8S/2655及びHM51W16165J-6の接続ブロック図を、図3.3.5(a)に示します。

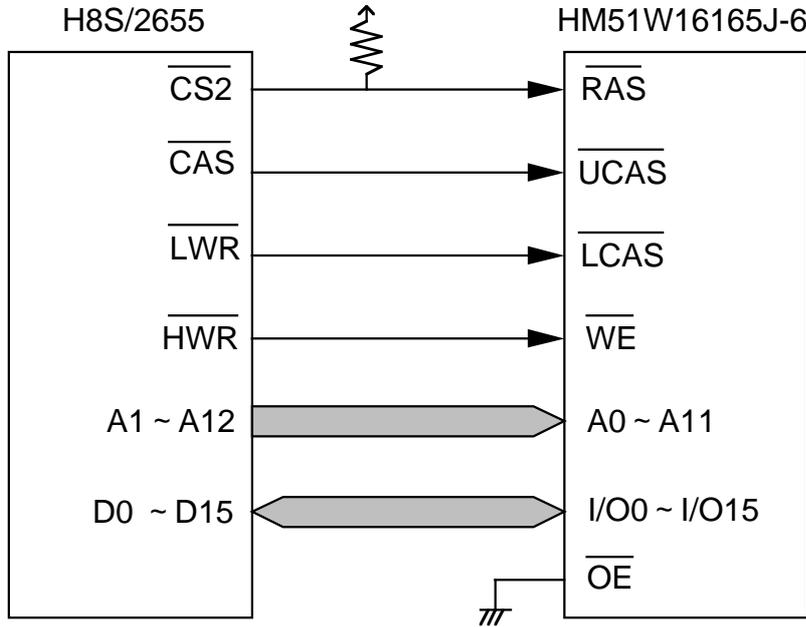


図3.3.5(a) H8/2655及びHM51W16165J-6接続ブロック図

- (2) 図3.3.5(b)にDRAM設定エリアを示します。
H8S/2655の外部アドレス空間(16Mバイトメモリ空間)内のエリア2(H`400000 ~ H`5FFFFFF)をDRAM(HM51W16165J-6)に設定します。

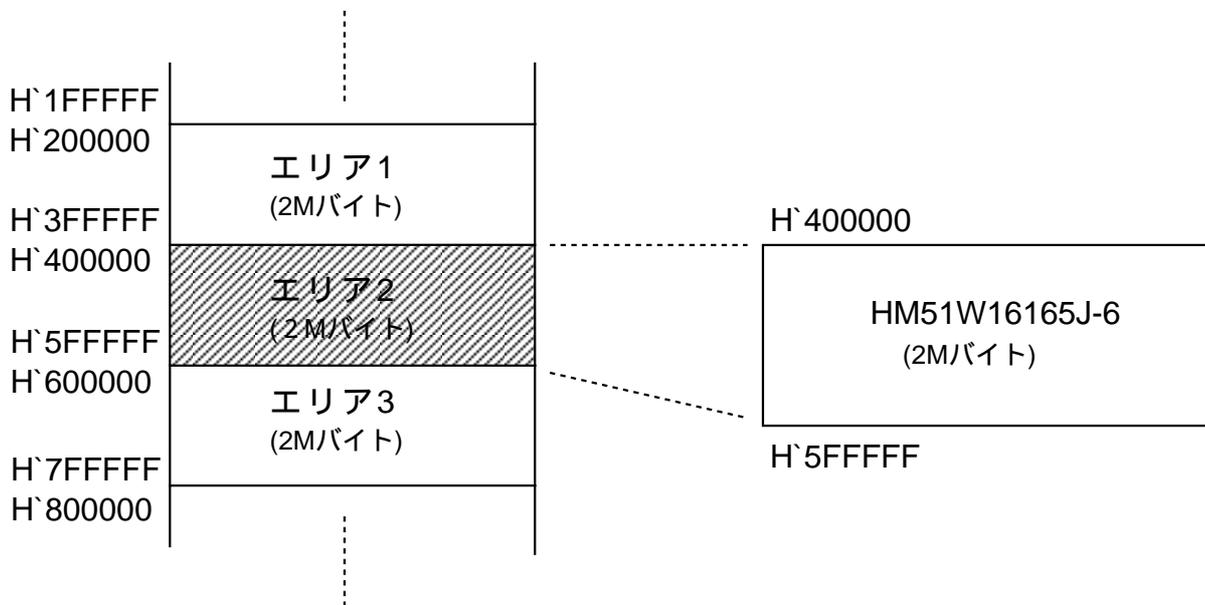


図3.3.5(b) DRAM設定エリア(メモリマップ)

動作説明

図3.3.5(c),図3.3.5(d)にEDOページモードリードサイクル、EDOページモードアーリライトサイクルを示します。

H8S/2655とHM51W16165J-6を接続する際、以下のタイミングが満足できるかを確認します。

(1)EDOページモードリードサイクル

(a)RASからのリードデータセットアップ時間

$$\begin{aligned} t_{RAC} &= 2 + t_{CL}(\max) - t_{CSD2}(\max) - t_{RDS}(\min) \\ &= 100\text{ns} + 20\text{ns} - 20\text{ns} - 15\text{ns} \\ &= 85\text{ns} \quad 60\text{ns}(\text{メモリ}, \max) \end{aligned}$$

(b)CASからのリードデータアクセス時間

$$\begin{aligned} t_{CAC} &= t_{ACC1}(\max) \\ &= 25\text{ns} \quad 15\text{ns}(\text{メモリ}, \max) \end{aligned}$$

(c)アドレスからのリードデータアクセス時間

$$\begin{aligned} t_{AA} &= t_{ACC3}(\max) \\ &= 75\text{ns} \quad 30\text{ns}(\text{メモリ}, \max) \end{aligned}$$

(d)RASからのリードデータアクセス時間

$$\begin{aligned} t_{DS} &= t_{ACC4}(\max) \\ &= 100\text{ns} \quad 60\text{ns}(\text{メモリ}, \max) \end{aligned}$$

(2)EDOページモードアーリライトサイクル

(a)CASからのライトデータセットアップ時間

$$\begin{aligned} t_{DS} &= t_{WDS}(\min) \\ &= 5\text{ns} \quad 0\text{ns}(\text{メモリ}, \min) \end{aligned}$$

(b)CASからのライトデータホールド時間

$$\begin{aligned} t_{DH} &= t_{CH}(\min) + t_{cf}(\min) + t_{WRD1}(\min) + t_{WDH}(\min) - t_{CASD}(\max) \\ &= 20\text{ns} + 0\text{ns} + 0\text{ns} + 15\text{ns} - 20\text{ns} \\ &= 15\text{ns} \quad 10\text{ns}(\text{メモリ}, \min) \end{aligned}$$

(c)CASからのライトコマンドセットアップ時間

$$\begin{aligned} t_{WCS} &= t_{WCS}(\min) \\ &= 5\text{ns} \quad 0\text{ns}(\text{メモリ}, \min) \end{aligned}$$

(d)CASからのライトコマンドホールド時間

$$\begin{aligned} t_{WCH} &= t_{WCH}(\min) \\ &= 15\text{ns} \quad 10\text{ns}(\min) \end{aligned}$$

動作説明

(3)リード/ライト共通

(a)RASセットアップ時間

$$\begin{aligned} t_{ASR} &= t_{AS}(\text{min}) \\ &= 10\text{ns} \quad 0\text{ns}(\text{メモリ}, \text{min}) \end{aligned}$$

(b)RASホールド時間

$$\begin{aligned} t_{RAH} &= t_{AH}(\text{min}) \\ &= 15\text{ns} \quad 10\text{ns}(\text{メモリ}, \text{min}) \end{aligned}$$

(c)EDOページモードRASパルス幅

$$\begin{aligned} t_{RASP} &= 2 \quad + t_{CSD1}(\text{min}) + t_{CL}(\text{min}) - t_{CSD2}(\text{max}) \\ &= 100\text{ns} + 0\text{ns} + 20\text{ns} - 20\text{ns} \\ &= 100\text{ns} \quad 0\text{ns}(\text{メモリ}, \text{min}) \end{aligned}$$

(d)CASパルス幅

$$\begin{aligned} t_{CAS} &= \quad + t_{CASD}(\text{min}) - t_{CASD}(\text{max}) + t_{cr}(\text{min}) \\ &= 50\text{ns} + 0\text{ns} - 20\text{ns} + 0\text{ns} \\ &= 30\text{ns} \quad 10\text{ns}(\text{メモリ}, \text{min}) \end{aligned}$$

(e)CASホールド時間

$$\begin{aligned} t_{CSH} &= 1.5 \quad + t_{CASD}(\text{min}) - t_{CSD2}(\text{max}) \\ &= 75\text{ns} + 0\text{ns} - 20\text{ns} \\ &= 55\text{ns} \quad 40\text{ns}(\text{メモリ}, \text{min}) \end{aligned}$$

(f)RASホールド時間

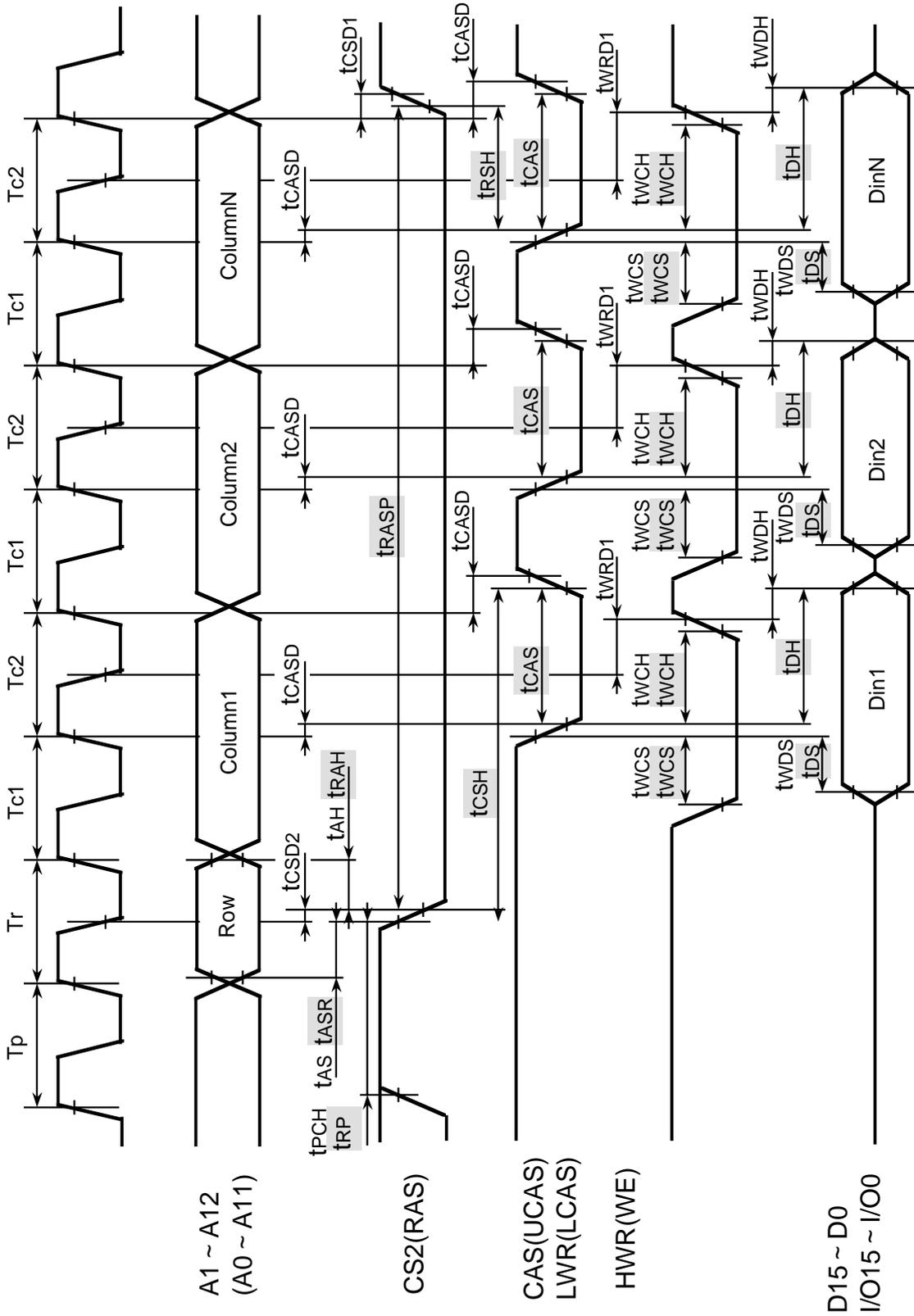
$$\begin{aligned} t_{RSH} &= \quad + t_{CSD1}(\text{min}) - t_{CASD}(\text{max}) \\ &= 50\text{ns} + 0\text{ns} - 20\text{ns} \\ &= 30\text{ns} \quad 13\text{ns}(\text{メモリ}, \text{min}) \end{aligned}$$

(g)RASプリチャージ時間

$$\begin{aligned} t_{RP} &= t_{PCH}(\text{min}) \\ &= 55\text{ns} \quad 40\text{ns}(\text{メモリ}, \text{min}) \end{aligned}$$

以上、EDOページモードリード/アーリライトサイクルのタイミングを満足していることが確認できた為、ノーウェイトでインタフェースを行います。

動作説明



■ :HM51W16165J-6 のAC特性

() :HM51W16165J-6の端子

図3.3.5(d) EDOページモードアーリライトサイクル

動作説明

図3.3.5(e)にCASビフォRASリフレッシュサイクルを示します。
H8S/2655とH51W16165J-6を接続する際、以下のタイミングが満足できるかを確認します。

(4)CASビフォRASリフレッシュ

(a)CASセットアップ時間

$$t_{CSR} = t_{CSR}(\text{min}) \\ = 15\text{ns} \quad 5\text{ns}(\text{メモリ}, \text{min})$$

(b)CASホールド時間

$$t_{CHR} = 2 \quad + t_{CASD}(\text{min}) + t_{CL}(\text{min}) + t_{cr}(\text{min}) - t_{CSD2}(\text{max}) - t_{cr}(\text{min}) \\ = 100\text{ns} + 0\text{ns} + 20\text{ns} + 0\text{ns} - 20\text{ns} \\ = 100\text{ns} \quad 10\text{ns}(\text{メモリ}, \text{min})$$

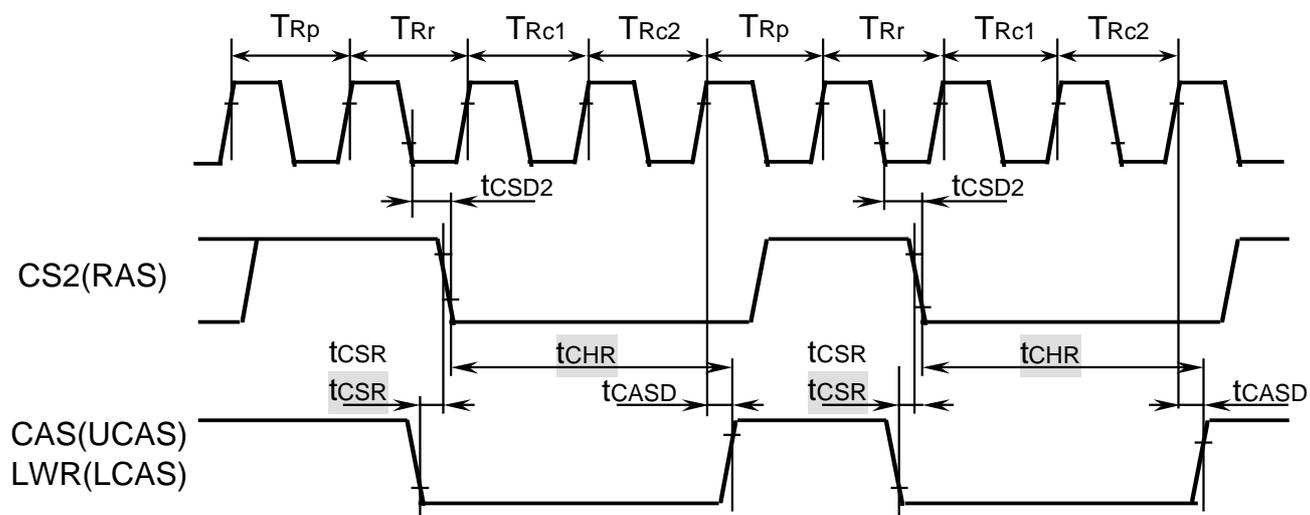


図3.3.5(e) CASビフォRASリフレッシュサイクル

回路図

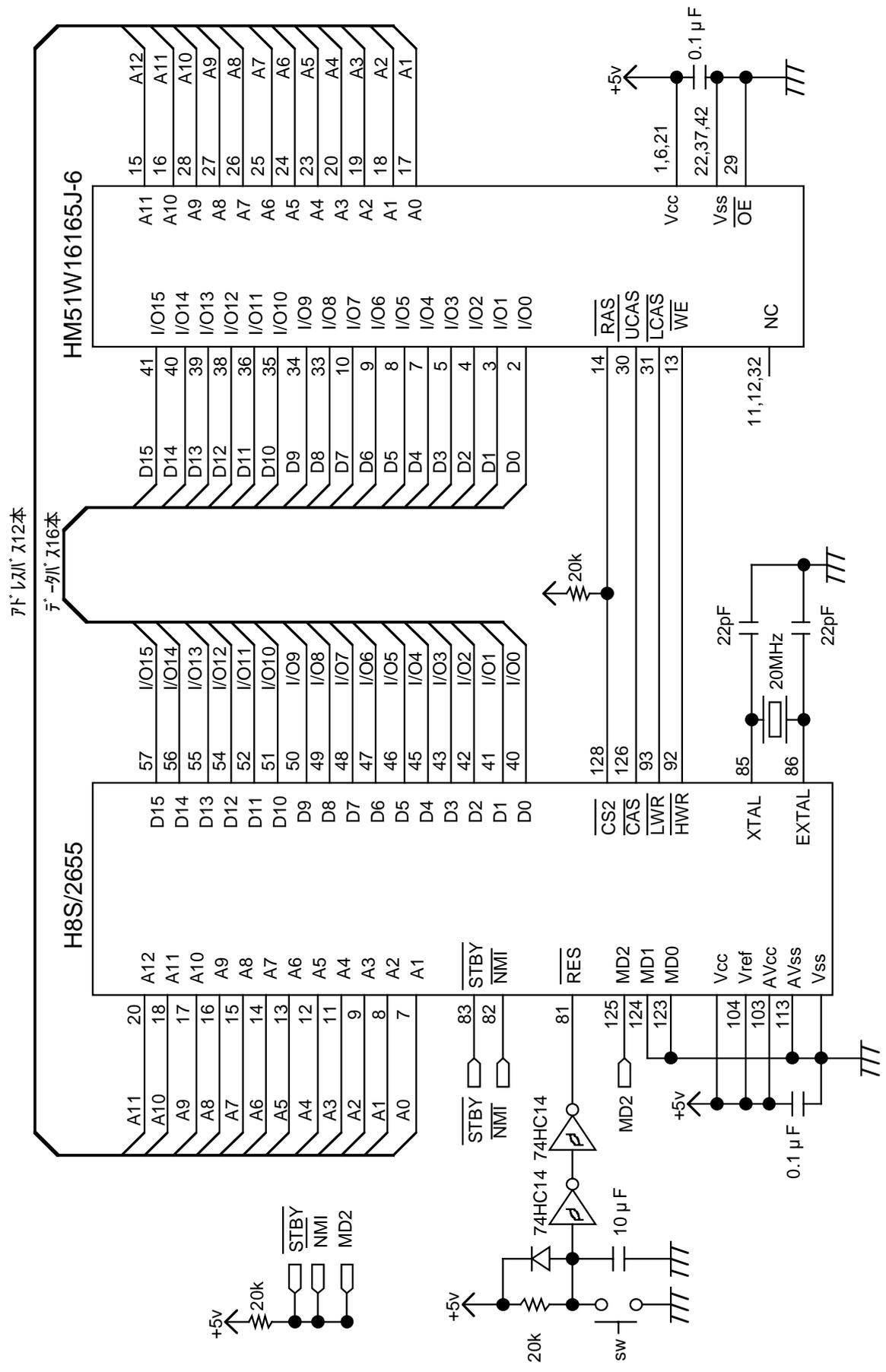


図3.3.5(f) HM51W16165J-6インタフェース

3.1.3 16ビットバスモードによるPSRAM(HM658512A-10)インタフェース

PSRAM(HM658512A-10)インタフェース	MCU	H8S/2655	使用機能	モード4(16ビットバスモード)
----------------------------	-----	----------	------	------------------

仕様

(1) 図3.4.1(a)にH8S/2655と×8ビット構成PSRAM(HM658512A-10)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、PSRAMをエリア2に割り当てます。

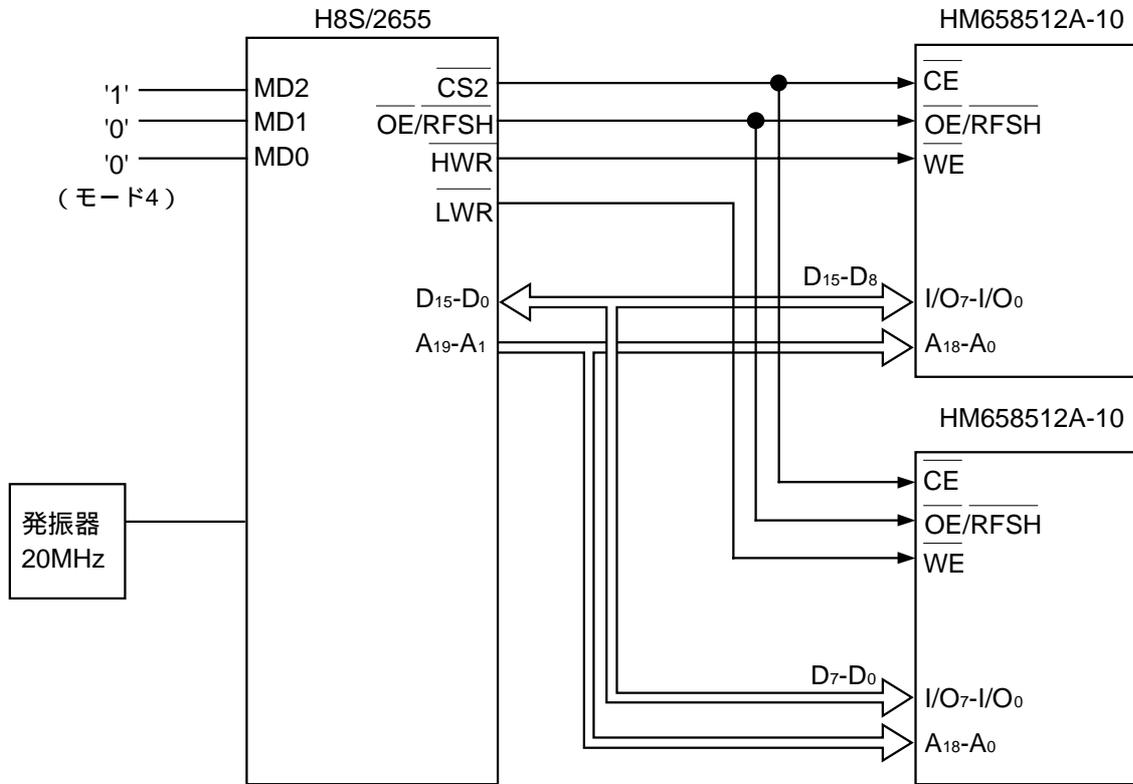


図3.4.1(a) H8S/2655とPSRAMの接続例

(2) 図3.4.1(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、PSRAM領域はH'40 0000~H'4F FFFFになります。

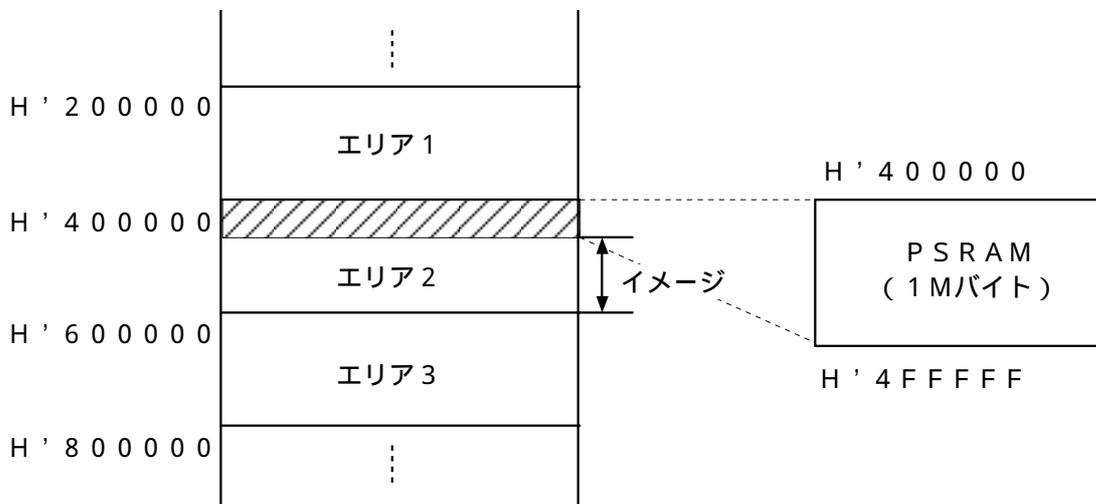


図3.4.1(b) メモリマップ

仕様

(3) 表3.4.1 (a) にバスコントローラの設定を示します。

表3.4.1 (a) バスコントローラの設定

*: don't care

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
バス幅コントローラ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 0	ABW1 *	ABW0 *	エリア2: 16ビットアドレス空間
アドレスポートコントローラ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 1	AST1 *	AST0 *	エリア2: 3アドレスアドレス空間
ウェイトコントローラ	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ウェイトコントローラ	WCRL	W31 *	W30 *	W21 0	W20 1	W11 *	W10 *	W01 *	W00 *	エリア2: プログラムアドレス挿入
バスコントローラ	BCRH	ICIS1 *	ICIS0 *	BRSTRM *	BRSTS1 *	BRSTS0 *	RMTS2 1	RMTS1 0	RMTS0 1	エリア2のみ: PSRAM空間、エリア3-5: 通常空間
バスコントローラ	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	エリアの分割単位: 2Mバイト (16Mバイト)
メモリコントローラ	MCR	TPC 1	BE 0	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0 *	プログラムのスタート: 2スタート バーストアドレス: 禁止 (常にリフレッシュ)
DRAMコントローラ	DRAMCR	RFSHE 1	RCW 0	RMODE 0	CMF *	CMIE 0	CKS2 0	CKS1 0	CKS0 1	リフレッシュ制御: 行う RCWビット: '0'を保持 リフレッシュモード: オートリフレッシュ コンパリアッチ割り込み禁止 リフレッシュカウンタ加算: /2で加算
リフレッシュカウンタコントローラ	RTCOR	0	1	0	0	1	1	1	1	H4F *

*: リフレッシュタイムコンスタントレジスタ(RTCOR)の設定
 PSRAM(HM658512A-10)のオートリフレッシュサイクル: 2048サイクル/32ms
 CPUのリフレッシュカウンタロックを /2(100ns)とします。PSRAMのオートリフレッシュサイクルは2048サイクル/32msですが、マージンを持って4096/32msとします。

RTCOR = (32ms / 4906サイクル) / 100ns D79 (H4F)

動作説明

PSRAMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。 t_{cyc} 、規定のないmin値およびmax値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器20 MHz (=))
- ・ 規定のないmin値: 0 ns
- ・ 規定のないmax値: min値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (5) AC特性」を参照して下さい。

(1) リード

図3.4.1(c)にPSRAMリードタイミングチャートを示します。以下の項目が満足していることを確認します。

名称		略称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}
PSRAM (HM658512A-10)	チップイネーブルプリチャージ時間	t_P
	アドレスセットアップ時間	t_{AS}
	アドレスホールド時間	t_{AH}
	出力イネーブルホールド時間	t_{OHC}

(a) H8S/2655の t_{RDS}

(i) CSがクリティカルの場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち下がり】

$$3.5 t_{cyc} - t_{CSD(max)} - t_{CEA(max)} = 55 \text{ ns} \quad 15 \text{ ns} (t_{RDS})$$

(ii) OEがクリティカルの場合

- ・ セットアップ時間の計算【 T_{1-2} サイクルの立ち上がり】

$$3 t_{cyc} - t_{CASD(max)} - t_{OEA(max)} = 100 \text{ ns} \quad 15 \text{ ns} (t_{RDS})$$

(b) H8S/2655の t_{RDH}

- ・ ホールド時間の計算【 T_{P1-2} サイクルの立ち上がり】

$$t_{CASD(min)} + t_{OHZ(min)} = 0 \text{ ns} \quad 0 \text{ ns} (t_{RDH})$$

(c) PSRAMの t_P 、 t_{AS} 、 t_{AH} 、 t_{OHC}

- ・ チップイネーブルプリチャージ時間の計算【 T_{P1-1} サイクルの立ち上がり】

$$2.5 t_{cyc} - t_{CSD1(max)} + t_{CSD2(min)} = 105 \text{ ns} \quad 50 \text{ ns} (t_P)$$

- ・ アドレスセットアップ時間の計算【 T_{P1-1} サイクルの立ち上がり】

$$2.5 t_{cyc} - t_{AD(max)} + t_{CSD2(min)} = 105 \text{ ns} \quad 0 \text{ ns} (t_{AS})$$

- ・ アドレスホールド時間の計算【 T_{P1-1} サイクルの立ち下がり】

$$3.5 t_{cyc} - t_{CSD2(max)} + t_{AD(min)} = 155 \text{ ns} \quad 30 \text{ ns} (t_{AH})$$

- ・ 出力イネーブルホールド時間の計算【 T_{P1-1} サイクルの立ち下がり】

$$0.5 t_{cyc} - t_{CSD2(max)} + t_{CASD(min)} = 5 \text{ ns} \quad 0 \text{ ns} (t_{OHC})$$

動作説明

(2) ライト

図3.4.1(d)にPSRAMライトタイミングチャートを示します。以下の項目が満足していることを確認します。

名 称		略 称
PSRAM (HM658512A-10)	入力データセット時間	t_{DW}
	入力データホールド時間	t_{DH}
	ライトコマンドパルス幅	t_{WP}
	チップイネーブル時間	t_{CW}

・入力データセット時間の計算【 T_{2-1} サイクルの立ち下がり】

$$2 t_{cyc} - t_{WDD(max)} + t_{WRD1(min)} = 70 \text{ ns} \quad 25 \text{ ns} (t_{DW})$$

・入力データホールド時間の計算

$$t_{WDH(min)} = 15 \text{ ns} \quad 0 \text{ ns} (t_{DH})$$

・ライトコマンドパルス幅の計算【 T_{2-1} サイクルの立ち下がり】

$$3 t_{cyc} - t_{WRD1(max)} + t_{WRD1(min)} = 80 \text{ ns} \quad 30 \text{ ns} (t_{WP})$$

・チップイネーブル時間の計算【 T_{1-1} サイクルの立ち下がり】

$$3 t_{cyc} - t_{CSD2(max)} + t_{WRD1(min)} = 130 \text{ ns} \quad 100 \text{ ns} (t_{CW})$$

(3) オートリフレッシュサイクル

図3.4.1(e)にオートリフレッシュタイミングチャートを示します。以下の項目が満足していることを確認します。

名 称		略 称
PSRAM (HM658512A-10)	リフレッシュプリチャージ時間	t_{FP}
	リフレッシュコマンドパルス幅	t_{FAP}
	リフレッシュコマンド遅延時間	t_{RFD}
	オートリフレッシュサイクル時間	t_{FC}

・リフレッシュプリチャージ時間の計算【 T_{RP1-1} サイクルの立ち上がり】

$$2 t_{cyc} - t_{CASD(max)} + t_{CASD(min)} = 80 \text{ ns} \quad 40 \text{ ns} (t_{FP})$$

・リフレッシュコマンドパルス幅の計算【 T_{R1-1} サイクルの立ち上がり】

$$3 t_{cyc} - t_{CASD(max)} + t_{CASD(min)} = 130 \text{ ns} \quad 80 \text{ ns} (t_{FAP})$$

・リフレッシュコマンド遅延時間の計算【 T_{RP1-1} サイクルの立ち上がり】

$$2 t_{cyc} - t_{CSD2(max)} + t_{CASD(min)} = 80 \text{ ns} \quad 30 \text{ ns} (t_{RFD})$$

・オートリフレッシュサイクル時間の計算【 T_{RP1-1} サイクルの立ち上がり】

$$5 t_{cyc} - t_{CSD2(max)} + t_{CASD(min)} = 230 \text{ ns} \quad 160 \text{ ns} (t_{FC})$$

動作説明

(4) セルフリフレッシュサイクル

図3.4.1 (f) にセルフリフレッシュタイミングチャートを示します。PSRAMの t_{FAS} (リフレッシュコマンドパルス幅) が満足されていることを確認します。

・リフレッシュコマンドパルス幅の計算【 T_{R1} サイクルの立ち上がり】

$$\begin{aligned} & 3 t_{cyc} + (\text{ソフトウェアスタンバイ時間})_{(min)} + t_{CASD(min)} \\ & = 100 ns + (\text{ソフトウェアスタンバイ時間})_{(min)} \\ & \quad 8 \mu s (t_{FAS}) \end{aligned}$$

【注意】

- ・ t_{FAS} (リフレッシュコマンドパルス幅)
規定値 $8 \mu s (min)$ を満たすようにソフトウェアスタンバイ時間を設定して下さい。
- ・ t_{RFS} (リフレッシュリセット時間)
規定値 $600 ns (min)$ を満たすようにソフトウェアによる設定を行って下さい。この間、 $\overline{CS2} (\overline{CE})$ 信号がアサートしないように別エリアへのアクセスを行って下さい。

動作説明

(5) AC特性

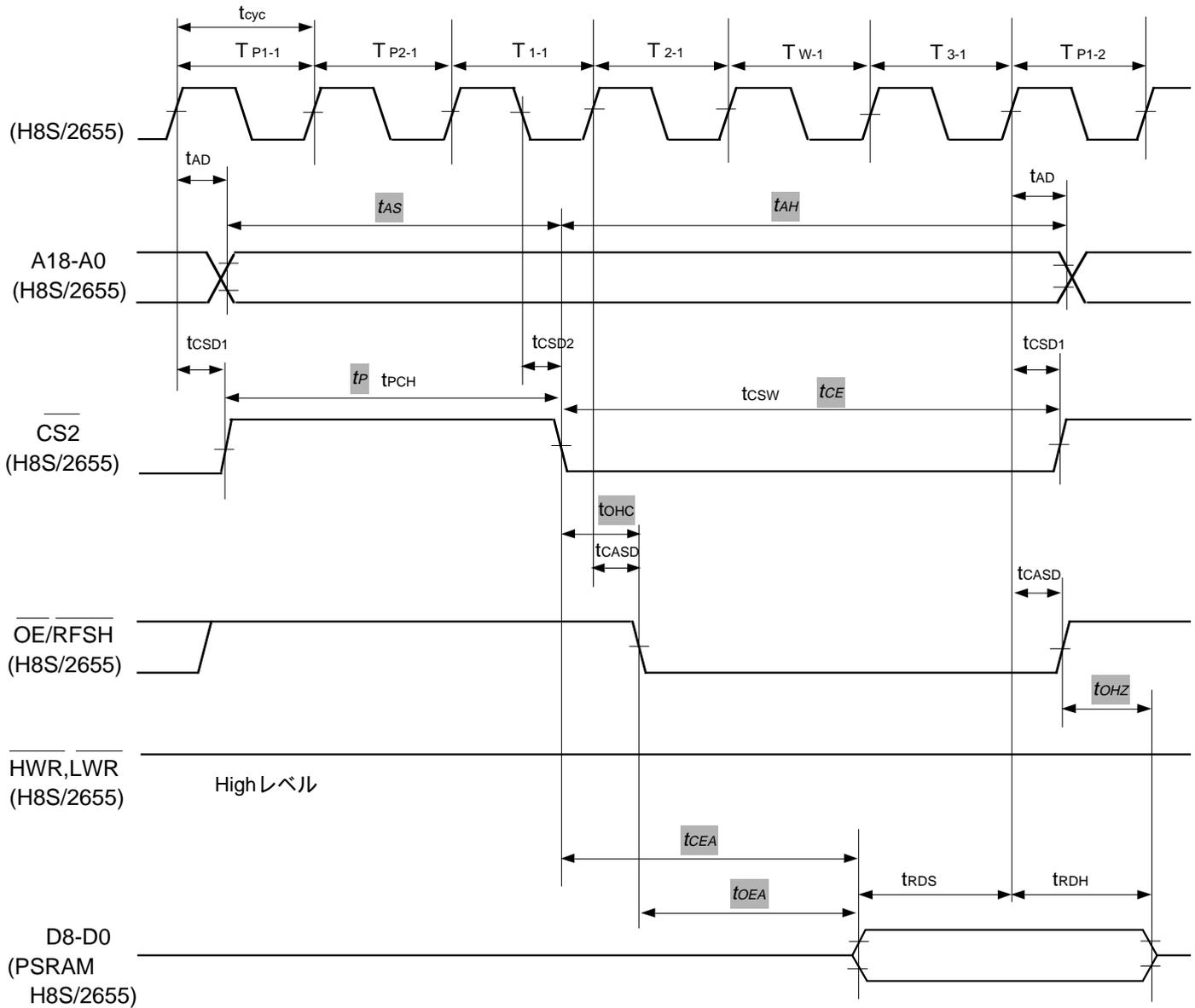
(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/CS遅延時間2	t_{CSD2}	-	20	ns
/CSパルス幅	t_{CSW}	$2.5 \times t_{cyc} - 20$	-	ns
/CAS遅延時間	t_{CASD}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns
リードデータアクセス時間3	t_{ACC3}	-	$2.0 \times t_{cyc} - 25$	ns
リードデータアクセス時間4	t_{ACC4}	-	$2.5 \times t_{cyc} - 25$	ns
/WR遅延時間1	t_{WRD1}	-	20	ns
ライトデータ遅延時間	t_{WDD}	-	30	ns
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	-	ns

(b) HM658512A-10

項目	記号	min	max	単位
チップイネーブルアクセス時間	t_{CEA}	-	100	ns
出力イネーブルアクセス時間	t_{OEA}	-	40	ns
出力ディスエイブル・出力遅延 (High-Z時)	t_{OHZ}	-	25	ns
チップイネーブルパルス幅	t_{CE}	100n	10 μ	s
チップイネーブルプリチャージ時間	t_P	50	-	ns
アドレスセットアップ時間	t_{AS}	0	-	ns
アドレスホールド時間	t_{AH}	25	-	ns
ライトコマンドパルス幅	t_{WP}	30	-	ns
チップイネーブル時間	t_{CW}	100	-	ns
出力イネーブルホールド時間	t_{OHC}	0	-	ns
入力データセット時間	t_{DW}	25	-	ns
入力データホールド時間	t_{DH}	0	-	ns
リフレッシュコマンド遅延時間	t_{RFD}	50	-	ns
リフレッシュプリチャージ時間	t_{FP}	40	-	ns
リフレッシュコマンドパルス幅 (オートリフレッシュ)	t_{FAP}	80n	18 μ	s
オートリフレッシュサイクル時間	t_{FC}	160	-	ns
オートリフレッシュサイクル時間 (セルフリフレッシュ)	t_{FAS}	8	-	μ s
リフレッシュリセット時間 (セルフリフレッシュ)	t_{RFS}	600	-	ns

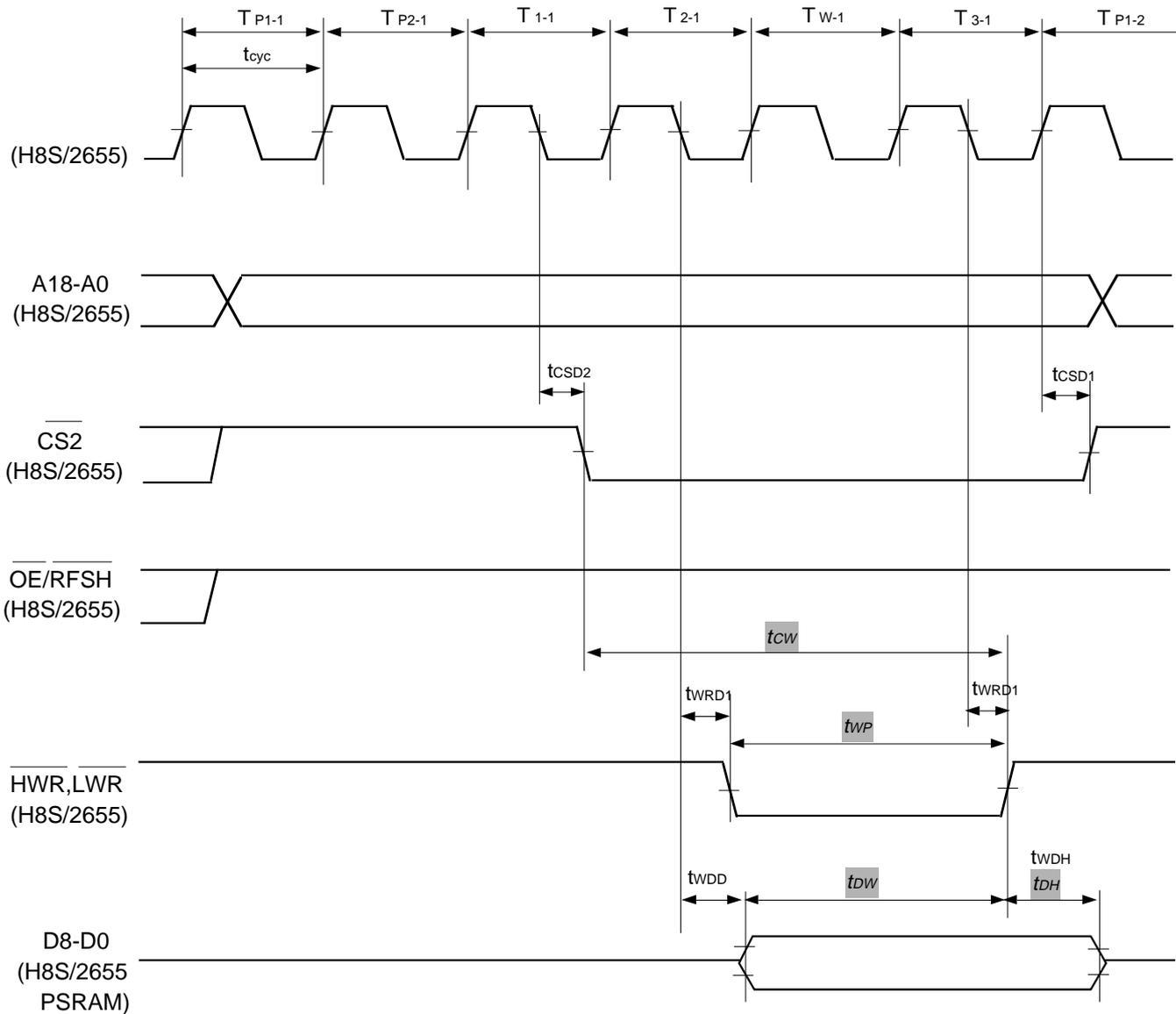
動作説明



■ : P S R A M (H M 6 5 8 5 1 2 A - 1 0) の A C 特性

図3.4.1 (c) P S R A M リードタイミングチャート

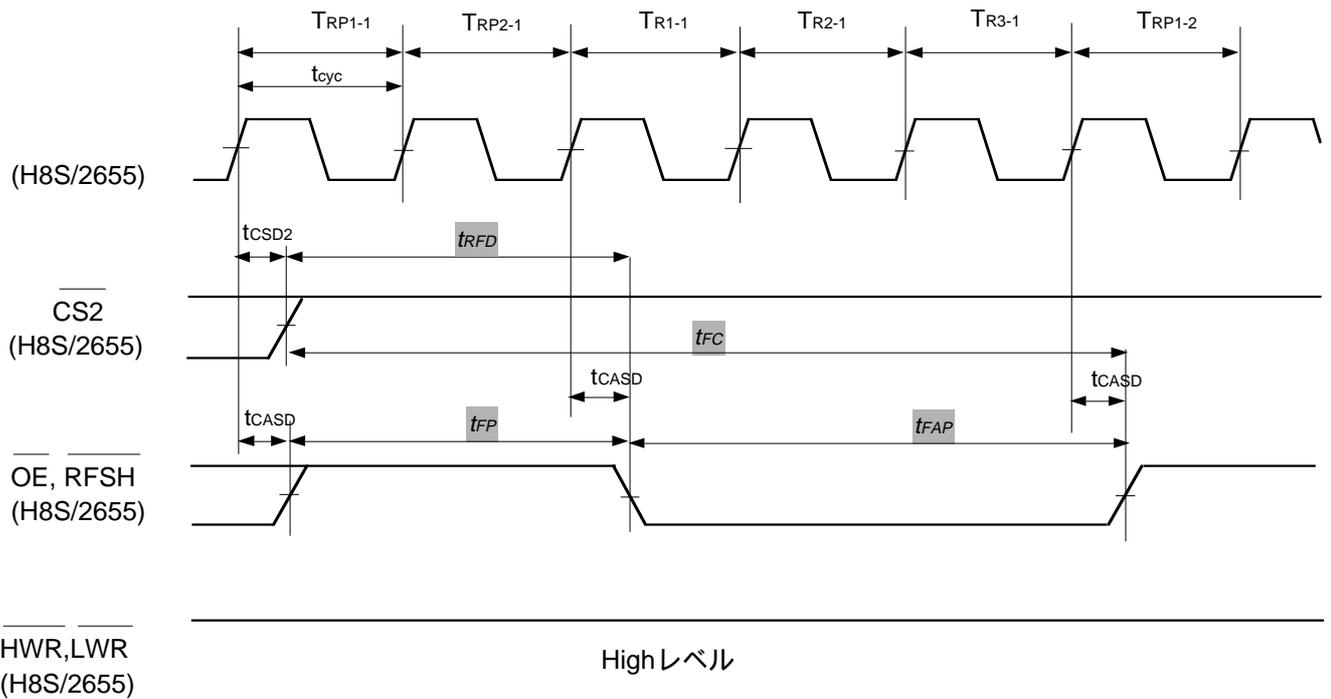
動作説明



■ : PSRAM (HM658512A-10) の AC 特性

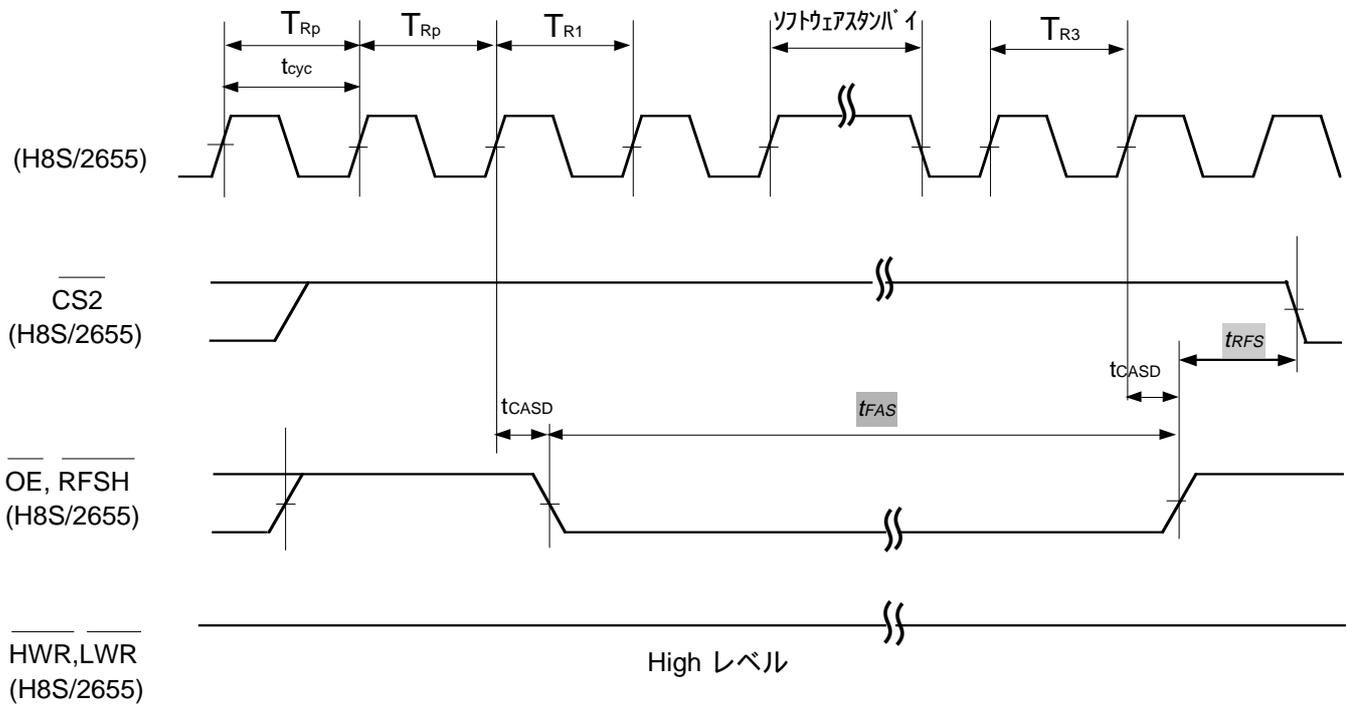
図3.4.1 (d) PSRAMライトタイミングチャート

動作説明



■ : P S R A M (H M 6 5 8 5 1 2 A - 1 0) の A C 特性

図3.4.1(e) オートリフレッシュタイミングチャート



■ : P S R A M (H M 6 5 8 5 1 2 A - 1 0) の A C 特性

図3.4.1(f) セルフリフレッシュタイミングチャート

3.1.4 16ビットバスモードによるバーストROM(HN27C4000G-15)インタフェース

EPROM(HN27C4000G-15)インタフェース	MCU	H8S/2655	使用機能	モード4(16ビットバスモード)
仕様				

(1) 図3.5.1(a)にH8S/2655と×16ビット構成バーストROM(HN27C4000G-15)の接続例を示します。H8S/2655はモード4の16ビットバスモードとし、バーストROMをエリア0に割り当てます。

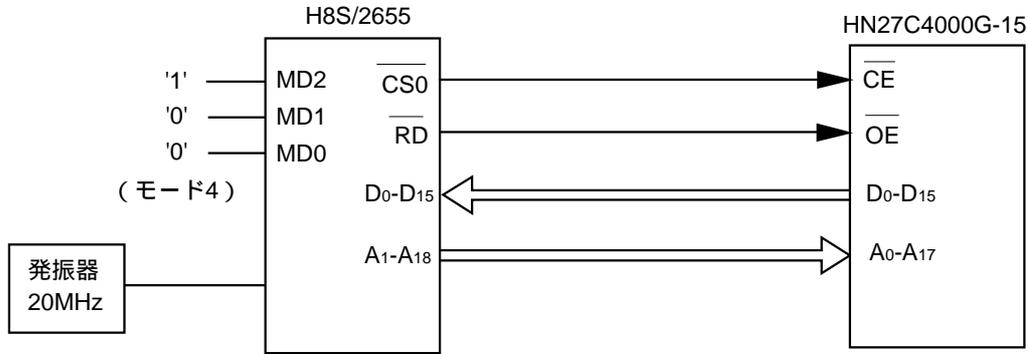


図3.5.1(a) H8S/2655とバーストROMの接続例

(2) 図3.5.1(b)にメモリマップを示します。16Mバイトのアドレス空間を2Mバイト単位でエリア分割した場合、バーストROM領域はH'00 0000 ~ H'07 FFFFになります。

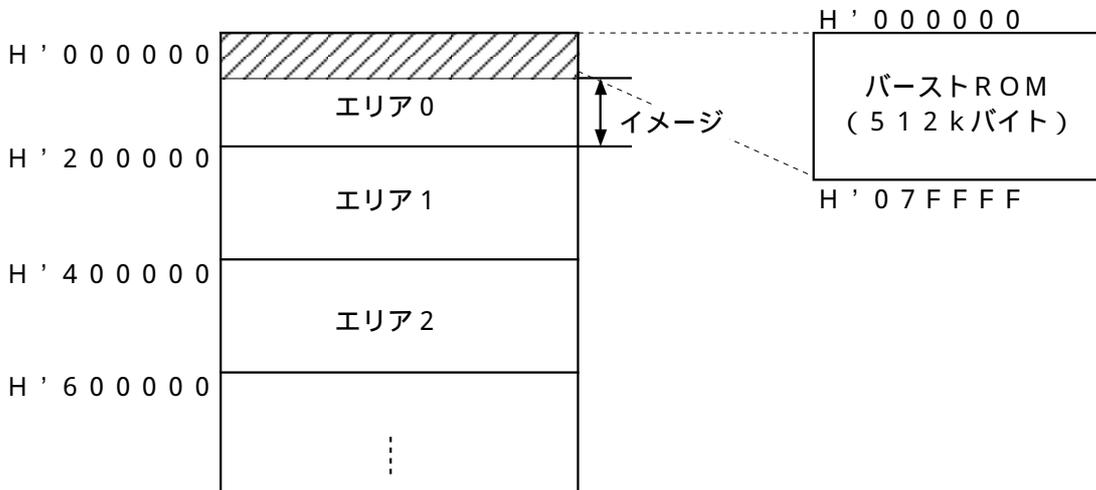


図3.5.1(b) メモリマップ

仕様

(3) 表3.5.1 (a) にバスコントローラの設定を示します。

表3.5.1 (a) バスコントローラの設定

名称	略称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	設定内容
ﾊﾞｽ幅ｺﾝﾄﾚｰﾀﾞ	ABWCR	ABW7 *	ABW6 *	ABW5 *	ABW4 *	ABW3 *	ABW2 *	ABW1 *	ABW0 0	ｲﾝﾌﾟﾙｼﾞﾌﾞﾝｸﾞ: 16ﾋﾞｯﾄ
ｱｸｾｽﾀｰﾝﾄｺﾝﾄﾚｰﾀﾞ	ASTCR	AST7 *	AST6 *	AST5 *	AST4 *	AST3 *	AST2 *	AST1 0	AST0 0	ﾌﾙﾊﾞｲﾄ: 3
ｲﾝﾀﾞｰｽ	WCRH	W71 *	W70 *	W61 *	W60 *	W51 *	W50 *	W41 *	W40 *	-
ｲﾝﾀﾞｰｽ	WCRL	W31 *	W30 *	W21 *	W20 *	W11 *	W10 *	W01 0	W00 1	ｲﾝﾀﾞｰｽ: 17
ﾊﾞｽｺﾝﾄﾚｰﾀﾞ	BCRH	ICIS1 *	ICIS0 *	BRSTRM 1	BRSTS1 1	BRSTS0 0	RMTS2 *	RMTS1 *	RMTS0 *	ﾊﾞｽROM: ｲﾝﾀﾞｰｽ ﾊﾞｽﾀｲﾌﾟ: 2 ﾊﾞｽﾀｲﾌﾟ: 最大4
ﾊﾞｽｺﾝﾄﾚｰﾀﾞ	BCRL	BRLE *	BREQOE *	EAE *	LCASS *	DDS *	ASS 1	WDBE *	WAITE *	ｲﾝﾌﾟﾙｼﾞﾌﾞﾝｸﾞ: 2M (16M)
ｲﾝﾀﾞｰｽ	MCR	TPC *	BE *	RCDM *	CW2 *	MXC1 *	MXC0 *	RLW1 *	RLW0 *	-
DRAMｺﾝﾄﾚｰﾀﾞ	DRAMCR	RFSHE *	RCW *	RMODE *	CMF *	CMIE *	CKS2 *	CKS1 *	CKS0 *	-
ﾘﾘｰｽ	RTCOR	*	*	*	*	*	*	*	*	-

* : don't care

動作説明

バーストROMアクセスにおいて、AC特性が満足しているかを確認するための計算方法を示します。
 t_{cyc} 、規定のないmin値およびmax値は以下の通りとします。

- ・ t_{cyc} : 50 ns (発振器20 MHz (=))
- ・ 規定のないmin値: 0 ns
- ・ 規定のないmax値: min値

を基準に求めた時間には【】に基準タイミングを示します。

タイミング値については、「動作説明 (3) AC特性」を参照して下さい。

(1) リード

図3.5.1 (c) にバーストROMリードタイミングチャートを示します。

以下のAC特性が満足していることを確認します。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) H8S/2655の t_{RDS}

(i) アドレスがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$4 t_{cyc} - t_{AD(max)} - t_{ACC(max)} = 30 \text{ ns} \quad 15 \text{ ns} (t_{RDS})$$

(ii) CSがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3 t_{cyc} - t_{CSD1(max)} - t_{CE(max)} = 30 \text{ ns} \quad 15 \text{ ns} (t_{RDS})$$

(iii) RDがクリティカルな場合

- ・ セットアップ時間の計算【 T_{1-1} サイクルの立ち上がり】

$$3.5 t_{cyc} - t_{RSD1(max)} - t_{OE(max)} = 85 \text{ ns} \quad 15 \text{ ns} (t_{RDS})$$

(b) H8S/2655の t_{RDH} (i) ホールド時間の計算【 T_{3-1} サイクルの立ち下がり】

$$\{ t_{AH(max)} - (0.5 t_{cyc} - t_{ASD(max)}) \} + t_{OH(min)} = 15 \text{ ns} \quad 0 \text{ ns} (t_{RDH})$$

(2) バーストアクセスモード

以下のAC特性が満足していることを確認します。図3.5.1 (c) を参照して下さい。

名 称		略 称
H8S/2655	リードデータセットアップ時間	t_{RDS}
	リードデータホールド時間	t_{RDH}

(a) H8S/2655の t_{RDS}

- ・ セットアップ時間の計算【 T_{1-2} サイクルの立ち上がり】

$$2 t_{cyc} - t_{AD(max)} - t_{ACC(max)} = 20 \text{ ns} \quad 15 \text{ ns} (t_{RDS})$$

(b) H8S/2655の t_{RDH}

- ・ ホールド時間の計算【 T_{2-2} サイクルの立ち下がり】

$$\{ t_{AH(max)} - (0.5 t_{cyc} - t_{ASD(max)}) \} + t_{OH(min)} = 15 \text{ ns} \quad 0 \text{ ns} (t_{RDH})$$

動作説明

(3) AC特性

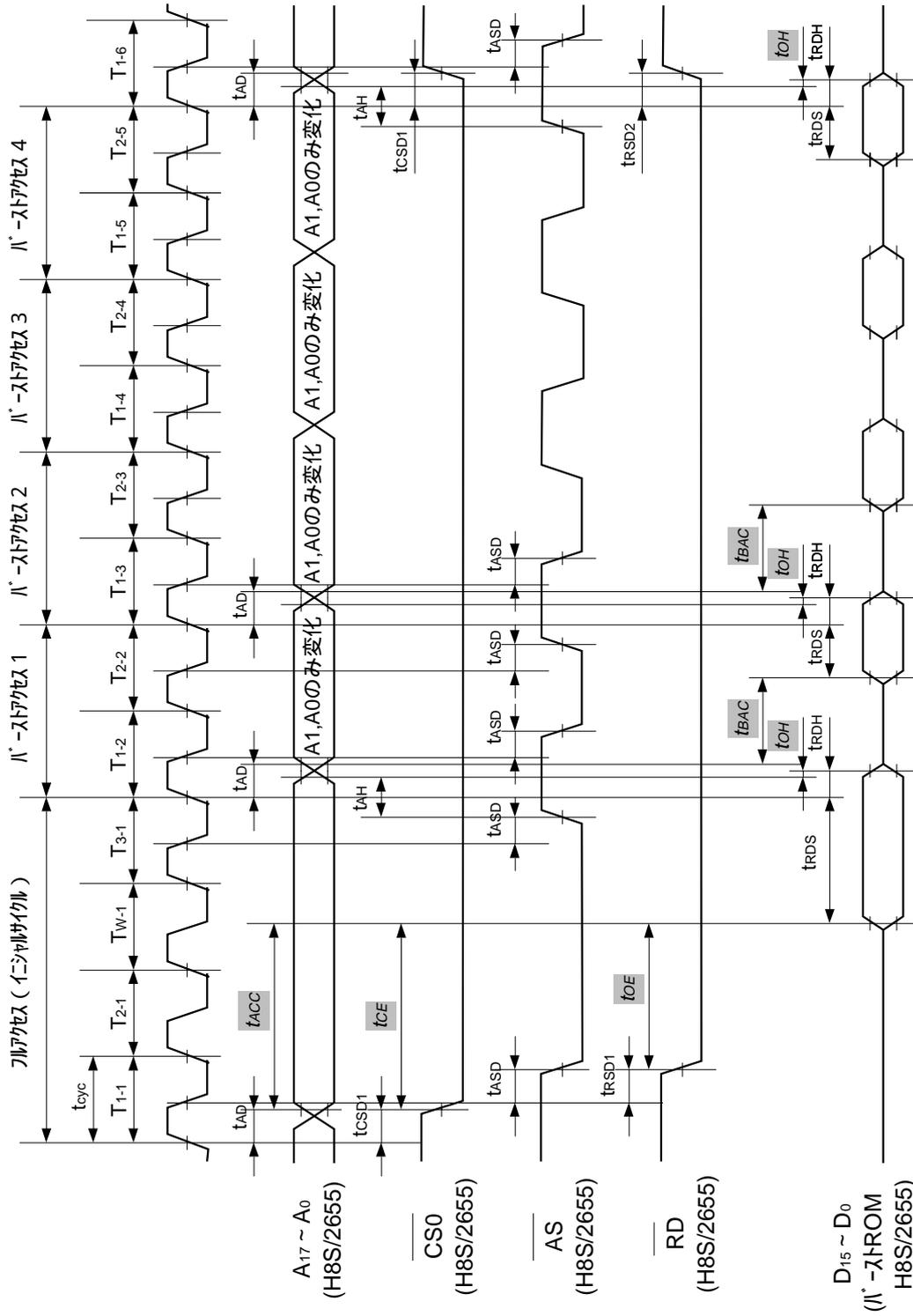
(a) H8S/2655

項目	記号	min	max	単位
アドレス遅延時間	t_{AD}	-	20	ns
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 10$	-	ns
/CS遅延時間1	t_{CSD1}	-	20	ns
/AS遅延時間	t_{ASD}	-	20	ns
/RD遅延時間1	t_{RSD1}	-	20	ns
/RD遅延時間2	t_{RSD2}	-	20	ns
リードデータセットアップ時間	t_{RDS}	15	-	ns
リードデータホールド時間	t_{RDH}	0	-	ns

(b) HN27C400G-15

項目	記号	min	max	単位
アクセス時間	t_{ACC}	-	150	ns
/CE・出力遅延時間	t_{CE}	-	150	ns
/OE・出力遅延時間	t_{OE}	-	70	ns
バーストアクセス時間	t_{BAC}	-	60	ns
データ出力ホールド時間	t_{OH}	5	-	ns

動作説明



■ : バーストROM (HN27C4000G-15) のAC特性

図3.5.1(c) バーストROMリードタイミングチャート

フラッシュメモリ(HN29WB800T-12)インタフェース	MCU	H8S/2655	使用機能	モード4
--------------------------------	-----	----------	------	------

仕様

- (1) モード4(16Mバイトアクセス、16ビットデータバス)によるH8S2655及びHN29WB800T-12の接続ブロック図を、図3.6.1(a)に示します。

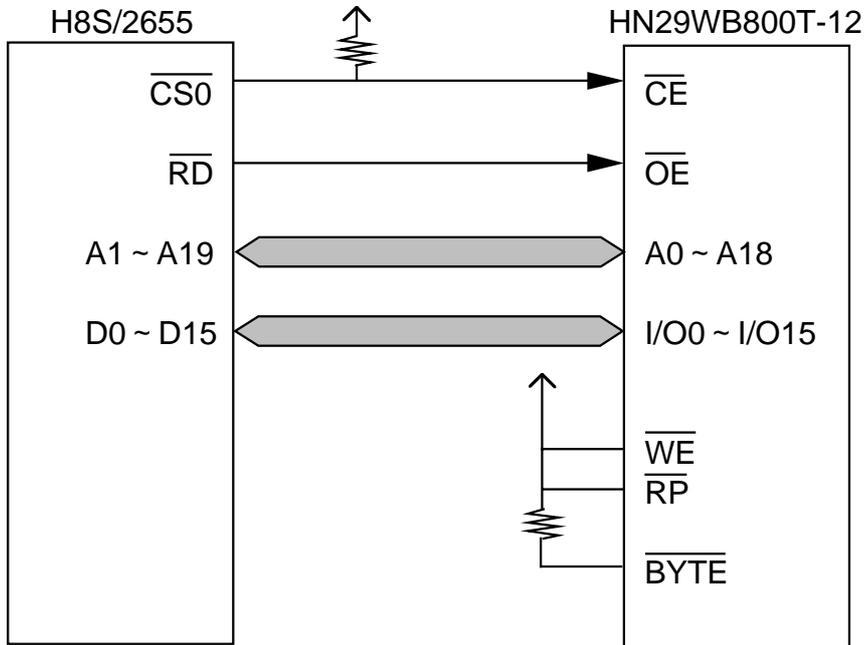


図3.6.1(a) H8S/2655及びHN39WB800T-12接続ブロック図

- (2) 図3.6.1(b)にフラッシュメモリ設定エリアを示します。
H8S/2655の外部アドレス空間(16Mバイトメモリ空間)内のエリア0(H`000000 ~ H`1FFFFFF)をフラッシュメモリ(HN29WB800T-12)に設定します。

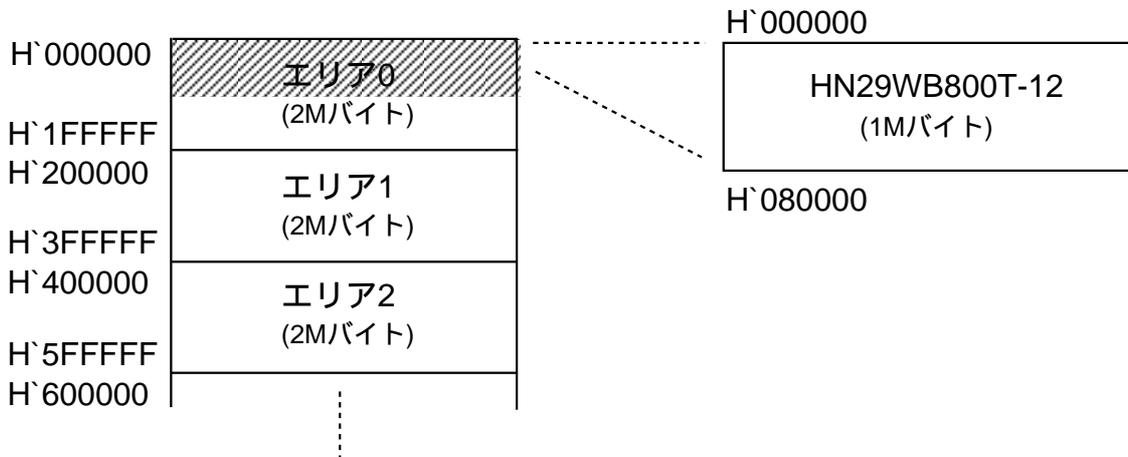


図3.6.1(b) フラッシュメモリ設定エリア(メモリマップ)

動作説明

(1) リードタイミング

図3.6.1(c)にリードタイミングチャートを示します。リードデータセットアップ時間($t_{AD} + t_{ACC}$)、リードデータホールド(t_{OH})時間及びデータアクセス時間(t_{ACC} 、 t_{CE} 、 t_{OE})が満足されているかを確認します。

(a) データセットアップ時間

$$\begin{aligned} t_{AD} + t_{ACC} &= 2.5 \quad + t_{CL}(\text{min}) - t_{RDS}(\text{min}) \\ &= 125\text{ns} + 20\text{ns} - 15\text{ns} \\ &= 140\text{ns} \quad 130\text{ns}(\text{メモリ,max}) \end{aligned}$$

(b) データホールド時間

$$\begin{aligned} t_{OH} &= t_{RDH}(\text{min}) - t_{RSD2}(\text{max}) \\ &= -20\text{ns} \quad 0\text{ns}(\text{メモリ,min}) \end{aligned}$$

(c) アドレスからのデータアクセス時間

$$\begin{aligned} t_{ACC} &= t_{ACC5}(\text{max}) \\ &= 125\text{ns} \quad 120\text{ns}(\text{メモリ,max}) \end{aligned}$$

(d) $\overline{CS}(\overline{CE})$ からのデータアクセス時間

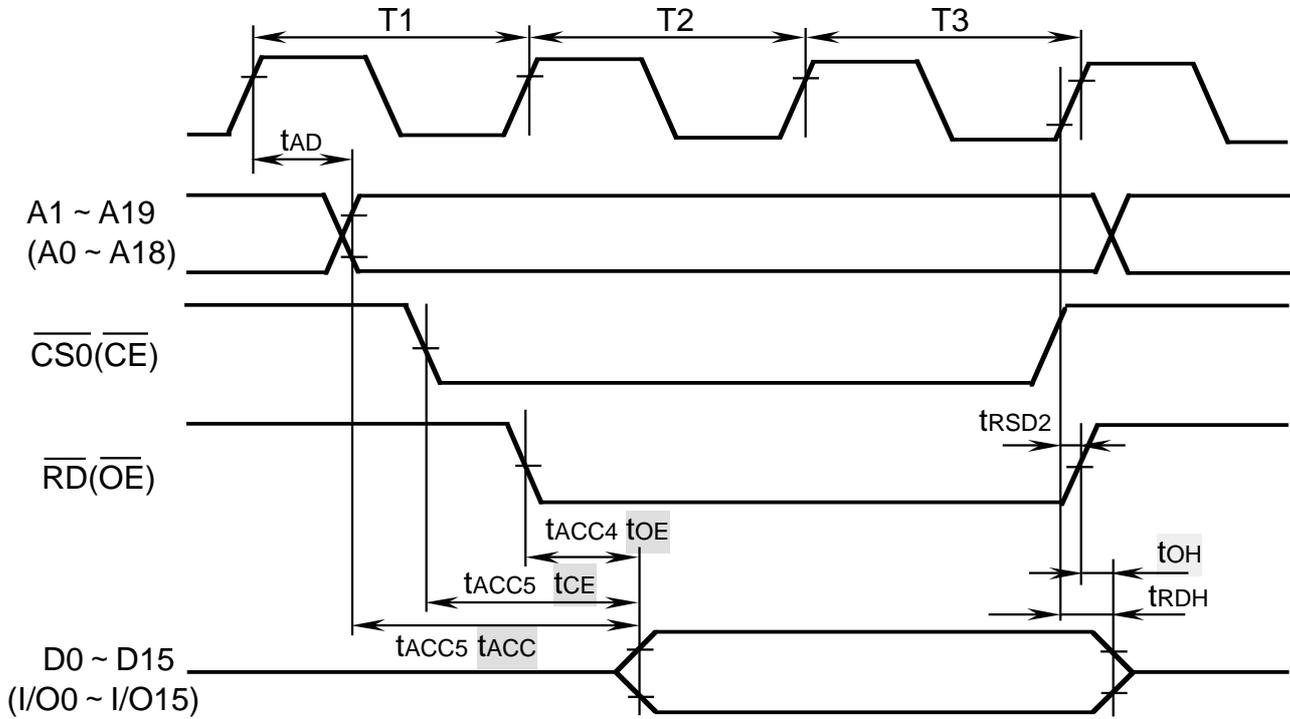
$$\begin{aligned} t_{CE} &= t_{ACC5}(\text{max}) \\ &= 125\text{ns} \quad 120\text{ns}(\text{メモリ,max}) \end{aligned}$$

(e) $\overline{RD}(\overline{OE})$ からのデータアクセス時間

$$\begin{aligned} t_{OE} &= t_{ACC4}(\text{max}) \\ &= 100\text{ns} \quad 60\text{ns}(\text{メモリ,max}) \end{aligned}$$

以上の5点よりタイミングに問題はないため、H8S/2655は、3ステートアクセス、ノーウェイトでインターフェースを行う。

動作説明



■ :HN29WB800T-12のAC特性

() :HN29WB800T-12の端子

図3 リードタイミングチャート

回路図

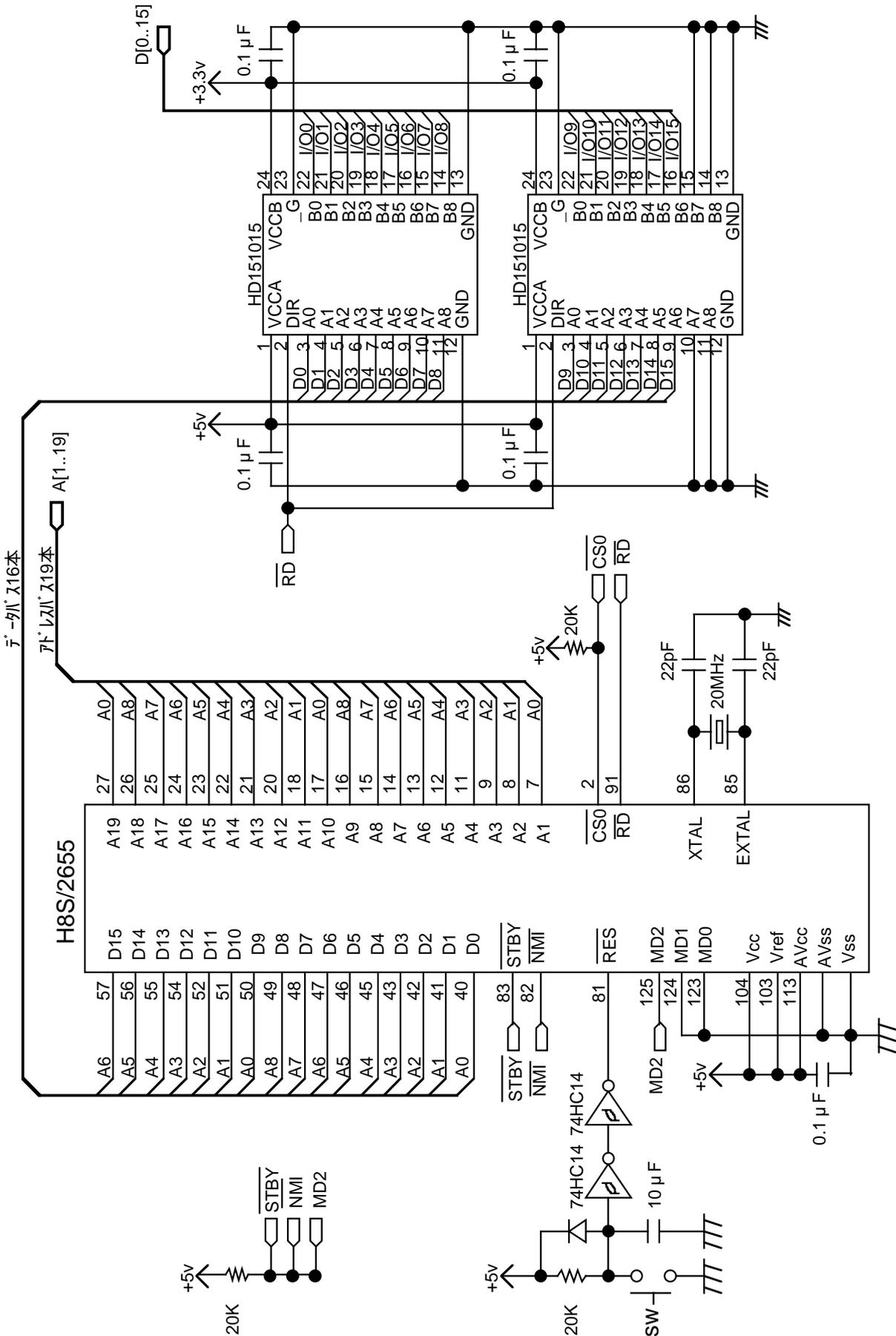


図3.6.1(d) HN29WB800T-12インターフェース1

回路図

