User's Manual

16

# RL78/L13

## ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.2.30　2023.08

# ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1  2020.10)

## 本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2023 Renesas Electronics Corporation. All rights reserved.

# 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、$V_{IL}$（Max.）から $V_{IH}$（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、$V_{IL}$（Max.）から $V_{IH}$（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

対 象 者　このマニュアルはRL78/L13の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。

対象製品は，次に示す各製品です。

・64ピン：　R5F10WLx（x = A, C-G）　・80ピン：　R5F10WMx（x = A, C-G）

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/L13のマニュアルは，このマニュアルと命令編（RL78ファミリ共通）の2冊に分かれています。

| RL78/L13<br>ユーザーズ・マニュアル<br>ハードウエア編 | RL78ファミリ<br>ユーザーズ・マニュアル<br>ソフトウェア編 |
|---|---|
| ●端子機能<br>●内部ブロック機能<br>●割り込み<br>●その他の内蔵周辺機能<br>●電気的特性 | ●CPU機能<br>●命令セット<br>●命令の説明 |

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この"★"をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/L13マイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ　ユーザーズ・マニュアル　ソフトウエア編（R01US0015J）を参照してください。

凡　　例

| | |
|---|---|
| データ表記の重み | ：左が上位桁，右が下位桁 |
| アクティブ・ロウの表記 | ：$\overline{\times\times\times}$（端子，信号名称に上線） |
| 注 | ：本文中につけた注の説明 |
| 注意 | ：気をつけて読んでいただきたい内容 |
| 備考 | ：本文の補足説明 |
| 数の表記 | ：2進数…××××または××××B<br>10進数…××××<br>16進数…××××H |

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

| 資　料　名 | 資料番号 | |
|---|---|---|
| | 和　　文 | 英　　文 |
| RL78/L13　ユーザーズ・マニュアル　ハードウェア編 | このマニュアル | R01UH0382E |
| RL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編 | R01US0015J | R01US0015E |

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

| 資　料　名 | | 資料番号 | |
|---|---|---|---|
| | | 和　　文 | 英　　文 |
| PG-FP5　フラッシュメモリプログラマ　ユーザーズマニュアル | | — | — |
| | RL78，78K，V850，RX100，RX200，RX600（RX64x除く），R8C，SH編 | R20UT2923J | R20UT2923E |
| | 共通編 | R20UT2922J | R20UT2922E |
| | セットアップマニュアル | R20UT0930J | R20UT0930E |
| PG-FP6　フラッシュメモリプログラマ　ユーザーズマニュアル | | R20UT4025J | R20UT4025E |
| E1, E20エミュレータ　ユーザーズマニュアル | | R20UT0398J | R20UT0398E |
| E2エミュレータ　ユーザーズマニュアル | | R20UT3538J | R20UT3538E |
| E2 Liteエミュレータ　ユーザーズマニュアル | | R20UT3240J | R20UT3240E |

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

| 資　料　名 | 資料番号 | |
|---|---|---|
| | 和　　文 | 英　　文 |
| ルネサス　マイクロコンピュータ　RL78ファミリ | R01CP0003J | R01CP0003E |
| 半導体パッケージ実装マニュアル | R50ZZ0003J | R50ZZ0003E |
| 信頼性ハンドブック | R51ZZ0001J | R51ZZ0001E |

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は，それぞれの所有者に帰属します。
EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

# 目次


第1章　概　　説 ..... 1

1.1　特　　徴 ..... 1
1.2　型名一覧 ..... 4
1.3　端子接続図（Top View） ..... 6
1.3.1　64ピン製品 ..... 6
1.3.2　80ピン製品 ..... 9
1.4　端子名称 ..... 13
1.5　ブロック図 ..... 14
1.5.1　64ピン製品 ..... 14
1.5.2　80ピン製品 ..... 15
1.6　機能概要 ..... 16

第2章　端子機能 ..... 18

2.1　ポート機能 ..... 18
2.1.1　64ピン製品 ..... 19
2.1.2　80ピン製品 ..... 22
2.2　ポート以外の機能 ..... 25
2.2.1　製品別の搭載機能 ..... 25
2.2.2　機能説明 ..... 27
2.3　未使用端子の処理 ..... 29
2.4　端子ブロック図 ..... 32

第3章　CPUアーキテクチャ ..... 48

3.1　メモリ空間 ..... 48
3.1.1　内部プログラム・メモリ空間 ..... 57
3.1.2　ミラー領域 ..... 60
3.1.3　内部データ・メモリ空間 ..... 62
3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域 ..... 62
3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 ..... 62
3.1.6　データ・メモリ・アドレッシング ..... 63
3.2　プロセッサ・レジスタ ..... 65
3.2.1　制御レジスタ ..... 65
3.2.2　汎用レジスタ ..... 68
3.2.3　ES, CSレジスタ ..... 69
3.2.4　特殊機能レジスタ（SFR：Special Function Register） ..... 70
3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） ..... 76
3.3　命令アドレスのアドレッシング ..... 87
3.3.1　レラティブ・アドレッシング ..... 87
3.3.2　イミーディエト・アドレッシング ..... 87
3.3.3　テーブル・インダイレクト・アドレッシング ..... 88
3.3.4　レジスタ・インダイレクト・アドレッシング ..... 89
3.4　処理データ・アドレスに対するアドレッシング ..... 90
3.4.1　インプライド・アドレッシング ..... 90
3.4.2　レジスタ・アドレッシング ..... 90
3.4.3　ダイレクト・アドレッシング ..... 91

3.4.4　ショート・ダイレクト・アドレッシング ..... 92
3.4.5　SFRアドレッシング ..... 93
3.4.6　レジスタ・インダイレクト・アドレッシング ..... 94
3.4.7　ベースト・アドレッシング ..... 95
3.4.8　ベースト・インデクスト・アドレッシング ..... 99
3.4.9　スタック・アドレッシング ..... 101

第4章　ポート機能 ..... 104

4.1　ポートの機能 ..... 104
4.2　ポートの構成 ..... 104
4.2.1　ポート0 ..... 105
4.2.2　ポート1 ..... 105
4.2.3　ポート2 ..... 106
4.2.4　ポート3 ..... 106
4.2.5　ポート4 ..... 107
4.2.6　ポート5 ..... 107
4.2.7　ポート6 ..... 107
4.2.8　ポート7 ..... 108
4.2.9　ポート12 ..... 108
4.2.10　ポート13 ..... 108
4.3　ポート機能を制御するレジスタ ..... 109
4.3.1　ポート・モード・レジスタ（PMxx） ..... 113
4.3.2　ポート・レジスタ（Pxx） ..... 114
4.3.3　プルアップ抵抗オプション・レジスタ（PUxx） ..... 115
4.3.4　ポート入力モード・レジスタ（PIMxx） ..... 116
4.3.5　ポート出力モード・レジスタ（POMxx） ..... 117
4.3.6　ポート・モード・コントロール・レジスタ（PMCxx） ..... 118
4.3.7　A/Dポート・コンフィギュレーション・レジスタ（ADPC） ..... 119
4.3.8　周辺I/Oリダイレクション・レジスタ（PIOR） ..... 120
4.3.9　LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6） ..... 121
4.3.10　LCD入力切り替え制御レジスタ（ISCLCD） ..... 124
4.4　ポート機能の動作 ..... 125
4.4.1　入出力ポートへの書き込み ..... 125
4.4.2　入出力ポートからの読み出し ..... 125
4.4.3　入出力ポートでの演算 ..... 125
4.4.4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応 ..... 126
4.5　兼用機能使用時のレジスタ設定 ..... 128
4.5.1　兼用機能使用時の基本的な考え方 ..... 128
4.5.2　出力機能を使用しない兼用機能のレジスタ設定 ..... 129
4.5.3　使用するポート機能および兼用機能のレジスタ設定例 ..... 131
4.5.4　SEGxx端子兼用ポートの動作 ..... 145
4.5.5　$V_{L3}$, CAPL, CAPH端子兼用ポートの動作 ..... 147
4.5.6　P45（アナログ入力端子（IVREF0）を兼用するポート） ..... 149
4.6　ポート機能使用時の注意事項 ..... 150
4.6.1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 ..... 150
4.6.2　端子設定に関する注意事項 ..... 151

第5章　クロック発生回路 ..... 152

5.1　クロック発生回路の機能 ..... 152
5.2　クロック発生回路の構成 ..... 154

5.3 クロック発生回路を制御するレジスタ ..... 156
5.3.1 クロック動作モード制御レジスタ（CMC） ..... 156
5.3.2 システム・クロック制御レジスタ（CKC） ..... 159
5.3.3 クロック動作ステータス制御レジスタ（CSC） ..... 161
5.3.4 発振安定時間カウンタ状態レジスタ（OSTC） ..... 162
5.3.5 発振安定時間選択レジスタ（OSTS） ..... 164
5.3.6 周辺イネーブル・レジスタ0, 1（PER0, PER1） ..... 166
5.3.7 サブシステム・クロック供給モード制御レジスタ（OSMC） ..... 169
5.3.8 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） ..... 170
5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） ..... 171
5.4 システム・クロック発振回路 ..... 172
5.4.1 X1発振回路 ..... 172
5.4.2 XT1発振回路 ..... 172
5.4.3 高速オンチップ・オシレータ ..... 176
5.4.4 低速オンチップ・オシレータ ..... 176
5.5 クロック発生回路の動作 ..... 177
5.6 クロックの制御 ..... 179
5.6.1 高速オンチップ・オシレータの設定例 ..... 179
5.6.2 X1発振回路の設定例 ..... 181
5.6.3 XT1発振回路の設定例 ..... 182
5.6.4 CPUクロック状態移行図 ..... 183
5.6.5 CPUクロックの移行前の条件と移行後の処理 ..... 189
5.6.6 CPUクロックの切り替えとシステム・クロックの切り替えに要する時間 ..... 191
5.6.7 クロック発振停止前の条件 ..... 192
5.7 発振子と発振回路定数 ..... 193

第6章 タイマ・アレイ・ユニット ..... 194

6.1 タイマ・アレイ・ユニットの機能 ..... 195
6.1.1 単独チャネル動作機能 ..... 195
6.1.2 複数チャネル連動動作機能 ..... 196
6.1.3 8ビット・タイマ動作機能（チャネル1, 3のみ） ..... 197
6.1.4 LIN-bus対応機能（チャネル7のみ） ..... 198
6.2 タイマ・アレイ・ユニットの構成 ..... 199
6.2.1 タイマ・カウンタ・レジスタmn（TCRmn） ..... 204
6.2.2 タイマ・データ・レジスタmn（TDRmn） ..... 206
6.3 タイマ・アレイ・ユニットを制御するレジスタ ..... 207
6.3.1 周辺イネーブル・レジスタ0（PER0） ..... 208
6.3.2 タイマ・クロック選択レジスタm（TPSm） ..... 209
6.3.3 タイマ・モード・レジスタmn（TMRmn） ..... 212
6.3.4 タイマ・ステータス・レジスタmn（TSRmn） ..... 217
6.3.5 タイマ・チャネル許可ステータス・レジスタm（TEm） ..... 218
6.3.6 タイマ・チャネル開始レジスタm（TSm） ..... 219
6.3.7 タイマ・チャネル停止レジスタm（TTm） ..... 221
6.3.8 タイマ入力選択レジスタ0（TIS0） ..... 222
6.3.9 タイマ出力選択レジスタ（TOS） ..... 222
6.3.10 タイマ出力許可レジスタm（TOEm） ..... 223
6.3.11 タイマ出力レジスタm（TOm） ..... 224
6.3.12 タイマ出力レベル・レジスタm（TOLm） ..... 225
6.3.13 タイマ出力モード・レジスタm（TOMm） ..... 226
6.3.14 入力切り替え制御レジスタ（ISC） ..... 227
6.3.15 ノイズ・フィルタ許可レジスタ1（NFEN1） ..... 228

6. 3. 16　タイマ入出力端子のポート機能を制御するレジスタ ..... 230
6. 4　タイマ・アレイ・ユニットの基本ルール ..... 231
6. 4. 1　複数チャネル連動動作機能の基本ルール ..... 231
6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ） ..... 233
6. 5　カウンタの動作 ..... 234
6. 5. 1　カウント・クロック（$f_{TCLK}$） ..... 234
6. 5. 2　カウンタのスタート・タイミング ..... 236
6. 5. 3　カウンタの動作 ..... 237
6. 6　チャネル出力（TOmn端子）の制御 ..... 242
6. 6. 1　TOmn端子の出力回路の構成 ..... 242
6. 6. 2　TOmn端子の出力設定 ..... 243
6. 6. 3　チャネル出力操作時の注意事項 ..... 244
6. 6. 4　TOmnビットの一括操作 ..... 249
6. 6. 5　カウント動作開始時のタイマ割り込みとTOmn端子出力について ..... 250
6. 7　タイマ入力（TImn）の制御 ..... 251
6. 7. 1　TImnの入力回路構成 ..... 251
6. 7. 2　ノイズ・フィルタ ..... 251
6. 7. 3　チャネル入力操作時の注意事項 ..... 252
6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能 ..... 253
6. 8. 1　インターバル・タイマ／方形波出力としての動作 ..... 253
6. 8. 2　外部イベント・カウンタとしての動作 ..... 258
6. 8. 3　入力パルス間隔測定としての動作 ..... 262
6. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作 ..... 266
6. 8. 5　ディレイ・カウンタとしての動作 ..... 270
6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能 ..... 274
6. 9. 1　ワンショット・パルス出力機能としての動作 ..... 274
6. 9. 2　PWM機能としての動作 ..... 281
6. 9. 3　多重PWM出力機能としての動作 ..... 288
6. 9. 4　リモコン出力機能 ..... 296
6. 10　タイマ・アレイ・ユニット使用時の注意事項 ..... 299
6. 10. 1　タイマ出力使用時の注意事項 ..... 299

第7章　16ビット・タイマKB20 ..... 300

7. 1　16ビット・タイマKB20の機能 ..... 300
7. 2　16ビット・タイマKB20の構成 ..... 302
7. 2. 1　16ビット・タイマKB2コンペア・レジスタ00-03（TKBCR00-TKBCR03） ..... 304
7. 3　16ビット・タイマKB20を制御するレジスタ ..... 305
7. 3. 1　周辺イネーブル・レジスタ1（PER1） ..... 306
7. 3. 2　タイマ・クロック選択レジスタ（TKBPSCS0） ..... 307
7. 3. 3　16ビット・タイマKB2動作制御レジスタ00（TKBCTL00） ..... 308
7. 3. 4　16ビット・タイマKB2動作制御レジスタ01（TKBCTL01） ..... 310
7. 3. 5　16ビット・タイマKB2出力制御レジスタ00（TKBIOC00） ..... 311
7. 3. 6　16ビット・タイマKB2出力制御レジスタ01（TKBIOC01） ..... 312
7. 3. 7　16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0） ..... 313
7. 3. 8　16ビット・タイマKB2トリガ・レジスタ0（TKBTRG0） ..... 314
7. 3. 9　16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0（TKBCLR0） ..... 315
7. 3. 10　16ビット・タイマKB2ディザリング数レジスタ00, 01
（TKBDNR00, TKBDNR01） ..... 316
7. 3. 11　16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ00
（TKBCRLD00） ..... 317

7. 3. 12　16ビット・タイマKB2コンペア3L＆ディザリング数レジスタ01（TKBCRLD01）.....317
7. 3. 13　16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00, 01（TKBSIR00, TKBSIR01）.....318
7. 3. 14　16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00, 01（TKBSSR00, TKBSSR01）.....318
7. 3. 15　16ビット・タイマKB2最大周波数リミット設定レジスタ0（TKBMFR0）.....319
7. 3. 16　16ビット・タイマKB2カウンタリスタート選択レジスタ（ELSELRn）.....320
7. 3. 17　16ビット・タイマKB2出力切り替えレジスタ（PWCTKB）.....321
7. 3. 18　強制出力停止機能制御レジスタ0（TKBPACTL00）.....322
7. 3. 19　強制出力停止機能制御レジスタ1（TKBPACTL01）.....324
7. 3. 20　強制出力停止機能制御レジスタ2（TKBPACTL02）.....326
7. 3. 21　強制出力停止機能フラグ・レジスタ（TKBPAFLG0）.....327
7. 3. 22　強制出力停止機能1開始レジスタ（TKBPAHFS0）.....328
7. 3. 23　強制出力停止機能1停止レジスタ（TKBPAHFT0）.....329
7. 3. 24　16ビット・タイマKB2出力端子のポート機能を制御するレジスタ.....330
7. 4　16ビット・タイマKB20の動作.....331
7. 4. 1　カウンタ基本動作.....331
7. 4. 2　デフォルトレベルとアクティブ・レベル.....332
7. 4. 3　動作停止と動作開始.....336
7. 4. 4　一斉書き込み動作.....339
7. 4. 5　単体動作モード（TKBCR00による周期制御）.....340
7. 4. 6　単体動作モード（外部トリガ入力による周期制御）.....346
7. 4. 7　インターリーブPFC（power factor correction）出力モード.....353
7. 5　16ビット・タイマKB20のオプション機能.....366
7. 5. 1　PWM出力ディザリング機能.....366
7. 5. 2　PWM出力ソフト・スタート機能.....370
7. 5. 3　最大周波数リミット機能.....373
7. 5. 4　IH制御用のPWM出力機能.....374
7. 6　強制出力停止機能.....377
7. 6. 1　強制出力停止機能1と強制出力停止機能2.....378
7. 7　強制出力停止機能1の動作説明.....380
7. 7. 1　強制出力停止機能1の入出力設定.....380
7. 7. 2　強制出力停止機能1の基本動作.....383
7. 7. 3　強制出力停止機能1使用時の注意事項.....387
7. 8　強制出力停止機能2の動作説明.....388
7. 8. 1　強制出力停止機能2の入出力設定.....388
7. 8. 2　強制出力停止機能2の基本動作.....390
7. 9　16ビット・タイマKB20使用時の注意事項.....391
7. 9. 1　LIN-bus機能との併用について.....391
7. 9. 2　カウンタリスタートトリガ使用時の注意事項.....391
7. 9. 3　強制出力停止機能使用時の注意事項（IH制御用のPWM出力機能使用時以外）.....391
7. 9. 4　IH制御用のPWM出力機能使用時の注意事項.....392

第8章　リアルタイム・クロック2.....393

8. 1　リアルタイム・クロック2の機能.....393
8. 2　リアルタイム・クロック2の構成.....393
8. 3　リアルタイム・クロック2を制御するレジスタ.....395
8. 3. 1　周辺イネーブル・レジスタ0（PER0）.....396
8. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）.....397
8. 3. 3　パワーオン・リセット・ステータス・レジスタ（PORSR）.....398

8.3.4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）.....399
8.3.5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）.....401
8.3.6　秒カウント・レジスタ（SEC）.....404
8.3.7　分カウント・レジスタ（MIN）.....404
8.3.8　時カウント・レジスタ（HOUR）.....405
8.3.9　日カウント・レジスタ（DAY）.....407
8.3.10　曜日カウント・レジスタ（WEEK）.....408
8.3.11　月カウント・レジスタ（MONTH）.....409
8.3.12　年カウント・レジスタ（YEAR）.....409
8.3.13　時計誤差補正レジスタ（SUBCUD）.....410
8.3.14　アラーム分レジスタ（ALARMWM）.....413
8.3.15　アラーム時レジスタ（ALARMWH）.....413
8.3.16　アラーム曜日レジスタ（ALARMWW）.....414
8.3.17　リアルタイム・クロック2出力端子のポート機能を制御するレジスタ.....415
8.4　リアルタイム・クロック2の動作.....416
8.4.1　リアルタイム・クロック2の動作開始.....416
8.4.2　動作開始後のHALT/STOPモードへの移行.....417
8.4.3　リアルタイム・クロック2のカウンタ読み出し.....418
8.4.4　リアルタイム・クロック2のカウンタ書き込み.....420
8.4.5　リアルタイム・クロック2のアラーム設定.....423
8.4.6　リアルタイム・クロック2の1 Hz出力.....424
8.4.7　時計誤差補正レジスタの設定手順.....425
8.4.8　リアルタイム・クロック2の時計誤差補正例.....426

第9章　12ビット・インターバル・タイマ.....428

9.1　12ビット・インターバル・タイマの機能.....428
9.2　12ビット・インターバル・タイマの構成.....428
9.3　12ビット・インターバル・タイマを制御するレジスタ.....428
9.3.1　周辺イネーブル・レジスタ1（PER1）.....429
9.3.2　サブシステム・クロック供給モード制御レジスタ（OSMC）.....430
9.3.3　12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）.....431
9.4　12ビット・インターバル・タイマの動作.....432
9.4.1　12ビット・インターバル・タイマの動作タイミング.....432
9.4.2　HALT/STOP モードから復帰後にカウンタ動作開始し，再度HALT/STOP モードへの移行.....433

第10章　クロック出力／ブザー出力制御回路.....434

10.1　クロック出力／ブザー出力制御回路の機能.....434
10.2　クロック出力／ブザー出力制御回路の構成.....436
10.3　クロック出力／ブザー出力制御回路を制御するレジスタ.....436
10.3.1　クロック出力選択レジスタn（CKSn）.....436
10.3.2　サブシステム・クロック供給モード制御レジスタ（OSMC）.....438
10.3.3　クロック出力／ブザー出力端子のポート機能を制御するレジスタ.....439
10.4　クロック出力／ブザー出力制御回路の動作.....440
10.4.1　出力端子の動作.....440
10.5　クロック出力／ブザー出力制御回路の注意事項.....440

第11章　ウォッチドッグ・タイマ.....441

11.1　ウォッチドッグ・タイマの機能.....441

11.2 ウォッチドッグ・タイマの構成 ..... 442
11.3 ウォッチドッグ・タイマを制御するレジスタ ..... 443
11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） ..... 443
11.4 ウォッチドッグ・タイマの動作 ..... 444
11.4.1 ウォッチドッグ・タイマの動作制御 ..... 444
11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ..... 446
11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ..... 447
11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 ..... 449

第12章 A/Dコンバータ ..... 450

12.1 A/Dコンバータの機能 ..... 450
12.2 A/Dコンバータの構成 ..... 452
12.3 A/Dコンバータで使用するレジスタ ..... 454
12.3.1 周辺イネーブル・レジスタ0（PER0） ..... 455
12.3.2 A/Dコンバータ・モード・レジスタ0（ADM0） ..... 456
12.3.3 A/Dコンバータ・モード・レジスタ1（ADM1） ..... 465
12.3.4 A/Dコンバータ・モード・レジスタ2（ADM2） ..... 466
12.3.5 10ビットA/D変換結果レジスタ（ADCR） ..... 468
12.3.6 8ビットA/D変換結果レジスタ（ADCRH） ..... 469
12.3.7 アナログ入力チャネル指定レジスタ（ADS） ..... 470
12.3.8 変換結果比較上限値設定レジスタ（ADUL） ..... 471
12.3.9 変換結果比較下限値設定レジスタ（ADLL） ..... 471
12.3.10 A/Dテスト・レジスタ（ADTES） ..... 472
12.3.11 アナログ入力端子のポート機能を制御するレジスタ ..... 472
12.4 A/Dコンバータの変換動作 ..... 473
12.5 入力電圧と変換結果 ..... 475
12.6 A/Dコンバータの動作モード ..... 476
12.6.1 ソフトウエア・トリガ・モード（連続変換モード） ..... 476
12.6.2 ソフトウエア・トリガ・モード（ワンショット変換モード） ..... 477
12.6.3 ハードウエア・トリガ・ノーウエイト・モード（連続変換モード） ..... 478
12.6.4 ハードウエア・トリガ・ノーウエイト・モード（ワンショット変換モード） ..... 479
12.6.5 ハードウエア・トリガ・ウエイト・モード（連続変換モード） ..... 480
12.6.6 ハードウエア・トリガ・ウエイト・モード（ワンショット変換モード） ..... 481
12.7 A/Dコンバータの設定フロー・チャート ..... 482
12.7.1 ソフトウエア・トリガ・モード設定 ..... 482
12.7.2 ハードウエア・トリガ・ノーウエイト・モード設定 ..... 483
12.7.3 ハードウエア・トリガ・ウエイト・モード設定 ..... 484
12.7.4 温度センサ使用時の設定（例 ソフトウエア・トリガ・モード，
ワンショット変換モード時） ..... 485
12.7.5 テスト・モード設定 ..... 486
12.8 SNOOZEモード機能 ..... 487
12.9 A/Dコンバータ特性表の読み方 ..... 490
12.10 A/Dコンバータの注意事項 ..... 493

第13章 コンパレータ ..... 497

13.1 コンパレータの機能 ..... 497
13.2 コンパレータの構成 ..... 498
13.3 コンパレータを制御するレジスタ ..... 499
13.3.1 周辺イネーブル・レジスタ1（PER1） ..... 499
13.3.2 コンパレータモード設定レジスタ（COMPMDR） ..... 500

13. 3. 3　コンパレータフィルタ制御レジスタ（COMPFIR）.....502
13. 3. 4　コンパレータ出力制御レジスタ（COMPOCR）.....504
13. 3. 5　アナログ入力端子のポート機能を制御するレジスタ.....505
13. 4　動作説明.....506
13. 4. 1　コンパレータiデジタルフィルタ（i = 0, 1）.....508
13. 4. 2　コンパレータi割り込み（i = 0, 1）.....508
13. 4. 3　コンパレータi出力（i = 0, 1）.....509
13. 4. 4　コンパレータクロック停止／供給.....509

第14章　シリアル・アレイ・ユニット.....510

14. 1　シリアル・アレイ・ユニットの機能.....511
14. 1. 1　簡易SPI（CSI00, CSI10）.....511
14. 1. 2　UART（UART0-UART3）.....512
14. 1. 3　簡易$I^2C$（IIC00, IIC10）.....513
14. 2　シリアル・アレイ・ユニットの構成.....514
14. 2. 1　シフト・レジスタ.....518
14. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット.....518
14. 3　シリアル・アレイ・ユニットを制御するレジスタ.....520
14. 3. 1　周辺イネーブル・レジスタ0（PER0）.....521
14. 3. 2　シリアル・クロック選択レジスタm（SPSm）.....522
14. 3. 3　シリアル・モード・レジスタmn（SMRmn）.....523
14. 3. 4　シリアル通信動作設定レジスタmn（SCRmn）.....524
14. 3. 5　シリアル・データ・レジスタmn（SDRmn）.....527
14. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）.....529
14. 3. 7　シリアル・ステータス・レジスタmn（SSRmn）.....530
14. 3. 8　シリアル・チャネル開始レジスタm（SSm）.....532
14. 3. 9　シリアル・チャネル停止レジスタm（STm）.....533
14. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm）.....534
14. 3. 11　シリアル出力許可レジスタm（SOEm）.....535
14. 3. 12　シリアル出力レジスタm（SOm）.....536
14. 3. 13　シリアル出力レベル・レジスタm（SOLm）.....537
14. 3. 14　シリアル・スタンバイ・コントロール・レジスタm（SSCm）.....539
14. 3. 15　入力切り替え制御レジスタ（ISC）.....540
14. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0）.....541
14. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ.....542
14. 4　動作停止モード.....543
14. 4. 1　ユニット単位で動作停止とする場合.....543
14. 4. 2　チャネルごとに動作停止とする場合.....544
14. 5　簡易SPI（CSI00, CSI10）通信の動作.....545
14. 5. 1　マスタ送信.....547
14. 5. 2　マスタ受信.....555
14. 5. 3　マスタ送受信.....563
14. 5. 4　スレーブ送信.....571
14. 5. 5　スレーブ受信.....579
14. 5. 6　スレーブ送受信.....585
14. 5. 7　SNOOZEモード機能.....593
14. 5. 8　転送クロック周波数の算出.....597
14. 5. 9　簡易SPI（CSI00, CSI10）通信時におけるエラー発生時の処理手順.....599
14. 6　UART（UART0-UART3）通信の動作.....600
14. 6. 1　UART送信.....602
14. 6. 2　UART受信.....611

14. 6. 3　SNOOZEモード機能 ..... 618
14. 6. 4　ボー・レートの算出 ..... 626
14. 6. 5　UART（UART0-UART3）通信時におけるエラー発生時の処理手順 ..... 630
14. 7　LIN通信の動作 ..... 631
14. 7. 1　LIN送信 ..... 631
14. 7. 2　LIN受信 ..... 634
14. 8　簡易I²C（IIC00, IIC10）通信の動作 ..... 639
14. 8. 1　アドレス・フィールド送信 ..... 641
14. 8. 2　データ送信 ..... 646
14. 8. 3　データ受信 ..... 649
14. 8. 4　ストップ・コンディション発生 ..... 653
14. 8. 5　転送レートの算出 ..... 654
14. 8. 6　簡易I²C（IIC00, IIC10）通信時におけるエラー発生時の処理手順 ..... 656

第15章　シリアル・インタフェースIICA ..... 657

15. 1　シリアル・インタフェースIICAの機能 ..... 657
15. 2　シリアル・インタフェースIICAの構成 ..... 660
15. 3　シリアル・インタフェースIICAを制御するレジスタ ..... 663
15. 3. 1　周辺イネーブル・レジスタ0（PER0） ..... 663
15. 3. 2　IICAコントロール・レジスタn0（IICCTLn0） ..... 664
15. 3. 3　IICAステータス・レジスタn（IICSn） ..... 669
15. 3. 4　IICAフラグ・レジスタn（IICFn） ..... 671
15. 3. 5　IICAコントロール・レジスタn1（IICCTLn1） ..... 673
15. 3. 6　IICAロウ・レベル幅設定レジスタn（IICWLn） ..... 675
15. 3. 7　IICAハイ・レベル幅設定レジスタn（IICWHn） ..... 675
15. 3. 8　ポート・モード・レジスタ6（PM6） ..... 676
15. 4　I²Cバス・モードの機能 ..... 677
15. 4. 1　端子構成 ..... 677
15. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法 ..... 678
15. 5　I²Cバスの定義および制御方法 ..... 680
15. 5. 1　スタート・コンディション ..... 680
15. 5. 2　アドレス ..... 681
15. 5. 3　転送方向指定 ..... 681
15. 5. 4　アクノリッジ（ACK） ..... 682
15. 5. 5　ストップ・コンディション ..... 683
15. 5. 6　クロック・ストレッチ ..... 684
15. 5. 7　クロック・ストレッチ解除方法 ..... 686
15. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびクロック・ストレッチ制御 ..... 687
15. 5. 9　アドレスの一致検出方法 ..... 688
15. 5. 10　エラーの検出 ..... 688
15. 5. 11　拡張コード ..... 689
15. 5. 12　アービトレーション ..... 690
15. 5. 13　ウエイク・アップ機能 ..... 692
15. 5. 14　通信予約 ..... 695
15. 5. 15　その他の注意事項 ..... 699
15. 5. 16　通信動作 ..... 700
15. 5. 17　I²C割り込み要求（INTIICAn）の発生タイミング ..... 708
15. 6　タイミング・チャート ..... 729

第16章　LCDコントローラ／ドライバ ..... 744

16.1 LCDコントローラ／ドライバの機能 ..... 745
16.2 LCDコントローラ／ドライバの構成 ..... 747
16.3 LCDコントローラ／ドライバを制御するレジスタ ..... 749
16.3.1 LCDモード・レジスタ0（LCDM0） ..... 750
16.3.2 LCDモード・レジスタ1（LCDM1） ..... 752
16.3.3 サブシステム・クロック供給モード制御レジスタ（OSMC） ..... 754
16.3.4 LCDクロック制御レジスタ0（LCDC0） ..... 755
16.3.5 LCD昇圧レベル制御レジスタ（VLCD） ..... 757
16.3.6 LCD入力切り替え制御レジスタ（ISCLCD） ..... 758
16.3.7 LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6） ..... 760
16.3.8 ポート・モード・レジスタ0-5, 7, 13（PM0-PM5, PM7, PM13） ..... 765
16.4 LCD表示データ・レジスタ ..... 767
16.5 LCD表示レジスタの選択 ..... 771
16.5.1 Aパターン領域，Bパターン領域のデータ表示 ..... 772
16.5.2 点滅表示（Aパターン領域とBパターン領域のデータを交互に表示） ..... 772
16.6 LCDコントローラ／ドライバの設定 ..... 773
16.7 動作停止手順 ..... 776
16.8 LCD駆動電圧$V_{L1}$, $V_{L2}$, $V_{L3}$, $V_{L4}$の供給 ..... 777
16.8.1 外部抵抗分割方式 ..... 777
16.8.2 内部昇圧方式 ..... 778
16.8.3 容量分割方式 ..... 780
16.9 コモン信号とセグメント信号 ..... 781
16.10 表示モード ..... 789
16.10.1 スタティック表示例 ..... 789
16.10.2 2時分割表示例 ..... 792
16.10.3 3時分割表示例 ..... 795
16.10.4 4時分割表示例 ..... 799
16.10.5 8時分割表示例 ..... 803

第17章 乗除積和算器 ..... 807

17.1 乗除積和算器の機能 ..... 807
17.2 乗除積和算器の構成 ..... 807
17.2.1 乗除算データ・レジスタA（MDAH, MDAL） ..... 809
17.2.2 乗除算データ・レジスタB（MDBL, MDBH） ..... 810
17.2.3 乗除算データ・レジスタC（MDCL, MDCH） ..... 811
17.3 乗除積和算器を制御するレジスタ ..... 813
17.3.1 乗除算コントロール・レジスタ0（MDUC） ..... 813
17.4 乗除積和算器の動作 ..... 815
17.4.1 乗算（符号なし）動作 ..... 815
17.4.2 乗算（符号付）動作 ..... 816
17.4.3 積和演算（符号なし）動作 ..... 817
17.4.4 積和演算（符号付）動作 ..... 819
17.4.5 除算動作 ..... 821

第18章 DMAコントローラ ..... 823

18.1 DMAコントローラの機能 ..... 823
18.2 DMAコントローラの構成 ..... 824
18.2.1 DMA SFRアドレス・レジスタn（DSAn） ..... 824
18.2.2 DMA RAMアドレス・レジスタn（DRAn） ..... 825
18.2.3 DMAバイト・カウント・レジスタn（DBCn） ..... 826

18. 3　DMAコントローラを制御するレジスタ ..... 827
18. 3. 1　DMAモード・コントロール・レジスタn（DMCn） ..... 828
18. 3. 2　DMA動作コントロール・レジスタn（DRCn） ..... 831
18. 4　DMAコントローラの動作 ..... 832
18. 4. 1　動作手順 ..... 832
18. 4. 2　転送モード ..... 833
18. 4. 3　DMA転送の終了 ..... 833
18. 5　DMAコントローラの設定例 ..... 834
18. 5. 1　簡易SPI（CSI）連続送信 ..... 834
18. 5. 2　A/D変換結果の連続取り込み ..... 836
18. 5. 3　UART連続受信＋ACK送信 ..... 838
18. 5. 4　DWAITnビットによるDMA転送保留 ..... 840
18. 5. 5　ソフトウエアでの強制終了 ..... 841
18. 6　DMAコントローラの注意事項 ..... 843

第19章　割り込み機能 ..... 846

19. 1　割り込み機能の種類 ..... 846
19. 2　割り込み要因と構成 ..... 846
19. 3　割り込み機能を制御するレジスタ ..... 852
19. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L） ..... 855
19. 3. 2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L） ..... 857
19. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L） ..... 859
19. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0） ..... 862
19. 3. 5　プログラム・ステータス・ワード（PSW） ..... 863
19. 4　割り込み処理動作 ..... 864
19. 4. 1　マスカブル割り込み要求の受け付け動作 ..... 864
19. 4. 2　ソフトウエア割り込み要求の受け付け動作 ..... 867
19. 4. 3　多重割り込み処理 ..... 867
19. 4. 4　割り込み要求の保留 ..... 871

第20章　キー割り込み機能 ..... 872

20. 1　キー割り込みの機能 ..... 872
20. 2　キー割り込みの構成 ..... 873
20. 3　キー割り込みを制御するレジスタ ..... 874
20. 3. 1　キー・リターン・コントロール・レジスタ（KRCTL） ..... 874
20. 3. 2　キー・リターン・モード・レジスタ（KRM0） ..... 875
20. 3. 3　キー・リターン・フラグ・レジスタ（KRF） ..... 876
20. 3. 4　ポート・モード・レジスタ7（PM7） ..... 876

第21章　スタンバイ機能 ..... 877

21. 1　スタンバイ機能 ..... 877
21. 2　スタンバイ機能を制御するレジスタ ..... 878
21. 3　スタンバイ機能の動作 ..... 879
21. 3. 1　HALTモード ..... 879
21. 3. 2　STOPモード ..... 885
21. 3. 3　SNOOZEモード ..... 891

第22章　リセット機能.....894

22.1　リセット動作のタイミング.....896
22.2　リセット期間中の動作状態.....898
22.3　リセット要因を確認するレジスタ.....900
22.3.1　リセット・コントロール・フラグ・レジスタ（RESF）.....900
22.3.2　パワーオン・リセット・ステータス・レジスタ（PORSR）.....901

第23章　パワーオン・リセット回路.....903

23.1　パワーオン・リセット回路の機能.....903
23.2　パワーオン・リセット回路の構成.....904
23.3　パワーオン・リセット回路の動作.....904

第24章　電圧検出回路.....908

24.1　電圧検出回路の機能.....908
24.2　電圧検出回路の構成.....910
24.3　電圧検出回路を制御するレジスタ.....910
24.3.1　電圧検出レジスタ（LVIM）.....911
24.3.2　電圧検出レベル・レジスタ（LVIS）.....912
24.4　電圧検出回路の動作.....915
24.4.1　リセット・モードとして使用する場合の設定.....915
24.4.2　割り込みモードとして使用する場合の設定.....917
24.4.3　割り込み＆リセット・モードとして使用する場合の設定.....919
24.5　電圧検出回路の注意事項.....925

第25章　安全機能.....927

25.1　安全機能の概要.....927
25.2　安全機能で使用するレジスタ.....928
25.3　安全機能の動作.....928
25.3.1　フラッシュ・メモリCRC演算機能（高速CRC）.....928
25.3.1.1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）.....929
25.3.1.2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）.....930
25.3.2　CRC演算機能（汎用CRC）.....932
25.3.2.1　CRC入力レジスタ（CRCIN）.....932
25.3.2.2　CRCデータ・レジスタ（CRCD）.....933
25.3.3　RAMパリティ・エラー検出機能.....934
25.3.3.1　RAMパリティ・エラー制御レジスタ（RPECTL）.....934
25.3.4　RAMガード機能.....935
25.3.4.1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）.....935
25.3.5　SFRガード機能.....936
25.3.5.1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）.....936
25.3.6　不正メモリ・アクセス検出機能.....937
25.3.6.1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）.....939
25.3.7　周波数検出機能.....940
25.3.7.1　タイマ入力選択レジスタ0（TIS0）.....941
25.3.8　A/Dテスト機能.....942
25.3.8.1　A/Dテスト・レジスタ（ADTES）.....944
25.3.8.2　アナログ入力チャネル指定レジスタ（ADS）.....944

25. 3. 9　入出力端子のデジタル出力信号レベル検出機能 ..... 946
25. 3. 9. 1　ポート・モード選択レジスタ（PMS） ..... 946

第26章　レギュレータ ..... 947

26. 1　レギュレータの概要 ..... 947

第27章　オプション・バイト ..... 948

27. 1　オプション・バイトの機能 ..... 948
27. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H） ..... 948
27. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H） ..... 949
27. 2　ユーザ・オプション・バイトのフォーマット ..... 950
27. 3　オンチップ・デバッグ・オプション・バイトのフォーマット ..... 955
27. 4　オプション・バイトの設定 ..... 956

第28章　フラッシュ・メモリ ..... 957

28. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング ..... 959
28. 1. 1　プログラミング環境 ..... 961
28. 1. 2　通信方式 ..... 961
28. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング ..... 962
28. 2. 1　プログラミング環境 ..... 962
28. 2. 2　通信方式 ..... 963
28. 3　オンボード上の端子処理 ..... 964
28. 3. 1　P40/TOOL0端子 ..... 964
28. 3. 2　$\overline{\text{RESET}}$端子 ..... 964
28. 3. 3　ポート端子 ..... 965
28. 3. 4　REGC端子 ..... 965
28. 3. 5　X1, X2端子 ..... 965
28. 3. 6　電　　源 ..... 965
28. 4　シリアル・プログラミング方法 ..... 966
28. 4. 1　シリアル・プログラミング制御 ..... 966
28. 4. 2　フラッシュ・メモリ・プログラミング・モード ..... 967
28. 4. 3　通信方式 ..... 968
28. 4. 4　通信コマンド ..... 969
28. 5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間　（参考値） ..... 971
28. 6　セルフ・プログラミング ..... 972
28. 6. 1　セルフ・プログラミング手順 ..... 973
28. 6. 2　ブート・スワップ機能 ..... 974
28. 6. 3　フラッシュ・シールド・ウインドウ機能 ..... 976
28. 7　セキュリティ設定 ..... 977
28. 8　データ・フラッシュ ..... 979
28. 8. 1　データ・フラッシュの概要 ..... 979
28. 8. 2　データ・フラッシュを制御するレジスタ ..... 980
28. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL） ..... 980
28. 8. 3　データ・フラッシュへのアクセス手順 ..... 981

第29章　オンチップ・デバッグ機能 ..... 983

29. 1　E1, E2, E2 Lite, E20オンチップデバッギングエミュレータとの接続 ..... 983

29.2 オンチップ・デバッグ・セキュリティID ..... 984
29.3 ユーザ資源の確保 ..... 984

第30章 10進補正（BCD）回路 ..... 986

30.1 10進補正回路の機能 ..... 986
30.2 10進補正回路で使用するレジスタ ..... 986
30.2.1 BCD補正結果レジスタ（BCDADJ） ..... 986
30.3 10進補正回路の動作 ..... 987

第31章 命令セットの概要 ..... 989

31.1 凡　例 ..... 990
31.1.1 オペランドの表現形式と記述方法 ..... 990
31.1.2 オペレーション欄の説明 ..... 991
31.1.3 フラグ動作欄の説明 ..... 992
31.1.4 PREFIX命令 ..... 992
31.2 オペレーション一覧 ..... 993

第32章 電気的特性（$T_A$ = －40～＋85℃） ..... 1011

32.1 絶対最大定格 ..... 1012
32.2 発振回路特性 ..... 1015
32.2.1 X1, XT1発振回路特性 ..... 1015
32.2.2 オンチップ・オシレータ特性 ..... 1016
32.3 DC特性 ..... 1017
32.3.1 端子特性 ..... 1017
32.3.2 電源電流特性 ..... 1022
32.4 AC特性 ..... 1028
32.5 周辺機能特性 ..... 1033
32.5.1 シリアル・アレイ・ユニット ..... 1033
32.5.2 シリアル・インタフェースIICA ..... 1055
32.6 アナログ特性 ..... 1060
32.6.1 A/Dコンバータ特性 ..... 1060
32.6.2 温度センサ／内部基準電圧特性 ..... 1064
32.6.3 コンパレータ ..... 1064
32.6.4 POR回路特性 ..... 1065
32.6.5 LVD回路特性 ..... 1066
32.6.6 電源電圧立ち上がり傾き特性 ..... 1067
32.7 LCD特性 ..... 1068
32.7.1 外部抵抗分割方式 ..... 1068
32.7.2 内部昇圧方式 ..... 1069
32.7.3 容量分割方式 ..... 1071
32.8 RAMデータ保持特性 ..... 1072
32.9 フラッシュ・メモリ・プログラミング特性 ..... 1072
32.10 専用フラッシュ・メモリ・プログラマ通信（UART） ..... 1072
32.11 フラッシュ・メモリ・プログラミング・モード引き込みタイミング ..... 1073

第33章 電気的特性（$T_A$ = －40～＋105℃） ..... 1074

33.1 絶対最大定格 ..... 1076

33. 2　発振回路特性.....1079
33. 2. 1　X1, XT1発振回路特性.....1079
33. 2. 2　オンチップ・オシレータ特性.....1080
33. 3　DC特性.....1081
33. 3. 1　端子特性.....1081
33. 3. 2　電源電流特性.....1086
33. 4　AC特性.....1092
33. 5　周辺機能特性.....1095
33. 5. 1　シリアル・アレイ・ユニット.....1095
33. 5. 2　シリアル・インタフェースIICA.....1116
33. 6　アナログ特性.....1117
33. 6. 1　A/Dコンバータ特性.....1117
33. 6. 2　温度センサ／内部基準電圧特性.....1121
33. 6. 3　コンパレータ.....1121
33. 6. 4　POR回路特性.....1122
33. 6. 5　LVD回路特性.....1123
33. 6. 6　電源電圧立ち上げ時間.....1124
33. 7　LCD特性.....1125
33. 7. 1　外部抵抗分割方式.....1125
33. 7. 2　内部昇圧方式.....1126
33. 7. 3　容量分割方式.....1128
33. 8　RAMデータ保持特性.....1129
33. 9　フラッシュ・メモリ・プログラミング特性.....1129
33. 10　専用フラッシュ・メモリ・プログラマ通信（UART）.....1130
33. 11　フラッシュ・メモリ・プログラミング・モード引き込みタイミング.....1130

第34章　外 形 図.....1131

34. 1　64ピン製品.....1131
34. 2　80ピン製品.....1135

付録A　改版履歴.....1138

A. 1　本版で改訂された主な箇所.....1138
A. 2　前版までの改版履歴.....1140

# 第1章　概　　説

## 1.1　特　　徴

超低消費電力テクノロジー

- $V_{DD}$ = 1.6～5.5 Vの単一電源，1.8 V系の低電圧動作可能
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.04167 μs：高速オンチップ・オシレータ・クロック24 MHz動作時）から
  超低速（30.5 μs：サブシステム・クロック32.768 kHz動作時）までを変更可能
- アドレス空間：1Mバイト
- 汎用レジスタ：8ビット・レジスタ×8×4バンク
- 内蔵RAM：1KB～8KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：16KB～128KB
- ブロック・サイズ：1KB
- ブロック消去禁止，書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：4KB
- バックグランド・オペレーション（BGO）；データ・フラッシュ書き換え中に，プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回（TYP.）
- 書き換え電圧：$V_{DD}$ = 1.8～5.5 V

高速オンチップ・オシレータ

- 48 MHz／24 MHz／16 MHz／12 MHz／8 MHz／6 MHz／4 MHz／3 MHz／2 MHz／1 MHzから選択
- 高精度±1.0 %（$V_{DD}$ = 1.8～5.5 V，$T_A$ = －20～＋85 ℃）

動作周囲温度

- $T_A$ = －40～＋85 ℃（A：民生用途）
- $T_A$ = －40～＋105 ℃（G：産業用途）

電源管理とリセット機能

- パワーオン・リセット（POR）回路内蔵
- 電圧検出（LVD）回路内蔵（割り込み，リセットを14段階で選択）

DMA（Direct Memory Access）コントローラ

- 4チャネル搭載
- 8ビット/16ビットのSFR⇔内蔵RAM間の転送が2クロック

乗除・積和演算器

- 16ビット×16ビット ＝32ビット（符号付／符号なし）
- 32ビット÷32ビット ＝32ビット（符号なし）
- 16ビット×16ビット＋32ビット ＝32ビット（符号付／符号なし）

シリアル・インタフェース

- 簡易SPI（CSI[注1]） ：2チャネル
- UART／UART（LIN-bus対応） ：3～4チャネル／1チャネル
- $I^2C$／簡易$I^2C$ ：1チャネル／2チャネル

タイマ

- 16ビット・タイマ ：8チャネル（リモコン出力機能あり）
- 16ビット・タイマKB20(IH) ：1チャネル（IH用PWM出力機能あり）
- 12ビット・インターバル・タイマ ：1チャネル
- リアルタイム・クロック2 ：1チャネル（99年カレンダ，アラーム機能，時計補正機能）
- ウォッチドッグ・タイマ ：1チャネル（専用の低速オンチップ・オシレータ・クロックで動作可能）

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ（$V_{DD}$ = 1.6～5.5 V）
- アナログ入力：9～12チャネル
- 内部基準電圧（1.45 V）と温度センサを搭載[注2]

コンパレータ

- 2チャネル
- 動作モード：コンパレータ高速モード，コンパレータ低速モード，ウィンドウモード
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

LCDコントローラ／ドライバ

- セグメント信号出力：36（32）本[注3]～51（47）本[注3]
- コモン信号出力：4（8）本[注3]
- 内部昇圧／容量分割／外部抵抗分割を切り替え可能

★ **注 1.** 一般的にはSPIと呼ばれる機能ですが，本製品ではCSIとも呼称しているため，本マニュアルでは併記します。

**2.** HS（高速メイン）モードのみ選択可能

**3.** （）内は8com使用時の信号出力本数

入出力ポート

- I/Oポート：49～65本（N-chオープン・ドレイン入出力[6V耐圧]：2本，
  N-chオープン・ドレイン入出力[$V_{DD}$耐圧]：12～18本）
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
- 異電位（1.8/2.5/3 V系）動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵

その他

- 10進補正（BCD）回路内蔵

**備考** 製品によって，搭載している機能が異なります。**1. 6 機能概要**を参照してください。

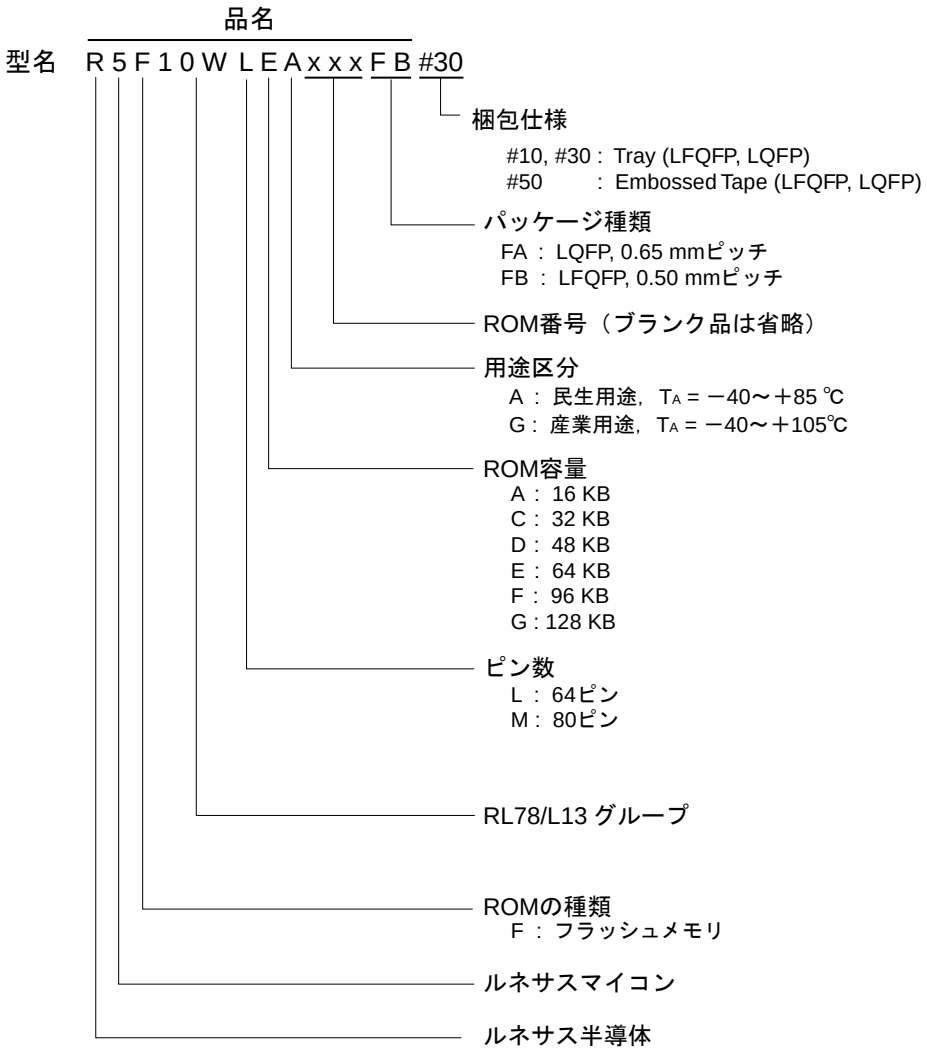
○ROM, RAM容量

| フラッシュROM | データ・フラッシュ | RAM | RL78/L13 | |
|---|---|---|---|---|
| | | | 64ピン | 80ピン |
| 128 KB | 4 KB | 8 KB[注] | R5F10WLG | R5F10WMG |
| 96 KB | 4 KB | 6 KB | R5F10WLF | R5F10WMF |
| 64 KB | 4 KB | 4 KB | R5F10WLE | R5F10WME |
| 48 KB | 4 KB | 2 KB | R5F10WLD | R5F10WMD |
| 32 KB | 4 KB | 1.5 KB | R5F10WLC | R5F10WMC |
| 16 KB | 4 KB | 1 KB | R5F10WLA | R5F10WMA |

**注** セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は，約7 KB（詳細は，**第3章**参照）

## 1. 2　型名一覧

図1－1　RL78/L13の型名とメモリ・サイズ，パッケージ



| ピン数 | パッケージ | データ・フラッシュ | 用途・区分[注] | 発注型名 | | ルネサスコード |
|---|---|---|---|---|---|---|
| | | | | 品名 | 梱包仕様 | |
| 64ピン | 64ピン・プラスチックLQFP（12 x 12mm, 0.65mmピッチ） | 搭載 | A | R5F10WLAAFA, R5F10WLCAFA, R5F10WLDAFA, R5F10WLEAFA, R5F10WLFAFA, R5F10WLGAFA | #10, #30, #50 | PLQP0064JA-A<br>PLQP0064JB-A |
| | 64ピン・プラスチックLFQFP（10 x 10mm, 0.5mmピッチ） | 搭載 | A | R5F10WLAAFB, R5F10WLCAFB, R5F10WLDAFB, R5F10WLEAFB, R5F10WLFAFB, R5F10WLGAFB | #10, #50 | PLQP0064KB-C<br>PLQP0064KL-A |
| | | | | | #30 | PLQP0064KB-C |
| | | | G | R5F10WLAGFB, R5F10WLCGFB, R5F10WLDGFB, R5F10WLEGFB, R5F10WLFGFB, R5F10WLGGFB | #10, #50 | PLQP0064KB-C<br>PLQP0064KL-A |
| | | | | | #30 | PLQP0064KB-C |
| 80ピン | 80ピン・プラスチックLQFP（14 x 14mm, 0.65mmピッチ） | 搭載 | A | R5F10WMAAFA, R5F10WMCAFA, R5F10WMDAFA, R5F10WMEAFA, R5F10WMFAFA, R5F10WMGAFA | #10, #30, #50 | PLQP0080JB-E |
| | 80ピン・プラスチックLFQFP（12 x 12mm, 0.5mmピッチ） | 搭載 | A | R5F10WMAAFB, R5F10WMCAFB, R5F10WMDAFB, R5F10WMEAFB, R5F10WMFAFB, R5F10WMGAFB, | #10, #50 | PLQP0080KB-B<br>PLQP0080KJ-A |
| | | | | | #30 | PLQP0080KB-B |
| | | | G | R5F10WMAGFB, R5F10WMCGFB, R5F10WMDGFB, R5F10WMEGFB, R5F10WMFGFB, R5F10WMGGFB | #10, #50 | PLQP0080KB-B<br>PLQP0080KJ-A |
| | | | | | #30 | PLQP0080KB-B |

**注** 用途区分は，**図1－1 RL78/L13の型名とメモリ・サイズ，パッケージ**を参照してください。

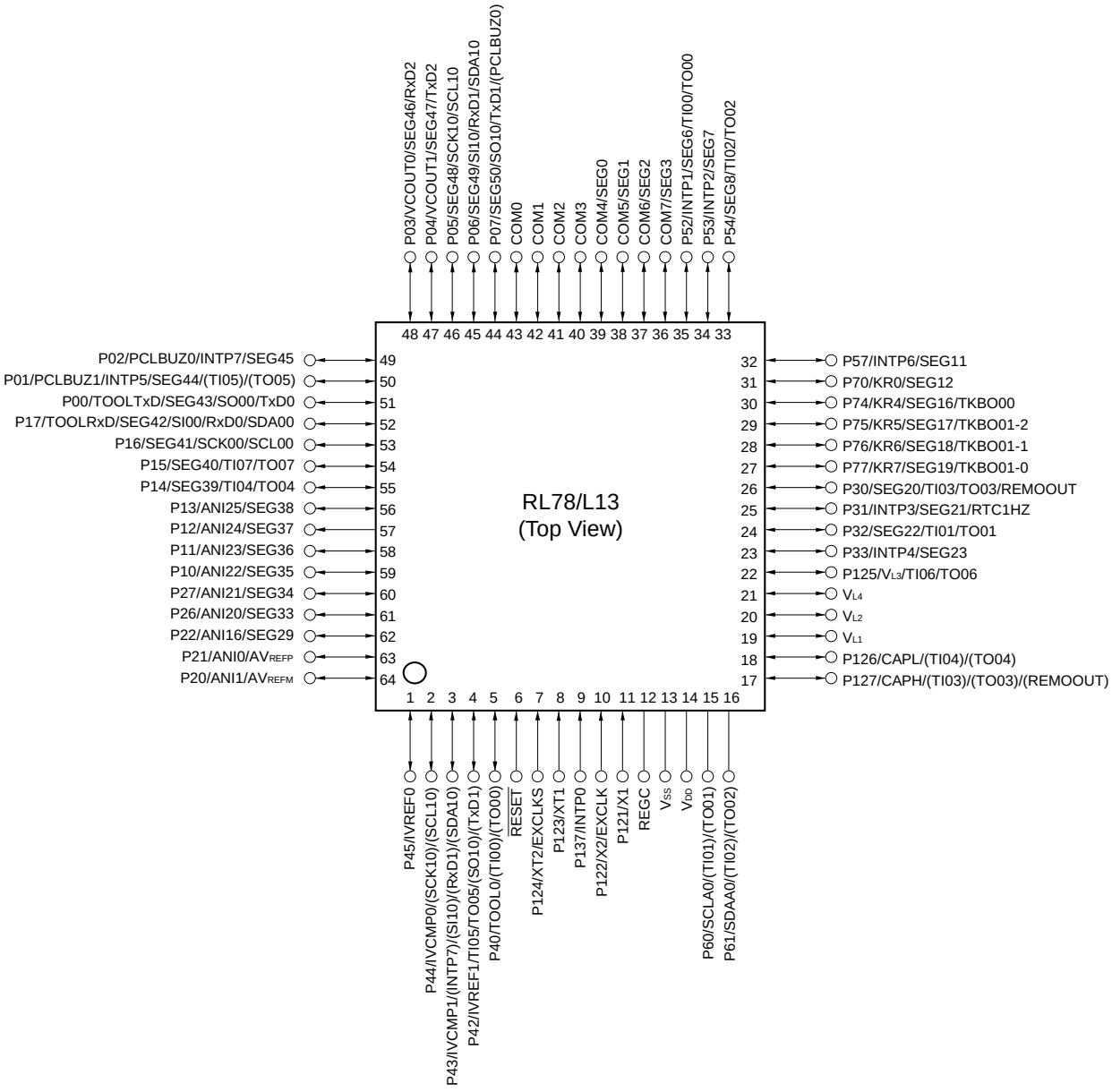
# 1. 3 端子接続図（Top View）

## 1. 3. 1 64ピン製品

・64ピン・プラスチックLQFP（12×12mm，0.65mmピッチ）

・64ピン・プラスチックLFQFP（10×10mm，0.5mmピッチ）

★




**注意 REGC端子はコンデンサ（0.47～1 μF）を介し，Vssに接続してください。**

**備考1.** 端子名称は，**1. 4 端子名称**を参照してください。

**2.** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

★

表1－1 64ピン製品の兼用機能（1/2）

| ピン番号 | I/O | | アナログ | | HMI | | | タイマ | | | 通信インタフェース | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 64LQFP, 64LFQFP | デジタル・ポート | 電源、システム・クロック、デバッグ | A/Dコンバータ | コンパレータ | 割り込み機能 | キー割り込み機能 | LCDコントローラ/ドライバ | タイマ・アレイ・ユニット | 16ビット・タイマKB20 | 時計用タイマ | シリアル・アレイ・ユニット | シリアル・インタフェースIICA |
| 1 | P45 | | | IVREF0 | | | | | | | | |
| 2 | P44 | | | IVCMP0 | | | | | | | (SCK10)/(SCL10) | |
| 3 | P43 | | | IVCMP1 | (INTP7) | | | | | | (SI10)/(RxD1)/(SDA10) | |
| 4 | P42 | | | IVREF1 | | | | TI05/TO05 | | | (SO10)/(TxD1) | |
| 5 | P40 | TOOL0 | | | | | | (TI00)/(TO00) | | | | |
| 6 | | $\overline{\text{RESET}}$ | | | | | | | | | | |
| 7 | P124 | XT2/EXCLKS | | | | | | | | | | |
| 8 | P123 | XT1 | | | | | | | | | | |
| 9 | P137 | | | | INTP0 | | | | | | | |
| 10 | P122 | X2/EXCLK | | | | | | | | | | |
| 11 | P121 | X1 | | | | | | | | | | |
| 12 | | REGC | | | | | | | | | | |
| 13 | | $V_{SS}$ | | | | | | | | | | |
| 14 | | $V_{DD}$ | | | | | | | | | | |
| 15 | P60 | | | | | | | (TI01)/(TO01) | | | | SCLA0 |
| 16 | P61 | | | | | | | (TI02)/(TO02) | | | | SDAA0 |
| 17 | P127 | | | | | | CAPH | (TI03)/(TO03)/(REMOOUT) | | | | |
| 18 | P126 | | | | | | CAPL | (TI04)/(TO04) | | | | |
| 19 | | | | | | | $V_{L1}$ | | | | | |
| 20 | | | | | | | $V_{L2}$ | | | | | |
| 21 | | | | | | | $V_{L4}$ | | | | | |
| 22 | P125 | | | | | | $V_{L3}$ | TI06/TO06 | | | | |
| 23 | P33 | | | | INTP4 | | SEG23 | | | | | |
| 24 | P32 | | | | | | SEG22 | TI01/TO01 | | | | |
| 25 | P31 | | | | INTP3 | | SEG21 | | | RTC1HZ | | |
| 26 | P30 | | | | | | SEG20 | TI03/TO03/REMOOUT | | | | |
| 27 | P77 | | | | | KR7 | SEG19 | | TKBO01-0 | | | |
| 28 | P76 | | | | | KR6 | SEG18 | | TKBO01-1 | | | |
| 29 | P75 | | | | | KR5 | SEG17 | | TKBO01-2 | | | |
| 30 | P74 | | | | | KR4 | SEG16 | | TKBO00 | | | |
| 31 | P70 | | | | | KR0 | SEG12 | | | | | |
| 32 | P57 | | | | INTP6 | | SEG11 | | | | | |
| 33 | P54 | | | | | | SEG8 | TI02/TO02 | | | | |
| 34 | P53 | | | | INTP2 | | SEG7 | | | | | |
| 35 | P52 | | | | INTP1 | | SEG6 | TI00/TO00 | | | | |

表1−1 64ピン製品の兼用機能（2/2）

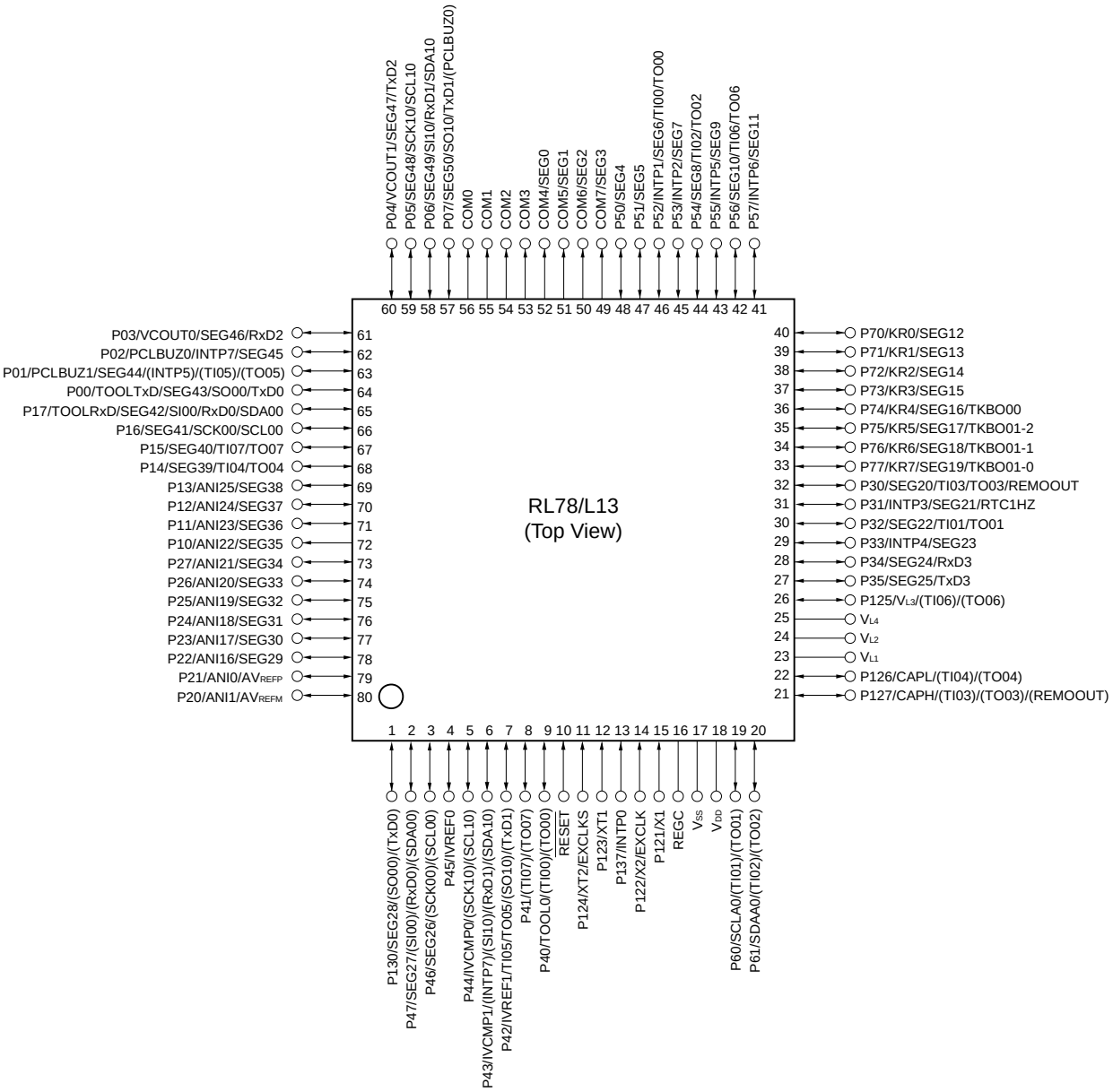
| ピン番号 | I/O | | アナログ | | HMI | | | タイマ | | | 通信インタフェース | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 64LQFP, 64LFQFP | デジタル・ポート | 電源、システム・クロック、デバッグ | A/Dコンバータ | コンパレータ | 割り込み機能 | キー割り込み機能 | LCDコントローラ/ドライバ | タイマ・アレイ・ユニット | 16ビット・タイマKB20 | 時計用タイマ | シリアル・アレイ・ユニット | シリアル・インタフェースIICA |
| 36 | | | | | | | COM7/SEG3 | | | | | |
| 37 | | | | | | | COM6/SEG2 | | | | | |
| 38 | | | | | | | COM5/SEG1 | | | | | |
| 39 | | | | | | | COM4/SEG0 | | | | | |
| 40 | | | | | | | COM3 | | | | | |
| 41 | | | | | | | COM2 | | | | | |
| 42 | | | | | | | COM1 | | | | | |
| 43 | | | | | | | COM0 | | | | | |
| 44 | P07 | (PCLBUZ0) | | | | | SEG50 | | | | SO10/TxD1 | |
| 45 | P06 | | | | | | SEG49 | | | | SI10/RxD1/SDA10 | |
| 46 | P05 | | | | | | SEG48 | | | | SCK10/SCL10 | |
| 47 | P04 | | | VCOUT1 | | | SEG47 | | | | TxD2 | |
| 48 | P03 | | | VCOUT0 | | | SEG46 | | | | RxD2 | |
| 49 | P02 | PCLBUZ0 | | | INTP7 | | SEG45 | | | | | |
| 50 | P01 | PCLBUZ1 | | | INTP5 | | SEG44 | (TI05)/(TO05) | | | | |
| 51 | P00 | TOOLTxD | | | | | SEG43 | | | | SO00/TxD0 | |
| 52 | P17 | TOOLRxD | | | | | SEG42 | | | | SI00/RxD0/SDA00 | |
| 53 | P16 | | | | | | SEG41 | | | | SCK00/SCL00 | |
| 54 | P15 | | | | | | SEG40 | TI07/TO07 | | | | |
| 55 | P14 | | | | | | SEG39 | TI04/TO04 | | | | |
| 56 | P13 | | ANI25 | | | | SEG38 | | | | | |
| 57 | P12 | | ANI24 | | | | SEG37 | | | | | |
| 58 | P11 | | ANI23 | | | | SEG36 | | | | | |
| 59 | P10 | | ANI22 | | | | SEG35 | | | | | |
| 60 | P27 | | ANI21 | | | | SEG34 | | | | | |
| 61 | P26 | | ANI20 | | | | SEG33 | | | | | |
| 62 | P22 | | ANI16 | | | | SEG29 | | | | | |
| 63 | P21 | | ANI0/$AV_{REFP}$ | | | | | | | | | |
| 64 | P20 | | ANI1/$AV_{REFM}$ | | | | | | | | | |

## 1. 3. 2 80ピン製品

・80ピン・プラスチックLQFP（14x14mm，0.65mmピッチ）

・80ピン・プラスチックLFQFP（12×12mm，0.5mmピッチ）

★




**注意 REGC端子はコンデンサ（0.47～1 μF）を介し，Vssに接続してください。**

**備考1.** 端子名称は，**1. 4 端子名称**を参照してください。

**2.** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

★

表1−2 80ピン製品の兼用機能（1/3）

| ピン番号 | I/O | | アナログ | | HMI | | | タイマ | | | 通信インタフェース | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 80LQFP, 80LFQFP | デジタル・ポート | 電源、システム・クロック、デバッグ | A/Dコンバータ | コンパレータ | 割り込み機能 | キー割り込み機能 | LCDコントローラ/ドライバ | タイマ・アレイ・ユニット | 16ビット・タイマKB20 | 時計用タイマ | シリアル・アレイ・ユニット | シリアル・インタフェースIICA |
| 1 | P130 | | | | | | SEG28 | | | | (SO00)/(TxD0) | |
| 2 | P47 | | | | | | SEG27 | | | | (SI00)/(RxD0)/(SDA00) | |
| 3 | P46 | | | | | | SEG26 | | | | (SCK00)/(SCL00) | |
| 4 | P45 | | | IVREF0 | | | | | | | | |
| 5 | P44 | | | IVCMP0 | | | | | | | (SCK10)/(SCL10) | |
| 6 | P43 | | | IVCMP1 | (INTP7) | | | | | | (SI10)/(RxD1)/(SDA10) | |
| 7 | P42 | | | IVREF1 | | | | TI05/TO05 | | | (SO10)/(TxD1) | |
| 8 | P41 | | | | | | | (TI07)/(TO07) | | | | |
| 9 | P40 | TOOL0 | | | | | | (TI00)/(TO00) | | | | |
| 10 | | $\overline{\text{RESET}}$ | | | | | | | | | | |
| 11 | P124 | XT2/EXCLKS | | | | | | | | | | |
| 12 | P123 | XT1 | | | | | | | | | | |
| 13 | P137 | | | | INTP0 | | | | | | | |
| 14 | P122 | X2/EXCLK | | | | | | | | | | |
| 15 | P121 | X1 | | | | | | | | | | |
| 16 | | REGC | | | | | | | | | | |
| 17 | | $V_{SS}$ | | | | | | | | | | |
| 18 | | $V_{DD}$ | | | | | | | | | | |
| 19 | P60 | | | | | | | (TI01)/(TO01) | | | | SCLA0 |
| 20 | P61 | | | | | | | (TI02)/(TO02) | | | | SDAA0 |
| 21 | P127 | | | | | | CAPH | (TI03)/(TO03)/(REMOOUT) | | | | |
| 22 | P126 | | | | | | CAPL | (TI04)/(TO04) | | | | |
| 23 | | | | | | | $V_{L1}$ | | | | | |
| 24 | | | | | | | $V_{L2}$ | | | | | |
| 25 | | | | | | | $V_{L4}$ | | | | | |
| 26 | P125 | | | | | | $V_{L3}$ | (TI06)/(TO06) | | | | |
| 27 | P35 | | | | | | SEG25 | | | | TxD3 | |
| 28 | P34 | | | | | | SEG24 | | | | RxD3 | |
| 29 | P33 | | | | INTP4 | | SEG23 | | | | | |
| 30 | P32 | | | | | | SEG22 | TI01/TO01 | | | | |
| 31 | P31 | | | | INTP3 | | SEG21 | | | RTC1HZ | | |

表1−2 80ピン製品の兼用機能（2/3）

| ピン番号 | I/O | | アナログ | | HMI | | | タイマ | | | 通信インタフェース | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 80LQFP, 80LFQFP | デジタル・ポート | 電源、システム・クロック、デバッグ | A/Dコンバータ | コンパレータ | 割り込み機能 | キー割り込み機能 | LCDコントローラ/ドライバ | タイマ・アレイ・ユニット | 16ビット・タイマKB20 | 時計用タイマ | シリアル・アレイ・ユニット | シリアル・インタフェースIICA |
| 32 | P30 | | | | | | SEG20 | TI03/TO03/REMOOUT | | | | |
| 33 | P77 | | | | | KR7 | SEG19 | | TKBO01-0 | | | |
| 34 | P76 | | | | | KR6 | SEG18 | | TKBO01-1 | | | |
| 35 | P75 | | | | | KR5 | SEG17 | | TKBO01-2 | | | |
| 36 | P74 | | | | | KR4 | SEG16 | | TKBO00 | | | |
| 37 | P73 | | | | | KR3 | SEG15 | | | | | |
| 38 | P72 | | | | | KR2 | SEG14 | | | | | |
| 39 | P71 | | | | | KR1 | SEG13 | | | | | |
| 40 | P70 | | | | | KR0 | SEG12 | | | | | |
| 41 | P57 | | | | INTP6 | | SEG11 | | | | | |
| 42 | P56 | | | | | | SEG10 | TI06/TO06 | | | | |
| 43 | P55 | | | | INTP5 | | SEG9 | | | | | |
| 44 | P54 | | | | | | SEG8 | TI02/TO02 | | | | |
| 45 | P53 | | | | INTP2 | | SEG7 | | | | | |
| 46 | P52 | | | | INTP1 | | SEG6 | TI00/TO00 | | | | |
| 47 | P51 | | | | | | SEG5 | | | | | |
| 48 | P50 | | | | | | SEG4 | | | | | |
| 49 | | | | | | | COM7/SEG3 | | | | | |
| 50 | | | | | | | COM6/SEG2 | | | | | |
| 51 | | | | | | | COM5/SEG1 | | | | | |
| 52 | | | | | | | COM4/SEG0 | | | | | |
| 53 | | | | | | | COM3 | | | | | |
| 54 | | | | | | | COM2 | | | | | |
| 55 | | | | | | | COM1 | | | | | |
| 56 | | | | | | | COM0 | | | | | |
| 57 | P07 | (PCLBUZ0) | | | | | SEG50 | | | | SO10/TxD1 | |
| 58 | P06 | | | | | | SEG49 | | | | SI10/RxD1/SDA10 | |

表1－2 80ピン製品の兼用機能（3/3）

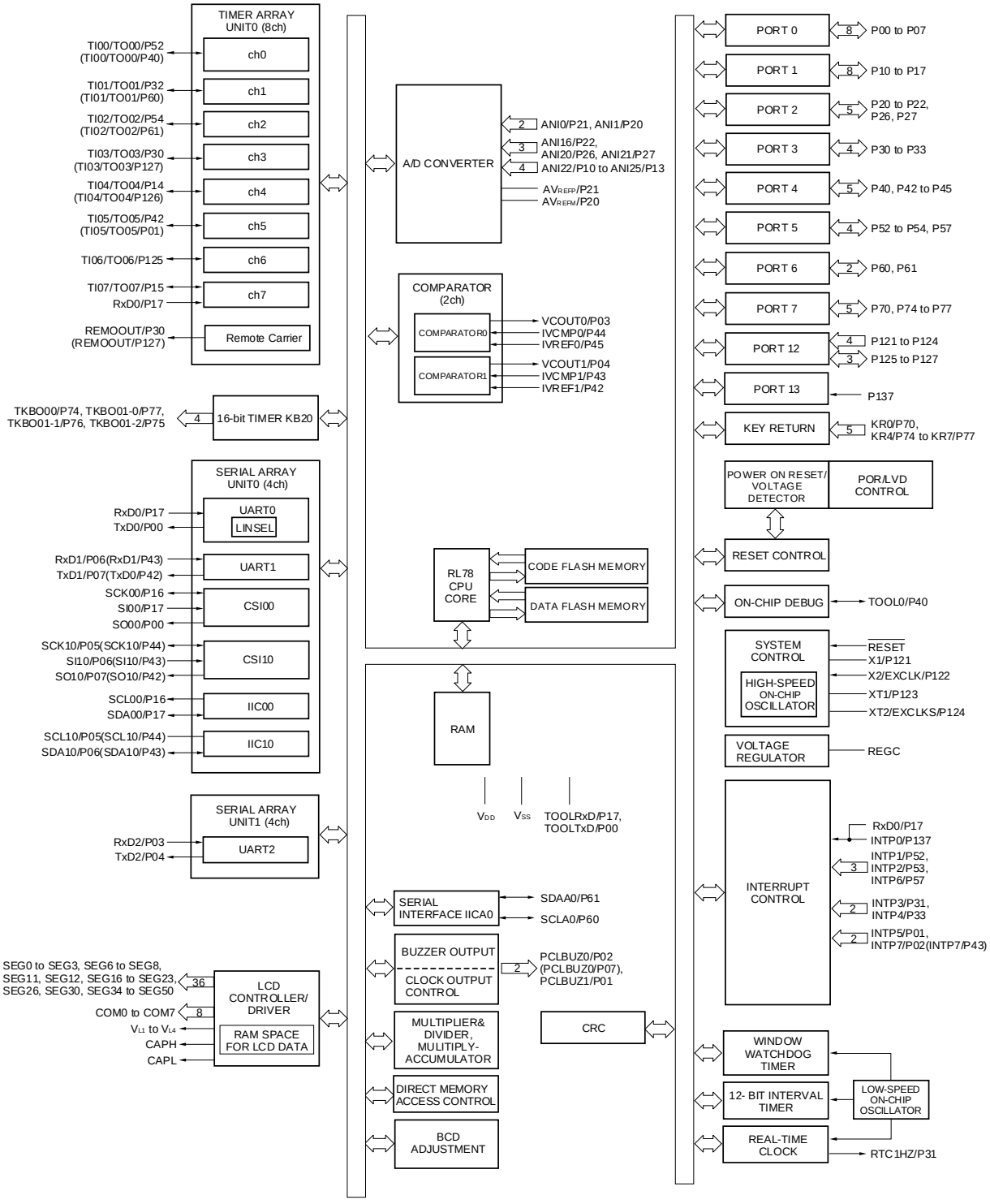
| ピン番号 | I/O | | アナログ | | HMI | | | タイマ | | | 通信インタフェース | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 80LQFP, 80LFQFP | デジタル・ポート | 電源、システム・クロック、デバッグ | A/Dコンバータ | コンパレータ | 割り込み機能 | キー割り込み機能 | LCDコントローラ/ドライバ | タイマ・アレイ・ユニット | 16ビット・タイマKB20 | 時計用タイマ | シリアル・アレイ・ユニット | シリアル・インタフェースIICA |
| 59 | P05 | | | | | | SEG48 | | | | SCK10/SCL10 | |
| 60 | P04 | | | VCOUT1 | | | SEG47 | | | | TxD2 | |
| 61 | P03 | | | VCOUT0 | | | SEG46 | | | | RxD2 | |
| 62 | P02 | PCLBUZ0 | | | INTP7 | | SEG45 | | | | | |
| 63 | P01 | PCLBUZ1 | | | (INTP5) | | SEG44 | (TI05)/(TO05) | | | | |
| 64 | P00 | TOOLTxD | | | | | SEG43 | | | | SO00/TxD0 | |
| 65 | P17 | TOOLRxD | | | | | SEG42 | | | | SI00/RxD0/SDA00 | |
| 66 | P16 | | | | | | SEG41 | | | | SCK00/SCL00 | |
| 67 | P15 | | | | | | SEG40 | TI07/TO07 | | | | |
| 68 | P14 | | | | | | SEG39 | TI04/TO04 | | | | |
| 69 | P13 | | ANI25 | | | | SEG38 | | | | | |
| 70 | P12 | | ANI24 | | | | SEG37 | | | | | |
| 71 | P11 | | ANI23 | | | | SEG36 | | | | | |
| 72 | P10 | | ANI22 | | | | SEG35 | | | | | |
| 73 | P27 | | ANI21 | | | | SEG34 | | | | | |
| 74 | P26 | | ANI20 | | | | SEG33 | | | | | |
| 75 | P25 | | ANI19 | | | | SEG32 | | | | | |
| 76 | P24 | | ANI18 | | | | SEG31 | | | | | |
| 77 | P23 | | ANI17 | | | | SEG30 | | | | | |
| 78 | P22 | | ANI16 | | | | SEG29 | | | | | |
| 79 | P21 | | ANI0/AVREFP | | | | | | | | | |
| 80 | P20 | | ANI1/AVREFM | | | | | | | | | |

## 1.4 端子名称

ANI0, ANI1, ANI16 to ANI25 :Analog Input
$AV_{REFM}$ :Analog Reference Voltage Minus
$AV_{REFP}$ :Analog Reference Voltage Plus
CAPH, CAPL :Capacitor for LCD
COM0 to COM7, :LCD Common Output
EXCLK :External Clock Input (Main System Clock)
EXCLKS :External Clock Input (Subsystem Clock)
INTP0 to INTP7 : External Interrupt Input
IVCMP0, IVCMP1 :Comparator Input
IVREF0, IVREF1 :Comparator Reference Input
KR0 to KR7 :Key Return
P00 to P07 :Port 0
P10 to P17 :Port 1
P20 to P27 :Port 2
P30 to P35 :Port 3
P40 to P47 :Port 4
P50 to P57 :Port 5
P60, P61 :Port 6
P70 to P77 :Port 7
P121 to P127 :Port 12
P130, P137 :Port 13
PCLBUZ0, PCLBUZ1 :Programmable Clock Output/ Buzzer Output
REGC :Regulator Capacitance
REMOOUT :Remote control Output
$\overline{\text{RESET}}$ :Reset
RTC1HZ :Real-time Clock Correction Clock (1 Hz) Output
RxD0 to RxD3 :Receive Data
SCK00, SCK10, SCLA0 :Serial Clock Input/Output
SCL00, SCL10 :Serial Clock Output
SDAA0, SDA00, SDA10, :Serial Data Input/Output
SEG0 to SEG50 :LCD Segment Output
SI00, SI10 :Serial Data Input
SO00, SO10 :Serial Data Output
TI00 to TI07 :Timer Input
TO00 to TO07, TKBO00, TKBO01-0, TKBO01-1, TKBO01-2 :Timer Output
TOOL0 :Data Input/Output for Tool
TOOLRxD, TOOLTxD :Data Input/Output for External Device
TxD0 to TxD3 :Transmit Data
VCOUT0, VCOUT1 :Comparator Output
$V_{DD}$ :Power Supply
$V_{L1}$ to $V_{L4}$ :LCD Power Supply
$V_{SS}$ :Ground
X1, X2 :Crystal Oscillator (Main System Clock)
XT1, XT2 :Crystal Oscillator (Subsystem Clock)

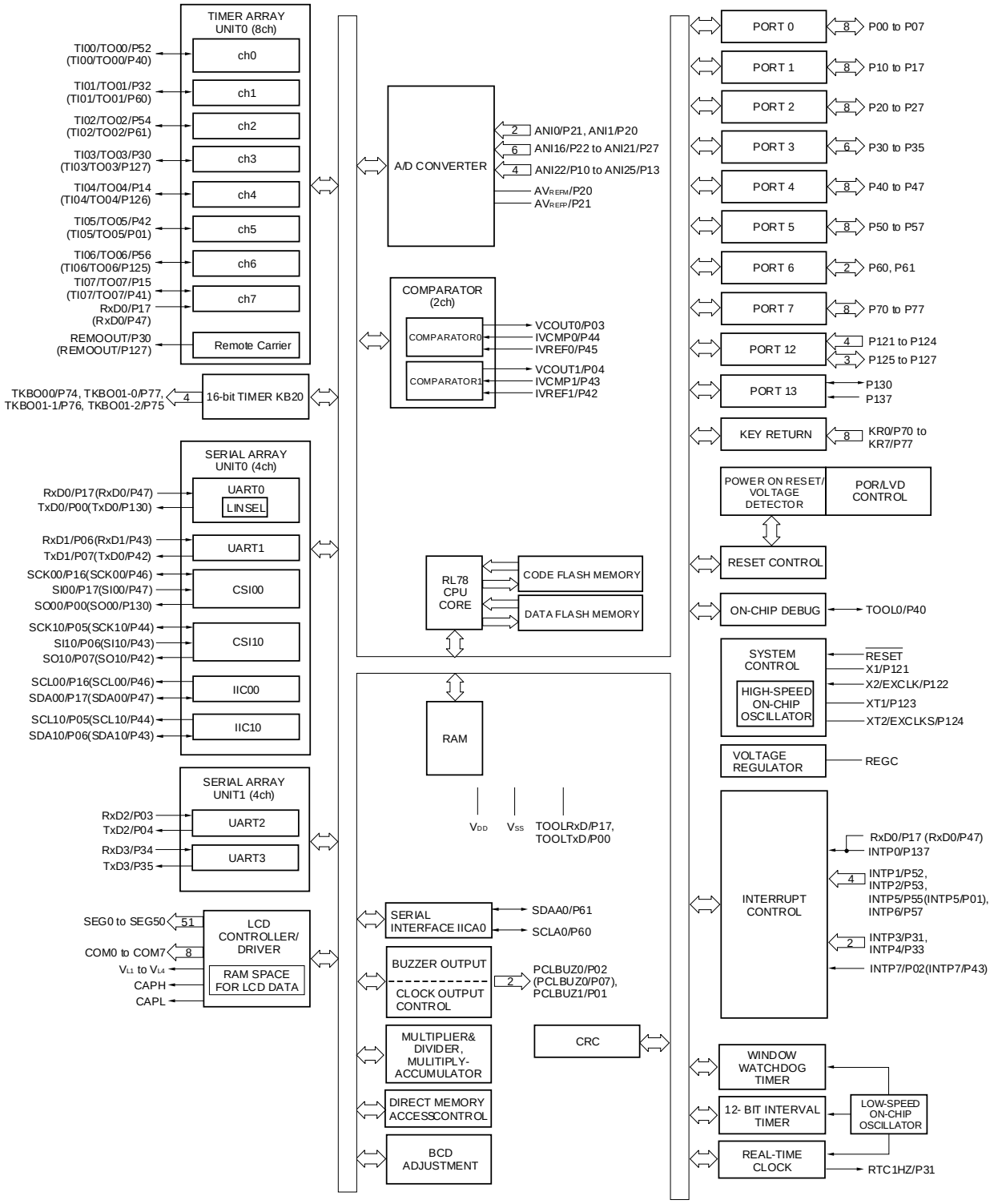
# 1.5 ブロック図

## 1.5.1 64ピン製品




**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図4−8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

## 1. 5. 2 80ピン製品




**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図4−8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

## 1.6 機能概要

（1/2）

| 項 目 | | 64ピン | 80ピン |
|---|---|---|---|
| | | R5F10WLx (x = A, C-G) | R5F10WMx (x = A, C-G) |
| コード・フラッシュ・メモリ | | 16-128 KB | 16-128 KB |
| データ・フラッシュ・メモリ | | 4 KB | 4 KB |
| RAM | | 1-8 KB注 | 1-8 KB注 |
| アドレス空間 | | 1 Mバイト | |
| メイン・システム・クロック | 高速システム・クロック | X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK）<br>HS（高速メイン）モード：1～20 MHz（$V_{DD}$ = 2.7～5.5 V），<br>HS（高速メイン）モード：1～16 MHz（$V_{DD}$ = 2.4～5.5 V），<br>LS（低速メイン）モード：1～8 MHz（$V_{DD}$ = 1.8～5.5 V），<br>LV（低電圧メイン）モード：1～4 MHz（$V_{DD}$ = 1.6～5.5 V） | |
| | 高速オンチップ・オシレータ・クロック | HS（高速メイン）モード：1～24 MHz（$V_{DD}$ = 2.7～5.5 V），<br>HS（高速メイン）モード：1～16 MHz（$V_{DD}$ = 2.4～5.5 V），<br>LS（低速メイン）モード：1～8 MHz（$V_{DD}$ = 1.8～5.5 V），<br>LV（低電圧メイン）モード：1～4 MHz（$V_{DD}$ = 1.6～5.5 V） | |
| 16ビット・タイマKB20用クロック | | 48 MHz（TYP.）：$V_{DD}$ = 2.7～5.5 V | |
| サブシステム・クロック | | XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS）<br>32.768 kHz（TYP.）：$V_{DD}$ = 1.6～5.5 V | |
| 低速オンチップ・オシレータ・クロック | | 15 kHz（TYP.） | |
| 汎用レジスタ | | （8ビット・レジスタ×8）×4バンク | |
| 最小命令実行時間 | | 0.04167 μs（高速オンチップ・オシレータ・クロック：$f_{IH}$ = 24 MHz動作時） | |
| | | 0.05 μs（高速システム・クロック：$f_{MX}$ = 20 MHz動作時） | |
| | | 30.5 μs（サブシステム・クロック：$f_{SUB}$ = 32.768 kHz動作時） | |
| 命令セット | | ・データ転送（8/16ビット）<br>・加減／論理演算（8/16ビット）<br>・乗算（8ビット×8ビット）<br>・ローテート，バレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など | |
| I/Oポート | 合計 | 49 | 65 |
| | CMOS入出力 | 42<br>(N-ch O.D.入出力[$V_{DD}$耐圧]：12) | 58<br>(N-ch O.D.入出力[$V_{DD}$耐圧]：18) |
| | CMOS入力 | 5 | 5 |
| | CMOS出力 | － | － |
| | N-ch O.D.入出力（6 V耐圧） | 2 | 2 |
| タイマ | 16ビット・タイマTAU | 8チャネル | |
| | 16ビット・タイマKB20 | 1チャネル | |
| | ウォッチドッグ・タイマ | 1チャネル | |
| | 12ビット・インターバル・タイマ（IT） | 1チャネル | |
| | リアルタイム・クロック2 | 1チャネル | |
| | RTC出力 | 1本<br>・1 Hz（サブシステム・クロック：$f_{SUB}$ = 32.768 kHz） | |

**注** 8 Kバイトの場合，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約7 KB

（2/2）

| 項 目 | | 64ピン<br>R5F10WLx (x = A, C-G) | 80ピン<br>R5F10WMx (x = A, C-G) |
|---|---|---|---|
| タイマ | タイマ出力 | 8本（PWM出力：7本[注1]）（TAU使用）<br>1本（タイマKB20使用） | |
| | リモコン出力 | 1本（TAU使用） | |
| クロック出力／ブザー出力 | | 2本 | |
| | | ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz<br>（メイン・システム・クロック：$f_{MAIN}$ = 20 MHz動作時）<br>・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz<br>（サブシステム・クロック：$f_{SUB}$ = 32.768 kHz動作時） | |
| 8/10ビット分解能A/Dコンバータ | | 9チャネル | 12チャネル |
| コンパレータ | | 2チャネル | |
| シリアル・インタフェース | | 【64ピン製品】<br>・簡易SPI（CSI）：1チャネル／UART（LIN-bus対応）：1チャネル／簡易$I^2C$：1チャネル<br>・簡易SPI（CSI）：1チャネル／UART：1チャネル／簡易$I^2C$：1チャネル<br>・UART：1チャネル<br>【80ピン製品】<br>・簡易SPI（CSI）：1チャネル／UART（LIN-bus対応）：1チャネル／簡易$I^2C$：1チャネル<br>・簡易SPI（CSI）：1チャネル／UART：1チャネル／簡易$I^2C$：1チャネル<br>・UART：2チャネル | |
| | $I^2C$バス | 1チャネル | |
| LCDコントローラ／ドライバ | | 内部昇圧／容量分割／外部抵抗分割の切り替えが可能 | |
| | セグメント信号出力 | 36（32）本[注2] | 51（47）本[注2] |
| | コモン信号出力 | 4（8）本[注2] | |
| 乗除・積和演算器 | | 乗算 ：16ビット×16ビット = 32ビット（符号付／符号なし）<br>除算 ：32ビット÷32ビット = 32ビット（符号なし）<br>積和演算 ：16ビット×16ビット＋32ビット = 32ビット（符号付／符号なし） | |
| DMAコントローラ | | 4チャネル | |
| ベクタ割り込み要因 | 内部 | 32 | 35 |
| | 外部 | 11 | 11 |
| キー割り込み | | 5 | 8 |
| リセット | | ・$\overline{\text{RESET}}$端子によるリセット<br>・ウォッチドッグ・タイマによる内部リセット<br>・パワーオン・リセットによる内部リセット<br>・電圧検出回路による内部リセット<br>・不正命令の実行による内部リセット[注3]<br>・RAMパリティ・エラーによる内部リセット<br>・不正メモリ・アクセスによる内部リセット | |
| パワーオン・リセット回路 | | ・パワーオン・リセット ：1.51 V（TYP.）<br>・パワーダウン・リセット：1.50 V（TYP.） | |
| 電圧検出回路 | | ・立ち上がり：1.67 V～4.06 V（14段階）<br>・立ち下がり：1.63 V～3.98 V（14段階） | |
| オンチップ・デバッグ機能 | | あり | |
| 電源電圧 | | $V_{DD}$ = 1.6～5.5 V TA = -40～+85 °C)<br>$V_{DD}$ = 2.4～5.5V (TA = -40～+105 °C) | |
| 動作周囲温度 | | 民生用途／$T_A$ = －40～＋85 ℃<br>産業用途／$T_A$ = －40～＋105 ℃ | |

**注1.** マスタの数と使用チャネルの設定によって，出力数は変わります（**6. 9. 3 多重PWM出力機能としての動作**参照）。

**2.** （ ）内は8 com使用時の信号出力本数です。

**3.** FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

# 第2章　端子機能

## 2. 1　ポート機能

端子の入出力バッファ電源は，$V_{DD}$によって供給されます。

各ポートで設定した入出力やバッファ，プルアップ抵抗は，兼用機能に対しても有効です。

### 2.1.1 64ピン製品

（1/3）

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機　能 |
|---|---|---|---|---|---|
| P00 | 7-5-10 | 入出力 | デジタル入力無効[注1] | SEG43/SO00/TxD0/TOOLTxD | ポート0。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P03，P05，P06の入力はTTL入力バッファに設定可能。<br>P00，P04-P07の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>LCD出力に設定可能[注2]。 |
| P01 | 7-5-4 | | | (TI05)/(TO05)/INTP5/PCLBUZ1/SEG44 | |
| P02 | | | | INTP7/PCLBUZ0/SEG45 | |
| P03 | 8-5-4 | | | RxD2/SEG46/VCOUT0 | |
| P04 | 7-5-10 | | | TxD2/SEG47/VCOUT1 | |
| P05 | 8-5-10 | | | SCK10/SCL10/SEG48 | |
| P06 | | | | SI10/RxD1/SDA10/SEG49 | |
| P07 | 7-5-10 | | | SO10/TxD1/(PCLBUZ0)/SEG50 | |
| P10 | 7-10-3 | 入出力 | アナログ入力 | ANI22/SEG35 | ポート1。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P16, P17の入力はTTL入力バッファに設定可能。<br>P16，P17の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>P10-P13はアナログ入力に設定可能[注3]。<br>P10-P13はLCD出力に設定可能[注3]。<br>P14-P17はLCD出力に設定可能[注2]。 |
| P11 | | | | ANI23/SEG36 | |
| P12 | | | | ANI24/SEG37 | |
| P13 | | | | ANI25/SEG38 | |
| P14 | 7-5-4 | | デジタル入力無効[注1] | TI04/TO04/SEG39 | |
| P15 | | | | TI07/TO07/SEG40 | |
| P16 | 8-5-10 | | | SEG41/SCK00/SCL00 | |
| P17 | | | | SEG42/SI00/RxD0/TOOLRxD/SDA00 | |
| P20 | 4-3-3 | 入出力 | アナログ入力 | ANI1/$AV_{REFM}$ | ポート2。<br>5ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>P22, P26, P27は，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P20, P21はアナログ入力に設定可能[注4]。<br>P22, P26, P27はアナログ入力に設定可能[注3]。<br>P22, P26, P27はLCD出力に設定可能[注3]。 |
| P21 | | | | ANI0/$AV_{REFP}$ | |
| P22 | 7-10-3 | | | ANI16/SEG29 | |
| P26 | | | | ANI20/SEG33 | |
| P27 | | | | ANI21/SEG34 | |

**注 1.** デジタル入力無効状態とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

**2.** 各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**3.** 各端子をデジタル／アナログ／LCDのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx），ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**4.** 各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4−8 周辺I/Oリダイレクション・レジスタ（PIOR）**のフォーマットを参照してください。

（2/3）

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機　　能 |
|---|---|---|---|---|---|
| P30 | 7-5-4 | 入出力 | デジタル入力無効[注1] | TI03/TO03/SEG20/REMOOUT | ポート3。<br>4ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>LCD出力に設定可能[注2]。 |
| P31 | | | | INTP3/RTC1HZ/SEG21 | |
| P32 | | | | TI01/TO01/SEG22 | |
| P33 | | | | INTP4/SEG23 | |
| P40 | 7-1-3 | 入出力 | 入力ポート | TOOL0/(TI00)/(TO00) | ポート4。<br>5ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P43, P44の入力はTTL入力バッファに設定可能。<br>P42-P44の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>P42-P44はアナログ入力に設定可能[注3]。<br>P45はアナログ入力に設定可能[注4]。 |
| P42 | 7-6-4 | | | TI05/TO05/(SO10)/(TxD1)/IVREF1 | |
| P43 | 8-6-4 | | | (INTP7)/(SI10)/(RxD1)/(SDA10)/IVCMP1 | |
| P44 | | | | (SCK10)/(SCL10)/IVCMP0 | |
| P45 | 7-6-9 | | デジタル入力無効[注1] | IVREF0 | |
| P52 | 7-5-4 | 入出力 | デジタル入力無効[注1] | TI00/TO00/INTP1/SEG6 | ポート5。<br>4ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P53の入力はTTL入力バッファに設定可能。<br>P53，P54の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>LCD出力に設定可能[注2]。 |
| P53 | 8-5-10 | | | INTP2/SEG7 | |
| P54 | 7-5-10 | | | TI02/TO02/SEG8 | |
| P57 | 7-5-4 | | | INTP6/SEG11 | |
| P60 | 12-1-3 | 入出力 | 入力ポート | SCLA0/(TI01)/(TO01) | ポート6。<br>2ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>N-chオープン・ドレイン出力（6V耐圧） |
| P61 | | | | SDAA0/(TI02)/(TO02) | |
| P70 | 7-5-4 | 入出力 | デジタル入力無効[注1] | KR0/SEG12 | ポート7。<br>5ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>LCD出力に設定可能[注2]。 |
| P74 | 7-5-16 | | | KR4/SEG16/TKBO00 | |
| P75 | | | | KR5/SEG17/TKBO01-2 | |
| P76 | | | | KR6/SEG18/TKBO01-1 | |
| P77 | | | | KR7/SEG19/TKBO01-0 | |

**注 1.** デジタル入力無効状態とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

**2.** 各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**3.** 各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

**4.** この端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx），およびLCDポート・ファンクション・レジスタ3（PFSEG3）で設定します。

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4−8 周辺I/Oリダイレクション・レジスタ（PIOR）**のフォーマットを参照してください。

（3/3）

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機　　能 |
|---|---|---|---|---|---|
| P121 | 2-2-1 | 入力 | 入力ポート | X1 | ポート12。<br>3ビット入出力ポートと4ビット入力専用ポート。<br>P125-P127は1ビット単位で入力／出力の指定可能。<br>P125-P127は，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P125-P127はLCD出力に設定可能[注2]。 |
| P122 | | | | X2/EXCLK | |
| P123 | | | | XT1 | |
| P124 | | | | XT2/EXCLKS | |
| P125 | 7-5-6 | 入出力 | デジタル入力無効[注1] | $V_{L3}$/TI06/TO06 | |
| P126 | 7-5-5 | | | CAPL/(TI04)/(TO04) | |
| P127 | | | | CAPH/(TI03)/(TO03)/(REMOOUT) | |
| P137 | 2-1-2 | 入力 | 入力ポート | INTP0 | ポート13。<br>1ビット入力専用ポート。 |
| $\overline{\text{RESET}}$ | 2-1-1 | 入力 | － | － | 外部リセット用の入力専用端子。<br>外部リセットを使用しない場合は，直接または抵抗を介して$V_{DD}$に接続してください。 |

**注 1.** デジタル入力無効状態とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

**2.** 各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR）**のフォーマットを参照してください。

## 2. 1. 2 80ピン製品

（1/3）

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機　能 |
|---|---|---|---|---|---|
| P00 | 7-5-10 | 入出力 | デジタル入力無効[注1] | SEG43/SO00/TxD0/TOOLTxD | ポート0。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P03，P05，P06の入力はTTL入力バッファに設定可能。<br>P00，P04-P07の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>LCD出力に設定可能[注2]。 |
| P01 | 7-5-4 | | | (TI05)/(TO05)/(INTP5)/PCLBUZ1/SEG44 | |
| P02 | | | | INTP7/PCLBUZ0/SEG45 | |
| P03 | 8-5-4 | | | RxD2/SEG46/VCOUT0 | |
| P04 | 7-5-10 | | | TxD2/SEG47/VCOUT1 | |
| P05 | 8-5-10 | | | SCK10/SCL10/SEG48 | |
| P06 | | | | SI10/RxD1/SDA10/SEG49 | |
| P07 | 7-5-10 | | | SO10/TxD1/(PCLBUZ0)/SEG50 | |
| P10 | 7-10-3 | 入出力 | アナログ入力 | ANI22/SEG35 | ポート1。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P16, P17の入力はTTL入力バッファに設定可能。<br>P16，P17の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>P10-P13はアナログ入力に設定可能[注3]。<br>P10-P13はLCD出力に設定可能[注3]。<br>P14-P17はLCD出力に設定可能[注2]。 |
| P11 | | | | ANI23/SEG36 | |
| P12 | | | | ANI24/SEG37 | |
| P13 | | | | ANI25/SEG38 | |
| P14 | 7-5-4 | | デジタル入力無効[注1] | TI04/TO04/SEG39 | |
| P15 | | | | TI07/TO07/SEG40 | |
| P16 | 8-5-10 | | | SEG41/SCK00/SCL00 | |
| P17 | | | | SEG42/SI00/RxD0/TOOLRxD/SDA00 | |
| P20 | 4-3-3 | 入出力 | アナログ入力 | ANI1/$AV_{REFM}$ | ポート2。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>P22-P27は，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P20, P21はアナログ入力に設定可能[注4]。<br>P22-P27はアナログ入力に設定可能[注3]。<br>P22-P27はLCD出力に設定可能[注3]。 |
| P21 | | | | ANI0/$AV_{REFP}$ | |
| P22 | 7-10-3 | | | ANI16/SEG29 | |
| P23 | | | | ANI17/SEG30 | |
| P24 | | | | ANI18/SEG31 | |
| P25 | | | | ANI19/SEG32 | |
| P26 | | | | ANI20/SEG33 | |
| P27 | | | | ANI21/SEG34 | |

**注 1.** デジタル入力無効状態とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

**2.** 各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**3.** 各端子をデジタル／アナログ／LCDのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx），ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**4.** 各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4−8 周辺I/Oリダイレクション・レジスタ（PIOR）**のフォーマットを参照してください。

（2/3）

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機　　能 |
|---|---|---|---|---|---|
| P30 | 7-5-4 | 入出力 | デジタル入力無効[注1] | TI03/TO03/SEG20/REMOOUT | ポート3。<br>6ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P34の入力はTTL入力バッファに設定可能。<br>P35の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>LCD出力に設定可能[注2]。 |
| P31 | | | | INTP3/RTC1HZ/SEG21 | |
| P32 | | | | TI01/TO01/SEG22 | |
| P33 | | | | INTP4/SEG23 | |
| P34 | 8-5-4 | | | RxD3/SEG24 | |
| P35 | 7-5-10 | | | TxD3/SEG25 | |
| P40 | 7-1-3 | 入出力 | 入力ポート | TOOL0/(TI00)/(TO00) | ポート4。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P43, P44, P46, P47の入力はTTL入力バッファに設定可能。<br>P42-P44, P46, P47の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>P42-P44はアナログ入力に設定可能[注3]。<br>P45はアナログ入力に設定可能[注4]。<br>P46, P47はLCD出力に設定可能[注2]。 |
| P41 | | | | (TI07)/(TO07) | |
| P42 | 7-6-4 | | | TI05/TO05/(SO10)/(TxD1)/IVREF1 | |
| P43 | 8-6-4 | | | (INTP7)/(SI10)/(RxD1)/(SDA10)/IVCMP1 | |
| P44 | | | | (SCK10)/(SCL10)/IVCMP0 | |
| P45 | 7-6-9 | | デジタル入力無効[注1] | IVREF0 | |
| P46 | 8-5-10 | | | (SCK00)/(SCL00)/SEG26 | |
| P47 | | | | (SI00)/(RxD0)/(SDA00)/SEG27 | |
| P50 | 7-5-4 | 入出力 | デジタル入力無効[注1] | SEG4 | ポート5。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P53, P55の入力はTTL入力バッファに設定可能。<br>P53-P56の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>LCD出力に設定可能[注2]。 |
| P51 | | | | SEG5 | |
| P52 | | | | TI00/TO00/INTP1/SEG6 | |
| P53 | 8-5-10 | | | INTP2/SEG7 | |
| P54 | 7-5-10 | | | TI02/TO02/SEG8 | |
| P55 | 8-5-10 | | | INTP5/SEG9 | |
| P56 | 7-5-10 | | | TI06/TO06/SEG10 | |
| P57 | 7-5-4 | | | INTP6/SEG11 | |

**注 1.** デジタル入力無効状態とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

**2.** 各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**3.** 各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

**4.** この端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx），およびLCDポート・ファンクション・レジスタ3（PFSEG3）で設定します。

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4−8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

（3/3）

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機　　能 |
|---|---|---|---|---|---|
| P60 | 12-1-3 | 入出力 | 入力ポート | SCLA0/(TI01)/(TO01) | ポート6。<br>2ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>N-chオープン・ドレイン出力（6V耐圧） |
| P61 | | | | SDAA0/(TI02)/(TO02) | |
| P70 | 7-5-4 | 入出力 | デジタル入力無効[注1] | KR0/SEG12 | ポート7。<br>8ビット入出力ポート。<br>1ビット単位で入力／出力の指定可能。<br>入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>LCD出力に設定可能[注2]。 |
| P71 | | | | KR1/SEG13 | |
| P72 | | | | KR2/SEG14 | |
| P73 | | | | KR3/SEG15 | |
| P74 | 7-5-16 | | | KR4/SEG16/TKBO00 | |
| P75 | | | | KR5/SEG17/TKBO01-2 | |
| P76 | | | | KR6/SEG18/TKBO01-1 | |
| P77 | | | | KR7/SEG19/TKBO01-0 | |
| P121 | 2-2-1 | 入力 | 入力ポート | X1 | ポート12。<br>3ビット入出力ポートと4ビット入力専用ポート。<br>P125-P127は1ビット単位で入力／出力の指定可能。<br>P125-P127は，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P125-P127はLCD出力に設定可能[注2]。 |
| P122 | | | | X2/EXCLK | |
| P123 | | | | XT1 | |
| P124 | | | | XT2/EXCLKS | |
| P125 | 7-5-6 | 入出力 | デジタル入力無効[注1] | $V_{L3}$/(TI06)/(TO06) | |
| P126 | 7-5-5 | | | CAPL/(TI04)/(TO04) | |
| P127 | | | | CAPH/(TI03)/(TO03)/(REMOOUT) | |
| P130 | 7-5-10 | 入出力 | デジタル入力無効[注1] | (SO00)/(TxD0)/SEG28 | ポート13。<br>1ビット入出力ポートと1ビット入力専用ポート。<br>P130は入力／出力の指定可能。<br>P130は，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。<br>P130の出力はN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能。<br>P130はLCD出力に設定可能[注2]。 |
| P137 | 2-1-2 | 入力 | 入力ポート | INTP0 | |
| $\overline{\text{RESET}}$ | 2-1-1 | 入力 | － | － | 外部リセット用の入力専用端子。<br>外部リセットを使用しない場合は，直接または抵抗を介して$V_{DD}$に接続してください。 |

**注 1.** デジタル入力無効状態とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

**2.** 各端子をデジタル／LCDのいずれにするかは，ポート・モード・レジスタx（PMx），およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4－8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

# 2. 2 ポート以外の機能

## 2. 2. 1 製品別の搭載機能

（1/2）

| 機能名称 | 80ピン | 64ピン | 機能名称 | 80ピン | 64ピン | 機能名称 | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| ANI0 | ○ | ○ | REMOOUT | ○ | ○ | TKBO00 | ○ | ○ |
| ANI1 | ○ | ○ | $\overline{\text{RESET}}$ | ○ | ○ | TKBO01-0 | ○ | ○ |
| ANI16 | ○ | ○ | RxD0 | ○ | ○ | TKBO01-1 | ○ | ○ |
| ANI17 | ○ | − | RxD1 | ○ | ○ | TKBO01-2 | ○ | ○ |
| ANI18 | ○ | − | RxD2 | ○ | ○ | $V_{L1}$ | ○ | ○ |
| ANI19 | ○ | − | RxD3 | ○ | − | $V_{L2}$ | ○ | ○ |
| ANI20 | ○ | ○ | TxD0 | ○ | ○ | $V_{L3}$ | ○ | ○ |
| ANI21 | ○ | ○ | TxD1 | ○ | ○ | $V_{L4}$ | ○ | ○ |
| ANI22 | ○ | ○ | TxD2 | ○ | ○ | CAPH | ○ | ○ |
| ANI23 | ○ | ○ | TxD3 | ○ | − | CAPL | ○ | ○ |
| ANI24 | ○ | ○ | SCK00 | ○ | ○ | X1 | ○ | ○ |
| ANI25 | ○ | ○ | SCK10 | ○ | ○ | X2 | ○ | ○ |
| INTP0 | ○ | ○ | SI00 | ○ | ○ | EXCLK | ○ | ○ |
| INTP1 | ○ | ○ | SI10 | ○ | ○ | XT1 | ○ | ○ |
| INTP2 | ○ | ○ | SO00 | ○ | ○ | XT2 | ○ | ○ |
| INTP3 | ○ | ○ | SO10 | ○ | ○ | EXCLKS | ○ | ○ |
| INTP4 | ○ | ○ | SCL00 | ○ | ○ | $V_{DD}$ | ○ | ○ |
| INTP5 | ○ | ○ | SCL10 | ○ | ○ | $AV_{REFP}$ | ○ | ○ |
| INTP6 | ○ | ○ | SDA00 | ○ | ○ | $AV_{REFM}$ | ○ | ○ |
| INTP7 | ○ | ○ | SDA10 | ○ | ○ | $V_{SS}$ | ○ | ○ |
| IVCMP0 | ○ | ○ | SDAA0 | ○ | ○ | TOOLRxD | ○ | ○ |
| IVCMP1 | ○ | ○ | SCLA0 | ○ | ○ | TOOLTxD | ○ | ○ |
| IVREF0 | ○ | ○ | TI00 | ○ | ○ | TOOL0 | ○ | ○ |
| IVREF1 | ○ | ○ | TI01 | ○ | ○ | COM0 | ○ | ○ |
| VCOUT0 | ○ | ○ | TI02 | ○ | ○ | COM1 | ○ | ○ |
| VCOUT1 | ○ | ○ | TI03 | ○ | ○ | COM2 | ○ | ○ |
| KR0 | ○ | ○ | TI04 | ○ | ○ | COM3 | ○ | ○ |
| KR1 | ○ | − | TI05 | ○ | ○ | COM4 | ○ | ○ |
| KR2 | ○ | − | TI06 | ○ | ○ | COM5 | ○ | ○ |
| KR3 | ○ | − | TI07 | ○ | ○ | COM6 | ○ | ○ |
| KR4 | ○ | ○ | TO00 | ○ | ○ | COM7 | ○ | ○ |
| KR5 | ○ | ○ | TO01 | ○ | ○ | SEG0 | ○ | ○ |
| KR6 | ○ | ○ | TO02 | ○ | ○ | SEG1 | ○ | ○ |
| KR7 | ○ | ○ | TO03 | ○ | ○ | SEG2 | ○ | ○ |
| PCLBUZ0 | ○ | ○ | TO04 | ○ | ○ | SEG3 | ○ | ○ |
| PCLBUZ1 | ○ | ○ | TO05 | ○ | ○ | SEG4 | ○ | − |
| RTC1HZ | ○ | ○ | TO06 | ○ | ○ | SEG5 | ○ | − |
| REGC | ○ | ○ | TO07 | ○ | ○ | SEG6 | ○ | ○ |

（2/2）

| 機能名称 | 80ピン | 64ピン | 機能名称 | 80ピン | 64ピン | 機能名称 | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| SEG7 | ○ | ○ | SEG22 | ○ | ○ | SEG37 | ○ | ○ |
| SEG8 | ○ | ○ | SEG23 | ○ | ○ | SEG38 | ○ | ○ |
| SEG9 | ○ | − | SEG24 | ○ | − | SEG39 | ○ | ○ |
| SEG10 | ○ | − | SEG25 | ○ | − | SEG40 | ○ | ○ |
| SEG11 | ○ | ○ | SEG26 | ○ | − | SEG41 | ○ | ○ |
| SEG12 | ○ | ○ | SEG27 | ○ | − | SEG42 | ○ | ○ |
| SEG13 | ○ | − | SEG28 | ○ | − | SEG43 | ○ | ○ |
| SEG14 | ○ | − | SEG29 | ○ | ○ | SEG44 | ○ | ○ |
| SEG15 | ○ | − | SEG30 | ○ | − | SEG45 | ○ | ○ |
| SEG16 | ○ | ○ | SEG31 | ○ | − | SEG46 | ○ | ○ |
| SEG17 | ○ | ○ | SEG32 | ○ | − | SEG47 | ○ | ○ |
| SEG18 | ○ | ○ | SEG33 | ○ | ○ | SEG48 | ○ | ○ |
| SEG19 | ○ | ○ | SEG34 | ○ | ○ | SEG49 | ○ | ○ |
| SEG20 | ○ | ○ | SEG35 | ○ | ○ | SEG50 | ○ | ○ |
| SEG21 | ○ | ○ | SEG36 | ○ | ○ | | | |

## 2. 2. 2 機能説明

（1/2）

| 機能名称 | 入出力 | 機　　能 |
|---|---|---|
| ANI0, ANI1, ANI16-ANI25 | 入力 | A/Dコンバータのアナログ入力（図12－38　アナログ入力端子の処理参照） |
| INTP0-INTP7 | 入力 | 外部割り込み要求入力<br>有効エッジ指定：立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ |
| IVCMP0, IVCMP1 | 入力 | コンパレータのアナログ電圧入力 |
| IVREF0, IVREF1 | 入力 | コンパレータのリファレンス電圧入力 |
| VCOUT0, VCOUT1 | 出力 | コンパレータ出力 |
| KR0-KR7 | 入力 | キー割り込み入力 |
| PCLBUZ0, PCLBUZ1 | 出力 | クロック出力／ブザー出力 |
| REGC | － | 内部動作用レギュレータ出力安定容量接続。<br>コンデンサ（0.47～1 μF）を介し，$V_{SS}$に接続してください。<br>また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。 |
| REMOOUT | 出力 | リモコン出力 |
| RTC1HZ | 出力 | リアルタイム・クロック2補正クロック（1 Hz）出力 |
| $\overline{\text{RESET}}$ | 入力 | ロウ・レベル・アクティブのシステム・リセット入力。<br>外部リセット端子を使用しない場合は，直接または抵抗を介して$V_{DD}$に接続してください。 |
| RxD0-RxD3 | 入力 | シリアル・インタフェースUART0-UART3のシリアル・データ入力 |
| TxD0-TxD3 | 出力 | シリアル・インタフェースUART0-UART3のシリアル・データ出力 |
| SCK00, SCK10 | 入出力 | シリアル・インタフェースCSI00, CSI10のシリアル・クロック入力／出力 |
| SI00, SI10 | 入力 | シリアル・インタフェースCSI00, CSI10のシリアル・データ入力 |
| SO00, SO10 | 出力 | シリアル・インタフェースCSI00, CSI10のシリアル・データ出力 |
| SCL00, SCL10 | 出力 | シリアル・インタフェースIIC00, IIC10のシリアル・クロック出力 |
| SDA00, SDA10 | 入出力 | シリアル・インタフェースIIC00, IIC10のシリアル・データ入出力 |
| SCLA0 | 入出力 | シリアル・インタフェースIICA0のクロック入出力 |
| SDAA0 | 入出力 | シリアル・インタフェースIICA0のシリアル・データ入出力 |
| TI00-TI07 | 入力 | 16ビット・タイマ00-07への外部カウント・クロック／キャプチャ・トリガ入力 |
| TO00-TO07 | 出力 | 16ビット・タイマ00-07のタイマ出力 |
| TKBO00, TKBO01-0, TKBO01-1, TKBO01-2 | 出力 | 16ビット・タイマKB20のタイマ出力 |
| $V_{L1}$-$V_{L4}$ | － | LCD駆動用電圧 |
| CAPH, CAPL | － | LCDコントローラ／ドライバ用コンデンサ接続 |
| X1, X2 | － | メイン・システム・クロック用発振子接続 |
| EXCLK | 入力 | メイン・システム・クロック用外部クロック入力 |
| XT1, XT2 | － | サブシステム・クロック用発振子接続 |
| EXCLKS | 入力 | サブシステム・クロック用外部クロック入力 |

（2/2）

| 機能名称 | 入出力 | 機　　能 |
|---|---|---|
| $V_{DD}$ | － | すべての端子の正電源 |
| $AV_{REFP}$ | 入力 | A/Dコンバータの基準電圧（＋側）入力 |
| $AV_{REFM}$ | 入力 | A/Dコンバータの基準電圧（－側）入力 |
| $V_{SS}$ | － | すべての端子のグランド電位 |
| TOOLRxD | 入力 | フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信 |
| TOOLTxD | 出力 | フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信 |
| TOOL0 | 入出力 | フラッシュ・メモリ・プログラマ／デバッガ用データ入出力 |
| COM0-COM7 | 出力 | LCDコントローラ／ドライバのコモン信号出力 |
| SEG0-SEG50 | 出力 | LCDコントローラ／ドライバのセグメント信号出力 |

**注意　リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。**

表2－1　リセット解除時のP40/TOOL0と動作モードとの関係

| P40/TOOL0 | 動作モード |
|---|---|
| $V_{DD}$ | 通常動作モード |
| 0 V | フラッシュ・メモリ・プログラミング・モード |

詳細は，**28. 4　シリアル・プログラミング方法**を参照してください。

**備考**　ノイズ対策およびラッチアップ対策として，$V_{DD}$ - $V_{SS}$ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ，比較的太い配線を使って接続してください。

## 2. 3 未使用端子の処理

各端子の未使用端子の処理を表2－2に示します。

備考 製品により，搭載している端子が異なります。1. 3 端子接続図（Top View），2. 1 ポート機能を参照してください。

表2－2 各端子の未使用端子処理（1/3）

| 端子名称 | 入出力 | 未使用時の推奨接続方法 |
|---|---|---|
| P00/SEG43/SO00/TxD0/TOOLTxD | 入出力 | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P01/(TI05)/(TO05)/(INTP5)/PCLBUZ1/SEG44 | | |
| P02/INTP7/PCLBUZ0/SEG45 | | |
| P03/RxD2/SEG46/VCOUT0 | | |
| P04/TxD2/SEG47/VCOUT1 | | |
| P05/SCK10/SCL10/SEG48 | | |
| P06/SI10/RxD1/SDA10/SEG49 | | |
| P07/SO10/TxD1/(PCLBUZ0)/SEG50 | | |
| P10/ANI22/SEG35 | | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P11/ANI23/SEG36 | | |
| P12/ANI24/SEG37 | | |
| P13/ANI25/SEG38 | | |
| P14/TI04/TO04/SEG39 | | |
| P15/TI07/TO07/SEG40 | | |
| P16/SEG41/SCK00/SCL00 | | |
| P17/SEG42/SI00/RxD0/TOOLRxD/SDA00 | | |
| P20/ANI1/$AV_{REFM}$ | | 入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。 |
| P21/ANI0/$AV_{REFP}$ | | |
| P22/ANI16/SEG29 | | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P23/ANI17/SEG30 | | |
| P24/ANI18/SEG31 | | |
| P25/ANI19/SEG32 | | |
| P26/ANI20/SEG33 | | |
| P27/ANI21/SEG34 | | |

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

表2－2 各端子の未使用端子処理（2/3）

| 端子名称 | 入出力 | 未使用時の推奨接続方法 |
|---|---|---|
| P30/TI03/TO03/SEG20/REMOOUT | 入出力 | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P31/INTP3/RTC1HZ/SEG21 | | |
| P32/TI01/TO01/SEG22 | | |
| P33/INTP4/SEG23 | | |
| P34/RxD3/SEG24 | | |
| P35/TxD3/SEG25 | | |
| P40/TOOL0/(TI00)/(TO00) | | 入力時：個別に抵抗を介して，$V_{DD}$に接続またはオープンにしてください。<br>出力時：オープンにしてください。 |
| P41/(TI07)/(TO07) | | 入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。 |
| P42/TI05/TO05/(SO10)/(TxD1)/IVREF1 | | |
| P43/(INTP7)/(SI10)/(RxD1)/(SDA10)/IVCMP1 | | |
| P44/(SCK10)/(SCL10)/IVCMP0 | | |
| P45/IVREF0 | | |
| P46/(SCK00)/(SCL00)/SEG26 | | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P47/(SI00)/(RxD0)/(SDA00)/SEG27 | | |
| P50/SEG4 | | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P51/SEG5 | | |
| P52/TI00/TO00/INTP1/SEG6 | | |
| P53/INTP2/SEG7 | | |
| P54/TI02/TO02/SEG8 | | |
| P55/INTP5/SEG9 | | |
| P56/TI06/TO06/SEG10 | | |
| P57/INTP6/SEG11 | | |

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

表2－2 各端子の未使用端子処理（3/3）

| 端子名称 | 入出力 | 未使用時の推奨接続方法 |
|---|---|---|
| P60/SCLA0/(TI01)/(TO01) | 入出力 | 入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：ポートの出力ラッチに0を設定してオープン，またはポートの出力ラッチに1を設定し，個別に抵抗を介して$V_{DD}$または$V_{SS}$に接続してください。 |
| P61/SDAA0/(TI02)/(TO02) | | |
| P70/KR0/SEG12 | | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P71/KR1/SEG13 | | |
| P72/KR2/SEG14 | | |
| P73/KR3/SEG15 | | |
| P74/KR4/SEG16/TKBO00 | | |
| P75/KR5/SEG17/TKBO01-2 | | |
| P76/KR6/SEG18/TKBO01-1 | | |
| P77/KR7/SEG19/TKBO01-0 | | |
| P121/X1 | 入力 | 個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。 |
| P122/X2/EXCLK | | |
| P123/XT1 | | |
| P124/XT2/EXCLKS | | |
| P125/$V_{L3}$/(TI06)/(TO06) | 入出力 | 入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。 |
| P126/CAPL/(TI04)/(TO04) | | |
| P127/CAPH/(TI03)/(TO03)/(REMOOUT) | | |
| P130/(SO00)/(TxD0)/SEG28 | | <ポート設定時><br>入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。<br><セグメント設定時><br>オープンにしてください。 |
| P137/INTP0 | 入力 | 個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。 |
| $\overline{\text{RESET}}$ | 入力 | $V_{DD}$に直接接続または抵抗を介して接続してください。 |
| REGC | － | コンデンサ（0.47～1 μF）を介し，$V_{SS}$に接続してください。 |
| COM0-COM3 | 出力 | オープンにしてください。 |
| COM4/SEG0 | | |
| COM5/SEG1 | | |
| COM6/SEG2 | | |
| COM7/SEG3 | | |
| $V_{L1}$ | － | |
| $V_{L2}$ | － | |
| $V_{L4}$ | － | |

**備考** 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

# 2. 4　端子ブロック図

**2.1.1　64ピン製品**，**2.1.2　80ピン製品**に記載した端子タイプについて，端子ブロック図を図2－1～図2－16に示します。

図2－1　端子タイプ 2-1-1 の端子ブロック図

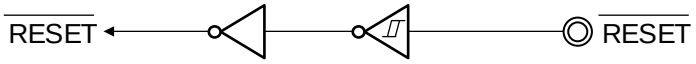
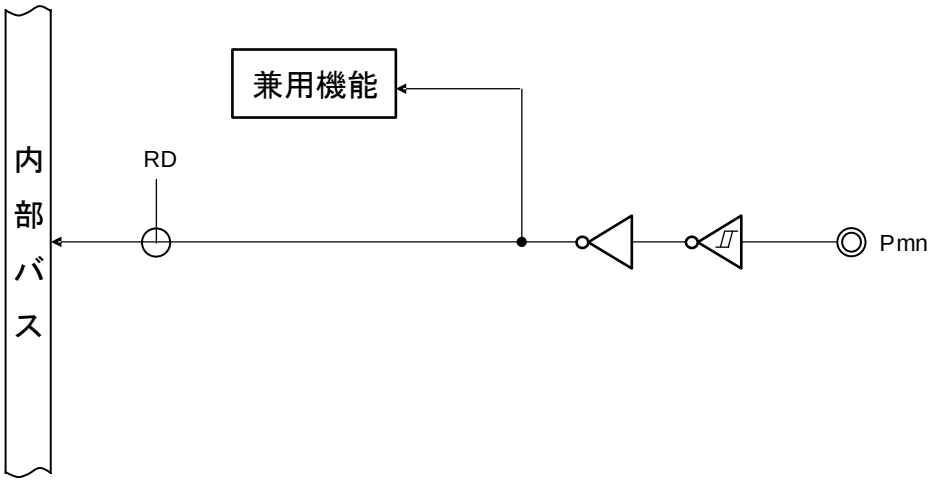
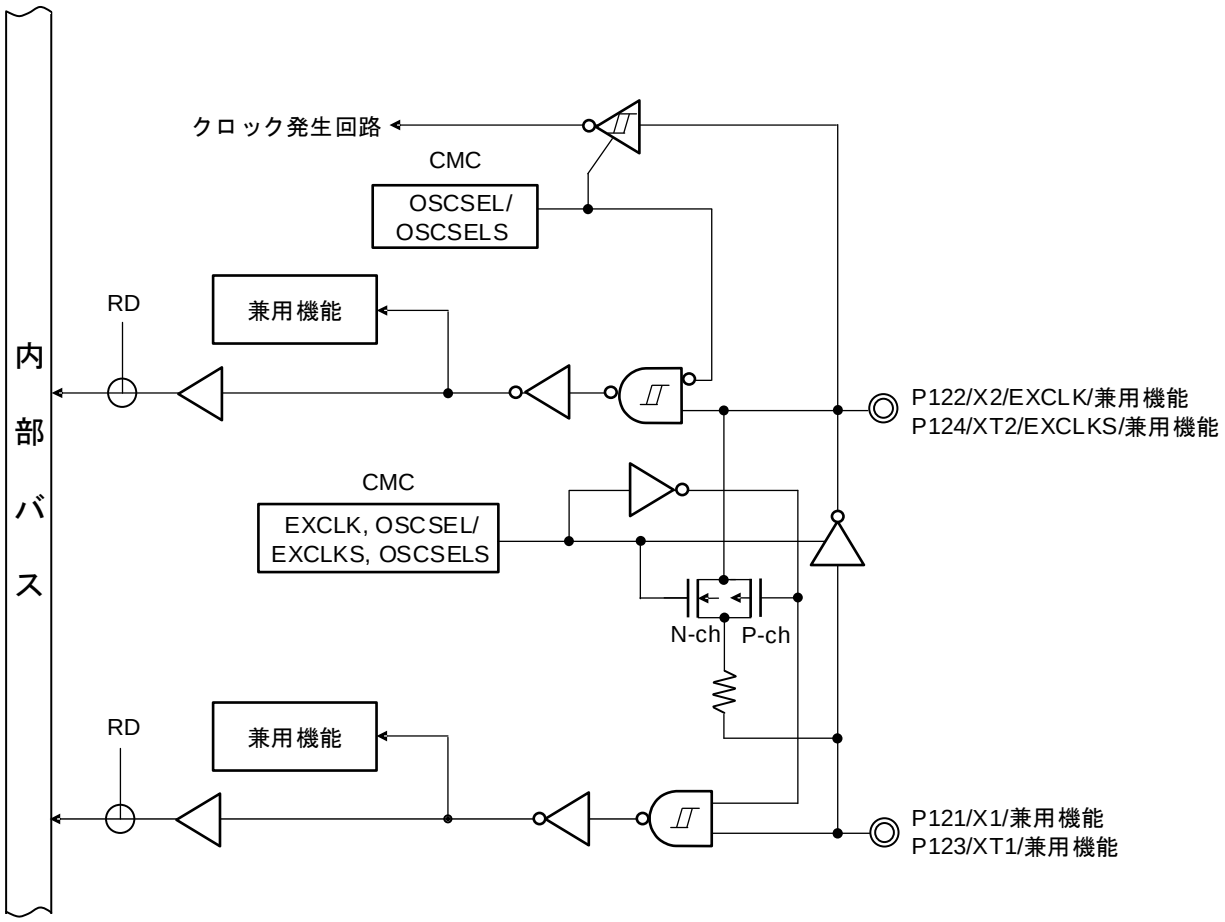



図2－2　端子タイプ 2-1-2 の端子ブロック図




**備考**　兼用機能は，**2. 1　ポート機能**を参照してください。

図2－3　端子タイプ 2-2-1 の端子ブロック図




**備考**　兼用機能は，**2. 1　ポート機能**を参照してください。

図2－4　端子タイプ 4-3-3 の端子ブロック図

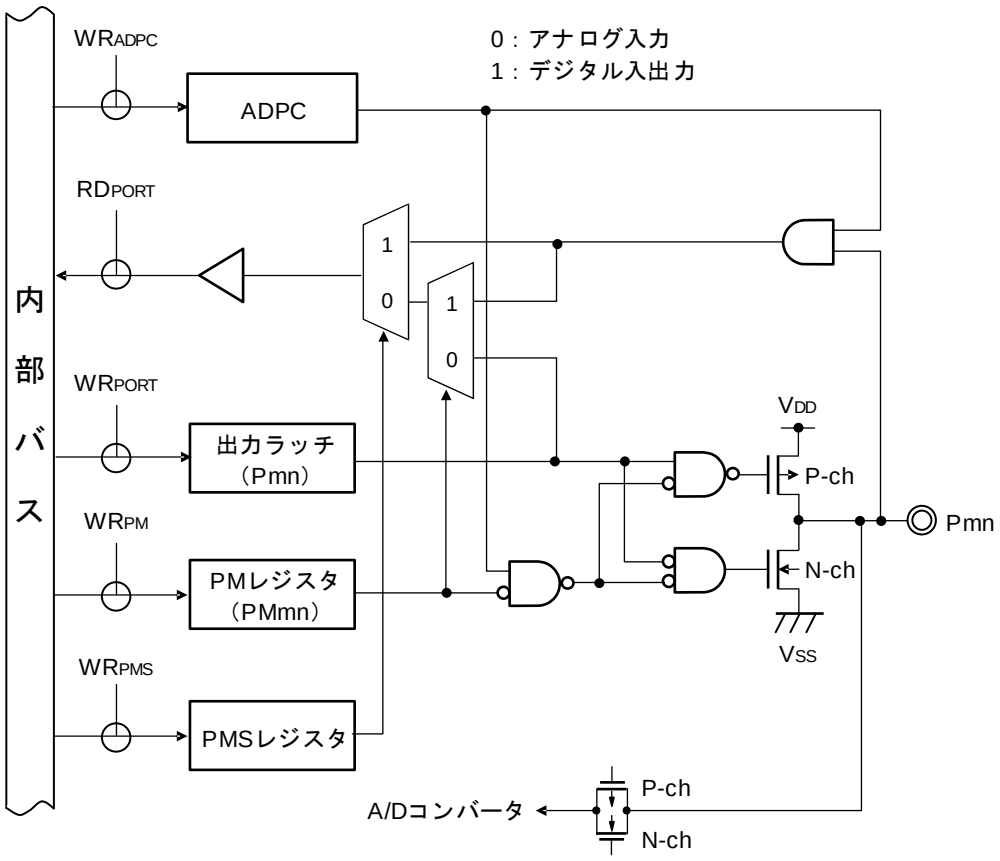
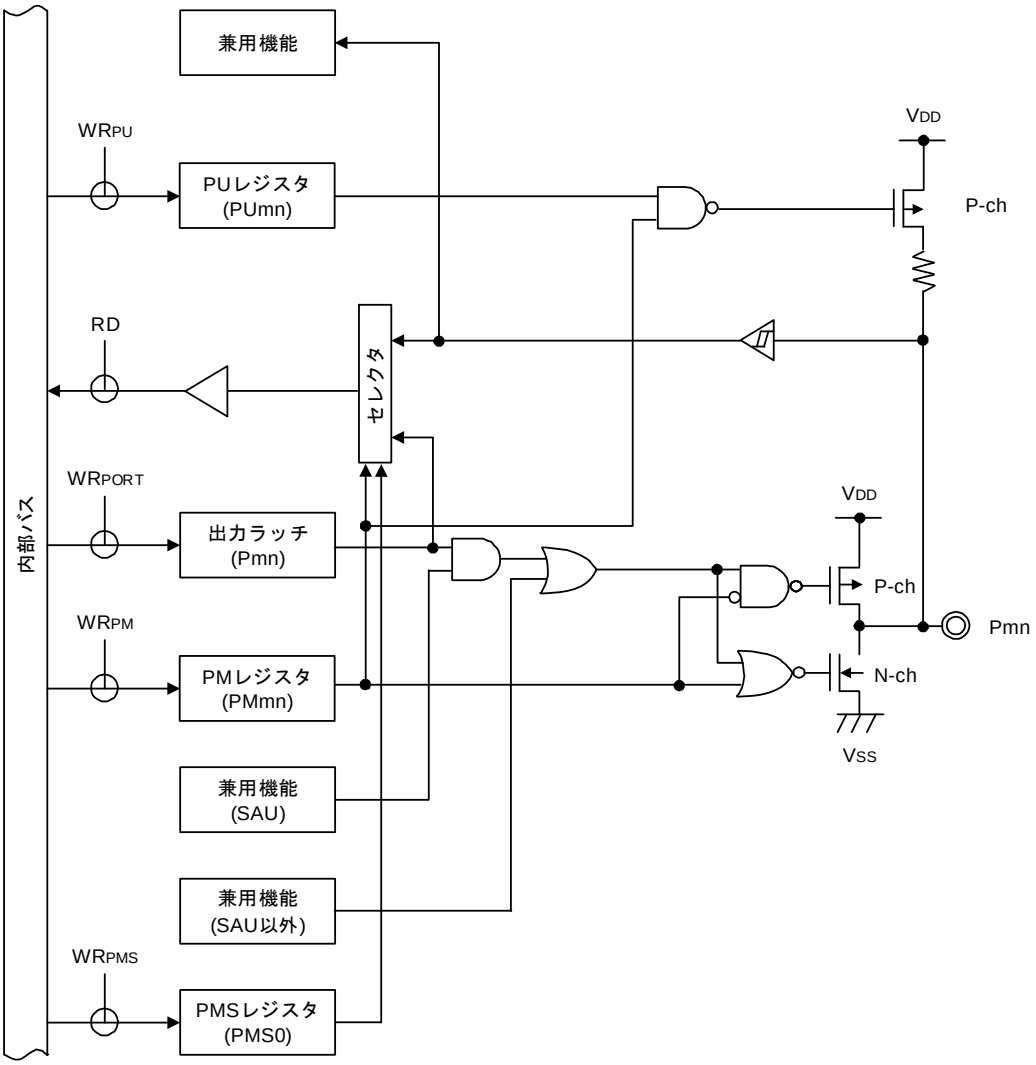


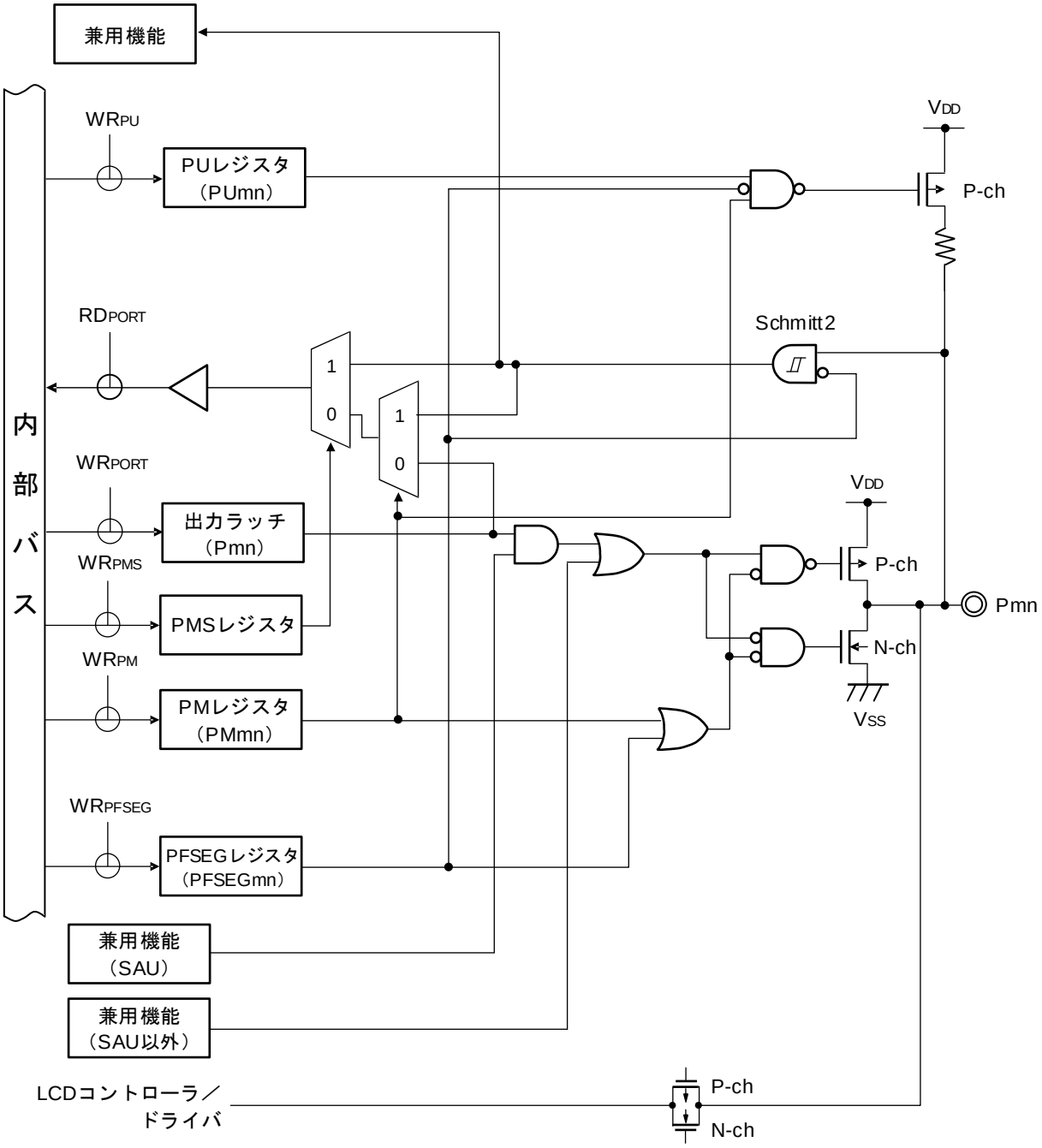
図2－5　端子タイプ 7-1-3 の端子ブロック図




**備考1.**　兼用機能は，**2. 1　ポート機能**を参照してください。

**2.**　SAU：シリアル・アレイ・ユニット

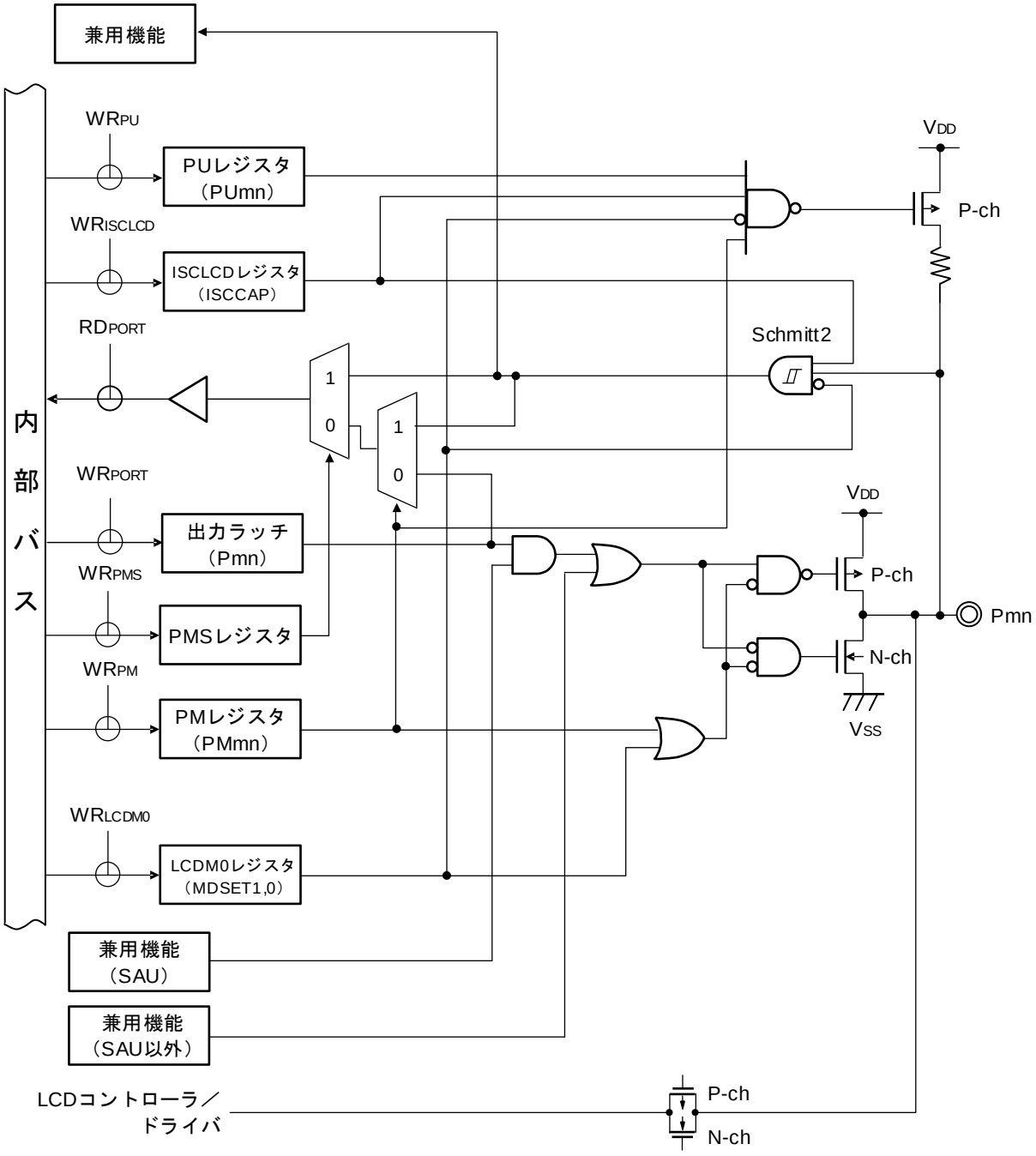
図2－6　端子タイプ 7-5-4 の端子ブロック図




**備考1.**　兼用機能は，**2. 1　ポート機能**を参照してください。

**2.**　SAU：シリアル・アレイ・ユニット

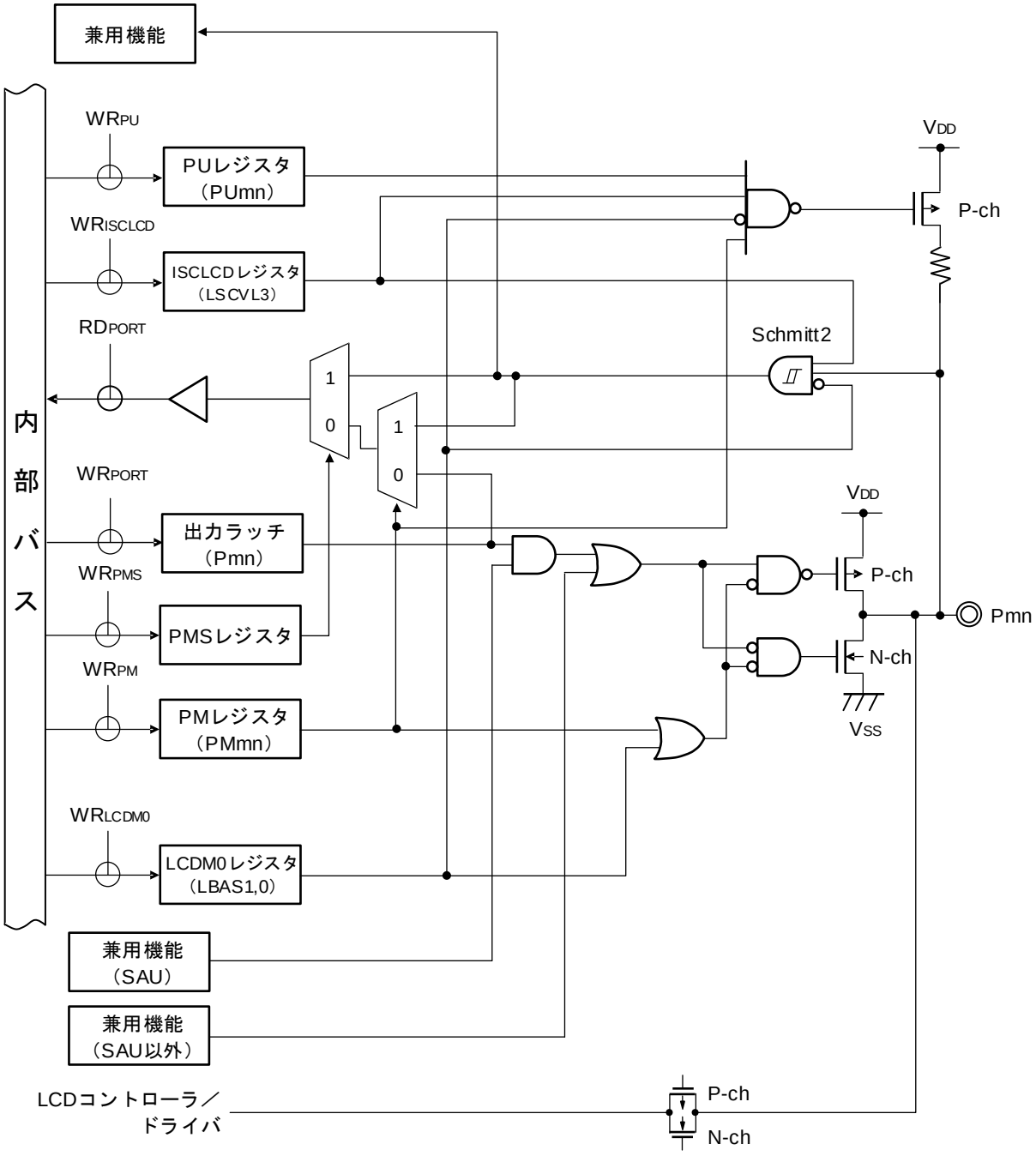
図2－7　端子タイプ 7-5-5 の端子ブロック図




**備考1.**　兼用機能は，**2. 1　ポート機能**を参照してください。

**2.**　SAU：シリアル・アレイ・ユニット

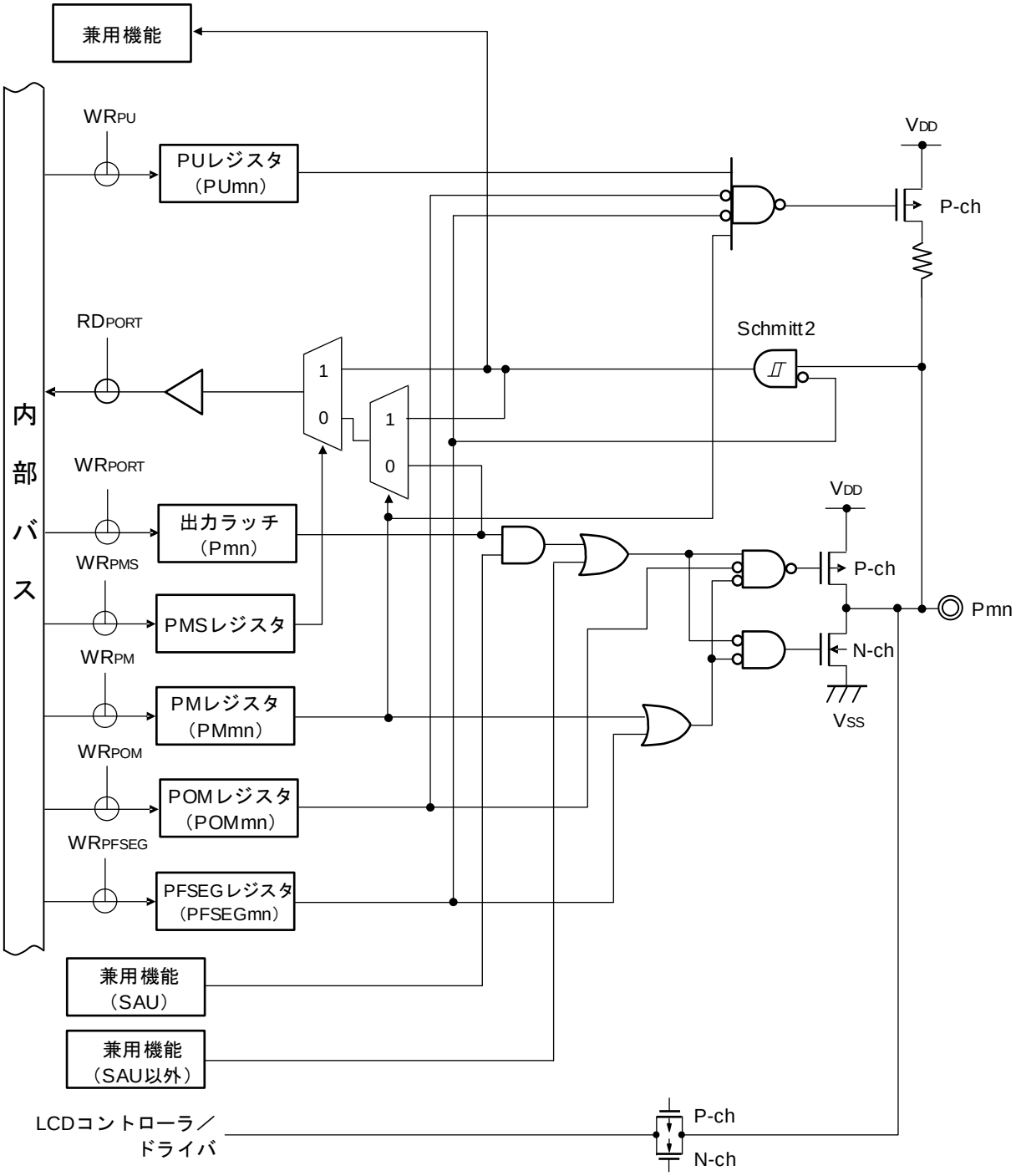
図2－8　端子タイプ 7-5-6 の端子ブロック図




**備考1.**　兼用機能は，**2. 1　ポート機能**を参照してください。

**2.**　SAU：シリアル・アレイ・ユニット

図2－9 端子タイプ 7-5-10 の端子ブロック図

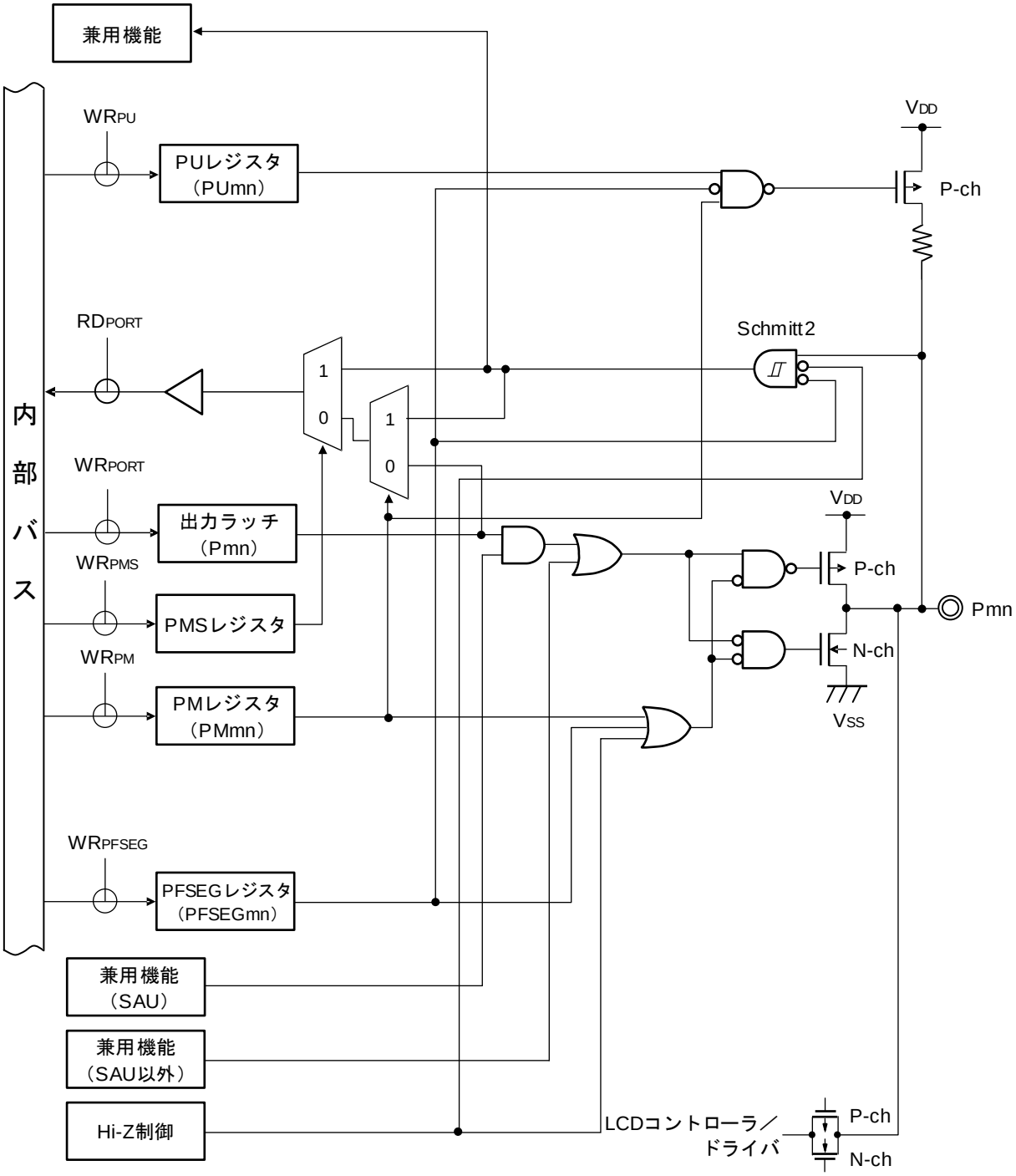



**注意** **ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。**

**備考1.** 兼用機能は，**2. 1 ポート機能**を参照してください。

**2.** SAU：シリアル・アレイ・ユニット

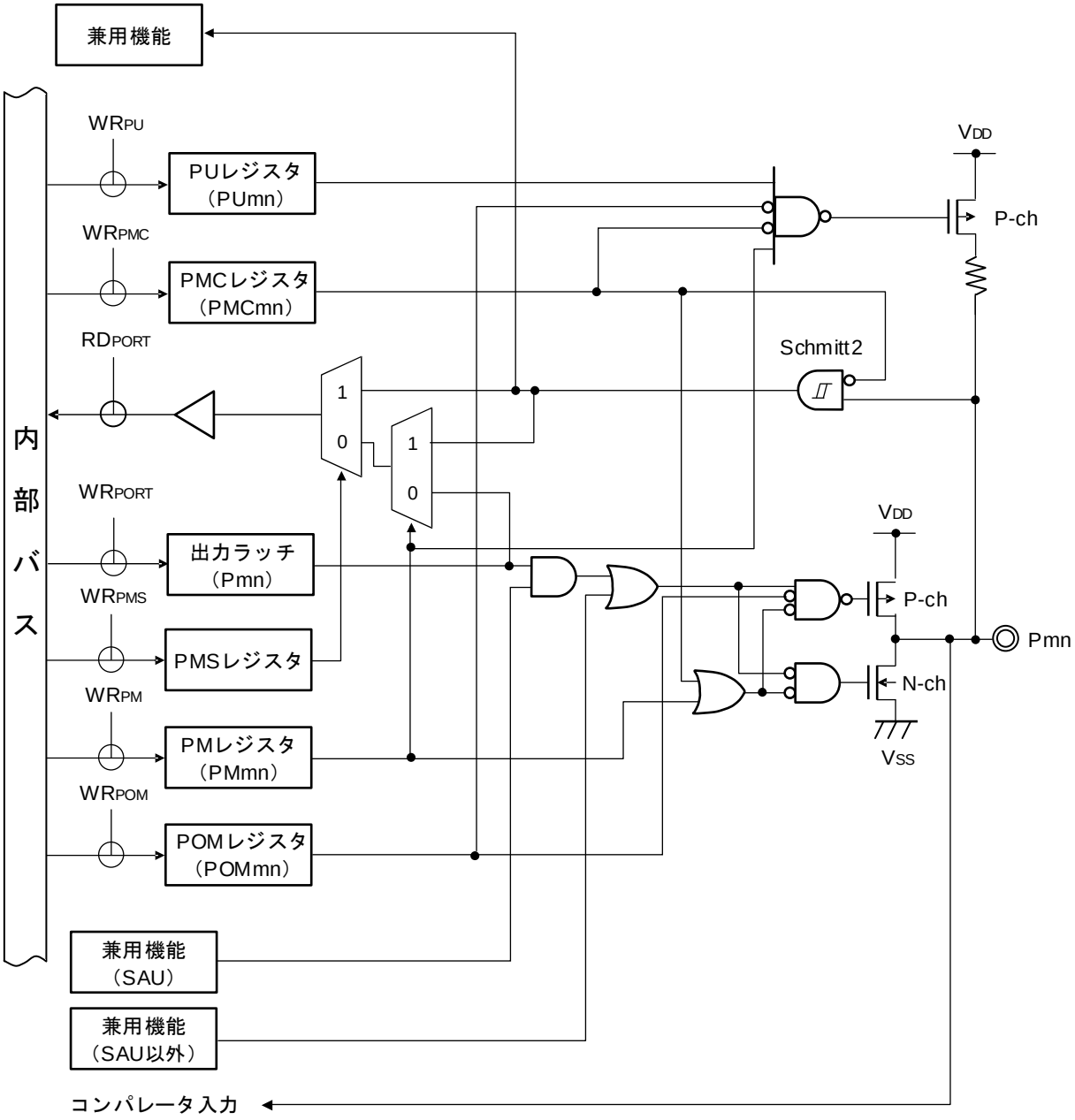
図2－10 端子タイプ 7-5-16 の端子ブロック図




**備考1.** 兼用機能は，**2. 1 ポート機能**を参照してください。

**2.** SAU：シリアル・アレイ・ユニット

図2－11 端子タイプ 7-6-4 の端子ブロック図

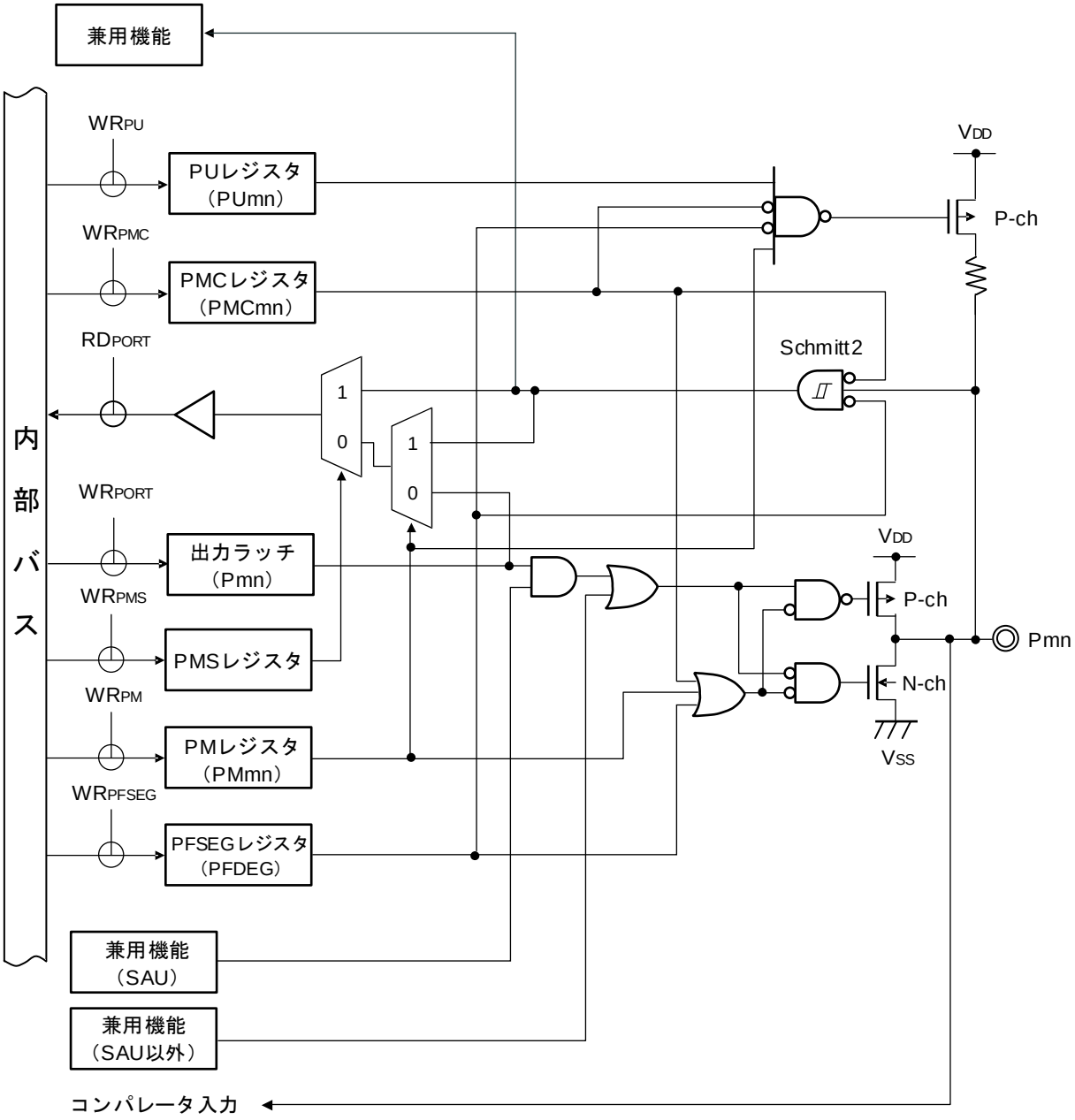



**注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。**

**備考1.** 兼用機能は，**2. 1 ポート機能**を参照してください。

**2.** SAU：シリアル・アレイ・ユニット

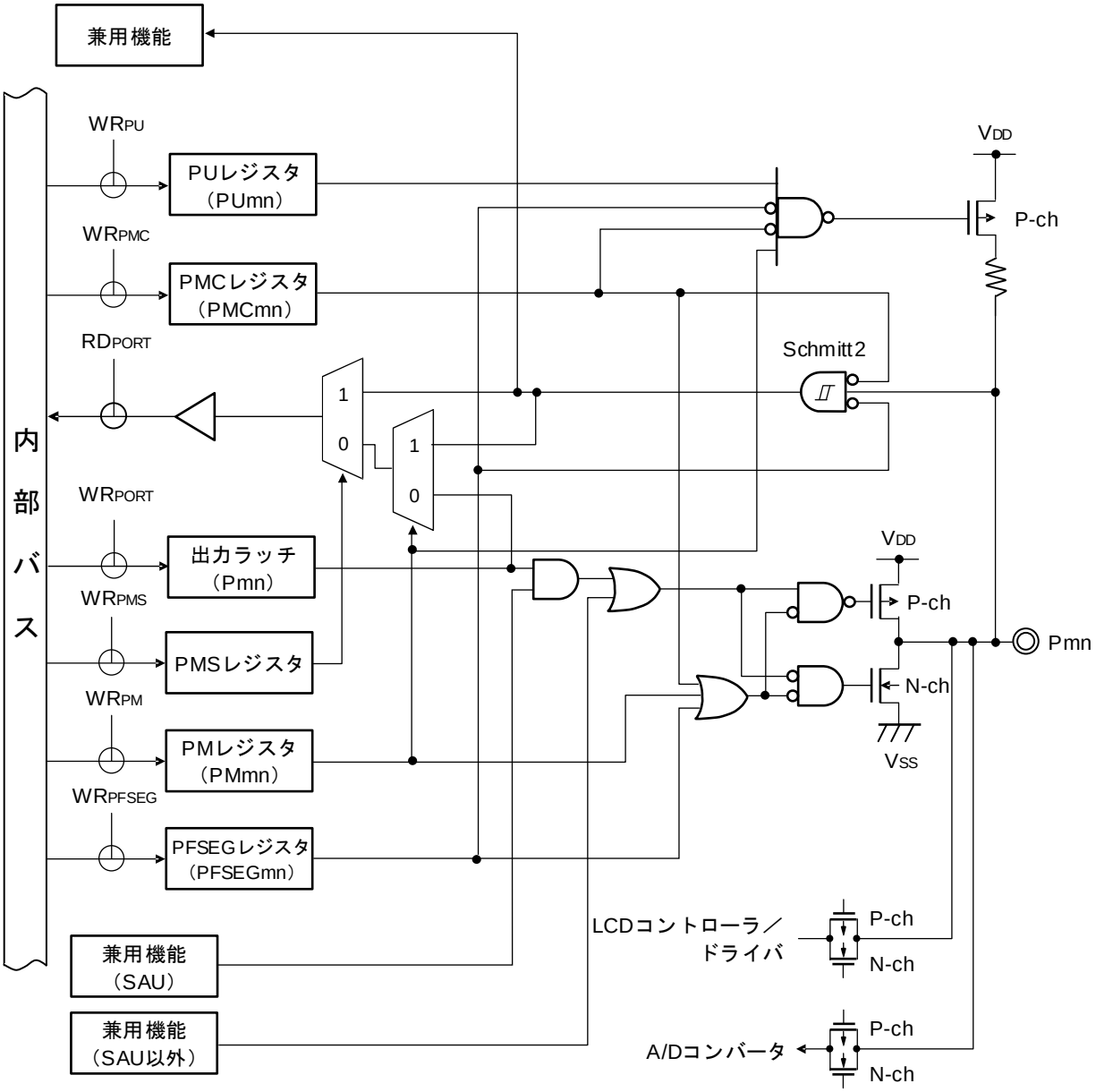
図2－12　端子タイプ 7-6-9 の端子ブロック図




**備考1.**　兼用機能は，**2. 1　ポート機能**を参照してください。

**2.**　SAU：シリアル・アレイ・ユニット

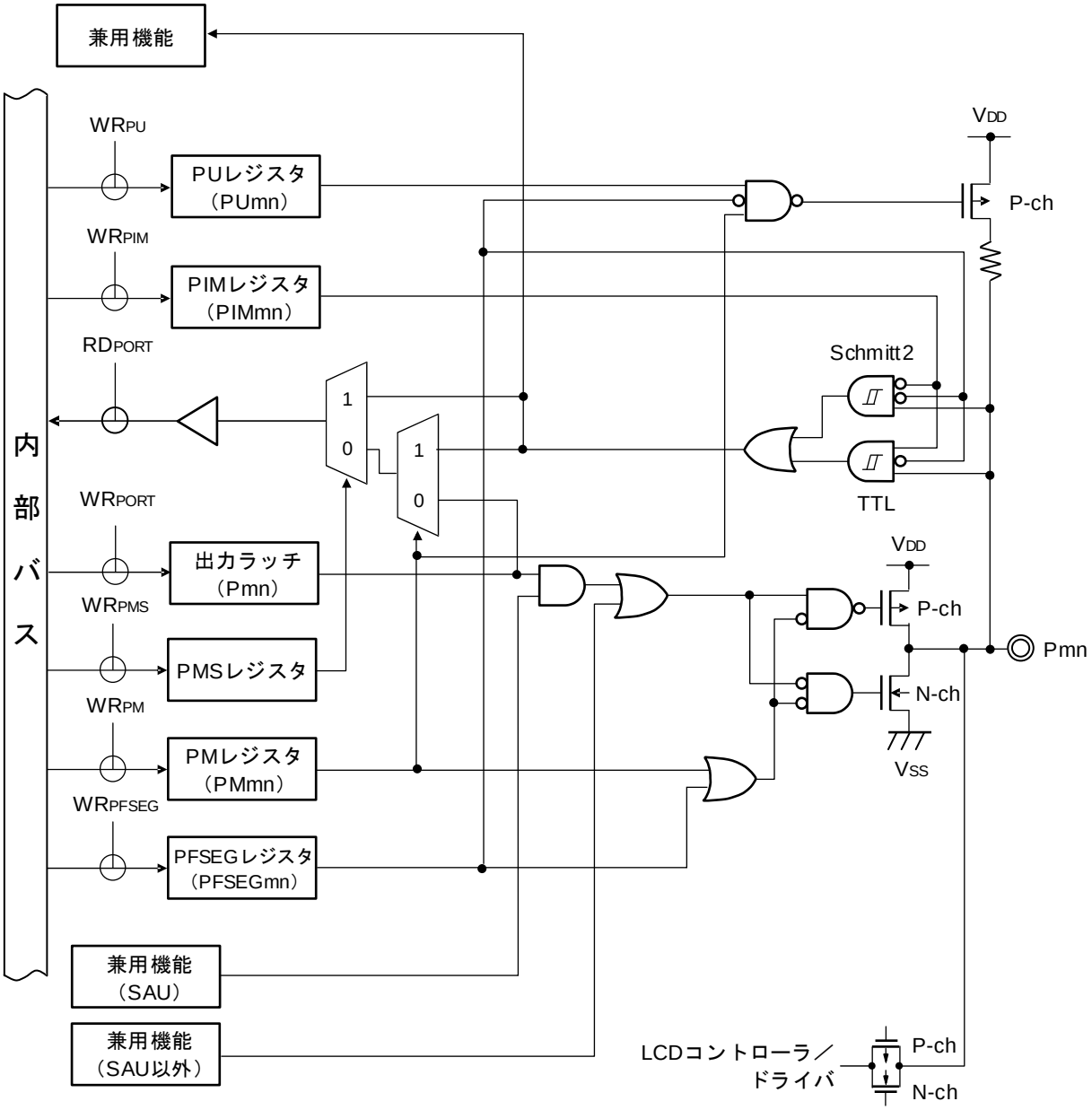
図2－13 端子タイプ 7-10-3 の端子ブロック図




**備考1.** 兼用機能は，**2. 1 ポート機能**を参照してください。

**2.** SAU：シリアル・アレイ・ユニット

図2－14　端子タイプ 8-5-4 の端子ブロック図

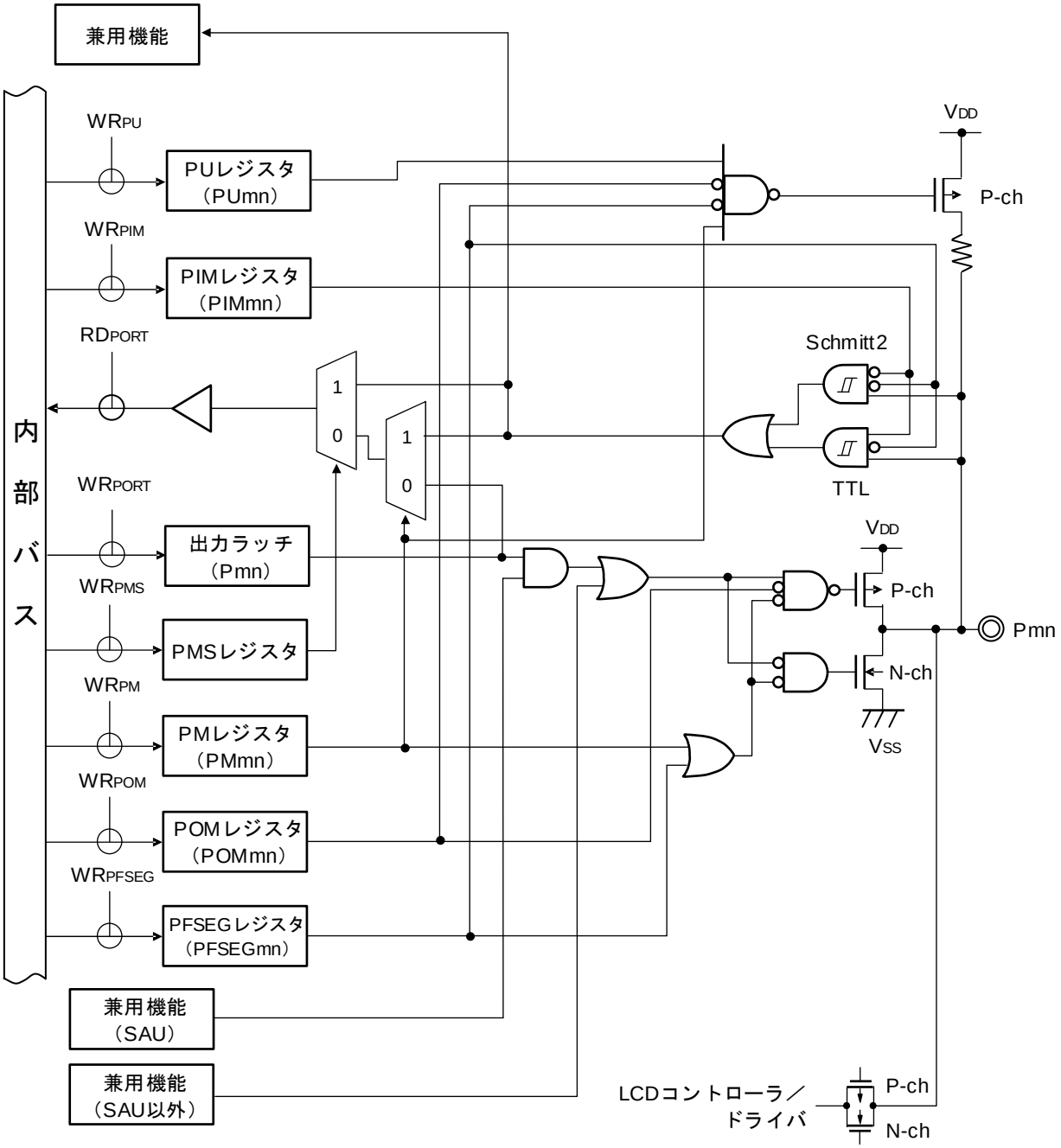



**注意　ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し，ハイ・レベルを入力している場合，TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには，ロウ・レベルを入力してください。**

**備考1.** 兼用機能は，**2. 1　ポート機能**を参照してください。

**2.** SAU：シリアル・アレイ・ユニット

図2－15 端子タイプ 8-5-10 の端子ブロック図



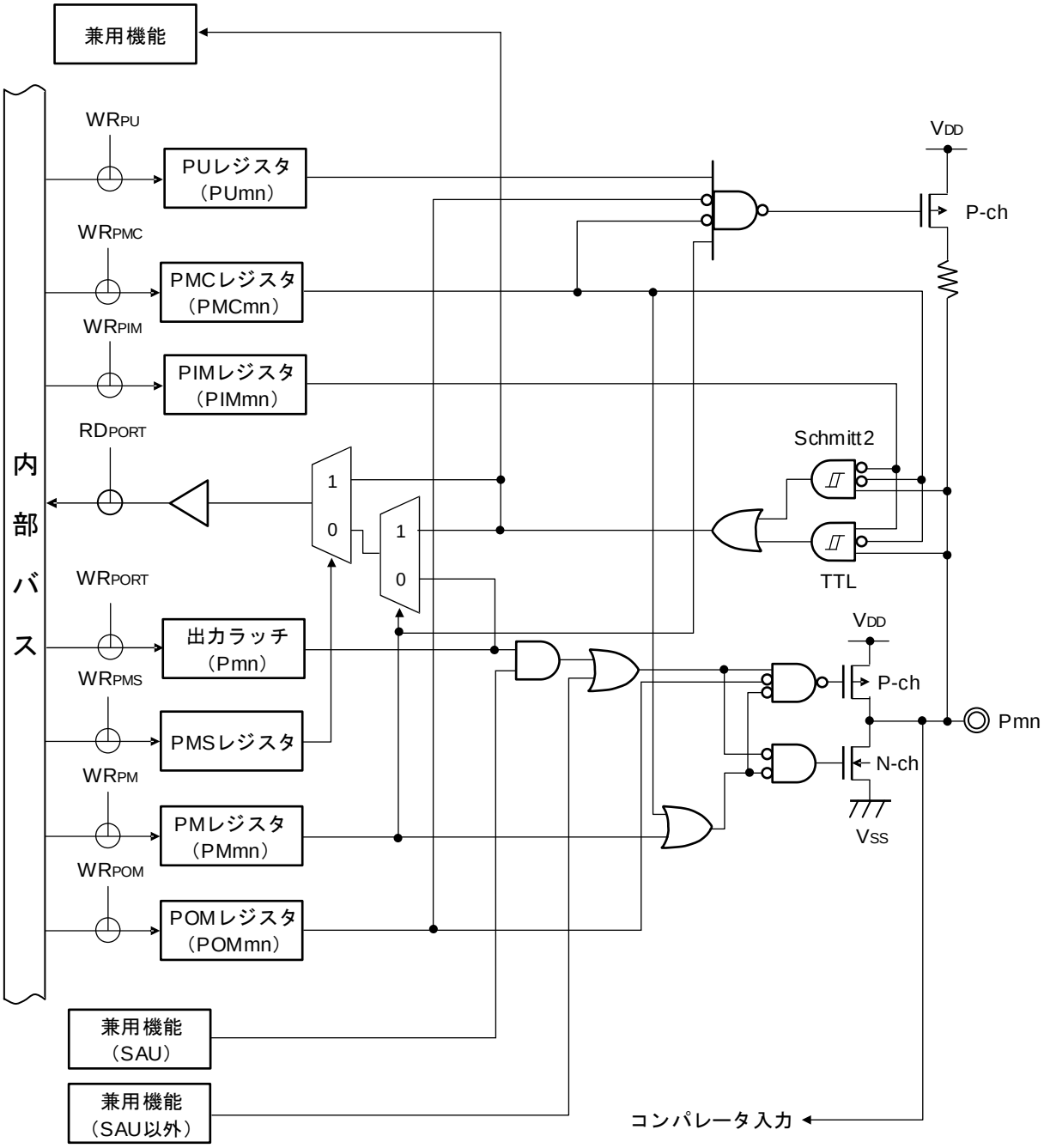

**注意1.** **ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。**

**2.** **ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し，ハイ・レベルを入力している場合，TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには，ロウ・レベルを入力してください。**

**備考1.** 兼用機能は，**2. 1 ポート機能**を参照してください。

**2.** SAU：シリアル・アレイ・ユニット

図2－16 端子タイプ 8-6-4 の端子ブロック図



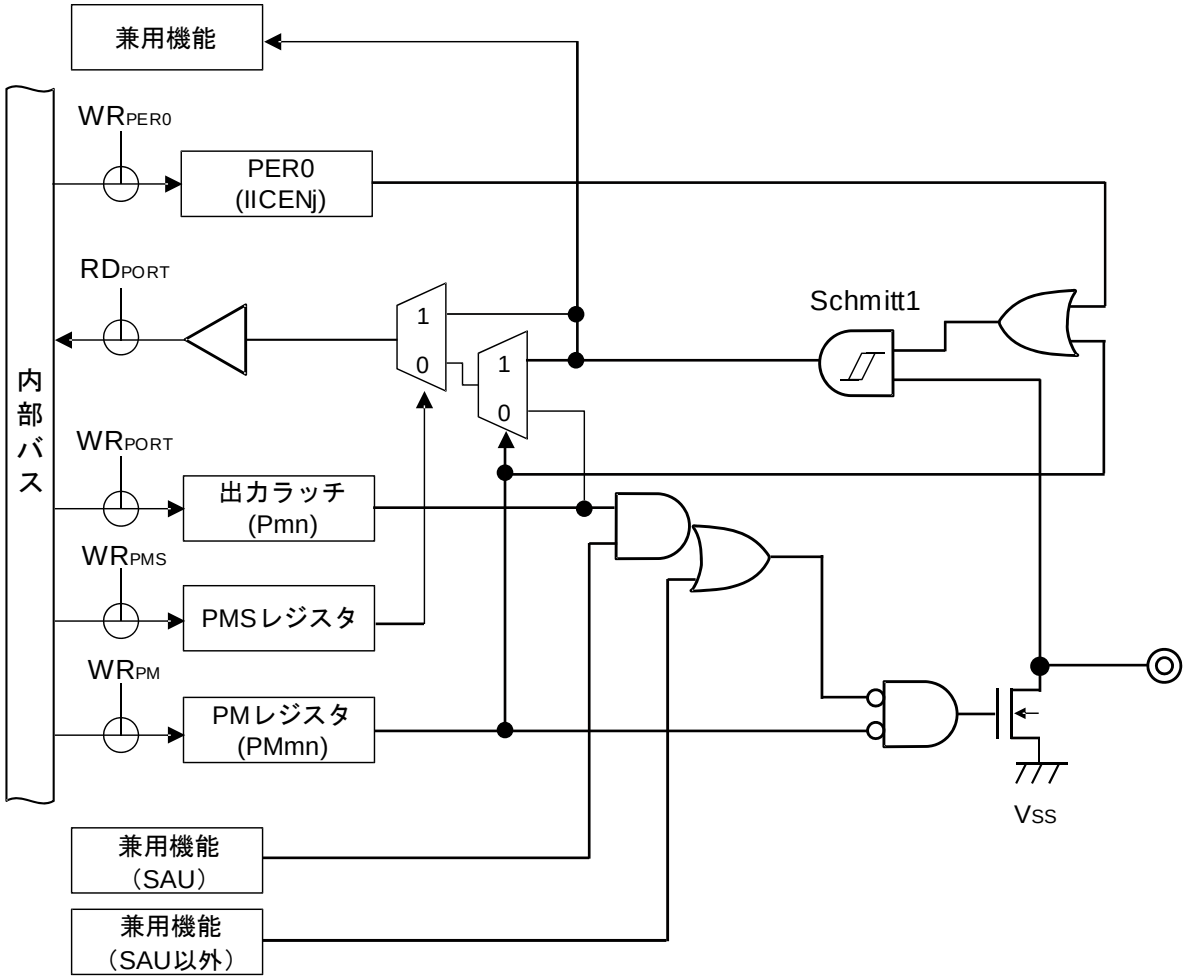

**注意1.** **ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。**

**2.** **ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し，ハイ・レベルを入力している場合，TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには，ロウ・レベルを入力してください。**

**備考1.** 兼用機能は，**2. 1 ポート機能**を参照してください。

**2.** SAU：シリアル・アレイ・ユニット

図2－17 端子タイプ 12-1-3 の端子ブロック図




**備考1.** 兼用機能は，**2. 1 ポート機能**を参照してください。

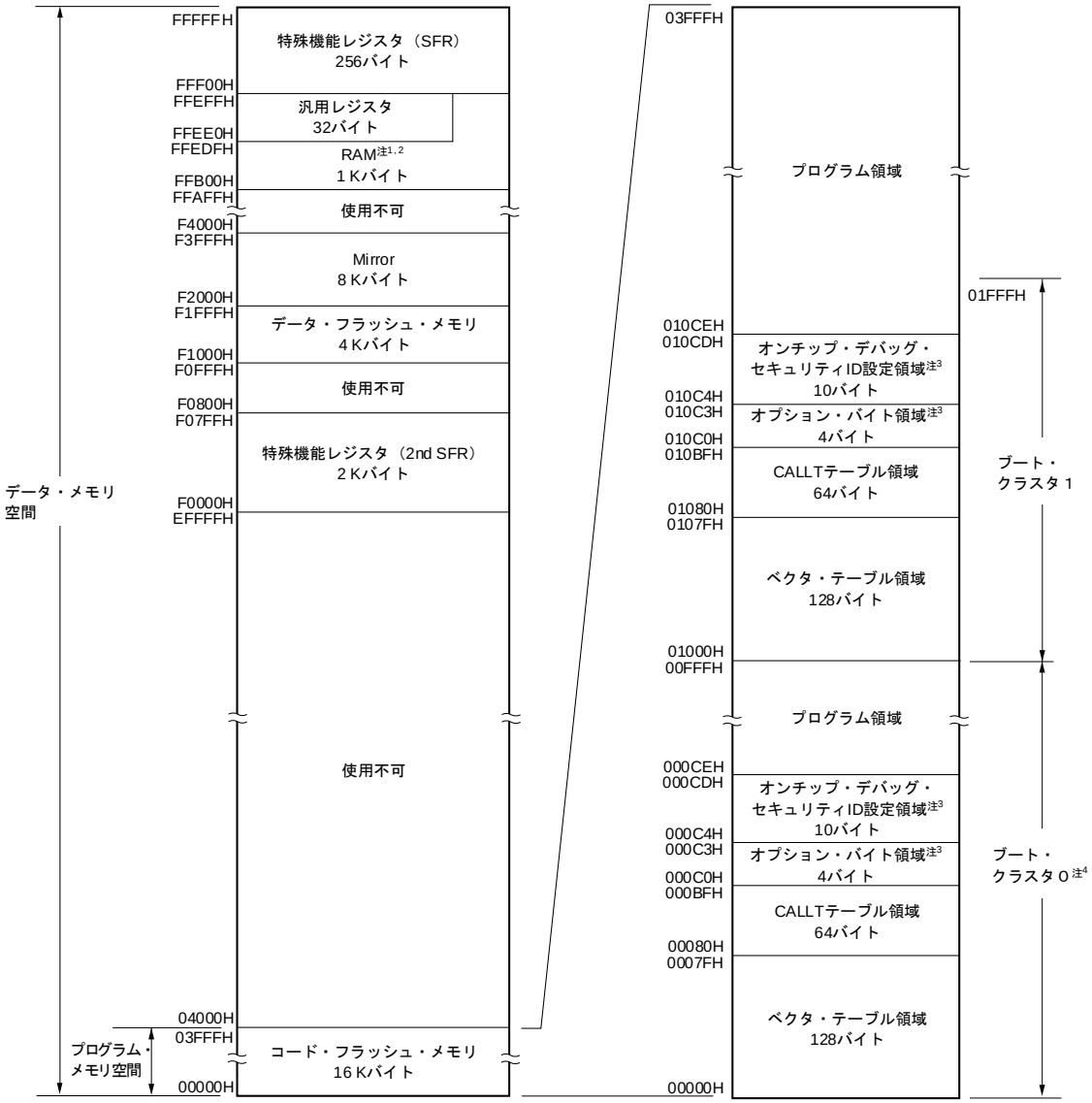
**2.** SAU：シリアル・アレイ・ユニット

# 第3章　CPUアーキテクチャ

## 3. 1　メモリ空間

RL78/L13は，１Mバイトのメモリ空間をアクセスできます。図3－1～図3－6に，メモリ・マップを示します。

図3－1 メモリ・マップ（R5F10WLA, R5F10WMA）




**注1.** セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

**2.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

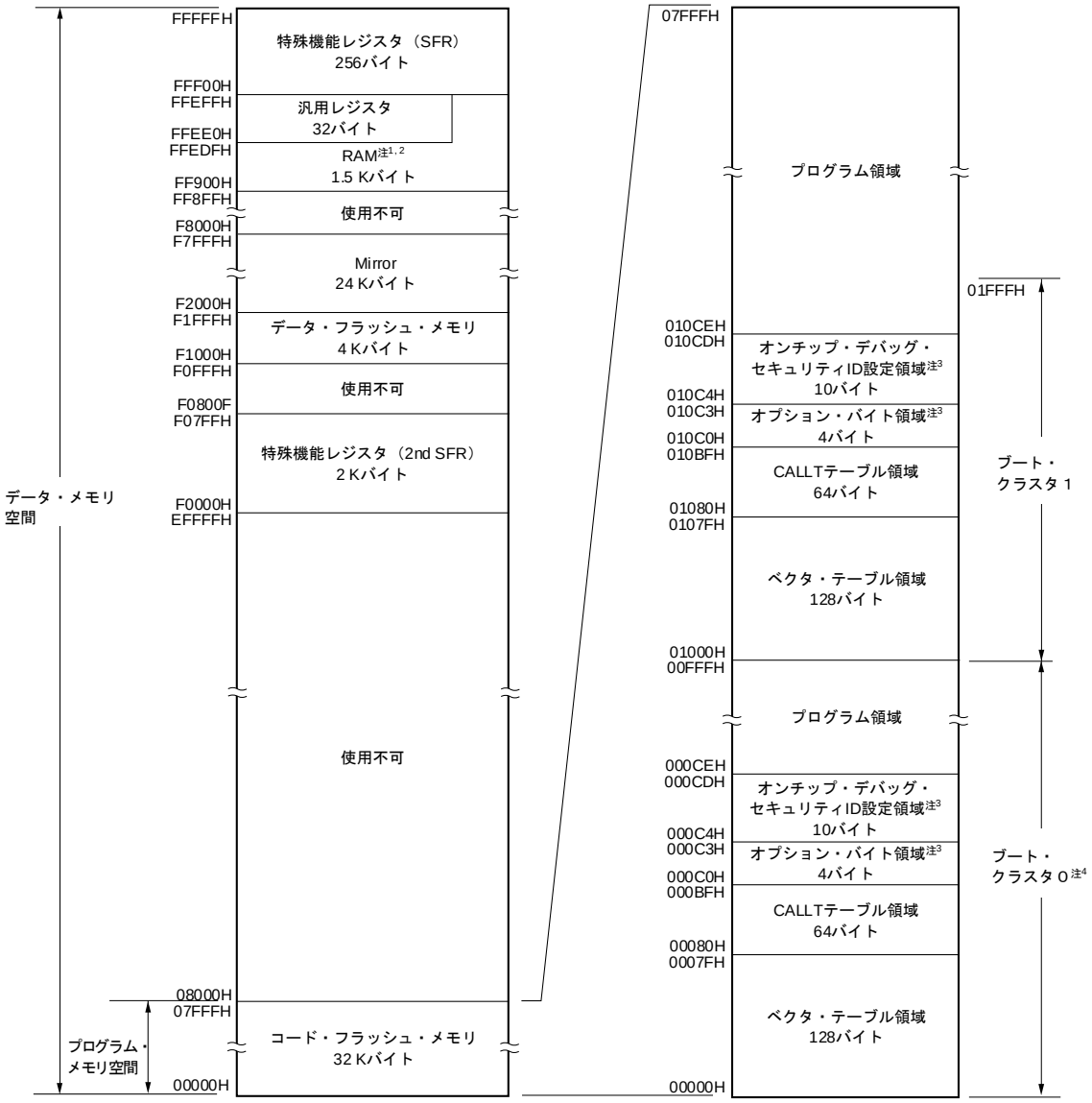
**3.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

**4.** セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**28. 7　セキュリティ設定**を参照）。

**注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

図3－2 メモリ・マップ（R5F10WLC, R5F10WMC）




**注1.** セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

**2.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

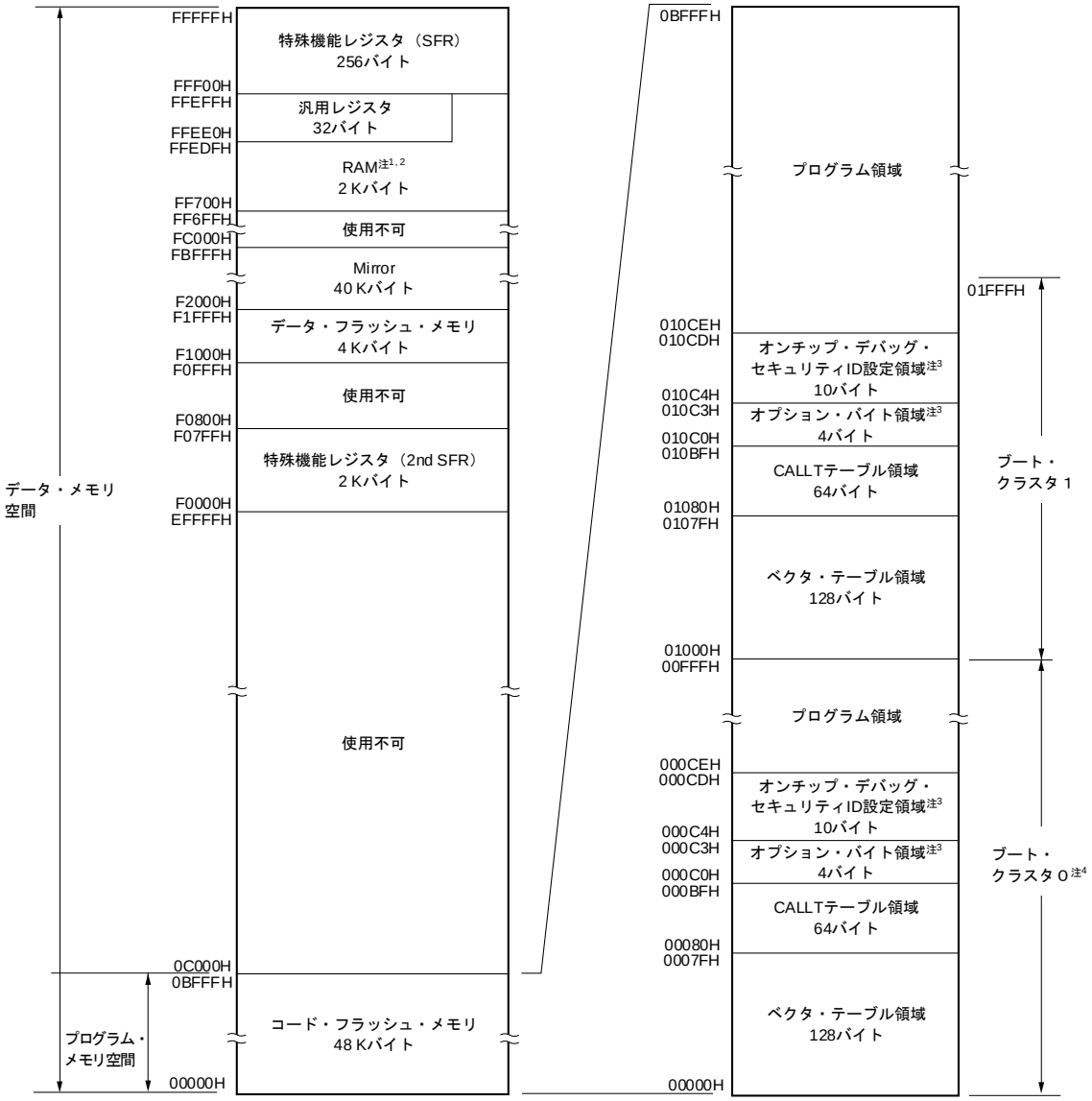
**3.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

**4.** セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**28. 7　セキュリティ設定**を参照）。

**注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

図3－3 メモリ・マップ（R5F10WLD, R5F10WMD）




**注1.** セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

**2.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

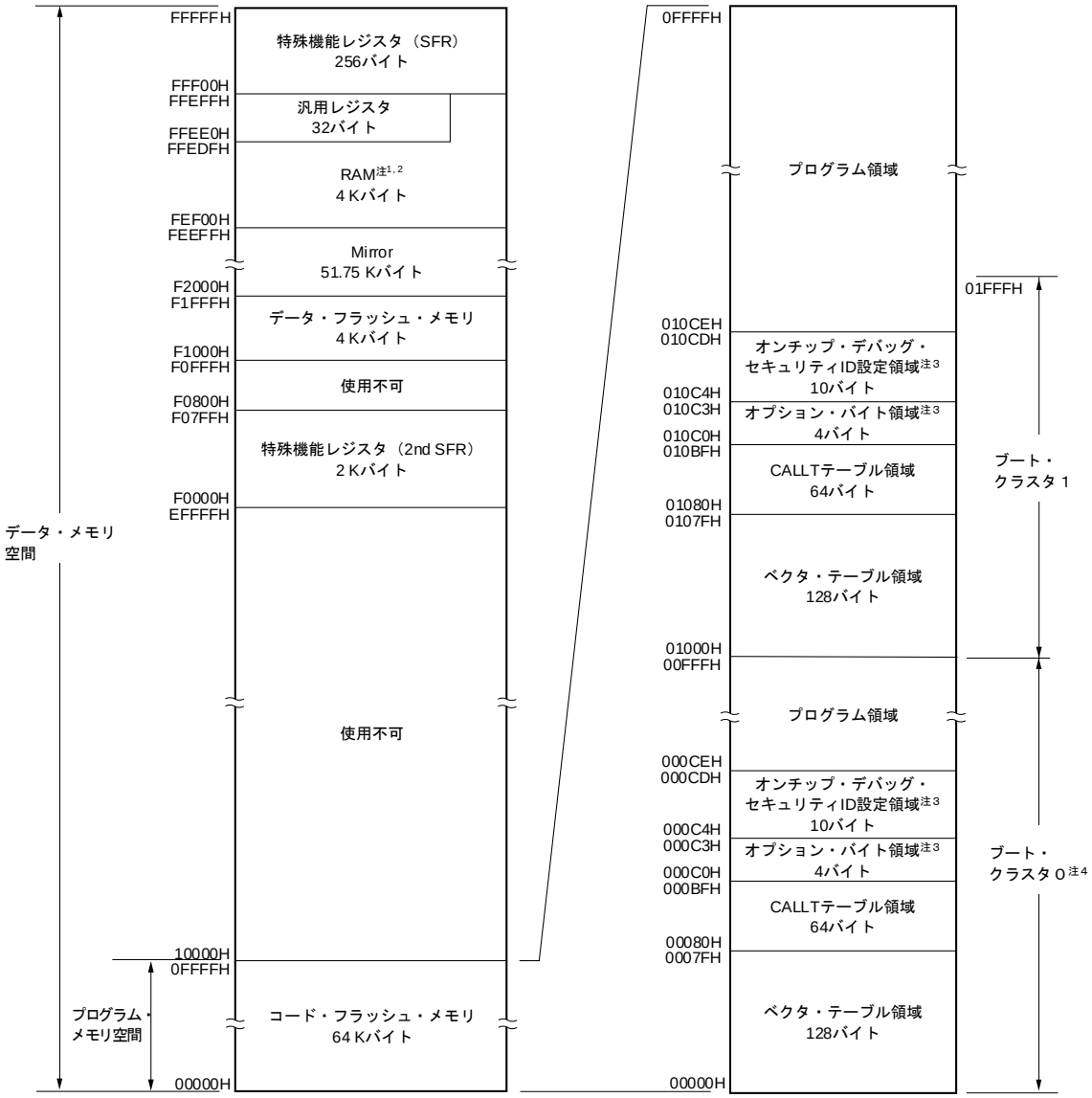
**3.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

**4.** セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**28. 7　セキュリティ設定**を参照）。

**注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

図3−4 メモリ・マップ（R5F10WLE, R5F10WME）




**注1.** セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

**2.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

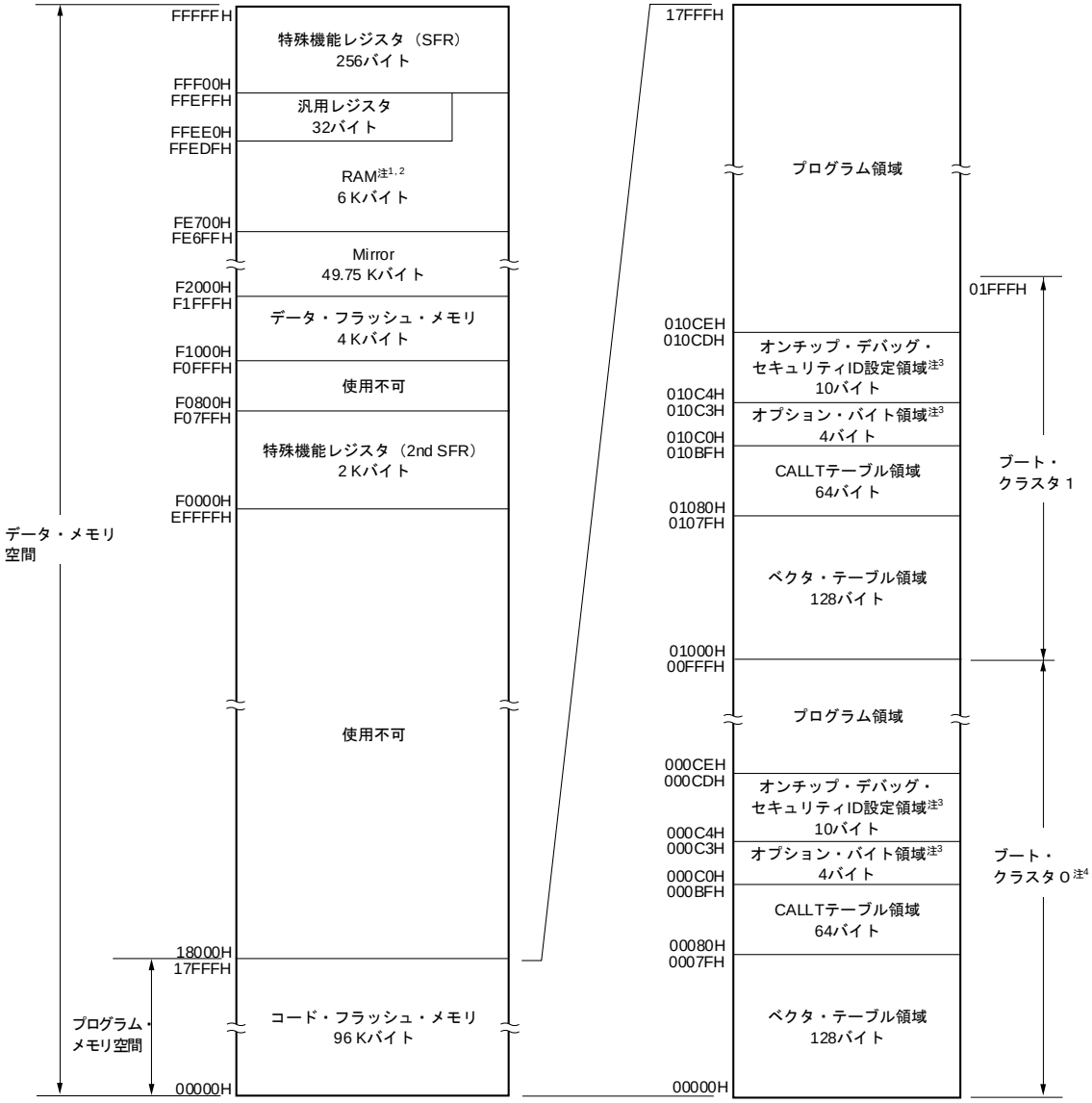
**3.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

**4.** セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**28. 7　セキュリティ設定**を参照）。

**注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

図3－5 メモリ・マップ（R5F10WLF, R5F10WMF）




**注1.** セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

**2.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

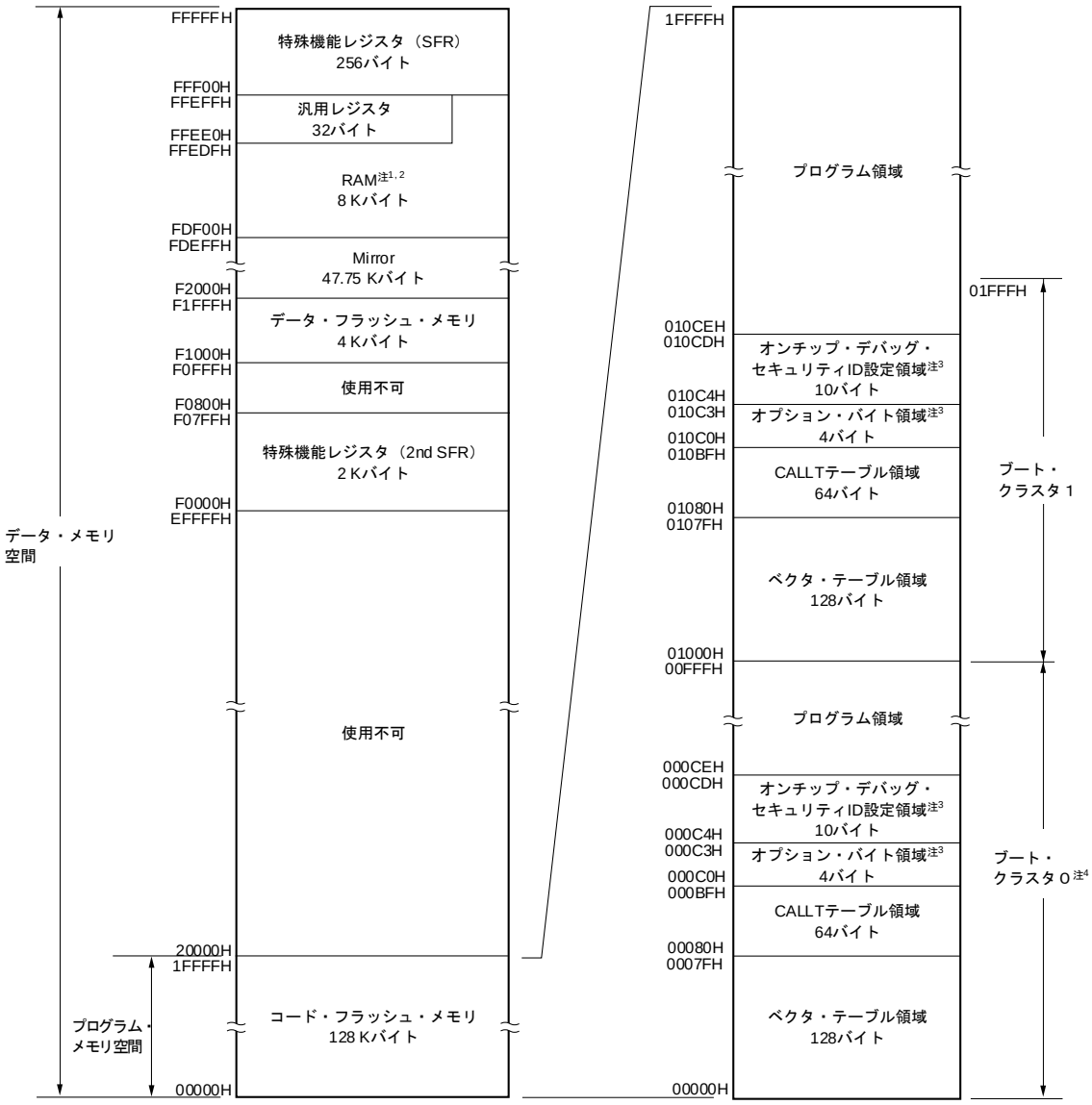
**3.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

**4.** セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**28. 7　セキュリティ設定**を参照）。

**注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

図3－6 メモリ・マップ（R5F10WLG, R5F10WMG）




**注1.** セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合，スタック，フラッシュ・ライブラリで使用するデータ・バッファ，ライブラリ関数の引数，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

**2.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

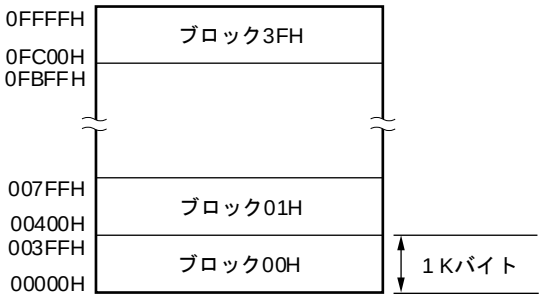
**3.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

**4.** セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（**28. 7　セキュリティ設定**を参照）。

**注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

**備考**　フラッシュ・メモリはブロックごとに分かれています（1ブロック ＝1 Kバイト）。アドレス値とブロック番号については，表3−1　フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。




（R5F10WLE, R5F10WMEの場合）

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3−1 フラッシュ・メモリのアドレス値とブロック番号の対応

| アドレス値 | ブロック番号 | アドレス値 | ブロック番号 | アドレス値 | ブロック番号 | アドレス値 | ブロック番号 |
|---|---|---|---|---|---|---|---|
| 00000H-003FFH | 00H | 08000H-083FFH | 20H | 10000H-103FFH | 40H | 18000H-183FFH | 60H |
| 00400H-007FFH | 01H | 08400H-087FFH | 21H | 10400H-107FFH | 41H | 18400H-187FFH | 61H |
| 00800H-00BFFH | 02H | 08800H-08BFFH | 22H | 10800H-10BFFH | 42H | 18800H-18BFFH | 62H |
| 00C00H-00FFFH | 03H | 08C00H-08FFFH | 23H | 10C00H-10FFFH | 43H | 18C00H-18FFFH | 63H |
| 01000H-013FFH | 04H | 09000H-093FFH | 24H | 11000H-113FFH | 44H | 19000H-193FFH | 64H |
| 01400H-017FFH | 05H | 09400H-097FFH | 25H | 11400H-117FFH | 45H | 19400H-197FFH | 65H |
| 01800H-01BFFH | 06H | 09800H-09BFFH | 26H | 11800H-11BFFH | 46H | 19800H-19BFFH | 66H |
| 01C00H-01FFFH | 07H | 09C00H-09FFFH | 27H | 11C00H-11FFFH | 47H | 19C00H-19FFFH | 67H |
| 02000H-023FFH | 08H | 0A000H-0A3FFH | 28H | 12000H-123FFH | 48H | 1A000H-1A3FFH | 68H |
| 02400H-027FFH | 09H | 0A400H-0A7FFH | 29H | 12400H-127FFH | 49H | 1A400H-1A7FFH | 69H |
| 02800H-02BFFH | 0AH | 0A800H-0ABFFH | 2AH | 12800H-12BFFH | 4AH | 1A800H-1ABFFH | 6AH |
| 02C00H-02FFFH | 0BH | 0AC00H-0AFFFH | 2BH | 12C00H-12FFFH | 4BH | 1AC00H-1AFFFH | 6BH |
| 03000H-033FFH | 0CH | 0B000H-0B3FFH | 2CH | 13000H-133FFH | 4CH | 1B000H-1B3FFH | 6CH |
| 03400H-037FFH | 0DH | 0B400H-0B7FFH | 2DH | 13400H-137FFH | 4DH | 1B400H-1B7FFH | 6DH |
| 03800H-03BFFH | 0EH | 0B800H-0BBFFH | 2EH | 13800H-13BFFH | 4EH | 1B800H-1BBFFH | 6EH |
| 03C00H-03FFFH | 0FH | 0BC00H-0BFFFH | 2FH | 13C00H-13FFFH | 4FH | 1BC00H-1BFFFH | 6FH |
| 04000H-043FFH | 10H | 0C000H-0C3FFH | 30H | 14000H-143FFH | 50H | 1C000H-1C3FFH | 70H |
| 04400H-047FFH | 11H | 0C400H-0C7FFH | 31H | 14400H-147FFH | 51H | 1C400H-1C7FFH | 71H |
| 04800H-04BFFH | 12H | 0C800H-0CBFFH | 32H | 14800H-14BFFH | 52H | 1C800H-1CBFFH | 72H |
| 04C00H-04FFFH | 13H | 0CC00H-0CFFFH | 33H | 14C00H-14FFFH | 53H | 1CC00H-1CFFFH | 73H |
| 05000H-053FFH | 14H | 0D000H-0D3FFH | 34H | 15000H-153FFH | 54H | 1D000H-1D3FFH | 74H |
| 05400H-057FFH | 15H | 0D400H-0D7FFH | 35H | 15400H-157FFH | 55H | 1D400H-1D7FFH | 75H |
| 05800H-05BFFH | 16H | 0D800H-0DBFFH | 36H | 15800H-15BFFH | 56H | 1D800H-1DBFFH | 76H |
| 05C00H-05FFFH | 17H | 0DC00H-0DFFFH | 37H | 15C00H-15FFFH | 57H | 1DC00H-1DFFFH | 77H |
| 06000H-063FFH | 18H | 0E000H-0E3FFH | 38H | 16000H-163FFH | 58H | 1E000H-1E3FFH | 78H |
| 06400H-067FFH | 19H | 0E400H-0E7FFH | 39H | 16400H-167FFH | 59H | 1E400H-1E7FFH | 79H |
| 06800H-06BFFH | 1AH | 0E800H-0EBFFH | 3AH | 16800H-16BFFH | 5AH | 1E800H-1EBFFH | 7AH |
| 06C00H-06FFFH | 1BH | 0EC00H-0EFFFH | 3BH | 16C00H-16FFFH | 5BH | 1EC00H-1EFFFH | 7BH |
| 07000H-073FFH | 1CH | 0F000H-0F3FFH | 3CH | 17000H-173FFH | 5CH | 1F000H-1F3FFH | 7CH |
| 07400H-077FFH | 1DH | 0F400H-0F7FFH | 3DH | 17400H-177FFH | 5DH | 1F400H-1F7FFH | 7DH |
| 07800H-07BFFH | 1EH | 0F800H-0FBFFH | 3EH | 17800H-17BFFH | 5EH | 1F800H-1FBFFH | 7EH |
| 07C00H-07FFFH | 1FH | 0FC00H-0FFFFH | 3FH | 17C00H-17FFFH | 5FH | 1FC00H-1FFFFH | 7FH |

**備考** R5F10WLA, R5F10WMA : ブロック番号00H-0FH
R5F10WLC, R5F10WMC : ブロック番号00H-1FH
R5F10WLD, R5F10WMD : ブロック番号00H-2FH
R5F10WLE, R5F10WME : ブロック番号00H-3FH
R5F10WLF, R5F10WMF : ブロック番号00H-5FH
R5F10WLG, R5F10WMG : ブロック番号00H-7FH

### 3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/L13は，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－2　内部ROM容量

| 製　　品 | 内部ROM | |
|---|---|---|
| | 構　　造 | 容　　量 |
| R5F10WLA, R5F10WMA | フラッシュ・メモリ | 16384×8ビット（00000H-03FFFH） |
| R5F10WLC, R5F10WMC | | 32768×8ビット（00000H-07FFFH） |
| R5F10WLD, R5F10WMD | | 49152×8ビット（00000H-0BFFFH） |
| R5F10WLE, R5F10WME | | 65536×8ビット（00000H-0FFFFH） |
| R5F10WLF, R5F10WMF | | 98304×8ビット（00000H-17FFFH） |
| R5F10WLG, R5F10WMG | | 131072×8ビット（00000H-1FFFFH） |

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトとしているため，割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット･アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には，01000H-0107FHにもベクタ・テーブルを設定してください。

表3－3　ベクタ・テーブル（1/2）

| ベクタ・テーブル・アドレス | 割り込み要因 | 80ピン | 64ピン |
|---|---|---|---|
| 00000H | RESET, POR, LVD, WDT, TRAP, IAW, RPE | ○ | ○ |
| 00004H | INTWDTI | ○ | ○ |
| 00006H | INTLVI | ○ | ○ |
| 00008H | INTP0 | ○ | ○ |
| 0000AH | INTP1 | ○ | ○ |
| 0000CH | INTP2 | ○ | ○ |
| 0000EH | INTP3 | ○ | ○ |
| 00010H | INTP4 | ○ | ○ |
| 00012H | INTP5 | ○ | ○ |
| 00014H | INTST2 | ○ | ○ |
| 00016H | INTSR2 | ○ | ○ |
| 00018H | INTSRE2 | ○ | ○ |
| 0001AH | INTDMA0 | ○ | ○ |
| 0001CH | INTDMA1 | ○ | ○ |
| 0001EH | INTST0/INTCSI00/INTIIC00 | ○ | ○ |
| 00020H | INTTM00 | ○ | ○ |
| 00022H | INTSR0 | ○ | ○ |
| 00024H | INTSRE0 | ○ | ○ |
|  | INTTM01H | ○ | ○ |
| 00026H | INTST1/INTCSI10/INTIIC10 | ○ | ○ |
| 00028H | INTSR1 | ○ | ○ |
| 0002AH | INTSRE1 | ○ | ○ |
|  | INTTM03H | ○ | ○ |
| 0002CH | INTIICA0 | ○ | ○ |
| 0002EH | INTRTIT | ○ | ○ |
| 00032H | INTTM01 | ○ | ○ |
| 00034H | INTTM02 | ○ | ○ |
| 00036H | INTTM03 | ○ | ○ |
| 00038H | INTAD | ○ | ○ |
| 0003AH | INTRTC | ○ | ○ |
| 0003CH | INTIT | ○ | ○ |
| 0003EH | INTKR | ○ | ○ |
| 00040H | INTST3 | ○ | － |
| 00042H | INTSR3 | ○ | － |
| 00044H | INTTKB20 | ○ | ○ |

表3－3　ベクタ・テーブル（2/2）

| ベクタ・テーブル・アドレス | 割り込み要因 | 80ピン | 64ピン |
|---|---|---|---|
| 00046H | INTTM04 | ○ | ○ |
| 00048H | INTTM05 | ○ | ○ |
| 0004AH | INTP6 | ○ | ○ |
| 0004CH | INTP7 | ○ | ○ |
| 00050H | INTCMP0 | ○ | ○ |
| 00052H | INTCMP1 | ○ | ○ |
| 00054H | INTTM06 | ○ | ○ |
| 00056H | INTTM07 | ○ | ○ |
| 0005CH | INTSRE3 | ○ | － |
| 0005EH | INTMD | ○ | ○ |
| 00062H | INTFL | ○ | ○ |
| 00064H | INTDMA2 | ○ | ○ |
| 00066H | INTDMA3 | ○ | ○ |
| 0007EH | BRK | ○ | ○ |

（2）CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には，01080H-010BFHにもCALLT命令テーブルを設定してください。

（3）オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は**第27章　オプション・バイト**を参照してください。

（4）オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH，010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに，ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は**第29章　オンチップ・デバッグ機能**を参照してください。

### 3. 1. 2　ミラー領域

RL78/L13では，00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーしています。フラッシュ・メモリが96 KB以上の製品では，00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーしています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

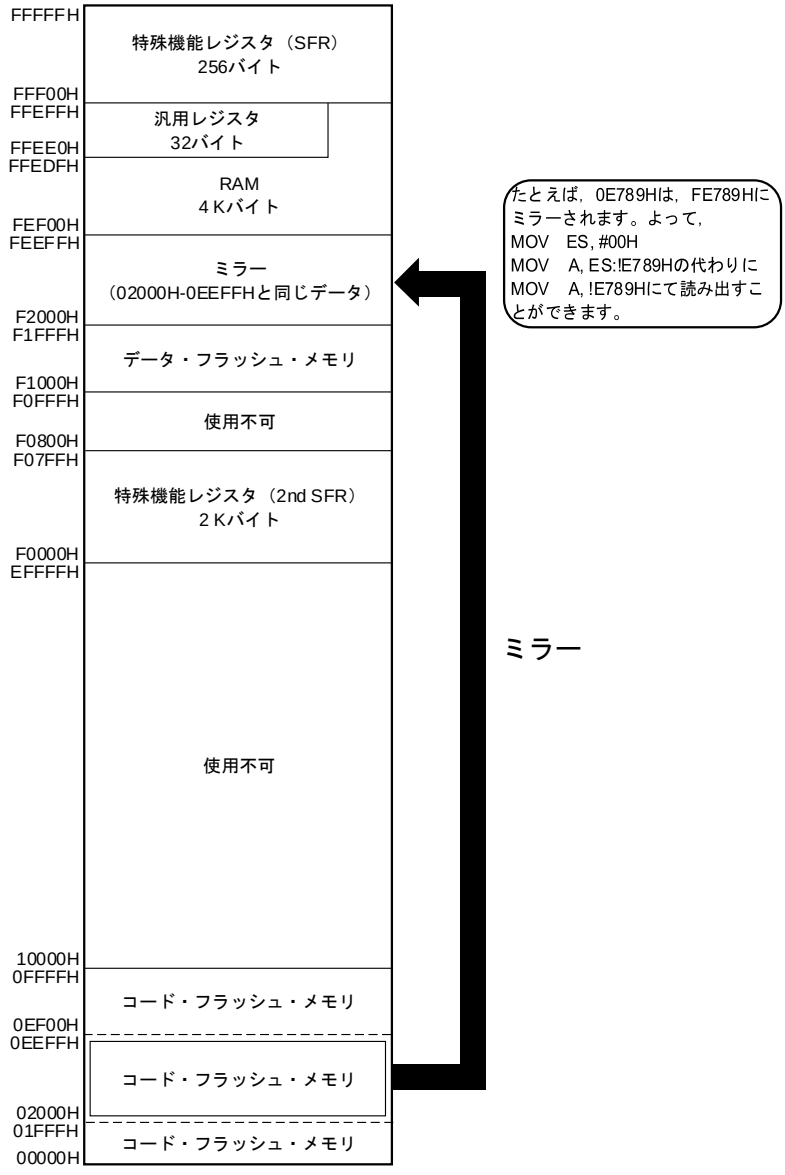
ミラー先のF0000H-FFFFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，SFR，拡張SFR，RAM領域，データ・フラッシュ・メモリ領域，使用不可領域にはミラーされません。

各製品のミラー領域は，**3. 1　メモリ空間**を参照してください。

ミラー領域は読み出しのみ可能で，命令フェッチはできません。

次に例を示します。

例　R5F10WLE, R5F10WME（フラッシュ・メモリ 64 Kバイト，RAM 4 Kバイト）の場合




次に，PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ（PMC）

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図3－7　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PMC | 0 | 0 | 0 | 0 | 0 | 0 | 0 | MAA |

| MAA | F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定 |
|---|---|
| 0 | 00000H-0FFFFHをF0000H-FFFFFHへミラー |
| 1 | 10000H-1FFFFHをF0000H-FFFFFHへミラー注 |

**注**　フラッシュ・メモリが64 KB以下の製品は設定禁止です。

**注意1.　フラッシュ・メモリが64 KB以下の製品の場合は，必ずビット0（MAA）を0（初期値）でご使用ください。**

**2.　PMCレジスタの設定後，1命令以上空けてミラー領域にアクセスしてください。**

### 3. 1. 3　内部データ・メモリ空間

RL78/L13は，次に示すRAMを内蔵しています。

表3－4　内部RAM容量

| 製　　品 | 内部RAM |
|---|---|
| R5F10WLA, R5F10WMA | 1024×8ビット（FFB00H-FFEFFH） |
| R5F10WLC, R5F10WMC | 1536×8ビット（FF900H-FFEFFH） |
| R5F10WLD, R5F10WMD | 2048×8ビット（FF700H-FFEFFH） |
| R5F10WLE, R5F10WME | 4096×8ビット（FEF00H-FFEFFH） |
| R5F10WLF, R5F10WMF | 6144×8ビット（FE700H-FFEFFH） |
| R5F10WLG, R5F10WMG | 8192×8ビット（FDF00H-FFEFFH） |

内部RAMは，データ領域として使用できるほか，プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。汎用レジスタでは命令実行できません。

また，スタック・メモリは内部RAMを使用します。

**注意1.　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は，命令フェッチやスタックの領域に使用できません。**

**2.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。**

**3.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品のRAM 領域は，各ライブラリで使用するため使用禁止になります。**

**R5F10WLG, R5F10WMG　：FDF00H-FE309H**

### 3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（**3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）**の表3－5参照）。

**注意　SFRが割り付けられていないアドレスにアクセスしないでください。**

### 3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（**3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）**の表3－6参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

**注意　拡張SFRが割り付けられていないアドレスにアクセスしないでください。**

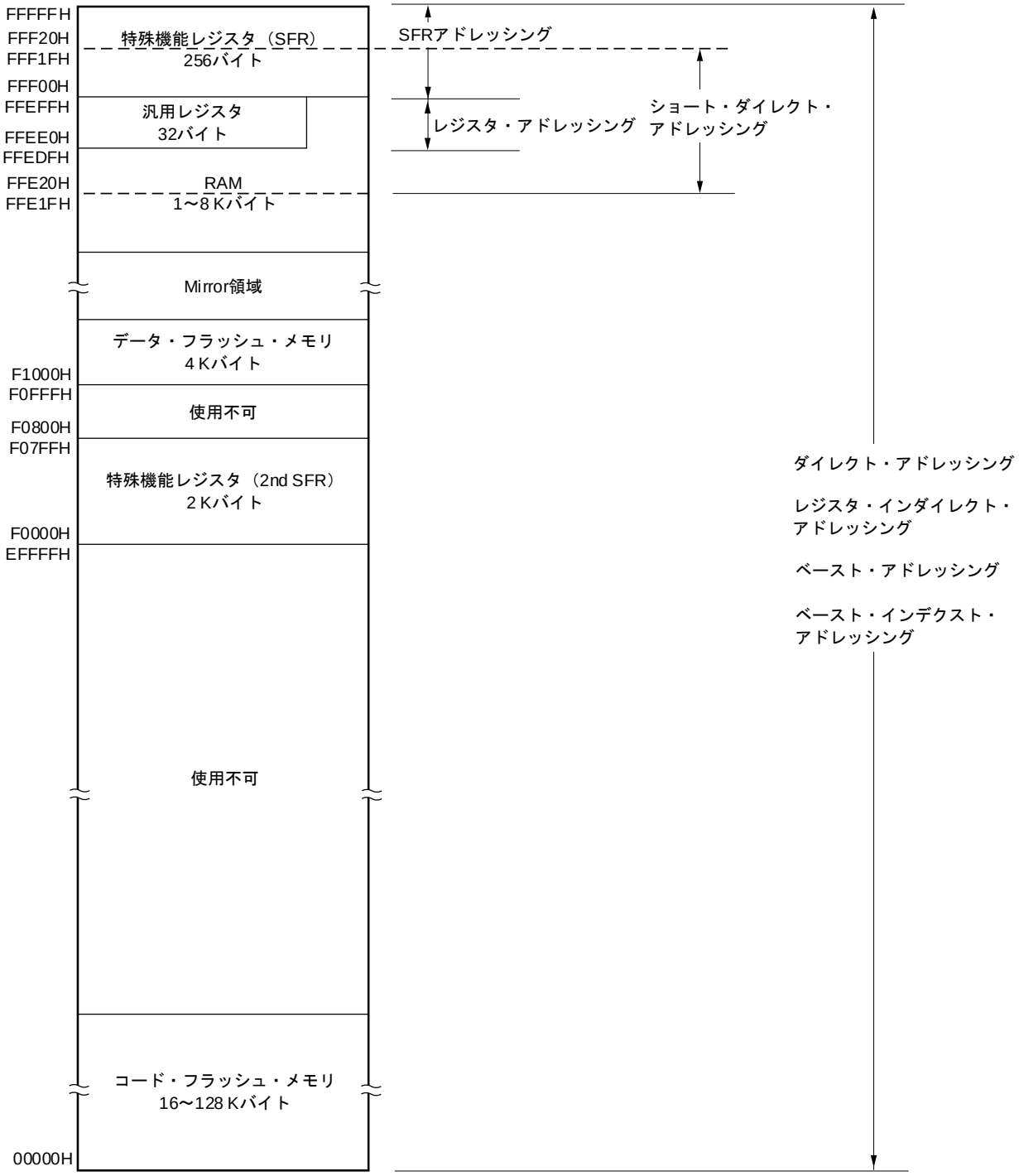
### 3. 1. 6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/L13では，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3－8にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については，「**3. 4　処理データ・アドレスに対するアドレッシング**」を参照してください。

図3－8　データ・メモリとアドレッシングの対応



# 3. 2　プロセッサ・レジスタ

RL78/L13は，次のプロセッサ・レジスタを内蔵しています。

## 3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

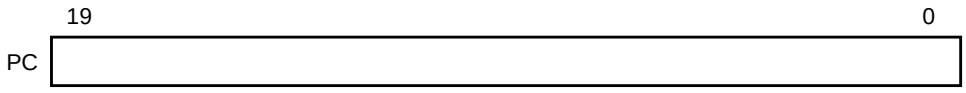
（1）プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3－9　プログラム・カウンタの構成




（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3－10　プログラム・ステータス・ワードの構成

| | 7 | | | | | | | 0 |
|---|---|---|---|---|---|---|---|---|
| PSW | IE | Z | RBS1 | AC | RBS0 | ISP1 | ISP0 | CY |

（a）割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1，ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

（b）ゼロ・フラグ（Z）

演算結果がゼロまたは等しいときセット（1）され，それ以外のときにリセット（0）されるフラグです。

（c）レジスタ・バンク選択フラグ（RBS0, RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

（d）補助キャリー・フラグ（AC）

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

（e）インサービス・プライオリティ・フラグ（ISP1, ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L）（**19. 3. 3**参照）でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際にベクタ割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

**備考**　n = 0, 1

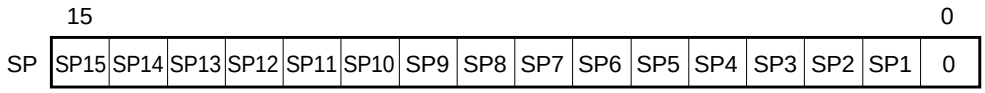
（f）キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

（3）スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3－11　スタック・ポインタの構成




スタック・ポインタを用いたスタック・アドレッシングでは，スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

**注意1.　SPの内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。**

**2.　汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。**

**3.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。**

**4.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品のRAM 領域は，各ライブラリで使用するため使用禁止になります。**

**R5F10WLG, R5F10WMG　：FDF00H-FE309H**

### 3. 2. 2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

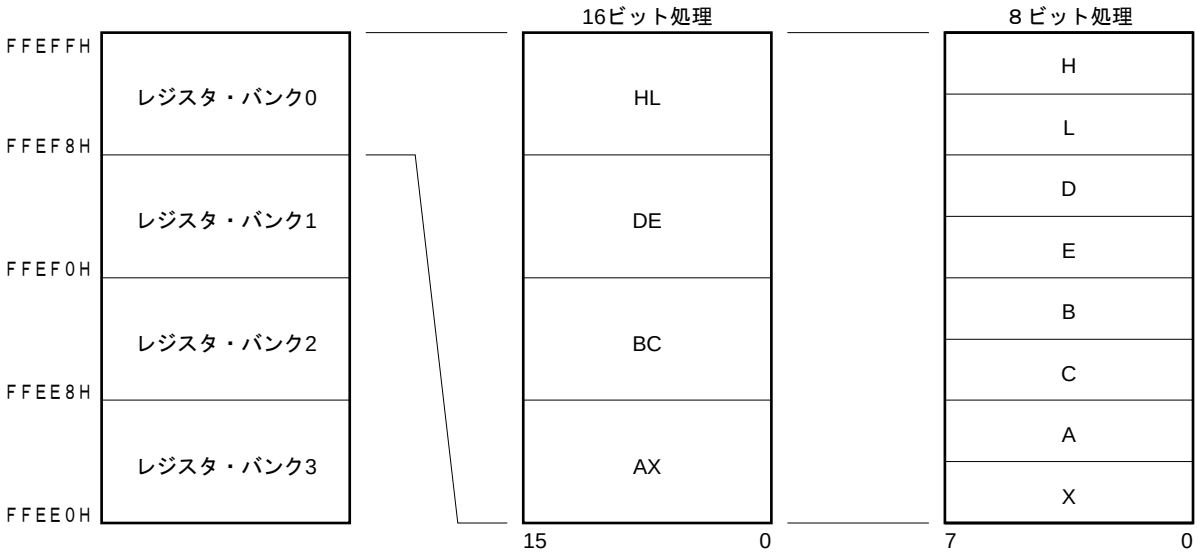
各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み時で使用するレジスタをバンク切り替えすれば，効率のよいプログラムを作成できます。

**注意　汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。**

図3－12　汎用レジスタの構成

（a）機能名称



### 3. 2. 3　ES, CSレジスタ

ESレジスタでデータ・アクセス，CSレジスタで(レジスタ・ダイレクト・アドレッシング）分岐命令実行時の，それぞれ上位アドレスを指定できます。

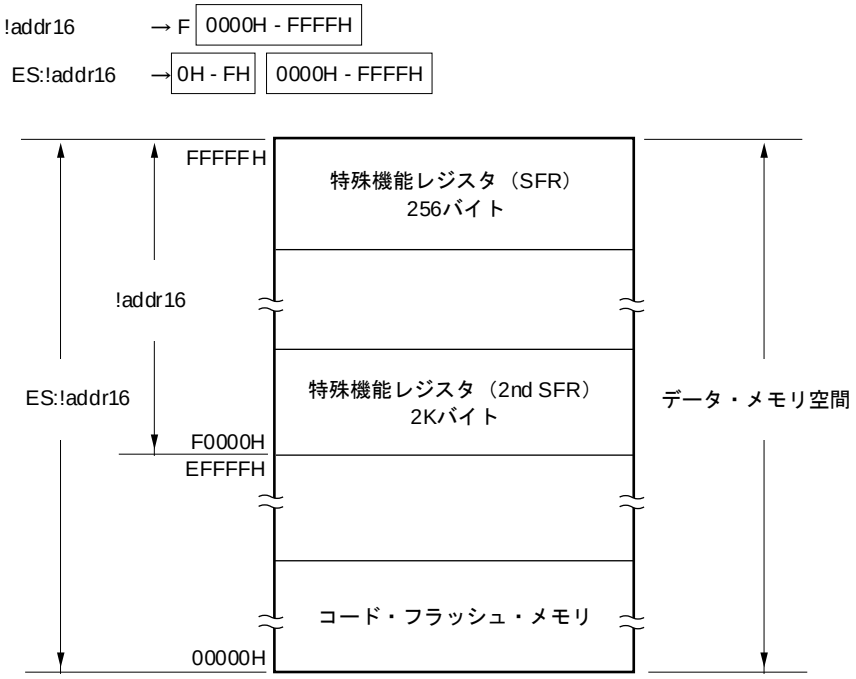
ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

図3－13　ES/CSレジスタの構成

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ES | 0 | 0 | 0 | 0 | ES3 | ES2 | ES1 | ES0 |
| CS | 0 | 0 | 0 | 0 | CS3 | CS2 | CS1 | CS0 |

16ビット・アドレスでアクセスできるデータ領域は，F0000H-FFFFFHの64 Kバイト空間ですが，ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3－14　データ・アクセス領域の拡張



### 3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（sfr.bit）には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

・8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W　：読み出し／書き込みがともに可能

R　：読み出しのみ可能

W　：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

**注意　SFRが割り付けられていないアドレスにアクセスしないでください。**

**備考**　拡張SFR（2nd SFR）については，**3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）**を参照してください。

表3−5 SFR一覧（1/5）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FFF00H | ポート・レジスタ0 | P0 | | R/W | ○ | ○ | − | 00H |
| FFF01H | ポート・レジスタ1 | P1 | | R/W | ○ | ○ | − | 00H |
| FFF02H | ポート・レジスタ2 | P2 | | R/W | ○ | ○ | − | 00H |
| FFF03H | ポート・レジスタ3 | P3 | | R/W | ○ | ○ | − | 00H |
| FFF04H | ポート・レジスタ4 | P4 | | R/W | ○ | ○ | − | 00H |
| FFF05H | ポート・レジスタ5 | P5 | | R/W | ○ | ○ | − | 00H |
| FFF06H | ポート・レジスタ6 | P6 | | R/W | ○ | ○ | − | 00H |
| FFF07H | ポート・レジスタ7 | P7 | | R/W | ○ | ○ | − | 00H |
| FFF0CH | ポート・レジスタ12 | P12 | | R/W | ○ | ○ | − | 不定 |
| FFF0DH | ポート・レジスタ13 | P13 | | R/W | ○ | ○ | − | 不定 |
| FFF10H | シリアル・データ・レジスタ00 | TXD0/SIO00 | SDR00 | R/W | − | ○ | ○ | 0000H |
| FFF11H | | − | | | − | − | | |
| FFF12H | シリアル・データ・レジスタ01 | RXD0 | SDR01 | R/W | − | ○ | ○ | 0000H |
| FFF13H | | − | | | − | − | | |
| FFF14H | シリアル・データ・レジスタ12 | TXD3 | SDR12 | R/W | − | ○ | ○ | 0000H |
| FFF15H | | − | | | − | − | | |
| FFF16H | シリアル・データ・レジスタ13 | RXD3 | SDR13 | R/W | − | ○ | ○ | 0000H |
| FFF17H | | − | | | − | − | | |
| FFF18H | タイマ・データ・レジスタ00 | TDR00 | | R/W | − | − | ○ | 0000H |
| FFF19H | | | | | | | | |
| FFF1AH | タイマ・データ・レジスタ01 | TDR01L | TDR01 | R/W | − | ○ | ○ | 00H |
| FFF1BH | | TDR01H | | | − | ○ | | 00H |
| FFF1EH | 10ビットA/D変換結果レジスタ | ADCR | | R | − | − | ○ | 0000H |
| FFF1FH | 8ビットA/D変換結果レジスタ | ADCRH | | R | − | ○ | − | 00H |
| FFF20H | ポート・モード・レジスタ0 | PM0 | | R/W | ○ | ○ | − | FFH |
| FFF21H | ポート・モード・レジスタ1 | PM1 | | R/W | ○ | ○ | − | FFH |
| FFF22H | ポート・モード・レジスタ2 | PM2 | | R/W | ○ | ○ | − | FFH |
| FFF23H | ポート・モード・レジスタ3 | PM3 | | R/W | ○ | ○ | − | FFH |
| FFF24H | ポート・モード・レジスタ4 | PM4 | | R/W | ○ | ○ | − | FFH |
| FFF25H | ポート・モード・レジスタ5 | PM5 | | R/W | ○ | ○ | − | FFH |
| FFF26H | ポート・モード・レジスタ6 | PM6 | | R/W | ○ | ○ | − | FFH |
| FFF27H | ポート・モード・レジスタ7 | PM7 | | R/W | ○ | ○ | − | FFH |
| FFF2CH | ポート・モード・レジスタ12 | PM12 | | R/W | ○ | ○ | − | FFH |
| FFF2DH | ポート・モード・レジスタ13 | PM13 | | R/W | ○ | ○ | − | FFH |
| FFF30H | A/Dコンバータ・モード・レジスタ0 | ADM0 | | R/W | ○ | ○ | − | 00H |
| FFF31H | アナログ入力チャネル指定レジスタ | ADS | | R/W | ○ | ○ | − | 00H |
| FFF32H | A/Dコンバータ・モード・レジスタ1 | ADM1 | | R/W | ○ | ○ | − | 00H |

表3－5 SFR一覧（2/5）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FFF34H | キー・リターン・コントロール・レジスタ | KRCTL | | R/W | ○ | ○ | － | 00H |
| FFF35H | キー・リターン・フラグ・レジスタ | KRF | | R/W | ○ | ○ | － | 00H |
| FFF37H | キー・リターン・モード・レジスタ | KRM0 | | R/W | ○ | ○ | － | 00H |
| FFF38H | 外部割り込み立ち上がりエッジ許可レジスタ0 | EGP0 | | R/W | ○ | ○ | － | 00H |
| FFF39H | 外部割り込み立ち下がりエッジ許可レジスタ0 | EGN0 | | R/W | ○ | ○ | － | 00H |
| FFF40H | LCDモード・レジスタ0 | LCDM0 | | R/W | － | ○ | － | 00H |
| FFF41H | LCDモード・レジスタ1 | LCDM1 | | R/W | ○ | ○ | － | 00H |
| FFF42H | LCDクロック制御レジスタ0 | LCDC0 | | R/W | － | ○ | － | 00H |
| FFF43H | LCD昇圧レベル制御レジスタ | VLCD | | R/W | － | ○ | － | 04H |
| FFF44H | シリアル・データ・レジスタ02 | TXD1/SIO10 | SDR02 | R/W | － | ○ | ○ | 0000H |
| FFF45H | | － | | | － | － | | |
| FFF46H | シリアル・データ・レジスタ03 | RXD1 | SDR03 | R/W | － | ○ | ○ | 0000H |
| FFF47H | | － | | | － | － | | |
| FFF48H | シリアル・データ・レジスタ10 | TXD2 | SDR10 | R/W | － | ○ | ○ | 0000H |
| FFF49H | | － | | | － | － | | |
| FFF4AH | シリアル・データ・レジスタ11 | RXD2 | SDR11 | R/W | － | ○ | ○ | 0000H |
| FFF4BH | | － | | | － | － | | |
| FFF50H | IICAシフト・レジスタ0 | IICA0 | | R/W | － | ○ | － | 00H |
| FFF51H | IICAステータス・レジスタ0 | IICS0 | | R | ○ | ○ | － | 00H |
| FFF52H | IICAフラグ・レジスタ0 | IICF0 | | R/W | ○ | ○ | － | 00H |
| FFF64H | タイマ・データ・レジスタ02 | TDR02 | | R/W | － | － | ○ | 0000H |
| FFF65H | | | | | | | | |
| FFF66H | タイマ・データ・レジスタ03 | TDR03L | TDR03 | R/W | － | ○ | ○ | 00H |
| FFF67H | | TDR03H | | | － | ○ | | 00H |
| FFF68H | タイマ・データ・レジスタ04 | TDR04 | | R/W | － | － | ○ | 0000H |
| FFF69H | | | | | | | | |
| FFF6AH | タイマ・データ・レジスタ05 | TDR05 | | R/W | － | － | ○ | 0000H |
| FFF6BH | | | | | | | | |
| FFF6CH | タイマ・データ・レジスタ06 | TDR06 | | R/W | － | － | ○ | 0000H |
| FFF6DH | | | | | | | | |
| FFF6EH | タイマ・データ・レジスタ07 | TDR07 | | R/W | － | － | ○ | 0000H |
| FFF6FH | | | | | | | | |

表3−5 SFR一覧（3/5）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFF90H<br>FFF91H | 12ビット・インターバル・タイマ・コントロール・レジスタ | ITMC | R/W | − | − | ○ | 0FFFH |
| FFF92H | 秒カウント・レジスタ | SEC | R/W | − | ○ | − | 不定 |
| FFF93H | 分カウント・レジスタ | MIN | R/W | − | ○ | − | 不定 |
| FFF94H | 時カウント・レジスタ | HOUR | R/W | − | ○ | − | 不定 |
| FFF95H | 曜日カウント・レジスタ | WEEK | R/W | − | ○ | − | 不定 |
| FFF96H | 日カウント・レジスタ | DAY | R/W | − | ○ | − | 不定 |
| FFF97H | 月カウント・レジスタ | MONTH | R/W | − | ○ | − | 不定 |
| FFF98H | 年カウント・レジスタ | YEAR | R/W | − | ○ | − | 不定 |
| FFF9AH | アラーム分レジスタ | ALARMWM | R/W | − | ○ | − | 不定 |
| FFF9BH | アラーム時レジスタ | ALARMWH | R/W | − | ○ | − | 不定 |
| FFF9CH | アラーム曜日レジスタ | ALARMWW | R/W | − | ○ | − | 不定 |
| FFF9DH | リアルタイム・クロック・コントロール・レジスタ0 | RTCC0 | R/W | ○ | ○ | − | 00H注1 |
| FFF9EH | リアルタイム・クロック・コントロール・レジスタ1 | RTCC1 | R/W | ○ | ○ | − | 00H注1 |
| FFFA0H | クロック動作モード制御レジスタ | CMC | R/W | − | ○ | − | 00H注1 |
| FFFA1H | クロック動作ステータス制御レジスタ | CSC | R/W | ○ | ○ | − | C0H注1 |
| FFFA2H | 発振安定時間カウンタ状態レジスタ | OSTC | R | ○ | ○ | − | 00H |
| FFFA3H | 発振安定時間選択レジスタ | OSTS | R/W | − | ○ | − | 07H |
| FFFA4H | システム・クロック制御レジスタ | CKC | R/W | ○ | ○ | − | 00H |
| FFFA5H | クロック出力選択レジスタ0 | CKS0 | R/W | ○ | ○ | − | 00H |
| FFFA6H | クロック出力選択レジスタ1 | CKS1 | R/W | ○ | ○ | − | 00H |
| FFFA8H | リセット・コントロール・フラグ・レジスタ | RESF | R | − | ○ | − | 不定注2 |
| FFFA9H | 電圧検出レジスタ | LVIM | R/W | ○ | ○ | − | 00H注2 |
| FFFAAH | 電圧検出レベル・レジスタ | LVIS | R/W | ○ | ○ | − | 00H/01H/81H注2 |

**注1.** パワーオン・リセットによるリセット時のみ初期化されます。

**2.** リセット要因により，次のように異なります。

| レジスタ ＼ リセット要因 | | RESET入力 | PORによるリセット | 不正命令の実行によるリセット | WDTによるリセット | RAMパリティ・エラーによるリセット | 不正メモリ・アクセスによるリセット | LVDによるリセット |
|---|---|---|---|---|---|---|---|---|
| RESF | TRAP | クリア（0） | | セット（1） | 保持 | | | 保持 |
| | WDTRF | | | 保持 | セット（1） | 保持 | | |
| | RPERF | | | 保持 | | セット（1） | 保持 | |
| | IAWRF | | | 保持 | | | セット（1） | |
| | LVIRF | | | 保持 | | | | セット（1） |
| LVIM | LVISEN | クリア（0） | | | | | | 保持 |
| | LVIOMSK | 保持 | | | | | | |
| | LVIF | | | | | | | |
| LVIS | | クリア(00H/01H/81H) | | | | | | |

表3−5 SFR一覧（4/5）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FFFABH | ウォッチドッグ・タイマ・イネーブル・レジスタ | WDTE | | R/W | − | ○ | − | 1AH/9AH 注 |
| FFFACH | CRC入力レジスタ | CRCIN | | R/W | − | ○ | − | 00H |
| FFFB0H | DMA SFRアドレス・レジスタ0 | DSA0 | | R/W | − | ○ | − | 00H |
| FFFB1H | DMA SFRアドレス・レジスタ1 | DSA1 | | R/W | − | ○ | − | 00H |
| FFFB2H | DMA RAMアドレス・レジスタ0L | DRA0L | DRA0 | R/W | − | ○ | ○ | 00H |
| FFFB3H | DMA RAMアドレス・レジスタ0H | DRA0H | | R/W | − | ○ | | 00H |
| FFFB4H | DMA RAMアドレス・レジスタ1L | DRA1L | DRA1 | R/W | − | ○ | ○ | 00H |
| FFFB5H | DMA RAMアドレス・レジスタ1H | DRA1H | | R/W | − | ○ | | 00H |
| FFFB6H | DMAバイト・カウント・レジスタ0L | DBC0L | DBC0 | R/W | − | ○ | ○ | 00H |
| FFFB7H | DMAバイト・カウント・レジスタ0H | DBC0H | | R/W | − | ○ | | 00H |
| FFFB8H | DMAバイト・カウント・レジスタ1L | DBC1L | DBC1 | R/W | − | ○ | ○ | 00H |
| FFFB9H | DMAバイト・カウント・レジスタ1H | DBC1H | | R/W | − | ○ | | 00H |
| FFFBAH | DMAモード・コントロール・レジスタ0 | DMC0 | | R/W | ○ | ○ | − | 00H |
| FFFBBH | DMAモード・コントロール・レジスタ1 | DMC1 | | R/W | ○ | ○ | − | 00H |
| FFFBCH | DMA動作コントロール・レジスタ0 | DRC0 | | R/W | ○ | ○ | − | 00H |
| FFFBDH | DMA動作コントロール・レジスタ1 | DRC1 | | R/W | ○ | ○ | − | 00H |
| FFFD0H | 割り込み要求フラグ・レジスタ2L | IF2L | IF2 | R/W | ○ | ○ | ○ | 00H |
| FFFD1H | 割り込み要求フラグ・レジスタ2H | IF2H | | R/W | ○ | ○ | | 00H |
| FFFD2H | 割り込み要求フラグ・レジスタ3L | IF3L | IF3 | R/W | ○ | ○ | ○ | 00H |
| FFFD4H | 割り込みマスク・フラグ・レジスタ2L | MK2L | MK2 | R/W | ○ | ○ | ○ | FFH |
| FFFD5H | 割り込みマスク・フラグ・レジスタ2H | MK2H | | R/W | ○ | ○ | | FFH |
| FFFD6H | 割り込みマスク・フラグ・レジスタ3L | MK3L | MK3 | R/W | ○ | ○ | ○ | FFH |
| FFFD8H | 優先順位指定フラグ・レジスタ02L | PR02L | PR02 | R/W | ○ | ○ | ○ | FFH |
| FFFD9H | 優先順位指定フラグ・レジスタ02H | PR02H | | R/W | ○ | ○ | | FFH |
| FFFDAH | 優先順位指定フラグ・レジスタ03L | PR03L | PR03 | R/W | ○ | ○ | ○ | FFH |
| FFFDCH | 優先順位指定フラグ・レジスタ12L | PR12L | PR12 | R/W | ○ | ○ | ○ | FFH |
| FFFDDH | 優先順位指定フラグ・レジスタ12H | PR12H | | R/W | ○ | ○ | | FFH |
| FFFDEH | 優先順位指定フラグ・レジスタ13L | PR13L | PR13 | R/W | ○ | ○ | ○ | FFH |
| FFFE0H | 割り込み要求フラグ・レジスタ0L | IF0L | IF0 | R/W | ○ | ○ | ○ | 00H |
| FFFE1H | 割り込み要求フラグ・レジスタ0H | IF0H | | R/W | ○ | ○ | | 00H |
| FFFE2H | 割り込み要求フラグ・レジスタ1L | IF1L | IF1 | R/W | ○ | ○ | ○ | 00H |
| FFFE3H | 割り込み要求フラグ・レジスタ1H | IF1H | | R/W | ○ | ○ | | 00H |
| FFFE4H | 割り込みマスク・フラグ・レジスタ0L | MK0L | MK0 | R/W | ○ | ○ | ○ | FFH |
| FFFE5H | 割り込みマスク・フラグ・レジスタ0H | MK0H | | R/W | ○ | ○ | | FFH |
| FFFE6H | 割り込みマスク・フラグ・レジスタ1L | MK1L | MK1 | R/W | ○ | ○ | ○ | FFH |
| FFFE7H | 割り込みマスク・フラグ・レジスタ1H | MK1H | | R/W | ○ | ○ | | FFH |
| FFFE8H | 優先順位指定フラグ・レジスタ00L | PR00L | PR00 | R/W | ○ | ○ | ○ | FFH |
| FFFE9H | 優先順位指定フラグ・レジスタ00H | PR00H | | R/W | ○ | ○ | | FFH |

**注** WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

表3－5 SFR一覧（5/5）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FFFEAH | 優先順位指定フラグ・レジスタ01L | PR01L | PR01 | R/W | ○ | ○ | ○ | FFH |
| FFFEBH | 優先順位指定フラグ・レジスタ01H | PR01H | | R/W | ○ | ○ | | FFH |
| FFFECH | 優先順位指定フラグ・レジスタ10L | PR10L | PR10 | R/W | ○ | ○ | ○ | FFH |
| FFFEDH | 優先順位指定フラグ・レジスタ10H | PR10H | | R/W | ○ | ○ | | FFH |
| FFFEEH | 優先順位指定フラグ・レジスタ11L | PR11L | PR11 | R/W | ○ | ○ | ○ | FFH |
| FFFEFH | 優先順位指定フラグ・レジスタ11H | PR11H | | R/W | ○ | ○ | | FFH |
| FFFF0H | 乗除算データ・レジスタA（L） | MDAL | | R/W | － | － | ○ | 0000H |
| FFFF1H | | | | | | | | |
| FFFF2H | 乗除算データ・レジスタA（H） | MDAH | | R/W | － | － | ○ | 0000H |
| FFFF3H | | | | | | | | |
| FFFF4H | 乗除算データ・レジスタB（H） | MDBH | | R/W | － | － | ○ | 0000H |
| FFFF5H | | | | | | | | |
| FFFF6H | 乗除算データ・レジスタB（L） | MDBL | | R/W | － | － | ○ | 0000H |
| FFFF7H | | | | | | | | |
| FFFFEH | プロセッサ・モード・コントロール・レジスタ | PMC | | R/W | ○ | ○ | － | 00H |

**備考** 拡張SFR（2nd SFR）については，**表3－6 拡張SFR（2nd SFR）一覧**を参照してください。

### 3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（sfr.bit）には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

・8ビット操作

8ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W　：読み出し／書き込みがともに可能

R　：読み出しのみ可能

W　：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

**注意　2nd SFRが割り付けられていないアドレスにアクセスしないでください。**

**備考**　SFR領域のSFRについては，**3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）**を参照してください。

表3−6 拡張SFR（2nd SFR）一覧（1/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|
| | | | | 1ビット | 8ビット | 16ビット | |
| F0010H | A/Dコンバータ・モード・レジスタ2 | ADM2 | R/W | ○ | ○ | − | 00H |
| F0011H | 変換結果比較上限値設定レジスタ | ADUL | R/W | − | ○ | − | FFH |
| F0012H | 変換結果比較下限値設定レジスタ | ADLL | R/W | − | ○ | − | 00H |
| F0013H | A/Dテスト・レジスタ | ADTES | R/W | − | ○ | − | 00H |
| F0030H | プルアップ抵抗オプション・レジスタ0 | PU0 | R/W | ○ | ○ | − | 00H |
| F0031H | プルアップ抵抗オプション・レジスタ1 | PU1 | R/W | ○ | ○ | − | 00H |
| F0032H | プルアップ抵抗オプション・レジスタ2 | PU2 | R/W | ○ | ○ | − | 00H |
| F0033H | プルアップ抵抗オプション・レジスタ3 | PU3 | R/W | ○ | ○ | − | 00H |
| F0034H | プルアップ抵抗オプション・レジスタ4 | PU4 | R/W | ○ | ○ | − | 01H |
| F0035H | プルアップ抵抗オプション・レジスタ5 | PU5 | R/W | ○ | ○ | − | 00H |
| F0037H | プルアップ抵抗オプション・レジスタ7 | PU7 | R/W | ○ | ○ | − | 00H |
| F003CH | プルアップ抵抗オプション・レジスタ12 | PU12 | R/W | ○ | ○ | − | 00H |
| F003DH | プルアップ抵抗オプション・レジスタ13 | PU13 | R/W | ○ | ○ | − | 00H |
| F0040H | ポート入力モード・レジスタ0 | PIM0 | R/W | ○ | ○ | − | 00H |
| F0041H | ポート入力モード・レジスタ1 | PIM1 | R/W | ○ | ○ | − | 00H |
| F0043H | ポート入力モード・レジスタ3 | PIM3 | R/W | ○ | ○ | − | 00H |
| F0044H | ポート入力モード・レジスタ4 | PIM4 | R/W | ○ | ○ | − | 00H |
| F0045H | ポート入力モード・レジスタ5 | PIM5 | R/W | ○ | ○ | − | 00H |
| F0050H | ポート出力モード・レジスタ0 | POM0 | R/W | ○ | ○ | − | 00H |
| F0051H | ポート出力モード・レジスタ1 | POM1 | R/W | ○ | ○ | − | 00H |
| F0053H | ポート出力モード・レジスタ3 | POM3 | R/W | ○ | ○ | − | 00H |
| F0054H | ポート出力モード・レジスタ4 | POM4 | R/W | ○ | ○ | − | 00H |
| F0055H | ポート出力モード・レジスタ5 | POM5 | R/W | ○ | ○ | − | 00H |
| F005DH | ポート出力モード・レジスタ13 | POM13 | R/W | ○ | ○ | − | 00H |
| F0061H | ポート・モード・コントロール・レジスタ1 | PMC1 | R/W | ○ | ○ | − | FFH |
| F0062H | ポート・モード・コントロール・レジスタ2 | PMC2 | R/W | ○ | ○ | − | FFH |
| F0064H | ポート・モード・コントロール・レジスタ4 | PMC4 | R/W | ○ | ○ | − | 00H |
| F0070H | ノイズ・フィルタ許可レジスタ0 | NFEN0 | R/W | ○ | ○ | − | 00H |
| F0071H | ノイズ・フィルタ許可レジスタ1 | NFEN1 | R/W | ○ | ○ | − | 00H |
| F0073H | 入力切り替え制御レジスタ | ISC | R/W | ○ | ○ | − | 00H |
| F0074H | タイマ入力選択レジスタ0 | TIS0 | R/W | − | ○ | − | 00H |
| F0076H | A/Dポート・コンフィギュレーション・レジスタ | ADPC | R/W | − | ○ | − | 00H |
| F0077H | 周辺I/Oリダイレクション・レジスタ | PIOR | R/W | − | ○ | − | 00H |
| F0078H | 不正メモリ・アクセス検出制御レジスタ | IAWCTL | R/W | − | ○ | − | 00H |
| F0079H | タイマ出力選択レジスタ | TOS | R/W | ○ | ○ | − | 00H |
| F007AH | 周辺イネーブル・レジスタ1 | PER1 | R/W | ○ | ○ | − | 00H |
| F007BH | ポートモード選択レジスタ | PMS | R/W | ○ | ○ | − | 00H |

表3−6 拡張SFR（2nd SFR）一覧（2/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| F007CH | タイマKB2出力端子切り替えレジスタ | PWCTKB | | R/W | − | ○ | − | 00H |
| F0090H | データ・フラッシュ・コントロール・レジスタ | DFLCTL | | R/W | ○ | ○ | − | 00H |
| F00A0H | 高速オンチップ・オシレータ・トリミング・レジスタ | HIOTRM | | R/W | − | ○ | − | 不定[注1] |
| F00A8H | 高速オンチップ・オシレータ周波数選択レジスタ | HOCODIV | | R/W | − | ○ | − | 不定[注2] |
| F00E0H | 乗除算データ・レジスタC（L） | MDCL | | R/W | − | − | ○ | 0000H |
| F00E2H | 乗除算データ・レジスタC（H） | MDCH | | R/W | − | − | ○ | 0000H |
| F00E8H | 乗除算コントロール・レジスタ | MDUC | | R/W | ○ | ○ | − | 00H |
| F00F0H | 周辺イネーブル・レジスタ0 | PER0 | | R/W | ○ | ○ | − | 00H |
| F00F3H | サブシステム・クロック供給モード制御レジスタ | OSMC | | R/W | − | ○ | − | 00H |
| F00F5H | RAMパリティ・エラー制御レジスタ | RPECTL | | R/W | ○ | ○ | − | 00H |
| F00F9H | パワーオン・リセット・ステータス・レジスタ | PORSR | | R/W | − | ○ | − | 00H[注3] |
| F00FEH | BCD補正結果レジスタ | BCDADJ | | R | − | ○ | − | 不定 |
| F0100H | シリアル・ステータス・レジスタ00 | SSR00L | SSR00 | R | − | ○ | ○ | 0000H |
| F0101H | | − | | | − | − | | |
| F0102H | シリアル・ステータス・レジスタ01 | SSR01L | SSR01 | R | − | ○ | ○ | 0000H |
| F0103H | | − | | | − | − | | |
| F0104H | シリアル・ステータス・レジスタ02 | SSR02L | SSR02 | R | − | ○ | ○ | 0000H |
| F0105H | | − | | | − | − | | |
| F0106H | シリアル・ステータス・レジスタ03 | SSR03L | SSR03 | R | − | ○ | ○ | 0000H |
| F0107H | | − | | | − | − | | |
| F0108H | シリアル・フラグ・クリア・トリガ・レジスタ00 | SIR00L | SIR00 | R/W | − | ○ | ○ | 0000H |
| F0109H | | − | | | − | − | | |
| F010AH | シリアル・フラグ・クリア・トリガ・レジスタ01 | SIR01L | SIR01 | R/W | − | ○ | ○ | 0000H |
| F010BH | | − | | | − | − | | |
| F010CH | シリアル・フラグ・クリア・トリガ・レジスタ02 | SIR02L | SIR02 | R/W | − | ○ | ○ | 0000H |
| F010DH | | − | | | − | − | | |
| F010EH | シリアル・フラグ・クリア・トリガ・レジスタ03 | SIR03L | SIR03 | R/W | − | ○ | ○ | 0000H |
| F010FH | | − | | | − | − | | |
| F0110H | シリアル・モード・レジスタ00 | SMR00 | | R/W | − | − | ○ | 0020H |
| F0111H | | | | | | | | |
| F0112H | シリアル・モード・レジスタ01 | SMR01 | | R/W | − | − | ○ | 0020H |
| F0113H | | | | | | | | |

**注1.** リセット値は出荷時に調整した値です。

**2.** オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。

**3.** パワーオン・リセットによるリセット時のみ初期化されます。

表3−6 拡張SFR（2nd SFR）一覧（3/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| F0114H | シリアル・モード・レジスタ02 | SMR02 | | R/W | − | − | ○ | 0020H |
| F0115H | | | | | | | | |
| F0116H | シリアル・モード・レジスタ03 | SMR03 | | R/W | − | − | ○ | 0020H |
| F0117H | | | | | | | | |
| F0118H | シリアル通信動作設定レジスタ00 | SCR00 | | R/W | − | − | ○ | 0087H |
| F0119H | | | | | | | | |
| F011AH | シリアル通信動作設定レジスタ01 | SCR01 | | R/W | − | − | ○ | 0087H |
| F011BH | | | | | | | | |
| F011CH | シリアル通信動作設定レジスタ02 | SCR02 | | R/W | − | − | ○ | 0087H |
| F011DH | | | | | | | | |
| F011EH | シリアル通信動作設定レジスタ03 | SCR03 | | R/W | − | − | ○ | 0087H |
| F011FH | | | | | | | | |
| F0120H | シリアル・チャネル許可ステータス・レジスタ0 | SE0L | SE0 | R | ○ | ○ | ○ | 0000H |
| F0121H | | − | | | − | − | | |
| F0122H | シリアル・チャネル開始レジスタ0 | SS0L | SS0 | R/W | ○ | ○ | ○ | 0000H |
| F0123H | | − | | | − | − | | |
| F0124H | シリアル・チャネル停止レジスタ0 | ST0L | ST0 | R/W | ○ | ○ | ○ | 0000H |
| F0125H | | − | | | − | − | | |
| F0126H | シリアル・クロック選択レジスタ0 | SPS0L | SPS0 | R/W | − | ○ | ○ | 0000H |
| F0127H | | − | | | − | − | | |
| F0128H | シリアル出力レジスタ0 | SO0 | | R/W | − | − | ○ | 0F0FH |
| F0129H | | | | | | | | |
| F012AH | シリアル出力許可レジスタ0 | SOE0L | SOE0 | R/W | ○ | ○ | ○ | 0000H |
| F012BH | | − | | | − | − | | |
| F0134H | シリアル出力レベル・レジスタ0 | SOL0L | SOL0 | R/W | − | ○ | ○ | 0000H |
| F0135H | | − | | | − | − | | |
| F0138H | シリアル・スタンバイ・コントロール・レジスタ0 | SSC0L | SSC0 | R/W | − | ○ | ○ | 0000H |
| F0139H | | − | | | − | − | | |
| F0140H | シリアル・ステータス・レジスタ10 | SSR10L | SSR10 | R | − | ○ | ○ | 0000H |
| F0141H | | − | | | − | − | | |
| F0142H | シリアル・ステータス・レジスタ11 | SSR11L | SSR11 | R | − | ○ | ○ | 0000H |
| F0143H | | − | | | − | − | | |
| F0144H | シリアル・ステータス・レジスタ12 | SSR12L | SSR12 | R | − | ○ | ○ | 0000H |
| F0145H | | − | | | − | − | | |
| F0146H | シリアル・ステータス・レジスタ13 | SSR13L | SSR13 | R | − | ○ | ○ | 0000H |
| F0147H | | − | | | − | − | | |

表3−6 拡張SFR（2nd SFR）一覧（4/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| F0148H | シリアル・フラグ・クリア・トリガ・レジスタ10 | SIR10L | SIR10 | R/W | − | ○ | ○ | 0000H |
| F0149H | | − | | | − | − | | |
| F014AH | シリアル・フラグ・クリア・トリガ・レジスタ11 | SIR11L | SIR11 | R/W | − | ○ | ○ | 0000H |
| F014BH | | − | | | − | − | | |
| F014CH | シリアル・フラグ・クリア・トリガ・レジスタ12 | SIR12L | SIR12 | R/W | − | ○ | ○ | 0000H |
| F014DH | | − | | | − | − | | |
| F014EH | シリアル・フラグ・クリア・トリガ・レジスタ13 | SIR13L | SIR13 | R/W | − | ○ | ○ | 0000H |
| F014FH | | − | | | − | − | | |
| F0150H | シリアル・モード・レジスタ10 | SMR10 | | R/W | − | − | ○ | 0020H |
| F0151H | | | | | | | | |
| F0152H | シリアル・モード・レジスタ11 | SMR11 | | R/W | − | − | ○ | 0020H |
| F0153H | | | | | | | | |
| F0154H | シリアル・モード・レジスタ12 | SMR12 | | R/W | − | − | ○ | 0020H |
| F0155H | | | | | | | | |
| F0156H | シリアル・モード・レジスタ13 | SMR13 | | R/W | − | − | ○ | 0020H |
| F0157H | | | | | | | | |
| F0158H | シリアル通信動作設定レジスタ10 | SCR10 | | R/W | − | − | ○ | 0087H |
| F0159H | | | | | | | | |
| F015AH | シリアル通信動作設定レジスタ11 | SCR11 | | R/W | − | − | ○ | 0087H |
| F015BH | | | | | | | | |
| F015CH | シリアル通信動作設定レジスタ12 | SCR12 | | R/W | − | − | ○ | 0087H |
| F015DH | | | | | | | | |
| F015EH | シリアル通信動作設定レジスタ13 | SCR13 | | R/W | − | − | ○ | 0087H |
| F015FH | | | | | | | | |
| F0160H | シリアル・チャネル許可ステータス・レジスタ1 | SE1L | SE1 | R | ○ | ○ | ○ | 0000H |
| F0161H | | − | | | − | − | | |
| F0162H | シリアル・チャネル開始レジスタ1 | SS1L | SS1 | R/W | ○ | ○ | ○ | 0000H |
| F0163H | | − | | | − | − | | |
| F0164H | シリアル・チャネル停止レジスタ1 | ST1L | ST1 | R/W | ○ | ○ | ○ | 0000H |
| F0165H | | − | | | − | − | | |
| F0166H | シリアル・クロック選択レジスタ1 | SPS1L | SPS1 | R/W | − | ○ | ○ | 0000H |
| F0167H | | − | | | − | − | | |
| F0168H | シリアル出力レジスタ1 | SO1 | | R/W | − | − | ○ | 0F0FH |
| F0169H | | | | | | | | |
| F016AH | シリアル出力許可レジスタ1 | SOE1L | SOE1 | R/W | ○ | ○ | ○ | 0000H |
| F016BH | | − | | | − | − | | |
| F0174H | シリアル出力レベル・レジスタ1 | SOL1L | SOL1 | R/W | − | ○ | ○ | 0000H |
| F0175H | | − | | | − | − | | |
| F0178H | シリアル・スタンバイ・コントロール・レジスタ1 | SSC1L | SSC1 | R/W | − | ○ | ○ | 0000H |
| F0179H | | − | | | − | − | | |

表3－6 拡張SFR（2nd SFR）一覧（5/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| F0180H | タイマ・カウンタ・レジスタ00 | TCR00 | | R | － | － | ○ | FFFFH |
| F0181H | | | | | | | | |
| F0182H | タイマ・カウンタ・レジスタ01 | TCR01 | | R | － | － | ○ | FFFFH |
| F0183H | | | | | | | | |
| F0184H | タイマ・カウンタ・レジスタ02 | TCR02 | | R | － | － | ○ | FFFFH |
| F0185H | | | | | | | | |
| F0186H | タイマ・カウンタ・レジスタ03 | TCR03 | | R | － | － | ○ | FFFFH |
| F0187H | | | | | | | | |
| F0188H | タイマ・カウンタ・レジスタ04 | TCR04 | | R | － | － | ○ | FFFFH |
| F0189H | | | | | | | | |
| F018AH | タイマ・カウンタ・レジスタ05 | TCR05 | | R | － | － | ○ | FFFFH |
| F018BH | | | | | | | | |
| F018CH | タイマ・カウンタ・レジスタ06 | TCR06 | | R | － | － | ○ | FFFFH |
| F018DH | | | | | | | | |
| F018EH | タイマ・カウンタ・レジスタ07 | TCR07 | | R | － | － | ○ | FFFFH |
| F018FH | | | | | | | | |
| F0190H | タイマ・モード・レジスタ00 | TMR00 | | R/W | － | － | ○ | 0000H |
| F0191H | | | | | | | | |
| F0192H | タイマ・モード・レジスタ01 | TMR01 | | R/W | － | － | ○ | 0000H |
| F0193H | | | | | | | | |
| F0194H | タイマ・モード・レジスタ02 | TMR02 | | R/W | － | － | ○ | 0000H |
| F0195H | | | | | | | | |
| F0196H | タイマ・モード・レジスタ03 | TMR03 | | R/W | － | － | ○ | 0000H |
| F0197H | | | | | | | | |
| F0198H | タイマ・モード・レジスタ04 | TMR04 | | R/W | － | － | ○ | 0000H |
| F0199H | | | | | | | | |
| F019AH | タイマ・モード・レジスタ05 | TMR05 | | R/W | － | － | ○ | 0000H |
| F019BH | | | | | | | | |
| F019CH | タイマ・モード・レジスタ06 | TMR06 | | R/W | － | － | ○ | 0000H |
| F019DH | | | | | | | | |
| F019EH | タイマ・モード・レジスタ07 | TMR07 | | R/W | － | － | ○ | 0000H |
| F019FH | | | | | | | | |
| F01A0H | タイマ・ステータス・レジスタ00 | TSR00L | TSR00 | R | － | ○ | ○ | 0000H |
| F01A1H | | － | | | － | － | | |
| F01A2H | タイマ・ステータス・レジスタ01 | TSR01L | TSR01 | R | － | ○ | ○ | 0000H |
| F01A3H | | － | | | － | － | | |

表3−6 拡張SFR（2nd SFR）一覧（6/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| F01A4H | タイマ・ステータス・レジスタ02 | TSR02L | TSR02 | R | − | ○ | ○ | 0000H |
| F01A5H | | − | | | − | − | | |
| F01A6H | タイマ・ステータス・レジスタ03 | TSR03L | TSR03 | R | − | ○ | ○ | 0000H |
| F01A7H | | − | | | − | − | | |
| F01A8H | タイマ・ステータス・レジスタ04 | TSR04L | TSR04 | R | − | ○ | ○ | 0000H |
| F01A9H | | − | | | − | − | | |
| F01AAH | タイマ・ステータス・レジスタ05 | TSR05L | TSR05 | R | − | ○ | ○ | 0000H |
| F01ABH | | − | | | − | − | | |
| F01ACH | タイマ・ステータス・レジスタ06 | TSR06L | TSR06 | R | − | ○ | ○ | 0000H |
| F01ADH | | − | | | − | − | | |
| F01AEH | タイマ・ステータス・レジスタ07 | TSR07L | TSR07 | R | − | ○ | ○ | 0000H |
| F01AFH | | − | | | − | − | | |
| F01B0H | タイマ・チャネル許可ステータス・ | TE0L | TE0 | R | ○ | ○ | ○ | 0000H |
| F01B1H | レジスタ0 | − | | | − | − | | |
| F01B2H | タイマ・チャネル開始レジスタ0 | TS0L | TS0 | R/W | ○ | ○ | ○ | 0000H |
| F01B3H | | − | | | − | − | | |
| F01B4H | タイマ・チャネル停止レジスタ0 | TT0L | TT0 | R/W | ○ | ○ | ○ | 0000H |
| F01B5H | | − | | | − | − | | |
| F01B6H | タイマ・クロック選択レジスタ0 | TPS0 | | R/W | − | − | ○ | 0000H |
| F01B7H | | | | | | | | |
| F01B8H | タイマ出力レジスタ0 | TO0L | TO0 | R/W | − | ○ | ○ | 0000H |
| F01B9H | | − | | | − | − | | |
| F01BAH | タイマ出力許可レジスタ0 | TOE0L | TOE0 | R/W | ○ | ○ | ○ | 0000H |
| F01BBH | | − | | | − | − | | |
| F01BCH | タイマ出力レベル・レジスタ0 | TOL0L | TOL0 | R/W | − | ○ | ○ | 0000H |
| F01BDH | | − | | | − | − | | |
| F01BEH | タイマ出力モード・レジスタ0 | TOM0L | TOM0 | R/W | − | ○ | ○ | 0000H |
| F01BFH | | − | | | − | − | | |
| F0200H | DMA SFRアドレス・レジスタ2 | DSA2 | | R/W | − | ○ | − | 00H |
| F0201H | DMA SFRアドレス・レジスタ3 | DSA3 | | R/W | − | ○ | − | 00H |
| F0202H | DMA RAMアドレス・レジスタ2L | DRA2L | DRA2 | R/W | − | ○ | ○ | 00H |
| F0203H | DMA RAMアドレス・レジスタ2H | DRA2H | | R/W | − | ○ | | 00H |
| F0204H | DMA RAMアドレス・レジスタ3L | DRA3L | DRA3 | R/W | − | ○ | ○ | 00H |
| F0205H | DMA RAMアドレス・レジスタ3H | DRA3H | | R/W | − | ○ | | 00H |
| F0206H | DMAバイト・カウント・レジスタ2L | DBC2L | DBC2 | R/W | − | ○ | ○ | 00H |
| F0207H | DMAバイト・カウント・レジスタ2H | DBC2H | | R/W | − | ○ | | 00H |
| F0208H | DMAバイト・カウント・レジスタ3L | DBC3L | DBC3 | R/W | − | ○ | ○ | 00H |
| F0209H | DMAバイト・カウント・レジスタ3H | DBC3H | | R/W | − | ○ | | 00H |

表3−6 拡張SFR（2nd SFR）一覧（7/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|
| | | | | 1ビット | 8ビット | 16ビット | |
| F020AH | DMAモード・コントロール・レジスタ2 | DMC2 | R/W | ○ | ○ | − | 00H |
| F020BH | DMAモード・コントロール・レジスタ3 | DMC3 | R/W | ○ | ○ | − | 00H |
| F020CH | DMA動作コントロール・レジスタ2 | DRC2 | R/W | ○ | ○ | − | 00H |
| F020DH | DMA動作コントロール・レジスタ3 | DRC3 | R/W | ○ | ○ | − | 00H |
| F0230H | IICAコントロール・レジスタ00 | IICCTL00 | R/W | ○ | ○ | − | 00H |
| F0231H | IICAコントロール・レジスタ01 | IICCTL01 | R/W | ○ | ○ | − | 00H |
| F0232H | IICAロウ・レベル幅設定レジスタ0 | IICWL0 | R/W | − | ○ | − | FFH |
| F0233H | IICAハイ・レベル幅設定レジスタ0 | IICWH0 | R/W | − | ○ | − | FFH |
| F0234H | スレーブ・アドレス・レジスタ0 | SVA0 | R/W | − | ○ | − | 00H |
| F0240H | TMKB2カウンタ・リスタート・トリガ選択レジスタ00 | ELSELR00 | R/W | − | ○ | − | 00H |
| F0241H | TMKB2カウンタ・リスタート・トリガ選択レジスタ01 | ELSELR01 | R/W | − | ○ | − | 00H |
| F0242H | TMKB2カウンタ・リスタート・トリガ選択レジスタ02 | ELSELR02 | R/W | − | ○ | − | 00H |
| F0243H | TMKB2カウンタ・リスタート・トリガ選択レジスタ03 | ELSELR03 | R/W | − | ○ | − | 00H |
| F0244H | TMKB2カウンタ・リスタート・トリガ選択レジスタ04 | ELSELR04 | R/W | − | ○ | − | 00H |
| F0245H | TMKB2カウンタ・リスタート・トリガ選択レジスタ05 | ELSELR05 | R/W | − | ○ | − | 00H |
| F0246H | TMKB2カウンタ・リスタート・トリガ選択レジスタ06 | ELSELR06 | R/W | − | ○ | − | 00H |
| F0247H | TMKB2カウンタ・リスタート・トリガ選択レジスタ07 | ELSELR07 | R/W | − | ○ | − | 00H |
| F0248H | TMKB2カウンタ・リスタート・トリガ選択レジスタ08 | ELSELR08 | R/W | − | ○ | − | 00H |
| F0249H | TMKB2カウンタ・リスタート・トリガ選択レジスタ09 | ELSELR09 | R/W | − | ○ | − | 00H |
| F02F0H | フラッシュ・メモリCRC制御レジスタ | CRC0CTL | R/W | ○ | ○ | − | 00H |
| F02F2H | フラッシュ・メモリCRC演算結果レジスタ | PGCRCL | R/W | − | − | ○ | 0000H |
| F02FAH | CRCデータ・レジスタ | CRCD | R/W | − | − | ○ | 0000H |
| F0300H | LCDポート・ファンクション・レジスタ0 | PFSEG0 | R/W | ○ | ○ | − | F0H |
| F0301H | LCDポート・ファンクション・レジスタ1 | PFSEG1 | R/W | ○ | ○ | − | FFH |
| F0302H | LCDポート・ファンクション・レジスタ2 | PFSEG2 | R/W | ○ | ○ | − | FFH |
| F0303H | LCDポート・ファンクション・レジスタ3 | PFSEG3 | R/W | ○ | ○ | − | FFH |
| F0304H | LCDポート・ファンクション・レジスタ4 | PFSEG4 | R/W | ○ | ○ | − | FFH |
| F0305H | LCDポート・ファンクション・レジスタ5 | PFSEG5 | R/W | ○ | ○ | − | FFH |
| F0306H | LCDポート・ファンクション・レジスタ6 | PFSEG6 | R/W | ○ | ○ | − | 0FH |

表3−6 拡張SFR（2nd SFR）一覧（8/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|
| | | | | 1ビット | 8ビット | 16ビット | |
| F0308H | LCD入力切り替え制御レジスタ | ISCLCD | R/W | ○ | ○ | − | 00H |
| F0310H | 時計誤差補正レジスタ | SUBCUD | R/W | − | − | ○ | 0020H[注] |
| F0311H | | | | | | | |
| FF340H | コンパレータモード設定レジスタ | COMPMDR | R/W | ○ | ○ | − | 00H |
| FF341H | コンパレータフィルタ制御レジスタ | COMPFIR | R/W | ○ | ○ | − | 00H |
| FF342H | コンパレータ出力制御レジスタ | COMPOCR | R/W | ○ | ○ | − | 00H |
| F0400H | LCD表示データ・メモリ0 | SEG0 | R/W | − | ○ | − | 00H |
| F0401H | LCD表示データ・メモリ1 | SEG1 | R/W | − | ○ | − | 00H |
| F0402H | LCD表示データ・メモリ2 | SEG2 | R/W | − | ○ | − | 00H |
| F0403H | LCD表示データ・メモリ3 | SEG3 | R/W | − | ○ | − | 00H |
| F0404H | LCD表示データ・メモリ4 | SEG4 | R/W | − | ○ | − | 00H |
| F0405H | LCD表示データ・メモリ5 | SEG5 | R/W | − | ○ | − | 00H |
| F0406H | LCD表示データ・メモリ6 | SEG6 | R/W | − | ○ | − | 00H |
| F0407H | LCD表示データ・メモリ7 | SEG7 | R/W | − | ○ | − | 00H |
| F0408H | LCD表示データ・メモリ8 | SEG8 | R/W | − | ○ | − | 00H |
| F0409H | LCD表示データ・メモリ9 | SEG9 | R/W | − | ○ | − | 00H |
| F040AH | LCD表示データ・メモリ10 | SEG10 | R/W | − | ○ | − | 00H |
| F040BH | LCD表示データ・メモリ11 | SEG11 | R/W | − | ○ | − | 00H |
| F040CH | LCD表示データ・メモリ12 | SEG12 | R/W | − | ○ | − | 00H |
| F040DH | LCD表示データ・メモリ13 | SEG13 | R/W | − | ○ | − | 00H |
| F040EH | LCD表示データ・メモリ14 | SEG14 | R/W | − | ○ | − | 00H |
| F040FH | LCD表示データ・メモリ15 | SEG15 | R/W | − | ○ | − | 00H |
| F0410H | LCD表示データ・メモリ16 | SEG16 | R/W | − | ○ | − | 00H |
| F0411H | LCD表示データ・メモリ17 | SEG17 | R/W | − | ○ | − | 00H |
| F0412H | LCD表示データ・メモリ18 | SEG18 | R/W | − | ○ | − | 00H |
| F0413H | LCD表示データ・メモリ19 | SEG19 | R/W | − | ○ | − | 00H |
| F0414H | LCD表示データ・メモリ20 | SEG20 | R/W | − | ○ | − | 00H |
| F0415H | LCD表示データ・メモリ21 | SEG21 | R/W | − | ○ | − | 00H |
| F0416H | LCD表示データ・メモリ22 | SEG22 | R/W | − | ○ | − | 00H |
| F0417H | LCD表示データ・メモリ23 | SEG23 | R/W | − | ○ | − | 00H |
| F0418H | LCD表示データ・メモリ24 | SEG24 | R/W | − | ○ | − | 00H |
| F0419H | LCD表示データ・メモリ25 | SEG25 | R/W | − | ○ | − | 00H |
| F041AH | 使用禁止 | | | | | | |
| F041BH | LCD表示データ・メモリ26 | SEG26 | R/W | − | ○ | − | 00H |
| F041CH | LCD表示データ・メモリ27 | SEG27 | R/W | − | ○ | − | 00H |
| F041DH | LCD表示データ・メモリ28 | SEG28 | R/W | − | ○ | − | 00H |
| F041EH | LCD表示データ・メモリ29 | SEG29 | R/W | − | ○ | − | 00H |
| F041FH | LCD表示データ・メモリ30 | SEG30 | R/W | − | ○ | − | 00H |

**注** パワーオン・リセットによるリセット時のみ初期化されます。

表3−6 拡張SFR（2nd SFR）一覧（9/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|
| | | | | 1ビット | 8ビット | 16ビット | |
| F0420H | LCD表示データ・メモリ31 | SEG31 | R/W | − | ○ | − | 00H |
| F0421H | LCD表示データ・メモリ32 | SEG32 | R/W | − | ○ | − | 00H |
| F0422H | LCD表示データ・メモリ33 | SEG33 | R/W | − | ○ | − | 00H |
| F0423H | LCD表示データ・メモリ34 | SEG34 | R/W | − | ○ | − | 00H |
| F0424H | LCD表示データ・メモリ35 | SEG35 | R/W | − | ○ | − | 00H |
| F0425H | LCD表示データ・メモリ36 | SEG36 | R/W | − | ○ | − | 00H |
| F0426H | LCD表示データ・メモリ37 | SEG37 | R/W | − | ○ | − | 00H |
| F0427H | LCD表示データ・メモリ38 | SEG38 | R/W | − | ○ | − | 00H |
| F0428H | LCD表示データ・メモリ39 | SEG39 | R/W | − | ○ | − | 00H |
| F0429H | LCD表示データ・メモリ40 | SEG40 | R/W | − | ○ | − | 00H |
| F042AH | LCD表示データ・メモリ41 | SEG41 | R/W | − | ○ | − | 00H |
| F042BH | LCD表示データ・メモリ42 | SEG42 | R/W | − | ○ | − | 00H |
| F042CH | LCD表示データ・メモリ43 | SEG43 | R/W | − | ○ | − | 00H |
| F042DH | LCD表示データ・メモリ44 | SEG44 | R/W | − | ○ | − | 00H |
| F042EH | LCD表示データ・メモリ45 | SEG45 | R/W | − | ○ | − | 00H |
| F042FH | LCD表示データ・メモリ46 | SEG46 | R/W | − | ○ | − | 00H |
| F0430H | LCD表示データ・メモリ47 | SEG47 | R/W | − | ○ | − | 00H |
| F0431H | LCD表示データ・メモリ48 | SEG48 | R/W | − | ○ | − | 00H |
| F0432H | LCD表示データ・メモリ49 | SEG49 | R/W | − | ○ | − | 00H |
| F0433H | LCD表示データ・メモリ50 | SEG50 | R/W | − | ○ | − | 00H |
| F0500H<br>F0501H | 16ビット・タイマKB2コンペア・レジスタ00 | TKBCR00 | R/W | − | − | ○ | 0000H |
| F0502H<br>F0503H | 16ビット・タイマKB2コンペア・レジスタ01 | TKBCR01 | R/W | − | − | ○ | 0000H |
| F0504H<br>F0505H | 16ビット・タイマKB2コンペア・レジスタ02 | TKBCR02 | R/W | − | − | ○ | 0000H |
| F0506H<br>F0507H | 16ビット・タイマKB2コンペア・レジスタ03 | TKBCR03 | R/W | − | − | ○ | 0000H |
| F050AH<br>F050BH | 16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00 | TKBSIR00 | R/W | − | − | ○ | 0000H |
| F050CH<br>F050DH | 16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ01 | TKBSIR01 | R/W | − | − | ○ | 0000H |
| F050EH | 16ビット・タイマKB2ディザリング数レジスタ00 | TKBDNR00 | R/W | − | ○ | − | 00H |
| F050FH | 16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00 | TKBSSR00 | R/W | − | ○ | − | 00H |
| F0510H | 16ビット・タイマKB2ディザリング数レジスタ01 | TKBDNR01 | R/W | − | ○ | − | 00H |

表3－6 拡張SFR（2nd SFR）一覧（10/10）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略 号 | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|
| | | | | 1ビット | 8ビット | 16ビット | |
| F0511H | 16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ01 | TKBSSR01 | R/W | － | ○ | － | 00H |
| F0512H | 16ビット・タイマKB2トリガ・レジスタ0 | TKBTRG0 | R/W | ○ | ○ | － | 00H |
| F0513H | 16ビット・タイマKB2フラグ・レジスタ0 | TKBFLG0 | R | ○ | ○ | － | 00H |
| F0514H<br>F0515H | 16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ00 | TKBCRLD00 | R/W | － | － | ○ | 0000H |
| F0516H<br>F0517H | 16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ01 | TKBCRLD01 | R/W | － | － | ○ | 0000H |
| F0520H | 16ビット・タイマ・カウンタKB20 | TKBCNT0 | R | － | － | ○ | FFFFH |
| F0522H<br>F0523H | 16ビット・タイマKB2動作制御レジスタ00 | TKBCTL00 | R/W | － | － | ○ | 0000H |
| F0524H<br>F0525H | 16ビット・タイマKB2最大周波数リミット設定レジスタ0 | TKBMFR0 | R/W | － | － | ○ | 0000H |
| F0526H | 16ビット・タイマKB2出力制御レジスタ00 | TKBIOC00 | R/W | ○ | ○ | － | 00H |
| F0527H | 16ビット・タイマKB2クリア・トリガ・レジスタ0 | TKBCLR0 | R/W | ○ | ○ | － | 00H |
| F0528H | 16ビット・タイマKB2出力制御レジスタ01 | TKBIOC01 | R/W | ○ | ○ | － | 00H |
| F0529H | 16ビット・タイマKB2動作制御レジスタ01 | TKBCTL01 | R/W | ○ | ○ | － | 00H |
| F052AH | 16ビット・タイマKB2カウント・クロック分周選択レジスタ0 | TKBPSCS0 | R/W | － | ○ | － | 00H |
| F0530H<br>F0531H | 強制出力停止機能制御レジスタ00 | TKBPACTL00 | R/W | － | － | ○ | 0000H |
| F0532H<br>F0533H | 強制出力停止機能制御レジスタ01 | TKBPACTL01 | R/W | － | － | ○ | 0000H |
| F0534H | 強制出力停止機能1開始トリガ・レジスタ0 | TKBPAHFS0 | R/W | ○ | ○ | － | 00H |
| F0535H | 強制出力停止機能解除トリガ・レジスタ0 | TKBPAHFT0 | R/W | ○ | ○ | － | 00H |
| F0536H | 強制出力停止機能フラグ・レジスタ0 | TKBPAFLG0 | R | ○ | ○ | － | 00H |
| F0537H | 強制出力停止機能制御レジスタ02 | TKBPACTL02 | R/W | ○ | ○ | － | 00H |

**備考** SFR領域のSFRについては，**表3－5 SFR一覧**を参照してください。

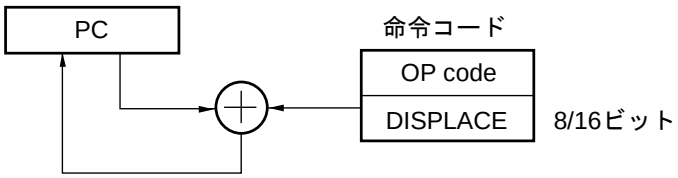
# 3. 3　命令アドレスのアドレッシング

## 3. 3. 1　レラティブ・アドレッシング

【機　　能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－15　レラティブ・アドレッシングの概略




## 3. 3. 2　イミーディエト・アドレッシング

【機　　能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－16　CALL !!addr20/BR !!addr20の例

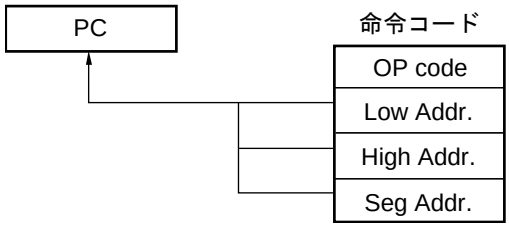
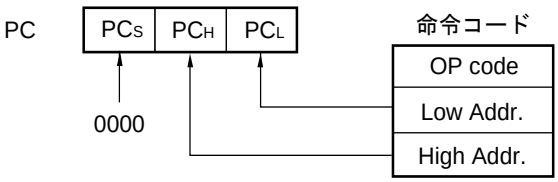



図3－17　CALL !addr16/BR !addr16の例



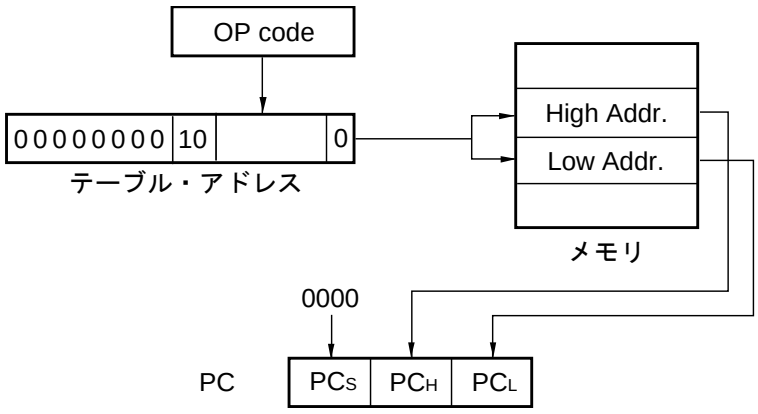
### 3. 3. 3　テーブル・インダイレクト・アドレッシング

【機　　能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは，00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3－18　テーブル・インダイレクト・アドレッシングの概略

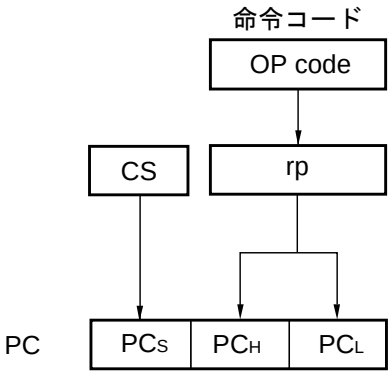


### 3. 3. 4　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－19　レジスタ・インダイレクト・アドレッシングの概略



# 3. 4　処理データ・アドレスに対するアドレッシング

## 3. 4. 1　インプライド・アドレッシング

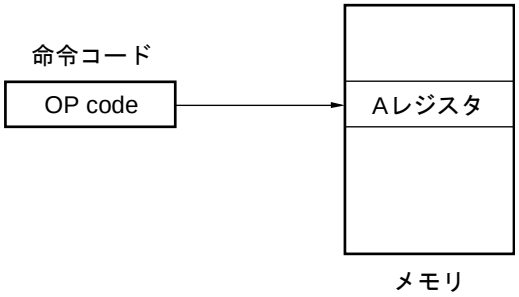
【機　　能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－20　インプライド・アドレッシングの概略




## 3. 4. 2　レジスタ・アドレッシング

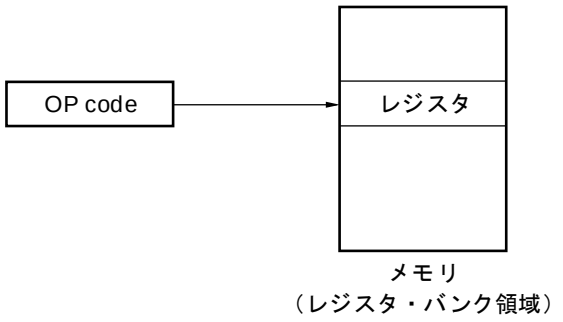
【機　　能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット, 16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

| 表現形式 | 記述方法 |
|---|---|
| r | X，A，C，B，E，D，L，H |
| rp | AX，BC，DE，HL |

図3－21　レジスタ・アドレッシングの概略



## 3. 4. 3 ダイレクト・アドレッシング

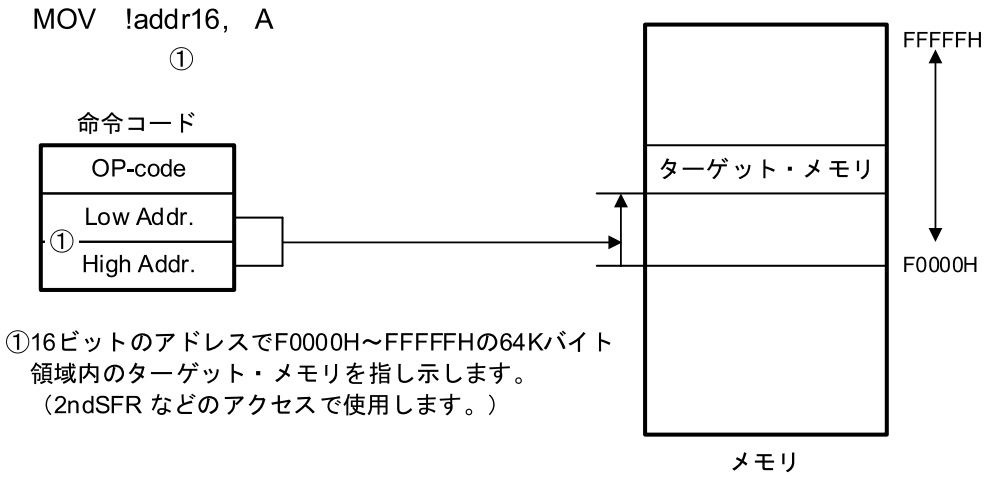
【機　　能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

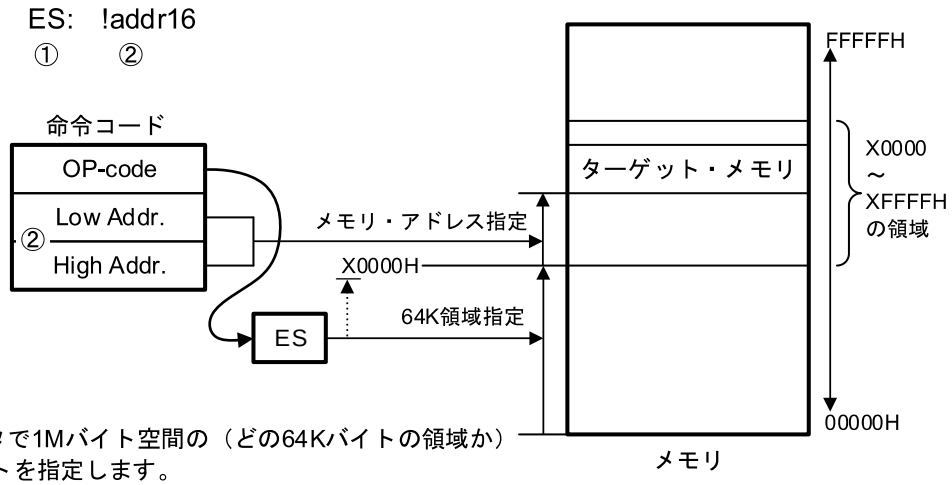
| 表現形式 | 記述方法 |
|---|---|
| !addr16 | ラベルまたは16ビット・イミーディエト・データ<br>（F0000H-FFFFFH空間のみ指定可能） |
| ES:!addr16 | ラベルまたは16ビット・イミーディエト・データ<br>（ESレジスタにて上位4ビット・アドレス指定） |

図3－22 !addr16の例




①16ビットのアドレスでF0000H～FFFFFHの64Kバイト領域内のターゲット・メモリを指し示します。
（2ndSFR などのアクセスで使用します。）

図3－23 ES:!addr16の例




①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②16ビットのアドレスで①で指定したX0000H～XFFFFHの領域のターゲット・メモリを指し示します。
（ミラー領域以外の固定データアクセスに使います。）

### 3. 4. 4　ショート・ダイレクト・アドレッシング

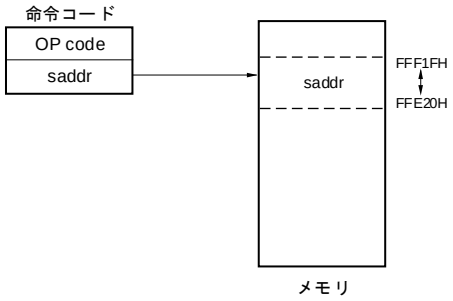
【機　　能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

| 表現形式 | 記述方法 |
|---|---|
| SADDR | ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ<br>（FFE20H-FFF1FH空間のみ指定可能） |
| SADDRP | ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ）<br>（FFE20H-FFF1FH空間のみ指定可能） |

図3－24　ショート・ダイレクト・アドレッシングの概略




**備考**　SADDR, SADDRPは，（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

### 3. 4. 5　SFRアドレッシング

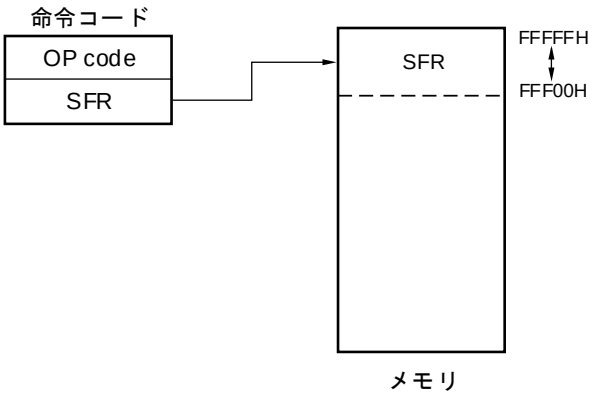
【機　　能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

| 表現形式 | 記述方法 |
|---|---|
| SFR | SFRレジスタ名 |
| SFRP | 16ビット操作可能なSFRレジスタ名（偶数アドレス） |

図3－25　SFRアドレッシングの概略



## 3. 4. 6 レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

| 表現形式 | 記述方法 |
|---|---|
| － | [DE]，[HL]<br>（F0000H-FFFFFH空間のみ指定可能） |
| － | ES:[DE]，ES:[HL]<br>（ESレジスタにて上位4ビット・アドレス指定） |

図3－26 [DE]，[HL]の例

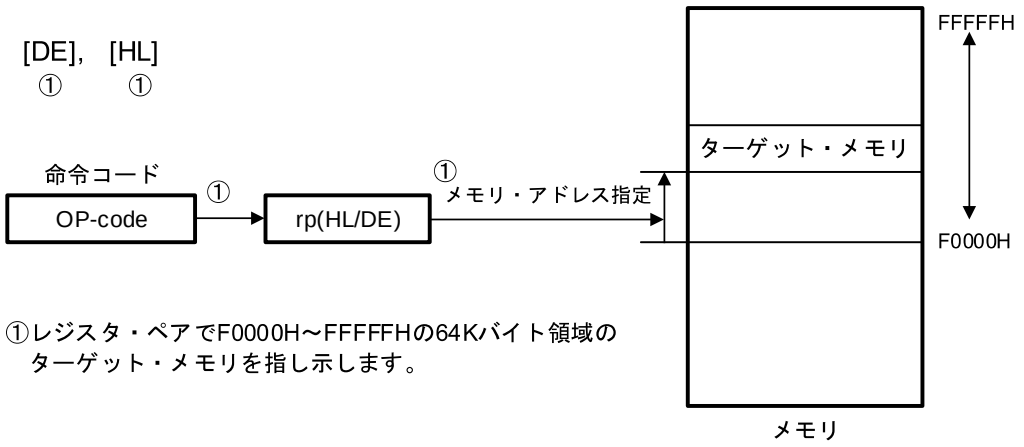
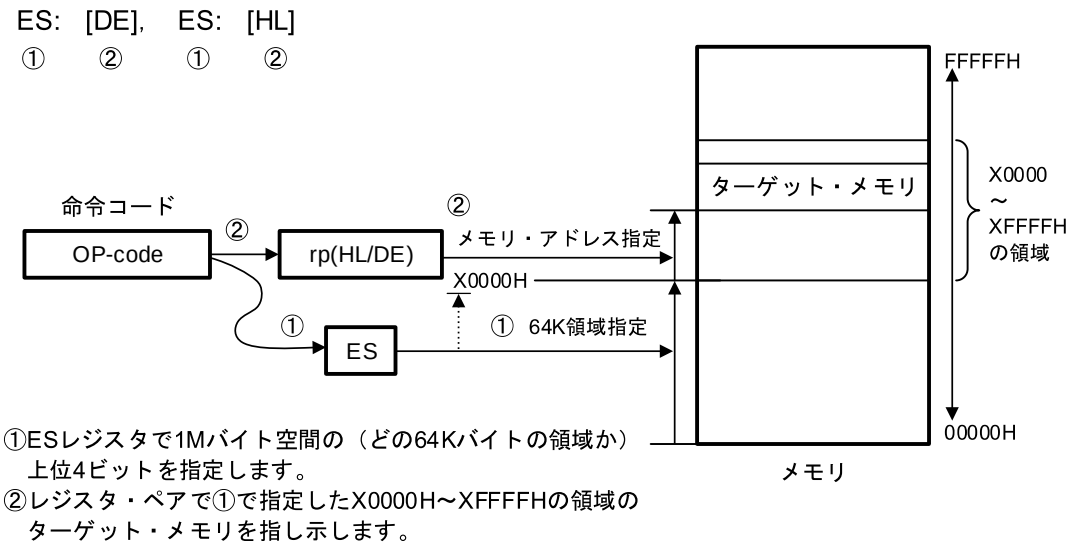



図3－27 ES:[DE]，ES:[HL]の例



## 3. 4. 7　ベースト・アドレッシング

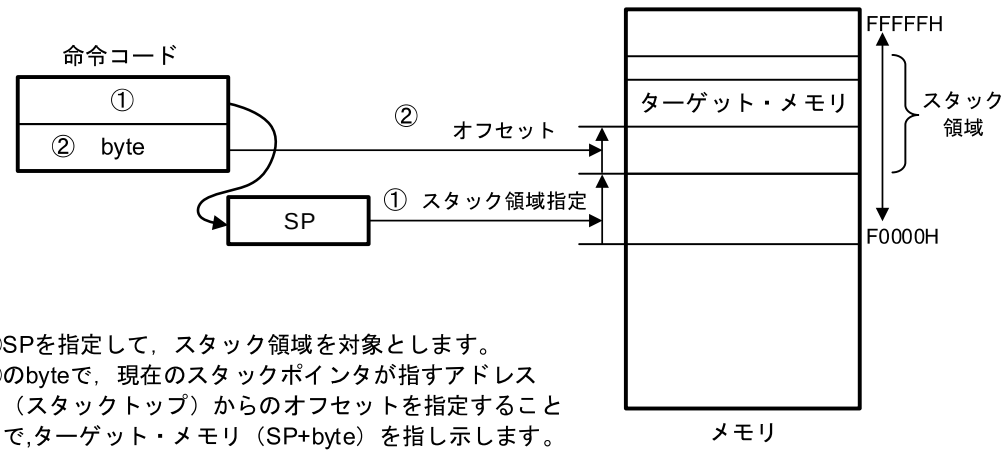
【機　　能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし，8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

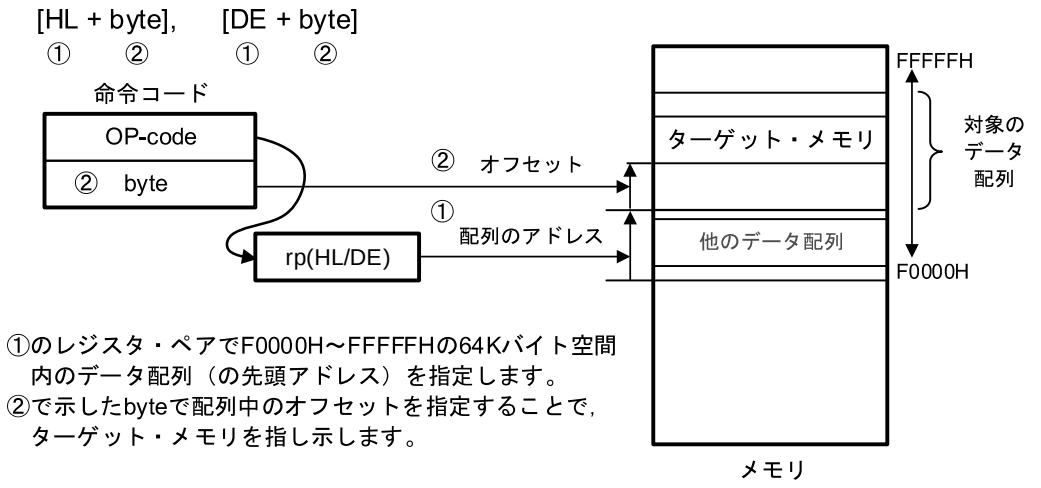
| 表現形式 | 記述方法 |
|---|---|
| － | [HL＋byte]，[DE + byte]，[SP + byte]<br>（F0000H-FFFFFH空間のみ指定可能） |
| － | word[B]，word[C]<br>（F0000H-FFFFFH空間のみ指定可能） |
| － | word[BC]<br>（F0000H-FFFFFH空間のみ指定可能） |
| － | ES:[HL＋byte]，ES:[DE + byte]<br>（ESレジスタにて上位4ビット・アドレス指定） |
| － | ES:word[B]，ES:word[C]<br>（ESレジスタにて上位4ビット・アドレス指定） |
| － | ES:word[BC]<br>（ESレジスタにて上位4ビット・アドレス指定） |

図3－28　[SP+byte]の例



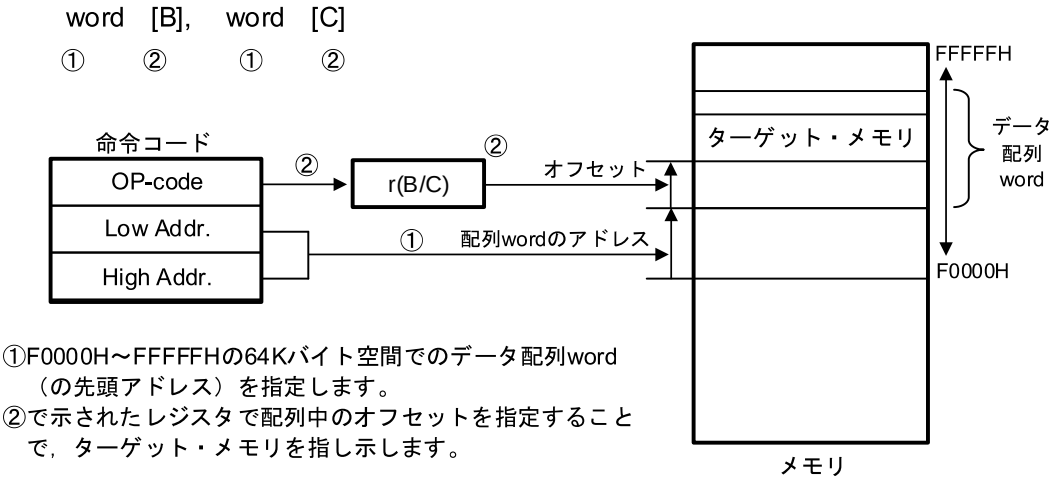

①SPを指定して，スタック領域を対象とします。
②のbyteで，現在のスタックポインタが指すアドレス（スタックトップ）からのオフセットを指定することで,ターゲット・メモリ（SP+byte）を指し示します。

図3－29 [HL+byte], [DE+byte]の例



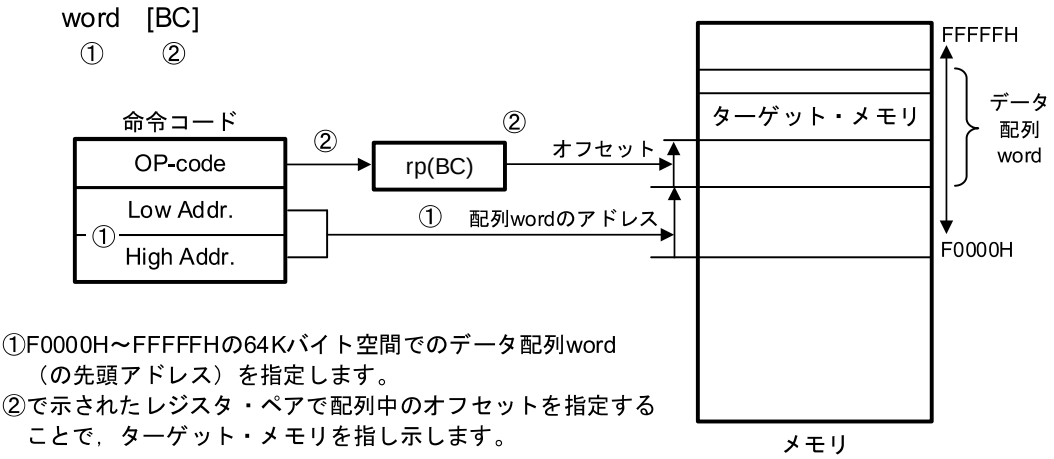

①のレジスタ・ペアでF0000H～FFFFFHの64Kバイト空間内のデータ配列（の先頭アドレス）を指定します。
②で示したbyteで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－30 word[B], word[C]の例



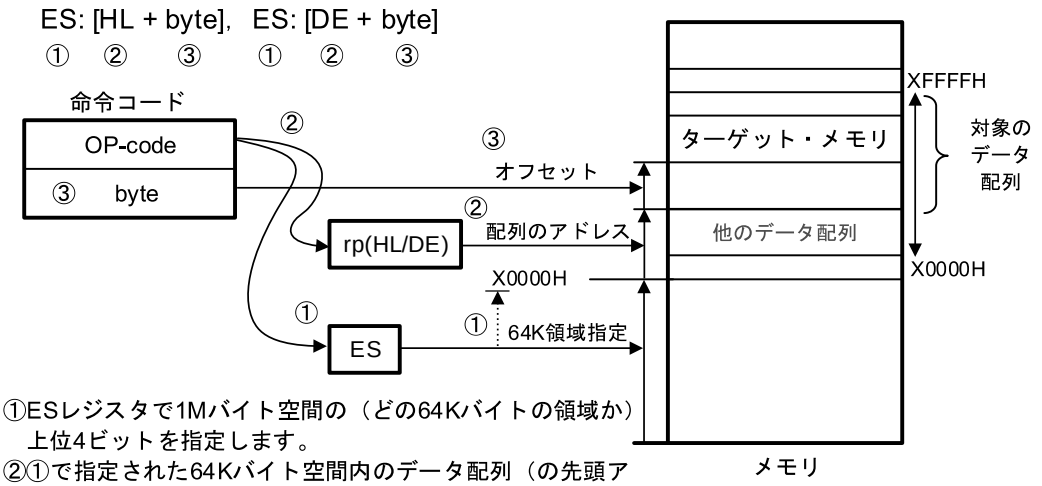

①F0000H～FFFFFHの64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
②で示されたレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－31 word[BC]の例



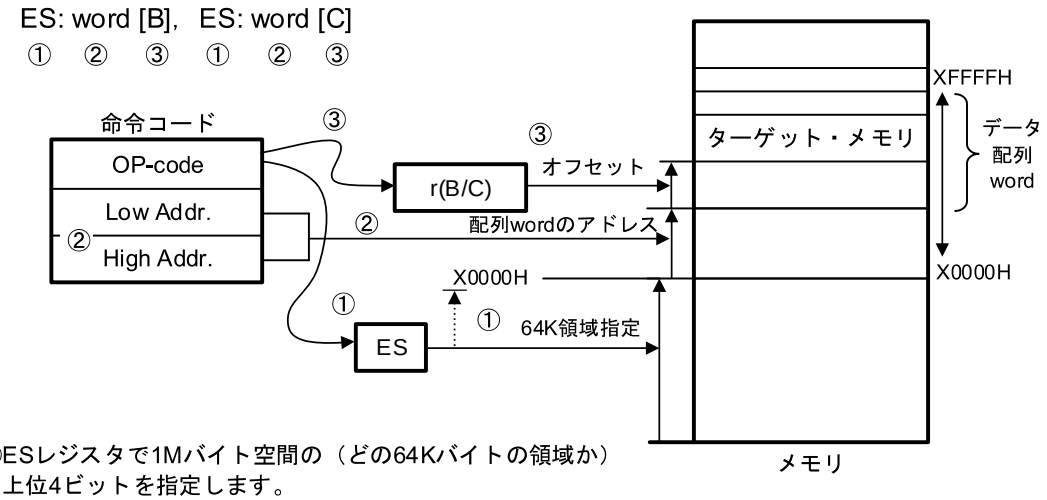

①F0000H～FFFFFHの64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
②で示されたレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－32 ES:[HL+byte]，ES:[DE+byte]の例



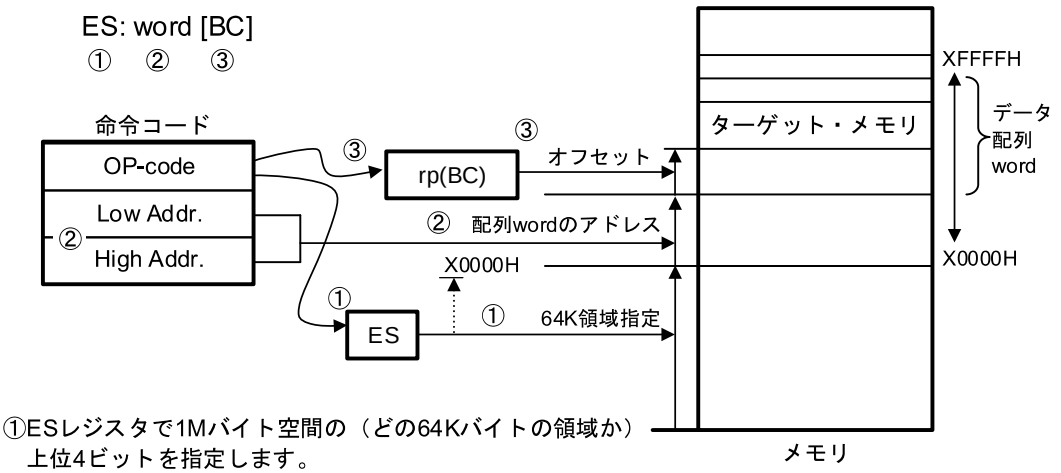

①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－33 ES:word[B]，ES:word[C]の例




①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－34 ES:word[BC]の例




①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

## 3. 4. 8　ベースト・インデクスト・アドレッシング

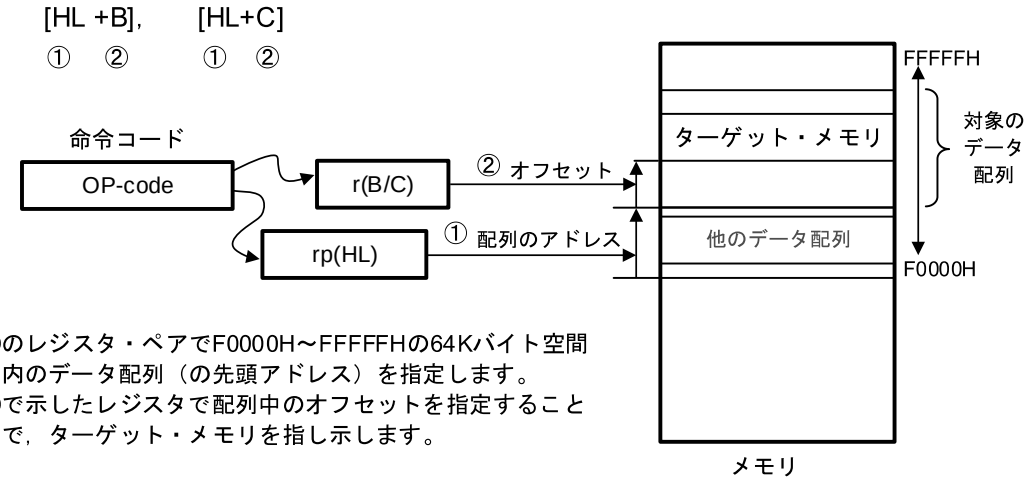
【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

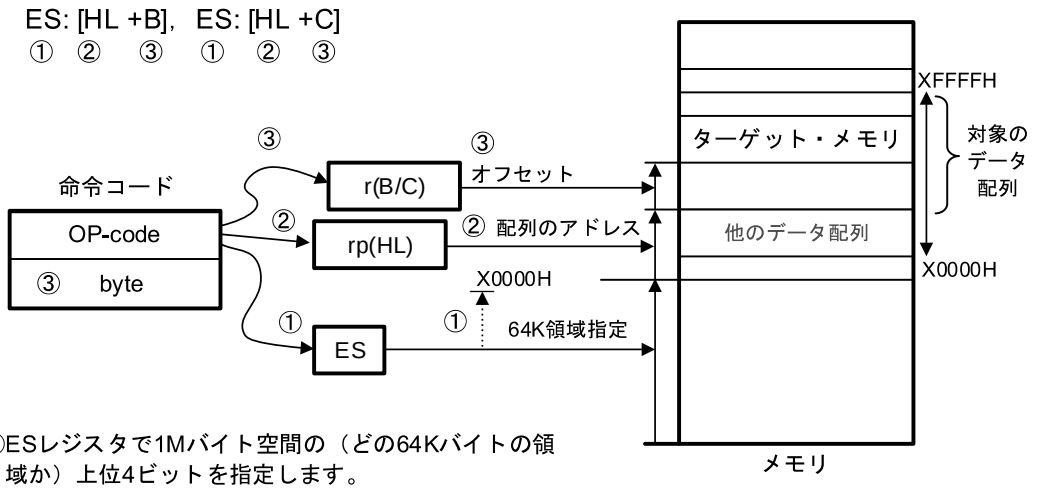
| 表現形式 | 記述方法 |
|---|---|
| － | [HL＋B]，[HL＋C]<br>（F0000H-FFFFFH空間のみ指定可能） |
| － | ES:[HL＋B]，ES:[HL＋C]<br>（ESレジスタにて上位4ビット・アドレス指定） |

図3－35　[HL+B]，[HL+C]の例




①のレジスタ・ペアでF0000H～FFFFFHの64Kバイト空間内のデータ配列（の先頭アドレス）を指定します。
②で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－36 ES:[HL+B]，ES:[HL+C]の例




①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

## 3. 4. 9　スタック・アドレッシング

【機　　能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

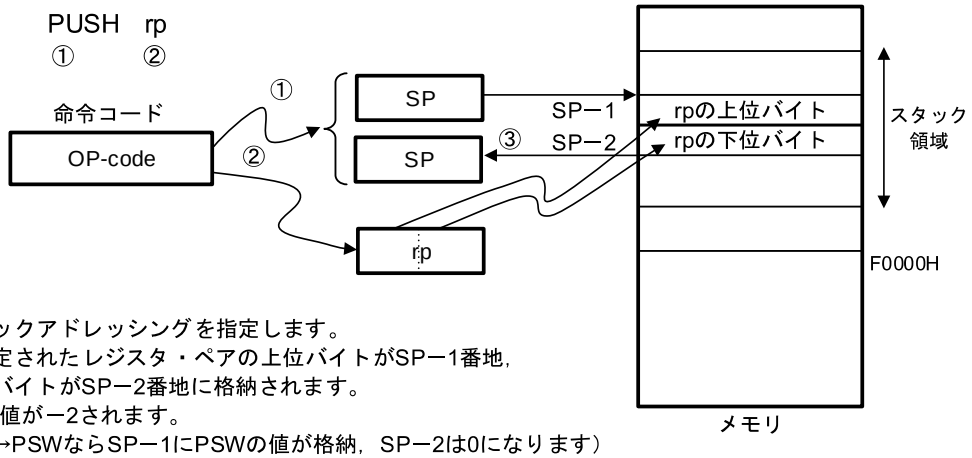
スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

| 表現形式 | 記述方法 |
|---|---|
| － | PUSH PSW AX/BC/DE/HL<br>POP PSW AX/BC/DE/HL<br>CALL/CALLT<br>RET<br>BRK<br>RETB<br>(割り込み要求発生)<br>RETI |

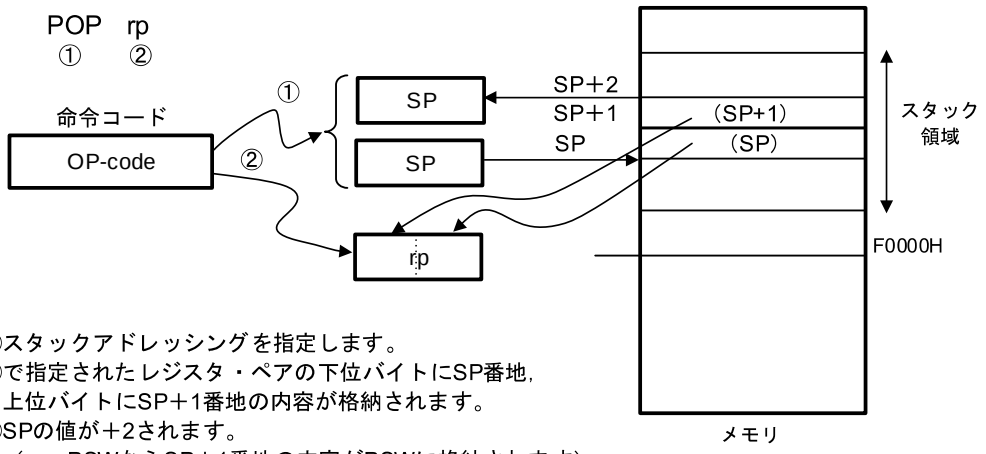
各スタック動作によって退避／復帰されるデータは図3－37～図3－42のようになります。

図3－37　PUSH rpの例



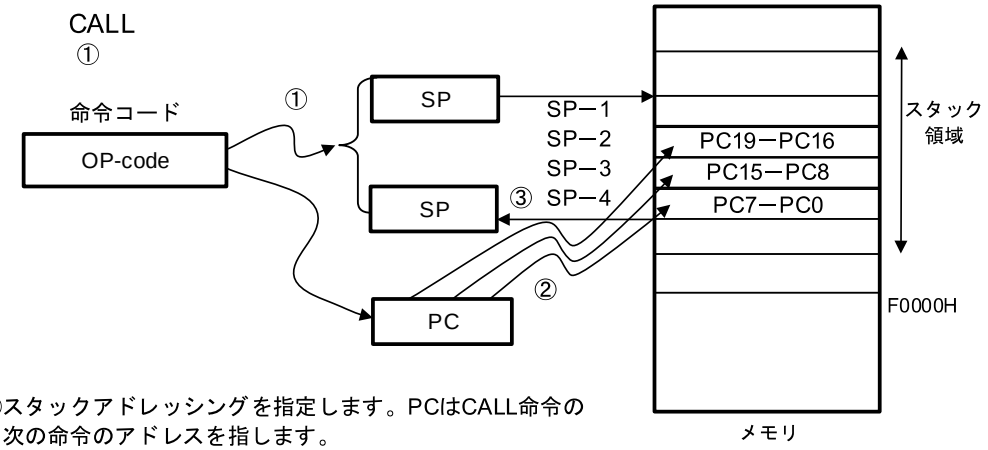

①スタックアドレッシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP－1番地，
　下位バイトがSP－2番地に格納されます。
③SPの値が－2されます。
　（rp→PSWならSP－1にPSWの値が格納，SP－2は0になります）

図3－38 POPの例



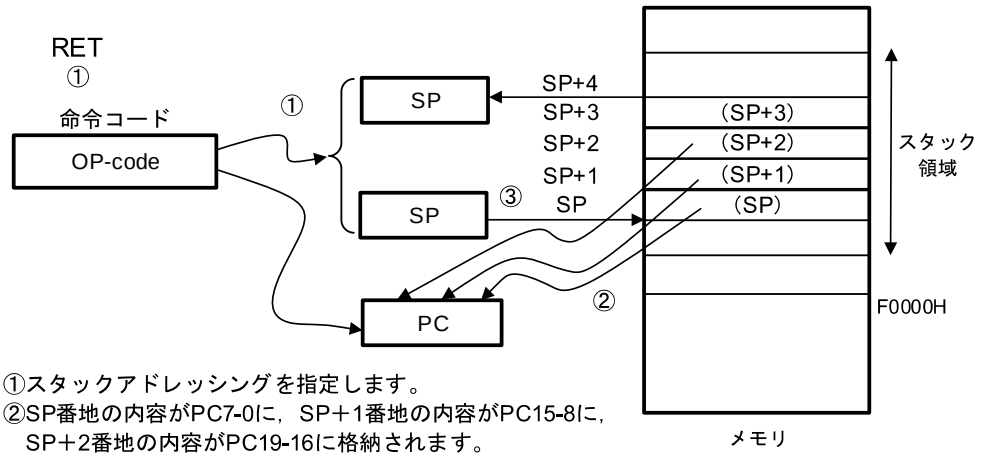

①スタックアドレッシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
上位バイトにSP＋1番地の内容が格納されます。
③SPの値が＋2されます。
（rp→PSWならSP＋1番地の内容がPSWに格納されます）

図3－39 CALL，CALLTの例



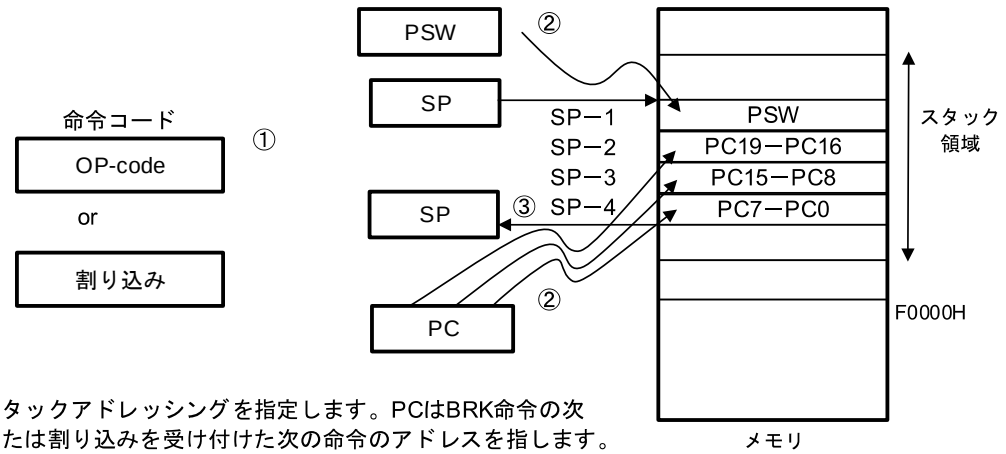

①スタックアドレッシングを指定します。PCはCALL命令の
次の命令のアドレスを指します。
②SP−2番地にはPC19-16の値が，SP−3番地にはPC15-8の値が，
SP−4番地にはPC7-0の値が格納されます。
③SPの値が-4されます。

図3－40 RETの例



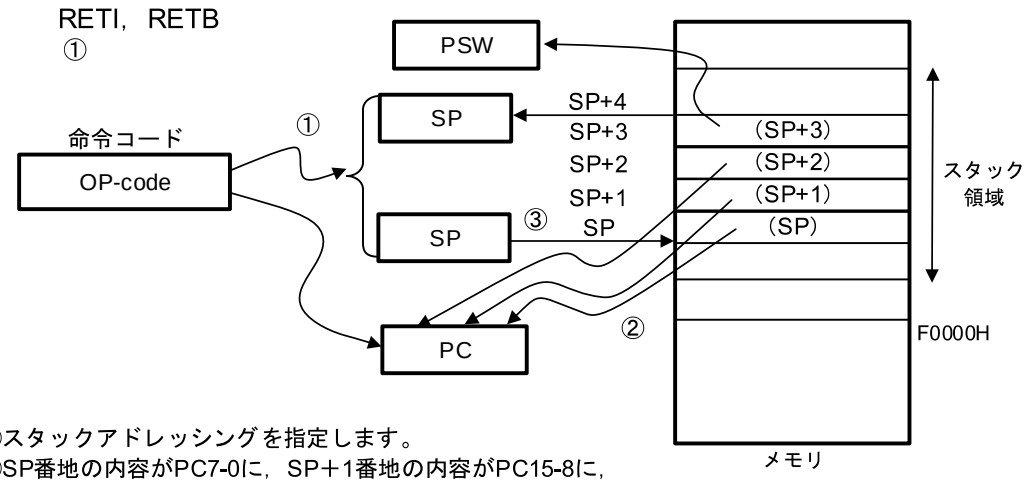

①スタックアドレッシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
SP＋2番地の内容がPC19-16に格納されます。
③SPの値が＋4されます。

図3－41 割り込み，BRKの例




①スタックアドレッシングを指定します。PCはBRK命令の次
　または割り込みを受け付けた次の命令のアドレスを指します。
②SP－1番地にはPSWの値が，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の値が
　格納されます。
③SPの値が－4されます。

図3－42 RETI，RETBの例




①スタックアドレッシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に，SP＋3番地の内容がPSW
　格納されます。
③SPの値が＋4されます。

# 第4章　ポート機能

## 4.1　ポートの機能

RL78/L13は，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，**第2章 端子機能**を参照してください。

## 4.2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－1　ポートの構成

| 項　　目 | 構　　成 |
|---|---|
| 制御レジスタ | ポート・モード・レジスタ（PM0-PM7, PM12）<br>ポート・レジスタ（P0-P7, P12, P13）<br>プルアップ抵抗オプション・レジスタ（PU0-PU5, PU7, PU12, PU13）<br>ポート入力モード・レジスタ（PIM0, PIM1, PIM3-PIM5）<br>ポート出力モード・レジスタ（POM0, POM1, POM3-POM5, POM13）<br>ポート・モード・コントロール・レジスタ（PMC1, PMC2, PMC4）<br>A/Dポート・コンフィギュレーション・レジスタ（ADPC）<br>周辺I/Oリダイレクション・レジスタ（PIOR）<br>LCDポート・ファンクション・レジスタ（PFSEG0-PFSEG6）<br>LCD入力切り替え制御レジスタ（ISCLCD） |
| ポート | ・64ピン製品：<br>合計：49本（CMOS入出力：42本（N-ch O.D.入出力[$V_{DD}$耐圧]：12本），CMOS入力：5本，N-chオープン・ドレイン入出力：2本）<br>・80ピン製品：<br>合計：65本（CMOS入出力：58本（N-ch O.D.入出力[$V_{DD}$耐圧]：18本），CMOS入力：5本，N-chオープン・ドレイン入出力：2本） |

### 4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P03，P05，P06端子の入力は，ポート入力モード・レジスタ0（PIM0）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00，P04-P07端子の出力は，ポート出力モード・レジスタ0（POM0）により1ビット単位でN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能です。

全端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ5，6（PFSEG5，PFSEG6）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

また，兼用機能としてプログラミングUARTの送信，LCDコントローラ／ドライバのセグメント出力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，クロック／ブザー出力，外部割り込み要求入力，コンパレータ出力があります。

リセット信号の発生により，デジタル入力無効[注]になります。

**注** デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれも無効な状態を示します。

### 4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P16，P17端子の入力は，ポート入力モード・レジスタ1（PIM1）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P16，P17端子の出力は，ポート出力モード・レジスタ1（POM1）により1ビット単位でN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能です。

P10-P13端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ1（PMC1）で“デジタル入出力“を設定し，さらにLCDポート・ファンクション・レジスタ4（PFSEG4）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

P14-P17端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ5（PFSEG5）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

また，兼用機能としてA/Dコンバータのアナログ入力，LCDコントローラ／ドライバのセグメント出力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，プログラミングUARTの受信があります。

リセット信号の発生により，P10-P13はアナログ入力に，P14-P17はデジタル入力無効[注]になります。

**注** デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれも無効な状態を示します。

### 4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。P22-P27端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ2（PU2）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてA/Dコンバータのアナログ入力，A/Dコンバータの基準電位（＋側）入力，A/Dコンバータの基準電位（－側）入力，LCDコントローラ／ドライバのセグメント出力があります。

P20/ANI1, P21/ANI0をデジタル入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で”デジタル入出力”に設定して，上位ビットから使用してください。

P20/ANI1, P21/ANI0をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM2レジスタで入力モードに設定して，下位ビットから使用してください。

表4－2 P20/ANI1, P21/ANI0端子機能の設定

| ADPCレジスタ | PM2レジスタ | ADSレジスタ | P20/ANI1, P21/ANI0端子 |
|---|---|---|---|
| デジタル入出力選択 | 入力モード | － | デジタル入力 |
| | 出力モード | － | デジタル出力 |
| アナログ入力選択 | 入力モード | ANI選択 | アナログ入力（変換対象） |
| | | ANI非選択 | アナログ入力（非変換対象） |
| | 出力モード | ANI選択 | 設定禁止 |
| | | ANI非選択 | |

P22-P27端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ2（PMC2）で“デジタル入出力“を設定し，さらにLCDポート・ファンクション・レジスタ3, 4（PFSEG3, PFSEG4）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

リセット信号の発生により，P20-P27はすべてアナログ入力になります。

### 4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30-P35端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P34端子の入力は，ポート入力モード・レジスタ3（PIM3）の設定により通常入力バッファ／TTL入力バッファの指定ができます。

P35端子の出力は，ポート出力モード・レジスタ3（POM3）によりN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能です。

P30-P35端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ2，3（PFSEG2，PFSEG3）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

また，兼用機能として外部割り込み要求入力，リアルタイム・クロック2の補正クロック出力，タイマの入出力，リモコン出力，LCDコントローラ／ドライバのセグメント出力，シリアル・インタフェースのデータ入出力があります。

リセット信号の発生により，デジタル入力無効[注]になります。

**注** デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれも無効な状態を示します。

### 4.2.5　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P43, P44, P46, P47端子の入力は，ポート入力モード・レジスタ4（PIM4）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P42-P44, P46, P47端子の出力は，ポート出力モード・レジスタ4（POM4）により1ビット単位でN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能です。

P45端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ3（PFSEG3）のビット2（PFDEG）で“ポートとして使用"を設定してください。

P46，P47端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ3（PFSEG3）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力，タイマの入出力，コンパレータのリファレンス電圧入力，コンパレータのアナログ電圧入力，LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により，P40-P44は入力モードに，P45-P47はデジタル入力無効[注]になります。

**注**　デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれも無効な状態を示します。

### 4.2.6　ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P53, P55端子の入力は，ポート入力モード・レジスタ5（PIM5）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P53-P56端子の出力は，ポート出力モード・レジスタ5（POM5）により1ビット単位でN-chオープン・ドレイン出力（$V_{DD}$耐圧）に設定可能です。

全端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ0, 1（PFSEG0, PFSEG1）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

また，兼用機能としてLCDコントローラ／ドライバのセグメント出力，タイマの入出力，外部割り込み要求入力があります。

リセット信号の発生により，デジタル入力無効[注]になります。

**注**　デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれも無効な状態を示します。

### 4.2.7　ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は，N-chオープン・ドレイン出力（6 V耐圧）です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力があります。

リセット信号の発生により，入力モードになります。

### 4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

全端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ1, 2（PFSEG1, PFSEG2）で“ポート（セグメント出力以外）として使用"を設定してください（1ビット単位で設定可能）。

また，兼用機能としてキー割り込み入力，タイマの出力，LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により，デジタル入力無効[注]になります。

**注** デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれも無効な状態を示します。

### 4.2.9 ポート12

P125-P127は出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ12（PM12）により，1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力専用ポートです。

P125-P127端子をデジタル入出力ポートとして使用する場合，LCD入力切り替え制御レジスタ（ISCLCD）で“デジタル入力許可"を設定してください（1ビット単位で設定可能）。

また兼用機能としてメイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力，リモコン出力，タイマ入出力，LCDコントローラ／ドライバ用コンデンサ接続，LCD駆動用電圧端子があります。

リセット信号の発生により，P121-P124は入力モードになります。P125-P127はデジタル入力無効[注]になります。

**注** デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

### 4.2.10 ポート13

P130は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ13（PM13）により，入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ13（PU13）により内蔵プルアップ抵抗を使用できます。

P137は1ビットの入力専用ポートです。

P130端子をデジタル入出力ポートとして使用する場合，LCDポート・ファンクション・レジスタ3（PFSEG3）で“ポート（セグメント出力以外）として使用"を設定してください。

また兼用機能として外部割込み要求入力，シリアル・インタフェースのデータ出力，LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により，P137は入力モードに，P130はデジタル入力無効[注]になります。

**注** デジタル入力無効とは，デジタル出力，デジタル入力，アナログ入力，LCD出力のいずれもが無効な状態を示します。

## 4.3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- プルアップ抵抗オプション・レジスタ（PUxx）
- ポート入力モード・レジスタ（PIMx）
- ポート出力モード・レジスタ（POMx）
- ポート・モード・コントロール・レジスタ（PMCxx）
- A/Dポート・コンフィギュレーション・レジスタ（ADPC）
- 周辺I/Oリダイレクション・レジスタ（PIOR）
- LCDポート・ファンクション・レジスタ（PFSEG0-PFSEG6）
- LCD入力切り替え制御レジスタ（ISCLCD）

**注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表4－3を参照してください。また，搭載していないビットには必ず初期値を設定してください。**

表4－3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（1/3）

| ポート | | ビット名 | | | | | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|
| | | PMxxレジスタ | Pxxレジスタ | PUxxレジスタ | PIMxxレジスタ | POMxxレジスタ | PMCxxレジスタ | | |
| ポート0 | 0 | PM00 | P00 | PU00 | － | POM00 | － | ○ | ○ |
| | 1 | PM01 | P01 | PU01 | － | － | － | ○ | ○ |
| | 2 | PM02 | P02 | PU02 | － | － | － | ○ | ○ |
| | 3 | PM03 | P03 | PU03 | PIM03 | － | － | ○ | ○ |
| | 4 | PM04 | P04 | PU04 | － | POM04 | － | ○ | ○ |
| | 5 | PM05 | P05 | PU05 | PIM05 | POM05 | － | ○ | ○ |
| | 6 | PM06 | P06 | PU06 | PIM06 | POM06 | － | ○ | ○ |
| | 7 | PM07 | P07 | PU07 | － | POM07 | － | ○ | ○ |
| ポート1 | 0 | PM10 | P10 | PU10 | － | － | PMC10 | ○ | ○ |
| | 1 | PM11 | P11 | PU11 | － | － | PMC11 | ○ | ○ |
| | 2 | PM12 | P12 | PU12 | － | － | PMC12 | ○ | ○ |
| | 3 | PM13 | P13 | PU13 | － | － | PMC13 | ○ | ○ |
| | 4 | PM14 | P14 | PU14 | － | － | － | ○ | ○ |
| | 5 | PM15 | P15 | PU15 | － | － | － | ○ | ○ |
| | 6 | PM16 | P16 | PU16 | PIM16 | POM16 | － | ○ | ○ |
| | 7 | PM17 | P17 | PU17 | PIM17 | POM17 | － | ○ | ○ |
| ポート2 | 0 | PM20 | P20 | － | － | － | － | ○ | ○ |
| | 1 | PM21 | P21 | － | － | － | － | ○ | ○ |
| | 2 | PM22 | P22 | PU22 | － | － | PMC22 | ○ | ○ |
| | 3 | PM23 | P23 | PU23 | － | － | PMC23 | ○ | － |
| | 4 | PM24 | P24 | PU24 | － | － | PMC24 | ○ | － |
| | 5 | PM25 | P25 | PU25 | － | － | PMC25 | ○ | － |
| | 6 | PM26 | P26 | PU26 | － | － | PMC26 | ○ | ○ |
| | 7 | PM27 | P27 | PU27 | － | － | PMC27 | ○ | ○ |
| ポート3 | 0 | PM30 | P30 | PU30 | － | － | － | ○ | ○ |
| | 1 | PM31 | P31 | PU31 | － | － | － | ○ | ○ |
| | 2 | PM32 | P32 | PU32 | － | － | － | ○ | ○ |
| | 3 | PM33 | P33 | PU33 | － | － | － | ○ | ○ |
| | 4 | PM34 | P34 | PU34 | PIM34 | － | － | ○ | － |
| | 5 | PM35 | P35 | PU35 | － | POM35 | － | ○ | － |
| | 6 | － | － | － | － | － | － | － | － |
| | 7 | － | － | － | － | － | － | － | － |

表4－3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（2/3）

| ポート | | ビット名 | | | | | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|
| | | PMxxレジスタ | Pxxレジスタ | PUxxレジスタ | PIMxxレジスタ | POMxxレジスタ | PMCxxレジスタ | | |
| ポート4 | 0 | PM40 | P40 | PU40 | － | － | － | ○ | ○ |
| | 1 | PM41 | P41 | PU41 | － | － | － | ○ | － |
| | 2 | PM42 | P42 | PU42 | － | POM42 | PMC42 | ○ | ○ |
| | 3 | PM43 | P43 | PU43 | PIM43 | POM43 | PMC43 | ○ | ○ |
| | 4 | PM44 | P44 | PU44 | PIM44 | POM44 | PMC44 | ○ | ○ |
| | 5 | PM45 | P45 | PU45 | － | － | PMC45 | ○ | ○ |
| | 6 | PM46 | P46 | PU46 | PIM46 | POM46 | － | ○ | － |
| | 7 | PM47 | P47 | PU47 | PIM47 | POM47 | － | ○ | － |
| ポート5 | 0 | PM50 | P50 | PU50 | － | － | － | ○ | － |
| | 1 | PM51 | P51 | PU51 | － | － | － | ○ | － |
| | 2 | PM52 | P52 | PU52 | － | － | － | ○ | ○ |
| | 3 | PM53 | P53 | PU53 | PIM53 | POM53 | － | ○ | ○ |
| | 4 | PM54 | P54 | PU54 | － | POM54 | － | ○ | ○ |
| | 5 | PM55 | P55 | PU55 | PIM55 | POM55 | － | ○ | － |
| | 6 | PM56 | P56 | PU56 | － | POM56 | － | ○ | － |
| | 7 | PM57 | P57 | PU57 | － | － | － | ○ | ○ |
| ポート6 | 0 | PM60 | P60 | － | － | － | － | ○ | ○ |
| | 1 | PM61 | P61 | － | － | － | － | ○ | ○ |
| | 2 | － | － | － | － | － | － | － | － |
| | 3 | － | － | － | － | － | － | － | － |
| | 4 | － | － | － | － | － | － | － | － |
| | 5 | － | － | － | － | － | － | － | － |
| | 6 | － | － | － | － | － | － | － | － |
| | 7 | － | － | － | － | － | － | － | － |
| ポート7 | 0 | PM70 | P70 | PU70 | － | － | － | ○ | ○ |
| | 1 | PM71 | P71 | PU71 | － | － | － | ○ | － |
| | 2 | PM72 | P72 | PU72 | － | － | － | ○ | － |
| | 3 | PM73 | P73 | PU73 | － | － | － | ○ | － |
| | 4 | PM74 | P74 | PU74 | － | － | － | ○ | ○ |
| | 5 | PM75 | P75 | PU75 | － | － | － | ○ | ○ |
| | 6 | PM76 | P76 | PU76 | － | － | － | ○ | ○ |
| | 7 | PM77 | P77 | PU77 | － | － | － | ○ | ○ |

表4－3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（3/3）

| ポート | | ビット名 | | | | | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|
| | | PMxxレジスタ | Pxxレジスタ | PUxxレジスタ | PIMxxレジスタ | POMxxレジスタ | PMCxxレジスタ | | |
| ポート12 | 0 | － | － | － | － | － | － | － | － |
| | 1 | － | P121 | － | － | － | － | ○ | ○ |
| | 2 | － | P122 | － | － | － | － | ○ | ○ |
| | 3 | － | P123 | － | － | － | － | ○ | ○ |
| | 4 | － | P124 | － | － | － | － | ○ | ○ |
| | 5 | PM125 | P125 | PU125 | － | － | － | ○ | ○ |
| | 6 | PM126 | P126 | PU126 | － | － | － | ○ | ○ |
| | 7 | PM127 | P127 | PU127 | － | － | － | ○ | ○ |
| ポート13 | 0 | PM130 | P130 | PU130 | － | POM130 | － | ○ | － |
| | 1 | － | － | － | － | － | － | － | － |
| | 2 | － | － | － | － | － | － | － | － |
| | 3 | － | － | － | － | － | － | － | － |
| | 4 | － | － | － | － | － | － | － | － |
| | 5 | － | － | － | － | － | － | － | － |
| | 6 | － | － | － | － | － | － | － | － |
| | 7 | － | P137 | － | － | － | － | ○ | ○ |

### 4. 3. 1　ポート・モード・レジスタ（PMxx）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，**4. 5　兼用機能使用時のレジスタ設定**を参照し，設定してください。

図4−1　ポート・モード・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PM0 | PM07 | PM06 | PM05 | PM04 | PM03 | PM02 | PM01 | PM00 | FFF20H | FFH | R/W |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 | FFF21H | FFH | R/W |
| PM2 | PM27 | PM26 | PM25 | PM24 | PM23 | PM22 | PM21 | PM20 | FFF22H | FFH | R/W |
| PM3 | 1 | 1 | PM35 | PM34 | PM33 | PM32 | PM31 | PM30 | FFF23H | FFH | R/W |
| PM4 | PM47 | PM46 | PM45 | PM44 | PM43 | PM42 | PM41 | PM40 | FFF24H | FFH | R/W |
| PM5 | PM57 | PM56 | PM55 | PM54 | PM53 | PM52 | PM51 | PM50 | FFF25H | FFH | R/W |
| PM6 | 1 | 1 | 1 | 1 | 1 | 1 | PM61 | PM60 | FFF26H | FFH | R/W |
| PM7 | PM77 | PM76 | PM75 | PM74 | PM73 | PM72 | PM71 | PM70 | FFF27H | FFH | R/W |
| PM12 | PM127 | PM126 | PM125 | 1 | 1 | 1 | 1 | 1 | FFF2CH | FFH | R/W |
| PM13 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM130 | FFF2DH | FFH | R/W |

| PMmn | Pmn端子の入出力モードの選択<br>（m = 0-7, 12, 13; n = 0-7） |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

**注意　搭載していないビットには必ず初期値を設定してください。**

### 4.3.2 ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます注。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注 P10-P13, P20-P27をA/Dコンバータのアナログ入力機能として設定した場合または，P42-P45をコンパレータのアナログ入力機能として設定した場合に，ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4−2 ポート・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| P0 | P07 | P06 | P05 | P04 | P03 | P02 | P01 | P00 | FFF00H | 00H（出力ラッチ） | R/W |
| P1 | P17 | P16 | P15 | P14 | P13 | P12 | P11 | P10 | FFF01H | 00H（出力ラッチ） | R/W |
| P2 | P27 | P26 | P25 | P24 | P23 | P22 | P21 | P20 | FFF02H | 00H（出力ラッチ） | R/W |
| P3 | 0 | 0 | P35 | P34 | P33 | P32 | P31 | P30 | FFF03H | 00H（出力ラッチ） | R/W |
| P4 | P47 | P46 | P45 | P44 | P43 | P42 | P41 | P40 | FFF04H | 00H（出力ラッチ） | R/W |
| P5 | P57 | P56 | P55 | P54 | P53 | P52 | P51 | P50 | FFF05H | 00H（出力ラッチ） | R/W |
| P6 | 0 | 0 | 0 | 0 | 0 | 0 | P61 | P60 | FFF06H | 00H（出力ラッチ） | R/W |
| P7 | P77 | P76 | P75 | P74 | P73 | P72 | P71 | P70 | FFF07H | 00H（出力ラッチ） | R/W |
| P12 | P127 | P126 | P125 | P124 | P123 | P122 | P121 | 0 | FFF0CH | 不定 | R/W注1 |
| P13 | P137 | 0 | 0 | 0 | 0 | 0 | 0 | P130 | FFF0DH | 注2 | R/W注1 |

| Pmn | 出力データの制御（出力モード時） | 入力データの読み出し（入力モード時） |
|---|---|---|
| 0 | 0を出力 | ロウ・レベルを入力 |
| 1 | 1を出力 | ハイ・レベルを入力 |

**注 1.** P121-P124, P137はRead Onlyです。

**2.** P137：不定

P130：0（出力ラッチ）

**注意 搭載していないビットには必ず初期値を設定してください。**

**備考** m = 0-7, 12, 13 ; n = 0-7

### 4. 3. 3 プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定（PMC = 1, ADPC = 1）にしている場合も同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H（PU4のみ01H）になります。

**注意 PIMnレジスタがあるポートで，異電位デバイスからTTLバッファに入力する場合は，PUmn = 0 を設定して，外部抵抗を介して異電位デバイスの電源にプルアップしてください。**

図4－3 プルアップ抵抗オプション・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PU0 | PU07 | PU06 | PU05 | PU04 | PU03 | PU02 | PU01 | PU00 | F0030H | 00H | R/W |
| PU1 | PU17 | PU16 | PU15 | PU14 | PU13 | PU12 | PU11 | PU10 | F0031H | 00H | R/W |
| PU2 | PU27 | PU26 | PU25 | PU24 | PU23 | PU22 | 0 | 0 | F0032H | 00H | R/W |
| PU3 | 0 | 0 | PU35 | PU34 | PU33 | PU32 | PU31 | PU30 | F0033H | 00H | R/W |
| PU4 | PU47 | PU46 | PU45 | PU44 | PU43 | PU42 | PU41 | PU40 | F0034H | 01H | R/W |
| PU5 | PU57 | PU56 | PU55 | PU54 | PU53 | PU52 | PU51 | PU50 | F0035H | 00H | R/W |
| PU7 | PU77 | PU76 | PU75 | PU74 | PU73 | PU72 | PU71 | PU70 | F0037H | 00H | R/W |
| PU12 | PU127 | PU126 | PU125 | 0 | 0 | 0 | 0 | 0 | F003CH | 00H | R/W |
| PU13 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU130 | F003DH | 00H | R/W |

| PUmn | Pmnの内蔵プルアップ抵抗の選択<br>（m = 0-5, 7, 12, 13 ; n = 0-7） |
|---|---|
| 0 | 内蔵プルアップ抵抗を接続しない |
| 1 | 内蔵プルアップ抵抗を接続する |

**注意 搭載していないビットには必ず初期値を設定してください。**

### 4. 3. 4 ポート入力モード・レジスタ（PIMxx）

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4−4 ポート入力モード・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PIM0 | 0 | PIM06 | PIM05 | 0 | PIM03 | 0 | 0 | 0 | F0040H | 00H | R/W |
| PIM1 | PIM17 | PIM16 | 0 | 0 | 0 | 0 | 0 | 0 | F0041H | 00H | R/W |
| PIM3 | 0 | 0 | 0 | PIM34 | 0 | 0 | 0 | 0 | F0043H | 00H | R/W |
| PIM4 | PIM47 | PIM46 | 0 | PIM44 | PIM43 | 0 | 0 | 0 | F0044H | 00H | R/W |
| PIM5 | 0 | 0 | PIM55 | 0 | PIM53 | 0 | 0 | 0 | F0045H | 00H | R/W |

| PIMmn | Pmn端子の入力バッファの選択<br>（m = 0, 1, 3-5 ; n = 3-7） |
|---|---|
| 0 | 通常入力バッファ |
| 1 | TTL入力バッファ |

**注意 搭載していないビットには必ず初期値を設定してください。**

### 4. 3. 5 ポート出力モード・レジスタ（POMxx）

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易$I^2C$通信時のSDA00, SDA10端子にN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択できます。

また, POMxxレジスタはPUxxレジスタとともに, 内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

**注意 N-chオープン・ドレイン出力（$V_{DD}$耐圧）モード（POMmn = 1）を設定したビットは，内蔵プルアップ抵抗が接続されません。**

図4−5 ポート出力モード・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| POM0 | POM07 | POM06 | POM05 | POM04 | 0 | 0 | 0 | POM00 | F0050H | 00H | R/W |
| POM1 | POM17 | POM16 | 0 | 0 | 0 | 0 | 0 | 0 | F0051H | 00H | R/W |
| POM3 | 0 | 0 | POM35 | 0 | 0 | 0 | 0 | 0 | F0053H | 00H | R/W |
| POM4 | POM47 | POM46 | 0 | POM44 | POM43 | POM42 | 0 | 0 | F0054H | 00H | R/W |
| POM5 | 0 | POM56 | POM55 | POM54 | POM53 | 0 | 0 | 0 | F0055H | 00H | R/W |
| POM13 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | POM130 | F005DH | 00H | R/W |

| POMmn | Pmn端子の出力モードの選択<br>（m = 0, 1, 3-5, 13 ; n = 0, 2-7） |
|---|---|
| 0 | 通常出力モード |
| 1 | N-chオープン・ドレイン出力（$V_{DD}$耐圧）モード |

**注意 搭載していないビットには必ず初期値を設定してください。**

### 4. 3. 6 ポート・モード・コントロール・レジスタ（PMCxx）

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります（PMC4のみ00H）。

図4－6 ポート・モード・コントロール・レジスタのフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PMC1 | 1 | 1 | 1 | 1 | PMC13 | PMC12 | PMC11 | PMC10 | F0061H | FFH | R/W |
| PMC2 | PMC27 | PMC26 | PMC25 | PMC24 | PMC23 | PMC22 | 1 | 1 | F0062H | FFH | R/W |
| PMC4 | 0 | 0 | PMC45 | PMC44 | PMC43 | PMC42 | 0 | 0 | F0064H | 00H | R/W |

| PMCmn | Pmn端子のデジタル入出力／アナログ入力の選択<br>（m = 1, 2, 4；n = 0-7） |
|---|---|
| 0 | デジタル入出力（アナログ入力以外の兼用機能） |
| 1 | アナログ入力 |

**注意 1. PMCxxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ1, 2, 4（PM1, PM2, PM4）で入力モードに選択してください。**

**2. PMCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。**

**3. 搭載していないビットには必ず初期値を設定してください。**

### 4. 3. 7 A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P21，ANI1/P20端子を，A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4−7 A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADPC | 0 | 0 | 0 | 0 | 0 | 0 | ADPC1 | ADPC0 |

| ADPC1 | ADPC0 | アナログ入力（A）／デジタル入出力（D）の切り替え | |
|---|---|---|---|
| | | ANI1/P20 | ANI0/P21 |
| 0 | 0 | A | A |
| 0 | 1 | D | D |
| 1 | 0 | D | A |
| 1 | 1 | 設定禁止 | |

**注意1. ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。**

**2. ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。**

**3. $AV_{REFP}$と$AV_{REFM}$を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。**

## 4. 3. 8 周辺I/Oリダイレクション・レジスタ（PIOR）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は，PIORレジスタでポートを割り当ててから，動作許可にしてください。

なお，リダイレクトの設定を変更できるのは，その機能を動作許可にするまでです。

PIORレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4−8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット

アドレス：F0077H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PIOR | 0 | 0 | 0 | PIOR4 | PIOR3 | PIOR2 | PIOR1 | PIOR0 |

| ビット | 機能 | 80ピン | | 64ピン | |
|---|---|---|---|---|---|
| | | 設定値 | | 設定値 | |
| | | 0 | 1 | 0 | 1 |
| PIOR4 | INTP7 | P02 | P43 | P02 | P43 |
| | INTP5 | P55 | P01 | P01 | − |
| PIOR3 | PCLBUZ0 | P02 | P07 | P02 | P07 |
| PIOR2 | TxD1 | P07 | P42 | P07 | P42 |
| | RxD1 | P06 | P43 | P06 | P43 |
| | SCL10 | P05 | P44 | P05 | P44 |
| | SDA10 | P06 | P43 | P06 | P43 |
| | SI10 | P06 | P43 | P06 | P43 |
| | SO10 | P07 | P42 | P07 | P42 |
| | SCK10 | P05 | P44 | P05 | P44 |
| PIOR1 | TxD0 | P00 | P130 | 使用できません。<br>0（初期値）を設定してください。 | |
| | RxD0 | P17 | P47 | | |
| | SCL00 | P16 | P46 | | |
| | SDA00 | P17 | P47 | | |
| | SI00 | P17 | P47 | | |
| | SO00 | P00 | P130 | | |
| | SCK00 | P16 | P46 | | |
| PIOR0 | TI00/TO00 | P52 | P40 | P52 | P40 |
| | TI01/TO01 | P32 | P60 | P32 | P60 |
| | TI02/TO02 | P54 | P61 | P54 | P61 |
| | TI03/TO03/REMOOUT | P30 | P127 | P30 | P127 |
| | TI04/TO04 | P14 | P126 | P14 | P126 |
| | TI05/TO05 | P42 | P01 | P42 | P01 |
| | TI06/TO06 | P56 | P125 | P125 | − |
| | TI07/TO07 | P15 | P41 | P15 | − |

**備考** −：兼用機能として使用できません。

### 4. 3. 9　LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）

P00-P07, P10-P17, P22-P27, P30-P35, P46, P47, P50-P57, P70-P77, P130端子をポート（セグメント出力以外）／セグメント出力のどちらで使用するか，またP45端子をポート／アナログ入力のどちらで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります（PFSEG0はF0H, PFSEG6は0FH）。

**備考**　セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と，製品によるSEGxx端子の有無を**表4−4　各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）**に示します。

図4－9 LCDポート・ファンクション・レジスタ（PFSEG0-PFSEG6）のフォーマット

アドレス：F0300H リセット時：F0H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG0 | PFSEG07 | PFSEG06 | PFSEG05 | PFSEG04 | 0 | 0 | 0 | 0 |

アドレス：F0301H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG1 | PFSEG15 | PFSEG14 | PFSEG13 | PFSEG12 | PFSEG11 | PFSEG10 | PFSEG09 | PFSEG08 |

アドレス：F0302H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG2 | PFSEG23 | PFSEG22 | PFSEG21 | PFSEG20 | PFSEG19 | PFSEG18 | PFSEG17 | PFSEG16 |

アドレス：F0303H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG3 | PFSEG30 | PFSEG29 | PFSEG28 | PFSEG27 | PFSEG26 | PFDEG | PFSEG25 | PFSEG24 |

アドレス：F0304H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG4 | PFSEG38 | PFSEG37 | PFSEG36 | PFSEG35 | PFSEG34 | PFSEG33 | PFSEG32 | PFSEG31 |

アドレス：F0305H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG5 | PFSEG46 | PFSEG45 | PFSEG44 | PFSEG43 | PFSEG42 | PFSEG41 | PFSEG40 | PFSEG39 |

アドレス：F0306H リセット時：0FH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG6 | 0 | 0 | 0 | 0 | PFSEG50 | PFSEG49 | PFSEG48 | PFSEG47 |

| PFSEGxx<br>(xx = 04-50) | Pmn端子のポート（セグメント出力以外）／セグメント出力の指定<br>（mn = 00-07, 10-17, 22-27, 30-35, 46, 47, 50-57, 70-77, 130） |
|---|---|
| 0 | ポート（セグメント出力以外）として使用 |
| 1 | セグメント出力として使用 |

| PFDEG | P45端子のポート／アナログ入力（IVREF0）の指定 |
|---|---|
| 0 | ポートとして使用 |
| 1 | アナログ入力（IVREF0）として使用 |

**注意 搭載していないビットには必ず初期値を設定してください。**

**備考** セグメント出力として使用する（PFSEGxx = 1）場合には必ずPUmレジスタのPUmnビット = 0，POMmレジスタのPOMmnビット = 0，PIMmレジスタのPIMmnビット = 0に設定してください。

表4－4 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）

| PFSEGレジスタのビット名 | 対応するSEGxx端子 | 兼用するポート | 80-pin | 64-pin |
|---|---|---|---|---|
| PFSEG04 | SEG4 | P50 | ○ | － |
| PFSEG05 | SEG5 | P51 | ○ | － |
| PFSEG06 | SEG6 | P52 | ○ | ○ |
| PFSEG07 | SEG7 | P53 | ○ | ○ |
| PFSEG08 | SEG8 | P54 | ○ | ○ |
| PFSEG09 | SEG9 | P55 | ○ | － |
| PFSEG10 | SEG10 | P56 | ○ | － |
| PFSEG11 | SEG11 | P57 | ○ | ○ |
| PFSEG12 | SEG12 | P70 | ○ | ○ |
| PFSEG13 | SEG13 | P71 | ○ | － |
| PFSEG14 | SEG14 | P72 | ○ | － |
| PFSEG15 | SEG15 | P73 | ○ | － |
| PFSEG16 | SEG16 | P74 | ○ | ○ |
| PFSEG17 | SEG17 | P75 | ○ | ○ |
| PFSEG18 | SEG18 | P76 | ○ | ○ |
| PFSEG19 | SEG19 | P77 | ○ | ○ |
| PFSEG20 | SEG20 | P30 | ○ | ○ |
| PFSEG21 | SEG21 | P31 | ○ | ○ |
| PFSEG22 | SEG22 | P32 | ○ | ○ |
| PFSEG23 | SEG23 | P33 | ○ | ○ |
| PFSEG24 | SEG24 | P34 | ○ | － |
| PFSEG25 | SEG25 | P35 | ○ | － |
| PFSEG26 | SEG26 | P46 | ○ | － |
| PFSEG27 | SEG27 | P47 | ○ | － |
| PFSEG28 | SEG28 | P130 | ○ | － |
| PFSEG29 | SEG29 | P22 | ○ | ○ |
| PFSEG30 | SEG30 | P23 | ○ | － |
| PFSEG31 | SEG31 | P24 | ○ | － |
| PFSEG32 | SEG32 | P25 | ○ | － |
| PFSEG33 | SEG33 | P26 | ○ | ○ |
| PFSEG34 | SEG34 | P27 | ○ | ○ |
| PFSEG35 | SEG35 | P10 | ○ | ○ |
| PFSEG36 | SEG36 | P11 | ○ | ○ |
| PFSEG37 | SEG37 | P12 | ○ | ○ |
| PFSEG38 | SEG38 | P13 | ○ | ○ |
| PFSEG39 | SEG39 | P14 | ○ | ○ |
| PFSEG40 | SEG40 | P15 | ○ | ○ |
| PFSEG41 | SEG41 | P16 | ○ | ○ |
| PFSEG42 | SEG42 | P17 | ○ | ○ |
| PFSEG43 | SEG43 | P00 | ○ | ○ |
| PFSEG44 | SEG44 | P01 | ○ | ○ |
| PFSEG45 | SEG45 | P02 | ○ | ○ |
| PFSEG46 | SEG46 | P03 | ○ | ○ |
| PFSEG47 | SEG47 | P04 | ○ | ○ |
| PFSEG48 | SEG48 | P05 | ○ | ○ |
| PFSEG49 | SEG49 | P06 | ○ | ○ |
| PFSEG50 | SEG50 | P07 | ○ | ○ |

## 4. 3. 10 LCD入力切り替え制御レジスタ（ISCLCD）

P125-P127端子をポート（LCD機能以外）／LCD機能（$V_{L3}$,CAPL,CAPH）のどちらで使用するかを設定するレジスタです。

ISCLCDレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－10 LCD入力切り替え制御レジスタ（ISCLCD）のフォーマット

アドレス：F0308H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ISCLCD | 0 | 0 | 0 | 0 | 0 | 0 | ISCVL3 | ISCCAP |

| ISCVL3 | $V_{L3}$/P125端子のシュミット・トリガ・バッファの制御 |
|---|---|
| 0 | デジタル入力無効（LCD機能（$V_{L3}$）として使用） |
| 1 | デジタル入力有効 |

| ISCCAP | CAPL/ P126, CAPH/P127端子のシュミット・トリガ・バッファの制御 |
|---|---|
| 0 | デジタル入力無効（LCD機能（CAPL, CAPH）として使用） |
| 1 | デジタル入力有効 |

**注意 ISCVL3ビット = 0，ISCCAP ビット = 0の場合，対応するポート制御レジスタは，次のように設定してください。**

**PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0**

**PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0**

**PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0**

# 4.4 ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

## 4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

## 4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

## 4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

### 4. 4. 4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ（PIMxx），ポート出力モード・レジスタ（POMxx）で入出力バッファを切り換えることにより，異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタ0, 1, 3, 4, 5（PIM0, PIM1, PIM3, PIM4, PIM5）をビットごとに設定して，通常入力（CMOS）/TTL入力バッファを切り換えます。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタ0, 1, 3, 4, 5, 13（POM0, POM1, POM3, POM4, POM5, POM13）をビットごとに設定して，通常出力（CMOS）/N-chオープン・ドレイン（$V_{DD}$耐圧）を切り換えます。

以下，シリアル・インタフェースでの接続について説明します。

（1）UART0-UART3, CSI00, CSI10機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 ：P17（P47）
UART1の場合 ：P06（P43）
UART2の場合 ：P03
UART3の場合 ：P34
CSI00の場合 ：P17, P16（P47, P46）
CSI10の場合 ：P06, P05（P44, P43）

**備考** （ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② PIM0, PIM1, PIM3, PIM4レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。
③ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI（CSI注）モードに設定します。

★ **注** 一般的にはSPIと呼ばれる機能ですが，本製品ではCSIとも呼称しているため，本マニュアルでは併記します。

（2）UART0-UART3, CSI00, CSI10機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 ：P00（P130）
UART1の場合 ：P07（P42）
UART2の場合 ：P04
UART3の場合 ：P35
CSI00の場合 ：P00, P16（P130, P46）
CSI10の場合 ：P07, P05（P42, P44）

**備考** （ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM0, POM1, POM3, POM4, POM13レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（$V_{DD}$耐圧）モードに設定します。
⑤ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI（CSI）モードに設定します。
⑥ PM0, PM1, PM3, PM4, PM13レジスタを操作して出力モードに設定します。
この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

（3）IIC00, IIC10機能の入出力ポートを，異電位（1.8 V系, 2.5 V系, 3 V系）で使用する場合の設定手順

IIC00の場合：　P16, P17（P46, P47）
IIC10の場合：　P05, P06（P44, P43）

**備考**　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM0, POM1, POM4レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（$V_{DD}$耐圧）モードに設定します。
⑤ PIM0, PIM1, PIM4レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，$V_{IH}$, $V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。
⑥ シリアル・アレイ・ユニットを動作許可し，簡易$I^2C$モードに設定します。
⑦ PM0, PM1, PM4レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

# 4.5 兼用機能使用時のレジスタ設定

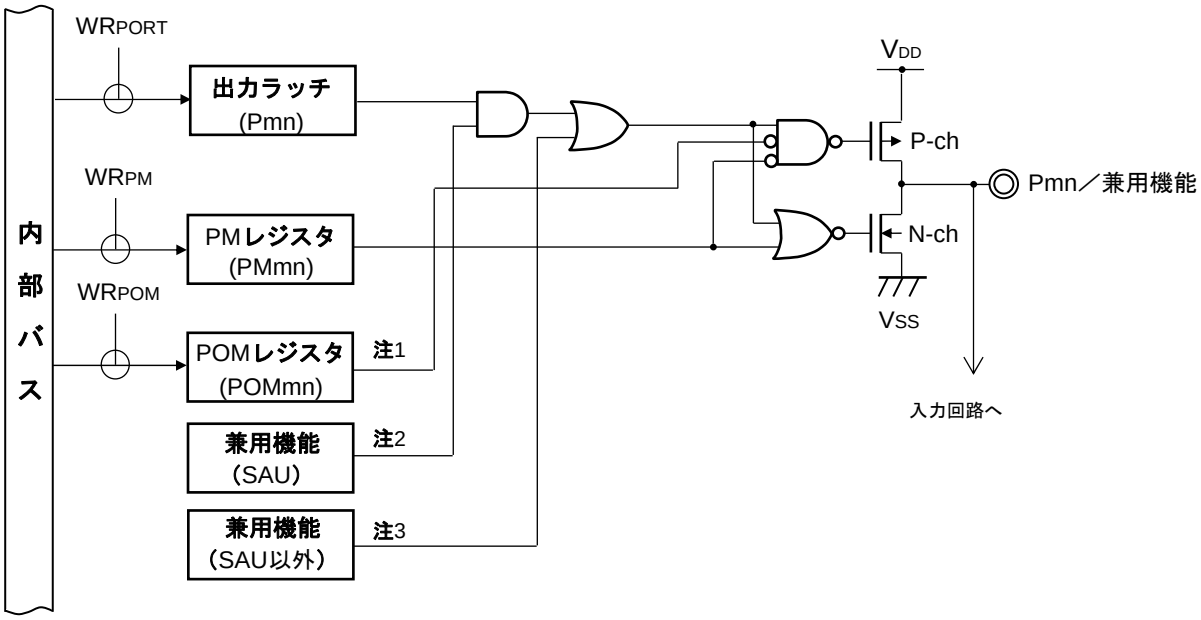
## 4.5.1 兼用機能使用時の基本的な考え方

最初に，アナログ入力と兼用している端子については，アナログ入力で使用するかデジタル入出力で使用するかをA/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定してください。

また，アナログ入力とセグメント出力を兼用している端子については，アナログ入力で使用するかセグメント出力で使用するか，あるいはデジタル入出力で使用するかを，LCDポート・ファンクション・レジスタ（PFSEGx）およびポート・モード・コントロール・レジスタ（PMCxx）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4－11に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には，兼用しているSAU以外の機能（TAU，RTC2，クロック／ブザー出力，IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には，使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4－5に示します。

図4－11 端子の出力回路の基本的な構成




**注1.** POMレジスタがない場合には，この信号はLow（0）と考えてください。

**2.** 兼用機能がない場合には，この信号はHigh（1）と考えてください。

**3.** 兼用機能がない場合には，この信号はLow（0）と考えてください。

**備考** m：ポート番号（m = 0-7, 12, 13），n：ビット番号（n = 0-7）

表4－5 基本的な設定の考え方

| 使用する端子の出力機能 | 使用しない兼用機能の出力設定 | | |
|---|---|---|---|
| | ポート機能 | SAUの出力機能 | SAU以外の出力機能 |
| ポート出力機能 | － | 出力はHigh（1） | 出力はLow（0） |
| SAUの出力機能 | High（1） | － | 出力はLow（0） |
| SAU以外の出力機能 | Low（0） | 出力はHigh（1） | 出力はLow（0）注 |

**注** 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので，使用しない兼用機能の出力はLow（0）にしておく必要があります。具体的な設定方法については，**4. 5. 2 出力機能を使用しない兼用機能のレジスタ設定**を参照してください。

## 4. 5. 2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には，次に示す設定を行ってください。なお，周辺I/Oリダイレクト機能の対象になっている場合には，周辺I/Oリダイレクション・レジスタ（PIOR）を設定することで，出力を他の端子に切り替えることもできます。これにより，対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります

(1) SOp＝1/TxDq＝1（SAUのシリアル出力（SOp/TxDq）を使用しない場合の設定）
SAUをシリアル入力のみで使用するなど，シリアル出力（SOp/TxDq）を使用しない場合は，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2) SCKp＝1/SDAr＝1/SCLr＝1（SAUのチャネルnを使用しない場合の設定）
SAUを使用しない場合は，シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）を0（動作停止状態）に設定し，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットとCKOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3) TOmn＝0（TAUのチャネルnの出力を使用しない場合の設定）
TAUのTOmn出力を使用しない場合は，使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4) SDAAn＝0/SCLAn＝0（IICAを使用しない場合の設定）
IICAを使用しない場合は，IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) PCLBUZn＝0（クロック出力/ブザー出力を使用しない場合の設定）
クロック出力/ブザー出力を使用しない場合は，クロック出力選択レジスタn（CKSn）のPCLOEnビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

★ **備考** p：CSI番号（p = 00, 10）、q：UART番号（q = 0-3）、r：IIC番号（r = 00, 10）

(6) REMOOUT＝0（リモコン出力を使用しない場合の設定）

TAUを使用したREMOOUT出力を使用しない場合は，チャネル2，3，4，5のタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(7) VCOUTn＝0（VCOUTnを使用しない場合の設定）

コンパレータのVCOUTnを使用しない場合は，コンパレータ出力制御レジスタ（COMPOCR）のビット5, 1を0（コンパレータnのVCOUTn端子出力禁止）に設定してください。これば初期状態と同じ設定です。

(8) TKBO00＝0/TKBO01-0,1,2=0（16ビット・タイマKB20を使用しない場合の設定）

16ビット・タイマKB20を使用しない場合は，16ビット・タイマKB2動作制御レジスタ01（TKBCTL01）のビット7を0（タイマ動作停止），16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）のビット1，0を0（タイマ出力禁止），16ビット・タイマKB2出力制御レジスタ00（TKBIOC00）のビット1, 0を0（デフォルト・レベルをロウ・レベルとする），強制出力停止機能制御レジスタ2（TKBPACTL02）のビット1, 0を0（強制出力停止機能動作禁止）に設定してください。これば初期状態と同じ設定です。

### 4.5.3　使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4－6に示します。ポート機能を制御するレジスタを表4－6のように設定してください。なお，表4－6の表記については次の備考を参照してください。

**備考**　－　：対象外
×　：don't care
PIOR×　：周辺I/Oリダイレクション・レジスタ
POM××　：ポート出力モード・レジスタ
PMC××　：ポート・モード・コントロール・レジスタ
PM××　：ポート・モード・レジスタ
P××　：ポートの出力ラッチ
PFSEG××, PFDEG　：LCDポート・ファンクション・レジスタ
（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（1/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注1 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P00 | P00 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | SO00/TxD0=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | SO00 | 出力 | PIOR1=0注2 | 0/1 | | 0 | 1 | | － | | | |
| | TxD0 | 出力 | PIOR1=0注2 | 0/1 | | 0 | 1 | | － | | | |
| | SEG43 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |
| P01 | P01 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | TO05=0 PCLBUZ1=0 | | |
| | INTP5注3 | 入力 | PIOR4=0 | | | 1 | × | | | － | × | ○ |
| | (INTP5)注2 | 入力 | PIOR4=1 | | | 1 | × | | | － | ○ | × |
| | (TI05) | 入力 | PIOR0=1 | | | 1 | × | | | － | ○ | ○ |
| | (TO05) | 出力 | | | | 0 | 0 | | | PCLBUZ1=0 | ○ | ○ |
| | PCLBUZ1 | 出力 | × | | | 0 | 0 | | | TO05=0 | ○ | ○ |
| | SEG44 | 出力 | × | | | 0 | 0 | 1 | | － | ○ | ○ |
| P02 | P02 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | PCLBUZ0=0 | | |
| | INTP7 | 入力 | PIOR4=0 | | | 1 | × | | | － | | |
| | PCLBUZ0 | 出力 | PIOR3=0 | | | 0 | 0 | | | － | | |
| | SEG45 | 出力 | × | | | 0 | 0 | 1 | | － | | |
| P03 | P03 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | VCOUT0=0 | | |
| | RxD2 | 入力 | | | | 1 | × | | | － | | |
| | VCOUT0 | 出力 | | | | 0 | 0 | | | － | | |
| | SEG46 | 出力 | | | | 0 | 0 | 1 | | － | | |

**注1.** PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

**2.** 80ピン製品のみ

**3.** 64ピン製品のみ

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（2/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P04 | P04 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | 0 | | 0 | 0/1 | | TxD2=1 | VCOUT1=0 | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | TxD2 | 出力 | | 0/1 | | 0 | 1 | | － | VCOUT1=0 | | |
| | VCOUT1 | 出力 | | 0 | | 0 | 0 | | TxD2=1 | － | | |
| | SEG47 | 出力 | | 0 | | 0 | 0 | 1 | － | － | | |
| P05 | P05 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | SCK10/SCL10=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | SCK10 | 入力 | PIOR2=0 | × | | 1 | × | | － | | | |
| | | 出力 | | 0/1 | | 0 | 1 | | － | | | |
| | SCL10 | 出力 | PIOR2=0 | 0/1 | | 0 | 1 | | － | | | |
| | SEG48 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |
| P06 | P06 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | SDA10=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | SI10 | 入力 | PIOR2=0 | × | | 1 | × | | － | | | |
| | RxD1 | 入力 | PIOR2=0 | × | | 1 | × | | － | | | |
| | SDA10 | 入出力 | PIOR2=0 | 1 | | 0 | 1 | | － | | | |
| | SEG49 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |
| P07 | P07 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | SO10/TxD1=1 | (PCLBUZ0=0) | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | SO10 | 出力 | PIOR2=0 | 0/1 | | 0 | 1 | | － | (PCLBUZ0=0) | | |
| | TxD1 | 出力 | PIOR2=0 | 0/1 | | 0 | 1 | | － | (PCLBUZ0=0) | | |
| | (PCLBUZ0) | 出力 | PIOR3=1 | 0 | | 0 | 0 | | SO10/TxD1=1 | － | | |
| | SEG50 | 出力 | × | 0 | | 0 | 0 | 1 | － | － | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（3/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P10 | P10 | 入力 | － | － | 0 | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI22 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG35 | 出力 | | | 0 | 0 | 0 | | | | | |
| P11 | P11 | 入力 | － | － | 0 | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI23 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG36 | 出力 | | | 0 | 0 | 0 | | | | | |
| P12 | P12 | 入力 | － | － | 0 | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI24 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG37 | 出力 | | | 0 | 0 | 0 | | | | | |
| P13 | P13 | 入力 | － | － | 0 | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI25 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG38 | 出力 | | | 0 | 0 | 0 | | | | | |
| P14 | P14 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | TO04=0 | | |
| | TI04 | 入力 | PIOR0=0 | | | 1 | × | | | － | | |
| | TO04 | 出力 | PIOR0=0 | | | 0 | 0 | | | － | | |
| | SEG39 | 出力 | × | | | 0 | 0 | 1 | | － | | |
| P15 | P15 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | TO07=0 | | |
| | TI07 | 入力 | PIOR0=0 | | | 1 | × | | | － | | |
| | TO07 | 出力 | PIOR0=0 | | | 0 | 0 | | | － | | |
| | SEG40 | 出力 | × | | | 0 | 0 | 1 | | － | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（4/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注1 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P16 | P16 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | SCK00/SCL00=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | SCK00 | 入力 | PIOR1=0注2 | × | | 1 | × | | － | | | |
| | | 出力 | | 0/1 | | 0 | 1 | | － | | | |
| | SCL00 | 出力 | PIOR1=0注2 | 0/1 | | 0 | 1 | | － | | | |
| | SEG41 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |
| P17 | P16 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | SDA00=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | SI00 | 入力 | PIOR1=0注2 | × | | 1 | × | | － | | | |
| | RxD0 | 入力 | PIOR1=0注2 | × | | 1 | × | | － | | | |
| | SDA00 | 入出力 | PIOR1=0注2 | 1 | | 0 | 1 | | － | | | |
| | SEG42 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |

**注1.** PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

**2.** 80ピン製品のみ

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（5/15）

| 端子名称 | 使用機能 | | ADPC | ADM2 | PMxx | Pxx | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | |
| P20 | P20 | 入力 | 01H/02H | × | 1 | × | ○ | ○ |
| | | 出力 | | × | 0 | 0/1 | | |
| | ANI1 | アナログ入力 | 00H | xx00xx0xB | 1 | × | | |
| | $AV_{REFM}$ | 基準電圧入力 | 00H | xx10xx0xB | 1 | × | | |
| P21 | P21 | 入力 | 01H | × | 1 | × | ○ | ○ |
| | | 出力 | | × | 0 | 0/1 | | |
| | ANI0 | アナログ入力 | 00H/02H | 00x0xx0xB<br>10x0xx0xB | 1 | × | | |
| | $AV_{REFP}$ | 基準電圧入力 | 00H/02H | 01x0xx0xB | 1 | × | | |

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（6/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P22 | P22 | 入力 | – | – | 0 | 1 | × | 0 | – | – | ○ | ○ |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI16 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG29 | 出力 | | | 0 | 0 | 0 | | | | | |
| P23 | P23 | 入力 | – | – | 0 | 1 | × | 0 | – | – | ○ | × |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI17 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG30 | 出力 | | | 0 | 0 | 0 | | | | | |
| P24 | P24 | 入力 | – | – | 0 | 1 | × | 0 | – | – | ○ | × |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI18 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG31 | 出力 | | | 0 | 0 | 0 | | | | | |
| P25 | P25 | 入力 | – | – | 0 | 1 | × | 0 | – | – | ○ | × |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI19 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG32 | 出力 | | | 0 | 0 | 0 | | | | | |
| P26 | P26 | 入力 | – | – | 0 | 1 | × | 0 | – | – | ○ | ○ |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI20 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG33 | 出力 | | | 0 | 0 | 0 | | | | | |
| P27 | P27 | 入力 | – | – | 0 | 1 | × | 0 | – | – | ○ | ○ |
| | | 出力 | | | 0 | 0 | 0/1 | | | | | |
| | ANI21 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| | SEG34 | 出力 | | | 0 | 0 | 0 | | | | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（7/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P30 | P30 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | TO03/REMOOUT=0 | | |
| | TI03 | 入力 | PIOR0=0 | | | 1 | × | | | － | | |
| | TO03 | 出力 | PIOR0=0 | | | 0 | 0 | | | － | | |
| | REMOOUT | 出力 | PIOR0=0 | | | 0 | 0 | | | － | | |
| | SEG20 | 出力 | × | | | 0 | 0 | 1 | | － | | |
| P31 | P31 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | RTC1HZ=0 | | |
| | INTP3 | 入力 | | | | 1 | × | | | － | | |
| | RTC1HZ | 出力 | | | | 0 | 0 | | | － | | |
| | SEG21 | 出力 | | | | 0 | 0 | 1 | | － | | |
| P32 | P32 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | TO01=0 | | |
| | TI01 | 入力 | PIOR0=0 | | | 1 | × | | | － | | |
| | TO01 | 出力 | PIOR0=0 | | | 0 | 0 | | | － | | |
| | SEG22 | 出力 | × | | | 0 | 0 | 1 | | － | | |
| P33 | P33 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | INTP4 | 入力 | | | | 1 | × | | | | | |
| | SEG23 | 出力 | | | | 0 | 0 | 1 | | | | |
| P34 | P34 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | RxD3 | 入力 | | | | 1 | × | | | | | |
| | SEG24 | 出力 | | | | 0 | 0 | 1 | | | | |
| P35 | P35 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | | 0 | | 0 | 0/1 | | TxD3=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | TxD3 | 出力 | | 0/1 | | 0 | 1 | | － | | | |
| | SEG25 | 出力 | | 0 | | 0 | 0 | 1 | － | | | |
| P40 | P40 | 入力 | － | － | － | 1 | × | － | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | (TO00)=0 | | |
| | (TI00) | 入力 | PIOR0=1 | | | 1 | × | | | － | | |
| | (TO00) | 出力 | PIOR0=1 | | | 0 | 0 | | | － | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（8/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P41 | P41 | 入力 | － | － | － | 1 | × | － | － | － | ○ | × |
| | | 出力 | × | | | 0 | 0/1 | | | (TO07)=0 | | |
| | (TI07) | 入力 | PIOR0=1 | | | 1 | × | | | － | | |
| | (TO07) | 出力 | PIOR0=1 | | | 0 | 0 | | | － | | |
| P42 | P42 | 入力 | － | × | 0 | 1 | × | － | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | (SO10/TxD1)=1 | TO05=0 | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | IVREF1 | アナログ入力 | － | × | 1 | 1 | × | | － | － | | |
| | (SO10) | 出力 | PIOR2=1 | 0/1 | 0 | 0 | 1 | | － | TO05=0 | | |
| | (TxD1) | 出力 | PIOR2=1 | 0/1 | 0 | 0 | 1 | | － | TO05=0 | | |
| | TI05 | 入力 | PIOR0=0 | × | 0 | 1 | × | | － | － | | |
| | TO05 | 出力 | PIOR0=0 | 0 | 0 | 0 | 0 | | (SO10/TxD1)=1 | － | | |
| P43 | P43 | 入力 | － | × | 0 | 1 | × | － | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | (SDA10)=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | IVCMP1 | アナログ入力 | － | × | 1 | 1 | × | | － | | | |
| | (INTP7) | 入力 | PIOR4=1 | × | 0 | 1 | × | | － | | | |
| | (SI10) | 入力 | PIOR2=1 | × | 0 | 1 | × | | － | | | |
| | (RxD1) | 入力 | PIOR2=1 | × | 0 | 1 | × | | － | | | |
| | (SDA10) | 入出力 | PIOR2=1 | 1 | 0 | 0 | 1 | | － | | | |
| P44 | P44 | 入力 | － | × | 0 | 1 | × | － | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | (SCK10/SCL10)=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | IVCMP0 | アナログ入力 | － | × | 1 | 1 | × | | － | | | |
| | (SCK10) | 入力 | PIOR2=1 | × | 0 | 1 | × | | － | | | |
| | | 出力 | | 0/1 | | 0 | 1 | | － | | | |
| | (SCL10) | 出力 | PIOR2=1 | 0/1 | 0 | 0 | 1 | | － | | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（9/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注1 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P45 | P41 | 入力 | － | － | 0 | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | IVREF0 | アナログ入力 | | | 1 | 1 | × | 1 | | | | |
| P46 | P46 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | × | 0 | | 0 | 0/1 | | (SCK00/SCL00)=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | (SCK00) | 入力 | PIOR1=1注2 | × | | 1 | × | | － | | | |
| | | 出力 | | 0/1 | | 0 | 1 | | － | | | |
| | (SCL00) | 出力 | PIOR1=1注2 | 0/1 | | 0 | 1 | | － | | | |
| | SEG26 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |
| P47 | P47 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | × | 0 | | 0 | 0/1 | | (SDA00)=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | (SI00) | 入力 | PIOR1=1注2 | × | | 1 | × | | － | | | |
| | (RxD0) | 入力 | PIOR1=1注2 | × | | 1 | × | | － | | | |
| | (SDA00) | 入出力 | PIOR1=1注2 | 1 | | 0 | 1 | | － | | | |
| | SEG27 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |
| P50 | P50 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | SEG4 | 出力 | | | | 0 | 0 | 1 | | | | |
| P51 | P51 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | | | | 1 | 0/1 | | | | | |
| | SEG5 | 出力 | | | | 0 | 0 | 1 | | | | |
| P52 | P52 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | TO00=0 | | |
| | INTP1 | 入力 | － | | | 1 | × | | | － | | |
| | TI00 | 入力 | PIOR0=0 | | | 1 | × | | | － | | |
| | TO00 | 出力 | PIOR0=0 | | | 0 | 0 | | | － | | |
| | SEG6 | 出力 | × | | | 0 | 0 | 1 | | － | | |

**注1.** PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

**2.** 80ピン製品のみ

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（10/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P53 | P53 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | 0 | | 0 | 0/1 | | | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | INTP2 | 入力 | | × | | 1 | × | | | | | |
| | SEG7 | 出力 | | 0 | | 0 | 0 | 1 | | | | |
| P54 | P54 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | × | 0 | | 0 | 0/1 | | | TO02=0 | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | TI02 | 入力 | PIOR0=0 | × | | 1 | × | | | － | | |
| | TO02 | 出力 | PIOR0=0 | 0 | | 0 | 0 | | | － | | |
| | SEG8 | 出力 | × | 0 | | 0 | 0 | 1 | | － | | |
| P55 | P55 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | － | 0 | | 0 | 0/1 | | | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | INTP5 | 入力 | PIOR4=0 | × | | 1 | × | | | | | |
| | SEG9 | 出力 | × | 0 | | 0 | 0 | 1 | | | | |
| P56 | P56 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | × | 0 | | 0 | 0/1 | | | TO06=0 | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | TI06 | 入力 | PIOR0=0 | × | | 1 | × | | | － | | |
| | TO06 | 出力 | PIOR0=0 | 0 | | 0 | 0 | | | － | | |
| | SEG10 | 出力 | × | 0 | | 0 | 0 | 1 | | － | | |
| P57 | P57 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 1 | 0/1 | | | | | |
| | INTP6 | 入力 | | | | 1 | × | | | | | |
| | SEG11 | 出力 | | | | 0 | 0 | 1 | | | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（11/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P60 | P60 | 入力 | － | － | － | 1 | × | － | － | － | ○ | ○ |
| | | N-chOD出力（6V耐圧） | × | | | 0 | 0/1 | | | SCLA0=0<br>(TO01)=0 | | |
| | SCLA0 | 入出力 | × | | | 0 | 0 | | | (TO01)=0 | | |
| | (TI01) | 入力 | PIOR0=1 | | | 1 | × | | | － | | |
| | (TO01) | 出力 | PIOR0=1 | | | 0 | 0 | | | SCLA0=0 | | |
| P61 | P61 | 入力 | － | － | － | 1 | × | － | － | － | ○ | ○ |
| | | N-chOD出力（6V耐圧） | × | | | 0 | 0/1 | | | SDAA0=0<br>(TO02)=0 | | |
| | SDAA0 | 入出力 | × | | | 0 | 0 | | | (TO02)=0 | | |
| | (TI02) | 入力 | PIOR0=1 | | | 1 | × | | | － | | |
| | (TO02) | 出力 | PIOR0=1 | | | 0 | 0 | | | SDAA0=0 | | |
| P70 | P70 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | KR0 | 入力 | | | | 1 | × | | | | | |
| | SEG12 | 出力 | | | | 0 | 0 | 1 | | | | |
| P71 | P71 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | KR1 | 入力 | | | | 1 | × | | | | | |
| | SEG13 | 出力 | | | | 0 | 0 | 1 | | | | |
| P72 | P72 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | KR2 | 入力 | | | | 1 | × | | | | | |
| | SEG14 | 出力 | | | | 0 | 0 | 1 | | | | |
| P73 | P73 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | | | | 0 | 0/1 | | | | | |
| | KR3 | 入力 | | | | 1 | × | | | | | |
| | SEG15 | 出力 | | | | 0 | 0 | 1 | | | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（12/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P74 | P74 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | TKBO00=0 | | |
| | KR4 | 入力 | | | | 1 | × | | | － | | |
| | TKBO00 | 出力 | | | | 0 | 0 | | | － | | |
| | SEG16 | 出力 | | | | 0 | 0 | 1 | | － | | |
| P75 | P75 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | TKBO01-2=0 | | |
| | KR5 | 入力 | | | | 1 | × | | | － | | |
| | TKBO01-2 | 出力 | | | | 0 | 0 | | | － | | |
| | SEG17 | 出力 | | | | 0 | 0 | 1 | | － | | |
| P76 | P76 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | TKBO01-1=0 | | |
| | KR6 | 入力 | | | | 1 | × | | | － | | |
| | TKBO01-1 | 出力 | | | | 0 | 0 | | | － | | |
| | SEG18 | 出力 | | | | 0 | 0 | 1 | | － | | |
| P77 | P77 | 入力 | － | － | － | 1 | × | 0 | － | － | ○ | ○ |
| | | 出力 | | | | 0 | 0/1 | | | TKBO01-0=0 | | |
| | KR7 | 入力 | | | | 1 | × | | | － | | |
| | TKBO01-0 | 出力 | | | | 0 | 0 | | | － | | |
| | SEG19 | 出力 | | | | 0 | 0 | 1 | | － | | |

**注**　PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（13/15）

| 端子名称 | 使用機能 | | CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS) | Pxx | 80ピン | 64ピン |
|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | |
| P121 | P121 | 入力 | 00xx/10xx/11xx | × | ○ | ○ |
| | X1 | － | 01xx | － | | |
| P122 | P122 | 入力 | 00xx/10xx/11xx | × | ○ | ○ |
| | X2 | － | 01xx | － | | |
| | EXCLK | 入力 | 11xx | － | | |
| P123 | P123 | 入力 | xx00/xx10/xx11 | × | ○ | ○ |
| | XT1 | － | xx01 | － | | |
| P124 | P124 | 入力 | xx00/xx10/xx11 | × | ○ | ○ |
| | XT2 | － | xx01 | － | | |
| | EXCLKS | 入力 | xx11 | － | | |

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（14/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注1 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P125 | P125 | 入力 | － | － | － | 1 | × | 1 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | (TO06)=0 | | |
| | TI06注3 | 入力 | PIOR0=0 | | | 1 | × | | | － | | |
| | TO06注3 | 出力 | PIOR0=0 | | | 0 | 0 | | | － | | |
| | (TI06)注2 | 入力 | PIOR0=1 | | | 1 | × | | | － | | |
| | (TO06)注2 | 出力 | PIOR0=1 | | | 0 | 0 | | | － | | |
| | $V_{L3}$ | － | × | | | 1 | × | 0 | | － | | |
| P126 | P126 | 入力 | － | － | － | 1 | × | 1 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | (TO04)=0 | | |
| | (TI04) | 入力 | PIOR0=1 | | | 1 | × | | | － | | |
| | (TO04) | 出力 | PIOR0=1 | | | 0 | 0 | | | － | | |
| | CAPL | － | × | | | 1 | × | 0 | | － | | |

**注1.** PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

**2.** 80ピン製品のみ

**3.** 64ピン製品のみ

表4－6　端子機能使用時のレジスタ，出力ラッチの設定例（15/15）

| 端子名称 | 使用機能 | | PIOR× | POM×× | PMC×× | PM×× | P×× | PFSEGxx（PFDEG, ISCVL3, ISCCAP）注1 | 兼用機能出力 | | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | | |
| P127 | P127 | 入力 | － | － | － | 1 | × | 1 | － | － | ○ | ○ |
| | | 出力 | × | | | 0 | 0/1 | | | (TO03/REMOOUT)=0 | | |
| | (TI03) | 入力 | PIOR0=1 | | | 1 | × | | | － | | |
| | (TO03) | 出力 | PIOR0=1 | | | 0 | 0 | | | － | | |
| | (REMOOUT) | 出力 | PIOR0=1 | | | | | | | | | |
| | CAPH | － | × | | | 1 | × | 0 | | － | | |
| P130 | P30 | 入力 | － | × | － | 1 | × | 0 | － | － | ○ | × |
| | | 出力 | × | 0 | | 0 | 0/1 | | (SO00/TxD0)=1 | | | |
| | | N-chOD出力 | | 1 | | | | | | | | |
| | (SO00) | 出力 | PIOR1=1注2 | 0/1 | | 0 | 1 | | － | | | |
| | (TxD0) | 出力 | PIOR1=1注2 | 0/1 | | 0 | 1 | | － | | | |
| | SEG28 | 出力 | × | 0 | | 0 | 0 | 1 | － | | | |
| P137 | P137 | 入力 | － | － | － | － | × | － | － | － | ○ | ○ |
| | INTP0 | 入力 | | | | | | | | | | |

**注1.** PFDEGはP45，ISCVL3はP125，ISCCAPはP126, P127に対応するレジスタです。

**2.** 80ピン製品のみ

## 4. 5. 4　SEGxx端子兼用ポートの動作

セグメント出力端子（SEGxx）を兼用するポートの機能は，ポート・モード・コントロール・レジスタ（PMCxx），ポート・モード・レジスタ（PMxx），LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）の設定で決定します。

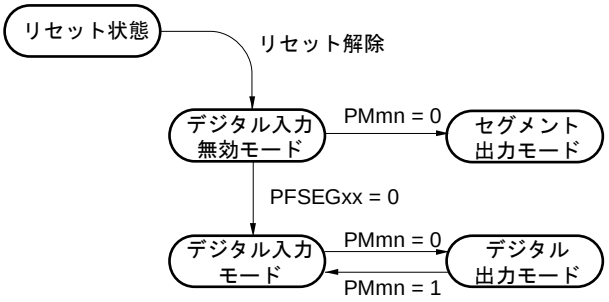
（1）　P00-P07, P14-P17, P30-P35, P46, P47, P50-P57, P70-P77, P130（アナログ入力端子（ANIxx, IVREF0）を兼用していないポート）

表4－7　SEGxx/ポート端子機能の設定

| PFSEG0-PFSEG6レジスタのPFSEGxxビット | PMxxレジスタのPMxxビット | 端子機能 | 初期状態 |
|---|---|---|---|
| 1 | 1 | デジタル入力無効モード | ○ |
| 0 | 0 | デジタル出力モード | – |
| 0 | 1 | デジタル入力モード | – |
| 1 | 0 | セグメント出力モード | – |

SEGxx/ポート端子機能の状態遷移を次に示します。

図4－12　SEGxx/ポート端子機能の状態遷移図




**注意　セグメント出力モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。**

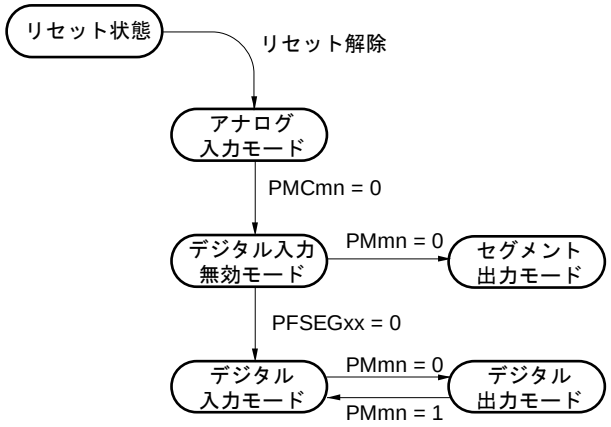
（2）　P10-P13, P22-P27（アナログ入力端子（ANIxx）を兼用するポート）

表4－8　ANIxx/SEGxx/ポート端子機能の設定

| PMCxxレジスタのPMCxxビット | PFSEG3, PFSEG4レジスタのPFSEGxxビット | PMxxレジスタのPMxxビット | 端子機能 | 初期状態 |
|---|---|---|---|---|
| 1 | 1 | 1 | アナログ入力モード | ○ |
| 0 | 0 | 0 | デジタル出力モード | – |
| 0 | 0 | 1 | デジタル入力モード | – |
| 0 | 1 | 0 | セグメント出力モード | – |
| 0 | 1 | 1 | デジタル入力無効モード | – |
| 上記以外 | | | 設定禁止 | |

ANIxx/SEGxx/ポート端子機能の状態遷移を次に示します。

図4－13　ANIxx/SEGxx/ポート端子機能の状態遷移図




**注意　セグメント出力モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。**

## 4. 5. 5　$V_{L3}$, CAPL, CAPH端子兼用ポートの動作

$V_{L3}$/P125, CAPL/P126, CAPH/P127端子の機能は，LCD入力切り替え制御レジスタ（ISCLCD），LCDモード・レジスタ0（LCDM0），ポート・モード・レジスタ12（PM12）の設定で決定します。

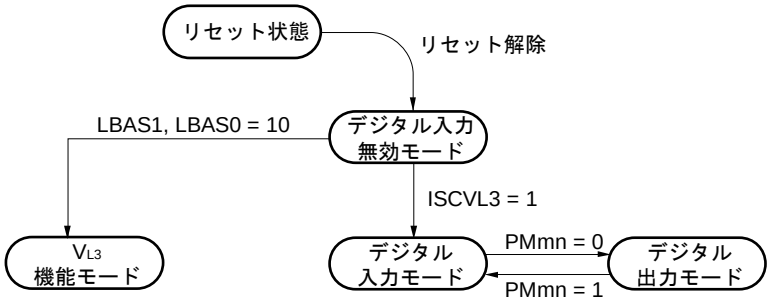
（1）　$V_{L3}$/P125

表4－9　$V_{L3}$/P125端子機能の設定

| バイアス設定<br>（LCDM0レジスタの<br>LBAS1, LBAS0ビット） | ISCLCDレジスタ<br>のISCVL3ビット | PM12レジスタの<br>PM125ビット | 端子機能 | 初期状態 |
|---|---|---|---|---|
| 1/4バイアス法以外<br>（LBAS1，LBAS0 = 00または<br>01） | 0 | 1 | デジタル入力無効モード | ○ |
| | 1 | 0 | デジタル出力モード | – |
| | 1 | 1 | デジタル入力モード | – |
| 1/4バイアス法<br>（LBAS1, LBAS0 = 10） | 0 | 1 | $V_{L3}$機能モード | – |
| 上記以外 | | | 設定禁止 | |

$V_{L3}$/P125端子機能の状態遷移を次に示します。

図4－14　$V_{L3}$/P125端子機能の状態遷移図




**注意　$V_{L3}$機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。**

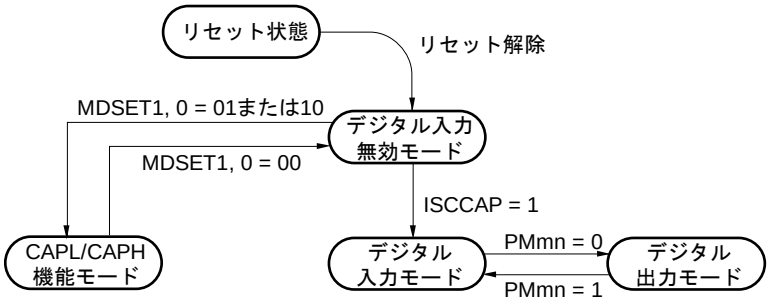
（2）　CAPL/P126, CAPH/P127

表4－10　CAPL/P126, CAPH/P127 端子機能の設定

| LCD駆動電圧生成回路（LCDM0レジスタのMDSET1, MDSET0ビット） | ISCLCDレジスタのISCCAPビット | PM12レジスタのPM126, PM127ビット | 端子機能 | 初期状態 |
|---|---|---|---|---|
| 外部抵抗分割（MDSET1, MDSET0 = 00） | 0 | 1 | デジタル入力無効モード | ○ |
| | 1 | 0 | デジタル出力モード | – |
| | 1 | 1 | デジタル入力モード | – |
| 内部昇圧／容量分割（MDSET1, MDSET0 = 01または10） | 0 | 1 | CAPL/CAPH機能モード | – |
| 上記以外 | | | 設定禁止 | |

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図4－15　CAPL/P126, CAPH/P127端子機能の状態遷移図




**注意　CAPL/CAPH機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。**

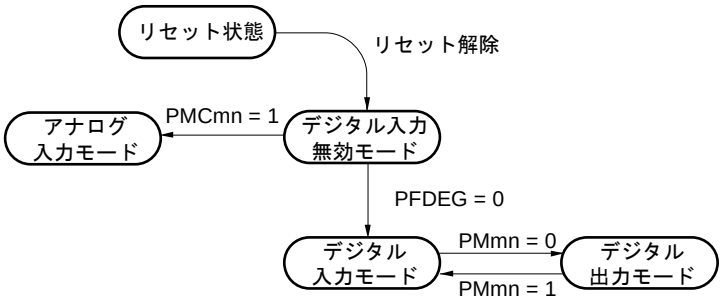
## 4. 5. 6　P45（アナログ入力端子（IVREF0）を兼用するポート）

表4－11　IVREF0/ポート端子機能の設定

| PMC4レジスタのPMC45ビット | PFSEG3レジスタのPFDEGビット | PM4レジスタのPM45ビット | 端子機能 | 初期状態 |
|---|---|---|---|---|
| 1 | 1 | 1 | アナログ入力モード | – |
| 0 | 0 | 0 | デジタル出力モード | – |
| 0 | 0 | 1 | デジタル入力モード | – |
| 0 | 1 | 1 | デジタル入力無効モード | ○ |
| 上記以外 | | | 設定禁止 | |

IVREF0/ポート端子機能の状態遷移を次に示します。

図4－16　IVREF0/ポート端子機能の状態遷移図



# 4.6 ポート機能使用時の注意事項

## 4.6.1 ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P10は出力ポート，P11-P17は入力ポート（端子状態はすべてハイ・レベル）で，かつポート1の出力ラッチの値が“00H”のとき，出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート1の出力ラッチの値は，“FFH”になります。

説明： PMmnビット ＝1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/L13内部で，次の順序で行われます。

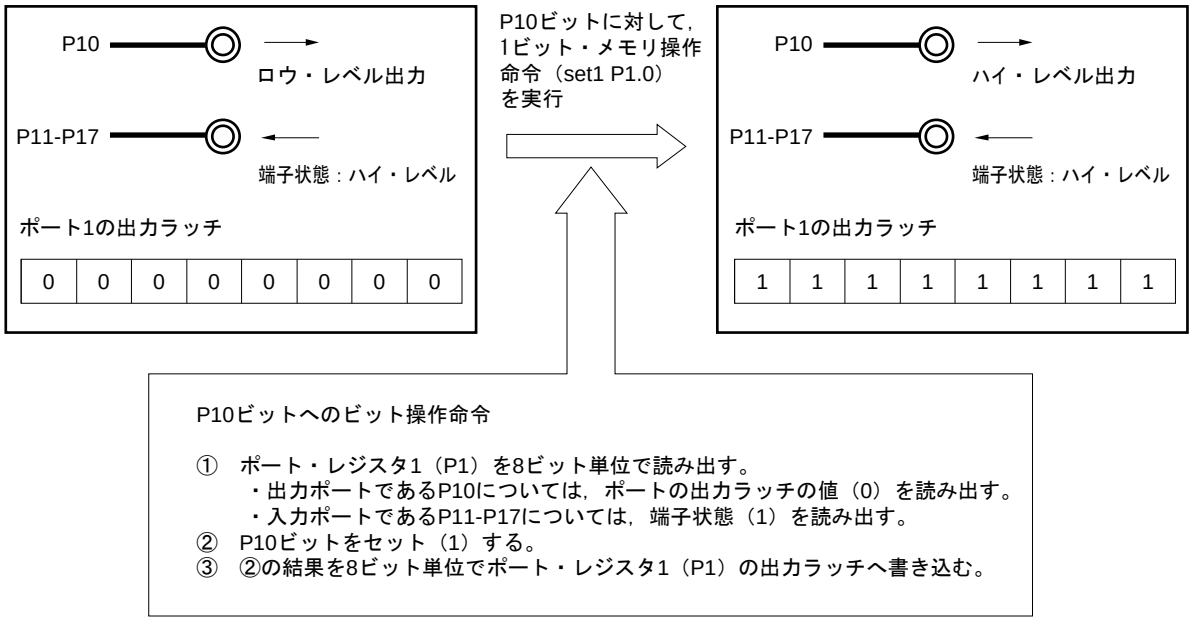
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP10は出力ラッチの値（0）を読み出し，入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ･レベル”とすると，読み出し値は“FEH”となります。

<2> の操作で，値は“FFH”となります。

<3> の操作で，出力ラッチに“FFH”が書き込まれます。

図4－17 1ビット・メモリ操作命令（P10の場合）



### 4. 6. 2　端子設定に関する注意事項

使用する出力端子に，他の兼用出力機能が割り当てられている場合，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当てられた機能も同様です。兼用出力については，**4. 5　兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では，兼用の出力機能が無効（バッファ出力がHi-Z）となるので，処理不要です。

なお，入力だけや入出力のないブロックを含めて，省電力化のために，使用しない機能は停止させることをおすすめします。

# 第5章　クロック発生回路

## 5.1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子, X2端子に発振子を接続することにより，$f_X$ = 1～20 MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ

オプション・バイト（000C2H）により，$f_{HOCO}$ = 48 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（TYP.）から周波数を選択し，発振させることができます。$f_{HOCO}$に48 MHzを選択した場合，$f_{IH}$は24 MHzになります。$f_{HOCO}$に24 MHz以下を選択した場合，$f_{IH}$は分周されず，$f_{HOCO}$と同じ周波数になります。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します[注]。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は，**図5－10　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

| 電源電圧 | 発振周波数（MHz） | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| | 1 | 2 | 3 | 4 | 6 | 8 | 12 | 16 | 24 | 48 |
| 2.7 V≦$V_{DD}$≦5.5 V | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| 2.4 V≦$V_{DD}$≦5.5 V | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | － | － |
| 1.8 V≦$V_{DD}$≦5.5 V | ○ | ○ | ○ | ○ | ○ | ○ | － | － | － | － |
| 1.6 V≦$V_{DD}$≦5.5 V | ○ | ○ | ○ | ○ | － | － | － | － | － | － |

また，EXCLK/X2/P122端子から外部メイン・システム・クロック（$f_{EX}$ = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは，MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。なお、メイン・システム・クロックは，電源電圧VDDによって使用可能な周波数範囲が異なり，オプション・バイト（000C2H）のCMODE0，CMODE1によりフラッシュの動作電圧モードの設定（**第27章　オプション・バイト**参照）が必要です。

**注**　ただし，48 MHz選択時（オプション・バイト（000C2H）のFRQSEL4 = 1）は，16ビット・タイマKB20には48 MHzのクロック（$f_{HOCO}$）が供給され，それ以外の機能（CPUも含む）は$f_{HOCO}$を2分周した24 MHzのクロック（$f_{IH}$）が供給されます。16ビット・タイマKB20に48 MHzを供給する場合は，

$f_{CLK}$を$f_{IH}$に設定してください。

（2）サブシステム・クロック

・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより，$f_{XT}$ = 32.768 kHzのクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により，発振を停止することができます。

また，EXCLKS/XT2/P124端子から外部サブシステム・クロック（$f_{EXS}$ = 32.768 kHz）を供給することができます。XTSTOPビットの設定により，外部サブシステム・クロック入力を無効にすることができます。

（3）低速オンチップ・オシレータ・クロック

$f_{IL}$ = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは，次の周辺ハードウエアのみです。

・ウォッチドッグ・タイマ
・リアルタイム・クロック2
・12ビット・インターバル・タイマ
・LCDコントローラ／ドライバ

オプション・バイト（000C0H）のビット4（WDTON）または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ただし，WDTON = 1，WUTMMCK0 = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときに，HALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータは発振を停止します。

**注意　リアルタイム・クロック2のカウント・クロックに低速オンチップ・オシレータ・クロック（$f_{IL}$）を選択できるのは，定周期割り込み機能使用時のみです。**

**備考**　$f_X$　：X1クロック発振周波数
$f_{HOCO}$　：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）
$f_{IH}$　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）注
$f_{EX}$　：外部メイン・システム・クロック周波数
$f_{XT}$　：XT1クロック発振周波数
$f_{EXS}$　：外部サブシステム・クロック周波数
$f_{IL}$　：低速オンチップ・オシレータ・クロック周波数

**注**　オプション・バイト（000C2H）で$f_{HOCO}$を48 MHz（FRQSEL4 = 1）に設定した場合は$f_{HOCO}$の2分周，24 MHz以下（FRQSEL4 = 0）に設定した場合は$f_{HOCO}$と同一のクロック周波数となるようにハードウエアで制御されます。16ビット・タイマKB20に48 MHzを供給する場合は，$f_{CLK}$を$f_{IH}$に設定してください。

## 5. 2　クロック発生回路の構成

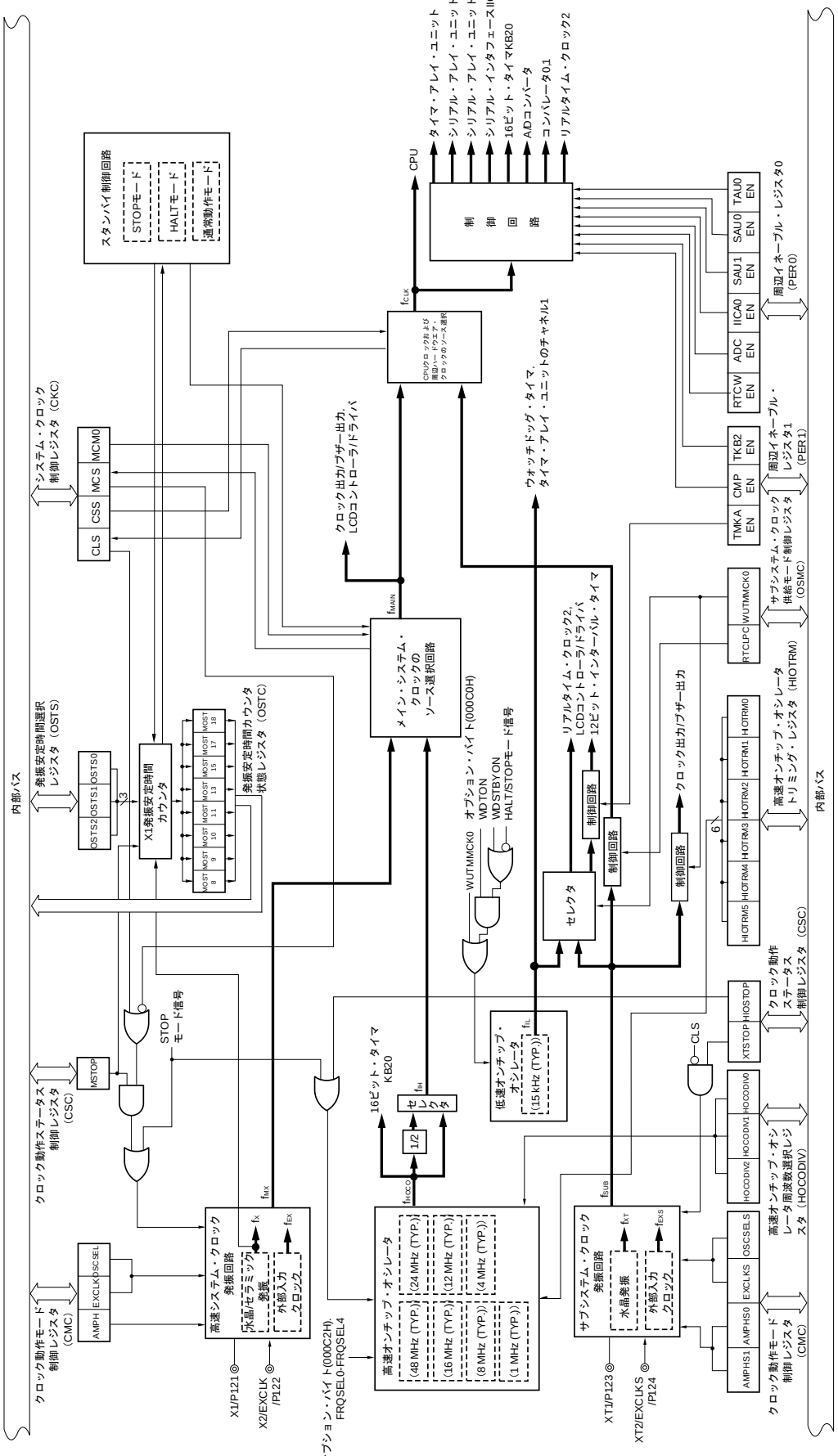
クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

| 項　　目 | 構　　成 |
|---|---|
| 制御レジスタ | クロック動作モード制御レジスタ（CMC）<br>システム・クロック制御レジスタ（CKC）<br>クロック動作ステータス制御レジスタ（CSC）<br>発振安定時間カウンタ状態レジスタ（OSTC）<br>発振安定時間選択レジスタ（OSTS）<br>周辺イネーブル・レジスタ0, 1（PER0, PER1）<br>サブシステム・クロック供給モード制御レジスタ（OSMC）<br>高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）<br>高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） |
| 発振回路 | X1発振回路<br>XT1発振回路<br>高速オンチップ・オシレータ<br>低速オンチップ・オシレータ |

★

図5－1 クロック発生回路のブロック図




（備考は次ページにあります。）

**備考** $f_X$　：X1クロック発振周波数

$f_{HOCO}$：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

$f_{IH}$　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）注1

$f_{EX}$　：外部メイン・システム・クロック周波数

$f_{MX}$　：高速システム・クロック周波数

$f_{MAIN}$：メイン・システム・クロック周波数

$f_{XT}$　：XT1クロック発振周波数

$f_{EXS}$　：外部サブシステム・クロック周波数

$f_{SUB}$　：サブシステム・クロック周波数注2

$f_{CLK}$　：CPU／周辺ハードウエア・クロック周波数

$f_{IL}$　：低速オンチップ・オシレータ・クロック周波数

**注1.** オプション・バイト（000C2H）で$f_{HOCO}$を48 MHz（FRQSEL4 = 1）に設定した場合は$f_{HOCO}$の2分周，24 MHz以下（FRQSEL4 = 0）に設定した場合は$f_{HOCO}$と同一のクロック周波数となるようにハードウエアで制御されます。16ビット・タイマKB20に48 MHzを供給する場合は，$f_{CLK}$を$f_{IH}$に設定してください。

**2.** WUTMMCK0ビット = 1設定時に，クロック出力／ブザー出力の出力クロックとして$f_{SUB}$を選択することは禁止です。

## 5.3　クロック発生回路を制御するレジスタ

クロック発生回路は，次の9種類のレジスタで制御します。

- クロック動作モード制御レジスタ（CMC）
- システム・クロック制御レジスタ（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- 周辺イネーブル・レジスタ0, 1（PER0, PER1）
- サブシステム・クロック供給モード制御レジスタ（OSMC）
- 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
- 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

**注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。**

### 5.3.1　クロック動作モード制御レジスタ（CMC）

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により，00Hになります

**注意　EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン･リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。**

図5－2　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　　リセット時：00H[注]　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CMC | EXCLK | OSCSEL | EXCLKS[注] | OSCSELS[注] | 0 | AMPHS1[注] | AMPHS0[注] | AMPH |

| EXCLK | OSCSEL | 高速システム・クロック端子の動作モード | X1/P121端子 | X2/EXCLK/P122端子 |
|---|---|---|---|---|
| 0 | 0 | 入力ポート・モード | 入力ポート | |
| 0 | 1 | X1発振モード | 水晶／セラミック発振子接続 | |
| 1 | 0 | 入力ポート・モード | 入力ポート | |
| 1 | 1 | 外部クロック入力モード | 入力ポート | 外部クロック入力 |

| EXCLKS | OSCSELS | サブシステム・クロック端子の動作モード | XT1/P123端子 | XT2/EXCLKS/P124端子 |
|---|---|---|---|---|
| 0 | 0 | 入力ポート・モード | 入力ポート | |
| 0 | 1 | XT1発振モード | 水晶振動子接続 | |
| 1 | 0 | 入力ポート・モード | 入力ポート | |
| 1 | 1 | 外部クロック入力モード | 入力ポート | 外部クロック入力 |

| AMPHS1 | AMPHS0 | XT1発振回路の発振モード選択 |
|---|---|---|
| 0 | 0 | 低消費発振（デフォルト） |
| 0 | 1 | 通常発振 |
| 1 | 0 | 超低消費発振 |
| 1 | 1 | 設定禁止 |

| AMPH | X1クロック発振周波数の制御 |
|---|---|
| 0 | 1 MHz≦$f_X$≦10 MHz |
| 1 | 10 MHz＜$f_X$≦20 MHz |

**注**　EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

**注意1.　CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために，リセット解除後は必ず00Hに設定してください。**

**2.　リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に，CMCレジスタを設定してください。**

**3.　X1クロック発振周波数が10MHzを越える場合は，必ずAMPHビットに1を設定してください。**

**4.　AMPH, AMPHS1, AMPHS0ビットは，リセット解除後$f_{CLK}$に$f_{IH}$を選択した状態（$f_{CLK}$を$f_{MX}$に切り替える前の状態）で設定してください。**

（注意，備考は次ページに続きます。）

**注意5.** **$f_{XT}$の発振安定時間は，ソフトウエアでカウントしてください。**

**6.** **システム・クロックの周波数上限は24 MHzですが，X1発振回路の周波数上限は20 MHzになります。**

**7.** **CMCレジスタ書き込み後，パワーオン・リセット以外のリセットが発生した場合，暴走時の誤動作を防ぐためリセット解除後は必ずリセット発生前と同じ値を設定してください。**

**8.** **XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。**

- **端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。**
- **XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は，5. 7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。**
- **XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。**
- **回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。**
- **XT1発振回路の周辺には，できるかぎり$V_{SS}$と同電位のグランド・パターンを配置してください。**
- **XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。**
- **高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。**
- **回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。**

**備考**　$f_X$：X1クロック発振周波数

## 5. 3. 2　システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウエア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　リセット時：00H　R/W[注1]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CKC | CLS | CSS | MCS | MCM0 | 0 | 0 | 0 | 0 |

| CLS | CPU／周辺ハードウエア・クロック（$f_{CLK}$）のステータス |
|---|---|
| 0 | メイン・システム・クロック（$f_{MAIN}$） |
| 1 | サブシステム・クロック（$f_{SUB}$） |

| CSS | CPU／周辺ハードウエア・クロック（$f_{CLK}$）の選択 |
|---|---|
| 0 | メイン・システム・クロック（$f_{MAIN}$） |
| 1 [注2] | サブシステム・クロック（$f_{SUB}$） |

| MCS | メイン・システム・クロック（$f_{MAIN}$）のステータス |
|---|---|
| 0 | 高速オンチップ・オシレータ・クロック（$f_{IH}$） |
| 1 | 高速システム・クロック（$f_{MX}$） |

| MCM0[注2] | メイン・システム・クロック（$f_{MAIN}$）の動作制御 |
|---|---|
| 0 | メイン・システム・クロック（$f_{MAIN}$）に高速オンチップ・オシレータ・クロック（$f_{IH}$）を選択 |
| 1 | メイン・システム・クロック（$f_{MAIN}$）に高速システム・クロック（$f_{MX}$）を選択 |

**注1.** ビット7, 5は，Read Onlyです。

**2.** CSS = 1を設定した状態で，MCM0ビットの値を変更することは禁止です。

**備考**　$f_{HOCO}$：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

$f_{IH}$　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）[注]

$f_{MX}$　：高速システム・クロック周波数

$f_{MAIN}$：メイン・システム・クロック周波数

$f_{SUB}$　：サブシステム・クロック周波数

**注**　オプション・バイト（000C2H）で$f_{HOCO}$を48 MHz（FRQSEL4 = 1）に設定した場合は$f_{HOCO}$の2分周，24 MHz以下（FRQSEL4 = 0）に設定した場合は$f_{HOCO}$と同一のクロック周波数となるようにハードウエアで制御されます。16ビット・タイマKB20に48 MHzを供給する場合は，$f_{CLK}$を$f_{IH}$に設定してください。

（注意は次ページにあります。）

**注意1.　ビット0-3には，必ず0を設定してください。**

**2.　CSSビットで設定したクロックは，CPUと周辺ハードウエアに供給されます。したがって，CPUクロックを変更すると，周辺ハードウエア・クロックも同時に変更されます（リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバおよびウォッチドッグ・タイマは除く）。よって，CPU／周辺ハードウエア・クロックを変更する場合は，各周辺機能を停止してください。**

**3.　周辺ハードウエア・クロックとしてサブシステム・クロックが使われている場合，A/Dコンバータ，IICAの動作は保証できません。周辺ハードウエアの動作特性については，各周辺ハードウエアの章および第32章または第33章　電気的特性を参照してください。**

**4.　16ビット・タイマKB20のカウント・ソースに$f_{HOCO}$を選択する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TKB2EN）をセットする前に，$f_{CLK}$を$f_{IH}$に設定してください。$f_{CLK}$を$f_{IH}$以外のクロックに変更するときは，周辺イネーブル・レジスタ1（PER1）のビット4（TKB2EN）をクリアしたあとに変更してください。**

### 5. 3. 3 クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

**注意 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。**

図5−4 クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CSC | MSTOP | XTSTOP注 | 0 | 0 | 0 | 0 | 0 | HIOSTOP |

| MSTOP | 高速システム・クロックの動作制御 | | |
|---|---|---|---|
| | X1発振モード時 | 外部クロック入力モード時 | 入力ポート・モード時 |
| 0 | X1発振回路動作 | EXCLK端子からの外部クロック有効 | 入力ポート |
| 1 | X1発振回路停止 | EXCLK端子からの外部クロック無効 | |

| XTSTOP | サブシステム・クロックの動作制御 | | |
|---|---|---|---|
| | XT1発振モード時 | 外部クロック入力モード時 | 入力ポート・モード時 |
| 0 | XT1発振回路動作 | EXCLKS端子からの外部クロック有効 | 入力ポート |
| 1 | XT1発振回路停止 | EXCLKS端子からの外部クロック無効 | |

| HIOSTOP | 高速オンチップ・オシレータ・クロックの動作制御 |
|---|---|
| 0 | 高速オンチップ・オシレータ動作 |
| 1 | 高速オンチップ・オシレータ停止 |

**注** XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

**注意1. リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。**

**2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。**

**3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。**

（注意は次ページに続きます。）

**注意4.　XTSTOPビットの設定でXT1発振を開始する場合は，サブシステム・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。**

**5.　CPU／周辺ハードウエア・クロック（$f_{CLK}$）に選択しているクロックは，CSCレジスタで停止させないでください。**

**6.　クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表5－2のようになります。クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。**

表5－2　クロック停止方法

| クロック | クロック停止（外部クロック入力無効）前条件 | CSCレジスタのフラグ設定 |
|---|---|---|
| X1クロック<br>外部メイン・システム・クロック | CPU／周辺ハードウエア・クロックが高速システム・クロック以外で動作<br>（CLS = 0かつMCS = 0，またはCLS = 1） | MSTOP = 1 |
| XT1クロック<br>外部サブシステム・クロック | CPU／周辺ハードウエア・クロックがサブシステム・クロック以外で動作<br>（CLS = 0） | XTSTOP = 1 |
| 高速オンチップ・オシレータ・クロック | CPU／周辺ハードウエア・クロックが高速オンチップ・オシレータ・クロック以外で動作<br>（CLS = 0かつMCS = 1，またはCLS = 1） | HIOSTOP = 1 |

### 5. 3. 4　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

**備考**　発振安定時間カウンタは，次の場合にカウントを開始します。

- X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- STOPモードを解除したとき

図5－5　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTC | MOST 8 | MOST 9 | MOST 10 | MOST 11 | MOST 13 | MOST 15 | MOST 17 | MOST 18 |

| MOST 8 | MOST 9 | MOST 10 | MOST 11 | MOST 13 | MOST 15 | MOST 17 | MOST 18 | 発振安定時間のステータス | | |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | $f_X$ = 10 MHz時 | $f_X$ = 20 MHz時 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | $2^8/f_X$未満 | 25.6 μs未満 | 12.8 μs未満 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | $2^8/f_X$以上 | 25.6 μs以上 | 12.8 μs以上 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | $2^9/f_X$以上 | 51.2 μs以上 | 25.6 μs以上 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | $2^{10}/f_X$以上 | 102 μs以上 | 51.2 μs以上 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | $2^{11}/f_X$以上 | 204 μs以上 | 102 μs以上 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | $2^{13}/f_X$以上 | 819 μs以上 | 409 μs以上 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | $2^{15}/f_X$以上 | 3.27 ms以上 | 1.63 ms以上 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | $2^{17}/f_X$以上 | 13.1 ms以上 | 6.55 ms以上 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | $2^{18}/f_X$以上 | 26.2 ms以上 | 13.1 ms以上 |

**注意1. 上記時間経過後，MOST8ビットから順番に“1”となっていき，そのまま“1”を保持します。**

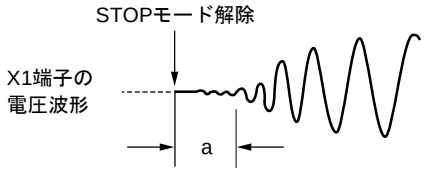
**2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。**

**次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。**

- **CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合**
- **CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合**

**（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

**3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。**




**備考**　$f_X$：X1クロック発振周波数

### 5. 3. 5　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は，X1発振回路動作（MSTOP=0）後，OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから，X1クロックに切り換える場合や，CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後STOPモードを解除した場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図5－6　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 |

| OSTS2 | OSTS1 | OSTS0 | 発振安定時間の選択 | | |
|---|---|---|---|---|---|
| | | | | $f_X$ = 10 MHz時 | $f_X$ = 20 MHz時 |
| 0 | 0 | 0 | $2^8/f_X$ | 25.6 μs | 12.8 μs |
| 0 | 0 | 1 | $2^9/f_X$ | 51.2 μs | 25.6 μs |
| 0 | 1 | 0 | $2^{10}/f_X$ | 102 μs | 51.2 μs |
| 0 | 1 | 1 | $2^{11}/f_X$ | 204 μs | 102 μs |
| 1 | 0 | 0 | $2^{13}/f_X$ | 819 μs | 409 μs |
| 1 | 0 | 1 | $2^{15}/f_X$ | 3.27 ms | 1.64 ms |
| 1 | 1 | 0 | $2^{17}/f_X$ | 13.1 ms | 6.55 ms |
| 1 | 1 | 1 | $2^{18}/f_X$ | 26.2 ms | 13.1 ms |

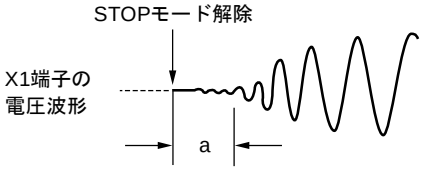
**注意1.　OSTSレジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。**

**2.　発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。**

**次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。**

- **CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合**
- **CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

**3.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。**




**備考**　$f_X$：X1クロック発振周波数

## 5. 3. 6　周辺イネーブル・レジスタ0, 1（PER0, PER1）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

・リアルタイム・クロック2
・A/Dコンバータ
・シリアル・インタフェースIICA0
・シリアル・アレイ・ユニット1
・シリアル・アレイ・ユニット0
・タイマ・アレイ・ユニット
・12ビット・インターバル・タイマ
・コンパレータ0, 1
・16ビット・タイマKB20

PER0, PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（1/2）

アドレス：F00F0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |

| RTCWEN | リアルタイム・クロック2（RTC2）の入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・リアルタイム・クロック2（RTC2）で使用するSFRへのライト不可<br>・リアルタイム・クロック2（RTC2）は動作可能 |
| 1 | 入力クロック供給<br>・リアルタイム・クロック2（RTC2）で使用するSFRへのリード／ライト可<br>・リアルタイム・クロック2（RTC2）は動作可能 |

| ADCEN | A/Dコンバータの入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・A/Dコンバータで使用するSFRへのライト不可<br>・A/Dコンバータはリセット状態 |
| 1 | 入力クロック供給<br>・A/Dコンバータで使用するSFRへのリード／ライト可 |

**注意　ビット6, 1には必ず“0”を設定してください。**

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（2/2）

アドレス：F00F0H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |

| IICA0EN | シリアル・インタフェースIICA0の入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・シリアル・インタフェースIICA0で使用するSFRへのライト不可<br>・シリアル・インタフェースIICA0はリセット状態 |
| 1 | 入力クロック供給<br>・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可 |

| SAU1EN | シリアル・アレイ・ユニット1の入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・シリアル・アレイ・ユニット1で使用するSFRへのライト不可<br>・シリアル・アレイ・ユニット1はリセット状態 |
| 1 | 入力クロック供給<br>・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可 |

| SAU0EN | シリアル・アレイ・ユニット0の入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・シリアル・アレイ・ユニット0で使用するSFRへのライト不可<br>・シリアル・アレイ・ユニット0はリセット状態 |
| 1 | 入力クロック供給<br>・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可 |

| TAU0EN | タイマ・アレイ・ユニットの入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・タイマ・アレイ・ユニットで使用するSFRへのライト不可<br>・タイマ・アレイ・ユニットはリセット状態 |
| 1 | 入力クロック供給<br>・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可 |

**注意　ビット6, 1には必ず“0”を設定してください。**

図5－8　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F007AH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER1 | TMKAEN | 0 | CMPEN | TKB2EN | 0 | 0 | 0 | 0 |

| TMKAEN | 12ビット・インターバル・タイマの入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・12ビット・インターバル・タイマで使用するSFRへのライト不可<br>・12ビット・インターバル・タイマはリセット状態 |
| 1 | 入力クロック供給<br>・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可 |

| CMPEN | コンパレータ0, 1の入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・コンパレータ0, 1で使用するSFRへのライト不可<br>・コンパレータ0, 1はリセット状態 |
| 1 | 入力クロック供給<br>・コンパレータ0, 1で使用するSFRへのリード／ライト可 |

| TKB2EN[注] | 16ビット・タイマKB20の入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・16ビット・タイマKB20で使用するSFRへのライト不可<br>・16ビット・タイマKB20はリセット状態 |
| 1 | 入力クロック供給<br>・16ビット・タイマKB20で使用するSFRへのリード／ライト可 |

**注**　ユーザ・オプション・バイト（000C2H）のFRQSEL4 = 1のときは，周辺イネーブル・レジスタ1（PER1）のビット4（TKB2EN）をセットする前に，$f_{CLK}$を$f_{IH}$に設定してください。$f_{CLK}$を$f_{IH}$以外のクロックに変更するときは，周辺イネーブル・レジスタ1（PER1）のビット4（TKB2EN）をクリアしたあとに変更してください。

**注意　ビット6, 3-0には必ず“0”を設定してください。**

## 5. 3. 7 サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－9 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSMC | RTCLPC | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |

| RTCLPC | STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定 |
|---|---|
| 0 | 周辺機能へのサブシステム・クロック供給許可<br>（動作許可となる周辺機能については，表21－1～表21－3参照） |
| 1 | リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止 |

| WUTMMCK0 | リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの動作クロックの選択 | クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択 |
|---|---|---|
| 0 | サブシステム・クロック（$f_{SUB}$） | サブシステム・クロック（$f_{SUB}$）選択許可 |
| 1 | 低速オンチップ・オシレータ・クロック（$f_{IL}$） | サブシステム・クロック（$f_{SUB}$）選択禁止 |

**注意1. サブシステム・クロック発振中の場合は，必ずサブシステム・クロックを選択（WUTMMCK0ビット = 0）にしてください。**

**2. WUTMMCK0ビットを“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。**

**3. WUTMMCK0ビットを“1”に設定した場合，リアルタイム・クロック2の定周期割り込み機能のみ使用できます。年，月，曜日，日，時，分，秒のカウントおよび1Hz出力機能は使用できません。定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）× $f_{SUB}/f_{IL}$で算出されます。**

**4. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは，リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。**

**5. WUTMMCK0ビットを“1”に設定した場合，クロック出力／ブザー出力の出力クロックとして$f_{SUB}$を選択することは禁止です。**

## 5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし，オプション・バイト（000C2H）のFRQSEL4, FRQSEL3ビットの値によって，選択できる周波数が異なります。

HOCODIVは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，オプション・バイト（000C2H）のFRQSEL2-FRQSEL0ビットで設定した値になります。

図5－10　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| HOCODIV | 0 | 0 | 0 | 0 | 0 | HOCODIV2 | HOCODIV1 | HOCODIV0 |

| HOCODIV2 | HOCODIV1 | HOCODIV0 | 高速オンチップ・オシレータ・クロック周波数の選択 | | |
|---|---|---|---|---|---|
| | | | FRQSEL4 = 0 | | FRQSEL4 = 1 |
| | | | FRQSEL3 = 0 | FRQSEL3 = 1 | FRQSEL3 = 0 |
| 0 | 0 | 0 | $f_{IH}$ = 24 MHz | 設定禁止 | $f_{IH}$ = 24 MHz<br>$f_{HOCO}$ = 48 MHz |
| 0 | 0 | 1 | $f_{IH}$ = 12 MHz | $f_{IH}$ = 16 MHz | $f_{IH}$ = 12 MHz<br>$f_{HOCO}$ = 24 MHz |
| 0 | 1 | 0 | $f_{IH}$ = 6 MHz | $f_{IH}$ = 8 MHz | $f_{IH}$ = 6 MHz<br>$f_{HOCO}$ = 12 MHz |
| 0 | 1 | 1 | $f_{IH}$ = 3 MHz | $f_{IH}$ = 4 MHz | $f_{IH}$ = 3 MHz<br>$f_{HOCO}$ = 6 MHz |
| 1 | 0 | 0 | 設定禁止 | $f_{IH}$ = 2 MHz | 設定禁止 |
| 1 | 0 | 1 | 設定禁止 | $f_{IH}$ = 1 MHz | 設定禁止 |
| 上記以外 | | | 設定禁止 | | |

**注意1. HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト（000C2H）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。**

| オプション・バイト（000C2H）の値 | | フラッシュ動作モード | 動作周波数範囲 | 動作電圧範囲 |
|---|---|---|---|---|
| CMODE1 | CMODE2 | | | |
| 0 | 0 | LV（低電圧メイン）モード | 1 MHz～4 MHz | 1.6 V～5.5 V |
| 1 | 0 | LS（低速メイン）モード | 1 MHz～8 MHz | 1.8 V～5.5 V |
| 1 | 1 | HS（高速メイン）モード | 1 MHz～16 MHz | 2.4 V～5.5 V |
| | | | 1 MHz～24 MHz | 2.7 V～5.5 V |
| 上記以外 | | 設定禁止 | | |

**2. HOCODIVレジスタの設定は，高速オンチップ・オシレータ・クロック（$f_{IH}$）をCPU／周辺ハードウエア・クロック（$f_{CLK}$）に選択している状態で行ってください。**

★ **3. HOCODIVレジスタで周波数を変更後，次の遷移時間経過して周波数が切り替わります。なお、HOCODIVレジスタに同じ値を設定した場合でも、最大3クロックのCPU／周辺ハードウエア・クロックウエイトが発生します。**

**・変更前の周波数で最大3クロック動作**

**・変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロック ウエイト**

## 5. 3. 9　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し，精度補正することができます。

HIOTRMレジスタは，8ビット・メモリ操作命令で設定します。

**注意　精度補正後に温度，$V_{DD}$端子電圧に変化があった場合，周波数は変動します。温度，$V_{DD}$電圧が変動する場合は，周波数の精度が必要になる前または定期的に補正を実行する必要があります。**

図5－11　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス：F00A0H　　リセット時：不定[注]　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| HIOTRM | 0 | 0 | HIOTRM5 | HIOTRM4 | HIOTRM3 | HIOTRM2 | HIOTRM1 | HIOTRM0 |

| HIOTRM5 | HIOTRM4 | HIOTRM3 | HIOTRM2 | HIOTRM1 | HIOTRM0 | 高速オンチップ・オシレータ |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 最低速 |
| 0 | 0 | 0 | 0 | 0 | 1 | ↑ |
| 0 | 0 | 0 | 0 | 1 | 0 | |
| 0 | 0 | 0 | 0 | 1 | 1 | |
| 0 | 0 | 0 | 1 | 0 | 0 | |
| ・<br>・<br>・ | | | | | | |
| 1 | 1 | 1 | 1 | 1 | 0 | ↓ |
| 1 | 1 | 1 | 1 | 1 | 1 | 最高速 |

**注**　　リセット値は出荷時に調整した値です。

**備考1.**　HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

**2.**　HIOTRMレジスタの使用例は，RL78 MCUシリーズ 高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート（R01AN0464）を参照してください。

# 5. 4　システム・クロック発振回路

## 5. 4. 1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また, 外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

・水晶，セラミック発振 ：EXCLK, OSCSEL = 0, 1

・外部クロック入力　　：EXCLK, OSCSEL = 1, 1

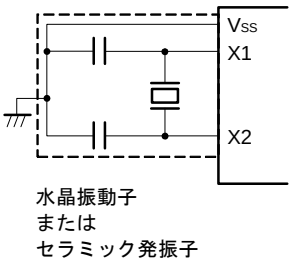
X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－2　各端子の未使用端子処理を参照してください。

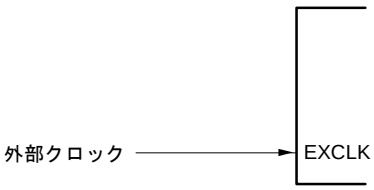
図5－12にX1発振回路の外付け回路例を示します。

図5－12　X1発振回路の外付け回路例

（a）水晶，セラミック発振




（b）外部クロック




注意を次ページに示します。

## 5. 4. 2　XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

また，外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット5, 4（EXCLKS, OSCSELS）を次のように設定してください。

・水晶発振　　：EXCLKS, OSCSELS = 0, 1

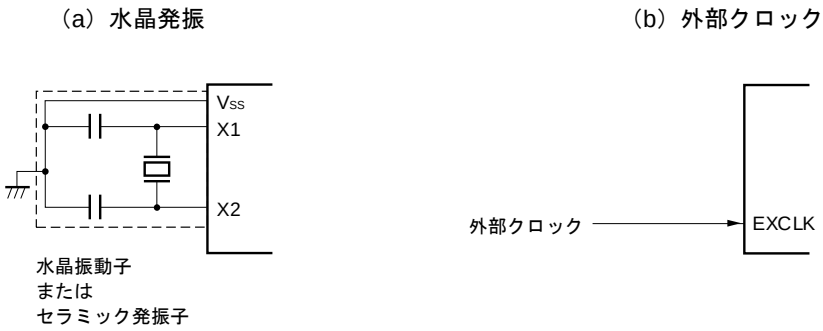
・外部クロック入力　　：EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，**表2－2　各端子の未使用端子処理**を参照してください。

図5－13にXT1発振回路の外付け回路例を示します。

図5－13　XT1発振回路の外付け回路例




**注意　X1発振回路およびXT1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－12, 5－13の破線の部分を次のように配線してください。**

- **配線は極力短くしてください。**
- **他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。**
- **発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。**
- **発振回路から信号を取り出さないでください。**

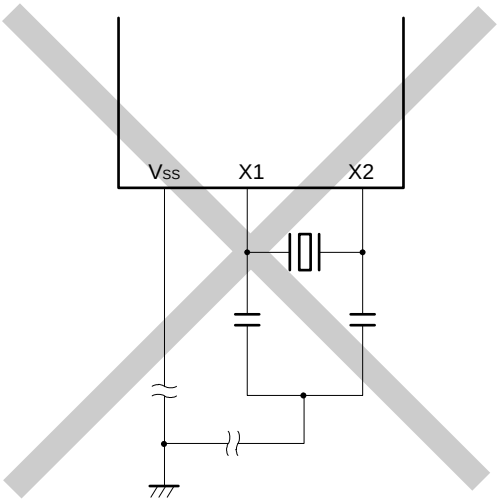
**特に，XT1発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。**

- **端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。**
- **XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は5. 7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。**
- **XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。**
- **回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。**
- **XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。**
- **XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。**
- **高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。**
- **回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。**

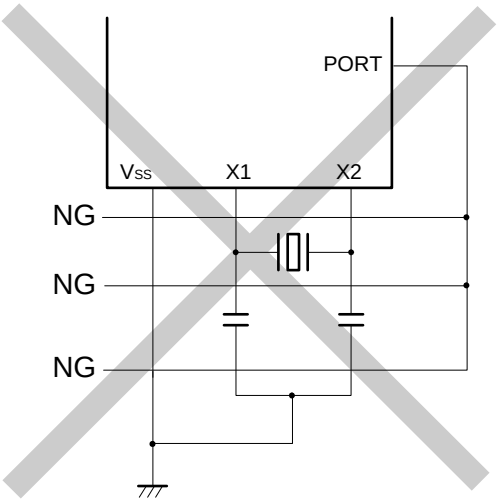
図5－14に発振子の接続の悪い例を示します。

図5－14　発振子の接続の悪い例（1/2）

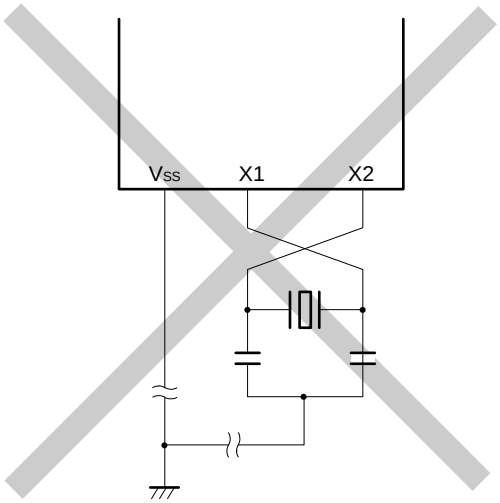
（a）接続回路の配線が長い



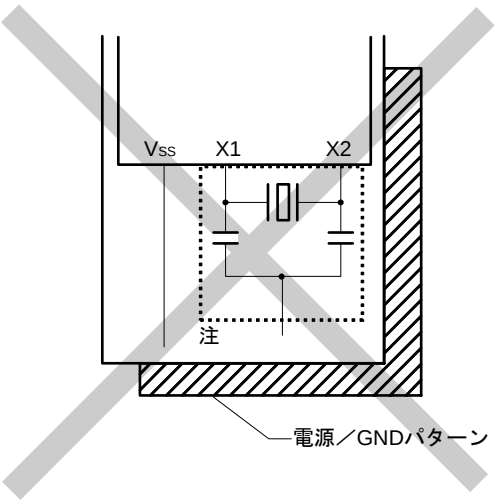

（b）信号線が交差している




（c）X1, X2の信号線の配線が交差している




（d）X1, X2配線の下に電源／GNDパターンがある

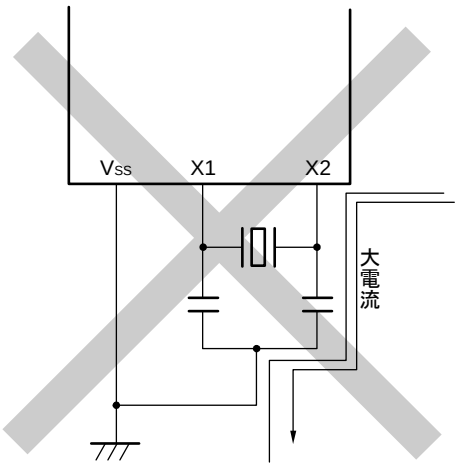



**注**　多層基板や両面基板において，X1，X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

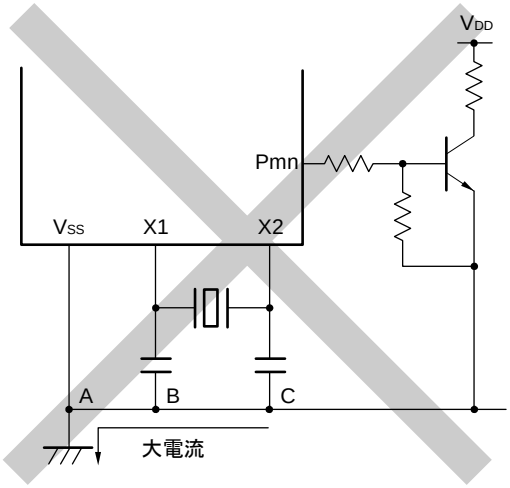
**備考**　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。

図5－14　発振子の接続の悪い例（2/2）

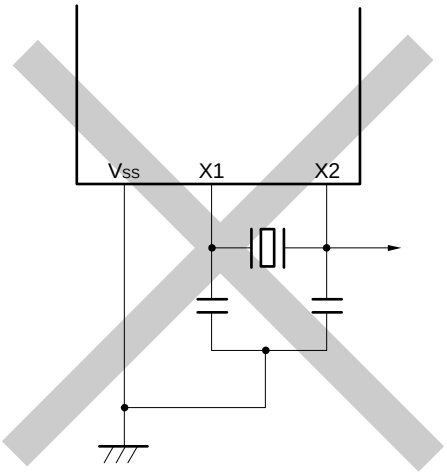
（e） 変化する大電流が信号線に
近接している




（f） 発振回路部のグランド・ライン上に電流が流れる
（A点，B点，C点の電位が変動する）




（g）信号を取り出している




**注意　X2とXT1が平行に配線されている場合，X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。**

**備考**　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

### 5. 4. 3　高速オンチップ・オシレータ

RL78/L13は，高速オンチップ・オシレータを内蔵しています。オプション・バイト（000C2H）により48 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。48 MHzを選択した場合は, CPUクロックは2分周された周波数になります。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

### 5. 4. 4　低速オンチップ・オシレータ

RL78/L13は，低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは，ウォッチドッグ・タイマ，リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバのクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマの動作時、またはサブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）が1の時に低速オンチップ・オシレータは動作します。ウォッチドッグ・タイマ停止時かつWUTMMCK0 = 0の時、低速オンチップ・オシレータは停止します。

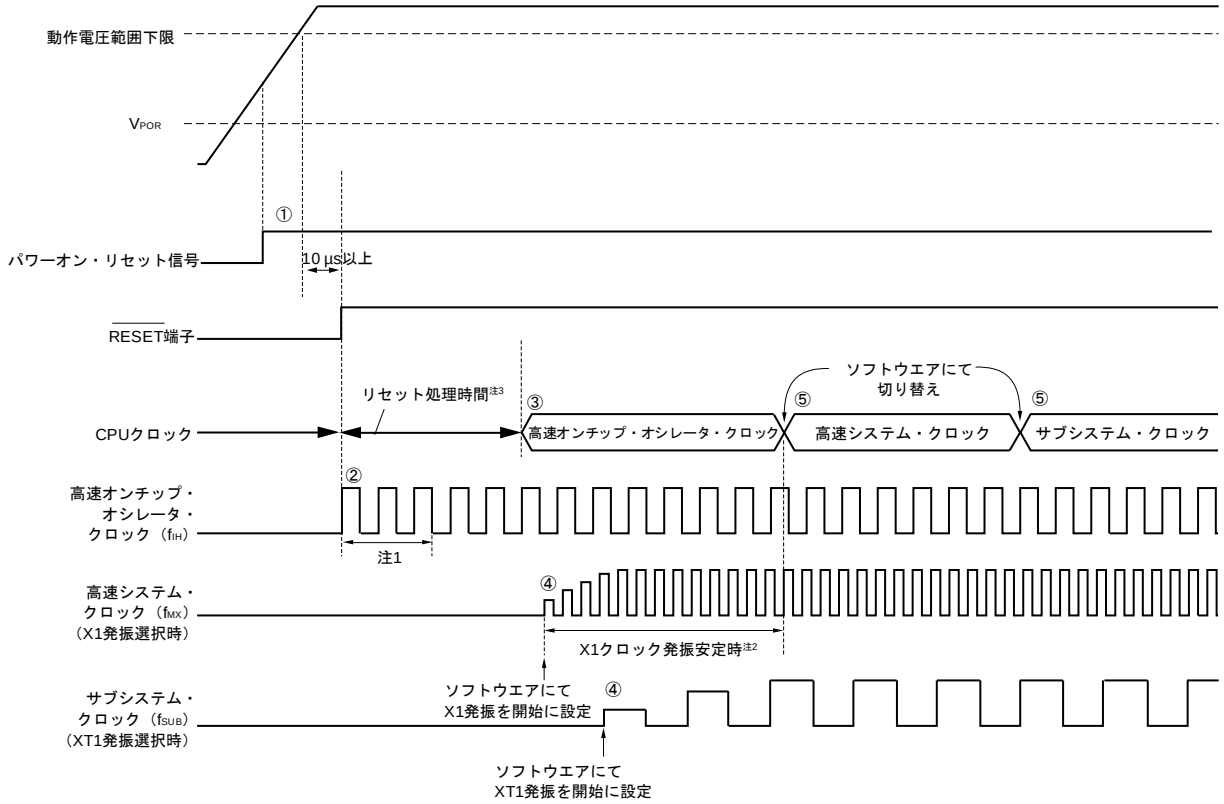
## 5.5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

〇メイン・システム・クロック　$f_{MAIN}$
　・高速システム・クロック　$f_{MX}$
　　X1クロック　$f_X$
　　外部メイン・システム・クロック　$f_{EX}$
　・高速オンチップ・オシレータ・クロック　$f_{IH}$
〇サブシステム・クロック　$f_{SUB}$
　・XT1クロック　$f_{XT}$
　・外部サブシステム・クロック　$f_{EXS}$
〇低速オンチップ・オシレータ・クロック　$f_{IL}$
〇CPU／周辺ハードウエア・クロック　$f_{CLK}$

RL78/L13では，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を，図5－15に示します。

図5－15　電源電圧投入時のクロック発生回路の動作




① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生します。
ただし，**32. 4** または**33. 4　AC特性**に示す動作電圧範囲に達するまで，電圧検出回路か外部リセットでリセット状態を保ちます（上図は，外部リセット使用時の例）。

② リセットが解除されると，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロックまたはXT1クロックは，ソフトウエアにて発振開始を設定してください（**5. 6. 2　X1発振回路の設定例**，**5. 6. 3　XT1発振回路の設定例**を参照）。

⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください（**5. 6. 2　X1発振回路の設定例**，**5. 6. 3　XT1発振回路の設定例**を参照）。

**注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，リセット処理時間に含まれます。

**2.** リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

**3.** リセット処理時間は，**第23章　パワーオン・リセット回路**を参照してください。

**注意　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。**

# 5. 6　クロックの制御

## 5. 6. 1　高速オンチップ・オシレータの設定例

CPU／周辺ハードウエア・クロック（$f_{CLK}$）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，オプション・バイト（000C2H）のFRQSEL0-FRQSEL4により，48 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により，周波数を変更することもできます。

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト（000C2H）

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CMODE1<br>0/1 | CMODE0<br>0/1 | 1 | FRQSEL4<br>0/1 | FRQSEL3<br>0/1 | FRQSEL2<br>0/1 | FRQSEL1<br>0/1 | FRQSEL0<br>0/1 |

| CMODE1 | CMODE0 | フラッシュの動作モード設定 | |
|---|---|---|---|
| 0 | 0 | LV（低電圧メイン）モード | $V_{DD}$ = 1.6 V～5.5 V @ 1 MHz～4 MHz |
| 1 | 0 | LS（低速メイン）モード | $V_{DD}$ = 1.8 V～5.5 V @ 1 MHz～8 MHz |
| 1 | 1 | HS（高速メイン）モード | $V_{DD}$ = 2.4 V～5.5 V @ 1 MHz～16 MHz |
| | | | $V_{DD}$ = 2.7 V～5.5 V @ 1 MHz～24 MHz |
| 上記以外 | | 設定禁止 | |

| FRQSEL4 | FRQSEL3 | FRQSEL2 | FRQSEL1 | FRQSEL0 | 高速オンチップ・オシレータの周波数 | |
|---|---|---|---|---|---|---|
| | | | | | $f_{HOCO}$ | $f_{IH}$ |
| 1 | 0 | 0 | 0 | 0 | 48 MHz | 24 MHz |
| 0 | 0 | 0 | 0 | 0 | 24 MHz | 24 MHz |
| 0 | 1 | 0 | 0 | 1 | 16 MHz | 16 MHz |
| 0 | 0 | 0 | 0 | 1 | 12 MHz | 12 MHz |
| 0 | 1 | 0 | 1 | 0 | 8 MHz | 8 MHz |
| 0 | 0 | 0 | 1 | 0 | 6 MHz | 6 MHz |
| 0 | 1 | 0 | 1 | 1 | 4 MHz | 4 MHz |
| 0 | 0 | 0 | 1 | 1 | 3 MHz | 3 MHz |
| 0 | 1 | 1 | 0 | 0 | 2 MHz | 2 MHz |
| 0 | 1 | 1 | 0 | 1 | 1 MHz | 1 MHz |
| 上記以外 | | | | | 設定禁止 | |

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| HOCODIV | 0 | 0 | 0 | 0 | 0 | HOCODIV2 | HOCODIV1 | HOCODIV0 |

| HOCODIV2 | HOCODIV1 | HOCODIV0 | 高速オンチップ・オシレータ・クロック周波数の選択 | | |
|---|---|---|---|---|---|
| | | | FRQSEL4 = 0 | | FRQSEL4 = 1 |
| | | | FRQSEL3 = 0 | FRQSEL3 = 1 | FRQSEL3 = 0 |
| 0 | 0 | 0 | $f_{IH}$ = 24 MHz | 設定禁止 | $f_{IH}$ = 24 MHz<br>$f_{HOCO}$ = 48 MHz |
| 0 | 0 | 1 | $f_{IH}$ = 12 MHz | $f_{IH}$ = 16 MHz | $f_{IH}$ = 12 MHz<br>$f_{HOCO}$ = 24 MHz |
| 0 | 1 | 0 | $f_{IH}$ = 6 MHz | $f_{IH}$ = 8 MHz | $f_{IH}$ = 6 MHz<br>$f_{HOCO}$ = 12 MHz |
| 0 | 1 | 1 | $f_{IH}$ = 3 MHz | $f_{IH}$ = 4 MHz | $f_{IH}$ = 3 MHz<br>$f_{HOCO}$ = 6 MHz |
| 1 | 0 | 0 | 設定禁止 | $f_{IH}$ = 2 MHz | 設定禁止 |
| 1 | 0 | 1 | 設定禁止 | $f_{IH}$ = 1 MHz | 設定禁止 |
| 上記以外 | | | 設定禁止 | | |

## 5. 6. 2　X1発振回路の設定例

CPU／周辺ハードウエア・クロック（$f_{CLK}$）はリセット解除後，必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1発振クロックに変更する場合，発振安定時間選択レジスタ（OSTS），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）でX1発振クロックを$f_{CLK}$に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMCレジスタのOSCSELビットをセット（1），$f_X$＞10 MHzの場合はAMPHビットをセット（1）してX1発振回路を動作させます。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CMC | EXCLK | OSCSEL | EXCLKS | OSCSELS | | AMPHS1 | AMPHS0 | AMPH |
| | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0/1 |

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例）10 MHzの発振子で102.4 μs以上までウエイトする場合は，以下の値に設定してください。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTS | | | | | | OSTS2 | OSTS1 | OSTS0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CSC | MSTOP | XTSTOP | | | | | | HIOSTOP |
| | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例）10 MHzの発振子で102.4 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTC | MOST8 | MOST9 | MOST10 | MOST11 | MOST13 | MOST15 | MOST17 | MOST18 |
| | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CKC | CLS | CSS | MCS | MCM0 | | | | |
| | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

**注意　EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では値を保持します。**

## 5. 6. 3　XT1発振回路の設定例

CPU／周辺ハードウエア・クロック（$f_{CLK}$）はリセット解除後，必ず高速オンチップ・オシレータ・クロックで動作します。その後，XT1発振クロックに変更する場合，サブシステム・クロック供給モード制御レジスタ（OSMC），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，システム・クロック制御レジスタ（CKC）でXT1発振クロックを$f_{CLK}$に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時にリアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバのみサブシステム・クロックで動作（超低消費電流）させる場合はRTCLPCビットを1に設定してください。

OSMC

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RTCLPC | | | WUTMMCK0 | | | | |
| 0/1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

② CMCレジスタのOSCSELSビットをセット（1）してXT1発振回路を動作させます。

CMC

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| EXCLK | OSCSEL | EXCLKS | OSCSELS | | AMPHS1 | AMPHS0 | AMPH |
| 0 | 0 | 0 | 1 | 0 | 0/1 | 0/1 | 0 |

AMPHS0, AMPHS1ビット：XT1発振回路の発振モードを設定します。

③ CSCレジスタのXTSTOPビットをクリア（0）してXT1発振回路の発振を開始します。

CSC

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MSTOP | XTSTOP | | | | | | HIOSTOP |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

④ タイマ機能などを用いて，サブシステム・クロックに必要な発振安定時間をソフトウエアでウエイトしてください。

⑤ CKCレジスタのCSSビットでXT1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

CKC

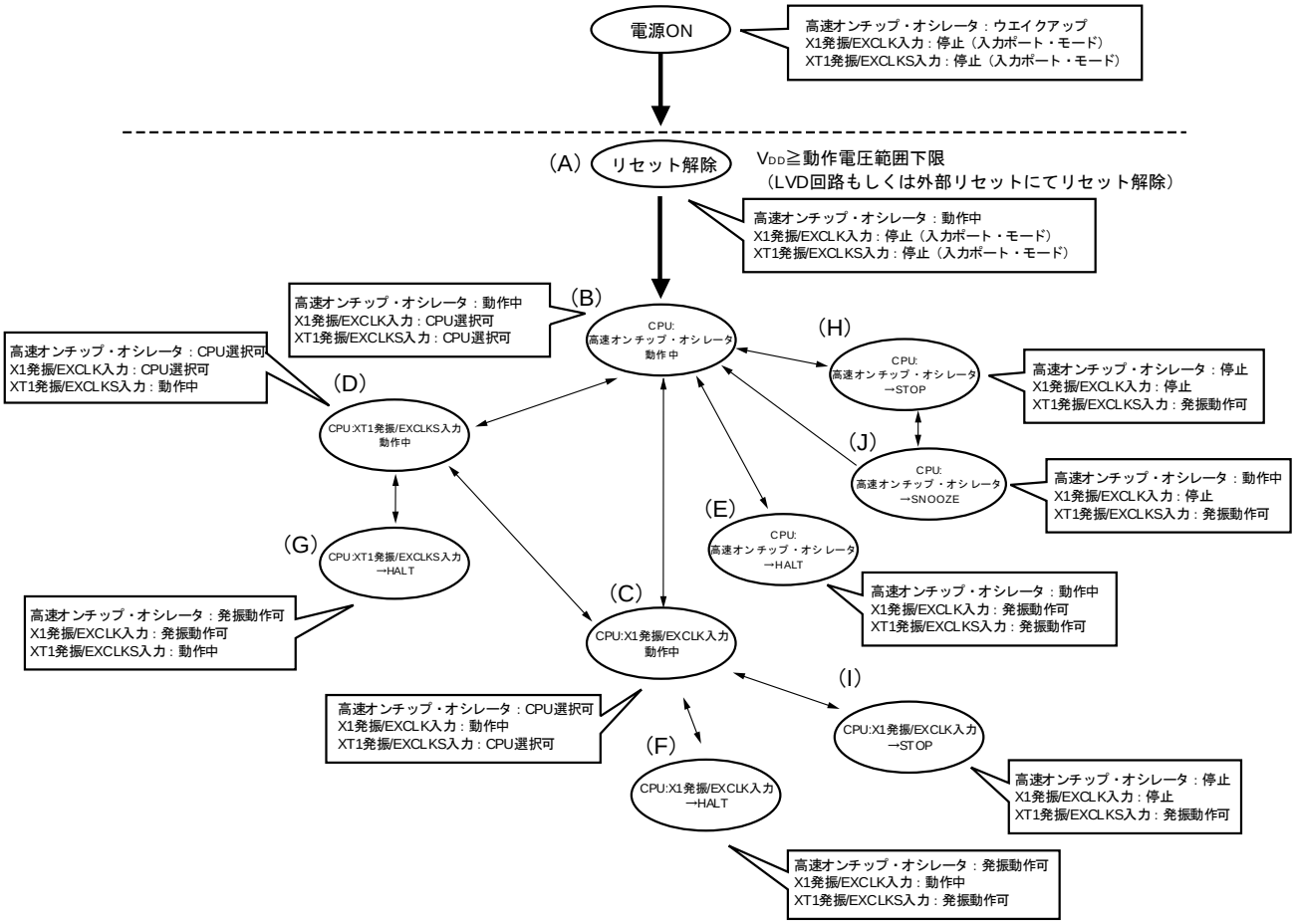
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CLS | CSS | MCS | MCM0 | | | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

**注意　EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。**

## 5. 6. 4　CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5－16に示します。

図5－16　CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5－3に示します。

表5－3　CPUクロックの移行とSFRレジスタの設定例（1/5）

（1）リセット解除後 (A) に，CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

| 状態遷移 | SFRレジスタの設定 |
|---|---|
| (A) → (B) | SFRレジスタ設定不要（リセット解除後の初期状態） |

（2）リセット解除後 (A) に，CPUを高速システム・クロック動作 (C) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

| SFRレジスタの設定フラグ / 状態遷移 | CMCレジスタ注1 | | | OSTSレジスタ | CSCレジスタ | OSTCレジスタ | CKCレジスタ |
|---|---|---|---|---|---|---|---|
| | EXCLK | OSCSEL | AMPH | | MSTOP | | MCM0 |
| (A) → (B) → (C)<br>（X1クロック：1 MHz≦fx≦10 MHz） | 0 | 1 | 0 | 注2 | 0 | 確認必要 | 1 |
| (A) → (B) → (C)<br>（X1クロック：10 MHz＜fx≦20 MHz） | 0 | 1 | 1 | 注2 | 0 | 確認必要 | 1 |
| (A) → (B) → (C)<br>（外部メイン・クロック） | 1 | 1 | × | 注2 | 0 | 確認不要 | 1 |

**注1.** クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

**2.** 発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

**注意　設定するクロックの動作可能電圧（第32章または第33章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。**

（3）リセット解除後 (A) に，CPUをサブシステム・クロック動作 (D) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

| SFRレジスタの設定フラグ / 状態遷移 | CMCレジスタ注 | | | | CSCレジスタ | 発振安定待ち | CKCレジスタ |
|---|---|---|---|---|---|---|---|
| | EXCLKS | OSCSELS | AMPHS1 | AMPHS0 | XTSTOP | | CSS |
| (A) → (B) → (D)<br>（XT1クロック） | 0 | 1 | 0/1 | 0/1 | 0 | 必要 | 1 |
| (A) → (B) → (D)<br>（外部サブ・クロック） | 1 | 1 | × | × | 0 | 必要 | 1 |

**注**　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

**備考1.** ×：don't care

**2.** 表5－3の (A) – (J) は，図5－16の(A) – (J) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（2/5）

（4）CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）

| SFRレジスタの設定フラグ / 状態遷移 | CMCレジスタ注1 | | | OSTSレジスタ | CSCレジスタ | OSTCレジスタ | CKCレジスタ |
|---|---|---|---|---|---|---|---|
| | EXCLK | OSCSEL | AMPH | | MSTOP | | MCM0 |
| (B) → (C)<br>（X1クロック：1 MHz≦fx≦10 MHz） | 0 | 1 | 0 | 注2 | 0 | 確認必要 | 1 |
| (B) → (C)<br>（X1クロック：10 MHz＜fx≦20 MHz） | 0 | 1 | 1 | 注2 | 0 | 確認必要 | 1 |
| (B) → (C)<br>（外部メイン・クロック） | 1 | 1 | × | 注2 | 0 | 確認不要 | 1 |

設定済みの場合は不要　　高速システム・クロック動作中の場合は不要

**注1.**　クロック動作モード制御レジスタ（CMC）は，リセット解除後，1回のみ設定可能です。設定済みの場合は不要です。

**2.**　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

**注意　設定するクロックの動作可能電圧（第32章または第33章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。**

（5）CPUを高速オンチップ・オシレータ・クロック動作 (B) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）

| SFRレジスタの設定フラグ / 状態遷移 | CMCレジスタ注 | | | CSCレジスタ | 発振安定待ち | CKCレジスタ |
|---|---|---|---|---|---|---|
| | EXCLKS | OSCSELS | AMPHS1,0 | XTSTOP | | CSS |
| (B) → (D)<br>（XT1クロック） | 0 | 1 | 00：低消費発振<br>01：通常発振<br>10：超低消費発振 | 0 | 必要 | 1 |
| (B) → (D)<br>（外部サブ・クロック） | 1 | 1 | × | 0 | 必要 | 1 |

設定済みの場合は不要　　サブシステム・クロック動作中の場合は不要

**注**　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

**備考1.**　×：don’t care

**2.**　表5－3の (A) – (J) は，図5－16の(A) – (J) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（3/5）

（6）CPUを高速システム・クロック動作 (C) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

| SFRレジスタの設定フラグ / 状態遷移 | CSCレジスタ | 発振精度安定待ち | CKCレジスタ |
|---|---|---|---|
| | HIOSTOP | | MCM0 |
| (C) → (B) | 0 | **注** | 0 |

高速オンチップ・オシレータ・クロック動作中の場合は不要

**注**　FRQSEL4 = 0の場合：18 μs～65 μs
FRQSEL4 = 1の場合：18 μs～135 μs

（7）CPUを高速システム・クロック動作 (C) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）→

| SFRレジスタの設定フラグ / 状態遷移 | CSCレジスタ | 発振安定待ち | CKCレジスタ |
|---|---|---|---|
| | XTSTOP | | CSS |
| (C) → (D) | 0 | 必要 | 1 |

サブシステム･クロック動作中の場合は不要

（8）CPUをサブシステム・クロック動作 (D) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

| SFRレジスタの設定フラグ / 状態遷移 | CSCレジスタ | 発振精度安定待ち | CKCレジスタ | |
|---|---|---|---|---|
| | HIOSTOP | | CSS | MCM0 |
| (D) → (B) | 0 | **注** | 0 | 0 |

高速オンチップ・オシレータ・クロック動作中の場合は不要

設定済みの場合は不要

**注**　FRQSEL4 = 0の場合：18 μs～65 μs
FRQSEL4 = 1の場合：18 μs～135 μs

**備考 1.**　表5－3の (A) – (J) は，図5－16の(A) – (J) と対応しています。

**2.**　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件とSTOPモード期間によって変化します。

表5－3　CPUクロックの移行とSFRレジスタの設定例（4/5）

（9）CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）

| SFRレジスタの設定フラグ / 状態遷移 | OSTS レジスタ | CSC レジスタ | OSTC レジスタ | CKC レジスタ |
|---|---|---|---|---|
| | | MSTOP | | CSS |
| (D) → (C)（X1クロック：1 MHz≦fx≦10 MHz） | 注 | 0 | 確認必要 | 0 |
| (D) → (C)（X1クロック：10 MHz＜fx≦20 MHz） | 注 | 0 | 確認必要 | 0 |
| (D) → (C)（外部メイン・クロック） | 注 | 0 | 確認不要 | 0 |

高速システム・クロック
動作中の場合は不要

**注**　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

**注意　設定するクロックの動作可能電圧（第32章または第33章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。**

（10）・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード（E）へ移行
・CPUが高速システム・クロック動作中 (C) にHALTモード（F）へ移行
・CPUがサブシステム・クロック動作中 (D) にHALTモード（G）へ移行

| 状態遷移 | 設定内容 |
|---|---|
| (B) → (E)<br>(C) → (F)<br>(D) → (G) | HALT命令を実行する |

**備考**　表5－3の (A) – (J) は，図5－16の(A) – (J) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（5/5）

（11）・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード（H）へ移行
・CPUが高速システム・クロック動作中 (C) にSTOPモード（I）へ移行

（設定順序）→

| 状態遷移 | | 設定内容 | | |
|---|---|---|---|---|
| (B) → (H) | | STOPモード中に動作禁止の周辺機能を停止する | － | STOP命令を実行する |
| (C) → (I) | X1発振 | | OSTS レジスタを設定する | |
| | 外部クロック | | － | |

（12）・STOPモード (H) からSNOOZEモード (J) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については，**12. 8　SNOOZEモード機能**，**14. 5. 7　SNOOZEモード機能**，**14. 6. 3　SNOOZEモード機能**を参照してください。

**備考**　表5－3の (A) – (J) は，図5－16の(A) – (J) と対応しています。

## 5. 6. 5　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表5－4　CPUクロックの移行について（1/2）

| CPUクロック | | 移行前の条件 | 移行後の処理 |
|---|---|---|---|
| 移行前 | 移行後 | | |
| 高速オンチップ・オシレータ・クロック | X1クロック | X1発振が安定していること<br>・OSCSEL = 1, EXCLK = 0, MSTOP = 0<br>・発振安定時間経過後 | CPUクロックが移行後のクロックに切り替わったことを確認した後，高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能 |
| | 外部メイン・システム・クロック | EXCLK端子からの外部クロック入力を有効にすること<br>・OSCSEL = 1, EXCLK = 1, MSTOP = 0 | |
| | XT1クロック | XT1発振が安定していること<br>・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0<br>・発振安定時間経過後 | |
| | 外部サブシステム・クロック | EXCLKS端子からの外部クロック入力を有効にすること<br>・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 | |
| X1クロック | 高速オンチップ・オシレータ・クロック | 高速オンチップ・オシレータの発振を許可していること<br>・HIOSTOP = 0<br>・発振精度安定時間経過後 | CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能<br>（MSTOP = 1） |
| | 外部メイン・システム・クロック | 移行不可 | － |
| | XT1クロック | XT1発振が安定していること<br>・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0<br>・発振安定時間経過後 | CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能<br>（MSTOP = 1） |
| | 外部サブシステム・クロック | EXCLKS端子からの外部クロック入力を有効にすること<br>・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 | CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能<br>（MSTOP = 1） |
| 外部メイン・システム・クロック | 高速オンチップ・オシレータ・クロック | 高速オンチップ・オシレータの発振を許可していること<br>・HIOSTOP = 0<br>・発振精度安定時間経過後 | 外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1） |
| | X1クロック | 移行不可 | － |
| | XT1クロック | XT1発振が安定していること<br>・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0<br>・発振安定時間経過後 | 外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1） |
| | 外部サブシステム・クロック | EXCLKS端子からの外部クロック入力を有効にすること<br>・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 | 外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1） |

表5－4　CPUクロックの移行について（2/2）

| CPUクロック | | 移行前の条件 | 移行後の処理 |
|---|---|---|---|
| 移行前 | 移行後 | | |
| XT1クロック | 高速オンチップ・オシレータ・クロック | 高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること<br>・HIOSTOP = 0, MCS = 0 | XT1発振停止に設定可能（XTSTOP = 1） |
| | X1クロック | X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること<br>・OSCSEL = 1, EXCLK = 0, MSTOP = 0<br>・発振安定時間経過後<br>・MCS = 1 | |
| | 外部メイン・システム・クロック | EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること<br>・OSCSEL = 1, EXCLK = 1, MSTOP = 0<br>・MCS = 1 | |
| | 外部サブシステム・クロック | 移行不可 | － |
| 外部サブシステム・クロック | 高速オンチップ・オシレータ・クロック | 高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること<br>・HIOSTOP = 0, MCS = 0 | 外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1） |
| | X1クロック | X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること<br>・OSCSEL = 1, EXCLK = 0, MSTOP = 0<br>・発振安定時間経過後<br>・MCS = 1 | |
| | 外部メイン・システム・クロック | EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること<br>・OSCSEL = 1, EXCLK = 1, MSTOP = 0<br>・MCS = 1 | |
| | XT1クロック | 移行不可 | － |

## 5. 6. 6　CPUクロックの切り替えとシステム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4, 6（MCM0, CSS）の設定により，CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック），メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔高速システム・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（表5－5～表5－7参照）。

CPUクロックがメイン・システム・クロックで動作しているか，サブシステム・クロックで動作しているかは，CKCレジスタのビット7（CLS）で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか，高速オンチップ・オシレータ・クロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると，周辺ハードウエア・クロックも同時に切り替わります。

表5－5　システム・クロックの切り替えに要する最大時間

| クロックA | 切り替え方向 | クロックB | 備考 |
|---|---|---|---|
| $f_{IH}$ | ◀⟷▶ | $f_{MX}$ | 表5－6参照 |
| $f_{MAIN}$ | ◀⟷▶ | $f_{SUB}$ | 表5－7参照 |

表5－6　$f_{IH}$ ↔ $f_{MX}$で要する最大クロック数

| 切り替え前の設定値 | | 切り替え後の設定値 | |
|---|---|---|---|
| MCM0 | | MCM0 | |
| | | 0（$f_{MAIN}$ ＝ $f_{IH}$） | 1（$f_{MAIN}$ ＝ $f_{MX}$） |
| 0（$f_{MAIN}$ ＝ $f_{IH}$） | $f_{MX}$≧$f_{IH}$ | | 2クロック |
| | $f_{MX}$＜$f_{IH}$ | | 2$f_{IH}$/$f_{MX}$クロック |
| 1（$f_{MAIN}$ ＝ $f_{MX}$） | $f_{MX}$≧$f_{IH}$ | 2$f_{MX}$/$f_{IH}$クロック | |
| | $f_{MX}$＜$f_{IH}$ | 2クロック | |

表5－7　$f_{MAIN}$ ↔ $f_{SUB}$で要する最大クロック数

| 切り替え前の設定値 | 切り替え後の設定値 | |
|---|---|---|
| CSS | CSS | |
| | 0（$f_{CLK}$ ＝ $f_{MAIN}$） | 1（$f_{CLK}$ ＝ $f_{SUB}$） |
| 0（$f_{CLK}$ ＝ $f_{MAIN}$） | | 1＋2$f_{MAIN}$/$f_{SUB}$クロック |
| 1（$f_{CLK}$ ＝ $f_{SUB}$） | 3クロック | |

**備考1.**　表5－6，表5－7のクロック数は，切り替え前のCPUクロックのクロック数です。

**2.**　表5－6，表5－7のクロック数は，小数点以下を切り上げてください。

例　メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（$f_{IH}$ = 8 MHz選択, $f_{MX}$ = 10 MHz発振時）

2$f_{MX}$/$f_{IH}$ = 2(10/8) = 2.5 → 3クロック

### 5. 6. 7　クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5－8　クロック発振停止前の条件とフラグ設定

| クロック | クロック停止（外部クロック入力無効）前条件 | SFRレジスタのフラグ設定 |
|---|---|---|
| 高速オンチップ・オシレータ・クロック | MCS = 1またはCLS = 1<br>（CPUクロックが高速オンチップ・オシレータ・クロック以外で動作） | HIOSTOP = 1 |
| X1クロック<br>外部メイン・システム・クロック | MCS = 0またはCLS = 1<br>（CPUクロックが高速システム・クロック以外で動作） | MSTOP = 1 |
| XT1クロック<br>外部サブシステム・クロック | CLS = 0<br>（CPUクロックがサブシステム・クロック以外で動作） | XTSTOP = 1 |

## 5. 7　発振子と発振回路定数

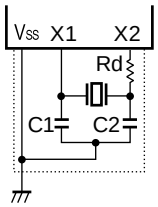
動作確認済みの発振子と，その発振回路定数(参考)は、当社ホームページの対象製品ページを参照してください。

**注意1.　この発振回路定数は，発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは，実装回路上での評価を発振子メーカに依頼してください。**
**また，別製品からのマイコンの変更、基板の変更の際には，再度，実装回路上での評価を発振子メーカに依頼してください。**

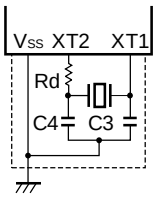
**2.　発振電圧，発振周波数は，あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については，DC, AC特性の規格内で使用してください。**

図5－17　外付け発振回路例

（a）X1発振




（b）XT1発振



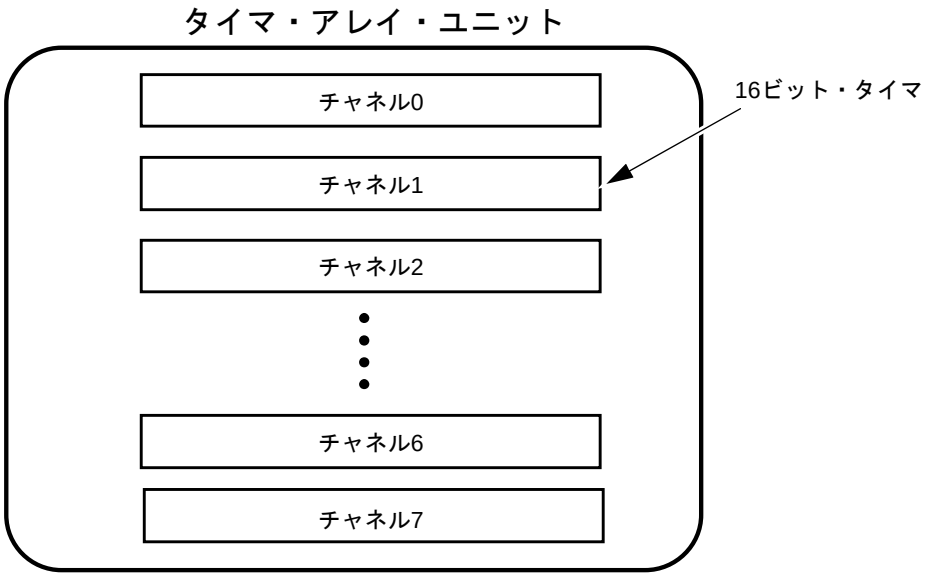
# 第6章　タイマ・アレイ・ユニット

**注意1. タイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。**

**2. この章では，以降の主な説明を80ピン製品の場合で説明しています。**

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。




各機能の詳細に関しては下記を参照してください。

| 単独チャネル動作機能 | 複数チャネル連動動作機能 |
|---|---|
| ・インターバル・タイマ（→**6. 8. 1**参照）<br>・方形波出力（→**6. 8. 1**参照）<br>・外部イベント・カウンタ（→**6. 8. 2**参照）<br>・入力パルス間隔測定（→**6. 8. 3**参照）<br>・入力信号のハイ／ロウ・レベル幅測定（→**6. 8. 4**参照）<br>・ディレイ・カウンタ（→**6. 8. 5**参照） | ・ワンショット・パルス出力（→**6. 9. 1**参照）<br>・PWM出力（→**6. 9. 2**参照）<br>・多重PWM出力（→**6. 9. 3**参照）<br>・リモコン出力機能（→**6. 9. 4**参照） |

チャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

・インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
・外部イベント・カウンタ（下位8ビット・タイマのみ）
・ディレイ・カウンタ（下位8ビット・タイマのみ）

また，チャネル7は，シリアル・アレイ・ユニットのUART0と連携し，LIN-bus通信動作を実現することができます。

# 6.1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

## 6.1.1　単独チャネル動作機能

単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

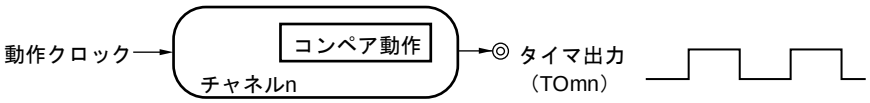
（1）インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。



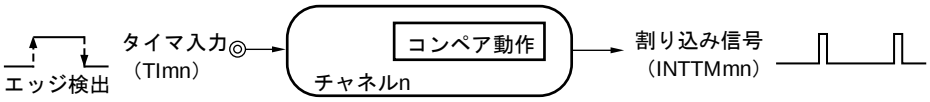

（2）方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TOmn）より出力します。



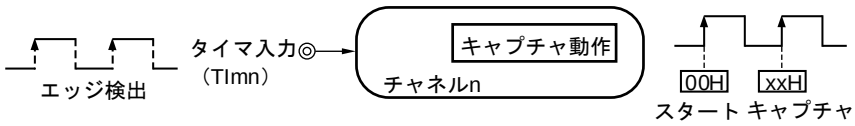

（3）外部イベント・カウンタ

タイマ入力端子（TImn）に入入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



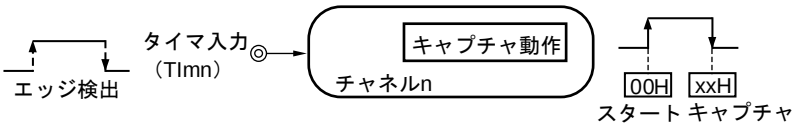

（4）入力パルス間隔測定

タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



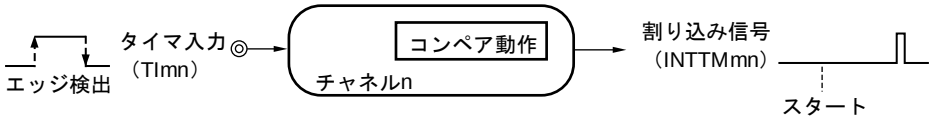
（5）入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。




（6）ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。




**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

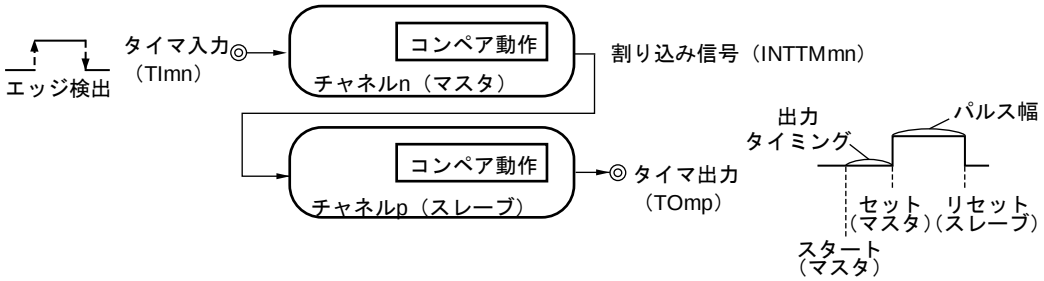
## 6. 1. 2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

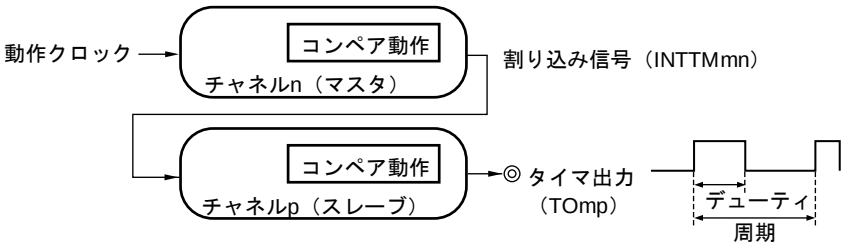
（1）ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



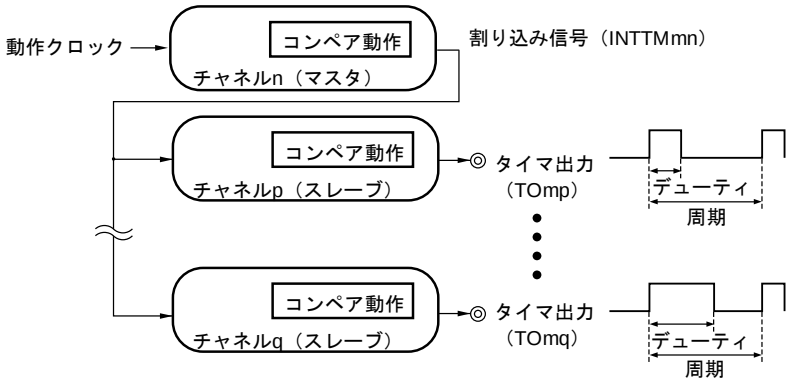

（2）PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



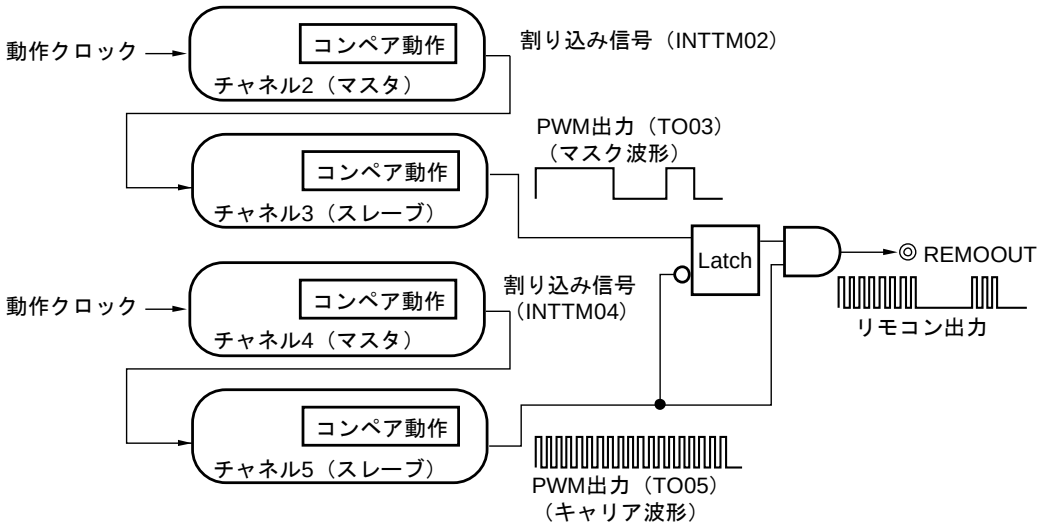
（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大7種類生成することができます。




（4）　リモコン出力機能

チャネル2, 3，チャネル4, 5のセットでPWM出力機能を使用します。チャネル3からのPWM出力信号をマスク波形，チャネル5からのPWM出力信号をキャリア波形とし，これらの信号の論理積をリモコン出力として出力します。




**注意　複数チャネル連動動作機能のルールの詳細については，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。**

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7），
p, q：スレーブ・チャネル番号（n＜p＜q≦7）

## 6. 1. 3　8ビット・タイマ動作機能（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。チャネル1, 3のみが使用できます。

**注意　8ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。**
**詳細は，6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）を参照してください。**

### 6. 1. 4　LIN-bus対応機能（チャネル7のみ）

LIN-bus通信機能において，受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

（1）ウエイクアップ信号の検出

UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウエイクアップ信号と認識します。

（2）ブレーク・フィールドの検出

ウエイクアップ信号検出後，UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ブレーク・フィールドと認識します。

（3）シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後，UART0のシリアル・データ入力端子（RxD0）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

**備考**　LIN-bus対応機能の動作設定については，**6. 3. 14　入力切り替え制御レジスタ（ISC）**，**6. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作**を参照してください。

## 6. 2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表6－1　タイマ・アレイ・ユニットの構成

| 項　　目 | 構　　成 |
|---|---|
| タイマ／カウンタ | タイマ・カウンタ・レジスタmn（TCRmn） |
| レジスタ | タイマ・データ・レジスタmn（TDRmn） |
| タイマ入力 | TI00-TI07[注1]，RxD0端子（LIN-bus用） |
| タイマ出力 | TO00-TO07[注1]，出力制御回路 |
| 制御レジスタ | ＜ユニット設定部のレジスタ＞<br>・周辺イネーブル・レジスタ0（PER0）<br>・タイマ・クロック選択レジスタm（TPSm）<br>・タイマ・チャネル許可ステータス・レジスタm（TEm）<br>・タイマ・チャネル開始レジスタm（TSm）<br>・タイマ・チャネル停止レジスタm（TTm）<br>・タイマ入力選択レジスタ0（TIS0）<br>・タイマ出力選択レジスタ（TOS）<br>・タイマ出力許可レジスタm（TOEm）<br>・タイマ出力レジスタm（TOm）<br>・タイマ出力レベル・レジスタm（TOLm）<br>・タイマ出力モード・レジスタm（TOMm） |
| | ＜各チャネル部のレジスタ＞<br>・タイマ・モード・レジスタmn（TMRmn）<br>・タイマ・ステータス・レジスタmn（TSRmn）<br>・入力切り替え制御レジスタ（ISC）<br>・ノイズ・フィルタ許可レジスタ1（NFEN1）<br>・ポート・モード・コントロール・レジスタ（PMCxx）[注2]<br>・ポート・モード・レジスタ（PMxx）[注2]<br>・ポート・レジスタ（Pxx）[注2] |

**注 1.** チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，**表6－2　各製品に搭載しているタイマ入出力端子**を参照してください。

**2.** 製品によって設定するポート・モード・コントロール・レジスタ（PMCxx），ポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）が異なります。詳細は，**6. 3. 16　タイマ入出力端子のポート機能を制御するレジスタ**を参照してください。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

タイマ・アレイ・ユニットの各チャネルのタイマ入出力端子のポートとの兼用は，製品によって異なります。

表6－2　各製品に搭載しているタイマ入出力端子

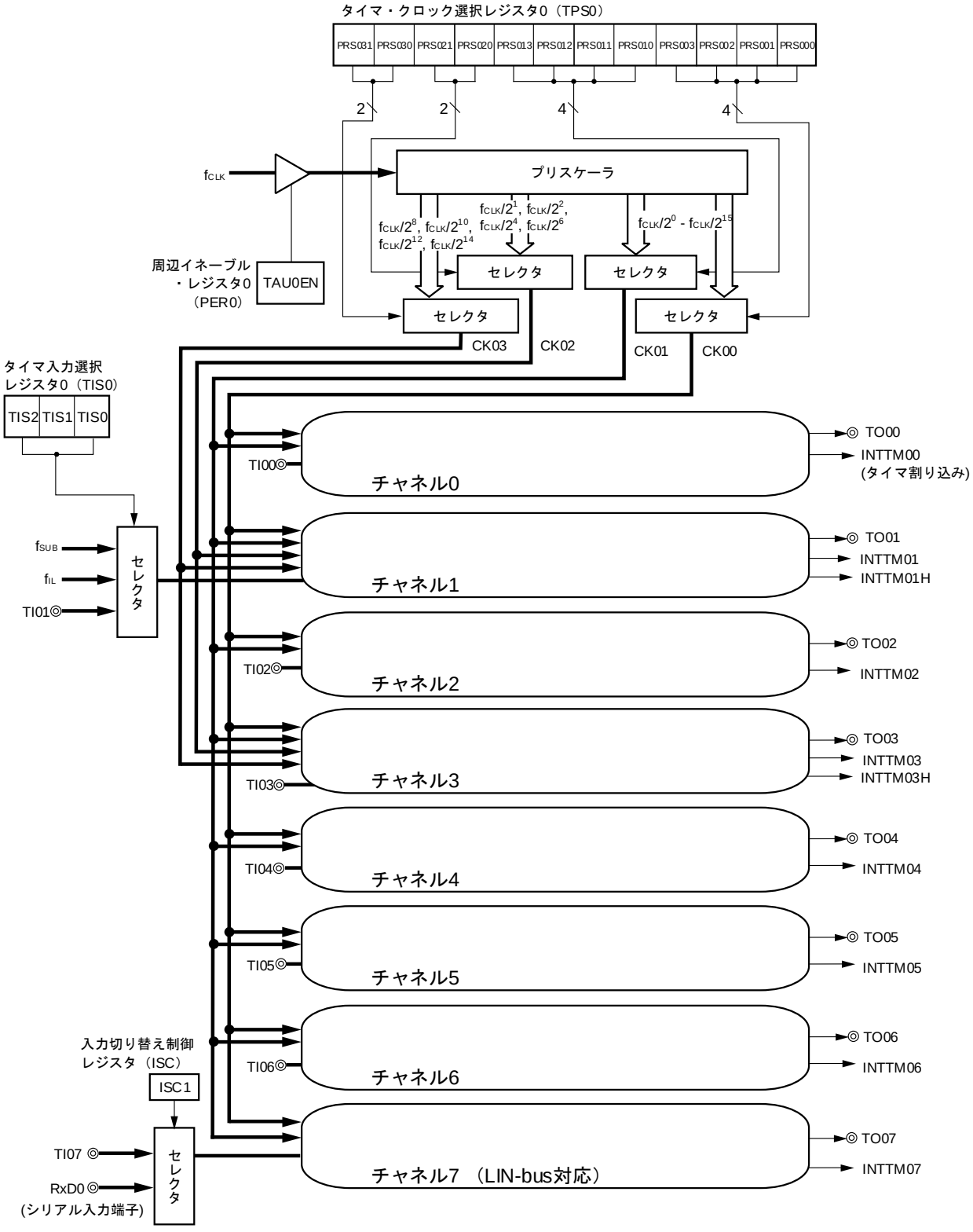
| タイマ・アレイ・ユニット・チャネル | 80ピン | 64ピン |
|---|---|---|
| チャネル0 | P52/TI00/TO00（P40） | |
| チャネル1 | P32/TI01/TO01（P60） | |
| チャネル2 | P54/TI02/TO02（P61） | |
| チャネル3 | P30/TI03/TO03/REMOOUT（P127） | |
| チャネル4 | P14/TI04/TO04（P126） | |
| チャネル5 | P42/TI05/TO05（P01） | |
| チャネル6 | P56/TI06/TO06（P125） | P125/TI06/TO06 |
| チャネル7 | P15/TI07/TO07（P41） | P15/TI07/TO07 |

**備考 1.** タイマ入力とタイマ出力が同一端子で兼用されているため，タイマ入力かタイマ出力のどちらかのみ使用可能です。

**2.** ( ) は周辺I/Oリダイレクション・レジスタ（PIOR）のビット0を“1”に設定したときの兼用ポート

図6－1にタイマ・アレイ・ユニットのブロック図を示します。

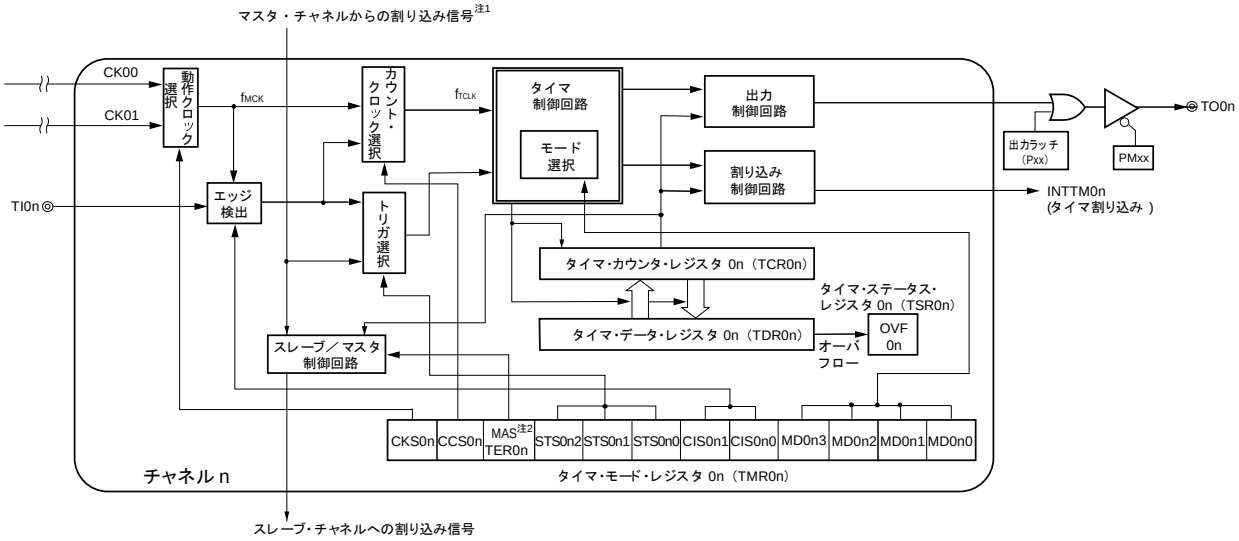
図6－1　タイマ・アレイ・ユニットの全体ブロック図




**備考**　$f_{SUB}$　：サブシステム・クロック周波数

$f_{IL}$　：低速オンチップ・オシレータ・クロック周波数

図6－2　タイマ・アレイ・ユニットのチャネル0, 2, 4, 6内部ブロック図




**注1.** チャネル2, 4, 6のみ

**2.** n =2, 4, 6のみ

**備考**　n = 0, 2, 4, 6

図6－3　タイマ・アレイ・ユニットのチャネル1内部ブロック図

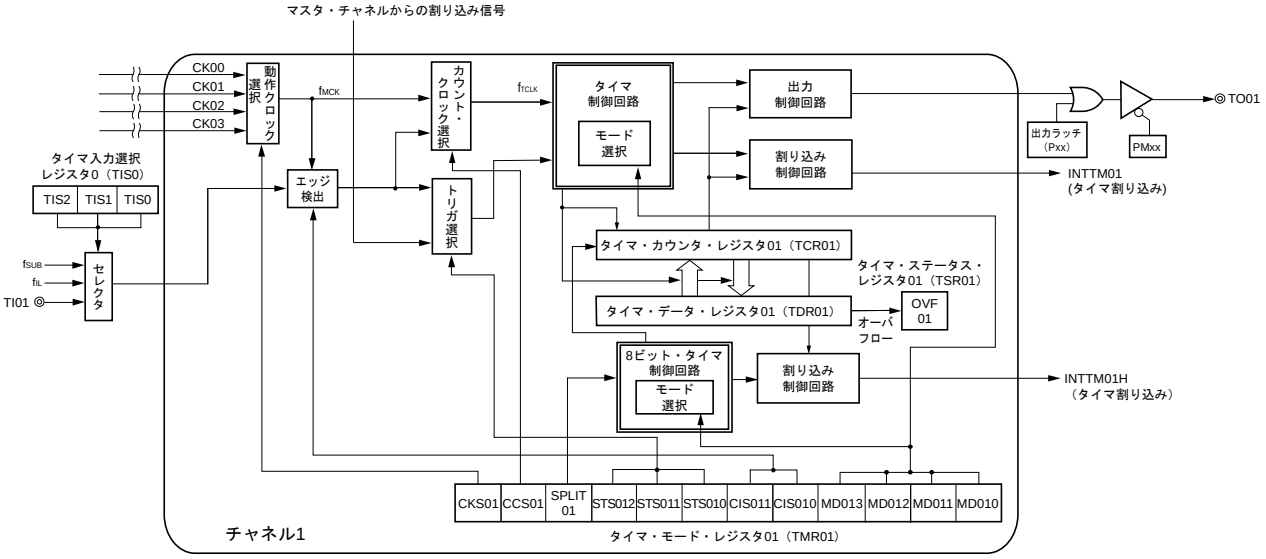


図6－4 タイマ・アレイ・ユニットのチャネル3内部ブロック図

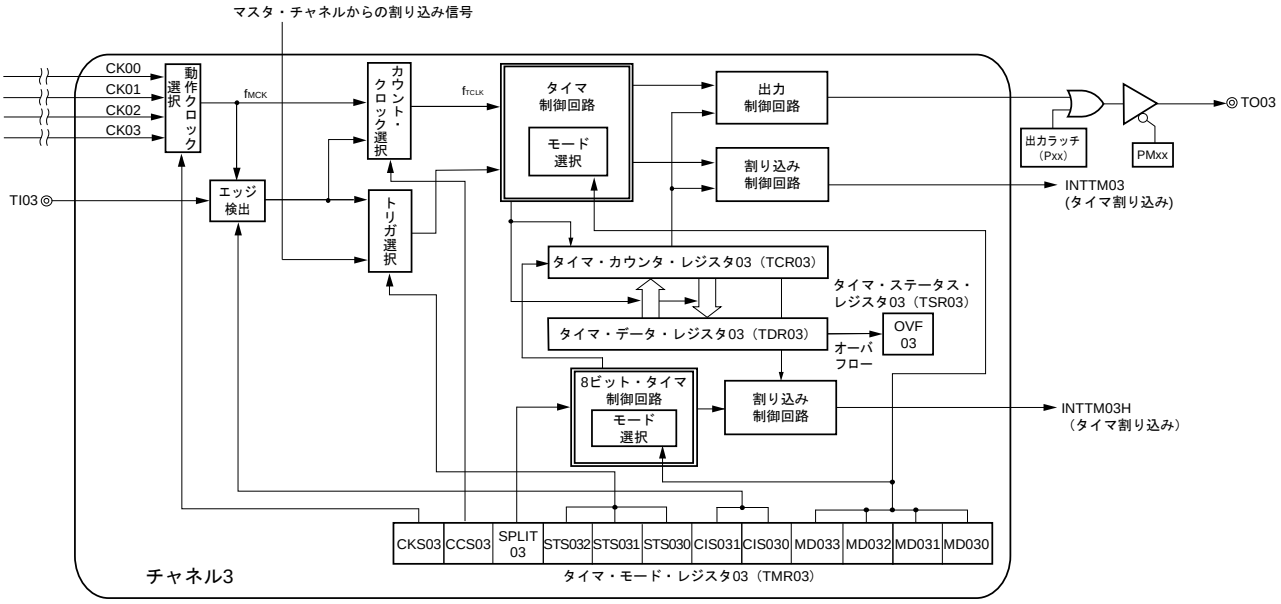



図6－5 タイマ・アレイ・ユニットのチャネル5内部ブロック図

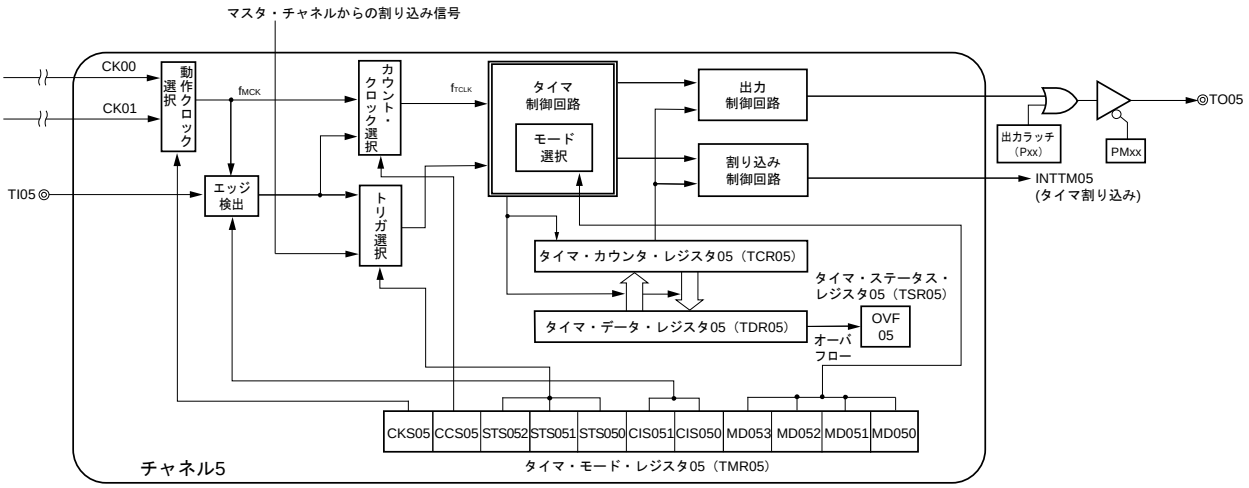
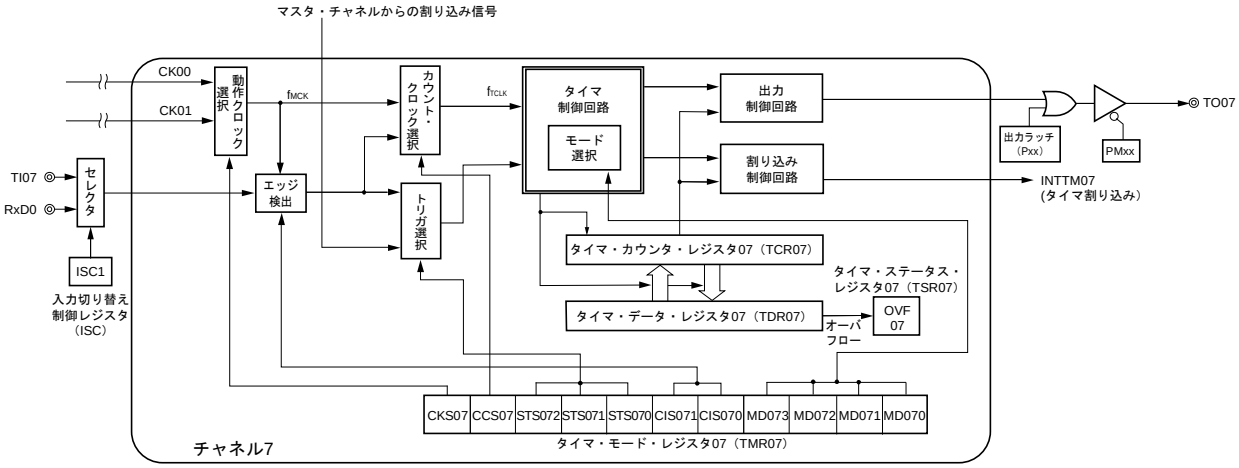



図6－6 タイマ・アレイ・ユニットのチャネル7内部ブロック図



### 6. 2. 1　タイマ・カウンタ・レジスタmn（TCRmn）

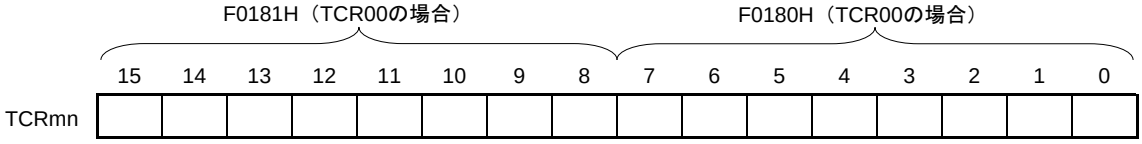
TCRmnレジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります（**6. 3. 3　タイマ・モード・レジスタmn（TMRmn）**参照）。

図6－7　タイマ・カウンタ・レジスタmn（TCRmn）のフォーマット

アドレス：F0180H, F0181H（TCR00）- F018EH, F018FH（TCR07）　リセット時：FFFFH　　R




**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

タイマ・カウンタ・レジスタmn（TCRmn）をリードすることにより，カウント値をリードできます。
次の場合，カウント値はFFFFHになります。

・リセット信号の発生時
・周辺イネーブル・レジスタ0（PER0）のTAUmENビットをクリアしたとき
・PWM出力モードで，スレーブ・チャネルのカウント完了時
・ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
・ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
・多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。

・キャプチャ・モード時に，スタート・トリガが入力されたとき
・キャプチャ・モード時で，キャプチャ完了時

**注意　TCRmnレジスタをリードしても，タイマ・データ・レジスタmn（TDRmn）にはキャプチャしません。**

TCRmnレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表6－3　各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値

| 動作モード | カウント方式 | タイマ・カウンタ・レジスタ（TCRmn）の読み出し値[注] | | | |
|---|---|---|---|---|---|
| | | リセット解除後に動作モード変更した場合の値 | カウント動作を一時停止（TTmn = 1）した場合の値 | カウント動作を一時停止（TTmn = 1）後，動作モード変更した場合の値 | ワンカウント後のスタート・トリガ待ち状態時の値 |
| インターバル・タイマ・モード | ダウン･カウント | FFFFH | 停止時の値 | 不定 | － |
| キャプチャ・モード | アップ･カウント | 0000H | 停止時の値 | 不定 | － |
| イベント・カウンタ・モード | ダウン･カウント | FFFFH | 停止時の値 | 不定 | － |
| ワンカウント・モード | ダウン･カウント | FFFFH | 停止時の値 | 不定 | FFFFH |
| キャプチャ&ワンカウント・モード | アップ･カウント | 0000H | 停止時の値 | 不定 | TDRmn レジスタのキャプチャ値＋1 |

**注**　チャネルnがタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の，TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 2. 2　タイマ・データ・レジスタmn（TDRmn）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また, TDRm1, TDRm3レジスタは, 8ビット･タイマ･モード時（タイマ･モード･レジスタm1, m3（TMRm1, TMRm3）のSPLITビットが1），上位8ビットをTDRm1H, TDRm3H，下位8ビットをTDRm1L, TDRm3Lとして，8ビット単位でリード／ライト可能になります。

リセット信号の発生により，TDRmnレジスタは0000Hになります。

図6－8　タイマ・データ・レジスタmn（TDRmn）（n = 0, 2, 4-7）のフォーマット

アドレス：FFF18H, FFF19H（TDR00）, FFF64H, FFF65H（TDR02），　リセット時：0000H　　R/W
FFF68H, FFF69H（TDR04）- FFF6EH, FFF6FH（TDR07）

| | FFF19H（TDR00の場合） | | | | | | | | FFF18H（TDR00の場合） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TDRmn | | | | | | | | | | | | | | | | |

図6－9　タイマ・データ・レジスタmn（TDRmn）（n = 1, 3）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01）, FFF66H, FFF67H（TDR03）　　リセット時：0000H　　R/W

| | FFF1BH（TDR01Hの場合） | | | | | | | | FFF1AH（TDR01Lの場合） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TDRmn | | | | | | | | | | | | | | | | |

（ i ）タイマ・データ・レジスタmn（TDRmn）をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTMmn）を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ ii ）タイマ・データ・レジスタmn（TDRmn）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタmn（TCRmn）のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして，TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタmn（TMRmn）で設定します。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・タイマ・クロック選択レジスタm（TPSm）
・タイマ・モード・レジスタmn（TMRmn）
・タイマ・ステータス・レジスタmn（TSRmn）
・タイマ・チャネル許可ステータス・レジスタm（TEm）
・タイマ・チャネル開始レジスタm（TSm）
・タイマ・チャネル停止レジスタm（TTm）
・タイマ入力選択レジスタ0（TIS0）
・タイマ出力選択レジスタ（TOS）
・タイマ出力許可レジスタm（TOEm）
・タイマ出力レジスタm（TOm）
・タイマ出力レベル・レジスタm（TOLm）
・タイマ出力モード・レジスタm（TOMm）
・入力切り替え制御レジスタ（ISC）
・ノイズ・フィルタ許可レジスタ1（NFEN1）
・ポート・モード・コントロール・レジスタ（PMCxx）
・ポート・モード・レジスタ（PMxx）
・ポート・レジスタ（Pxx）

**注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。**

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

### 6. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図6－10　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |

| TAU0EN | タイマ・アレイ・ユニットの入力クロックの制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・タイマ・アレイ・ユニットで使用するSFRへのライト不可<br>・タイマ・アレイ・ユニットはリセット状態 |
| 1 | 入力クロック供給<br>・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可 |

**注意1. タイマ・アレイ・ユニットの設定をする際には，必ず最初にTAU0EN = 1の状態で，下記のレジスタの設定を行ってください。TAU0EN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタは初期値となり，書き込みは無視されます（タイマ入力選択レジスタ0（TIS0），入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2），ポート・モード・コントロール・レジスタ4（PMC4），ポート・モード・レジスタ0, 1, 3, 4, 5, 12（PM0, PM1, PM3, PM4, PM5, PM12），ポート・レジスタ0, 1, 3, 4, 5, 12（P0, P1, P3, P4, P5, P12）は除く）。**

**・タイマ・クロック選択レジスタm（TPSm）**

**・タイマ・モード・レジスタmn（TMRmn）**

**・タイマ・ステータス・レジスタmn（TSRmn）**

**・タイマ・チャネル許可ステータス・レジスタm（TEm）**

**・タイマ・チャネル開始レジスタm（TSm）**

**・タイマ・チャネル停止レジスタm（TTm）**

**・タイマ出力許可レジスタm（TOEm）**

**・タイマ出力レジスタm（TOm）**

**・タイマ出力レベル・レジスタm（TOLm）**

**・タイマ出力モード・レジスタm（TOMm）**

**2. ビット1, 6には必ず“0”を設定してください。**

### 6. 3. 2　タイマ・クロック選択レジスタm（TPSm）

TPSmレジスタは，各チャネルに共通して供給される2種類または4種類の動作クロック（CKm0, CKm1, CKm2, CKm3）を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で，CKm1はTPSmレジスタのビット7-4で選択します。さらにチャネル1, 3のみ, CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9, 8で，CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは，次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm0を選択（CKSmn1, CKSmn0 = 0, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm10-PRSm13ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm1を選択（CKSmn1, CKSmn0 = 0, 1）しているチャネルがすべて停止状態（TEmn = 0）

PRSm20, PRSm21ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm2を選択（CKSmn1, CKSmn0 = 1, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm30-PRSm31ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm3を選択（CKSmn1, CKSmn0 = 1, 1）しているチャネルがすべて停止状態（TEmn = 0）

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPSmレジスタは0000Hになります。

図6－11　タイマ・クロック選択レジスタm（TPSm）のフォーマット（1/2）

アドレス：F01B6H, F01B7H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TPSm | 0 | 0 | PRS m31 | PRS m30 | 0 | 0 | PRS m21 | PRS m20 | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 |

| PRS mk3 | PRS mk2 | PRS mk1 | PRS mk0 | 動作クロック（CKmk）の選択[注]（k = 0, 1） | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | | $f_{CLK}$ = 2 MHz | $f_{CLK}$ = 5 MHz | $f_{CLK}$ = 10 MHz | $f_{CLK}$ = 20 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | 0 | 0 | $f_{CLK}$ | 2 MHz | 5 MHz | 10 MHz | 20 MHz | 24 MHz |
| 0 | 0 | 0 | 1 | $f_{CLK}/2$ | 1 MHz | 2.5 MHz | 5 MHz | 10 MHz | 12 MHz |
| 0 | 0 | 1 | 0 | $f_{CLK}/2^2$ | 500 kHz | 1.25 MHz | 2.5 MHz | 5 MHz | 6 MHz |
| 0 | 0 | 1 | 1 | $f_{CLK}/2^3$ | 250 kHz | 625 kHz | 1.25 MHz | 2.5 MHz | 3 MHz |
| 0 | 1 | 0 | 0 | $f_{CLK}/2^4$ | 125 kHz | 313 kHz | 625 kHz | 1.25 MHz | 1.50 MHz |
| 0 | 1 | 0 | 1 | $f_{CLK}/2^5$ | 62.5 kHz | 156 kHz | 313 kHz | 625 kHz | 750 kHz |
| 0 | 1 | 1 | 0 | $f_{CLK}/2^6$ | 31.3 kHz | 78.1 kHz | 156 kHz | 313 kHz | 375 kHz |
| 0 | 1 | 1 | 1 | $f_{CLK}/2^7$ | 15.6 kHz | 39.1 kHz | 78.1 kHz | 156 kHz | 188 kHz |
| 1 | 0 | 0 | 0 | $f_{CLK}/2^8$ | 7.81 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz | 93.8 kHz |
| 1 | 0 | 0 | 1 | $f_{CLK}/2^9$ | 3.91 kHz | 9.76 kHz | 19.5 kHz | 39.1 kHz | 46.9 kHz |
| 1 | 0 | 1 | 0 | $f_{CLK}/2^{10}$ | 1.95 kHz | 4.88 kHz | 9.76 kHz | 19.5 kHz | 23.4 kHz |
| 1 | 0 | 1 | 1 | $f_{CLK}/2^{11}$ | 976 Hz | 2.44 kHz | 4.88 kHz | 9.76 kHz | 11.7 kHz |
| 1 | 1 | 0 | 0 | $f_{CLK}/2^{12}$ | 488 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz | 5.86 kHz |
| 1 | 1 | 0 | 1 | $f_{CLK}/2^{13}$ | 244 Hz | 610 Hz | 1.22 kHz | 2.44 kHz | 2.93 kHz |
| 1 | 1 | 1 | 0 | $f_{CLK}/2^{14}$ | 122 Hz | 305 Hz | 610 Hz | 1.22 kHz | 1.46 kHz |
| 1 | 1 | 1 | 1 | $f_{CLK}/2^{15}$ | 61.0 Hz | 153 Hz | 305 Hz | 610 Hz | 732 Hz |

**注**　$f_{CLK}$に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

**注意1.　ビット15, 14, 11, 10には，必ず0を設定してください。**

**2.　動作クロック（CKmk）に$f_{CLK}$（分周なし）を選択し，TDRmn = 0000H（n = 0, m = 0-7）を設定すると，タイマ・アレイ・ユニットからの割り込み要求は使用できません。**

**備考1.**　$f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

★ **2.**　TPSmレジスタで選択するクロックの波形は、立ち上がりから$f_{CLK}$の1周期分だけハイ・レベルになります（m = 0, 1）。詳しくは，6. 5. 1　カウント・クロック（$f_{TCLK}$）を参照してください。

図6－11　タイマ・クロック選択レジスタm（TPSm）のフォーマット（2/2）

アドレス：F01B6H, F01B7H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TPSm | 0 | 0 | PRS m31 | PRS m30 | 0 | 0 | PRS m21 | PRS m20 | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 |

| PRS m21 | PRS m20 | 動作クロック（CKm2）の選択[注] | | | | | |
|---|---|---|---|---|---|---|---|
| | | | $f_{CLK}$ = 2 MHz | $f_{CLK}$ = 5 MHz | $f_{CLK}$ = 10 MHz | $f_{CLK}$ = 20 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | $f_{CLK}/2$ | 1 MHz | 2.5 MHz | 5 MHz | 10 MHz | 12 MHz |
| 0 | 1 | $f_{CLK}/2^2$ | 500 kHz | 1.25 MHz | 2.5 MHz | 5 MHz | 6 MHz |
| 1 | 0 | $f_{CLK}/2^4$ | 125 kHz | 313 kHz | 625 kHz | 1.25 MHz | 1.5 MHz |
| 1 | 1 | $f_{CLK}/2^6$ | 31.3 kHz | 78.1 kHz | 156 kHz | 313 kHz | 375 kHz |

| PRS m31 | PRS m30 | 動作クロック（CKm3）の選択[注] | | | | | |
|---|---|---|---|---|---|---|---|
| | | | $f_{CLK}$ = 2 MHz | $f_{CLK}$ = 5 MHz | $f_{CLK}$ = 10 MHz | $f_{CLK}$ = 20 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | $f_{CLK}/2^8$ | 7.81 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz | 93.8 kHz |
| 0 | 1 | $f_{CLK}/2^{10}$ | 1.95 kHz | 4.88 kHz | 9.76 kHz | 19.5 kHz | 23.4 kHz |
| 1 | 0 | $f_{CLK}/2^{12}$ | 488 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz | 5.86 kHz |
| 1 | 1 | $f_{CLK}/2^{14}$ | 122 Hz | 305 Hz | 610 Hz | 1.22 kHz | 1.46 kHz |

**注**　$f_{CLK}$に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
カウント・クロック（$f_{TCLK}$）にCKSmn0, CKSmn1ビットで指定した動作クロック（$f_{MCK}$），TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

**注意　ビット15, 14, 11, 10には，必ず0を設定してください。**

チャネル1, 3を8ビット・タイマ・モードで使用し，CKm2, CKm3を動作クロックとすることにより，インターバル・タイマ機能で，表6－4に示すインターバル時間を実現することが可能です。

表6－4　動作クロックCKSm2, CKSm3で設定可能なインターバル時間

| クロック | | インターバル時間[注]（$f_{CLK}$ = 20 MHz） | | | |
|---|---|---|---|---|---|
| | | 16 μs | 160 μs | 1.6 ms | 16 ms |
| CKm2 | $f_{CLK}/2$ | ○ | － | － | － |
| | $f_{CLK}/2^2$ | ○ | － | － | － |
| | $f_{CLK}/2^4$ | ○ | ○ | － | － |
| | $f_{CLK}/2^6$ | ○ | ○ | － | － |
| CKm3 | $f_{CLK}/2^8$ | － | ○ | ○ | － |
| | $f_{CLK}/2^{10}$ | － | ○ | ○ | － |
| | $f_{CLK}/2^{12}$ | － | － | ○ | ○ |
| | $f_{CLK}/2^{14}$ | － | － | ○ | ○ |

**注**　○には5%以下の誤差が含まれます。

**備考1.**　$f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

**2.**　TPSmレジスタで選択する$f_{CLK}/2^i$の波形の詳細は，**6. 5. 1　カウント・クロック（$f_{TCLK}$）**を参照してください。

### 6. 3. 3　タイマ・モード・レジスタmn（TMRmn）

TMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（$f_{MCK}$）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMRmnレジスタは，動作中（TEmn = 1のとき）の書き換えは禁止です。ただし，ビット7, 6（CISmn1, CISmn0）は，一部の機能で動作中（TEmn = 1のとき）の書き換えが可能です（詳細は**6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能**，**6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能**を参照）。

TMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMRmnレジスタは0000Hになります。

**注意　TMRmnレジスタのビット11は，チャネルによって搭載するビットが異なります。**
**TMRm2, TMRm4, TMRm6：MASTERmnビット（n = 2, 4, 6）**
**TMRm1, TMRm3：SPLITmnビット（n = 1, 3）**
**TMRm0, TMRm5, TMRm7：0固定**

図6－12　タイマ・モード・レジスタmn（TMRmn）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 2, 4, 6） | CKS mn1 | CKS mn0 | 0 | CCS mn | MAS TERmn | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 1, 3） | CKS mn1 | CKS mn0 | 0 | CCS mn | SPLIT mn | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 0, 5, 7） | CKS mn1 | CKS mn0 | 0 | CCS mn | 0[注] | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| CKS mn1 | CKS mn0 | チャネルnの動作クロック（$f_{MCK}$）の選択 |
|---|---|---|
| 0 | 0 | タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm0 |
| 0 | 1 | タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm2 |
| 1 | 0 | タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm1 |
| 1 | 1 | タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm3 |
| 動作クロック（$f_{MCK}$）は，エッジ検出回路に使用されます。また，CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック（$f_{TCLK}$）を生成します。<br>動作クロックCKm2, CKm3は，チャネル1, 3のみ選択可能です。 | | |

| CCS mn | チャネルnのカウント・クロック（$f_{TCLK}$）の選択 |
|---|---|
| 0 | CKSmn0, CKSmn1ビットで指定した動作クロック（$f_{MCK}$） |
| 1 | TImn端子からの入力信号の有効エッジ<br>チャネル1では，TIS0で選択した入力信号の有効エッジ |
| カウント・クロック（$f_{TCLK}$）は，カウンタ，出力制御回路，割り込み制御回路に使用されます。 | |

**注**　ビット11はRead onlyの0固定で，書き込みは無視されます。

**注意1.　ビット13, 5, 4には，必ず0を設定してください。**

**2.　カウント・クロック（$f_{TCLK}$）にCKSmn0, CKSmn1ビットで指定した動作クロック（$f_{MCK}$），TImn端子からの入力信号の有効エッジのどれを選択していても，$f_{CLK}$に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm＝00FFH）させてください。**

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－12　タイマ・モード・レジスタmn（TMRmn）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 2, 4, 6） | CKSmn1 | CKSmn0 | 0 | CCSmn | MASTERmn | STSmn2 | STSmn1 | STSmn0 | CISmn1 | CISmn0 | 0 | 0 | MDmn3 | MDmn2 | MDmn1 | MDmn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 1, 3） | CKSmn1 | CKSmn0 | 0 | CCSmn | SPLITmn | STSmn2 | STSmn1 | STSmn0 | CISmn1 | CISmn0 | 0 | 0 | MDmn3 | MDmn2 | MDmn1 | MDmn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 0, 5, 7） | CKSmn1 | CKSmn0 | 0 | CCSmn | 0[注] | STSmn2 | STSmn1 | STSmn0 | CISmn1 | CISmn0 | 0 | 0 | MDmn3 | MDmn2 | MDmn1 | MDmn0 |

（TMRmn（n = 2, 4, 6）のビット11）

| MASTERmn | チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択 |
|---|---|
| 0 | 単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作 |
| 1 | 複数チャネル連動動作機能でマスタ・チャネルとして動作 |
| チャネル2, 4, 6のみマスタ・チャネル（MASTERmn = 1）に設定できます。<br>チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。<br>また，単独チャネル動作機能として使用するチャネルは，MASTERmn = 0 にします。 | |

（TMRmn（n = 1, 3）のビット11）

| SPLITmn | チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択 |
|---|---|
| 0 | 16ビット・タイマとして動作<br>（単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作） |
| 1 | 8ビット・タイマとして動作 |

| STSmn2 | STSmn1 | STSmn0 | チャネルnのスタート・トリガ，キャプチャ・トリガの設定 |
|---|---|---|---|
| 0 | 0 | 0 | ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする） |
| 0 | 0 | 1 | TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用 |
| 0 | 1 | 0 | TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用 |
| 1 | 0 | 0 | マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時） |
| 上記以外 | | | 設定禁止 |

**注**　ビット11はRead onlyの0固定で，書き込みは無視されます。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－12　タイマ・モード・レジスタmn（TMRmn）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 2, 4, 6） | CKS mn1 | CKS mn0 | 0 | CCS mn | MAS TERmn | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 1, 3） | CKS mn1 | CKS mn0 | 0 | CCS mn | SPLIT mn | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 0, 5, 7） | CKS mn1 | CKS mn0 | 0 | CCS mn | 0[注] | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| CIS mn1 | CIS mn0 | TImn端子の有効エッジ選択 |
|---|---|---|
| 0 | 0 | 立ち下がりエッジ |
| 0 | 1 | 立ち上がりエッジ |
| 1 | 0 | 両エッジ（ロウ・レベル幅測定時）<br>スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ |
| 1 | 1 | 両エッジ（ハイ・レベル幅測定時）<br>スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ |
| STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット = 10Bに設定してください。 | | |

**注**　ビット11はRead onlyの0固定で，書き込みは無視されます。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－12　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 2, 4, 6） | CKS mn1 | CKS mn0 | 0 | CCS mn | MAS TERmn | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 1, 3） | CKS mn1 | CKS mn0 | 0 | CCS mn | SPLIT mn | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn（n = 0, 5, 7） | CKS mn1 | CKS mn0 | 0 | CCS mn | 0[注1] | STS mn2 | STS mn1 | STS mn0 | CIS mn1 | CIS mn0 | 0 | 0 | MD mn3 | MD mn2 | MD mn1 | MD mn0 |

| MD mn3 | MD mn2 | MD mn1 | チャネルnの動作モードの設定 | 対応する機能 | TCRのカウント動作 |
|---|---|---|---|---|---|
| 0 | 0 | 0 | インターバル・タイマ・モード | インターバル・タイマ／方形波出力／PWM出力（マスタ） | ダウン・カウント |
| 0 | 1 | 0 | キャプチャ・モード | 入力パルス間隔測定 | アップ・カウント |
| 0 | 1 | 1 | イベント・カウンタ・モード | 外部イベント・カウンタ | ダウン・カウント |
| 1 | 0 | 0 | ワンカウント・モード | ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ） | ダウン・カウント |
| 1 | 1 | 0 | キャプチャ＆ワンカウント・モード | 入力信号のハイ／ロウ・レベル幅測定 | アップ・カウント |
| 上記以外 | | | 設定禁止 | | |
| 各モードの動作は，MDmn0ビットによって変わります（下表を参照）。 | | | | | |

| 動作モード（MDmn3-MDmn1で設定（上表参照））| MD mn0 | カウント・スタートと割り込みの設定 |
|---|---|---|
| ・インターバル・タイマ・モード（0, 0, 0） | 0 | カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 |
| ・キャプチャ・モード（0, 1, 0） | 1 | カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。 |
| ・イベント・カウンタ・モード（0, 1, 1） | 0 | カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 |
| ・ワンカウント・モード[注2]（1, 0, 0） | 0 | カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。 |
| | 1 | カウント動作中のスタート・トリガを有効とする[注3]。その際に割り込みは発生しない。 |
| ・キャプチャ＆ワンカウント・モード（1, 1, 0） | 0 | カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。 |
| 上記以外 | | 設定禁止 |

**注1.**　ビット11はRead onlyの0固定で，書き込みは無視されます。

**2.**　ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTMmn），TOmn出力は制御しません。

**3.**　動作中にスタート・トリガ（TSmn = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求は発生せず）。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

### 6. 3. 4　タイマ・ステータス・レジスタmn（TSRmn）

TSRmnレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは，キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードにおけるOVFビットの動作とセット／クリア条件は表6－5を参照してください。

TSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは，TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSRmnレジスタは0000Hになります。

図6－13　タイマ・ステータス・レジスタmn（TSRmn）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01AEH, F01AFH（TSR07）　リセット時：0000H　R

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TSRmn | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | OVF |

| OVF | チャネルnのカウンタのオーバフロー状況 |
|---|---|
| 0 | オーバフローなし |
| 1 | オーバフロー発生 |
| OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。 | |

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

表6－5　各動作モードにおけるOVFビットの動作とセット／クリア条件

| タイマの動作モード | OVFビット | セット／クリア条件 |
|---|---|---|
| ・キャプチャ・モード<br>・キャプチャ＆ワンカウント・モード | クリア | キャプチャ時にオーバフローが発生していない場合 |
| | セット | キャプチャ時にオーバフローが発生していた場合 |
| ・インターバル・タイマ・モード<br>・イベント・カウンタ・モード<br>・ワンカウント・モード | クリア | －<br>（使用不可） |
| | セット | |

**備考**　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

## 6. 3. 5　タイマ・チャネル許可ステータス・レジスタm（TEm）

TEmレジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは，タイマ・チャネル開始レジスタm（TSm）とタイマ・チャネル停止レジスタm（TTm）の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると，TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TEmレジスタは，16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは，TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TEmレジスタは0000Hになります。

図6－14　タイマ・チャネル許可ステータス・レジスタm（TEm）のフォーマット

アドレス：F01B0H, F01B1H　リセット時：0000H　R

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TEm | 0 | 0 | 0 | 0 | TEHm3 | 0 | TEHm1 | 0 | TEm7 | TEm6 | TEm5 | TEm4 | TEm3 | TEm2 | TEm1 | TEm0 |

| TEHm3 | チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示 |
|---|---|
| 0 | 動作停止状態 |
| 1 | 動作許可状態 |

| TEHm1 | チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示 |
|---|---|
| 0 | 動作停止状態 |
| 1 | 動作許可状態 |

| TEmn | チャネルnの動作許可／停止状態の表示 |
|---|---|
| 0 | 動作停止状態 |
| 1 | 動作許可状態 |
| チャネル1，3が8ビット・タイマ・モード時は，TEm1，TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。 | |

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 3. 6　タイマ・チャネル開始レジスタm（TSm）

TSmレジスタは，タイマ・カウンタ・レジスタmn（TCRmn）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので，動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは，16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは，TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TSmレジスタは0000Hになります。

図6－15　タイマ・チャネル開始レジスタm（TSm）のフォーマット

アドレス：F01B2H, F01B3H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TSm | 0 | 0 | 0 | 0 | TSHm3 | 0 | TSHm1 | 0 | TSm7 | TSm6 | TSm5 | TSm4 | TSm3 | TSm2 | TSm1 | TSm0 |

| TSHm3 | チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ |
|---|---|
| 0 | トリガ動作しない |
| 1 | TEHm3ビットを1にセットし，カウント動作許可状態になる。<br>カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は，インターバル・タイマ・モードになります（**6. 5. 2　カウンタのスタート・タイミング**の表6－6参照）。 |

| TSHm1 | チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ |
|---|---|
| 0 | トリガ動作しない |
| 1 | TEHm1ビットを1にセットし，カウント動作許可状態になる。<br>カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は，インターバル・タイマ・モードになります（**6. 5. 2　カウンタのスタート・タイミング**の表6－6参照）。 |

| TSmn | チャネルnの動作許可（スタート）トリガ |
|---|---|
| 0 | トリガ動作しない |
| 1 | TEmnビットを1にセットし，カウント動作許可状態になる。<br>カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は，各動作モードにより異なります（**6. 5. 2　カウンタのスタート・タイミング**の表6－6参照）。<br>チャネル1, 3が8ビット・タイマ・モード時は，TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。 |

（注意，備考は次ページにあります。）

**注意1.　ビット15-12, 10, 8には必ず0を設定してください。**

**2.　TImn端子入力を使用しない機能から，TImn端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタmn（TMRmn）設定後，TSmn（TSHm1, TSHm3）ビットを1に設定するまでに，次の期間ウエイトが必要になります。**

**TImn端子のノイズ・フィルタ有効時（TNFENmn = 1）：動作クロック（$f_{MCK}$）の4クロック**

**TImn端子のノイズ・フィルタ無効時（TNFENmn = 0）：動作クロック（$f_{MCK}$）の2クロック**

**備考1.**　TSmレジスタの読み出し値は常に0となります。

**2.**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 3. 7　タイマ・チャネル停止レジスタm（TTm）

TTmレジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので，動作停止状態（TEmn, TTHm1, TTHm3 = 0）になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは，16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは，TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TTmレジスタは0000Hになります。

図6－16　タイマ・チャネル停止レジスタm（TTm）のフォーマット

アドレス：F01B4H, F01B5H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TTm | 0 | 0 | 0 | 0 | TTHm3 | 0 | TTHm1 | 0 | TTm7 | TTm6 | TTm5 | TTm4 | TTm3 | TTm2 | TTm1 | TTm0 |

| TTHm3 | チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ |
|---|---|
| 0 | トリガ動作しない |
| 1 | TEHm3ビットを0にクリアし，カウント動作停止状態になる。 |

| TTHm1 | チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ |
|---|---|
| 0 | トリガ動作しない |
| 1 | TEHm1ビットを0にクリアし，カウント動作停止状態になる。 |

| TTmn | チャネルnの動作停止トリガ |
|---|---|
| 0 | トリガ動作しない |
| 1 | TEmnビットを0にクリアし，カウント動作停止状態になる。<br>チャネル1，3が8ビット・タイマ・モード時は，TTm1，TTm3が下位側8ビット・タイマの動作停止トリガになります。 |

**注意　ビット15-12, 10, 8には必ず0を設定してください。**

**備考1.**　TTmレジスタの読み出し値は常に0となります。

**2.**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 3. 8　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，チャネル1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TIS0レジスタは00Hになります。

図6－17　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TIS0 | 0 | 0 | 0 | 0 | 0 | TIS02 | TIS01 | TIS00 |

| TIS02 | TIS01 | TIS00 | チャネル1で使用するタイマ入力の選択 |
|---|---|---|---|
| 0 | 0 | 0 | タイマ入力端子（TI01）の入力信号 |
| 0 | 0 | 1 | |
| 0 | 1 | 0 | |
| 0 | 1 | 1 | |
| 1 | 0 | 0 | 低速オンチップ・オシレータ・クロック（$f_{IL}$） |
| 1 | 0 | 1 | サブシステム・クロック（$f_{SUB}$） |
| 上記以外 | | | 設定禁止 |

**注意　選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，1/$f_{MCK}$+10 ns以上必要となります。**
**そのため，$f_{CLK}$に$f_{SUB}$を選択時（CKCレジスタのCSS = 1）は，TIS02ビットに1を設定できません。**

## 6. 3. 9　タイマ出力選択レジスタ（TOS）

TOSレジスタは，リモコン出力機能を有効にするときに設定するレジスタです。

チャネル4, 5で生成したPWM出力信号（キャリア波形）を，チャネル2, 3で生成したPWM 出力信号（マスク波形）でマスクすることにより，リモコン出力を生成します。

TOSレジスタの書き換えは，カウント動作開始前（TE02, TE03, TE04, TE05 = 0）のみ可能です。

TOSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TOSレジスタは00Hになります。

図6－18　タイマ出力選択レジスタ（TOS）のフォーマット

アドレス：F0079H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TOS | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOS0 |

| TOS0 | リモコン出力設定 |
|---|---|
| 0 | 無効（チャネル2, 3, 4, 5はタイマ出力） |
| 1 | 有効（リモコン出力をREMOOUT端子へ出力） |

**注意　リモコン出力が有効（TOS0 = 1）の場合，チャネル2, 3, 4, 5 は別の機能で使用できません。**

## 6. 3. 10　タイマ出力許可レジスタm（TOEm）

TOEmレジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタm（TOm）のTOmnビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEmレジスタは，16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは，TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOEmレジスタは0000Hになります。

図6－19　タイマ出力許可レジスタm（TOEm）のフォーマット

アドレス：F01BAH, F01BBH　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOEm7 | TOEm6 | TOEm5 | TOEm4 | TOEm3 | TOEm2 | TOEm1 | TOEm0 |

| TOEmn | チャネルnのタイマ出力許可／禁止 |
|---|---|
| 0 | タイマの出力を禁止<br>タイマ動作をTOmnビットに反映せず，出力を固定します。<br>TOmnビットへの書き込みが可能となり，TOmnビットに設定したレベルがTOmn端子から出力されます。 |
| 1 | タイマの出力を許可<br>タイマ動作をTOmnビットに反映し，出力波形を生成します。<br>TOmnビットへの書き込みは無視されます。 |

**注意　ビット15-8には必ず0を設定してください。**

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 3. 11　タイマ出力レジスタm（TOm）

TOmレジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタのTOmnビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また, P52/TI00/TO00, P32/TI01/TO01, P54/TI02/TO02, P30/TI03/TO03, P14/TI04/TO04, P42/TI05/TO05, P56/TI06/TO06, P15/TI07/TO07をポート機能として使用する場合は，該当するTOmnビットに“0”を設定してください。

TOmレジスタは，16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは，TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOmレジスタは0000Hになります。

図6－20　タイマ出力レジスタm（TOm）のフォーマット

アドレス：F01B8H, F01B9H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TOm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOm7 | TOm6 | TOm5 | TOm4 | TOm3 | TOm2 | TOm1 | TOm0 |

| TOmn | チャネルnのタイマ出力 |
|---|---|
| 0 | タイマ出力値が“0” |
| 1 | タイマ出力値が“1” |

**注意　ビット15-8には必ず0を設定してください。**

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 3. 12　タイマ出力レベル・レジスタm（TOLm）

TOLmレジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOEmn = 1），複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には，このレジスタの設定は無効となります。

TOLmレジスタは，16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは，TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOLmレジスタは0000Hになります。

図6－21　タイマ出力レベル・レジスタm（TOLm）のフォーマット

アドレス：F01BCH, F01BDH　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TOLm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOLm7 | TOLm6 | TOLm5 | TOLm4 | TOLm3 | TOLm2 | TOLm1 | 0 |

| TOLmn | チャネルnのタイマ出力レベルの制御 |
|---|---|
| 0 | 正論理出力（アクティブ・ハイ） |
| 1 | 負論理出力（アクティブ・ロウ） |

**注意　ビット15-8, 0には必ず0を設定してください。**

**備考1.** タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

**2.** m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 3. 13　タイマ出力モード・レジスタm（TOMm）

TOMmレジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOMmレジスタは，16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは，TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOMmレジスタは0000Hになります。

図6－22　タイマ出力モード・レジスタm（TOMm）のフォーマット

アドレス：F01BEH, F01BFH　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TOMm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOMm7 | TOMm6 | TOMm5 | TOMm4 | TOMm3 | TOMm2 | TOMm1 | 0 |

| TOMmn | チャネルnのタイマ出力モードの制御 |
|---|---|
| 0 | マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う） |
| 1 | スレーブ・チャネル出力モード<br>（マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる） |

**注意　ビット15-8, 0には必ず0を設定してください。**

**備考**　m：ユニット番号（m = 0）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

p：スレーブ・チャネル番号

n＜p≦7

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，**6. 4. 1　複数チャネル連動動作機能の基本ルール**を参照してください）

## 6. 3. 14　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1, ISC0ビットは，チャネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると，シリアル・データ入力端子（RxD0）の入力信号がタイマ入力として選択されます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図6－23　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ISC | 0 | 0 | 0 | 0 | 0 | 0 | ISC1 | ISC0 |

| ISC1 | タイマ・アレイ・ユニットのチャネル7の入力切り替え |
|---|---|
| 0 | TI07端子の入力信号をタイマ入力とする（通常動作） |
| 1 | RxD0端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定） |

| ISC0 | 外部割り込み（INTP0）の入力切り替え |
|---|---|
| 0 | INTP0端子の入力信号を外部割り込み入力とする（通常動作） |
| 1 | RxD0端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出） |

**注意1. ビット7-2に必ず0を設定してください。**

**2. 16ビット・タイマKB20機能を使用時は，ISCレジスタの設定を初期値（00H）としてください。**

**備考**　LIN-bus通信を使用する場合は，ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

### 6. 3. 15　ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（$f_{MCK}$）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（$f_{MCK}$）で同期化だけ行います[注]。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1レジスタは00Hになります。

**注**　詳細は，**6. 5. 1（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）**，**6. 5. 2 カウンタのスタート・タイミング**を参照。

図6－24　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット

アドレス：F0071H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| NFEN1 | TNFEN07 | TNFEN06 | TNFEN05 | TNFEN04 | TNFEN03 | TNFEN02 | TNFEN01 | TNFEN00 |

| TNFEN07 | TI07端子またはRxD0端子入力信号のノイズ・フィルタ使用可否[注] |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

| TNFEN06 | TI06端子入力信号のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

| TNFEN05 | TI05端子入力信号のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

| TNFEN04 | TI04端子入力信号のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

| TNFEN03 | TI03端子入力信号のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

| TNFEN02 | TI02端子入力信号のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

| TNFEN01 | TI01端子入力信号のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

| TNFEN00 | TI00端子入力信号のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

**注**　入力切り替え制御レジスタ（ISC）のISC1ビットを設定することにより，適用する端子を切り替えることができます。

ISC1 = 0に設定：TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定：RxD0端子のノイズ・フィルタ使用可否選択が可能

## 6. 3. 16　タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート・モード・コントロール・レジスタ（PMCxx））を設定してください。詳細は，**4. 3. 1　ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**，**4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）**を参照してください。

また，製品によって設定するポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート・モード・コントロール・レジスタ（PMCxx）が異なります。詳細は，**4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

タイマ出力端子を兼用するポート（P14/TI04/TO04, P42/TI05/TO05など）をタイマ出力として使用するときは，各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビット，ポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P14/TI04/TO04をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM14ビットを0に設定

ポート・レジスタ1のP14ビットを0に設定

LCDポート・ファンクション・レジスタ（PFSEGx）のビットに0を設定

タイマ入力端子を兼用するポート（P14/TI04/TO04, P42/TI05/TO05など）をタイマ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P14/TI04/TO04をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM14ビットを1に設定

ポート・レジスタ1のP14ビットを0または1に設定

LCDポート・ファンクション・レジスタ（PFSEGx）のビットに0を設定

# 6.4　タイマ・アレイ・ユニットの基本ルール

## 6.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

（1）マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2，チャネル4，…）のみ設定できます。
（2）スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。
（3）スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。
　例　チャネル2をマスタ・チャネルにした場合，チャネル3以降（チャネル3，チャネル4，チャネル5，…）をスレーブ・チャネルに設定できます。

（4）1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
（5）マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
　例　チャネル0，チャネル4をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル5-7をスレーブ・チャネルとして設定できません。

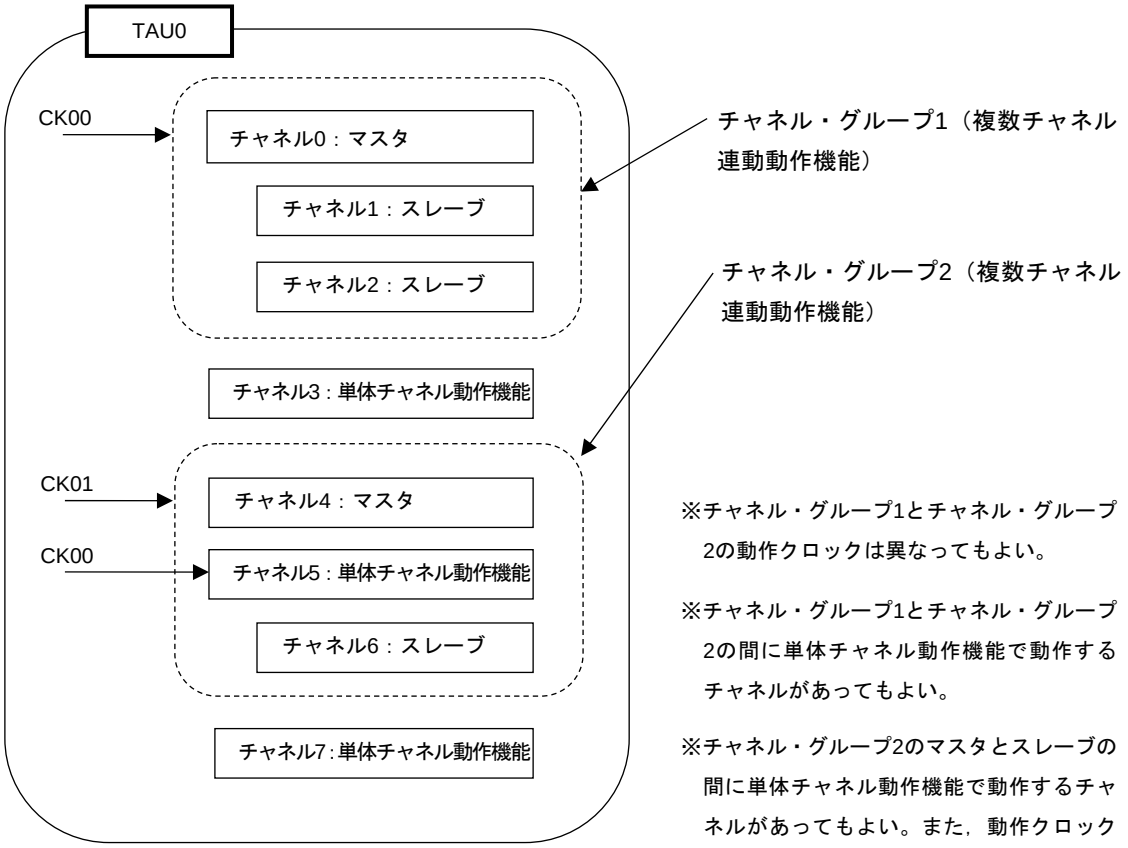
（6）マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
（7）マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
（8）スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
（9）マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
（10）連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
（11）カウント動作中のTSmnビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
（12）連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
（13）連動動作時は，マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため，CKm2/CKm3は選択できません。
（14）タイマ・モード・レジスタm0（TMRm0）は，マスタ・ビットがなく，”0”に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

例




※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。

※チャネル・グループ1とチャネル・グループ2の間に単体チャネル動作機能で動作するチャネルがあってもよい。

※チャネル・グループ2のマスタとスレーブの間に単体チャネル動作機能で動作するチャネルがあってもよい。また，動作クロックを個別に設定できる。

## 6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8 ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

（1）8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。

（2）8ビット・タイマとして使用する場合には，タイマ・モード・レジスタmn（TMRmn）のSPLITビットを“1”に設定します。

（3）上位8ビットは，インターバル・タイマ機能として動作することができます。

（4）上位8ビットは，動作開始時にINTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。

（5）上位8ビットの動作クロック選択は，下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。

（6）上位8ビットは，TSHm1/TSHm3ビットを操作することでチャネル動作を開始し，TTHm1/TTHm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEHm1/TEHm3ビットで確認できます。

（7）下位8ビットは，TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は，以下の3機能です。

- ・インターバル・タイマ機能
- ・外部イベント・カウンタ機能
- ・ディレイ・カウント機能

（8）下位8ビットは，TSm1/TSm3 ビットを操作することでチャネル動作を開始し，TTm1/TTm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEm1/TEm3ビットで確認できます。

（9）16ビットで動作させる場合には，TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。

（10）8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM）を使用することはできません。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 1, 3）

# 6.5　カウンタの動作

## 6.5.1　カウント・クロック（$f_{TCLK}$）

タイマ・アレイ・ユニットのカウント・クロック（$f_{TCLK}$）は，タイマ・モード・レジスタmn（TMRmn）のCCSmnビットにより，以下のどちらかを選択することができます。

・CKSmn0, CKSmn1ビットで指定した動作クロック（$f_{MCK}$）
・TImn端子からの入力信号の有効エッジ

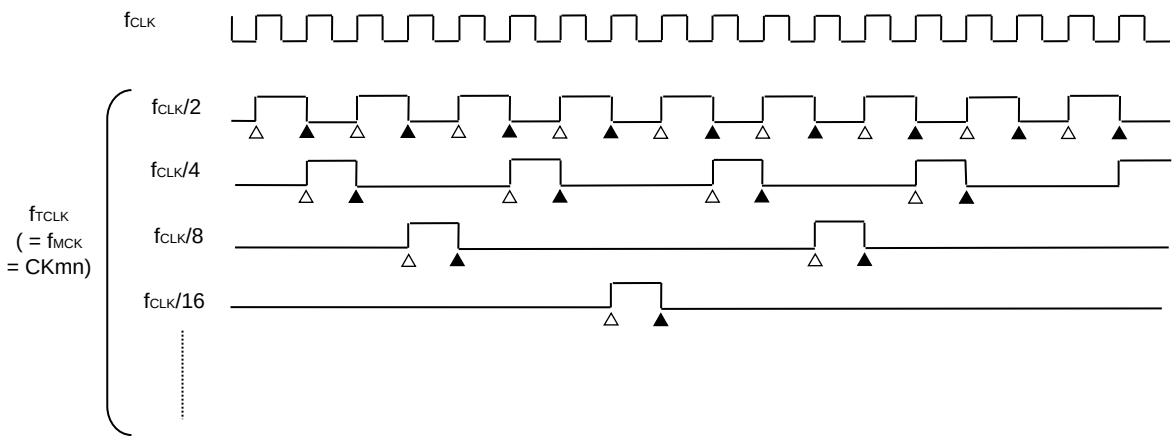
タイマ・アレイ・ユニットは，$f_{CLK}$との同期をとって動作するよう設計されているため，カウント・クロック（$f_{TCLK}$）のタイミングは次のようになります。

（1）CKSmn0, CKSmn1ビットで指定した動作クロック（$f_{MCK}$）を選択した場合（CCSmn = 0）

カウント・クロック（$f_{TCLK}$）は，タイマ・クロック選択レジスタm（TPSm）の設定により，$f_{CLK}$ ～ $f_{CLK}/2^{15}$となります。ただし，$f_{CLK}$の分周を選んだ場合，TPSmレジスタで選択するクロックは，立ち上がりから$f_{CLK}$の1周期分だけハイ・レベルになる信号となります。$f_{CLK}$を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn（TCRmn）は，$f_{CLK}$との同期をとるため，カウント・クロックの立ち上がりから$f_{CLK}$の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6－25　$f_{CLK}$とカウント・クロック（$f_{TCLK}$）のタイミング（CCSmn = 0時）



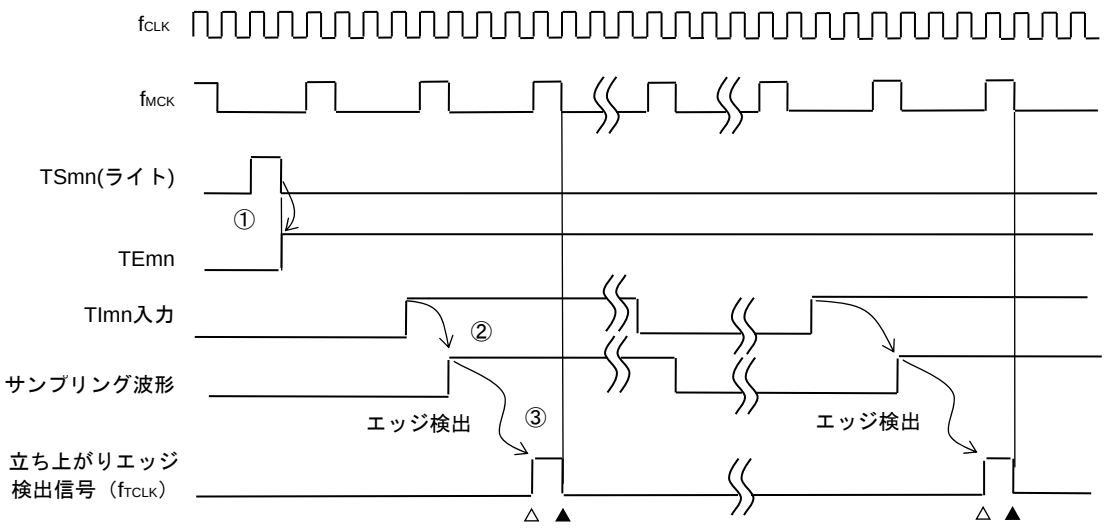

**備考1.** △：カウント･クロックの立ち上がり
▲：同期化，カウンタのインクリメント／デクリメント
**2.** $f_{CLK}$：CPU／周辺ハードウエア・クロック

（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（$f_{TCLK}$）は，TImn端子からの入力信号の有効エッジを検出し，次の$f_{MCK}$の立ち上がりに同期した信号になります。これは，実際のTImn端子からの入力信号より$f_{MCK}$の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，$f_{MCK}$の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタmn（TCRmn）は，$f_{CLK}$との同期をとるためにカウント・クロックの立ち上がりから$f_{CLK}$の1クロック分遅れてカウントしますが，このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図6－26　カウント・クロック（$f_{TCLK}$）のタイミング（CCSmn = 1，ノイズ・フィルタ未使用時）




①TSmnビットをセットすることでタイマが動作を開始し，TImn入力の有効エッジ待ちになります。

②TImn入力の立ち上がりが$f_{MCK}$でサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック）が出力されます。

**備考1.** △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

**2.** $f_{CLK}$：CPU／周辺ハードウエア・クロック

$f_{MCK}$：チャネルnの動作クロック

**3.** 入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTImn入力も同様の波形になります。

## 6.5.2　カウンタのスタート・タイミング

タイマ・カウント・レジスタmn（TCRmn）は，タイマ・チャネル開始レジスタm（TSm）のTSmnビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作を，表6－6に示します。

表6－6　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作

| タイマの動作モード | TSmn = 1にセットしたときの動作 |
|---|---|
| ・インターバル・タイマ・モード | スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。<br>最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（**6.5.3（1）インターバル・タイマ・モードの動作**参照）。 |
| ・イベント・カウンタ・モード | TSmnビットに1を書き込むことにより， TDRmnレジスタの値をTCRmnレジスタにロードします。<br>TImn入力のエッジを検出すると，以降のカウント・クロックでダウン・カウント動作を行います（**6.5.3（2）イベント・カウンタ・モードの動作**参照）。 |
| ・キャプチャ・モード | スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。<br>最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（**6.5.3（3）キャプチャ・モードの動作（入力パルス間隔測定）**参照）。 |
| ・ワンカウント・モード | タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。<br>スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。<br>最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（**6.5.3（4）ワンカウント・モードの動作**参照）。 |
| ・キャプチャ＆ワンカウント・モード | タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。<br>スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。<br>最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（**6.5.3（5）キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）**参照）。 |

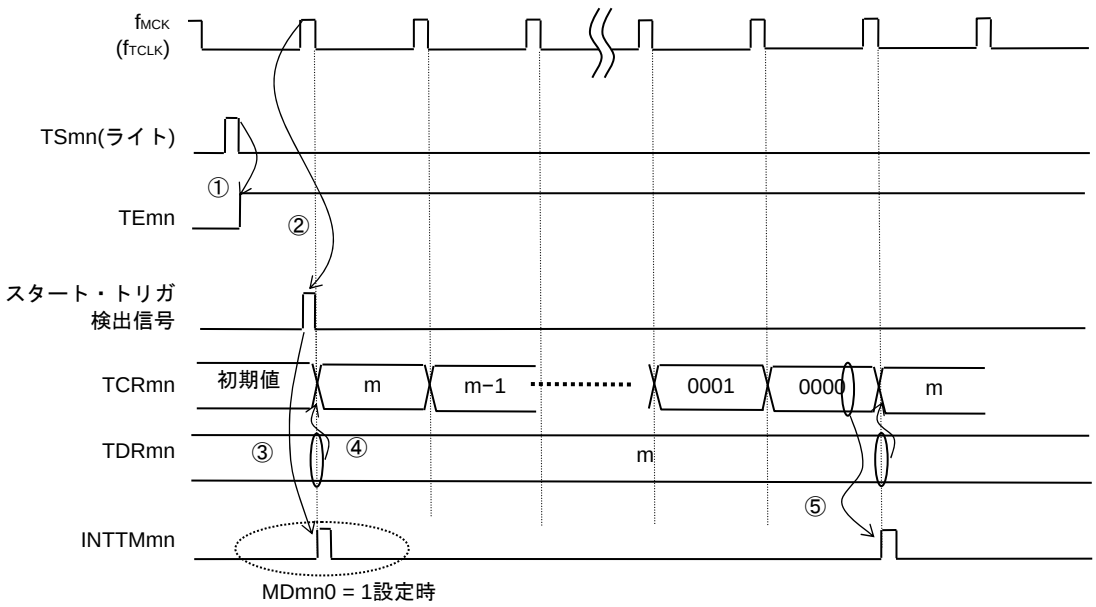
## 6. 5. 3　カウンタの動作

各モードでのカウンタ動作を説明します。

（1）インターバル・タイマ・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（$f_{MCK}$）で，スタート・トリガが発生します。
③ MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。
④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック（$f_{MCK}$）でINTTMmnを発生し，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードしてカウントを継続します。

図6－27　動作タイミング（インターバル・タイマ・モード）



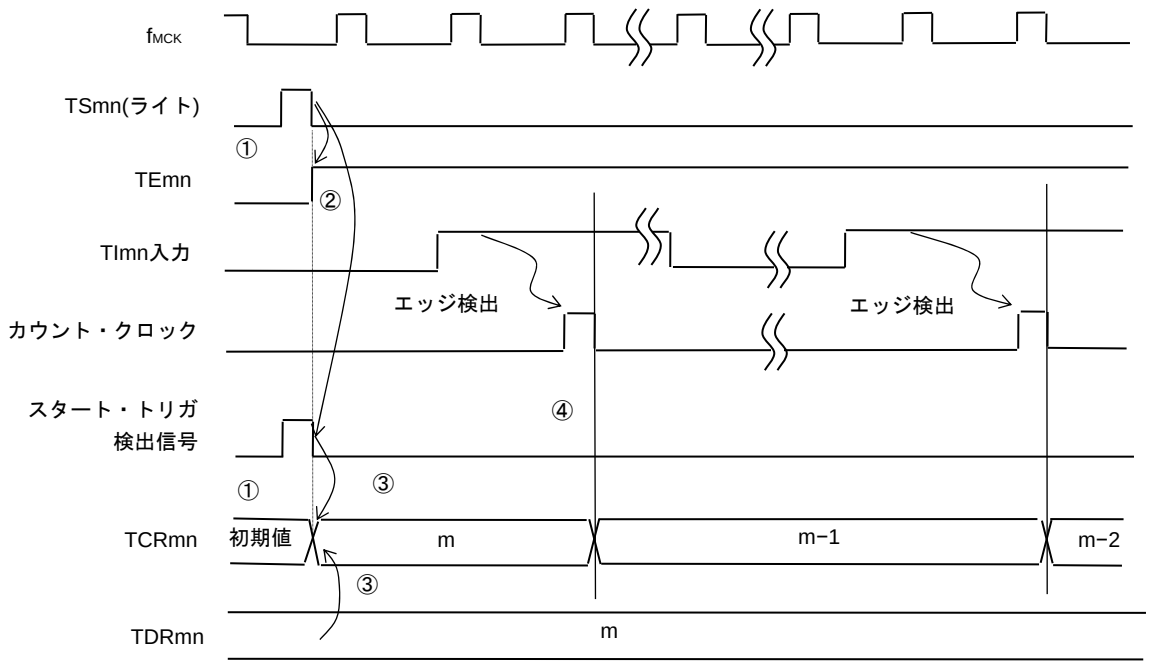

**注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。**

**備考**　$f_{MCK}$，スタート・トリガ検出信号，INTTMmnは，$f_{CLK}$に同期して1クロック間アクティブとなります。

（2）イベント・カウンタ・モードの動作

① 動作停止状態（TEmn = 0）の期間，タイマ・カウンタ・レジスタmn（TCRmn）は，初期値を保持します。
② TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
③ TSmn = 1→TEmn = 1と同時に， TCRmnレジスタにタイマ・データ・レジスタmn（TDRmn）の値をロードし，カウントを開始します。
④ 以降はTImn入力の有効エッジでのカウント・クロックに従い， TCRmnレジスタの値をダウン・カウントします。

図6－28　動作タイミング（イベント・カウンタ・モード）

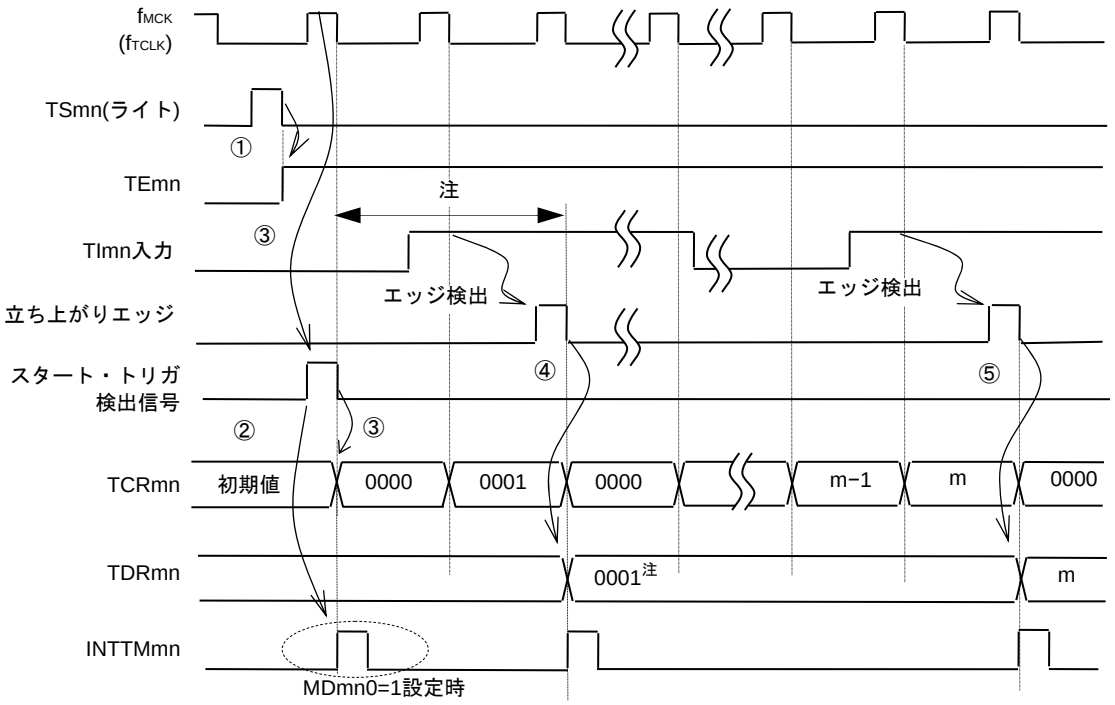



**備考**　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

（3）キャプチャ・モードの動作（入力パルス間隔測定）

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。
③ 動作許可後の最初のカウント・クロック（$f_{MCK}$）で，スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。）
④ TImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
⑤ 次のTImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－29　動作タイミング（キャプチャ・モード：入力パルス間隔測定）




**注**　スタート前からTImnにクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので，無視してください。

**注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。**

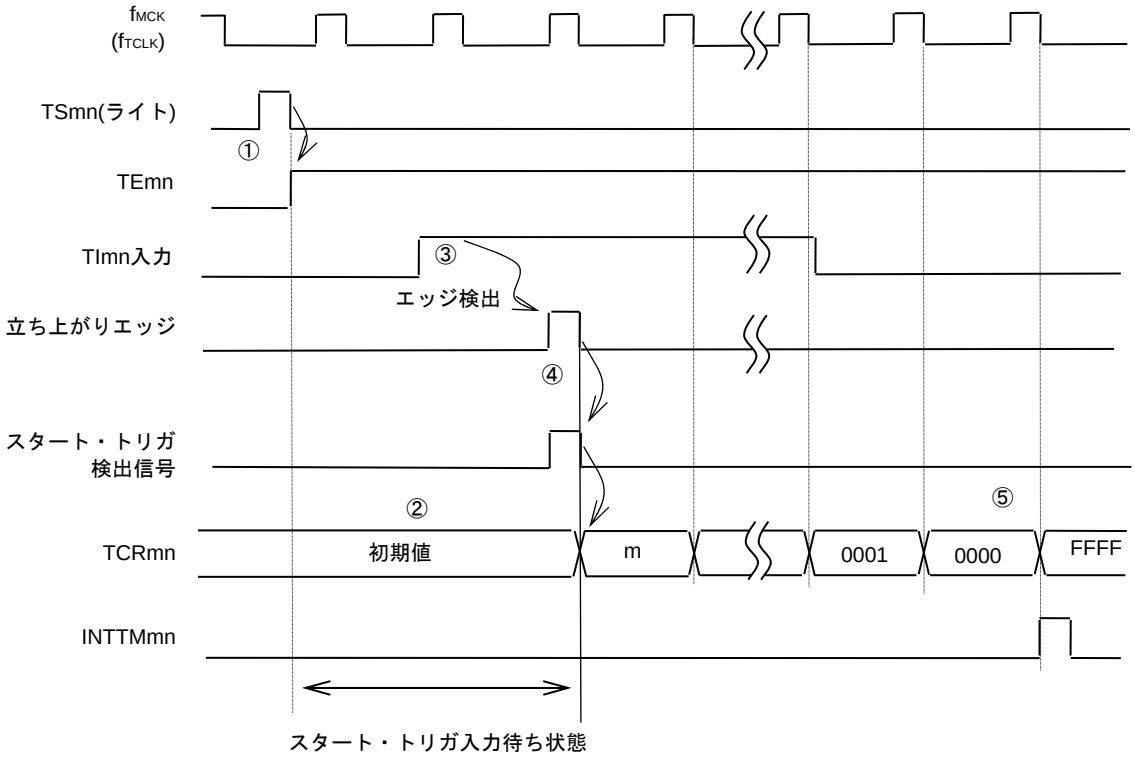
**備考**　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらに$f_{MCK}$の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（$f_{MCK}$）が非同期なためです。

（4）ワンカウント・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持しています。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TDRmnレジスタの値（m）をTCRmnレジスタにロードし，カウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，INTTMmn割り込みを発生し，TCRmnレジスタはFFFFHで停止します。

図6－30　動作タイミング（ワンカウント・モード）

★

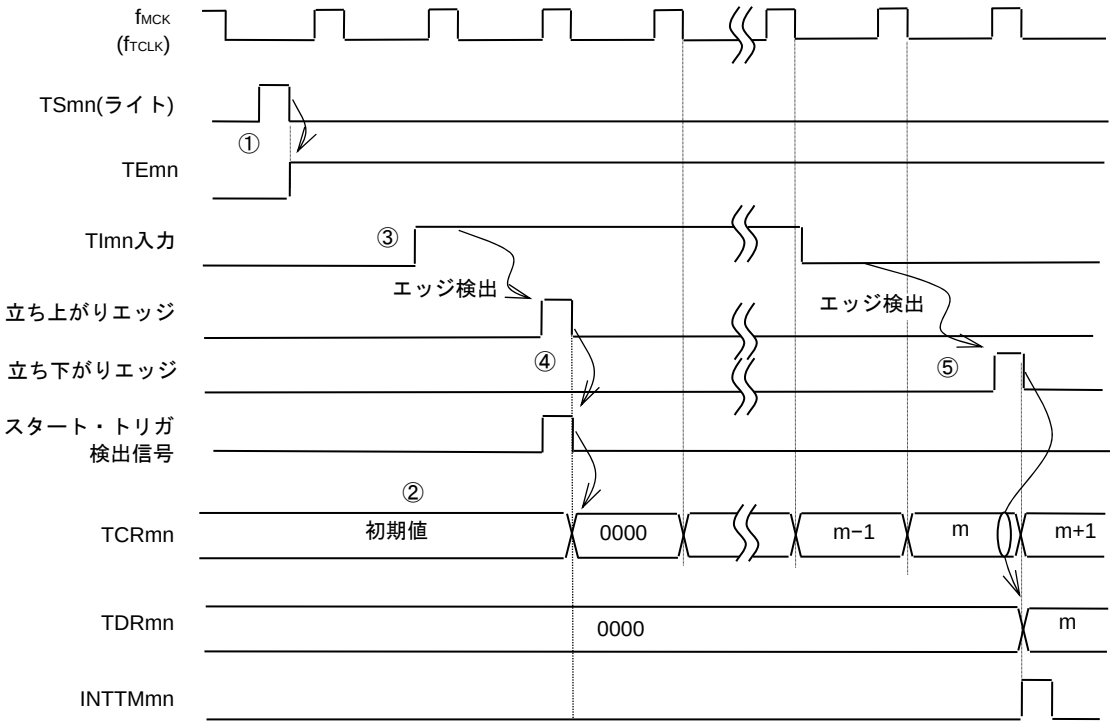



**備考**　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

（5）キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタm（TSm）のTSmnビットに1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持します。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，0000HをTCRmnレジスタにロードし，カウントを開始します。
⑤ TImn入力の立ち下がりエッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－31　動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

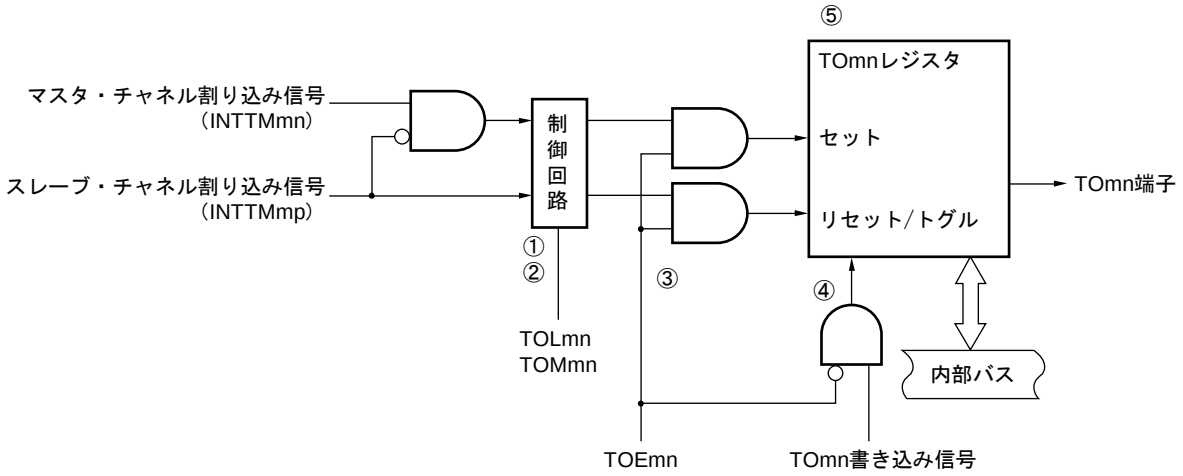



**備考**　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

# 6. 6　チャネル出力（TOmn端子）の制御

## 6. 6. 1　TOmn端子の出力回路の構成

図6－32　出力回路構成図




TOmn端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタm（TOLm）の設定値は無視され，INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタm（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。
このとき，TOLmレジスタが有効となり，次のように信号を制御します。

TOLmn = 0の場合　：正論理出力（INTTMmn→セット，INTTMmp→リセット）
TOLmn = 1の場合　：負論理出力（INTTMmn→リセット，INTTMmp→セット）

また，INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は，INTTMmp（リセット信号）が優先され，INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。TOmレジスタへの書き込み（TOmn書き込み信号）は無効となります。
また，TOEmn = 1のとき，割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は，タイマ動作停止（TOEmn = 0）に設定しTOmレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で，対象チャネルのTOmnビットへの書き込み（TOmn書き込み信号）が有効となります。 タイマ出力禁止状態（TOEmn = 0）のとき，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）はTOmレジスタに伝えられません。

⑤ TOmレジスタは常に読み出し可能であり，TOmn端子の出力レベルを確認することができます。

**注意　P60,P61をチャネル出力として使用する場合は、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。**

（備考は次ページにあります。）

**備考**　m：ユニット番号（m = 0）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

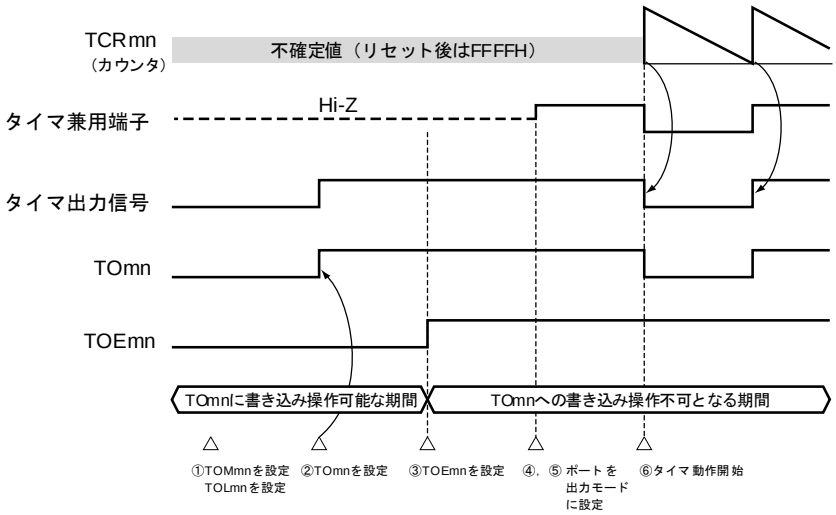
p：スレーブ・チャネル番号

n＜p≦7

## 6. 6. 2　TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6－33　タイマ出力設定から動作開始までの状態変化




① タイマ出力の動作モードを設定します。

・TOMmnビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）

・TOLmnビット（0：正論理出力，1：負論理出力）

② タイマ出力レジスタm（TOm）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOEmnビットに1を書き込み，タイマ出力動作を許可します（TOmレジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール・レジスタ（PMCxx）でポートをデジタル入出力に設定します。

⑤ ポートの入出力設定を出力に設定します（6. 3. 16　タイマ入出力端子のポート機能を制御するレジスタ参照）。

⑥ タイマを動作許可にします（TSmn = 1）。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 6. 3　チャネル出力操作時の注意事項

（1）タイマ動作中のTOm,TOEm,TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn（TCRmn）,タイマ・データ・レジスタmn（TDRmn）の動作）は，TOmn出力回路とは独立しています。よって，タイマ出力レジスタm（TOm），タイマ出力許可レジスタm（TOEm），タイマ出力レベル・レジスタm（TOLm）の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形をTOmn端子から出力するためには，**6. 7**, **6. 8**節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTMmn）近辺で，TOmレジスタを除くTOEmレジスタ，TOLmレジスタの設定値変更を行うと，タイマ割り込み（INTTMmn）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（INTTMmn）信号発生タイミング直後に設定値変更が実施された場合とでは，TOmn端子に出力される波形が異なる場合があります。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

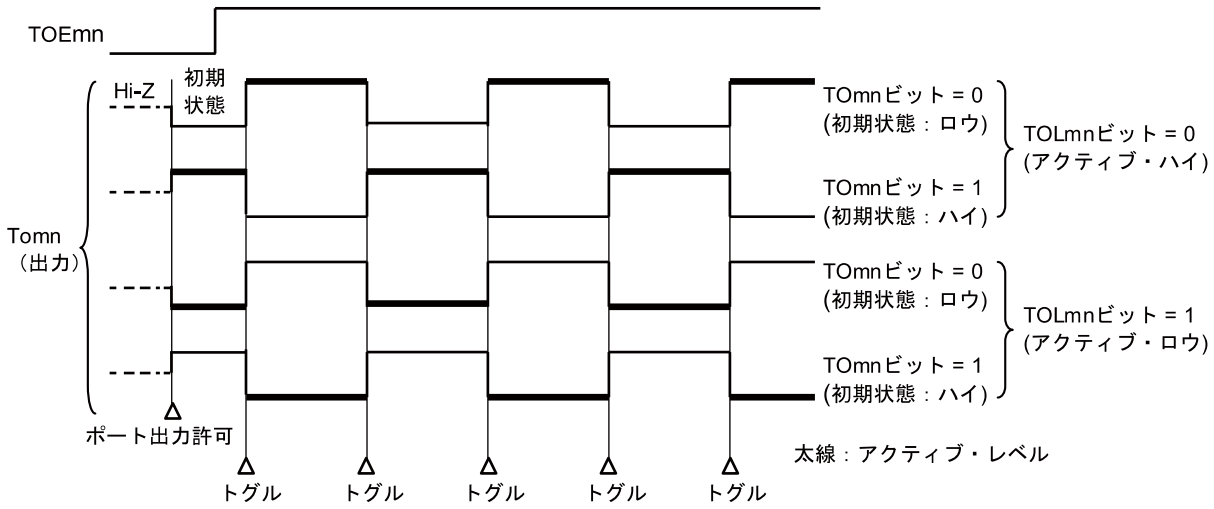
（2）TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタm（TOm）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOEmn = 1）に設定した場合のTOmn端子出力レベルの変化を次に示します。

（a）マスタ・チャネル出力モード（TOMmn= 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn= 0）の時，タイマ出力レベル・レジスタm（TOLm）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6－34　トグル出力時（TOMmn = 0）のTOmn端子出力状態



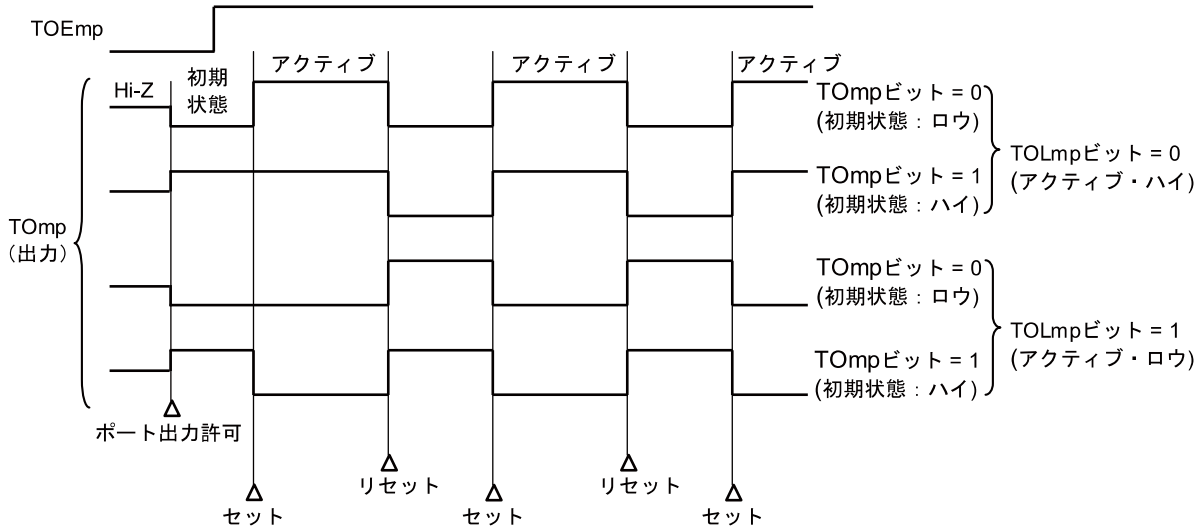

**備考1.**　トグル：TOmn端子の出力状態を反転

**2.**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

（b）スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMmp = 1）の時，タイマ出力レベル・レジスタm（TOLm）の設定によりアクティブ・レベルを決定します。

図6－35　PWM出力時（TOMmp = 1）のTOmp端子出力状態




**備考1.**　セット　　：TOmp端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TOmp端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

**2.**　m：ユニット番号（m = 0），p：チャネル番号（p = 1-7）

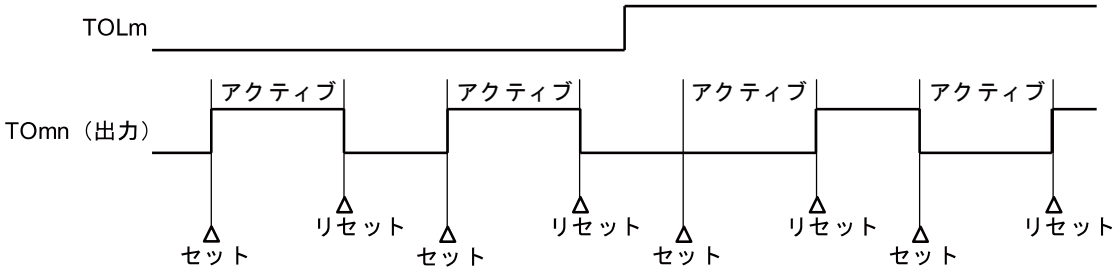
（3）TOmn端子のスレーブ・チャネル出力モード（TOMmn = 1）での動作について

（a）タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合，設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは，TOmn端子の出力レベルは変化しません。

TOMmn = 1で，タイマ動作中（TEmn = 1）にTOLmレジスタの値を変更した場合の動作を次に示します。

図6－36　タイマ動作中にTOLmレジスタの内容を変更した場合の動作




**備考1.** セット　：TOmn端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化
リセット：TOmn端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

**2.** m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

（b）セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTMmn）発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

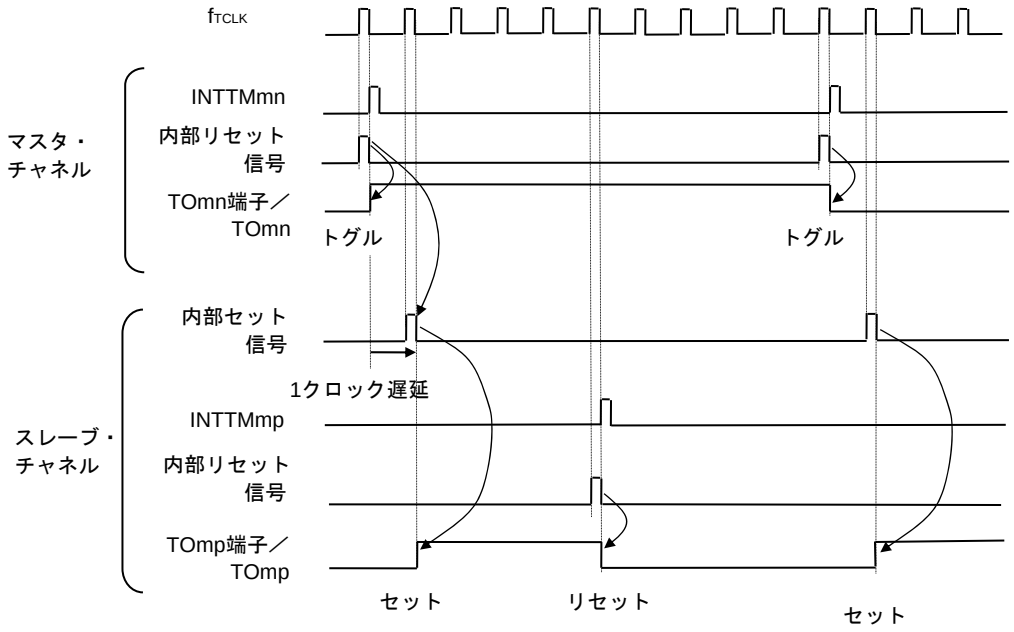
セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図6－37に示します。

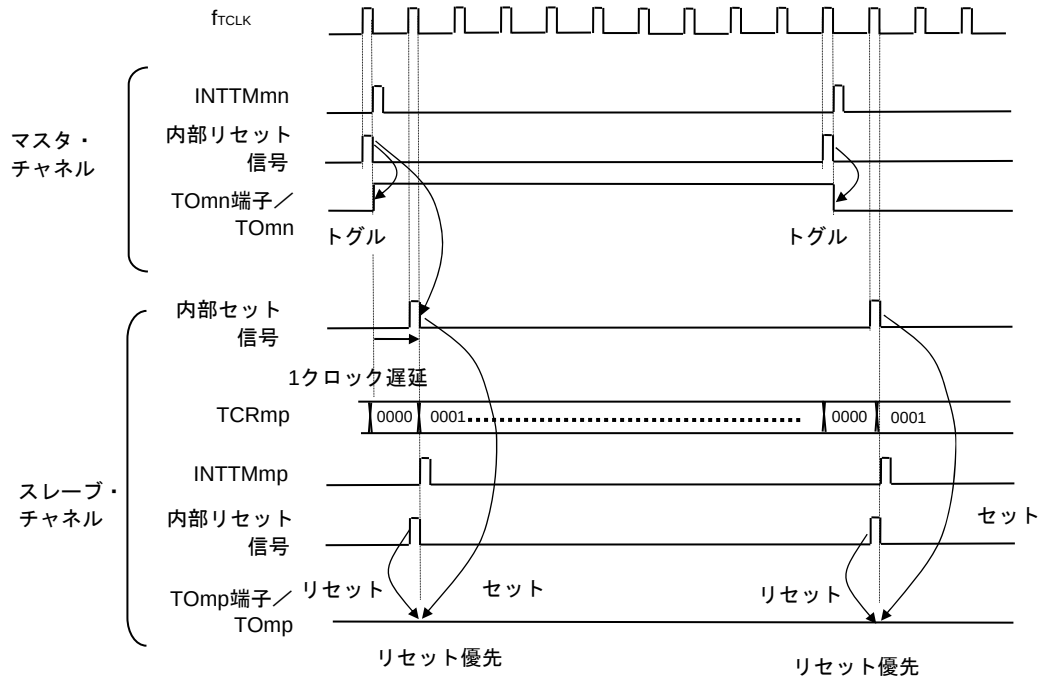
マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0
スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6－37　セット／リセット・タイミング動作状態

（1）基本動作タイミング




（2）0 %デューティ時の動作タイミング



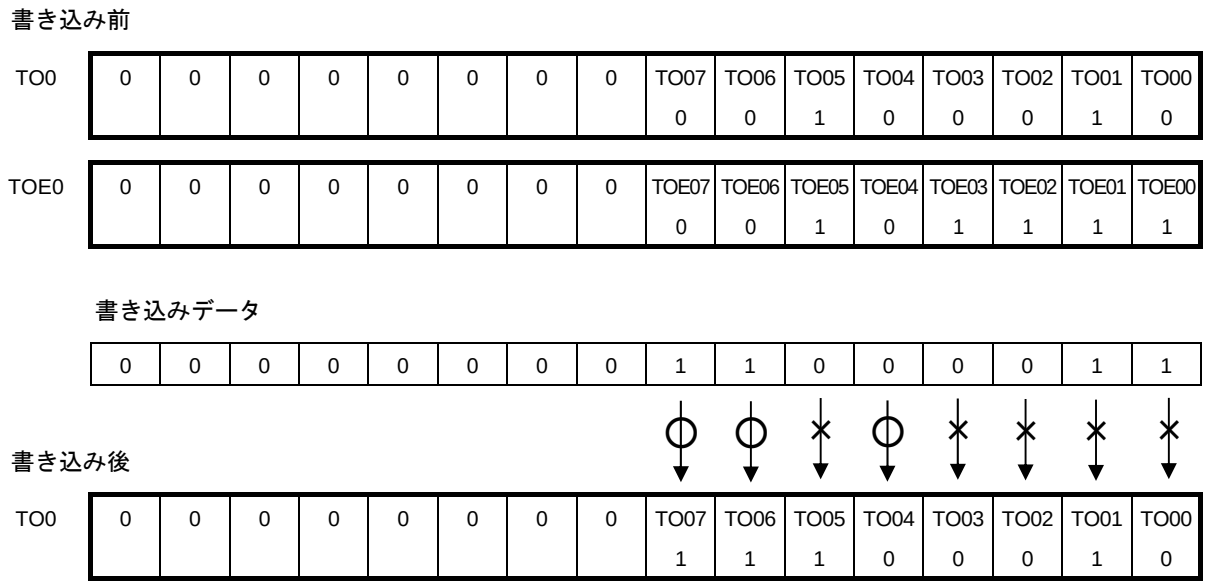

**備考1.** 内部リセット信号：TOmn端子のリセット／トグル信号
内部セット信号　：TOmn端子のセット信号

**2.** m：ユニット番号（m = 0）
n：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p：スレーブ・チャネル番号
n＜p≦7

## 6. 6. 4　TOmnビットの一括操作

タイマ出力レジスタm（TOm）には，タイマ・チャネル開始レジスタm（TSm）と同様に，1レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって，全チャネルのTOmnビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TOmn）のみTOmnビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

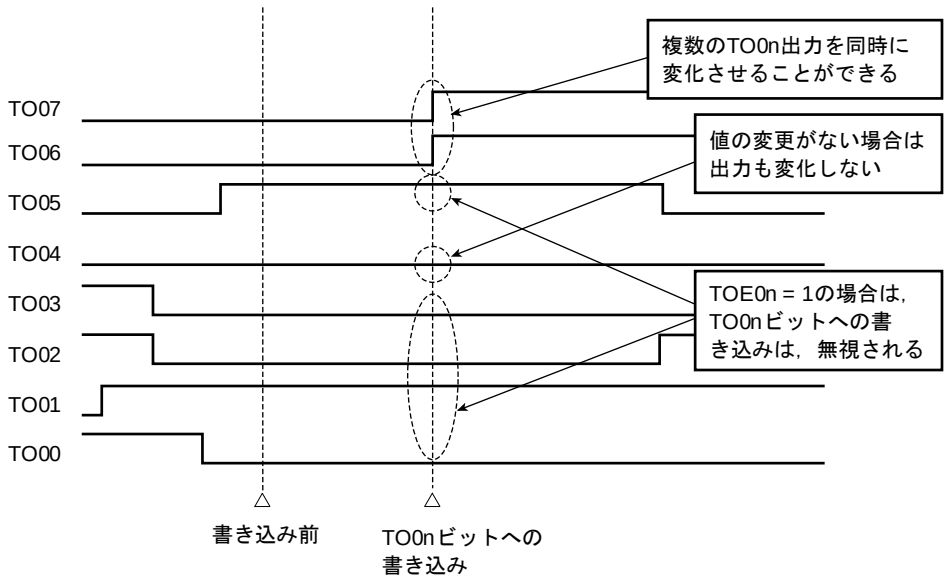
図6－38　TO0nビットの一括操作例




TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn（チャネル出力）は，書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図6－39　TO0nビットの一括操作によるTO0nの端子状態




（備考は次ページにあります）

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

### 6. 6. 5　カウント動作開始時のタイマ割り込みとTOmn端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタmn（TMRmn）のMDmn0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

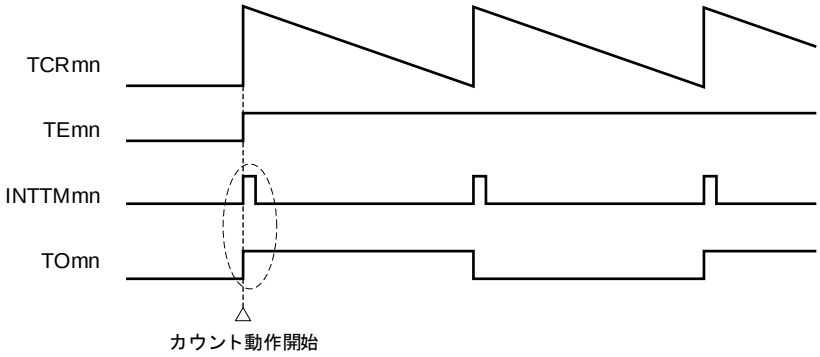
MDmn0 = 1に設定することで，タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOmn出力は制御しません。

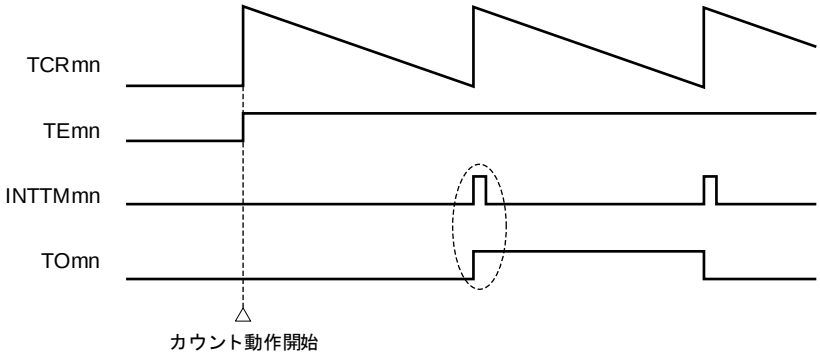
インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図6－40　カウント動作開始時のタイマ割り込み，TOmn出力の動作例

（a）MDmn0 = 1に設定した場合




（b）MDmn0 = 0に設定した場合




MDmn0 = 1に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）が出力され，TOmnがトグル動作します。

MDmn0 = 0に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmnも変化しません。1周期をカウント後，INTTMmnを出力し，TOmnがトグル動作します。

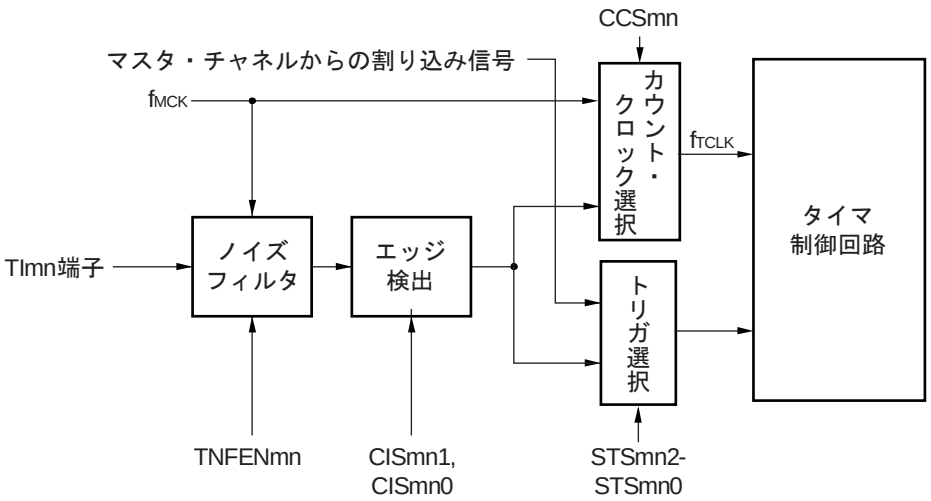
**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

# 6. 7　タイマ入力（TImn）の制御

## 6. 7. 1　TImnの入力回路構成

タイマ入力端子から信号は，ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は，対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

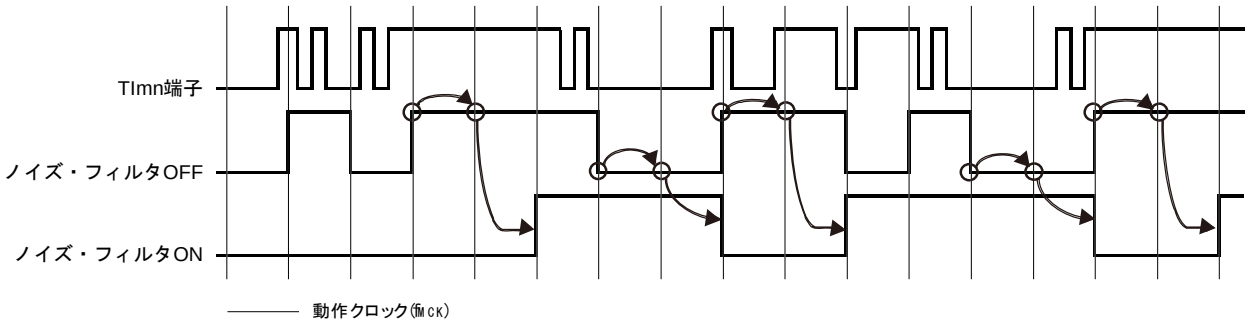
図6－41　入力回路構成図




## 6. 7. 2　ノイズ・フィルタ

ノイズ・フィルタ無効時は，チャネルnの動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は，チャネルnの動作クロック（fMCK）で同期化のあと，2クロックの一致検出を行います。以下に，TImn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6－42　TImn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形




**注意　TImn端子の入力波形は、ノイズ・フィルタON/OFFの動作を説明するためのものであり、実際は、32.4または33.4　AC特性に示す入力ハイ・レベル幅／ロウ・レベル幅に従ってください。**

### 6. 7. 3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において，ノイズ・フィルタ回路へ動作クロックは供給されません。そのため，タイマ入力端子を使用する設定をしてから，タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで，以下の待ち時間が必要になります。

（1）ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（$f_{MCK}$）の2サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

（2）ノイズ・フィルタONの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（$f_{MCK}$）の4サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

# 6.8　タイマ・アレイ・ユニットの単独チャネル動作機能

## 6.8.1　インターバル・タイマ／方形波出力としての動作

（1）インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）

（2）方形波出力としての動作

TOmnは，INTTMmn発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TOmn出力波形の周期と周波数は，次の式で求めることができます。

・TOmnからの出力方形波の周期 = カウント・クロックの周期×（TDRmnの設定値＋1）×2

・TOmnからの出力方形波の周波数 = カウント・クロックの周波数／｛（TDRmnの設定値＋1）×2｝

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定後，最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば，INTTMmnを出力せず，TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば，INTTMmnを出力して，TOmnをトグルします。

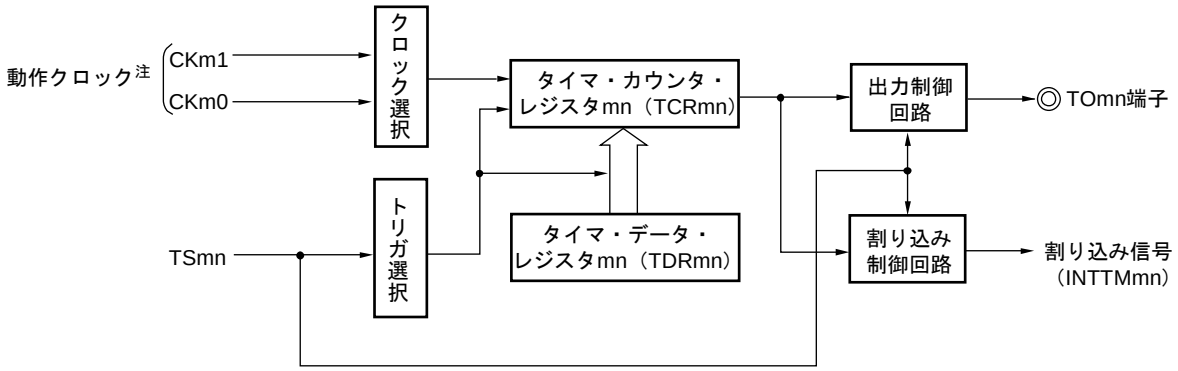
その後，TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら，次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また，同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降，同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

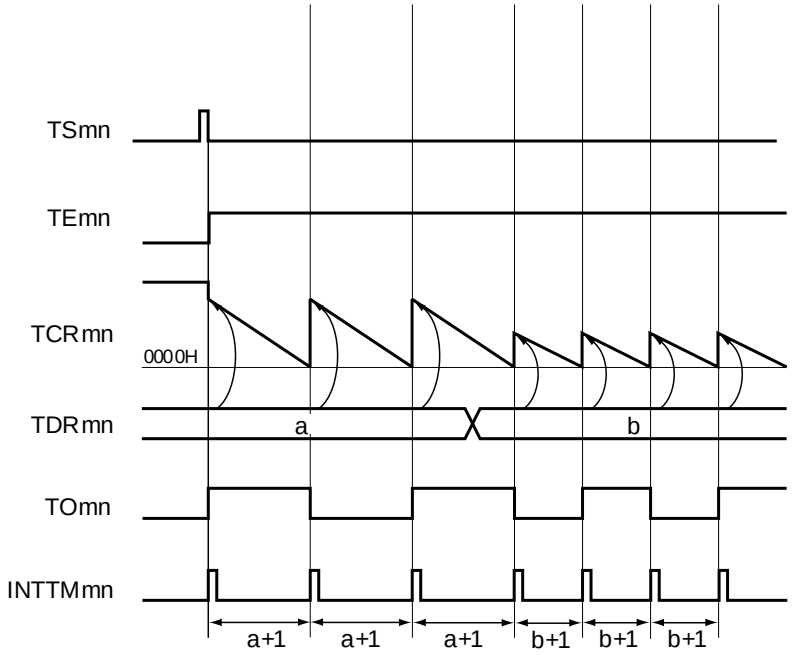
**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－43　インターバル・タイマ／方形波出力としての動作のブロック図




**注**　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6－44　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）




**備考1.**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

**2.**　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

TOmn　：TOmn端子出力信号

図6－45　インターバル・タイマ／方形波出力時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn | CKSmn1 | CKSmn0 | | CCSmn | M/S注 | STSmn2 | STSmn1 | STSmn0 | CISmn1 | CISmn0 | | | MDmn3 | MDmn2 | MDmn1 | MDmn0 |
| | 1/0 | 1/0 | 0 | 0 | 0/1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1/0 |

チャネルnの動作モード
000B:インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず，タイマ出力反転せず
1：カウント開始時にINTTMmn発生し，タイマ出力反転する

TImn端子入力のエッジ選択
00B:使用しないので00を設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（$f_{MCK}$）を選択

動作クロック（$f_{MCK}$）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

| | ビットn |
|---|---|
| TOm | TOmn |
| | 1/0 |

0：TOmnより0を出力する
1：TOmnより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

| | ビットn |
|---|---|
| TOEm | TOEmn |
| | 1/0 |

0：カウント動作によるTOmn出力動作停止
1：カウント動作によるTOmn出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットn |
|---|---|
| TOLm | TOLmn |
| | 0 |

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットn |
|---|---|
| TOMm | TOMmn |
| | 0 |

0：マスタ・チャネル出力モードを設定

**注**　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－46　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する | パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0-CKm3のクロック周波数を確定する | |
| チャネル初期設定 | タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定）<br>タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| | TOmn出力を使用する場合，<br>タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する<br>TOLmnビットに0を設定する<br>TOmnビットを設定し，TOmn出力の初期レベルを確定する | TOmn端子はHi-Z出力状態<br>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。 |
| | TOEmnビットに1を設定し，TOmnの動作を許可 | チャネルは動作停止状態なので，TOmnは変化しない |
| | ポート・レジスタとポート・モード・レジスタに0を設定する | TOmn端子はTOmn設定レベルを出力 |
| 動作開始 | （TOmn出力を使用する場合で，かつ動作再開時のみTOEmnビットに1を設定する）<br>TSmn（TSHm1, TSHm3）ビットに1を設定する<br>TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので，自動的に0に戻る | TEmn（TEHm1, TEHm3）＝1になり，カウント動作開始<br>カウント・クロック入力でタイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。 |
| 動作中 | TDRmnレジスタは，任意に設定値変更が可能<br>TCRmnレジスタは，常に読み出し可能<br>TSRmnレジスタは，使用しない<br>TOm, TOEmレジスタは，設定値変更可能<br>TMRmnレジスタ, TOMmn, TOLmnビットは，設定値変更禁止 | カウンタ（TCRmn）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn＝0000H検出でINTTMmnを発生し，TOmnはトグル動作する。以降，この動作を繰り返す。 |
| 動作停止 | TTmn（TTHm1, TTHm3）ビットに1を設定する<br>TTmn（TTHm1, TTHm3）ビットはトリガ・ビットなので，自動的に0に戻る | TEmn（TEHm1, TEHmn）＝0になり，カウント動作停止<br>TCRmnレジスタはカウント値を保持して停止<br>TOmn出力は初期化されず，状態保持 |
| | TOEmnビットに0を設定し，TOmnビットに値を設定する | TOmn端子はTOmnビットに設定したレベルを出力 |

動作再開

（備考は次ページにあります。）

図6－46　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU停止 | TOmn端子の出力レベルを保持する場合<br>ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する<br>TOmn端子の出力レベルを保持不要の場合<br>設定不要 | TOmn端子出力レベルはポート機能により保持される。 |
| | PER0レジスタのTAUmENビットに0を設定する | パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される<br>（TOmnビットが0になり，TOmn端子はポート機能となる） |

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 8. 2　外部イベント・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmnの設定値＋1

タイマ・カウンタ・レジスタmn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）の任意のチャネル・スタート・トリガ・ビット（TSmn，TSHm1，TSHm3）に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。

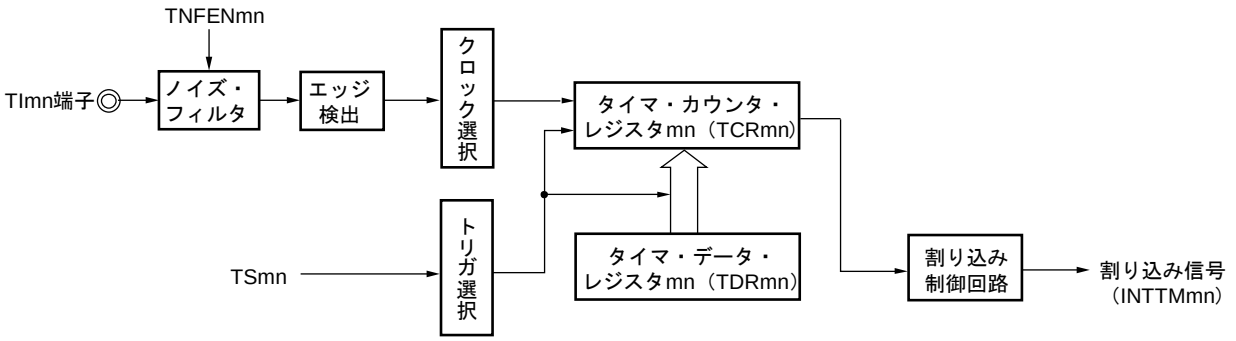
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら，再びTDRmnレジスタの値をロードして，INTTMmnを出力します。

以降，同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定して出力動作を停止するようにしてください。

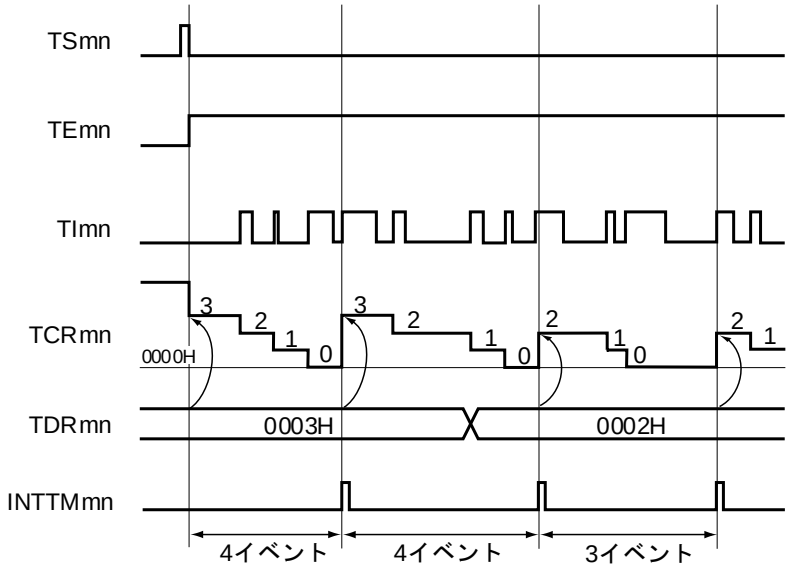
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図6－47　外部イベント・カウンタとしての動作のブロック図




**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－48　外部イベント・カウンタとしての動作の基本タイミング例




**備考1.** m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

**2.** TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

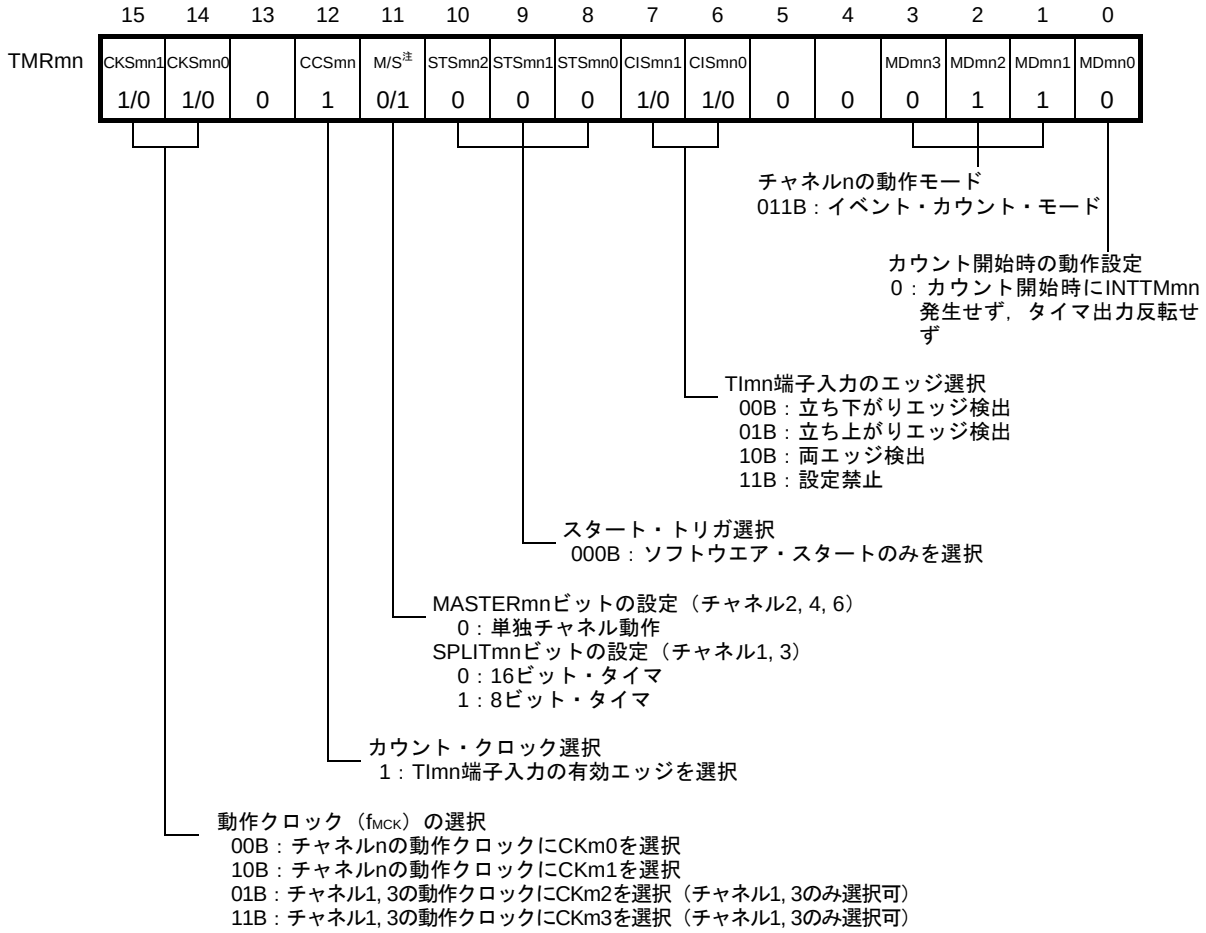
TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図6－49　外部イベント・カウンタ・モード時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）




（b）タイマ出力レジスタm（TOm）

| ビットn | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TOm | 0 | 0 | 0 | 0 | TOmn | 0 | 0 | 0 |

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

| ビットn | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TOEm | 0 | 0 | 0 | 0 | TOEmn | 0 | 0 | 0 |

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

| ビットn | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TOLm | 0 | 0 | 0 | 0 | TOLmn | 0 | 0 | 0 |

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

| ビットn | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TOMm | 0 | 0 | 0 | 0 | TOMmn | 0 | 0 | 0 |

0：マスタ・チャネル出力モードを設定

**注**　TMRm2, TMRm4, TMRm6の場合　　：MASTERmnビット
TMRm1, TMRm3の場合　　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　　：0固定

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－50　外部イベント・カウンタ機能時の操作手順

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する → | パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0-CKm3のクロック周波数を確定する | |
| チャネル初期設定 | ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する<br>タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定）<br>タイマ・データ・レジスタmn（TDRmn）にカウント数を設定する<br>タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定する | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| 動作開始 | TSmnビットに1を設定する →<br>TSmnビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 1になり，カウント動作開始<br>タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，TImn端子入力のエッジ検出待ち状態になる |
| 動作中 | TDRmnレジスタは，任意に設定値変更が可能<br>TCRmnレジスタは，常に読み出し可能<br>TSRmnレジスタは，使用しない<br>TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止 | TImn端子入力のエッジが検出されるごとに，カウンタ（TCRmn）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。<br>以降，この動作を繰り返す。 |
| 動作停止 | TTmnビットに1を設定する →<br>TTmnビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 0になり，カウント動作停止<br>TCRmnレジスタはカウント値を保持して停止 |
| TAU停止 | PER0レジスタのTAUmENビットに0を設定する → | パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される |

動作再開

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

### 6.8.3　入力パルス間隔測定としての動作

TImn有効エッジでカウント値をキャプチャし，TImn入力パルスの間隔を測定することができます。また，TEmn = 1の期間中に，ソフトウエア操作（TSmn = 1）をキャプチャ・トリガにして，カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 =
カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

**注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。**

タイマ・カウンタ·レジスタmn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TImn端子入力の有効エッジを検出すると，TCRmnレジスタのカウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）すると同時に，TCRmnレジスタを0000Hにクリアして，INTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

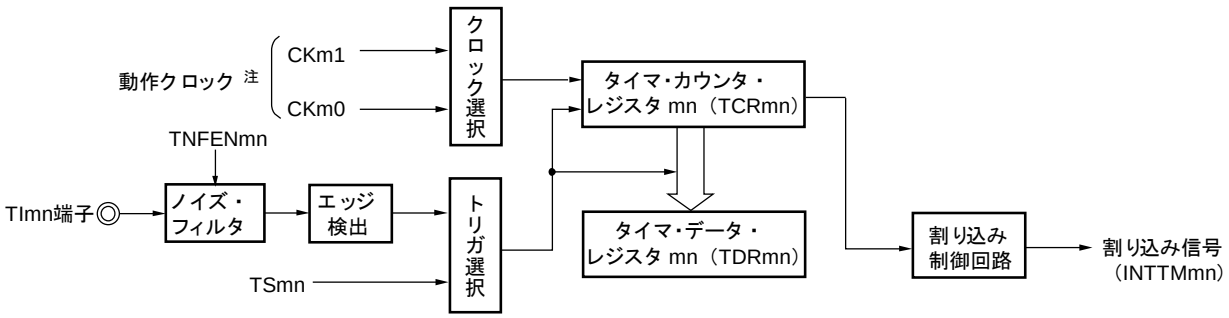
カウント値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して，TImn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TEmn = 1のときは，TImn端子入力を使用せずに，ソフトウエア操作（TSmn = 1）をキャプチャ・トリガにすることもできます。

図6－51　入力パルス間隔測定としての動作のブロック図

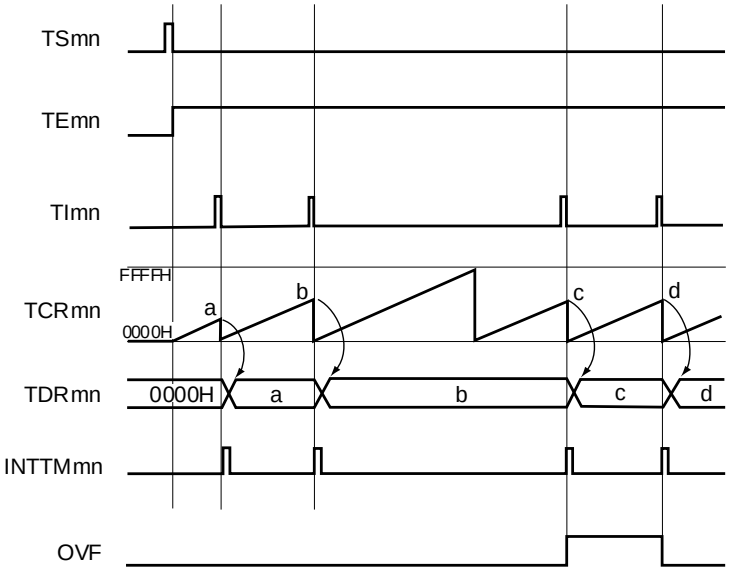



**注**　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－52　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）

★




**備考1.** m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

**2.** TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

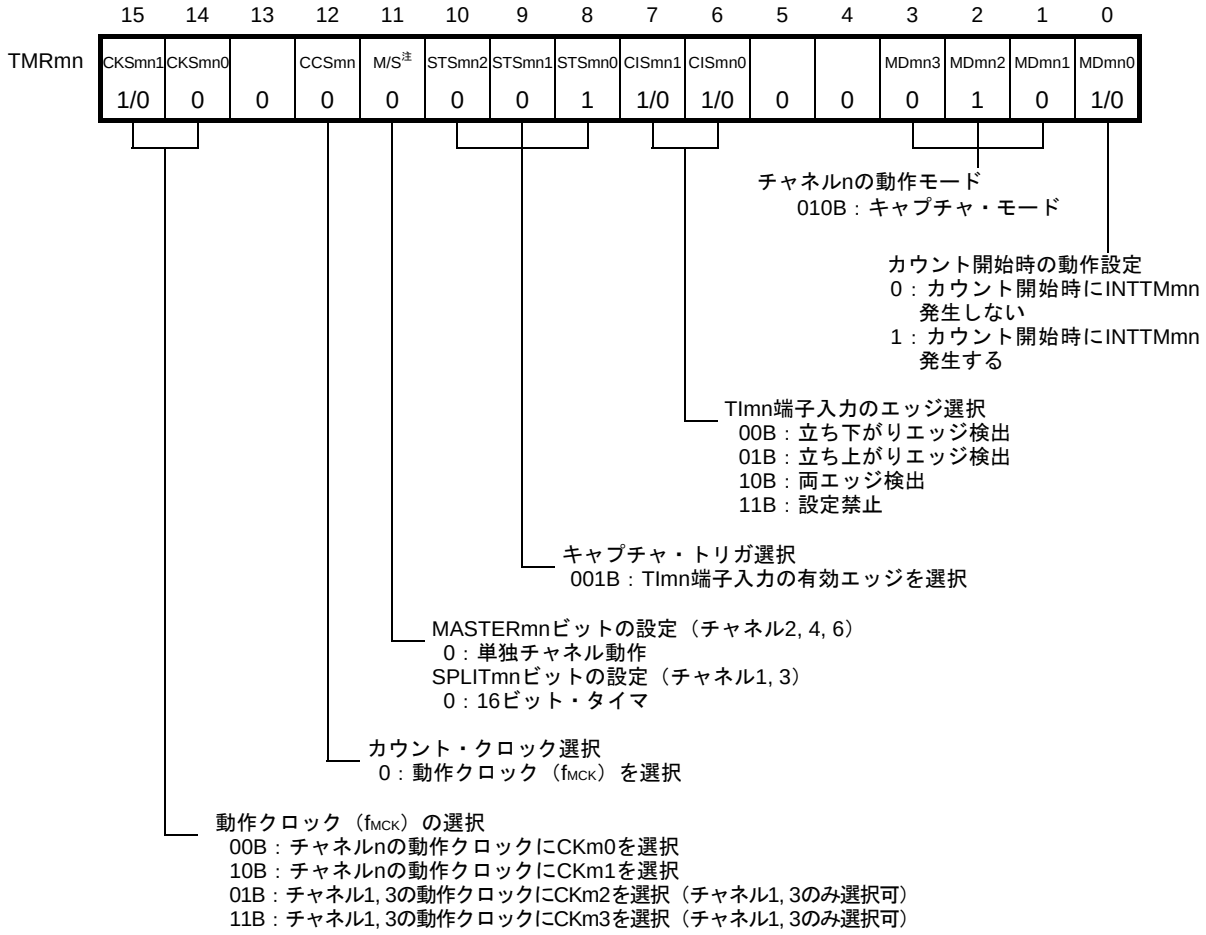
TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図6－53　入力パルス間隔測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）




（b）タイマ出力レジスタm（TOm）

| | ビットn | |
|---|---|---|
| TOm | TOmn<br>0 | 0：TOmnより0を出力する |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットn | |
|---|---|---|
| TOEm | TOEmn<br>0 | 0：カウント動作によるTOmn出力動作停止 |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットn | |
|---|---|---|
| TOLm | TOLmn<br>0 | 0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定 |

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットn | |
|---|---|---|
| TOMm | TOMmn<br>0 | 0：マスタ・チャネル出力モードを設定 |

**注**　TMRm2, TMRm4, TMRm6の場合　　：MASTERmnビット
TMRm1, TMRm3の場合　　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　　：0固定

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－54　入力パルス間隔測定機能時の操作手順

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタmのTAUmENビットに1を設定する → | パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0-CKm3のクロック周波数を確定する | |
| チャネル初期設定 | ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する<br>タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| 動作開始 | TSmnビットに1を設定する →<br>TSmnビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 1になり，カウント動作開始<br>カウント・クロック入力でタイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生する。 |
| 動作中 | TMRmnレジスタは，CISmn1，CISmn0ビットのみ設定値変更可能<br>TDRmnレジスタは，常に読み出し可能<br>TCRmnレジスタは，常に読み出し可能<br>TSRmnレジスタは，常に読み出し可能<br>TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止 | カウンタ（TCRmn）は0000Hからアップ・カウント動作を行い，TImn端子入力の有効エッジが検出されたら，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）する。同時に，TCRmnレジスタを0000Hにクリアし，INTTMmnを発生する。<br>このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。<br>以降，この動作を繰り返す。 |
| 動作停止 | TTmnビットに1を設定する →<br>TTmnビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 0になり，カウント動作停止<br>TCRmnレジスタはカウント値を保持して停止<br>TSRmnレジスタのOVFビットも保持 |
| TAU停止 | PER0レジスタのTAUmENビットに0を設定する → | パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される |

動作再開 →

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

## 6. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作

**注意　LIN-bus対応機能として使用する場合は，入力切り替え制御レジスタ（ISC）のビット1（ISC1）を1に設定してください。また，以降の説明では「TImn」を「RxD0」と読み替えてください。**

TImn端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TImnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TImnの信号幅は次の式で求めることができます。

TImn入力の信号幅 =
カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn（TCRmn）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタmn（TDRmn）に転送すると同時にINTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは，「TDRmnレジスタに転送した値＋1」の値で停止し，TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

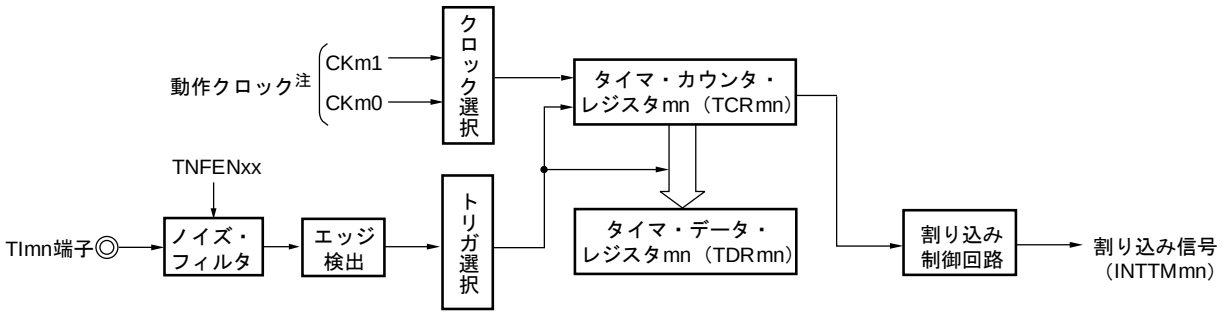
カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TImn端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは， TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は，TImn端子入力の信号幅測定を目的とするため，TEmn = 1期間中のTSmnビットのセット（1）は使用できません。

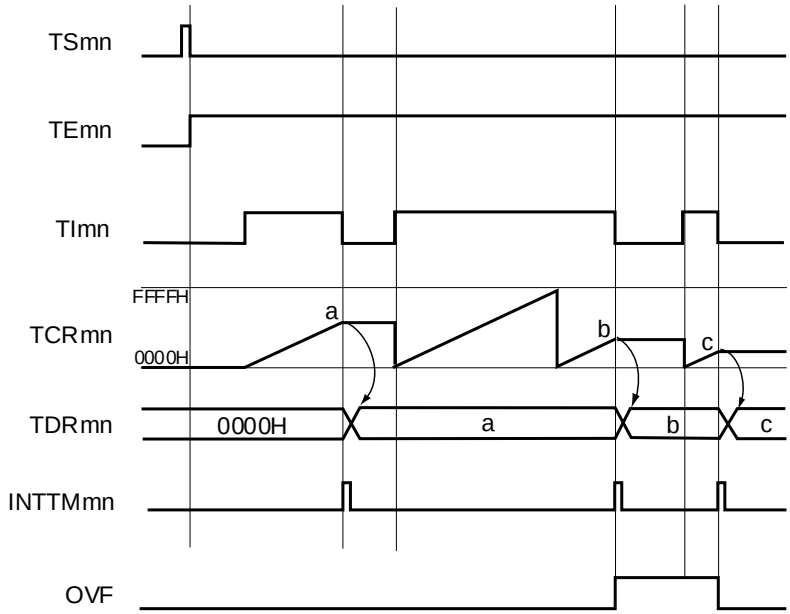
TMRmnレジスタのCISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する
TMRmnレジスタのCISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図6－55　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図




**注**　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6－56　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例




**備考1.**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

**2.**　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

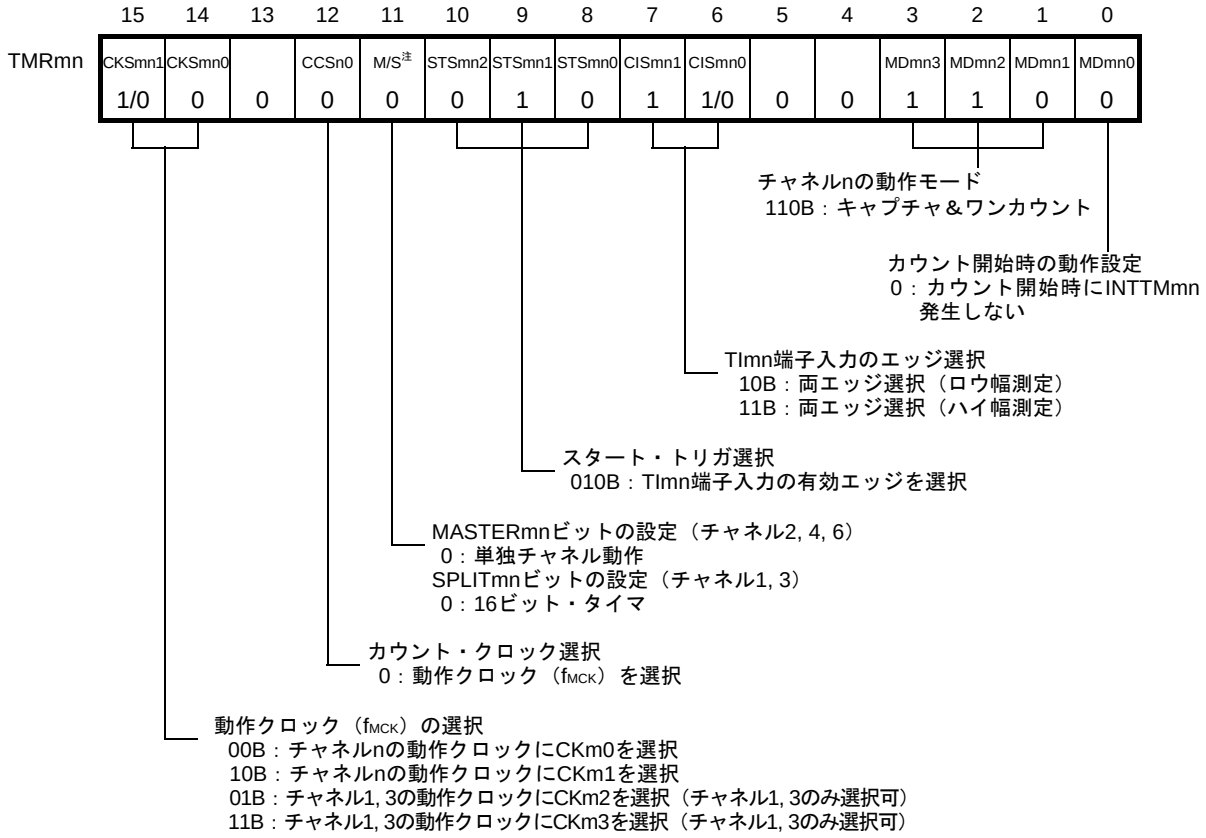
TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図6－57　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）




（b）タイマ出力レジスタm（TOm）

| | ビットn | |
|---|---|---|
| TOm | TOmn<br>0 | 0：TOmnより0を出力する |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットn | |
|---|---|---|
| TOEm | TOEmn<br>0 | 0：カウント動作によるTOmn出力動作停止 |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットn | |
|---|---|---|
| TOLm | TOLmn<br>0 | 0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定 |

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットn | |
|---|---|---|
| TOMm | TOMmn<br>0 | 0：マスタ・チャネル出力モードを設定 |

**注**　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－58　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する → | パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0-CKm3のクロック周波数を確定する | |
| チャネル初期設定 | ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する<br>タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定）<br>TOEmnビットに0を設定し，TOmnの動作を停止 | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| 動作開始 | TSmnビットに1を設定する →<br>TSmnビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 1になり，TImn端子のスタート・エッジ検出待ち状態になる |
| | TImn端子入力のカウント・スタート・エッジ検出 → | タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアし，カウント・アップ動作を開始する |
| 動作中 | TDRmnレジスタは，常に読み出し可能<br>TCRmnレジスタは，常に読み出し可能<br>TSRmnレジスタは，常に読み出し可能<br>TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止 | TImn端子のスタート・エッジ検出後，カウンタ（TCRmn）は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送し，INTTMmnを発生する。<br>このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは，次のTImn端子のスタート・エッジ検出までカウント動作を停止する。<br>以降，この動作を繰り返す。 |
| 動作停止 | TTmnビットに1を設定する →<br>TTmnビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 0になり，カウント動作停止<br>TCRmnレジスタはカウント値を保持して停止<br>TSRmnレジスタのOVFビットも保持 |
| TAU停止 | PER0レジスタのTAUmENビットに0を設定する → | パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される |

動作再開

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

### 6.8.5　ディレイ・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することができます。

また，TEmn = 1の期間中に，ソフトウエア操作でTSmn = 1に設定してダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求める事ができます。

| INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1） |
|---|

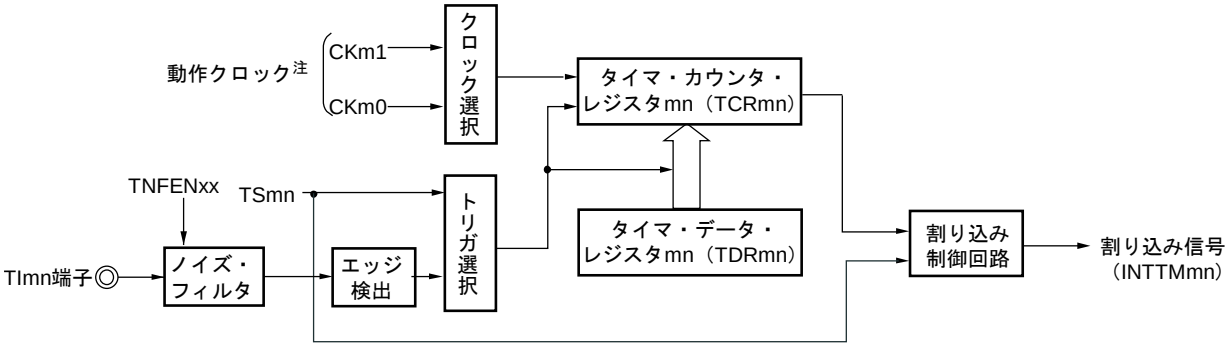
タイマ・カウンタ・レジスタmn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定すると，TEmn, TEHm1, TEHm3 = 1となりTImn端子の有効エッジ検出待ち状態となります。

TCRmnレジスタは，TImn端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら INTTMmnを出力し，次のTImn端子入力の有効エッジがあるまで，カウントを停止します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

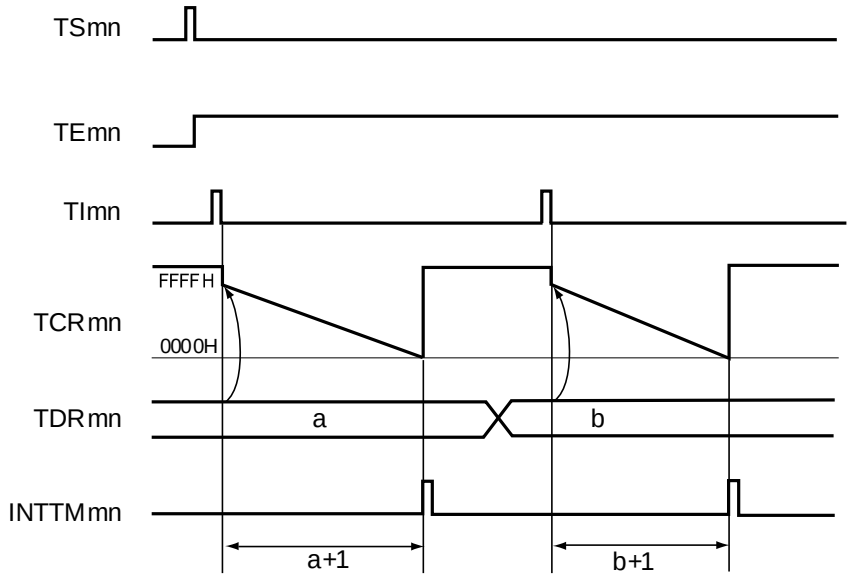
図6－59　ディレイ・カウンタとしての動作のブロック図




**注**　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－60　ディレイ・カウンタとしての動作の基本タイミング例




**備考1.**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

**2.**　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn：タイマ・データ・レジスタmn（TDRmn）

図6－61　ディレイ・カウンタ機能時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmn | CKSmn1 | CKSmn0 | | CCSmn | M/S注 | STSmn2 | STSmn1 | STSmn0 | CISmn1 | CISmn0 | | | MDmn3 | MDmn2 | MDmn1 | MDmn0 |
| | 1/0 | 1/0 | 0 | 0 | 0/1 | 0 | 0 | 1 | 1/0 | 1/0 | 0 | 0 | 1 | 0 | 0 | 1/0 |

チャネルnの動作モード
100B:ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効
1：トリガ入力は有効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（$f_{MCK}$）を選択

動作クロック（$f_{MCK}$）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

| | ビットn |
|---|---|
| TOm | TOmn |
| | 0 |

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

| | ビットn |
|---|---|
| TOEm | TOEmn |
| | 0 |

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットn |
|---|---|
| TOLm | TOLmn |
| | 0 |

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットn |
|---|---|
| TOMm | TOMmn |
| | 0 |

0：マスタ・チャネル出力モードを設定

**注**　TMRm2, TMRm4, TMRm6の場合　　：MASTERmnビット
TMRm1, TMRm3の場合　　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　　：0固定

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

図6－62　ディレイ・カウンタ機能時の操作手順

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する | → パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0-CKm3のクロック周波数を確定する | |
| チャネル初期設定 | ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する<br>タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルnの動作モード確定）<br>タイマ・データ・レジスタmn（TDRmn）に遅延時間を設定する<br>TOEmnビットに0を設定し，TOmnの動作を停止 | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| 動作開始 | TSmnビットに1を設定する<br>TSmnビットはトリガ・ビットなので，自動的に0に戻る | → TEmn = 1になり，スタート・トリガ検出（TImn端子入力の有効エッジの検出，またはTSmnビットに1を設定）待ち状態となる |
| | TImn端子入力の有効エッジ検出 | → タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。 |
| 動作中 | TDRmnレジスタは，任意に設定値変更が可能<br>TCRmnレジスタは，常に読み出し可能<br>TSRmnレジスタは，使用しない | カウンタ（TCRmn）はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し，次のTImn端子入力までTCRmn = 0000Hでカウント動作を停止する。 |
| 動作停止 | TTmnビットに1を設定する<br>TTmnビットはトリガ・ビットなので，自動的に0に戻る | → TEmn = 0になり，カウント動作停止<br>TCRmnレジスタはカウント値を保持して停止 |
| TAU停止 | PER0レジスタのTAUmENビットに0を設定する | → パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される |

動作再開 →

**備考**　m：ユニット番号（m = 0），n：チャネル番号（n = 0-7）

# 6.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能

## 6.9.1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

| |
|---|
| ディレイ ＝｛TDRmn（マスタ）の設定値＋2｝×カウント・クロック周期 |
| パルス幅 ＝｛TDRmp（スレーブ）の設定値｝×カウント・クロック周期 |

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000HとなったらINTTMmnを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

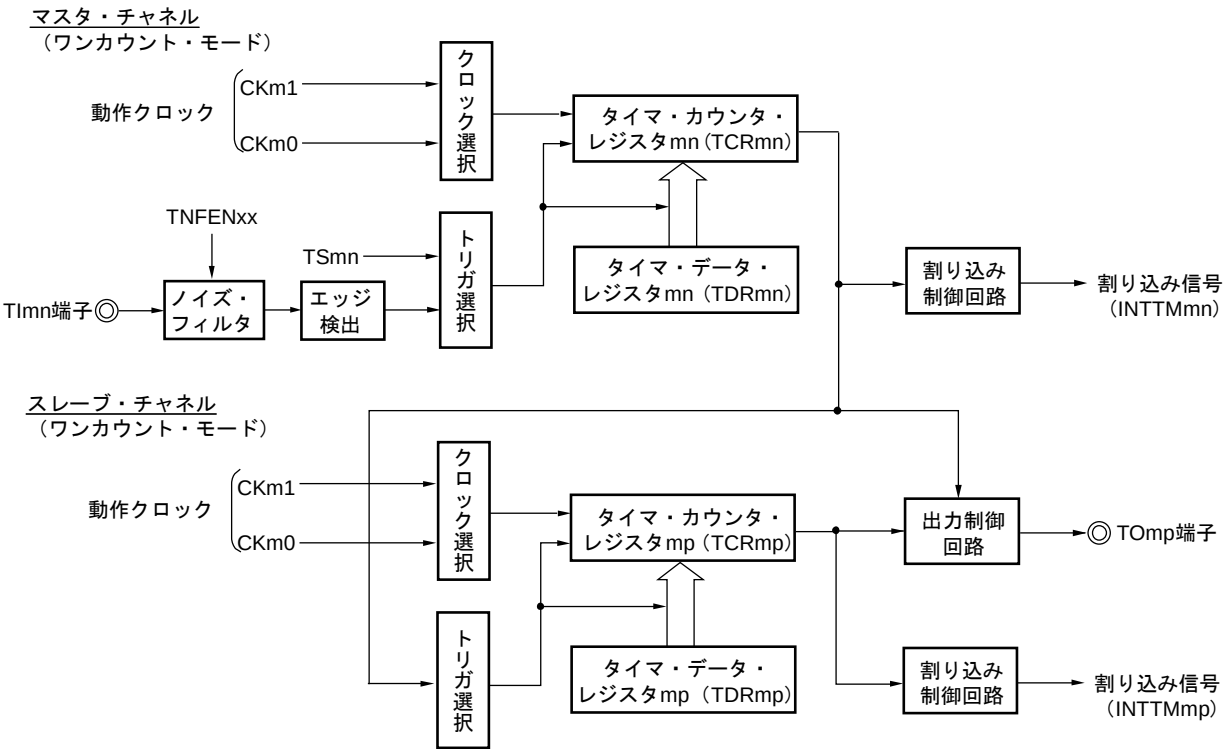
スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し，TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルのINTTMmn）検出があるまで，カウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は，TImn端子入力を使用せず，ソフトウエア操作（TSmn = 1）をスタート・トリガにすることもできます。

**注意　マスタ・チャネルのTDRmnレジスタとスレーブ・チャネルのTDRmpレジスタでは，ロード・タイミングが異なるため，カウント動作中にTDRmnレジスタ，TDRmpレジスタを書き換えると，ロード・タイミングと競合して不正波形が出力される場合があります。TDRmnレジスタはINTTMmn発生後に，TDRmpレジスタはINTTMmp発生後に書き換えてください。**

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

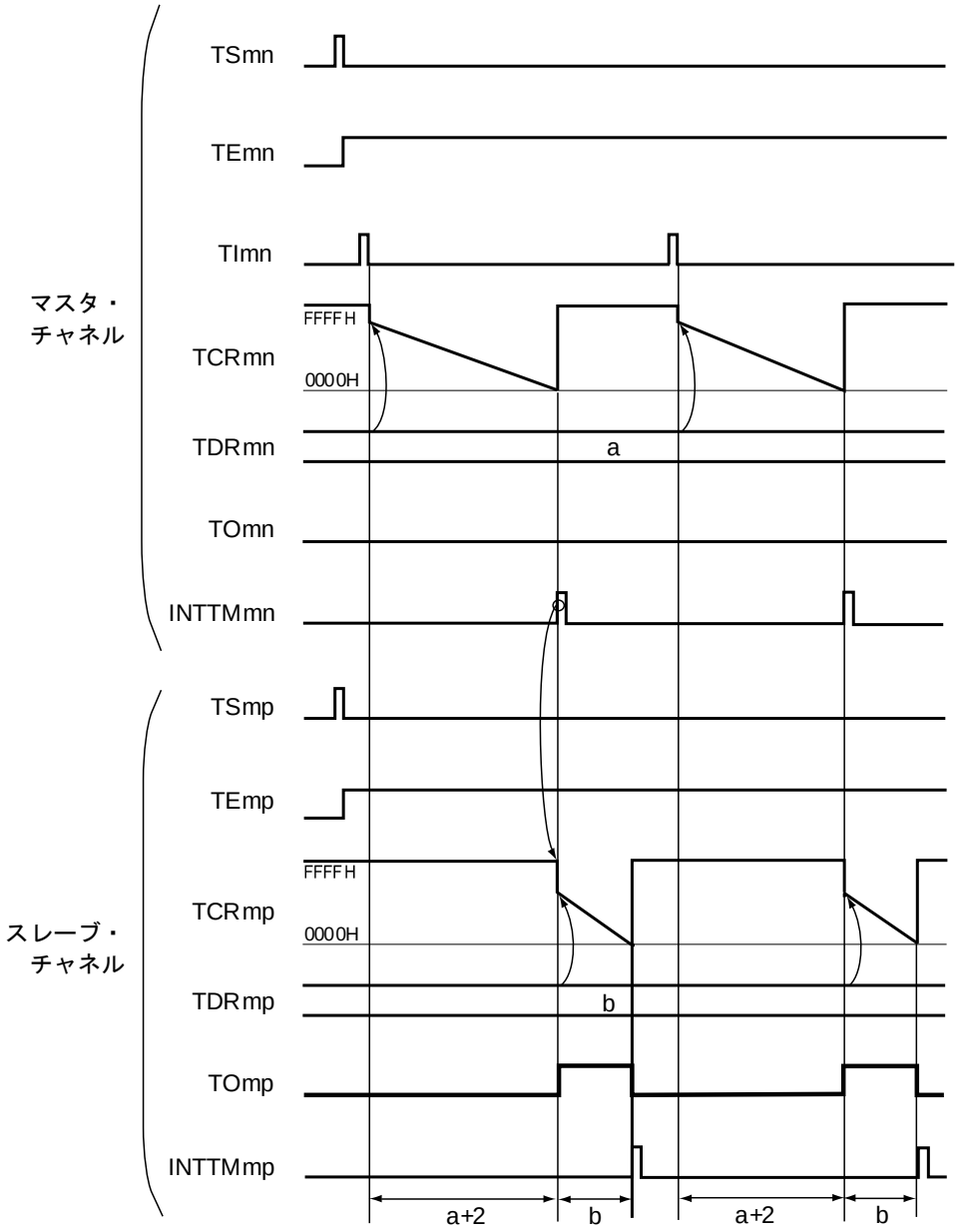
図6－63　ワンショット・パルス出力機能としての動作のブロック図




**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図6－64　ワンショット・パルス出力機能としての動作の基本タイミング例

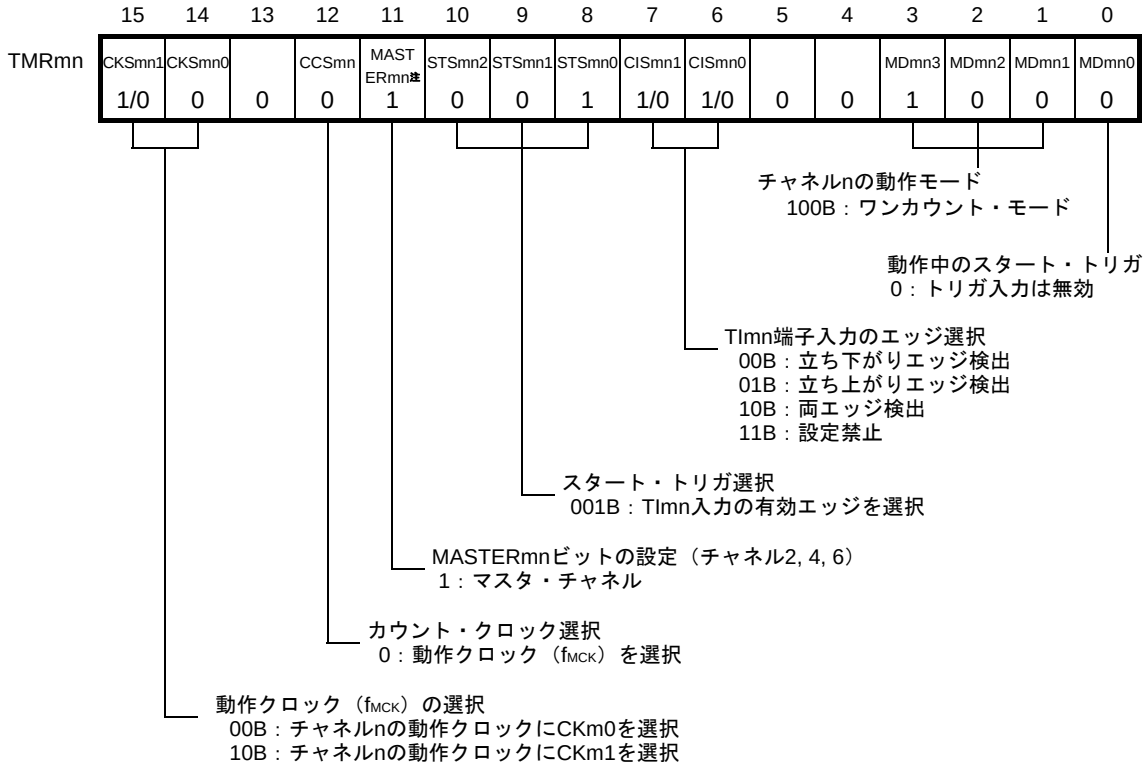



**備考1.** m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

**2.** TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p
TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p
TImn, TImp　：TImn, TImp端子入力信号
TCRmn, TCRmp：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）
TDRmn, TDRmp：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）
TOmn, TOmp　：TOmn, TOmp端子出力信号

図6－65　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）




（b）タイマ出力レジスタm（TOm）

| | ビットn | | |
|---|---|---|---|
| TOm | TOmn | 0 | 0：TOmnより0を出力する |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットn | | |
|---|---|---|---|
| TOEm | TOEmn | 0 | 0：カウント動作によるTOmn出力動作停止 |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットn | | |
|---|---|---|---|
| TOLm | TOLmn | 0 | 0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定 |

（e）タイマ出力モード・レジスタm（TOMm）

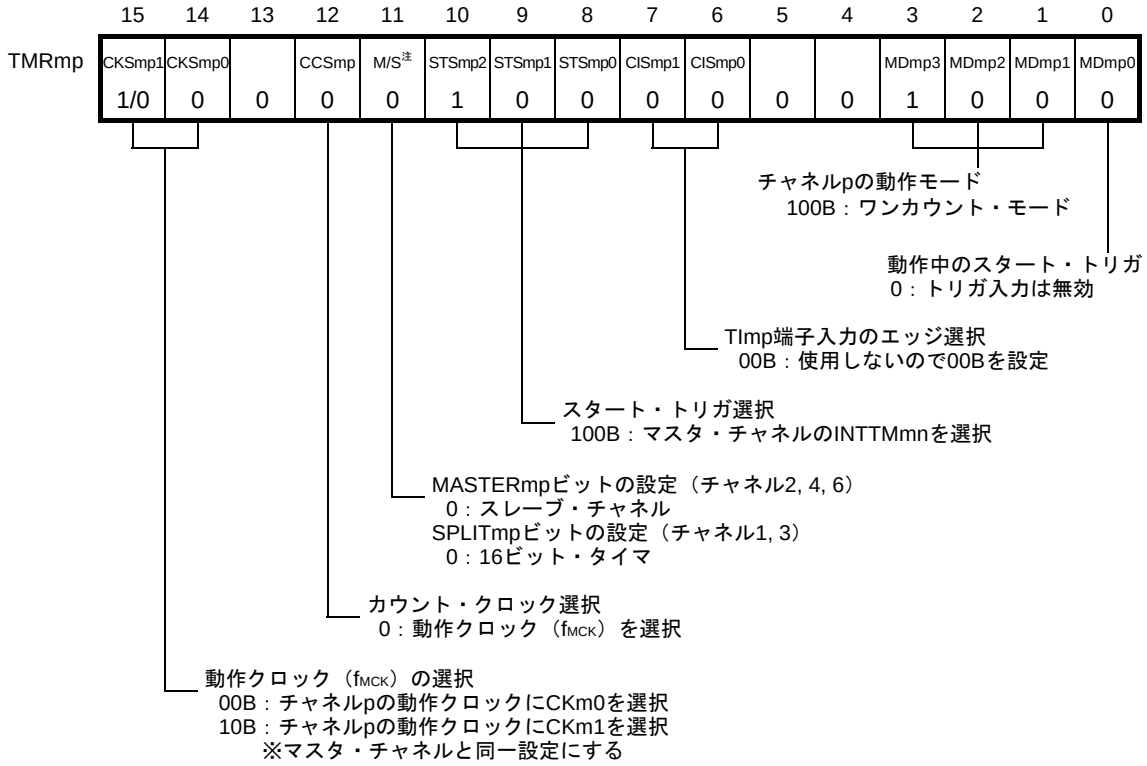
| | ビットn | | |
|---|---|---|---|
| TOMm | TOMmn | 0 | 0：マスタ・チャネル出力モードを設定 |

**注**　TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図6－66　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）




（b）タイマ出力レジスタm（TOm）

| | ビットp | | |
|---|---|---|---|
| TOm | TOmp | 0：TOmpより0を出力する | |
| | 1/0 | 1：TOmpより1を出力する | |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットp | | |
|---|---|---|---|
| TOEm | TOEmp | 0：カウント動作によるTOmp出力動作停止 | |
| | 1/0 | 1：カウント動作によるTOmp出力動作許可 | |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットp | | |
|---|---|---|---|
| TOLm | TOLmp | 0：正論理出力（アクティブ・ハイ） | |
| | 1/0 | 1：負論理出力（アクティブ・ロウ） | |

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットp | |
|---|---|---|
| TOMm | TOMmp | 1：スレーブ・チャネル出力モードを設定 |
| | 1 | |

**注**　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7　：0固定

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図6－67　ワンショット・パルス出力機能時の操作手順（1/2）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する → | パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0とCKm1のクロック周波数を確定する | |
| チャネル初期設定 | ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する<br>使用する2チャネルのタイマ・モード・レジスタmn，mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定）<br>マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）に出力遅延時間，スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| | スレーブ・チャネルの設定<br>タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する<br>TOLmpビットを設定する<br>TOmpビットを設定し，TOmp出力の初期レベルを確定する → | TOmp端子はHi-Z出力状態<br>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。 |
| | TOEmpビットに1を設定し，TOmpの動作を許可 → | チャネルは動作停止状態なので，TOmpは変化しない |
| | ポート・レジスタとポート・モード・レジスタに0を設定する → | TOmp端子はTOmp設定レベルを出力 |

（注，備考は次ページにあります。）

図6－67　ワンショット・パルス出力機能時の操作手順（2/2）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| 動作開始 | TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ）<br>タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する<br>TSmn，TSmpビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 1，TEmp = 1となり，マスタ・チャネルはスタート・トリガ検出（TImn端子入力の有効エッジの検出，または，マスタ・チャネルのTSmnビットに1を設定）待ち状態となる<br>カウンタはまだ停止状態のまま |
| | マスタ・チャネルのスタート・トリガ検出によって，マスタ・チャネルのカウント動作を開始します。<br>・TImn端子入力の有効エッジ検出<br>・ソフトウエアでマスタ・チャネルのTSmnビットに1を設定[注]<br><br>注　スレーブ・チャネルのTSmnビットには1を設定しないでください | マスタ・チャネルがカウント動作開始 |
| 動作中 | TMRmnレジスタは，CISmn1，CISmn0ビットのみ設定値変更可能<br>TMRmp，TDRmn，TDRmpレジスタ，TOMmn，TOMmp，TOLmn，TOLmpビットは，設定値変更禁止<br>TCRmn，TCRmpレジスタは，常に読み出し可能<br>TSRmn，TSRmpレジスタは，使用しない<br>スレーブ・チャネルのTOm，TOEmレジスタは，設定値変更可能 | マスタ・チャネルでは，スタート・トリガ検出（TImn端子入力の有効エッジの検出または，マスタ・チャネルのTSmnビットに1を設定）により，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら，INTTMmn出力を発生し，次のTImn端子入力までカウント動作を停止する。<br>スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。<br>以降，この動作を繰り返す。 |
| 動作停止 | TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する<br>TTmn，TTmpビットはトリガ・ビットなので，自動的に0に戻る | TEmn，TEmp = 0になり，カウント動作停止<br>TCRmn，TCRmpレジスタはカウント値を保持して停止<br>TOmp出力は初期化されず，状態保持 |
| | スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する | TOmp端子はTOmp設定レベルを出力 |
| TAU停止 | TOmp端子の出力レベルを保持する場合<br>ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する<br>TOmp端子の出力レベルを保持不要の場合<br>設定不要 | TOmp端子出力レベルはポート機能により保持される。 |
| | PER0レジスタのTAUmENビットに0を設定する | パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される<br>（TOmpビットが0になり，TOmp端子はポート機能となる） |

動作再開

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

## 6. 9. 2　PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

| |
|---|
| パルス周期 ＝｛TDRmn（マスタ）の設定値＋1｝×カウント・クロック周期 |
| デューティ [%] ＝｛TDRmp（スレーブ）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100 |
| 0 %出力　　：TDRmp（スレーブ）の設定値 ＝0000H |
| 100 %出力　：TDRmp（スレーブ）の設定値≧｛TDRmn（マスタ）の設定値＋1｝ |

**備考**　TDRmp（スレーブの設定値）＞｛TDRmn（マスタ）の設定値＋1｝の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，割り込み（INTTMmn）を出力して，タイマ・データ・レジスタmn（TDRmn）に設定した値をタイマ・カウンタ・レジスタmn（TCRmn）にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，INTTMmnを出力して，再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタm（TTm）のチャネル・ストップ・トリガ・ビット（TTmn）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTMmnをスタート・トリガとして，TDRmpレジスタからTCRmpレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTMmn）が来るまで待機します。

PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）のデューティとなります。

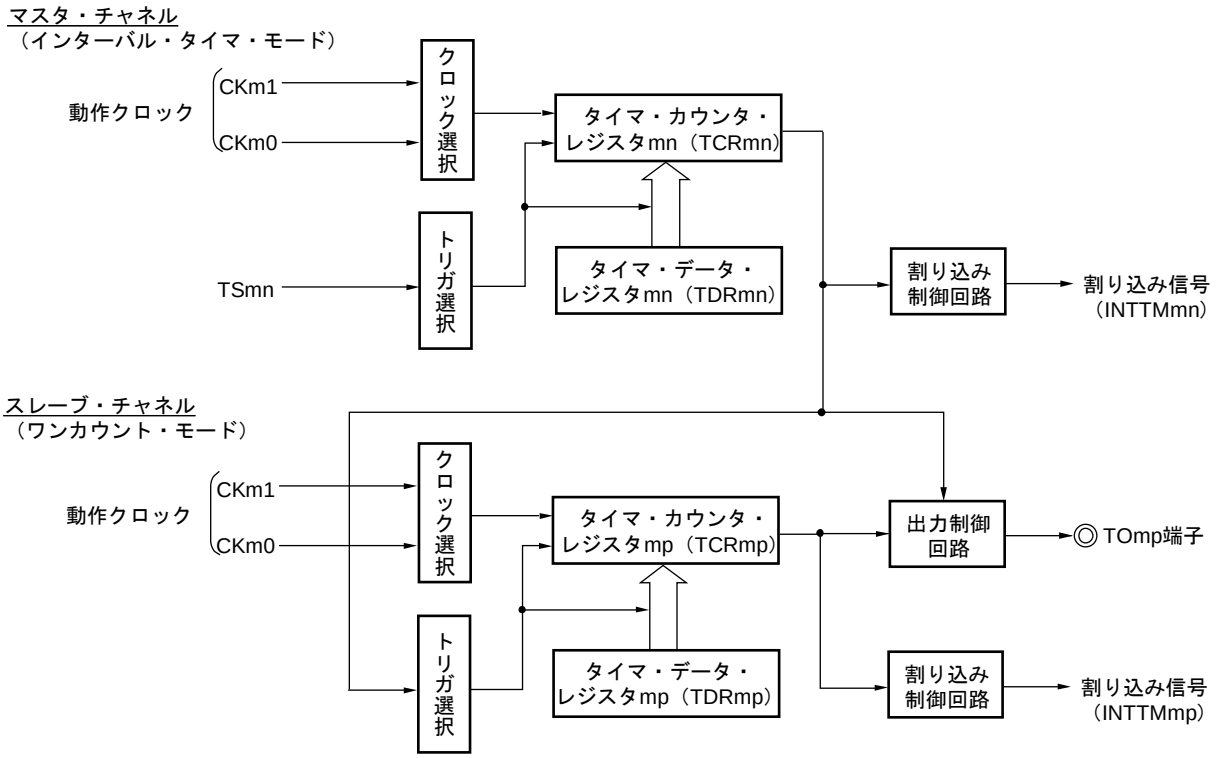
PWM出力（TOmp）は，マスタ・チャネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

**注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは，マスタ・チャネルのINTTMmn発生時となります。そのため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は期待通りの波形を出力できません。したがって，マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。**

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

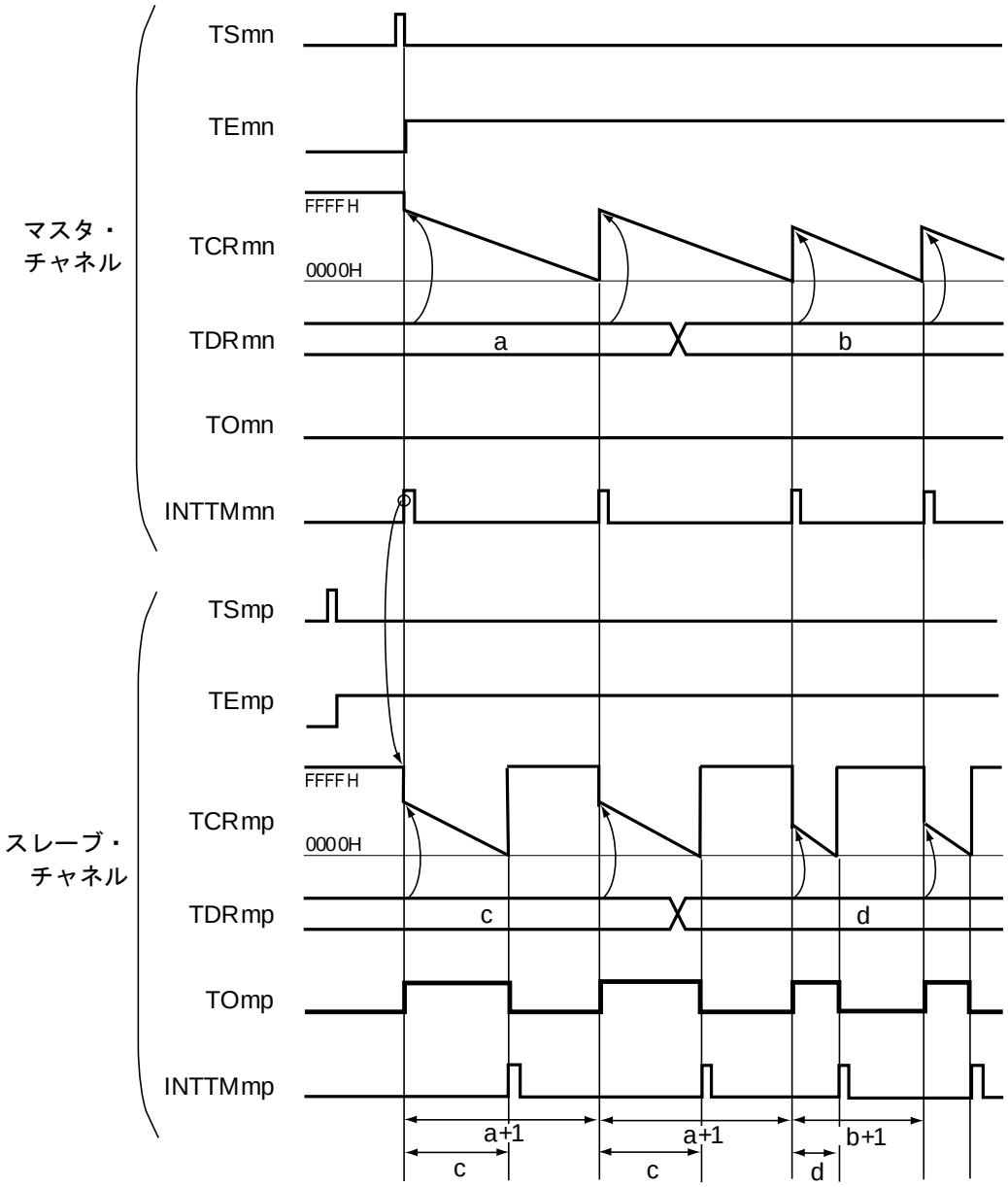
図6－68　PWM機能としての動作のブロック図




**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図6－69　PWM機能としての動作の基本タイミング例

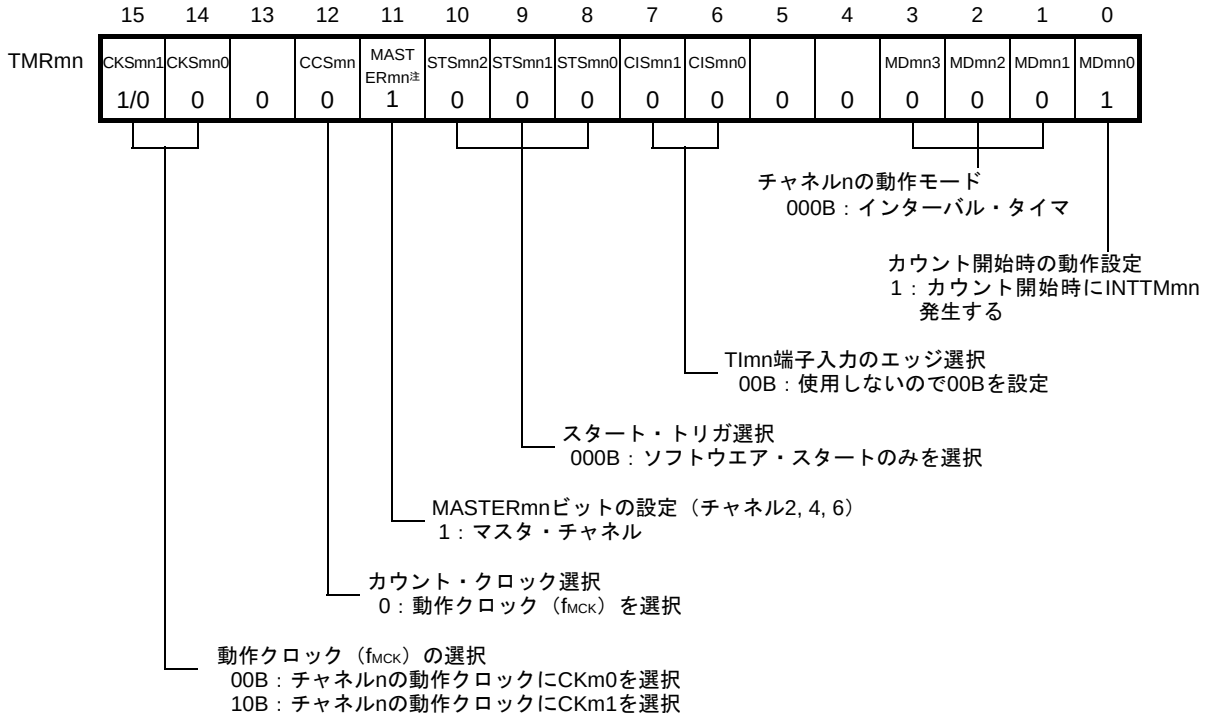



**備考1.** m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

**2.** TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p
TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）
TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）
TOmn, TOmp　：TOmn, TOmp端子出力信号

図6－70　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）




（b）タイマ出力レジスタm（TOm）

| | ビットn | |
|---|---|---|
| TOm | TOmn<br>0 | 0：TOmnより0を出力する |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットn | |
|---|---|---|
| TOEm | TOEmn<br>0 | 0：カウント動作によるTOmn出力動作停止 |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットn | |
|---|---|---|
| TOLm | TOLmn<br>0 | 0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定 |

（e）タイマ出力モード・レジスタm（TOMm）

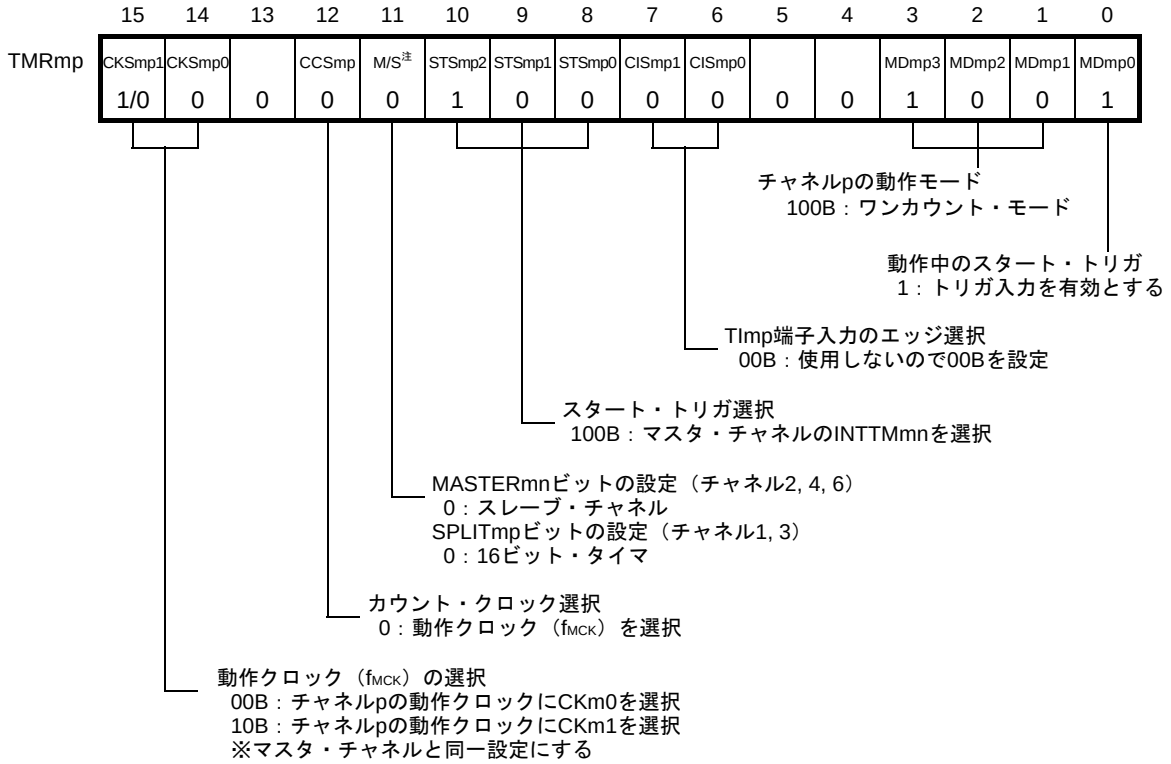
| | ビットn | |
|---|---|---|
| TOMm | TOMmn<br>0 | 0：マスタ・チャネル出力モードを設定 |

**注** TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図6－71　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）




（b）タイマ出力レジスタm（TOm）

| | ビットp | | |
|---|---|---|---|
| TOm | TOmp | 0：TOmpより0を出力 | |
| | 1/0 | 1：TOmpより1を出力 | |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットp | |
|---|---|---|
| TOEm | TOEmp | 0：カウント動作によるTOmp出力動作停止 |
| | 1/0 | 1：カウント動作によるTOmp出力動作許可 |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットp | |
|---|---|---|
| TOLm | TOLmp | 0：正論理出力（アクティブ・ハイ） |
| | 1/0 | 1：負論理出力（アクティブ・ロウ） |

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットp | |
|---|---|---|
| TOMm | TOMmp | 1：スレーブ・チャネル出力モードを設定 |
| | 1 | |

**注**　TMRm2, TMRm4, TMRm6の場合：MASTERmnビット
TMRm1, TMRm3の場合：SPLITmpビット
TMRm5, TMRm7：0固定

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図6－72　PWM機能時の操作手順（1/2）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する → | パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0とCKm1のクロック周波数を確定する | |
| チャネル初期設定 | 使用する2チャネルのタイマ・モード・レジスタmn，mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定）<br>マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| | スレーブ・チャネルの設定<br>タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する<br>TOLmpビットを設定する<br>TOmpビットを設定し，TOmp出力の初期レベルを確定する → | TOmp端子はHi-Z出力状態<br>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。 |
| | TOEmpビットに1を設定し，TOmpの動作を許可 →<br>ポート・レジスタとポート・モード・レジスタに0を設定する → | チャネルは動作停止状態なので，TOmpは変化しない<br>TOmp端子はTOmp設定レベルを出力 |

（注，備考は次ページにあります。）

図6－72　PWM機能時の操作手順（2/2）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| 動作開始 | TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ）<br>タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する<br>TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る | TEmn = 1, TEmp = 1となる<br>マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。 |
| 動作中 | TMRmn，TMRmpレジスタ，TOMmn，TOMmp，TOLmn，TOLmpビットは，設定値変更禁止<br>TDRmn，TDRmpレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能<br>TCRmn, TCRmpレジスタは，常に読み出し可能<br>TSRmn, TSRmpレジスタは，使用しない | マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。<br>スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。<br>以降，この動作を繰り返す。 |
| 動作停止 | TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する<br>TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る | TEmn, TEmp = 0になり，カウント動作停止<br>TCRmn, TCRmpレジスタはカウント値を保持して停止<br>TOmp出力は初期化されず，状態保持 |
| | スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する | TOmp端子はTOmp設定レベルを出力 |
| TAU停止 | TOmp端子の出力レベルを保持する場合<br>ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する<br>TOmp端子の出力レベルを保持不要の場合<br>設定不要 | TOmp端子出力レベルはポート機能により保持される。 |
| | PER0レジスタのTAUmENビットに0を設定する | パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される（TOmpビットが0になり，TOmp端子はポート機能となる） |

動作再開

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

### 6.9.3　多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 ＝｛TDRmn（マスタ）の設定値＋1｝×カウント・クロック周期
デューティ1 [%] ＝｛TDRmp（スレーブ1）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100
デューティ2 [%] ＝｛TDRmq（スレーブ2）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100

**備考**　TDRmp（スレーブ1）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合
または TDRmq（スレーブ2）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合は，
デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTCRmpレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOmp端子よりPWM波形を出力します。TCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして， タイマ・データ・レジスタmp（TDRmp）の値をロードし，ダウン・カウントを行います。TCRmp = 0000Hとなったら，INTTMmpを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

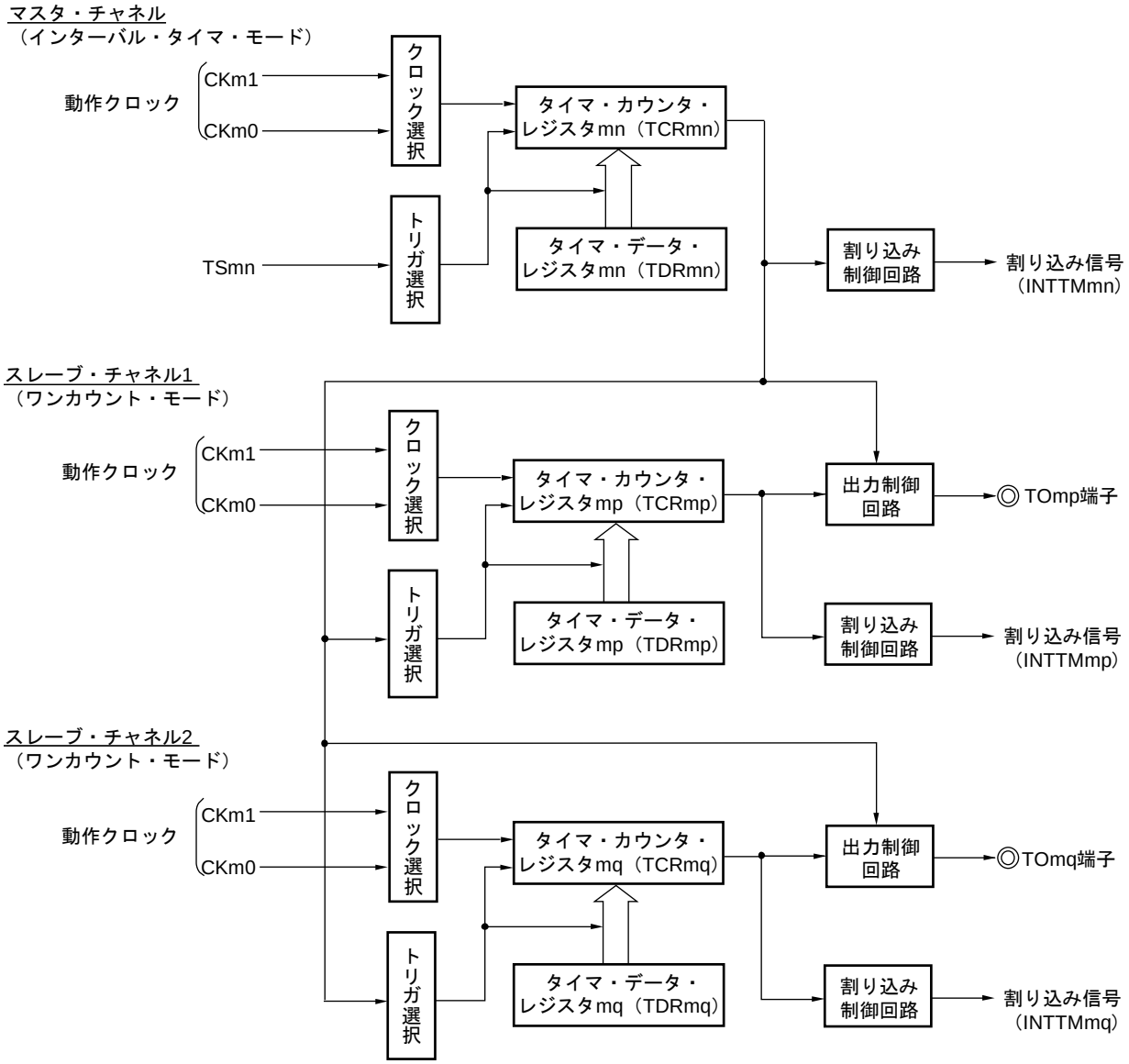
スレーブ・チャネル2のTCRmqレジスタも，スレーブ・チャネル1のTCRmpレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOmq端子よりPWM波形を出力します。TCRmqレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして，TDRmqレジスタの値をロードし，ダウン・カウントを行います。TCRmq = 0000Hとなったら，INTTMmqを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmqの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大7種のPWMを同時に出力できます。

**注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネル1のTDRmpレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは，マスタ・チャネルのINTTMmn発生後となるため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は，期待通りの波形を出力できません。したがって，TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル2のTDRmqレジスタの場合も同様です。）**

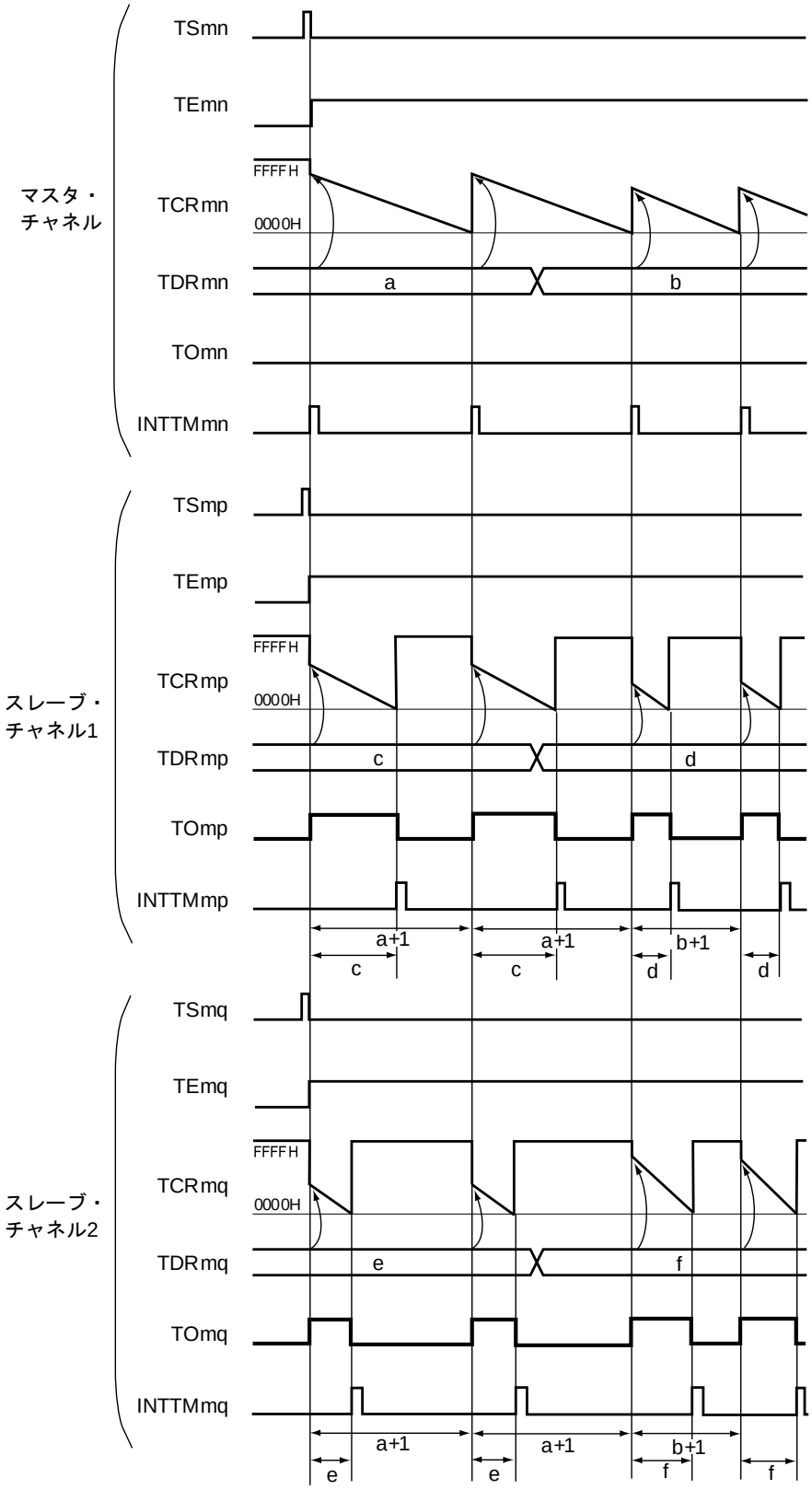
**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図6－73　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）




**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図6－74　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



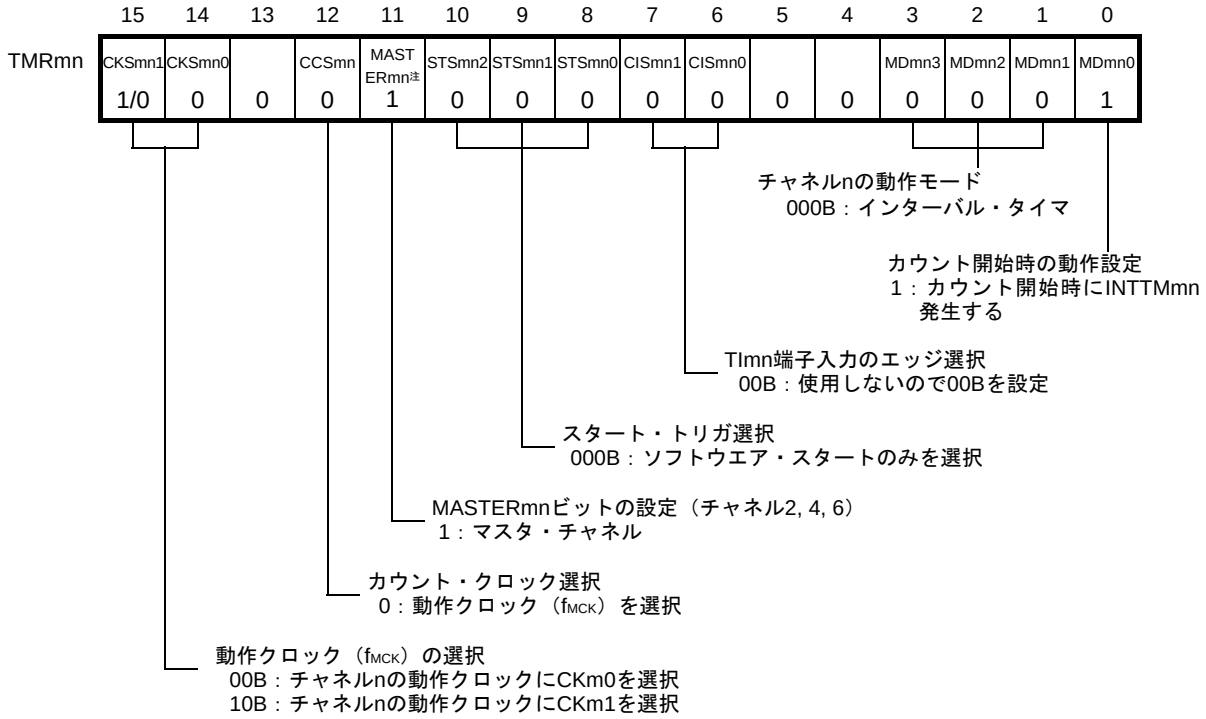

（備考は次ページにあります。）

**備考1.** m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

**2.** TSmn, TSmp, TSmq　：タイマ・チャネル開始レジスタm（TSm）のビットn, p, q
TEmn, TEmp, TEmq　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p, q
TCRmn, TCRmp, TCRmq　：タイマ・カウンタ・レジスタmn, mp, mq（TCRmn, TCRmp, TCRmq）
TDRmn, TDRmp, TDRmq　：タイマ・データ・レジスタmn, mp, mq（TDRmn, TDRmp, TDRmq）
TOmn, TOmp, TOmq　：TOmn, TOmp, TOmq端子出力信号

図6－75　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）




（b）タイマ出力レジスタm（TOm）

| | ビットn | |
|---|---|---|
| TOm | TOmn<br>0 | 0：TOmnより0を出力する |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットn | |
|---|---|---|
| TOEm | TOEmn<br>0 | 0：カウント動作によるTOmn出力動作停止 |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットn | |
|---|---|---|
| TOLm | TOLmn<br>0 | 0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定 |

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットn | |
|---|---|---|
| TOMm | TOMmn<br>0 | 0：マスタ・チャネル出力モードを設定 |

**注** TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）

図6－76　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

（a）タイマ・モード・レジスタmp, mq（TMRmp, TMRmq）

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TMRmp | CKSmp1 | CKSmp0 | | CCSmp | M/S注 | STSmp2 | STSmp1 | STSmp0 | CISmp1 | CISmp0 | | | MDmp3 | MDmp2 | MDmp1 | MDmp0 |
| | 1/0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| TMRmq | CKSmq1 | CKSmq0 | | CCSmq | M/S注 | STSmq2 | STSmq1 | STSmq0 | CISmq1 | CISmq0 | | | MDmq3 | MDmq2 | MDmq1 | MDmq0 |
| | 1/0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |

チャネルp, qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp, TImq端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmp, MASTERmqビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmp, SPLITmqビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（$f_{MCK}$）を選択

動作クロック（$f_{MCK}$）の選択
00B：チャネルp, qの動作クロックにCKm0を選択
10B：チャネルp, qの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタm（TOm）

| | ビットq | ビットp | |
|---|---|---|---|
| TOm | TOmq | TOmp | 0：TOmp, TOmqより0を出力する<br>1：TOmp, TOmqより1を出力する |
| | 1/0 | 1/0 | |

（c）タイマ出力許可レジスタm（TOEm）

| | ビットq | ビットp | |
|---|---|---|---|
| TOEm | TOEmq | TOEmp | 0：カウント動作によるTOmp, TOmq出力動作停止<br>1：カウント動作によるTOmp, TOmq出力動作許可 |
| | 1/0 | 1/0 | |

（d）タイマ出力レベル・レジスタm（TOLm）

| | ビットq | ビットp | |
|---|---|---|---|
| TOLm | TOLmq | TOLmp | 0：正論理出力（アクティブ・ハイ）<br>1：負論理出力（アクティブ・ロウ） |
| | 1/0 | 1/0 | |

（e）タイマ出力モード・レジスタm（TOMm）

| | ビットq | ビットp | |
|---|---|---|---|
| TOMm | TOMmq | TOMmp | 1：スレーブ・チャネル出力モードを設定 |
| | 1 | 1 | |

**注**　TMRm2, TMRm4, TMRm6の場合　：MASTERmp, MASTERmqビット
TMRm1, TMRm3の場合　：SPLITmp, SPLITmqビット
TMRm5, TMRm7の場合　：0固定

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図6－77　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| TAU初期設定 | | パワーオフ状態<br>（クロック供給停止，各レジスタへの書き込み不可） |
| | 周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する | パワーオン状態，各チャネルは動作停止状態<br>（クロック供給開始，各レジスタへの書き込み可能） |
| | タイマ・クロック選択レジスタm（TPSm）を設定する<br>CKm0とCKm1のクロック周波数を確定する | |
| チャネル初期設定 | 使用する各チャネルのタイマ・モード・レジスタmn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定）<br>マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmp，TDRmqレジスタにデューティ値を設定する | チャネルは動作停止状態<br>（クロック供給されており，多少の電力を消費する） |
| | スレーブ・チャネルの設定<br>タイマ出力モード・レジスタm（TOMm）のTOMmp, TOMmqビットに1（スレーブ・チャネル出力モード）を設定する | TOmp, TOmq端子はHi-Z出力状態 |
| | TOLmp, TOLmqビットを設定する | |
| | TOmp, TOmqビットを設定し，TOmp, TOmq出力の初期レベルを確定する | ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp, TOmq初期設定レベルが出力される。 |
| | TOEmp, TOEmqビットに1を設定し，TOmp, TOmqの動作を許可 | チャネルは動作停止状態なので，TOmp, TOmqは変化しない |
| | ポート・レジスタとポート・モード・レジスタに0を設定する | TOmp, TOmq端子はTOmp, TOmq設定レベルを出力 |
| 動作開始 | （動作再開時のみTOEmp, TOEmq（スレーブ）ビットに1を設定する）<br>タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp，TSmq（スレーブ）ビットに同時に1を設定する | TEmn = 1, TEmp, TEmq = 1となる<br>マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。 |
| | TSmn, TSmp, TSmqビットはトリガ・ビットなので，自動的に0に戻る | |

（備考は次ページにあります。）

動作再開（次ページへ）

図6－77　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開（前ページへ）

| | ソフトウエア操作 | ハードウエアの状態 |
|---|---|---|
| 動作中 | TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは，設定値変更禁止<br>TDRmn, TDRmp, TDRmqレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能<br>TCRmn, TCRmp, TCRmqレジスタは，常に読み出し可能<br>TSRmn, TSRmp, TSRmqレジスタは，使用しない | マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。<br>スレーブ・チャネル1では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmpレジスタ値をTCRmpレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。<br>スレーブ・チャネル2では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmqレジスタ値をTCRmqレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmq出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。 |
| 動作停止 | TTmn（マスタ），TTmp，TTmq（スレーブ）ビットに同時に1を設定する<br>TTmn, TTmp, TTmqビットはトリガ・ビットなので，自動的に0に戻る | TEmn, TEmp, TEmq = 0になり，カウント動作停止<br>TCRmn，TCRmp，TCRmqレジスタはカウント値を保持して停止<br>TOmp, TOmq出力は初期化されず，状態保持 |
| | スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し，TOmp, TOmqビットに値を設定する | TOmp, TOmq端子はTOmp, TOmq設定レベルを出力 |
| TAU停止 | TOmp, TOmq端子の出力レベルを保持する場合<br>ポート・レジスタに保持したい値を設定後，TOmp, TOmqビットに0を設定する<br>TOmp, TOmq端子の出力レベルを保持不要の場合<br>設定不要 | TOmp，TOmq端子出力レベルはポート機能により保持される。 |
| | PER0レジスタのTAUmENビットに0を設定する | パワーオフ状態<br>全回路が初期化され，各チャネルのSFRも初期化される（TOmp, TOmqビットが0になり，TOmp, TOmq端子はポート機能となる） |

**備考**　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の連続した整数）

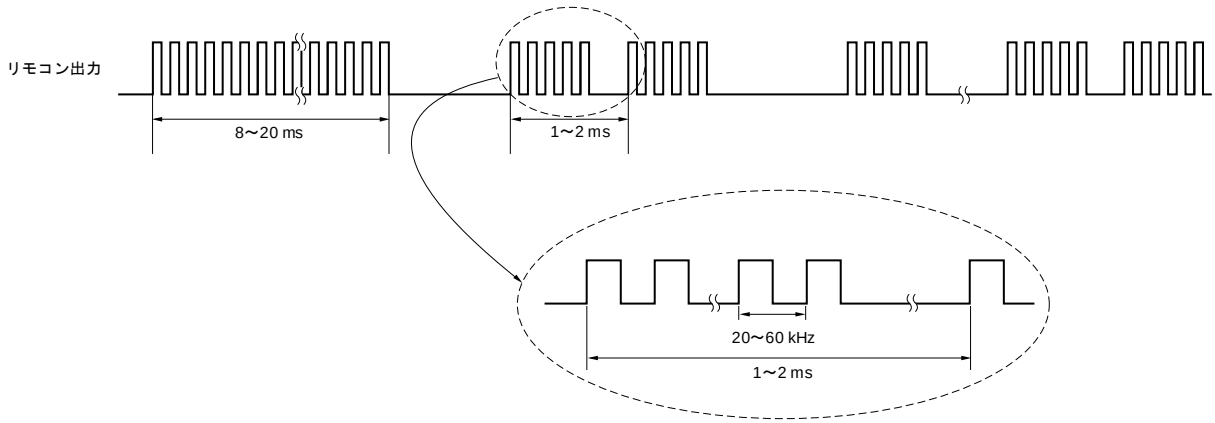
## 6. 9. 4　リモコン出力機能

リモコン出力機能は，PWM出力機能を応用した機能です。

チャネル2, 3，チャネル4, 5のセットでPWM出力機能を使用します（各チャネルの設定方法は，**6. 9. 2　PWM機能としての動作**を参照）。チャネル3からのPWM出力信号をマスク波形，チャネル5からのPWM出力信号をキャリア波形とし，これらの信号の論理積をリモコン出力として出力します。

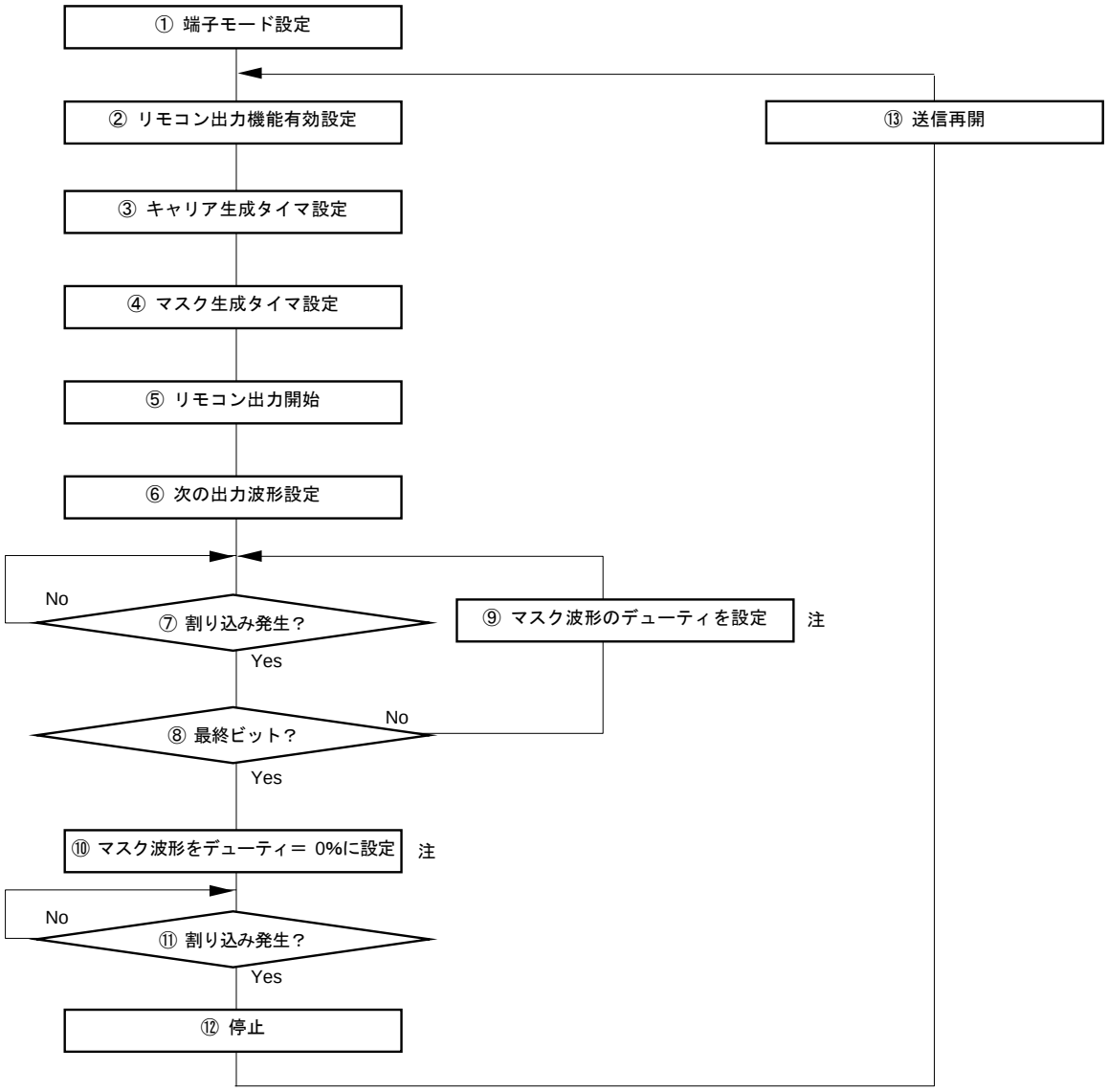
リモコン出力のハイ・レベル幅出力部分は，20～60 kHZ程度のキャリア信号で構成されています。

図6－78　リモコン出力




リモコン出力設定手順を図6－78に示します。

図6－79　リモコン出力機能設定手順（1/2）




① 端子モード設定

PFSEG2レジスタのPFSEG20ビット ＝0，PM3レジスタのPM30ビット ＝0，

PU3レジスタのPU30ビット ＝0，P3レジスタのP30ビット ＝0

② タイマ出力選択レジスタ（TOS）のTOS0ビットを1に設定

③ チャネル4（マスタ），チャネル5（スレーブ）のPWM機能でキャリア波形を設定

TDR04レジスタ値 ＝ キャリア波形の周期－1

TDR05レジスタ値 ＝ キャリア波形のハイ・レベル幅

④ チャネル2（マスタ），チャネル3（スレーブ）のPWM機能でマスク波形を生成

マスク波形の周期とハイ・レベル幅の設定（ヘッダコード）

TDR02レジスタ値 ＝ マスク波形の周期－1

TDR03レジスタ値 ＝ マスク波形のハイ・レベル幅

⑤ 出力動作開始

タイマ・チャネル開始レジスタ0（TS0）のTS02, TS03, TS04, TS05ビットを同時に1に設定する

図6－79　リモコン出力機能設定手順（2/2）

⑥ 次の出力波形を設定する。

TDR02レジスタ値 = マスク波形の周期－1

TDR03レジスタ値 = マスク波形のハイ・レベル幅

⑦ マスク波形の立ち上がりタイミングで発生する割り込み信号（INTTM02）を待つ

⑧ リモコン送信波形の最終コード・ビットであれば出力停止の処理⑩へ

最終コード・ビットでない場合は，⑨にて次のマスク波形の設定を行い，最終コード・ビットまで⑦～⑨を繰り返す

【連続送信】

⑨ 周期とデューティを設定（周期：TDR02，ハイ・レベル幅：TDR03）

【停止手順】

⑩ マスク波形のデューティを0%に設定（TDR03を0000Hに設定）

⑪ マスク波形の立ち上がりタイミングで発生する割り込み信号（INTTM02）を待つ

⑫ タイマ動作を停止

タイマ・チャネル停止レジスタ0（TT0）のTT02, TT03, TT04, TT05ビットに同時に1を設定後，

タイマ出力許可レジスタ0（TOE0）のTOE02, TOE03, TOE04, TOE05ビットに0を設定し，

最後にタイマ出力レジスタ0（TO0）のTO02, TO03, TO04, TO05ビットに0を設定する

【再開手順】

⑬ 送信を再開する場合は，TOE03, TOE05ビットに1を設定し，②から設定を繰り返す

（上書き設定は不要）

**注**　設定値はマスク波形の立ち上がりにて反映されます。

マスク波形の周期とハイ・レベル幅の設定は，キャリア周期の整数倍のみ指定可能です。

**注意1.　③～⑪の期間に，TAUへのクロック供給を停止（STOP命令など）すること，TDR02とTDR03以外の設定値の変更は禁止です。**

**2.　③～⑪の期間は，通常動作またはHALTモードで使用してください。**

**3.　チャネル2, 3, 4, 5には，同一の動作クロックを選択してください。**

**4.　リモコン出力を停止する場合は，必ず手順⑩～⑫を行ってください。**

**異なる手順で停止した場合，次に示すエラーが発生する可能性があります。**

**・キャリア周波数の周期以外の波形を出力する**

**・動作停止後に，ハイ・レベル出力に固定される**

**5.　リモコン出力の場合，チャネル2, 3, 4, 5は必ずPWM出力モードにしてください。**

# 6. 10　タイマ・アレイ・ユニット使用時の注意事項

## 6. 10. 1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには，他方の兼用機能の出力を初期状態にする必要があります。

（1）80ピン製品

（a）TO00-TO07出力を使用する場合

ポート・モード・レジスタ（PMxxビット）およびポート・レジスタ（Pxxビット）に0を設定するだけでなく，LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）の対応するビットを必ず“0”に設定してください。詳細は，**表4－6　端子機能使用時のレジスタ，出力ラッチの設定例**を参照してください。

（b）P42に割り当てられたTO05出力を使用する場合（PIOR2 = 1のとき）

ポート・モード・レジスタ（PM42ビット）およびポート・レジスタ（P42ビット）に0を設定するだけでなく，兼用になっているSO10/TxD1出力を1にするために，シリアル・チャネル許可ステータス・レジスタ0（SE0），シリアル出力レジスタ0（SO0），シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定にしてください。

（2）64ピン製品

（a）TO00-TO05, TO07出力を使用する場合

ポート・モード・レジスタ（PMxxビット）およびポート・レジスタ（Pxxビット）に0を設定するだけでなく，LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）の対応するビットを必ず“0”に設定してください。詳細は，**表4－6　端子機能使用時のレジスタ，出力ラッチの設定例**を参照してください。

（b）P42に割り当てられたTO05出力を使用する場合（PIOR2 = 1のとき）

ポート・モード・レジスタ（PM42ビット）およびポート・レジスタ（P42ビット）に0を設定するだけでなく,兼用になっているSO10/TxD1出力を1にするために，シリアル・チャネル許可ステータス・レジスタ0（SE0），シリアル出力レジスタ0（SO0），シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定にしてください。

（c）P125に割り当てられたTO06出力を使用する場合

ポート・モード・レジスタ（PM125ビット）およびポート・レジスタ（P125ビット）に0を設定するだけでなく，LCD入力切り換え制御レジスタ（ISCLCD）のISCVL3ビットを必ず“1”に設定してください。詳細は，**表4－6　端子機能使用時のレジスタ，出力ラッチの設定例**を参照してください。

# 第7章　16ビット・タイマKB20

16ビット・タイマKB20は電源，照明，IHクッカー制御に適したPWM出力を生成可能なタイマです。さらにRL78/L13に搭載する16ビット・タイマKB20(IH)には，IH用PWM出力機能があります。

| | 80ピン | 64ピン |
|---|---|---|
| 16ビット・タイマKB20(IH) | ○ | ○ |

**注意 1.　この章では，以降の主な説明を80ピン製品の場合で説明しています。**

**2　本マニュアル中，RL78/L13に搭載する16ビット・タイマKB20(IH)を16ビット・タイマKB20と表記する場合があります。**

## 7.1　16ビット・タイマKB20の機能

16ビット・タイマKB20は，2つの出力（1つの出力は3端子から選択可能）を持つPWM出力専用のタイマで，次のような機能があります。

（1）PWM出力

・タイマ動作中に任意のデューティおよび周期に変更可能なPWMを出力します。

・タイマ出力レベル（ハイ・レベルまたはロウ・レベル）のデフォルトを設定することができます。

（2）タイマ・リスタート機能

トリガ要因（カウンタリスタートトリガ要因0～2またはIH-PWM出力／リスタート要求信号）の発生により，CPUを介さずにタイマ出力をリスタートすることができます。

（3）強制出力停止機能1（コンパレータ, INTPと連動）

トリガ要因（コンパレータ0, 1, INTP0, INTP1）の発生により，CPUを介さずにタイマ出力をハイ・インピーダンス，ハイ／ロウ・レベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により，停止機能は解除されます。

（4）強制出力停止機能2（コンパレータ，INTPと連動）

トリガ要因（コンパレータ0, 1, INTP0, INTP1, INTP2）の発生により，CPUを介さずにタイマ出力をハイ／ロウ・レベル固定状態にすることができます。次のカウンタの周期開始，またはトリガ要因の消滅により，CPUを介さず停止機能は解除されます。

（5）ディザリング機能

16周期毎に設定デューティ＋1の波形を0～15回の範囲で出力させることができます。

（6）ソフト・スタート機能

PWM出力スタート後に設定デューティまで自動的にデューティを増加させるソフト・スタートが実現できます。

初期デューティおよびデューティ＋1増加周期を設定可能です。

（7）最大周波数設定機能

タイマ・リスタート機能時に，設定周期までリスタートを保留することができます。

（8）インターリーブ機能

タイマ・リスタート機能時に，外部要因により2つの出力を自動で交互にリスタート出力することができます。臨界導通モードのインターリーブPFC制御が実現可能です。

**備考**　臨界導通モードとは，インダクタ電流がゼロになることを検出してスイッチングFETをオンにするPFC制御の方式です。

## 7. 2　16ビット・タイマKB20の構成

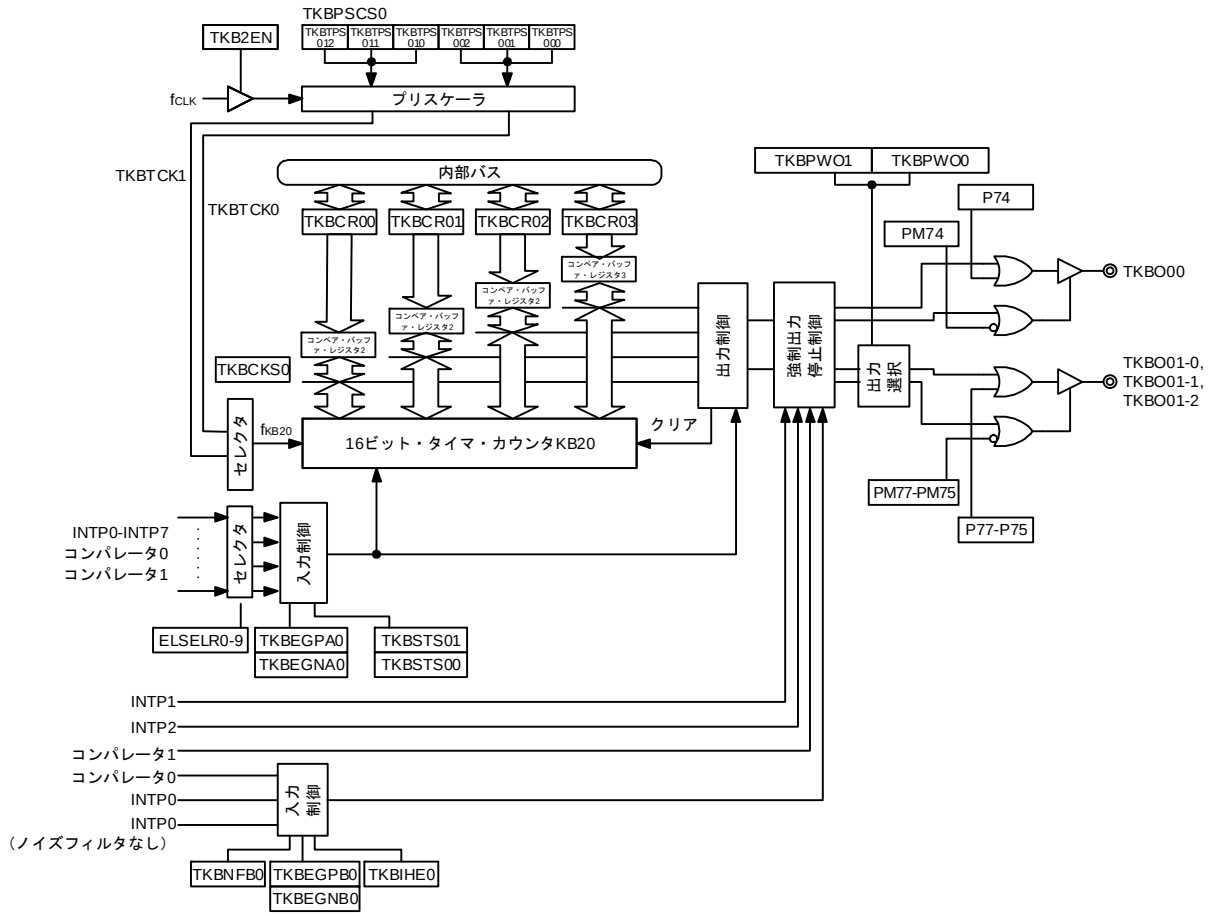
16ビット・タイマKB20は，次のハードウエアで構成されています。

表7－1　16ビット・タイマKB20の構成

| 項　　目 | 構　　成 |
|---|---|
| タイマ／カウンタ | 16ビット・タイマ・カウンタKB20（TKBCNT0） |
| レジスタ | 16ビット・タイマKB2コンペア・レジスタ00-03（TKBCR00-TKBCR03） |
| タイマ出力 | TKBO00, TKBO01-0, TKBO01-1, TKBO01-2 |
| 制御レジスタ | 周辺イネーブル・レジスタ1（PER1）<br>タイマ・クロック選択レジスタ（TKBPSCS0）<br>16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）<br>16ビット・タイマKB2動作制御レジスタ01（TKBCTL01）<br>16ビット・タイマKB2出力制御レジスタ00（TKBIOC00）<br>16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）<br>16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0）<br>16ビット・タイマKB2トリガ・レジスタ0（TKBTRG0）<br>16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0（TKBCLR0）<br>16ビット・タイマKB2ディザリング数レジスタ00, 01（TKBDNR00, TKBDNR01）<br>16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ00（TKBCRLD00）<br>16ビット・タイマKB2コンペア3L＆ディザリング数レジスタ01（TKBCRLD01）<br>16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00, 01（TKBSIR00, TKBSIR01）<br>16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00, 01（TKBSSR00, TKBSSR01）<br>16ビット・タイマKB2最大周波数リミット設定レジスタ0（TKBMFR0）<br>16ビット・タイマKB2カウンタリスタート選択レジスタ（ELSELRn）<br>16ビット・タイマKB2出力切り替えレジスタ（PWCTKB）<br>強制出力停止機能制御レジスタ0（TKBPACTL00）<br>強制出力停止機能制御レジスタ1（TKBPACTL01）<br>強制出力停止機能制御レジスタ2（TKBPACTL02）<br>強制出力停止機能フラグ・レジスタ（TKBPAFLG0）<br>強制出力停止機能1開始レジスタ（TKBPAHFS0）<br>強制出力停止機能1停止レジスタ（TKBPAHFT0）<br>ポート・モード・レジスタ7（PM7）<br>ポート・レジスタ7（P7） |

図7－1にブロック図を示します。

図7－1　16ビット・タイマKB20のブロック図




**備考**　$f_{KB20}$：16ビット・タイマKB20のカウント・クロック

### 7. 2. 1　16ビット・タイマKB2コンペア・レジスタ00-03（TKBCR00-TKBCR03）

TKBCR0mは，タイマ・カウント中（TKBCE0 = 1）にリフレッシュ（同値書き込み）および値の書き換えが可能です。タイマ動作中にTKBCR0mの値を書き換える場合，その値はラッチされ，下記のタイミングでTKBCR0mに転送され，TKBCR0mの値が変更されます。

・カウンタのカウント動作開始時（TKBCE0 = 0）

・一斉書き換えのトリガ発生時（TKBRDT0 = 1または外部トリガ（TKBTSE0 = 1のとき））

TKBCR0mレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－2　16ビット・タイマKB2コンペア・レジスタ00-03（TKBCR00-TKBCR03）のフォーマット

アドレス：F0500H (TKBCR00) , F0502H (TKBCR01) , F0504H (TKBCR02) , F0506H (TKBCR03)

リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TKBCRnm | | | | | | | | | | | | | | | | |

**備考**　m = 0-3

## 7. 3　16ビット・タイマKB20を制御するレジスタ

16ビット・タイマKB20を制御するレジスタを次に示します。

・周辺イネーブル・レジスタ1（PER1）
・タイマ・クロック選択レジスタ（TKBPSCS0）
・16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）
・16ビット・タイマKB2動作制御レジスタ01（TKBCTL01）
・16ビット・タイマKB2出力制御レジスタ00（TKBIOC00）
・16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）
・16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0）
・16ビット・タイマKB2トリガ・レジスタ0（TKBTRG0）
・16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0（TKBCLR0）
・16ビット・タイマKB2ディザリング数レジスタ00, 01（TKBDNR00, TKBDNR01）
・16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ00（TKBCRLD00）
・16ビット・タイマKB2コンペア3L＆ディザリング数レジスタ01（TKBCRLD01）
・16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00, 01（TKBSIR00, TKBSIR01）
・16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00, 01（TKBSSR00, TKBSSR01）
・16ビット・タイマKB2最大周波数リミット設定レジスタ0（TKBMFR0）
・16ビット・タイマKB2カウンタリスタート選択レジスタ（ELSELRn）
・16ビット・タイマKB2出力切り替えレジスタ（PWCTKB）
・強制出力停止機能制御レジスタ0（TKBPACTL00）
・強制出力停止機能制御レジスタ1（TKBPACTL01）
・強制出力停止機能制御レジスタ2（TKBPACTL02）
・強制出力停止機能フラグ・レジスタ（TKBPAFLG0）
・強制出力停止機能1開始レジスタ（TKBPAHFS0）
・強制出力停止機能1停止レジスタ（TKBPAHFT0）
・ポート・モード・レジスタ7（PM7）
・ポート・レジスタ7（P7）

### 7.3.1 周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマKB20を使用する場合は，必ずビット4を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER1レジスタは00Hになります。

図7−3 周辺イネーブル・レジスタ1（PER1）フォーマット

アドレス：F0508H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER1 | TMKAEN | 0 | CMPEN | TKB2EN | 0 | 0 | 0 | 0 |

| TKB2EN | タイマKB20への入力クロックの制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・タイマKB20で使用するSFRへのライト不可<br>・タイマKB20はリセット状態 |
| 1 | 入力クロック供給<br>・タイマKB20で使用するSFRへのリード／ライト可 |

**注意1. 16ビット・タイマKB20を使用する際には，必ず最初にTKB2EN = 1に設定してから下記のレジスタの設定を行ってください。TKB2EN = 0の場合は，16ビット・タイマKB20の制御レジスタは初期値となり，書き込みは無視されます（16ビット・タイマKB2カウンタリスタート選択レジスタ（ELSELRn），16ビット・タイマKB2出力切り替えレジスタ（PWCTKB），ポート・モード・レジスタ7（PM7）は除く）。**

- **タイマ・クロック選択レジスタ（TKBPSCS0）**
- **16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）**
- **16ビット・タイマKB2動作制御レジスタ01（TKBCTL01）**
- **16ビット・タイマKB2出力制御レジスタ00（TKBIOC00）**
- **16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）**
- **16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0）**
- **16ビット・タイマKB2トリガ・レジスタ0（TKBTRG0）**
- **16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0（TKBCLR0）**
- **16ビット・タイマKB2ディザリング数レジスタ00, 01（TKBDNR00, TKBDNR01）**
- **16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ00（TKBCRLD00）**
- **16ビット・タイマKB2コンペア3L＆ディザリング数レジスタ01（TKBCRLD01）**
- **16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00, 01（TKBSIR00, TKBSIR01）**
- **16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00, 01（TKBSSR00, TKBSSR01）**
- **16ビット・タイマKB2最大周波数リミット設定レジスタ0（TKBMFR0）**
- **強制出力停止機能制御レジスタ0（TKBPACTL00）**
- **強制出力停止機能制御レジスタ1（TKBPACTL01）**
- **強制出力停止機能制御レジスタ2（TKBPACTL02）**
- **強制出力停止機能フラグ・レジスタ（TKBPAFLG0）**
- **強制出力停止機能1開始レジスタ（TKBPAHFS0）**
- **強制出力停止機能1停止レジスタ（TKBPAHFT0）**

**2. ビット0-3, 6には，必ず0を設定してください。**

## 7. 3. 2　タイマ・クロック選択レジスタ（TKBPSCS0）

TKBPSCS0レジスタはTKBTCK0/TKBTCK1の分周を選択するレジスタです。

TKBPSCS0レジスタの書き換えは次の場合のみ可能です。

TKBTPS000-TKBTPS002が書き換え可能な場合：

動作クロックにTKBTCK0を選択（TKBCKS0 = 0）しているタイマがすべて停止状態（TKBCE0 = 0）。

TKBTPS010-TKBTPS012が書き換え可能な場合：

動作クロックにTKBTCK1を選択（TKBCKS0 = 1）しているタイマがすべて停止状態（TKBCE0 = 0）。

TKBPSCS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図7－4　タイマ・クロック選択レジスタ（TKBPSCS0）のフォーマット

アドレス：F052AH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPSCS0 | 0 | TKBTPS012 | TKBTPS011 | TKBTPS010 | 0 | TKBTPS002 | TKBTPS001 | TKBTPS000 |

| TKBTPS0n2 | TKBTPS0n1 | TKBTPS0n0 | 動作クロックの選択（n = 0, 1）注1 |
|---|---|---|---|
| 0 | 0 | 0 | TKBTCKnは分周なしの$f_{CLK}$, $F_{hoco}$を選択 注2 |
| 0 | 0 | 1 | TKBTCKnは2分周の$f_{CLK}$を選択注3 |
| 0 | 1 | 0 | TKBTCKnは4分周の$f_{CLK}$を選択注3 |
| 0 | 1 | 1 | TKBTCKnは8分周の$f_{CLK}$を選択注3 |
| 1 | 0 | 0 | TKBTCKnは16分周の$f_{CLK}$を選択注3 |
| 1 | 0 | 1 | TKBTCKnは32分周の$f_{CLK}$を選択注3 |
| 上記以外 | | | 設定禁止 |

**注 1.** $f_{CLK}$に選択しているクロックを変更する場合は，タイマKB20を停止（TKBCE0 = 0）させてください。

**2.** ユーザ・オプション・バイト（000C2H）のFRQSEL4 = 0の時は$f_{CLK}$, FRQSEL4 = 1の時は$f_{HOCO}$が選択されます。動作クロックに$f_{HOCO}$を選択する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TKB2EN）をセットする前に，$f_{CLK}$を$f_{IH}$に設定してください。$f_{CLK}$を$f_{IH}$以外のクロックに変更する時は，周辺イネーブル・レジスタ1（PER1）のビット4（TKB2EN）をクリアした後に変更してください。

**3.** ユーザ・オプション・バイト（000C2H）のFRQSEL4 = 1の時は設定しないでください。

**注意　ビット7, 3には，必ず0を設定してください。**

**備考**　$f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

### 7. 3. 3　16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）

TKBCTL00は，IH用PWM出力機能，ソフトスタート機能，ディザリング機能，最大周波数リミット機能，インタリーブPFC1出力，外部トリガによるコンペアレジスタの一斉書き換え機能，カウンタトリガの選択をするレジスタです。

TKBCTL00は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により0000Hになります。

図7−5　16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）のフォーマット（1/2）

アドレス：F0522H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL00 | TKBIHE0 | 0 | TKBSSE01 | TKBDIE01 | 0 | 0 | TKBSSE00 | TKBDIE00 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TKBMFE0 | 0 | TKBIRS01 | TKBIRS00 | 0 | TKBTSE0 | TKBSTS01 | TKBSTS00 |

| TKBIHE0 | TKBO01-0, TKBO01-1, TKBO01-2のIH用PWM出力機能の制御 |
|---|---|
| 0 | IH用PWM出力機能を使用しない |
| 1 | IH用PWM出力機能を使用する |

| TKBSSE0p | TKBO00, TKBO01-0, TKBO01-1, TKBO01-2のPWM出力ソフトスタート機能の制御 |
|---|---|
| 0 | PWM出力ソフトスタート機能を使用しない |
| 1 | PWM出力ソフトスタート機能を使用する |

| TKBDIE0p | TKBO00, TKBO01-0, TKBO01-1, TKBO01-2のPWM出力ディザリング機能の制御 |
|---|---|
| 0 | PWM出力ディザリング機能を使用しない |
| 1 | PWM出力ディザリング機能を使用する |

| TKBMFE0 | TKBO00, TKBO01-0, TKBO01-1, TKBO01-2の最大周波数リミット機能の制御 |
|---|---|
| 0 | 最大周波数リミット機能を使用しない |
| 1 | 最大周波数リミット機能を使用する |

| TKBIRS01 | TKBIRS00 | インタリーブPFC出力モードにおけるTKBO01-0, TKBO01-1, TKBO01-2を直ちに出力するリスタートトリガ要因1入力受付範囲の設定 |
|---|---|---|
| 0 | 0 | T/2〜T/2＋T/64 |
| 0 | 1 | T/2〜T/2＋T/32 |
| 1 | 0 | T/2〜T/2＋T/16 |
| 1 | 1 | T/2〜T/2＋T/8 |

| TKBTSE0 | 外部トリガによるコンペア・レジスター斉書き換え機能の制御 |
|---|---|
| 0 | 外部トリガによるコンペア・レジスター斉書き換え機能を使用しない |
| 1 | 外部トリガによるコンペア・レジスター斉書き換え機能を使用する |

**備考**　p = 0, 1

図7－5　16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）のフォーマット（2/2）

アドレス：F0522H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL00 | TKBIHE0 | 0 | TKBSSE01 | TKBDIE01 | 0 | 0 | TKBSSE00 | TKBDIE00 |

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TKBMFE0 | 0 | TKBIRS01 | TKBIRS00 | 0 | TKBTSE0 | TKBSTS01 | TKBSTS00 |

| TKBSTS01 | TKBSTS00 | タイマKB20のリスタート・トリガの選択 |
|---|---|---|
| 0 | 0 | トリガ入力を使用しない |
| 0 | 1 | カウンタリスタートトリガ要因0選択 |
| 1 | 0 | カウンタリスタートトリガ要因1選択 |
| 1 | 1 | カウンタリスタートトリガ要因2選択 |

**注意1.　タイマ動作中に，TKBCTL00レジスタを書き換えないでください。ただし，TKBCTL00レジスタにリフレッシュ（同値書き込み）することは可能です。**

**2.　ビット14, 11, 10, 6, 3には必ず0を設定してください。**

**3.　IH制御用のPWM出力機能を使用する場合は，TKBSTS01, TKBSTS00ビットは，00Bにしてください。**

### 7. 3. 4　16ビット・タイマKB2動作制御レジスタ01（TKBCTL01）

TKBCTL01は，16ビット・タイマの動作の制御とカウント･クロックの設定をするレジスタです。

TKBCTL01は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－6　16ビット・タイマKB2動作制御レジスタ01（TKBCTL01）のフォーマット

アドレス：F0529H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL01 | TKBCE0 | 0 | 0 | TKBCKS0 | 0 | 0 | TKBMD01 | TKBMD00 |

| TKBCE0 | タイマKB20の動作制御 |
|---|---|
| 0 | タイマ動作停止（カウンタはFFFF） |
| 1 | タイマ動作許可 |

| TKBCKS0 | タイマKB20のクロック選択 |
|---|---|
| 0 | TKBTCK0を選択 |
| 1 | TKBTCK1を選択 |

| TKBMD01 | TKBMD00 | タイマKB20の動作モードの選択 |
|---|---|---|
| 0 | 0 | 単体動作モード |
| 1 | 1 | インターリーブPFC出力モード |
| 上記以外 | | 設定禁止 |

**注意 1.　タイマ動作中に，TKBCTL01レジスタを書き換えないでください。ただし，TKBCTL01レジスタにリフレッシュ（同値書き込み）することは可能です。**

**2.　TKBCTL01は，ビット6, 5, 3, 2に必ず0を設定してください。**

### 7. 3. 5　16ビット・タイマKB2出力制御レジスタ00（TKBIOC00）

TKBIOC00は，16ビット・タイマKB20出力（TKBO00, TKBO01-0, TKBO01-1, TKBO01-2）のデフォルト・レベル／アクティブ・レベルを設定するレジスタです。

TKBIOC00は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－7　16ビット・タイマKB2出力制御レジスタ00（TKBIOC00）のフォーマット

アドレス：F0526H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC00 | 0 | 0 | 0 | 0 | TKBTOL01 | TKBTOL00 | TKBTOD01 | TKBTOD00 |

| TKBTOL0p | タイマ出力TKBO00, TKBO01-0, TKBO01-1, TKBO01-2のアクティブ・レベル設定 |
|---|---|
| 0 | アクティブ･レベルをハイ・レベルとする |
| 1 | アクティブ･レベルをロウ・レベルとする |

| TKBTOD0p | タイマ出力TKBO00, TKBO01-0, TKBO01-1, TKBO01-2のデフォルト・レベル設定 |
|---|---|
| 0 | デフォルト･レベルをロウ・レベルとする |
| 1 | デフォルト･レベルをハイ・レベルとする |

**注意1.　タイマ動作中に，TKBIOC00レジスタを書き換えないでください。ただし，TKBIOC00レジスタにリフレッシュ（同値書き込み）することは可能です。**

**2.　ビット7-4には必ず0を設定してください。**

**3.　実際のTKBO00, TKBO01-0, TKBO01-1, TKBO01-2端子の出力は，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力のほかに，兼用ポートのポート・モード・レジスタ（PM7）とポート・レジスタ（P7）によって決まります。**

**4.　IH制御用のPWM出力機能を使用する場合は，TKBTOL01, TKBTOD01ビット = 00Bもしくは，TKBTOL01, TKBTOD01ビット = 11Bに設定してください。**

**備考**　p = 0, 1

## 7. 3. 6　16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）

TKBIOC01は，16ビット・タイマKB20出力（TKBO00, TKBO01-0, TKBO01-1, TKBO01-2）の出力禁止／許可を制御するレジスタです。

TKBIOC01は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7−8　16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）のフォーマット

アドレス：F0528H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC01 | TKBNFB0 | 0 | TKBEGPA0 | TKBEGNA0 | TKBEGPB0 | TKBEGNB0 | TKBTOE01 | TKBTOE00 |

| TKBNFB0 | IH制御用のPWM出力機能の強制出力停止入力1の選択 |
|---|---|
| 0 | 設定の詳細については，**7. 3. 18　強制出力停止機能制御レジスタ0（TKBPACTL00）**，**7. 3. 19　強制出力停止機能制御レジスタ1（TKBPACTL01）**を参照してください。 |
| 1 | |

| TKBEGPA0 | TKBEGNA0 | IH制御用のPWM出力機能のリスタートトリガの有効エッジの選択 |
|---|---|---|
| 0 | 0 | エッジ検出しない（リスタートトリガは無効です） |
| 0 | 1 | 立ち下がりエッジ |
| 1 | 0 | 立ち上がりエッジ |
| 1 | 1 | 立ち上がり，立ち下がりの両エッジ |

| TKBEGPB0 | TKBEGNB0 | IH制御用のPWM出力機能の強制出力停止入力の有効エッジの選択 |
|---|---|---|
| 0 | 0 | エッジ検出しない（強制出力停止入力は無効です） |
| 0 | 1 | 立ち下がりエッジ |
| 1 | 0 | 立ち上がりエッジ |
| 1 | 1 | 立ち上がり，立ち下がりの両エッジ |

| TKBTOE0n | タイマ出力TKBO00, TKBO01-0, TKBO01-1, TKBO01-2の出力許可／禁止 |
|---|---|
| 0 | タイマ出力禁止<br>(TKBTOD0n = 0の場合，ロウ・レベル出力。TKBTOD0n = 1の場合，ハイ・レベル出力) |
| 1 | タイマ出力許可 |

**注意1.　タイマ動作中に，TKBIOC01レジスタのビット1, 0（TKBTOE01, TKBTOE00）を書き換え可能です。ただし，書き換える時は必ずビット7, 5-2は同値書き込みを行ってください。**

**2.　ビット6には必ず0を設定してください。**

**3.　実際のTKBO00, TKBO01-0, TKBO01-1, TKBO01-2端子の出力は，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力のほかに，兼用ポートのポート・モード・レジスタ（PM7）とポート・レジスタ（P7）によって決まります。**

**備考**　n = 0, 1

## 7. 3. 7　16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0）

TKBFLG0は，16ビット・タイマKB20のステータス・フラグを表示するレジスタです。

TKBFLG0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

図7－9　16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0）のフォーマット

アドレス：F0513H　リセット時：00H　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBFLG0 | TKBSSF01 | TKBSSF00 | TKBSEF01 | TKBSEF00 | TKBIRF0 | TKBIEF0 | TKBMFF0 | TKBRSF0 |

| TKBSSF0n | TKBO00, TKBO01-0, TKBO01-1, TKBO01-2端子のPWM出力ソフト・スタート機能のステータス・フラグ |
|---|---|
| 0 | PWM出力ソフト・スタート停止中 |
| 1 | PWM出力ソフト・スタート実行中 |

| TKBSEF0n | TKBO00, TKBO01-0, TKBO01-1, TKBO01-2端子のPWM出力ソフト・スタート機能のエラー・フラグ |
|---|---|
| 0 | エラー未発生，またはTKBCLSEnによるクリアの完了 |
| 1 | エラー発生（PWM出力ソフト・スタート実行中（TKBSSFn = 1）にTKBRDT0 = 1が発生）。 |

| TKBIRF0 | インターリーブPFCモードでのリスタートトリガ要因1トリガ未検出エラー・フラグ |
|---|---|
| 0 | エラー未発生，またはTKBCLIR0によるクリアの完了 |
| 1 | エラー発生（T/2＋T/n（n = 8, 16, 32, 64）内にリスタートトリガ要因1トリガが未検出の周期あり） |

| TKBIEF0 | インターリーブPFCモードでのリスタートトリガ要因1トリガ多重検出エラー・フラグ |
|---|---|
| 0 | エラー未発生，またはTKBCLIE0によるクリアの完了 |
| 1 | エラー発生（TKBO01-0, TKBO01-1, TKBO01-2の幅カウント中に再度カウントスタートトリガを検出） |

| TKBMFF0 | 最大周波数リミット機能のステータス・フラグ |
|---|---|
| 0 | 最大周波数リミット機能未発生，またはTKBCLMF0によるクリアの完了 |
| 1 | 最大周波数リミット機能発生 |

| TKBRSF0 | 一斉書き換えトリガの保留ステータス・フラグ |
|---|---|
| 0 | 一斉書き換え許可状態，または一斉書き換えトリガ発生による一斉書き換えの完了 |
| 1 | 一斉書き換えトリガ・ビットTKBRDT0への書き込みによる一斉書き換え保留（完了待ち）状態 |

**備考1.**　n = 0, 1

**2.**　Tは直前のリスタート周期

### 7. 3. 8　16ビット・タイマKB2トリガ・レジスタ0（TKBTRG0）

TKBTRG0は，16ビット・タイマKB20のコンペア・レジスタを一斉書き換えするためのトリガ・レジスタです。

TKBTRG0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－10　16ビット・タイマKB2トリガ・レジスタ0（TKBTRG0）のフォーマット

アドレス：F0512H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBTRG0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TKBRDT0 |

| TKBRDT0 | コンペアレジスター斉書き換え要求のトリガ |
|---|---|
| 0 | 設定無効 |
| 1 | コンペアレジスター斉書き換え要求。 |

**備考**　TKBTRG0の読み出し値は常に0となります。

## 7. 3. 9　16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0（TKBCLR0）

TKBCLR0は，16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0）のフラグをクリアするレジスタです。

TKBCLR0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－11　16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0（TKBCLR0）のフォーマット

アドレス：F0527H　リセット時：00H　W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBCLR0 | 0 | 0 | TKBCLSE01 | TKBCLSE00 | TKBCLIR0 | TKBCLIE0 | TKBCLMF0 | 0 |

| TKBCLSE0n | TKBO00, TKBO01-0, TKBO01-1, TKBO01-2端子のPWM出力ソフト・スタート機能のエラー・フラグのクリア・トリガ |
|---|---|
| 0 | 設定無効 |
| 1 | TKBSEF01フラグを“0”にクリアする |

| TKBCLIR0 | インターリーブPFCモードでのリスタートトリガ要因1トリガ未検出エラー・フラグのクリア・トリガ |
|---|---|
| 0 | 設定無効 |
| 1 | TKBIRF0フラグを“0”にクリアする。 |

| TKBCLIE0 | インターリーブPFCモードでのリスタートトリガ要因1トリガ多重検出エラー・フラグのクリア・トリガ |
|---|---|
| 0 | 設定無効 |
| 1 | TKBIEF0フラグを“0”にクリアする |

| TKBCLMF0 | 最大周波数リミット機能のステータス・フラグのクリア・トリガ |
|---|---|
| 0 | 設定無効 |
| 1 | TKBMFF0フラグを“0”にクリアする |

**注意　ビット7, 6には必ず0を設定してください。**

**備考1.**　n = 0, 1

**2.**　TKBCLR0の読み出し値は常に0となります。

## 7. 3. 10　16ビット・タイマKB2ディザリング数レジスタ00, 01（TKBDNR00, TKBDNR01）

TKBDNR0pは，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力のPWMディザリング機能で使用するレジスタです。

このレジスタの値の上位4ビットの値をN（N = 0H-FH）としたとき，PWM出力の16周期のうち，N回の周期のアクティブ期間を1クロック分延長して出力します。

TKBDNR0pの設定とアクティブ期間を1クロック延長する周期の回数（N），16周期のうち何周期目（第k周期）を延長するかの関係を図7－13に示します。

TKBDNR0pは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－12　16ビット・タイマKB2ディザリング数レジスタ00, 01（TKBDNR00, TKBDNR01）のフォーマット

アドレス：F050EH (TKBDNR00), F0510H (TKBDNR01)　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBDNR0p | | | | | 0 | 0 | 0 | 0 |

**注意　ビット3-0には必ず0を設定してください。タイマ動作中に，TKBDNR0pレジスタを書き換え可能です。**

**備考**　p = 0, 1

図7－13　16ビット・タイマKB2ディザリング数レジスタ0p（TKBDNR0p）の設定

| 第k周期 / 回数（N） | k | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |
| 0 | | | | | | | | | | | | | | | | |
| 1 | ■ | | | | | | | | | | | | | | | |
| 2 | ■ | | | | | | | | ■ | | | | | | | |
| 3 | ■ | | | | ■ | | | | ■ | | | | | | | |
| 4 | ■ | | | | ■ | | | | ■ | | | | ■ | | | |
| 5 | ■ | | ■ | | ■ | | | | ■ | | | | ■ | | | |
| 6 | ■ | | ■ | | ■ | | | | ■ | | ■ | | ■ | | | |
| 7 | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | | |
| 8 | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | |
| 9 | ■ | ■ | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | |
| 10 | ■ | ■ | ■ | | ■ | | ■ | | ■ | ■ | ■ | | ■ | | ■ | |
| 11 | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | | ■ | |
| 12 | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | |
| 13 | ■ | ■ | ■ | ■ | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | |
| 14 | ■ | ■ | ■ | ■ | ■ | ■ | ■ | | ■ | ■ | ■ | ■ | ■ | ■ | ■ | |
| 15 | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | |

**備考 1.**　□ セル：TKBCR01, TKBCR03レジスタの設定値に従ったアクティブ周期にする

■ セル：TKBCR01, TKBCR03レジスタの設定値に＋1したアクティブ周期にする

**2.**　p = 0, 1

### 7. 3. 11　16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ00（TKBCRLD00）

TKBCRLD00は，上位8ビットに「TKBCR01レジスタの下位8ビット」，下位8ビットに「TKBDNR00レジスタ」の値を格納したレジスタです。

TKBCRLD00は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－14　16ビット・タイマKB2コンペア1L＆ディザリング数レジスタ00（TKBCRLD00）のフォーマット

アドレス：F0514H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TKBCRLD00 | | | | | | | | | | | | | 0 | 0 | 0 | 0 |

TKBCR01レジスタの下位8ビット　　TKBDNR00レジスタ

**注意　ビット3-0には必ず0を設定してください。タイマ動作中に，TKBDNR0pレジスタを書き換え可能です。**

### 7. 3. 12　16ビット・タイマKB2コンペア3L＆ディザリング数レジスタ01（TKBCRLD01）

TKBCRLD01は，上位8ビットに「TKBCR03レジスタの下位8ビット」，下位8ビットに「TKBCRLD01レジスタ」の値を格納したレジスタです。

TKBCRLD01は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－15　16ビット・タイマKB2コンペア3L＆ディザリング数レジスタ01（TKBCRLD01）のフォーマット

アドレス：F0516H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TKBCRLD01 | | | | | | | | | | | | | 0 | 0 | 0 | 0 |

TKBCR03レジスタの下位8ビット　　TKBDNR01レジスタ

**注意　ビット3-0には必ず0を設定してください。タイマ動作中に，TKBDNR0pレジスタを書き換え可能です。**

### 7. 3. 13　16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00, 01（TKBSIR00, TKBSIR01）

TKBSIR0pは，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力のPWM出力ソフト・スタート機能での初期デューティを設定するレジスタです。

TKBSIR0pは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－16　16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00, 01（TKBSIR00, TKBSIR01）のフォーマット

アドレス：F050AH (TKBSIR00), F050CH (TKBSIR01)　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TKBSIR0p | | | | | | | | | | | | | | | | |

**注意　タイマ動作中に，TKBSIR0pレジスタを書き換え可能です。**

**備考**　p = 0, 1

### 7. 3. 14　16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00, 01（TKBSSR00, TKBSSR01）

TKBSSR0pは，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力のPWM出力ソフト・スタート機能で使用するレジスタです。

このレジスタの値をN（N = 0000B-1111B）とするとTKBSIR0pで設定したアクティブ出力期間のPWMをN＋1回分出力します。その後は，（アクティブ期間＋1クロック）の波形をN＋1回，（アクティブ期間＋2クロック）の波形をN＋1回，・・・というように継続出力して，最終的にTKBCR01またはTKBCR03と同じデューティになったところで，PWM出力ソフト・スタート機能が解除され，通常PWM出力に移行します。

TKBSSR0pは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－17　16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00, 01（TKBSSR00, TKBSSR01）のフォーマット

アドレス：F050FH (TKBSSR00), F0511H (TKBSSR01)　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBSSR0p | 0 | 0 | 0 | 0 | | | | |

**注意　タイマ動作中に，TKBSSR0pレジスタを書き換え可能です。ビット7-4には必ず0を設定してください。**

**備考**　p = 0, 1

## 7. 3. 15　16ビット・タイマKB2最大周波数リミット設定レジスタ0（TKBMFR0）

TKBMFR0は，外部トリガによるタイマ・リスタートの最小周期を設定するレジスタです。

カウンタ（TKBCNT0）が，このTKBMFR0よりも小さい値のときにトリガ入力を検出すると，そのトリガを保留し，TKBMFR0設定値までカウントしたあとにカウンタ（TKBCNT0）をクリア（リスタート）します。

TKBMFR0は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－18　16ビット・タイマKB2最大周波数リミット設定レジスタ0（TKBMFR0）のフォーマット

アドレス：F0524H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TKBMFR0 | | | | | | | | | | | | | | | | |

タイマ動作中に，TKBMFR0レジスタを書き換えないでください。ただし，TKBMFR0レジスタにリフレッシュ（同値書き込み）することは可能です。

## 7. 3. 16 16ビット・タイマKB2カウンタリスタート選択レジスタ（ELSELRn）

ELSELRnレジスタは，各外部リスタートトリガ（外部割り込み7-0，コンパレータ検出1, 0）の，カウンタリスタートトリガ要因2-0，IH制御用のPWM出力機能リスタートトリガ要因への割り当てを決めるレジスタです。

リセット信号の発生により，00Hになります。

図7－19 16ビット・タイマKB2カウンタリスタート選択レジスタ（ELSELRn）のフォーマット

アドレス： F01E0H (ELSELR00), F01E1H (ELSELR01), F01E2H (ELSELR02), F01E3H (ELSELR03)
F01E4H (ELSELR04), F01E5H (ELSELR05), F01E6H (ELSELR06), F01E7H (ELSELR07)
F01E8H (ELSELR08), F01E9H (ELSELR09) リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ELSELRn | 0 | 0 | 0 | 0 | 0 | ELSELRn2 | ELSELRn1 | ELSELRn0 |

| ELSELRn2 | ELSELRn1 | ELSELRn0 | リスタート要因 | リスタート後の動作 |
|---|---|---|---|---|
| 0 | 0 | 0 | なし | なし |
| 0 | 0 | 1 | TMKB2カウンタリスタートトリガ要因0 | タイマ出力リスタート<br>コンペアレジスター斉書き換え |
| 0 | 1 | 0 | TMKB2カウンタリスタートトリガ要因1 | |
| 0 | 1 | 1 | TMKB2カウンタリスタートトリガ要因2 | |
| 1 | 0 | 0 | TMBK2 IH-PWM出力・リスタート要求信号 | IH-PWM出力リスタート |
| 上記以外 | | | 設定禁止 | |

**注意 ビット7-3には必ず0を設定してください。タイマ動作中に，ELSELRnレジスタを書き換えないでください。ただし，ELSELRnレジスタにリフレッシュ（同値書き込み）することは可能です。**

**備考** n = 00-09

各イベントとELSELRnレジスタとの対応は下記の通りです。

| カウントリスタートトリガ入力 | 対応レジスタ |
|---|---|
| 外部割り込み0 (INTP0) | ELSELR00 |
| 外部割り込み1 (INTP1) | ELSELR01 |
| 外部割り込み2 (INTP2) | ELSELR02 |
| 外部割り込み3 (INTP3) | ELSELR03 |
| 外部割り込み4 (INTP4) | ELSELR04 |
| 外部割り込み5 (INTP5) | ELSELR05 |
| 外部割り込み6 (INTP6) | ELSELR06 |
| 外部割り込み7 (INTP7) | ELSELR07 |
| コンパレータ検出0 | ELSELR08 |
| コンパレータ検出1 | ELSELR09 |

**注意1. 複数のカウントリスタートトリガ入力を1つのリスタートトリガ要因に設定しないでください。**

**2. IH-PWM出力リスタート要求信号に，コンパレータ0，コンパレータ1を選択する場合，コンパレータフィルタ制御レジスタ（COMPFIR）のC1EDG, C1EPO, C0EDG, C0EPOを“0”に設定してください。**

**3. TMKB2カウンタリスタートトリガ要因0-2, IH-PWM出力リスタート要求信号に使用される外部割り込み信号（INTP0-7）は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。**

## 7. 3. 17　16ビット・タイマKB2出力切り替えレジスタ（PWCTKB）

PWCTKBレジスタは，TKBO01-0,1, 2の出力を選択するレジスタです。

PWCTKBレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－20　16ビット・タイマKB2出力切り替えレジスタ（PWCTKB）のフォーマット

アドレス：F007CH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PWCTKB | 0 | 0 | 0 | 0 | 0 | 0 | TKBPWO1 | TKBPWO0 |

| TKBPWO1 | TKBPWO0 | タイマKB2出力切り替え |
|---|---|---|
| 0 | 0 | 出力にTKBO01-0を選択 |
| 0 | 1 | 出力にTKBO01-1を選択 |
| 1 | 0 | 出力にTKBO01-2を選択 |
| 1 | 1 | 設定禁止 |

**注意1.　タイマ動作中に，PWCTKBレジスタを書き換えないでください。ただし，PWCTKBレジスタにリフレッシュ（同値書き込み）することは可能です。**

**2.　ビット7-2には必ず0を設定してください。**

## 7. 3. 18　強制出力停止機能制御レジスタ0（TKBPACTL00）

TKBPACTL00は，TKBO00端子に対する強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTL00は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－21　強制出力停止機能制御レジスタ0（TKBPACTL00）のフォーマット（1/2）

アドレス：F0530H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBPACTL00 | TKBPAFXS003 | TKBPAFXS002 | TKBPAFXS001 | TKBPAFXS000 | 0 | 0 | 0 | TKBPAFCM00 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 0 | TKBPAHZS002 | TKBPAHZS001 | TKBPAHZS000 | TKBPAHCM001 | TKBPAHCM000 | TKBPAMD001 | TKBPAMD000 |

| TKBPAFXS003 | 強制出力停止機能2のトリガ入力選択（3） |
|---|---|
| 0 | INTP2をトリガとして使用しない。 |
| 1 | INTP2をトリガとして使用する。 |

| TKBPAFXS002 | 強制出力停止機能2のトリガ入力選択（2） |
|---|---|
| 0 | INTP1をトリガとして使用しない。 |
| 1 | INTP1をトリガとして使用する。 |

| TKBPAFXS001 | 強制出力停止機能2のトリガ入力選択（1） |
|---|---|
| 0 | コンパレータ検出1をトリガとして使用しない。 |
| 1 | コンパレータ検出1をトリガとして使用する。 |

| TKBPAFXS000 | TKBCTL00<br>TKBIHE0 | 強制出力停止機能2のトリガ入力選択（0） |
|---|---|---|
| 0 | － | INTP0，コンパレータ0検出をトリガとして使用しない。 |
| 1 | 0 | コンパレータ0検出をトリガとして使用する。 |
| その他の設定 | | 設定禁止 |

| TKBPAFCM00 | 強制出力停止機能2の動作モード選択 |
|---|---|
| 0 | 強制出力停止入力2検出で強制出力停止機能2を開始し，次のカウンタのリスタートに同期して強制出力停止機能2を解除。 |
| 1 | 強制出力停止入力2検出で強制出力停止機能2を開始し，そのトリガの解除を検出してから，次のカウンタのリスタートに同期して強制出力停止機能2を解除。 |

| TKBPAHZS002 | 強制出力停止機能1のトリガ入力選択（2） |
|---|---|
| 0 | INTP1をトリガとして使用しない。 |
| 1 | INTP1をトリガとして使用する。 |

| TKBPAHZS001 | 強制出力停止機能1のトリガ入力選択（1） |
|---|---|
| 0 | コンパレータ検出1をトリガとして使用しない。 |
| 1 | コンパレータ検出1をトリガとして使用する。 |

**注意　IH制御用のPWM出力機能を使用する場合は，TKBPACTL00レジスタは使用できません。必ず初期値（0000H）で使用してください。**

図7－21 強制出力停止機能制御レジスタ0（TKBPACTL00）のフォーマット（2/2）

アドレス：F0530H リセット時：0000H R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBPACTL00 | TKBPAFXS003 | TKBPAFXS002 | TKBPAFXS001 | TKBPAFXS000 | 0 | 0 | 0 | TKBPAFCM00 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 0 | TKBPAHZS002 | TKBPAHZS001 | TKBPAHZS000 | TKBPAHCM001 | TKBPAHCM000 | TKBPAMD001 | TKBPAMD000 |

| TKBPAHZS000 | TKBCTL00<br>TKBIHE0 | 強制出力停止機能1のトリガ入力選択（0） |
|---|---|---|
| 0 | － | INTP0，コンパレータ0検出をトリガとして使用しない。 |
| 1 | 0 | コンパレータ0検出をトリガとして使用する。 |
| その他の設定 | | 設定禁止 |

| TKBPAHCM001 | TKBPAHCM000 | 強制出力停止機能1の動作モード選択 |
|---|---|---|
| 0 | 0 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力のレベルに関係なく，TKBPAHTT00 = 1を設定すると，強制出力停止機能1を解除する。 |
| 0 | 1 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力が解除された後，TKBPAHTT00 = 1を設定すると，強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT00 = 1を設定しても無効となる。 |
| 1 | 0 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力のレベルに関係なく，TKBPAHTT00 = 1を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。 |
| 1 | 1 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力が解除された後，TKBPAHTT00 = 1を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT00 = 1を設定しても無効となる。 |

| TKBPAMD001 | TKBPAMD000 | 強制出力停止機能実行時の出力状態選択 | |
|---|---|---|---|
| | | 強制出力停止機能1 | 強制出力停止機能2 |
| 0 | 0 | ハイ・インピーダンス出力 | ロウ・レベル固定出力 |
| 0 | 1 | ハイ・インピーダンス出力 | ハイ・レベル固定出力 |
| 1 | 0 | ロウ・レベル固定出力 | ロウ・レベル固定出力 |
| 1 | 1 | ハイ・レベル固定出力 | ハイ・レベル固定出力 |

**注意1. IH制御用のPWM出力機能を使用する場合は，TKBPACTL00レジスタは使用できません。必ず初期値（0000H）で使用してください。**

**2. ビット11-9, 7は0にしてください。タイマ動作中に，TKBPACTL00レジスタを書き換えないでください。ただし，TKBPACTL00レジスタにリフレッシュ（同値書き込み）することは可能です。**

**3. 強制出力停止機能1, 2で使用されるINTP1, INTP2は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。**

## 7. 3. 19　強制出力停止機能制御レジスタ1（TKBPACTL01）

TKBPACTL01は，TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTL01は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－22　強制出力停止機能制御レジスタ1（TKBPACTL01）のフォーマット（1/2）

アドレス：F0532H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBPACTL01 | TKBPAFXS013 | TKBPAFXS012 | TKBPAFXS011 | TKBPAFXS010 | 0 | 0 | 0 | TKBPAFCM01 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 0 | TKBPAHZS012 | TKBPAHZS011 | TKBPAHZS010 | TKBPAHCM011 | TKBPAHCM010 | TKBPAMD011 | TKBPAMD010 |

| TKBPAFXS013 | 強制出力停止機能2のトリガ入力選択（3） |
|---|---|
| 0 | INTP2をトリガとして使用しない。 |
| 1 | INTP2をトリガとして使用する。 |

| TKBPAFXS012 | 強制出力停止機能2のトリガ入力選択（2） |
|---|---|
| 0 | INTP1をトリガとして使用しない。 |
| 1 | INTP1をトリガとして使用する。 |

| TKBPAFXS011 | 強制出力停止機能2のトリガ入力選択（1） |
|---|---|
| 0 | コンパレータ検出1をトリガとして使用しない。 |
| 1 | コンパレータ検出1をトリガとして使用する。 |

| TKBPAFXS010 | TKBCTL00<br>TKBIHE0 | 強制出力停止機能2のトリガ入力選択（0） |
|---|---|---|
| 0 | － | INTP0，コンパレータ0検出をトリガとして使用しない。 |
| 1 | 0 | コンパレータ0検出をトリガとして使用する。 |
| その他の設定 | | 設定禁止 |

| TKBPAFCM01 | 強制出力停止機能2の動作モード選択 |
|---|---|
| 0 | 強制出力停止入力2検出で強制出力停止機能2を開始し，次のカウンタのリスタートに同期して強制出力停止機能2を解除。 |
| 1 | 強制出力停止入力2検出で強制出力停止機能2を開始し，そのトリガの逆エッジを検出してから，次のカウンタのリスタートに同期して強制出力停止機能2を解除。 |

| TKBPAHZS012 | 強制出力停止機能1の入力選択（2） |
|---|---|
| 0 | INTP1をトリガとして使用しない。 |
| 1 | INTP1をトリガとして使用する。 |

**注意　IH制御用のPWM出力機能を使用する場合は，TKBPACTL01レジスタのビット4（TKBPAHZS010）のみ使用できます。その他のビットは必ず初期値“0”で使用してください。**

図7－22　強制出力停止機能制御レジスタ1（TKBPACTL01）のフォーマット（2/2）

アドレス：F0532H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBPACTL01 | TKBPAFXS013 | TKBPAFXS012 | TKBPAFXS011 | TKBPAFXS010 | 0 | 0 | 0 | TKBPAFCM01 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 0 | TKBPAHZS012 | TKBPAHZS011 | TKBPAHZS010 | TKBPAHCM011 | TKBPAHCM010 | TKBPAMD011 | TKBPAMD010 |

| TKBPAHZS011 | 強制出力停止機能1のトリガ入力選択（1）注 |
|---|---|
| 0 | コンパレータ検出1をトリガとして使用しない。 |
| 1 | コンパレータ検出1をトリガとして使用する。 |

| TKBPAHZS010 | TKBCTL00 TKBIHE0 | TKBIOC01 TKBNFB0 | 強制出力停止機能1のトリガ入力選択（0）注 |
|---|---|---|---|
| 0 | － | － | INTP0，コンパレータ0検出をトリガとして使用しない。 |
| 1 | 0 | － | コンパレータ0検出をトリガとして使用する。 |
| 1 | 1 | 0 | ノイズフィルタを通過しないINTP0をトリガとして使用する。 |
| 1 | 1 | 1 | ノイズフィルタを通過したINTP0をトリガとして使用する。 |

| TKBPAHCM011 | TKBPAHCM010 | 強制出力停止機能1の動作モード選択 |
|---|---|---|
| 0 | 0 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力のレベルに関係なく，TKBPAHTT01 = 1を設定すると，強制出力停止機能1を解除する。 |
| 0 | 1 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力が解除された後，TKBPAHTT01 = 1を設定すると，強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT01 = 1を設定しても無効となる。 |
| 1 | 0 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力のレベルに関係なく，TKBPAHTT01 = 1を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。 |
| 1 | 1 | 強制出力停止入力1を検出し，強制出力停止機能1を開始する。その入力が解除された後，TKBPAHTT01 = 1を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT01 = 1を設定しても無効となる。 |

| TKBPAMD011 | TKBPAMD010 | 強制出力停止機能実行時の出力状態選択 | |
|---|---|---|---|
| | | 強制出力停止機能1 | 強制出力停止機能2 |
| 0 | 0 | ハイ・インピーダンス出力 | ロウ・レベル固定出力 |
| 0 | 1 | ハイ・インピーダンス出力 | ハイ・レベル固定出力 |
| 1 | 0 | ロウ・レベル固定出力 | ロウ・レベル固定出力 |
| 1 | 1 | ハイ・レベル固定出力 | ハイ・レベル固定出力 |

**注**　INTP0をトリガとして使用する場合は，$f_{CLK}$の2クロック以上の幅の入力を行ってください。また，コンパレータ0，1検出をトリガとして使用し，コンパレータフィルタ制御レジスタ（COMPFIR）のC1EDG, C0EDGビットを“1”（両エッジ検出）で使用する場合は，TKBPAHCM010 = 1の設定は禁止です。必ずTKBPAHCM010 = 0の設定で使用してください。

**注意1.　ビット11-9, 7は0にしてください。タイマ動作中に，TKBPACTL00レジスタを書き換えないでください。ただし，TKBPACTL00レジスタにリフレッシュ（同値書き込み）することは可能です。**

**2.　強制出力停止機能1, 2で使用されるINTP1, INTP2は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。また，強制出力停止機能1で使用されるINTP0の有効エッジの選択は，16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）のTKBEGPB0, TKBEGNB0レジスタで設定してください。**

**3.　IH制御用のPWM出力機能を使用する場合は，TKBPACTL01レジスタのビット4（TKBPAHZS010）のみ使用できます。その他のビットは必ず初期値“0”で使用してください。**

## 7. 3. 20　強制出力停止機能制御レジスタ2（TKBPACTL02）

TKBPACTL02は，強制出力停止機能を許可／禁止するレジスタです。

TKBPACTL02は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－23　強制出力停止機能制御レジスタ2（TKBPACTL02）のフォーマット

アドレス：F0537H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPACTL02 | 0 | 0 | 0 | 0 | 0 | 0 | TKBPACE01 | TKBPACE00 |

| TKBPACE01 | TKBO01-0, TKBO01-1, TKBO01-2端子の強制出力停止機能出力の制御 |
|---|---|
| 0 | 強制出力停止機能動作禁止 |
| 1 | 強制出力停止機能動作許可 |

| TKBPACE00 | TKBO00端子の強制出力停止機能出力の制御 |
|---|---|
| 0 | 強制出力停止機能動作禁止 |
| 1 | 強制出力停止機能動作許可 |

**注意1. ビット7-2は0にしてください。タイマ動作中に，TKBPACTL02レジスタを書き換え可能です。**

**2. IH制御用のPWM出力機能を使用する場合は，TKBPACTL02レジスタのビット0（TKBPACE00）は使用できません。必ず初期値“0”で使用してください。**

## 7. 3. 21 強制出力停止機能フラグ・レジスタ（TKBPAFLG0）

TKBPAFLG0は，強制出力停止機能のステータス・フラグを表示するレジスタです。

TKBPAFLG0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります

図7－24 強制出力停止機能フラグ・レジスタ（TKBPAFLG0）のフォーマット

アドレス：F0536H リセット時：00H R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPAFLG0 | TKBPAFSF01 | TKBPAHSF01 | TKBPAFSF00 | TKBPAHSF00 | TKBPAFIF01 | TKBPAHIF01 | TKBPAFIF00 | TKBPAHIF00 |

| TKBPAFSF01 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止機能2のステータス・フラグ |
|---|---|
| 0 | 強制出力停止解除状態 |
| 1 | 強制出力停止状態 |

| TKBPAHSF01 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止機能1のステータス・フラグ |
|---|---|
| 0 | 強制出力停止解除状態 |
| 1 | 強制出力停止状態 |

| TKBPAFSF00 | TKBO00端子に対する強制出力停止機能2のステータス・フラグ |
|---|---|
| 0 | 強制出力停止解除状態 |
| 1 | 強制出力停止状態 |

| TKBPAHSF00 | TKBO00端子に対する強制出力停止機能1のステータス・フラグ |
|---|---|
| 0 | 強制出力停止解除状態 |
| 1 | 強制出力停止状態 |

| TKBPAFIF01 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止入力2のステータス・フラグ |
|---|---|
| 0 | 強制出力停止入力2が無効レベル |
| 1 | 強制出力停止入力2が有効レベル |

| TKBPAHIF01 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止入力1のステータス・フラグ |
|---|---|
| 0 | 強制出力停止入力1が無効レベル |
| 1 | 強制出力停止入力1が有効レベル |

| TKBPAFIF00 | TKBO00端子に対する強制出力停止入力2のステータス・フラグ |
|---|---|
| 0 | 強制出力停止入力2が無効レベル |
| 1 | 強制出力停止入力2が有効レベル |

| TKBPAHIF00 | TKBO00端子に対する強制出力停止入力1のステータス・フラグ |
|---|---|
| 0 | 強制出力停止入力1が無効レベル |
| 1 | 強制出力停止入力1が有効レベル |

**注意1. コンパレータ0, 1検出をトリガとして使用し，コンパレータフィルタ制御レジスタ（COMPFIR）のC1EDG, C0EDGビットを“1”（両エッジ検出）で使用する場合は，TKBPAHIF00, TKBPAFIF00, TKBPAHIF01, TKBPAFIF01のステータス・フラグは使用できません。**

**2. IH制御用のPWM出力機能を使用する場合は，TKBPAFLG0レジスタのビット6（TKBPAHSF01）のみ有効となります。他のステータス・フラグは使用しないでください。**

## 7. 3. 22　強制出力停止機能1開始レジスタ（TKBPAHFS0）

TKBPAHFS0は，強制出力停止機能1の開始トリガ・レジスタです。

TKBPAHFS0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－25　強制出力停止機能1開始レジスタ（TKBPAHFS0）のフォーマット

アドレス：F0534H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPAHFS0 | 0 | 0 | 0 | 0 | 0 | 0 | TKBPAHTS01 | TKBPAHTS00 |

| TKBPAHTS01 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止機能1の開始 |
|---|---|
| 0 | “0”書き込みは無効です。 |
| 1 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止機能1を開始 |

| TKBPAHTS00 | TKBO00端子に対する強制出力停止機能1の開始 |
|---|---|
| 0 | “0”書き込みは無効です。 |
| 1 | TKBO00端子に対する強制出力停止機能1を開始 |

**注意1. ビット7-2は0にしてください。タイマ動作中に，TKBPAHFS0レジスタを書き換え可能です。リード時は，0が読み出されます。**

**2. IH制御用のPWM出力機能を使用する場合は，TKBPAHFS0レジスタは使用できません。必ず初期値“00H”で使用してください。**

**備考**　TKBPAHFS0の読み出し値は常に0となります。

## 7. 3. 23　強制出力停止機能1停止レジスタ（TKBPAHFT0）

TKBPAHFT0は，強制出力停止機能1の停止トリガ・レジスタです。

TKBPAHFT0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－26　強制出力停止機能1停止レジスタ（TKBPAHFT0）のフォーマット

アドレス：F0535H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPAHFT0 | 0 | 0 | 0 | 0 | 0 | 0 | TKBPAHTT01 | TKBPAHTT00 |

| TKBPAHTT01 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止機能1の停止 |
|---|---|
| 0 | “0”書き込みは無効です。 |
| 1 | TKBO01-0, TKBO01-1, TKBO01-2端子に対する強制出力停止機能1を停止 |

| TKBPAHTT00 | TKBO00端子に対する強制出力停止機能1の停止 |
|---|---|
| 0 | “0”書き込みは無効です。 |
| 1 | TKBO00端子に対する強制出力停止機能1を停止 |

**注意1.　ビット7-2は0にしてください。タイマ動作中に，TKBPAHFT0レジスタを書き換え可能です。リード時は，0が読み出されます。**

**2.　IH制御用のPWM出力機能を使用する場合は，TKBPAHFT0レジスタのビット0（TKBPAHTT00）は使用できません。必ず初期値“0”で使用してください。**

**備考**　TKBPAHFT0の読み出し値は常に0となります。

TKBPAHCM001, TKBPAHCM000ビットが10または11のときには，TKBPAHTT0n = 1設定後，TMKBマクロの周期発生により強制出力停止機能1が解除されます。

TKBPAHTT0n = 1設定からTMKBマクロの周期発生までの間に，強制出力停止入力検出，または，TKBPAHTS0n = 1設定を実施した場合の動作については，**7. 7. 3　強制出力停止機能1使用時の注意事項**を参照してください。

## 7. 3. 24　16ビット・タイマKB2出力端子のポート機能を制御するレジスタ

16ビット・タイマKB20使用時は，対象チャネルと兼用するポート機能を制御するレジスタ（LCDポート・ファンクション・レジスタ（PFSEGx），ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。詳細は，**4. 3. 9　LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）**，**4. 3. 1　ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**を参照してください。

16ビット・タイマKB20出力端子を兼用するポート（P74/TKBO00など）を16ビット・タイマKB20として使用するときは，各ポートに対応するLCDポート・ファンクション・レジスタ（PFSEGx）のビット，ポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）　P74/TKBO00を16ビット・タイマKB20出力として使用する場合
LCDポート・ファンクション・レジスタ（PFSEG2）のPFSEG16ビットを0に設定
ポート・モード・レジスタ（PM7）のPM74ビットを0に設定
ポート・レジスタ（P7）のP74ビットを0に設定

# 7. 4　16ビット・タイマKB20の動作

タイマKB20の動作仕様を以下で説明します。

・カウンタ基本動作 （**7. 4. 1**項を参照）
・デフォルトレベルとアクティブ・レベル （**7. 4. 2**項を参照）
・動作停止と動作開始 （**7. 4. 3**項を参照）
・一斉書き込み動作 （**7. 4. 4**項を参照）

タイマKB20には，以下の3種類の動作モードがあります。

・単体動作モード（TKBCR00による周期制御） （**7. 4. 5**項を参照）
・単体動作モード（外部トリガ入力による周期制御） （**7. 4. 6**項を参照）
・インターリーブPFC（power factor correction）出力モード （**7. 4. 7**項を参照）

## 7. 4. 1　カウンタ基本動作

（1）カウント開始動作

タイマKB20の16ビット・カウンタは，すべてのモードで初期値FFFFHからカウントを開始します。

カウント動作は，FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

（2）クリア動作

16ビット・カウンタとTKBCR00に設定された値との一致および外部トリガによる周期決定の場合の外部トリガで16ビット・カウンタは0000Hにクリアされます。なお，TKBCR00に設定された値との一致によるクリアではINTTKB2割り込みは発生しますが，外部トリガによるクリアでは割り込みは発生しません。

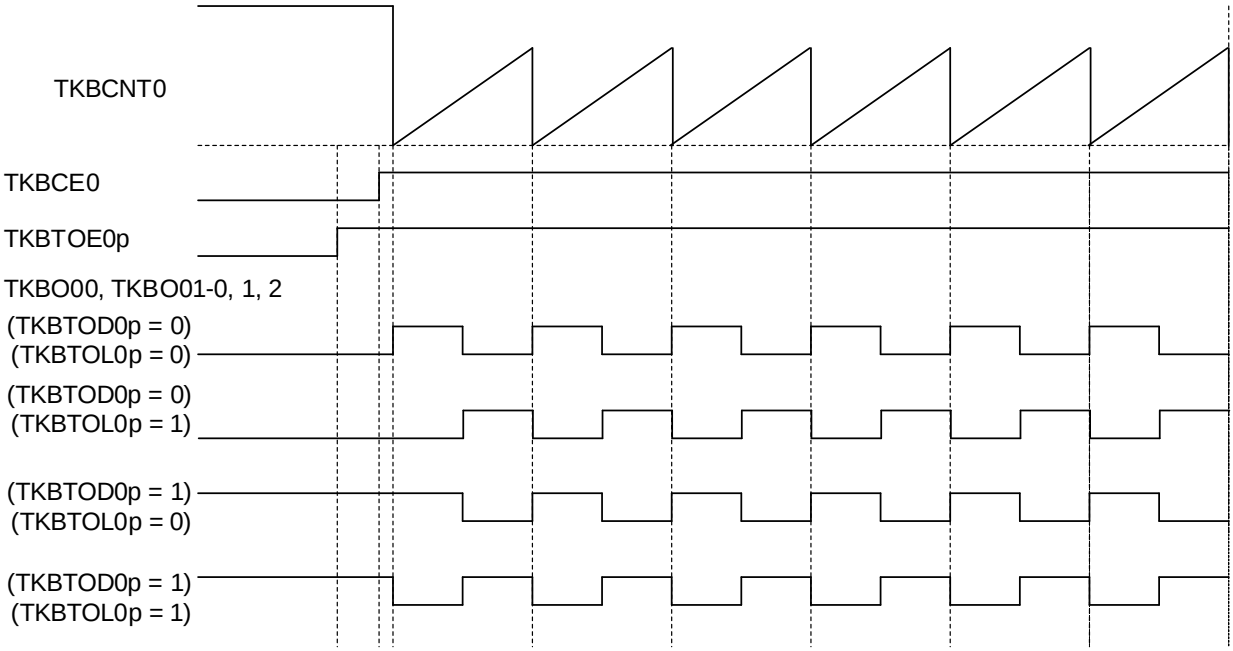
## 7. 4. 2　デフォルトレベルとアクティブ・レベル

（1）基本動作

16ビット・タイマKB2出力制御レジスタ00（TKBIOC00）によってタイマKB20出力のデフォルトレベルとアクティブ・レベルを設定できます。

図7－27　デフォルトレベルとアクティブ・レベルのタイミング図

（基本動作）




TKBTOE0pを“0”から“1”に変更した場合，TKBO00，TKBO01-0，TKBO01-1，TKBO01-2出力が許可され，TKBTOL0pの設定値に従いPWM波形を出力します。

TKBTOE0pを“1”から“0”に変更した場合，TKBO00，TKBO01-0，TKBO01-1，TKBO01-2出力は禁止され，TKBTOD0pの設定値に従い，デフォルトレベルを出力します。

**注意　IH制御用のPWM出力機能を使用する場合は，TKBTOL01，TKBTOD01ビット = 00Bもしくは，TKBTOL01，TKBTOD01ビット = 11Bに設定してください。**

**備考**　p = 0，1

（2）TKBTOE0pを“0”から“1”に変更した場合

タイマ・カウンタ動作中に，カウンタ（TKBCNT0）とコンペア・レジスタ（TKBCR01からTKBCR03）の一致より前にTKBTOE0pを0から1に変更した場合，タイマ出力はTKBTOL0pの設定に従ってその一致タイミングでPWM波形が出力されます。

カウンタ（TKBCNT0）とコンペア・レジスタ（TKBCR01からTKBCR03）の一致より後にTKBTOE0pを0から1に変更した場合は，タイマ出力は次のカウンタ（TKBCNT0）のリスタートタイミングまでデフォルトレベルを継続します。

図7－28　デフォルトレベルとアクティブ・レベルのタイミング図

（カウンタとコンペア・レジスタTKBCR01からTKBCR03の一致より前にTKBTOE0p = 0を1に変更した場合）

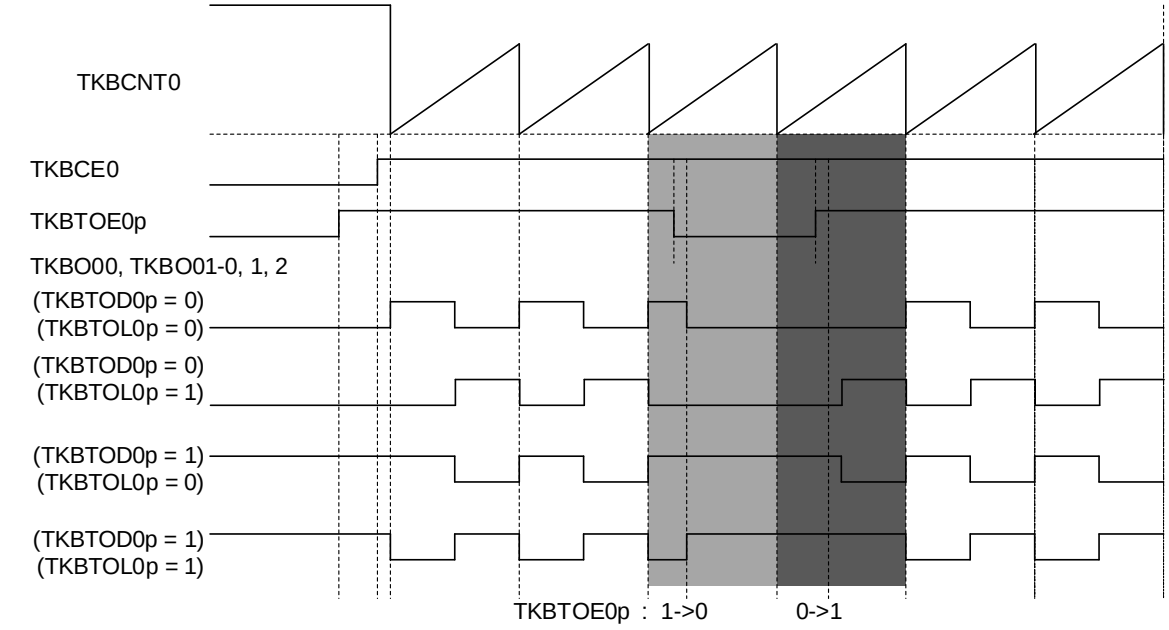
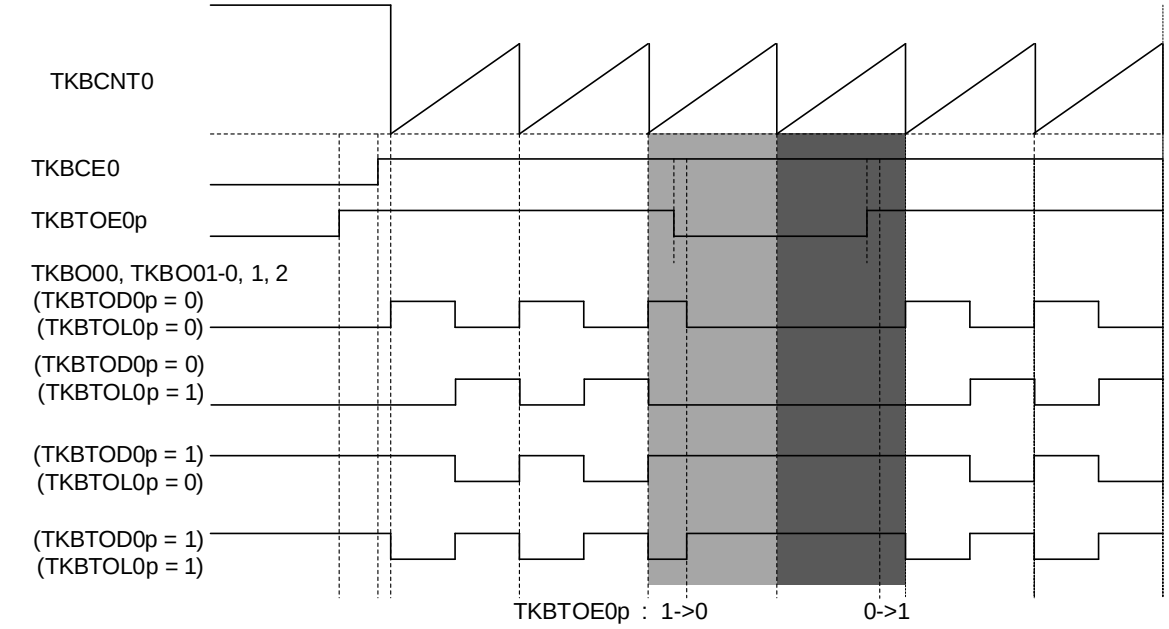



図7－29　デフォルトレベルとアクティブ・レベルのタイミング図

（カウンタとコンペア・レジスタTKBCR01からTKBCR03の一致より後にTKBTOE0p = 0を1に変更した場合）



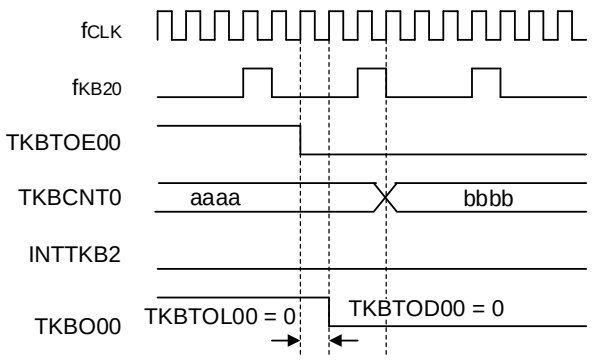

**備考**　p = 0, 1

（3）TKBTOE0pを“1”から“0”に変更した場合

（a）基本タイミング

TKBTOE0pを“1”から“0”に変更した場合，$f_{CLK}$の1クロック後に，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2は，TKBTOD0pで設定しているデフォルトレベルになります。

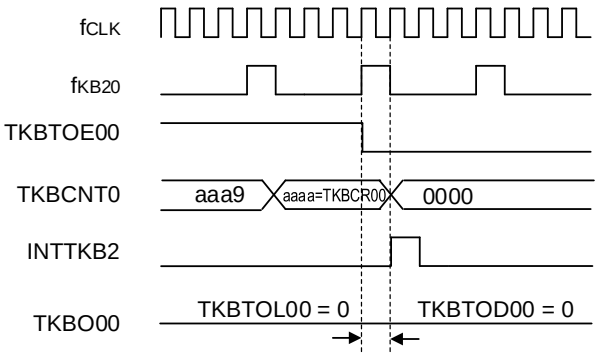
図7－30　デフォルトレベルとアクティブ・レベルのタイミング図
（TKBTOE00を“1”から“0”に変更した場合）




（b）TKBCR00の一致とTKBTOE0pのクリア・タイミングが同時の場合

TKBTOE0pを1から0に変更するタイミングとTKBCNT0とTKBCR00が一致するタイミングが同時になる場合，TKBTOE0pの変更が優先され，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2は，TKBTOD0pで設定しているデフォルトレベルになります。

図7－31　デフォルトレベルとアクティブ・レベルのタイミング図
（TKBTOE0pを1から0に変更するタイミングとTKBCNT0とTKBCR00が一致するタイミングが同時になる場合）



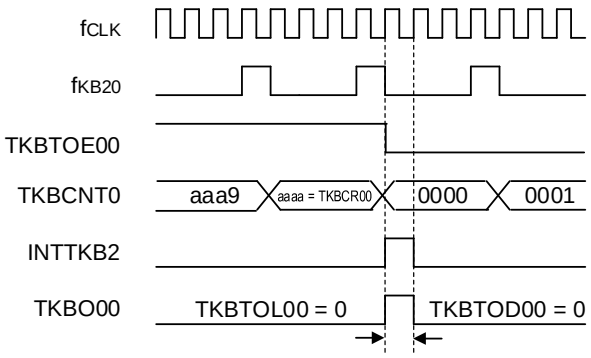

**備考**　p = 0, 1

（c）TKBTOE0pの操作がタイマ・カウント・クロックの発生と同時の場合

TKBTOE0pの操作が$f_{KB20}$の発生と同時の場合，TKBCNT0 = TKBCR00の一致によりTKBO00, TKBO01-0, TKBO01-1, TKBO01-2がセットされます。

$f_{CLK}$の1クロック後，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2は，TKBTOD0pで設定しているデフォルトレベルになります。

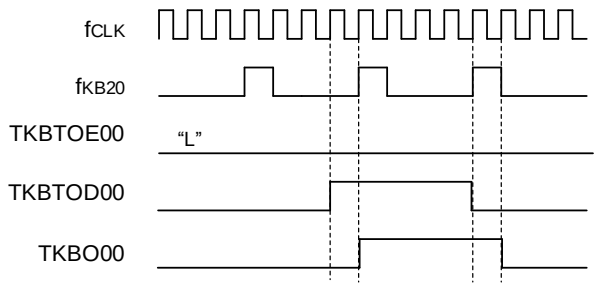
図7－32　デフォルトレベルとアクティブ・レベルのタイミング図
（TKBTOE00の操作がタイマ・カウント・クロックの発生と同時の場合）




（4）TKBTOE0p = 0でTKBTOD0pを変更した場合

TKBTOE0p = 0でTKBTOD0pを変更した場合，$f_{CLK}$の1クロック後，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2は，TKBTOD0pで設定しているデフォルトレベルになります。

図7－33　デフォルトレベルとアクティブ・レベルのタイミング図
（TKBTOE00 = 0でTKBTOD00を変更した場合）




**備考**　p = 0, 1

### 7. 4. 3　動作停止と動作開始

16ビット・タイマKB20の動作停止と開始はTKBCE0を制御することにより可能となります。

16ビット・タイマKB20はTKBCE0を“1”から“0”にすることでリセットし動作を停止します。

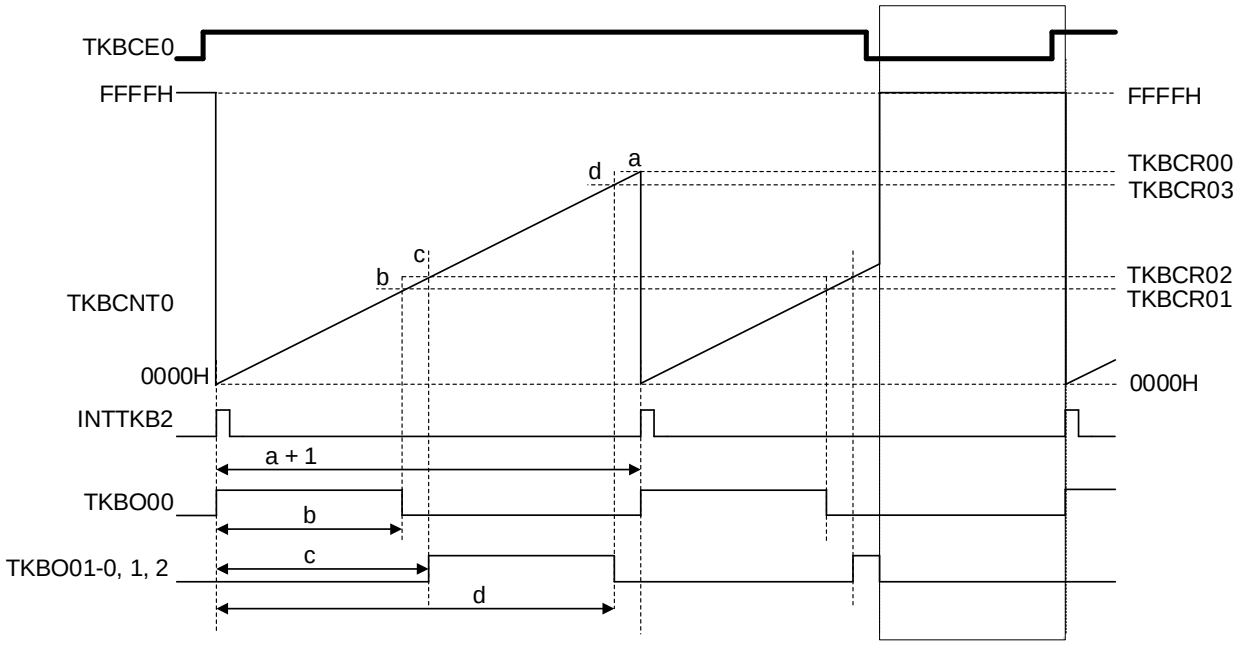
このときカウンタTKBCNT0は，FFFFHにリセットされ動作を停止します。

TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力は，TKBTOD0pで設定したデフォルトレベルを出力します。

16ビット・タイマKB20はTKBCE0を“0”から“1”にすることで動作を開始します。

TKBCE0 = 0のとき，カウンタTKBCNT0は，FFFFHを保持し，TKBCE0を“0”から“1”することでアップ・カウント動作を開始します。

図7－34　動作停止のタイミング図（TKBTOL0p = 0, TKBTOD0p = 0時）



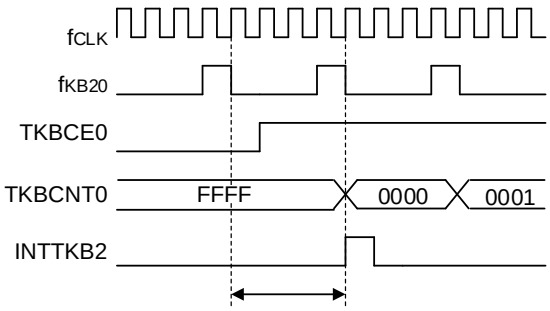

**備考**　p = 0, 1

（1）カウント動作開始タイミング

TKBCE0を“0”から“1”に変更した場合，最小$f_{CLK}$の1クロックから最大$f_{KB20}$の1クロック経過後に，カウント動作を開始します。

カウント動作開始タイミングで，INTTKB2を出力します。

図7－35　動作開始のタイミング図（TKBCE0を“0”から“1”に変更した場合）



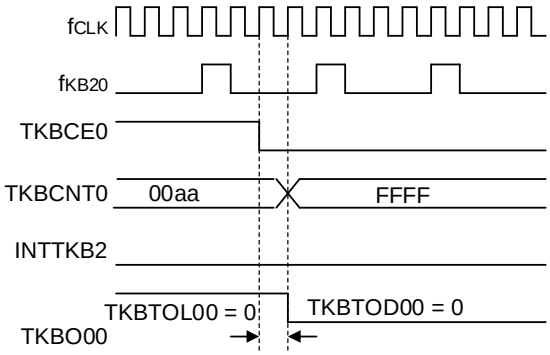

（2）カウント動作停止タイミング

（a）基本タイミング

TKBCE0を“1”から“0”に変更した場合，$f_{CLK}$の1クロック経過後に，カウント動作を停止します。

TKBCNT0は，FFFFHにリセットされ，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2は，TKBTOD0pで設定しているデフォルトレベルになります。

図7－36　動作停止のタイミング図（TKBCE0を“1”から“0”に変更した場合）



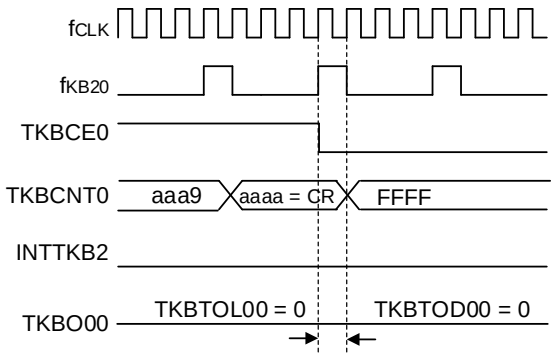

**備考**　p = 0, 1

（b）TKBCR00の一致とTKBCE0のクリア・タイミングが同時の場合

TKBCE0を“1”から“0”に変更するタイミングとTKBCNT0とTKBCR00が一致するタイミングが同時になる場合，TKBCNT0の変更が優先され，TKBO00，TKBO01-0，TKBO01-1，TKBO01-2は，TKBTOD0pで設定しているデフォルト値になります。また，このときINTTKB2は発生しません。

図7－37　動作停止のタイミング図

（TKBCE0を“1”から“0”に変更するタイミングとTKBCNT0とTKBCR00が一致するタイミングが同時になる場合）

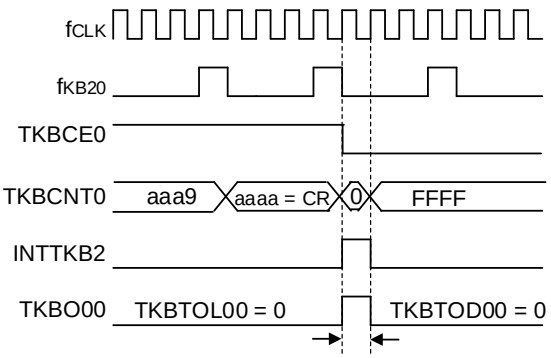



（c）TKBCE0の操作がタイマ・カウント・クロックの発生と同時の場合

TKBCE0の操作が$f_{CLK}$の発生と同時の場合，TKBCNT0 = TKBCR00の一致発生でINTTKB2を出力し，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2がセットされます。

$f_{CLK}$の1クロック経過後，TKBCNT0は，FFFFHにリセットされ，TKBO00，TKBO01-0，TKBO01-1，TKBO01-2は，TKBTOD0pで設定しているデフォルトレベルになります。

図7－38　動作停止のタイミング図（TKBCE0の操作がタイマ・カウント・クロックの発生と同時の場合）

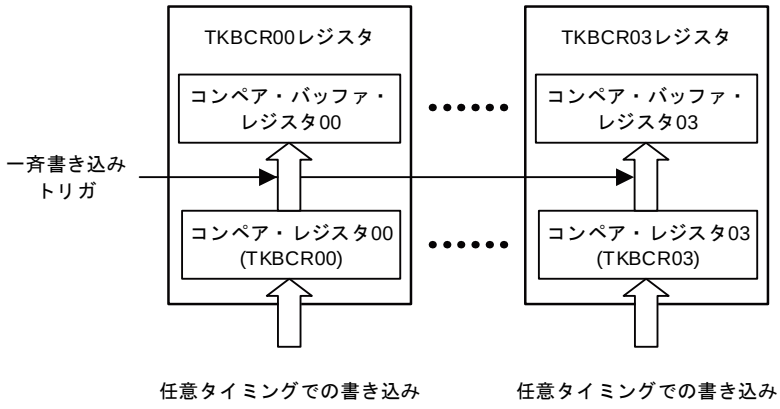



**備考**　p = 0, 1

### 7. 4. 4　一斉書き込み動作

16ビット・タイマKB20では，16ビット・タイマKB2コンペア・レジスタ0p（TKBCR0p）は図7－39に示すように二段構成になっています。そのため，プログラムでTKBCR0pに値を設定しても，その値は直ちに有効にはなりません。TKBCR0pに任意のタイミングで設定された値は，カウント動作開始や転送トリガ時に，バッファ・レジスタに一斉に転送され，実際に比較動作で使用されます。これにより，複数のコンペア・レジスタに任意のタイミングで値を設定できるようになっています。

図7－39　コンペア・レジスター一斉書き換え機能




**備考**　16ビット・タイマKB2コンペア・レジスタ0p（TKBCR0p）はこのように二段構成になっていますが，値の書き込み以外では一つのレジスタとして扱います。

(1) 一斉書き込みのタイミング

コンペア・レジスタの一斉書き込みには次の3つの場合があります。このうち，（c）についてはレジスタ設定で制御することができます。

（a） 16ビット・タイマKB20のカウント動作開始時
（b） 16ビット・カウンタのカウント値と16ビット・タイマKB2コンペア・レジスタ00（TKBCR00）に設定された値が一致した。
（c） 外部トリガによる一斉書き込み許可時に，外部トリガが発生した。

**備考**　p = 0-3

## 7. 4. 5　単体動作モード（TKBCR00による周期制御）

（1）機能概要

単体動作モードでは, TKBCR00の設定値で周期を決め, TKBCR00とTKBCR01によりTKBO00を生成し, TKBCR02とTKBCR03によりTKBO01-0, TKBO01-1, TKBO01-2を生成します。

デューティは，0%～100%の範囲で設定可能で，周期とデューティは以下の計算式で求められます。

【TKBO00出力の計算式】

パルス周期 =（TKBCR00の設定値＋1）×カウント・クロック周期

デューティ [%] =（TKBCR01の設定値／（TKBCR00の設定値＋1））×100

0%出力：TKBCR01の設定値 = 0000H

100%出力：TKBCR01の設定値≧TKBCR00の設定値＋1

【TKBO01-0, TKBO01-1, TKBO01-2出力の計算式】

デューティ [%] =（（TKBCR03の設定－TKBCR02の設定値）／（TKBCR00の設定値＋1））×100

0%出力：TKBCR03の設定値 = TKBCR02の設定値

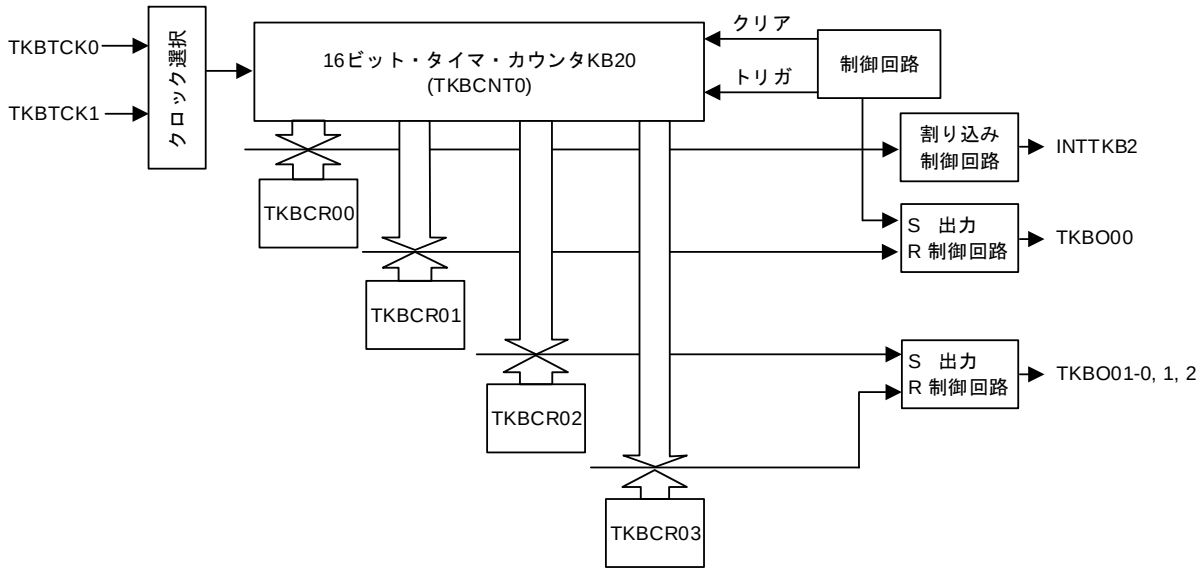
100%出力：TKBCR02の設定値 = 0000H

TKBCR03の設定値≧TKBCR00の設定値＋1

**注意　必ずTKBCR02の設定値≦TKBCR03の設定値としてください。**

図7－40に単体動作時の構成図（TKBCR00による周期制御）を示します。

図7－40　単体動作時の構成図（TKBCR00による周期制御）

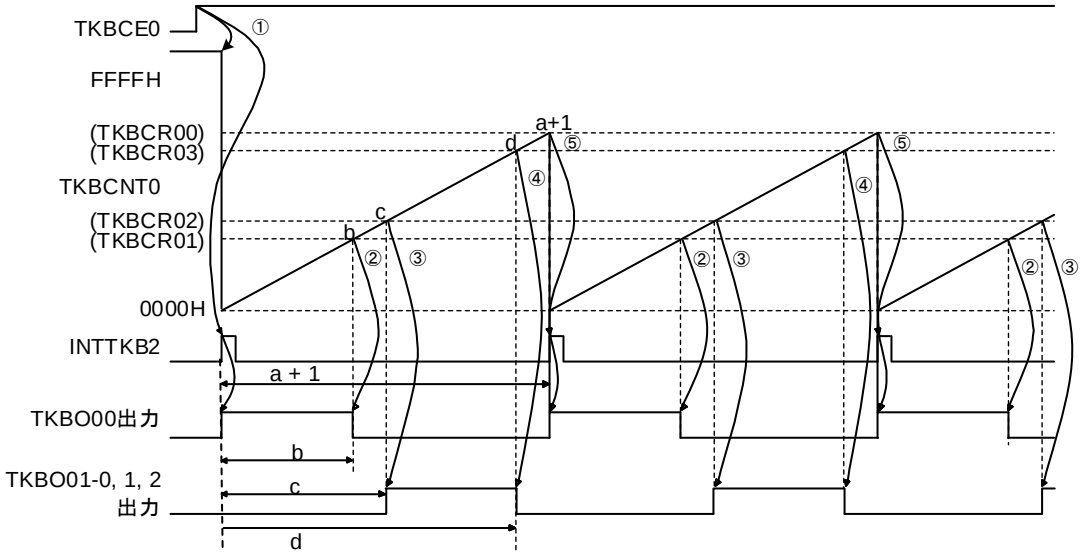



**備考**　TKBO01-0, TKBO01-1, TKBO01-2の出力切り替えは，16ビット・タイマKB2出力切り替えレジスタ（PWCTKB）で行います。

（2）動作概要

図7－41に単体動作タイミング例を示します。

図7－41　単体動作タイミング例（TKBCR00による周期制御）
（出力のデフォルト値がロウ・レベル（TKBTOD0p = 0）でアクティブ・レベルがハイ・レベル（TKBTOL0p = 0）の場合）




単体動作（TKBCR00による周期制御）の動作例について説明します。次の説明は図7－41の①～⑤とリンクしています。

① TKBCE0に1を設定すると，カウント・クロックに同期して16ビット・タイマ・カウンタKB2（TKBCNT0）はFFFFHから0000Hになり，アップ・カウントを開始します。同時にINTTKB2が出力され，TKBO00出力がTKBIOC00レジスタのTKBTOD00ビットで指定されたデフォルト値からTKBTOL00ビットで指定されたアクティブ値（この例ではハイ・レベル）に変化します（TKBO01-0, TKBO01-1, TKBO01-2出力はTKBTOD01ビットで指定されたデフォルト値を保持しています）。

② TKBCNT0がカウント・アップして16ビット・タイマKB2コンペア・レジスタ01（TKBCR01）に設定されている値と一致すると，TKBO00出力がインアクティブ・レベルとなります。

③ TKBCNT0がカウント・アップして16ビット・タイマKB2コンペア・レジスタ02（TKBCR02）に設定されている値と一致すると，TKBO01-0, TKBO01-1, TKBO01-2出力がアクティブ・レベルとなります。

④ TKBCNT0がカウント・アップして16ビット・タイマKB2コンペア・レジスタ03（TKBCR03）に設定されている値と一致すると，TKBO01-0, TKBO01-1, TKBO01-2出力がインアクティブ・レベルとなります。

⑤ TKBCNT0がカウント・アップして16ビット・タイマKB2コンペア・レジスタ00（TKBCR00）に設定されている値と一致すると，次のカウント・クロックでINTTKB2が出力され，TKBO00出力がアクティブ・レベルとなります。TKBCNT0は0000Hからカウント・アップします。

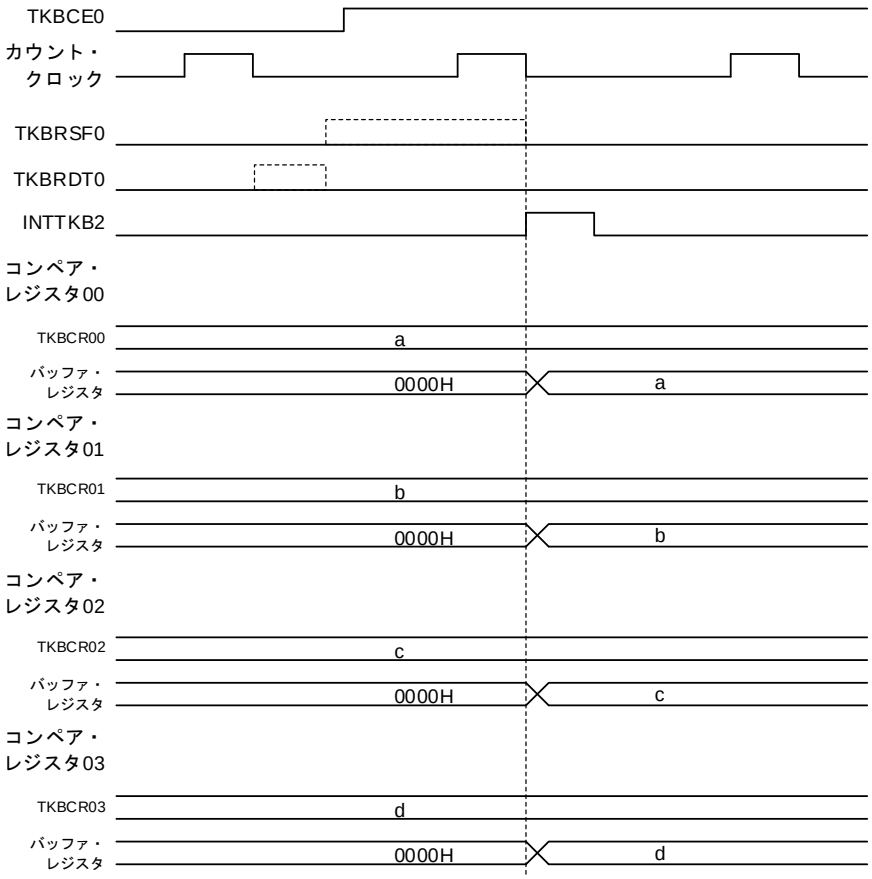
⑥ 以降②～⑤を繰り返します。

（3）一斉書き込みの動作（カウント動作開始時）

16ビット・タイマKB20のコンペア・レジスタは，TKBCTL01レジスタのTKBCE0ビットへの“1”書き込み後のカウント・クロック発生によるカウンタの動作開始タイミングで，内部バッファ・レジスタを一斉に更新します。

カウント動作開始タイミングに限り，TKBTRG0レジスタのTKBRDT0ビットへ“1”を書き込まなくても一斉書き換えが発生します（図7－42参照）。

図7－42　一斉書き換え機能：カウント動作開始時のバッファ更新タイミング図




**備考**　TKBCE0 = 0のとき，TKBRDT0に“1”を書き込むとTKBRSF0に“1”がセットされ，カウント動作開始タイミング(カウンタ・スタート・トリガ発生)でTKBRSF0が“0”にクリアされます。

（4）一斉書き込みの動作（カウント動作中のバッファ更新）

16ビット・タイマKB20のコンペア・レジスタは，TKBRDT0ビットへの“1”の書き込みを一斉書き換えトリガとして，次回のカウンタ・クリア（TKBCNT0とTKBCR00の一致）のタイミングで内部バッファ・レジスタを一斉に更新します。TKBRDT0ビットへの“1”書き込みから一斉書き換え完了までの間は，一斉書き換えトリガの保留ステータス・フラグ（TKBRSF0）がセットされます（図7－43参照）。

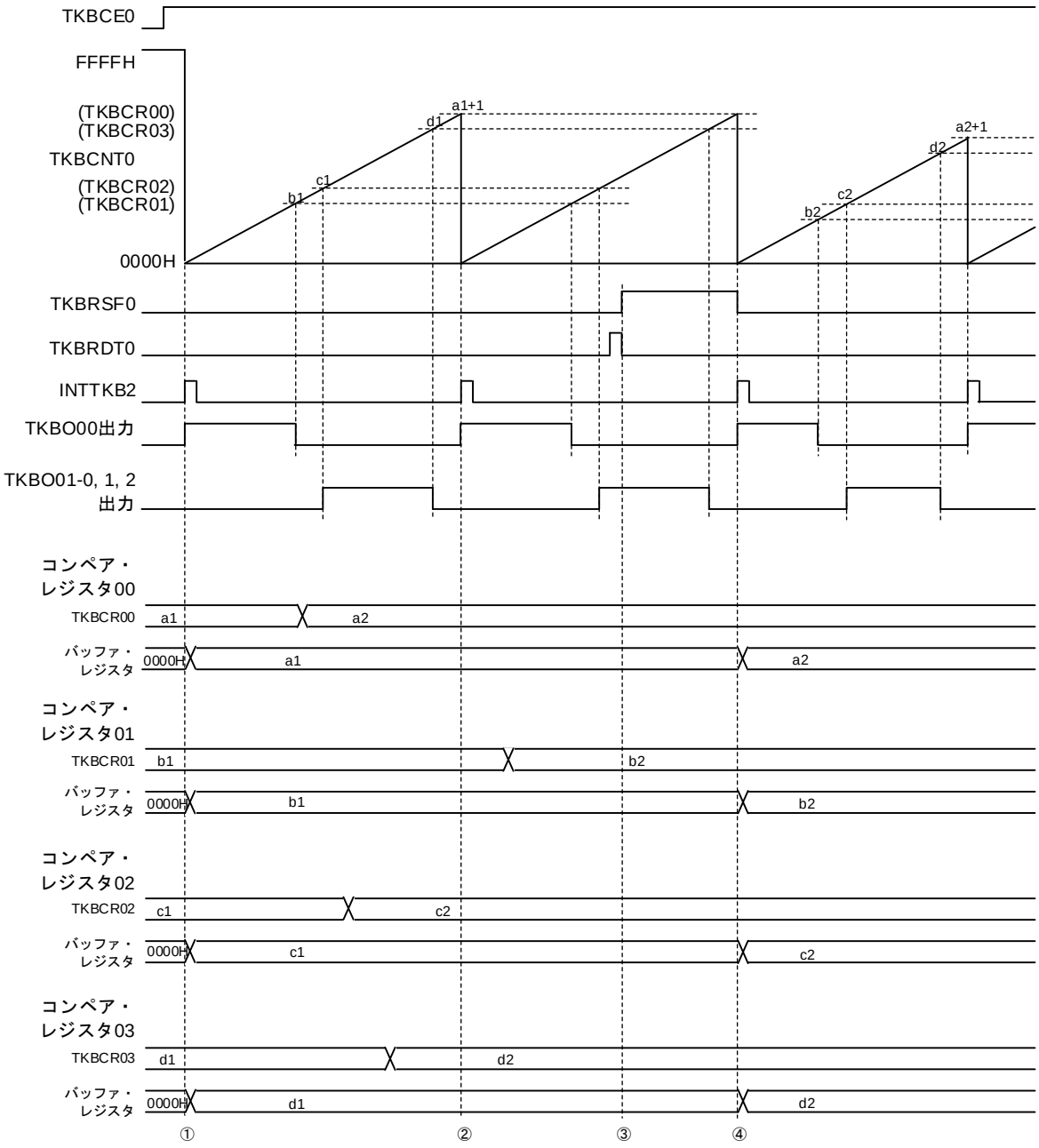
①TKBCE0ビットを“0”から“1”に設定し，TKBCNT0がカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。

②TKBCR00-TKBCR03レジスタ書き換え後，カウンタ・クリアが発生した場合であっても，TKBRDT0ビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。

③TKBRDT0ビットへの“1”書き込みにより，一斉書き換えトリガの保留ステータス・フラグ（TKBRSF0ビット）が“1”となります。

④TKBRSF0ビットが“1”のときの，カウンタ・クリア発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSF0ビットが“0”となります。

図7－43　一斉書き換え機能：カウント動作中のバッファ更新タイミング図



（5）単体動作モード（TKBCR00による周期制御）でのレジスタ設定内容例

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL00 | TKBIHE0<br>1/0 | －<br>0 | TKBSSE01<br>1/0 | TKBDIE01<br>1/0 | －<br>0 | －<br>0 | TKBSSE00<br>1/0 | TKBDIE00<br>1/0 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TKBMFE0<br>0 | －<br>0 | TKBIRS01<br>0 | TKBIRS00<br>0 | －<br>0 | TKBTSE0<br>0 | TKBSTS01<br>0 | TKBSTS00<br>0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL01 | TKBCE0<br>1 | －<br>0 | －<br>0 | TKBCKS0<br>1/0 | －<br>0 | －<br>0 | TKBMD01<br>0 | TKBMD00<br>0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC00 | －<br>0 | －<br>0 | －<br>0 | －<br>0 | TKBTOL01<br>1/0 | TKBTOL00<br>1/0 | TKBTOD01<br>1/0 | TKBTOD00<br>1/0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC01 | TKBNFB0<br>0 | －<br>0 | TKBEGPA0<br>1/0 | TKBEGNA0<br>1/0 | TKBEGPB0<br>1/0 | TKBEGNB0<br>1/0 | TKBTOE01<br>1/0 | TKBTOE00<br>1/0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPSCS0 | －<br>0 | TKBTPS012<br>1/0 | TKBTPS011<br>1/0 | TKBTPS010<br>1/0 | －<br>0 | TKBTPS002<br>1/0 | TKBTPS001<br>1/0 | TKBTPS000<br>1/0 |

| | |
|---|---|
| TKBCR00 | 0000H-FFFFH |
| TKBCR01 | 0000H-FFFFH |
| TKBCR02 | 0000H-FFFFH |
| TKBCR03 | 0000H-FFFFH |
| TKBSIR00 | 0000H-FFFFH |
| TKBSIR01 | 0000H-FFFFH |
| TKBSSR00 | 00H-0FH |
| TKBSSR01 | 00H-0FH |
| TKBDNR00 | 00H-F0H |
| TKBDNR01 | 00H-F0H |
| TKBMFR0 | 0000H |

□：このモードでは設定固定　■：設定不要（初期値を設定）

## 7. 4. 6　単体動作モード（外部トリガ入力による周期制御）

（1）機能概要

単体動作モードは，TKBCR00による周期制御だけでなく，外部トリガ入力にて周期を制御することもできます。

外部トリガ入力検出は，16ビット・タイマKB2カウンタリスタートトリガ選択レジスタ00-09（ELSELR00-ELSELR09）および，16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）のTKBSTS01, TKBSTS00ビットにより選択された入力信号を使用します。

外部トリガ入力検出により，カウンタTKBCNT0を0000Hにクリアし，TKBO00/TKBO01-0, TKBO01-1, TKBO01-2出力をそれぞれアクティブ・レベルとインアクティブ・レベルにします。外部トリガ入力検出より先に，TKBCR00に設定されている値とカウンタ（TKBCNT0）の値の一致が発生した場合は，カウンタは0000Hにクリアされ動作を継続します。

外部トリガ入力が未検出で，TKBCR00により周期制御した場合のTKBO00/TKBO01-0, TKBO01-1, TKBO01-2出力の計算式は，**7. 4. 5　単体動作モード（TKBCR00による周期制御）**を参照してください。

外部トリガ入力検出により周期制御した場合のTKBO00/TKBO01-0, TKBO01-1, TKBO01-2出力の計算式は，以下のとおりです。

【TKBO00出力の計算式】

パルス周期 =（外部トリガ入力検出時のカウンタ値＋1）×カウント・クロック周期

デューティ[%] =（TKBCR01の設定値／（外部トリガ入力検出時のカウンタ値＋1））×100

0%出力：TKBCR01の設定値 = 0000H

100%出力：TKBCR01の設定値≧外部トリガ入力検出時のカウンタ値＋1

【TKBO01-0, TKBO01-1, TKBO01-2出力の計算式】

パルス周期 =（外部トリガ入力検出時のカウンタ値＋1）×カウント・クロック周期

デューティ[%] =（（TKBCR03の設定値－TKBCR02の設定値）／（外部トリガ入力検出時のカウンタ値＋1））×100

0%出力：TKBCR03の設定値 = TKBCR02の設定値

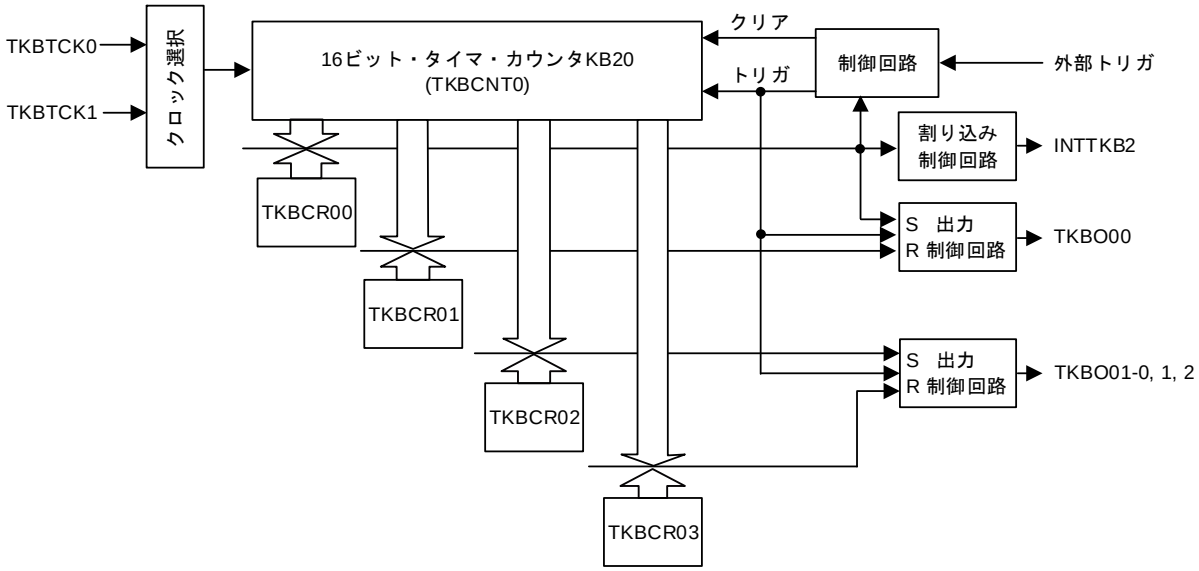
100%出力：TKBCR02の設定値 = 0000H

TKBCR03の設定値≧外部トリガ入力検出時のカウンタ値＋1

**注意　必ずTKBCR02の設定値≦TKBCR03の設定値としてください。**

図7－44に単体動作時の構成図（外部トリガ入力による周期制御）を示します。

図7－44　単体動作時の構成図（外部トリガ入力による周期制御）



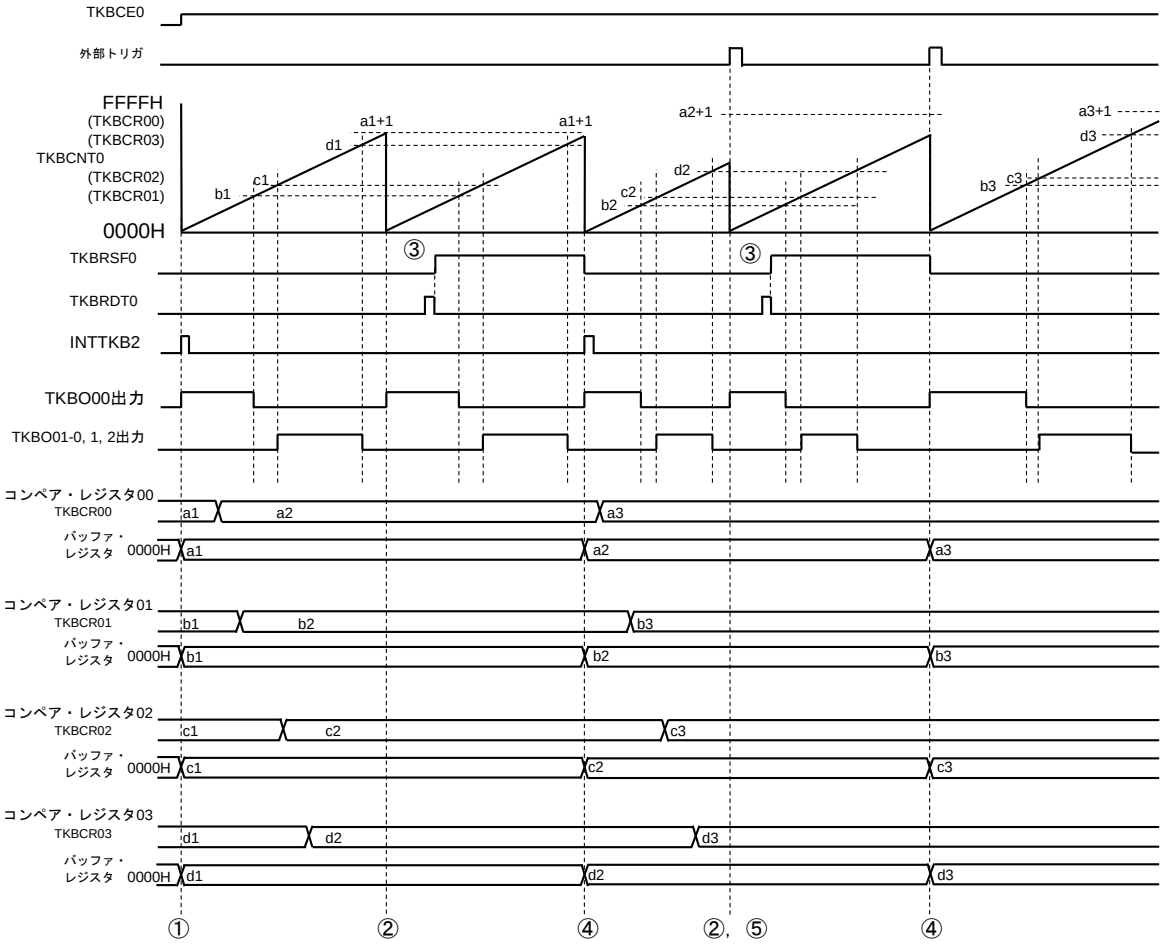

**備考**　TKBO01-0, TKBO01-1, TKBO01-2の出力切り替えは，16ビット・タイマKB2出力切り替えレジスタ（PWCTKB）で行います。

（2）一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新（TKBTSE0ビットを1に設定））

外部トリガ入力による周期制御での単体動作時に，TKBCTL00レジスタのTKBTSE0ビットを“1”に設定することで，TKBRDT0ビットへの“1”書き込み後の外部トリガ入力検出タイミングで，カウンタのクリア，およびコンペア・レジスター一斉書き換えを実施することができます。カウンタ・クリア同様，TKBRDT0ビットへの“1”書き込み後に，外部トリガ入力検出より先にTKBCR00とカウンタ（TKBCNT0）の一致が発生した場合も，一斉書き換えが実施されます。外部トリガ入力要因はELSELR00-ELSELR09レジスタおよび，TKBCTL00レジスタのTKBSTS01, TKBSTS00ビットで選択します。TKBTSE0ビットを“1”に設定した場合の一斉書き込みの動作タイミングの例を図7－45に示します。

① TKBCE0ビットを“0”から“1”に設定し，TKBCNT0がカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
② TKBCR00-TKBCR03レジスタ書き換え後，カウンタ・クリアが発生した場合であっても，TKBRDT0ビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。
③ TKBRDT0ビットへの“1”書き込みにより，一斉書き換えトリガの保留ステータス・フラグ（TKBRSF0ビット）が“1”となります。
④ TKBTSE0ビットが“1”に設定されて，TKBRSF0ビットが“1”の時の，外部トリガ入力によるカウンタ・クリア発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSF0ビットが“0”となります。カウンタ・クリア同様，TKBRDT0ビットへの“1”書き込み後に，外部トリガ入力検出より先にTKBCR00とカウンタ（TKBCNT0）の一致が発生した場合も，一斉書き換えが実施されます。
⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても，TKBRDT0ビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。

図7－45　一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中の
バッファ更新タイミング図（TKBTSE0ビットを1に設定）



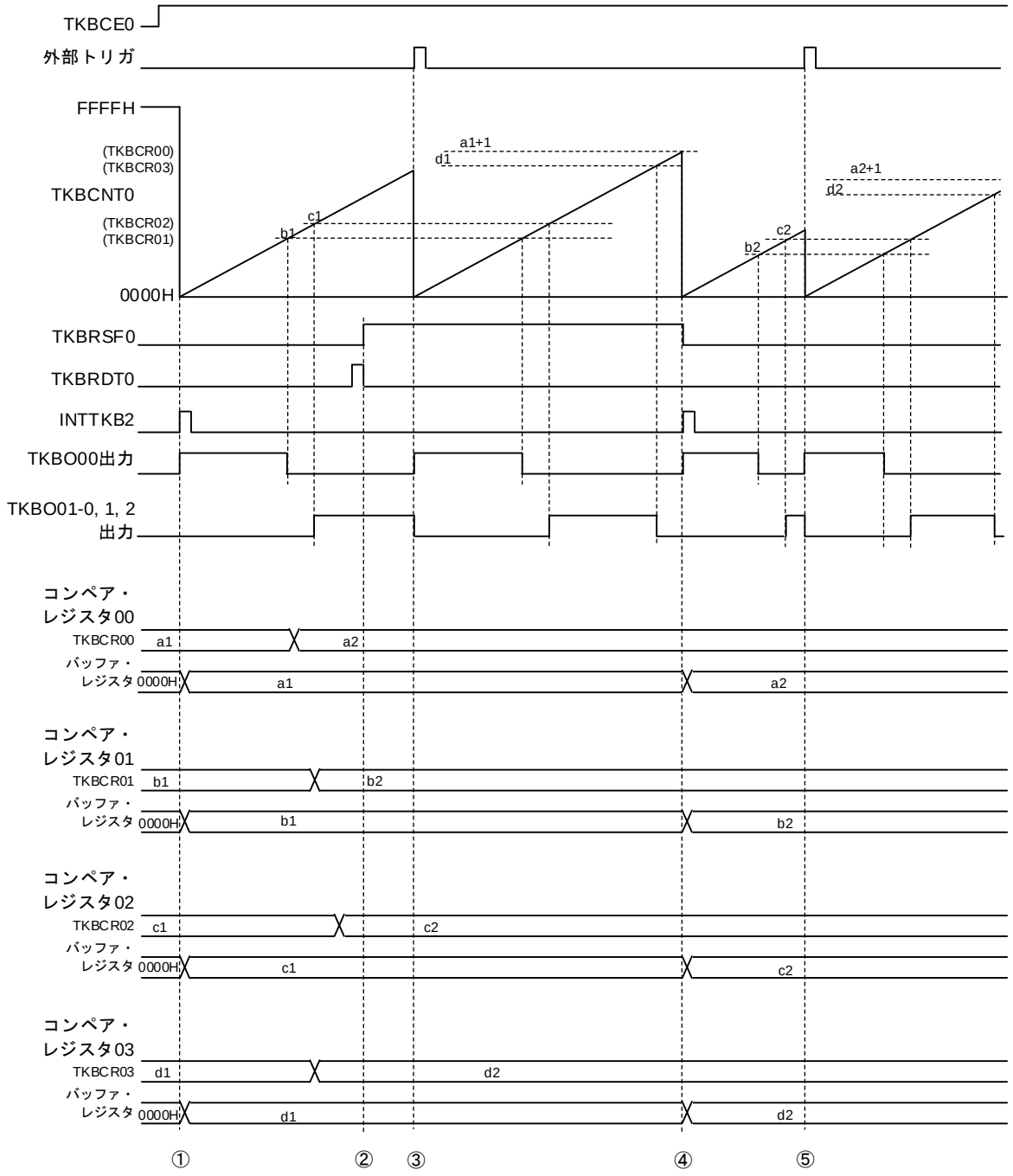
（3）一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新（TKBTSE0ビットを0に設定））

外部トリガ入力による周期制御での単体動作時に，TKBCTL00レジスタのTKBTSE0ビットを“0”に設定した場合の例です。この場合には，TKBRDT0ビットに“1”が書き込まれて，一斉書き換えトリガの保留ステータス・フラグ（TKBRSF0ビット）が“1”の状態で外部トリガ入力を検出すると，カウンタのクリアは行われますが，コンペア・レジスター斉書き換えは行いません。

外部トリガ入力要因はELSELR00-ELSELR09レジスタおよび，TKBCTL00レジスタのTKBSTS01, TKBSTS00ビットで選択します。TKBTSE0ビットを“0”に設定した場合の一斉書き込みの動作タイミングの例を図7－46に示します。

① TKBCE0ビットを“0”から“1”に設定し，TKBCNT0がカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
② TKBCR00-TKBCR03レジスタ書き換え後，TKBRDT0ビットへの“1”書き込みにより，一斉書き換えトリガの保留ステータス・フラグ（TKBRSF0ビット）が“1”となります。
③ 外部トリガ入力により，カウンタ・クリアが発生した場合であっても，TKBTSE0ビットが“1”になっていなければ一斉書き換えは発生しません。
④ TKBRSF0ビットが“1”の状態で，カウンタ・クリア（TKBCNT0とTKBCR00の一致）が発生すると，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSF0ビットが“0”となります。
⑤ 外部トリガ入力によるカウンタ･クリア発生が発生した場合であっても, TKBTSE0ビットとTKBRSF0ビットが“1”の状態でなければ一斉書き換えは発生しません。

図7－46 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中の
バッファ更新タイミング図（TKBTSE0ビットを0に設定）



（4）単体動作モード（外部トリガ入力による周期制御）でのレジスタ設定内容例

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL00 | TKBIHE0<br>0 | －<br>0 | TKBSSE01<br>0 | TKBDIE01<br>0 | －<br>0 | －<br>0 | TKBSSE00<br>0 | TKBDIE00<br>0 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TKBMFE0<br>1/0 | －<br>0 | TKBIRS01<br>0 | TKBIRS00<br>0 | －<br>0 | TKBTSE0<br>1/0 | TKBSTS01<br>1/0 | TKBSTS00<br>1/0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL01 | TKBCE0<br>1 | －<br>0 | －<br>0 | TKBCKS0<br>1/0 | －<br>0 | －<br>0 | TKBMD01<br>0 | TKBMD00<br>0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC00 | －<br>0 | －<br>0 | －<br>0 | －<br>0 | TKBTOL01<br>1/0 | TKBTOL00<br>1/0 | TKBTOD01<br>1/0 | TKBTOD00<br>1/0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC01 | TKBNFB0<br>0 | －<br>0 | TKBEGPA0<br>0 | TKBEGNA0<br>0 | TKBEGPB0<br>0 | TKBEGNB0<br>0 | TKBTOE01<br>1/0 | TKBTOE00<br>1/0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPSCS0 | －<br>0 | TKBTPS012<br>1/0 | TKBTPS011<br>1/0 | TKBTPS010<br>1/0 | －<br>0 | TKBTPS002<br>1/0 | TKBTPS001<br>1/0 | TKBTPS000<br>1/0 |

| | |
|---|---|
| TKBCR00 | 0000H-FFFFH |
| TKBCR01 | 0000H-FFFFH |
| TKBCR02 | 0000H-FFFFH |
| TKBCR03 | 0000H-FFFFH |
| TKBSIR00 | 0000H |
| TKBSIR01 | 0000H |
| TKBSSR00 | 00H |
| TKBSSR01 | 00H |
| TKBDNR00 | 00H |
| TKBDNR01 | 00H |
| TKBMFR0 | 0000H-FFFFH |

□：このモードでは設定固定　■：設定不要（初期値を設定）

### 7. 4. 7　インターリーブPFC（power factor correction）出力モード

電源の高調波電流を抑制するPFC回路を制御する信号をインターリーブ出力できるモードです。

インターリーブPFC回路はシングルPFC回路に比べ，入力ピーク電流を抑制できるため，部品の小型化や電源装置の大電力化を図ることができます。

インターリーブPFC制御には2本のゼロ電流検出用入力とスイッチング用の2本のPWM出力が必要です。

インターリーブPFC制御は，カウンタリスタートトリガ要因0に選択された外部割り込み入力とTKBO00，カウンタリスタートトリガ要因1に選択された外部割り込みとTKBO01-0，TKBO01-1，TKBO01-2の組み合わせで実現します。

カウンタリスタートトリガ要因0に選択された外部割り込みで制御されるTKBO00の出力に対して，カウンタリスタートトリガ要因1に選択された外部割り込みで180度位相をずらしたTKBO01-0，TKBO01-1，TKBO01-2を出力します。

**備考**　シングルPFC制御は単体動作モード（外部入力トリガによる周期制御）で実現することができます。
詳しくは**7. 4. 6　単体動作モード（外部トリガ入力による周期制御）**を参照してください。

TKBCR00により，カウンタリスタートトリガ要因0に選択された外部割り込みが検出されない場合のカウンタのリスタート周期を設定します。

TKBCR01により，TKBO00出力のアクティブ幅を設定します。

TKBCR03により，TKBO01-0, TKBO01-1, TKBO01-2出力のアクティブ幅を設定します。

**備考**　インターリーブPFC（Power Factor Correction）出力モードではTKBCR02は使用しません。

TKBTOL00ビットとTKBTOD00ビット，TKBTOL01ビットとTKBTOD01ビットの設定値を同じ値に設定してください。これによりデフォルト・レベルがロウ・レベル（ハイ・レベル）のとき，アクティブ・レベルをハイ・レベル（ロウ・レベル）となるようにします。

【TKBO00出力とTKBO01-0, TKBO01-1, TKBO01-2出力の計算式】

パルス周期（Max）[注] =（TKBCR00の設定値＋1）×カウント・クロック周期

TKBO00出力のアクティブ幅 = TKBCR01の設定値×カウント・クロック周期

TKBO01-0, TKBO01-1, TKBO01-2出力のアクティブ幅 = TKBCR03の設定値×カウント・クロック周期

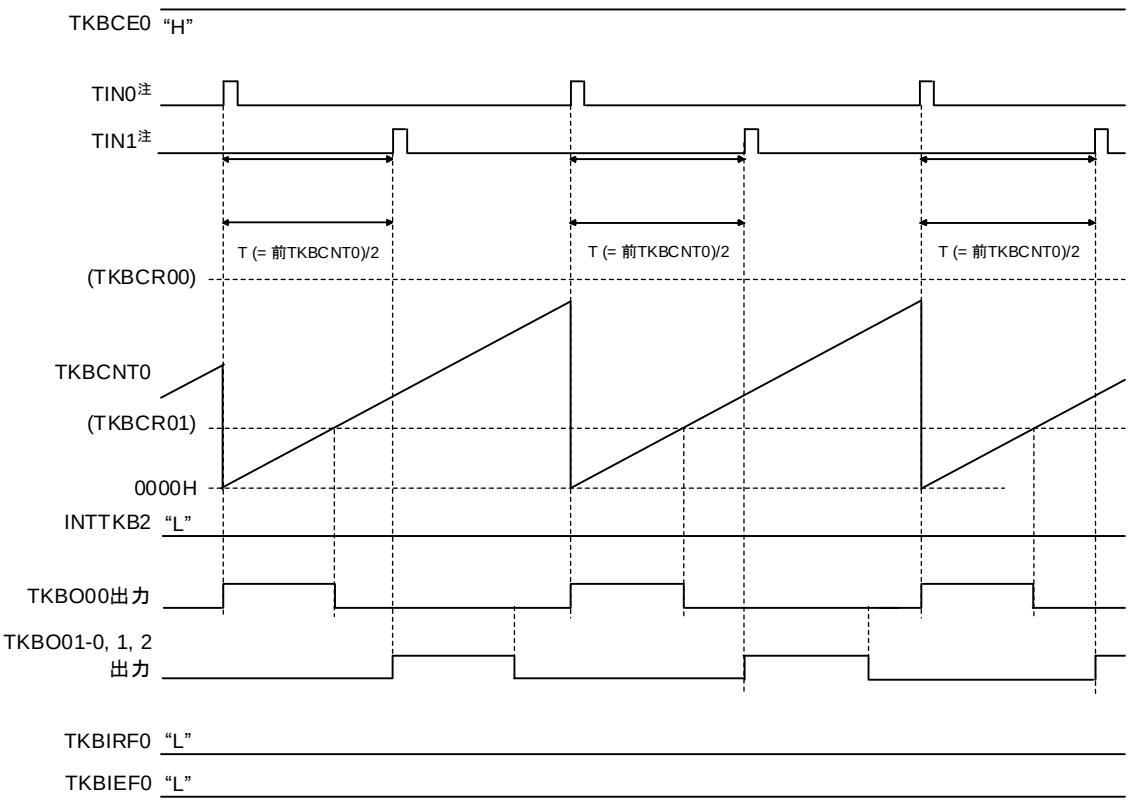
**注**　カウンタリスタートトリガ要因0に選択された外部割り込み入力が検出されない場合のカウンタのリスタート周期です。

インターリーブPFCモード基本動作の動作概要を図7－47に示します。インターリーブPFCモード基本動作では，カウンタリスタートトリガ要因0に選択された外部割り込み入力をトリガとして，TKBCNT0はクリアされて0000Hからカウント・アップします。このとき，TKBO00はアクティブ・レベルとなり，TKBCR01レジスタの設定値との一致によりインアクティブ・レベルとなります。

カウンタリスタートトリガ要因0に選択された外部割り込み入力と位相がずれた，カウンタリスタートトリガ要因1に選択された外部割り込み入力よるトリガで，TKBO01-0, TKBO01-1, TKBO01-2はアクティブ・レベルとなり，TKBCR03レジスタの設定値との一致によりインアクティブ・レベルとなります。

TKBCNT0がTKBCR00レジスタの設定値と一致する前に次のカウンタリスタートトリガ要因0に選択された外部割り込み入力が入力されて，上記の動作を繰り返していきます。

図7－47　インターリーブPFCモード基本動作の動作概要
（出力のデフォルト値がロウ・レベル（TKBTOD0p = 0）でアクティブ・レベルがハイ・レベル（TKBTOL0p = 0）の場合）




**注**　TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

**備考**　p = 0, 1

（1）インターリーブPFCにおけるTKBO01-0, TKBO01-1, TKBO01-2の出力条件

TKBO01-0, TKBO01-1, TKBO01-2の出力には出力条件があり，下記表に従い制御されます。

| 条件No | TKBO01-0, TKBO01-1, TKBO01-2の出力条件 | | | TKBO01-0, TKBO01-1, TKBO01-2ハイ・レベル開始 |
|---|---|---|---|---|
| | TIN0[注1]入力 | CR00との一致／TIN1[注1] | 周期幅 | |
| 1 | 1周期目 | － | － | T/2で出力開始（CR00設定値をTとする） |
| 2 | TIN0入力未検出 | TKBCNT0とCR00との一致発生（TIN1入力検出は無視する） | 次の周期（CR00値）が前の周期の1/2以上の場合 | T/2で出力開始 |
| 3 | ↑ | ↑ | 次の周期（CR00値）が前の周期の1/2以下の場合 | 状態保持 |
| 4 | No.3の次の周期 | － | － | T/2で出力開始 |
| 5 | TIN0入力検出（1回目）[注2] | － | － | T/2で出力開始 |
| 6 | TIN0入力検出（2回目以降）[注3] | TIN1検出（前TOUT1立ち下がりエッジ～T/2の範囲） | － | T/2で出力開始 |
| 7 | TIN0入力検出（2回目以降）[注3] | TIN1検出（T/2～T/2＋T/（TKBIRS01-TKBIRS00の設定値）の範囲) | － | トリガ入力で出力開始 |
| 8 | TIN0入力検出（2回目以降）[注3] | TIN1検出（T/2＋T/（IRS1-IRS0の設定値）の範囲以降） | － | 状態保持 |
| 9 | No.8の次の周期 | － | － | T/2で出力開始 |
| 10 | TIN0入力検出 | － | 次の周期がT/2以下の場合 | 状態保持 |
| 11 | No.10の次の周期 | － | － | T/2で出力開始 |

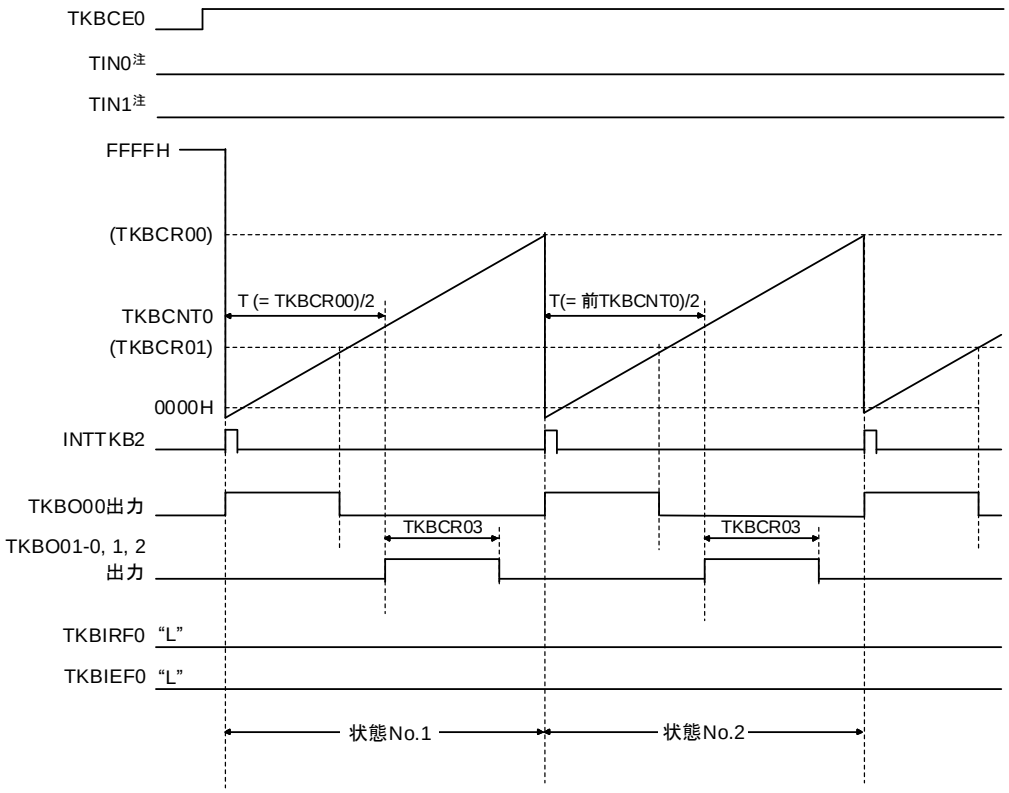
**注 1.** TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

**2.** TIN0入力検出（1回目）とは，前の周期がTIN0入力検出によりクリアされなかった場合を意味します。

**3.** TIN0入力検出（2回目）とは，前の周期がTIN0入力検出によりクリアされた場合を意味します。

以下に，「状態No.」ごとの波形図を記載します。

図7－48 インターリーブPFCモードのタイミング図（状態No.1～No.2の動作）

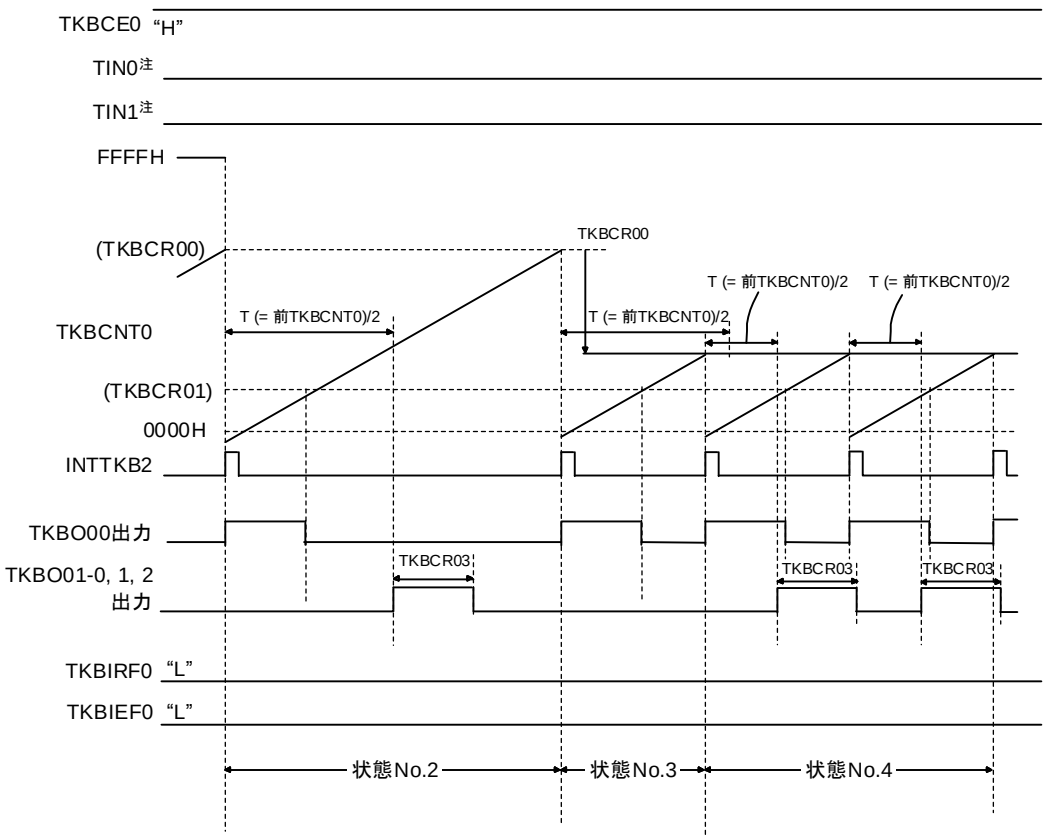



**注** TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

状態No.1： TKBCE0 = 1設定後の1周期目だけは，TKBCR00を“T”としてT/2でTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。

状態No.2： 2周期目は，前の周期のT/2でTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。

図7－49 インターリーブPFCモードのタイミング図（状態No.3～No.4の動作）
（出力のデフォルト値がロウ・レベル（TKBTOD0p = 0）でアクティブ・レベルがハイ・レベル（TKBTOL0p = 0）の場合）

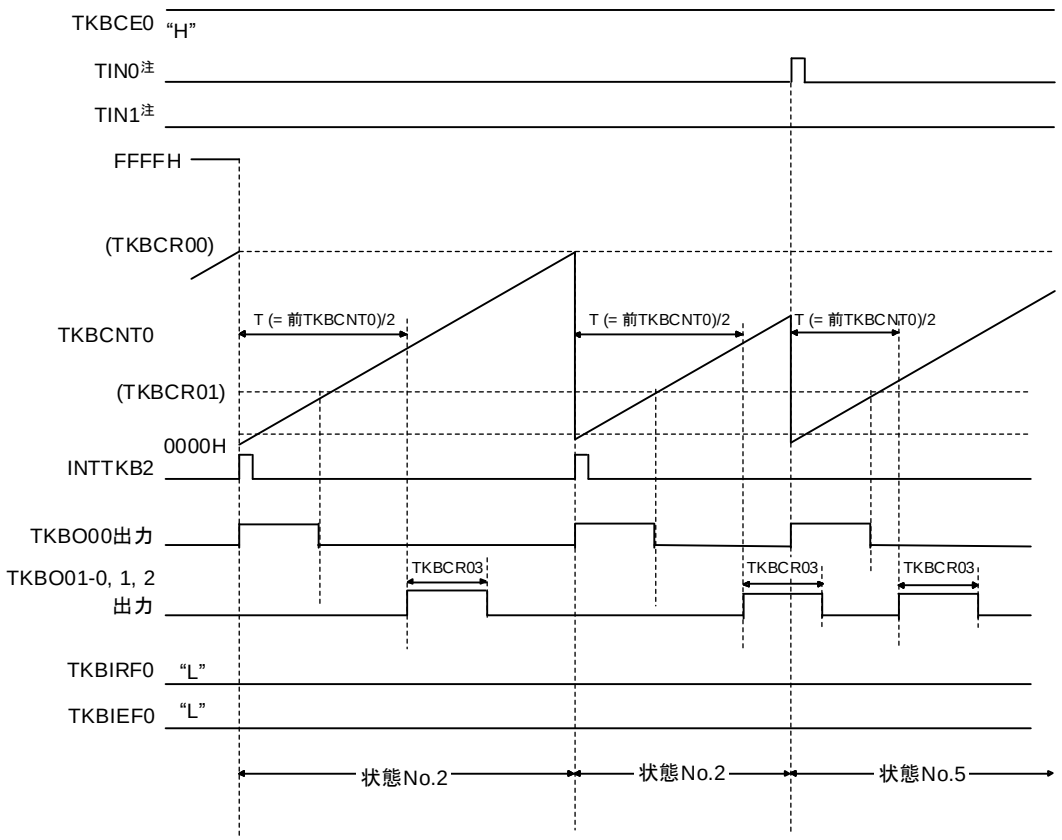



**注** TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

**備考** p = 0, 1

状態No.3： 前の周期のT/2を確保できず，TKBO01-0, TKBO01-1, TKBO01-2は状態を保持します。
状態No.4： 前の周期のT/2でTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。

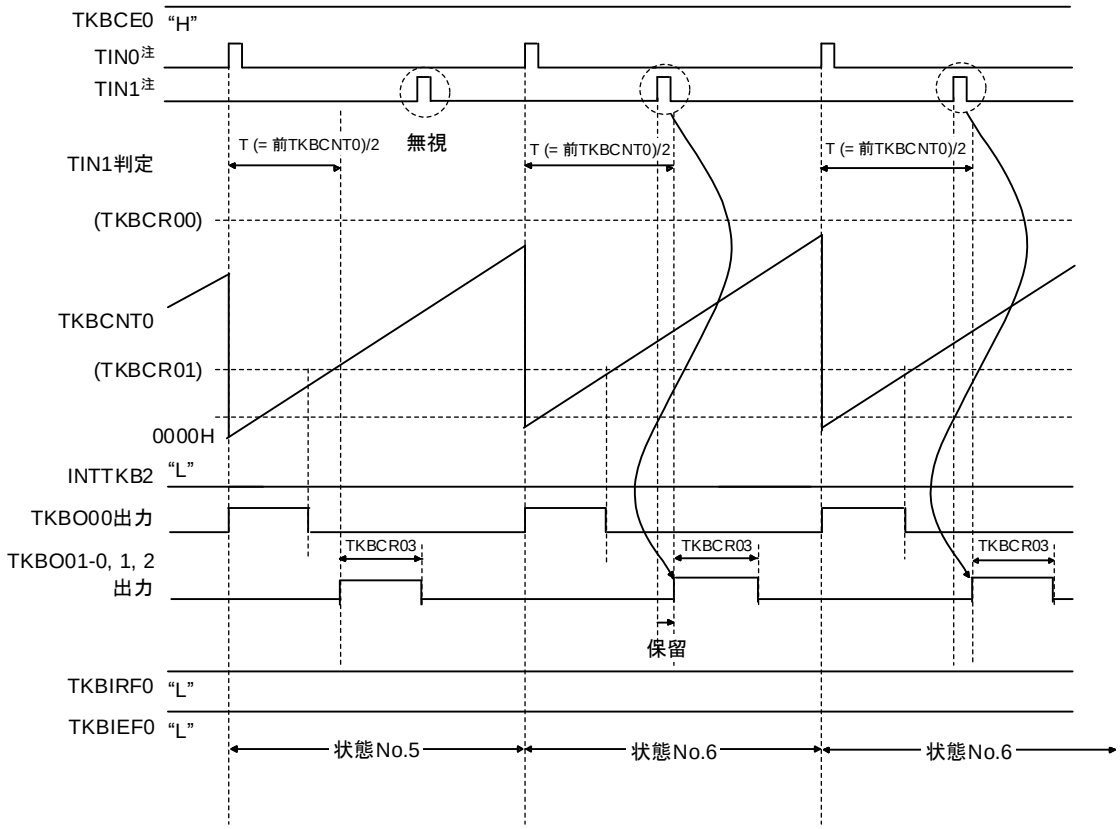
図7－50 インターリーブPFCモードのタイミング図（状態No.5の動作：INT0入力検出（1回目））




**注** TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

状態No.5： TKBCE0 = 1設定後の最初に検出したTIN0は，前の周期のT/2でTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。
TIN1の検出／未検出によりません。

図7－51　インターリーブPFCモードのタイミング図（状態No.6の動作）
（出力のデフォルト値がロウ・レベル（TKBTOD0p = 0）でアクティブ・レベルがハイ・レベル（TKBTOL0p = 0）の場合）

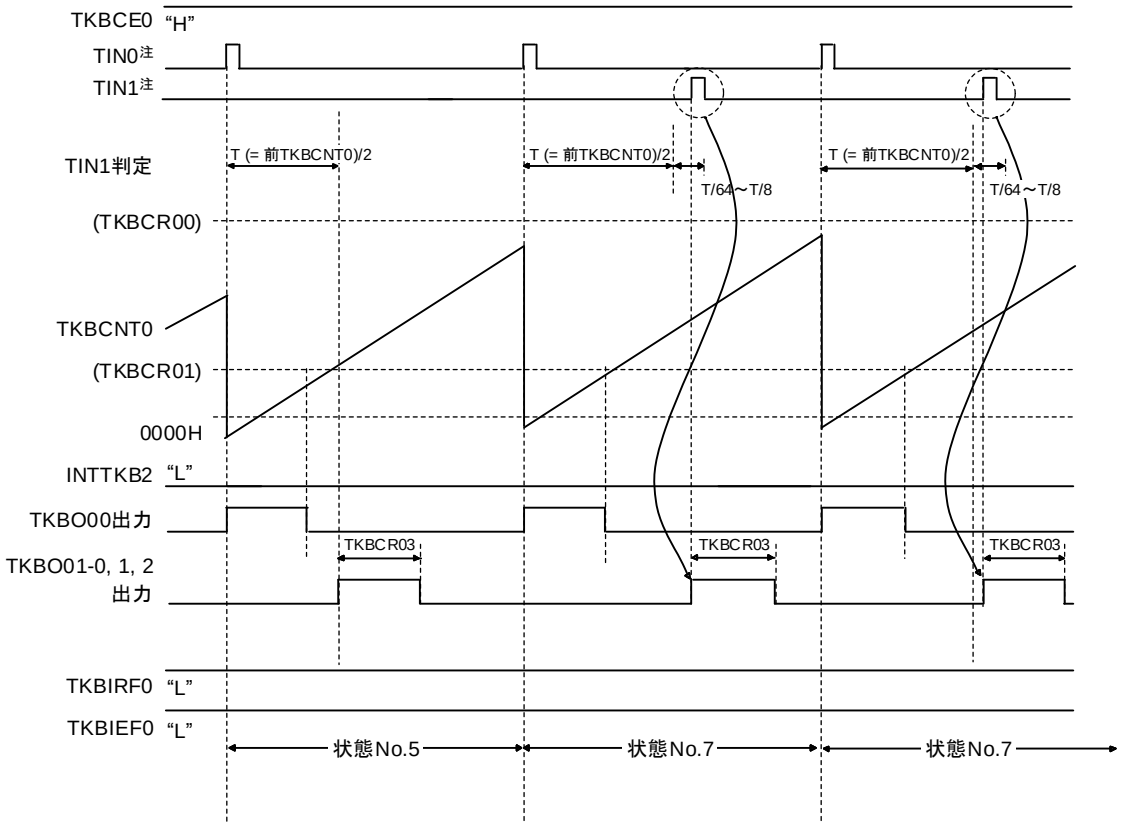



**注**　TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

**備考**　p = 0, 1

状態No.6：TIN1の入力が前の周期のT/2内であるため，前の周期のT/2でTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。

図7－52 インターリーブPFCモードのタイミング図（状態No.7の動作）
（出力のデフォルト値がロウ・レベル（TKBTOD0p = 0）でアクティブ・レベルがハイ・レベル（TKBTOL0p = 0）の場合）

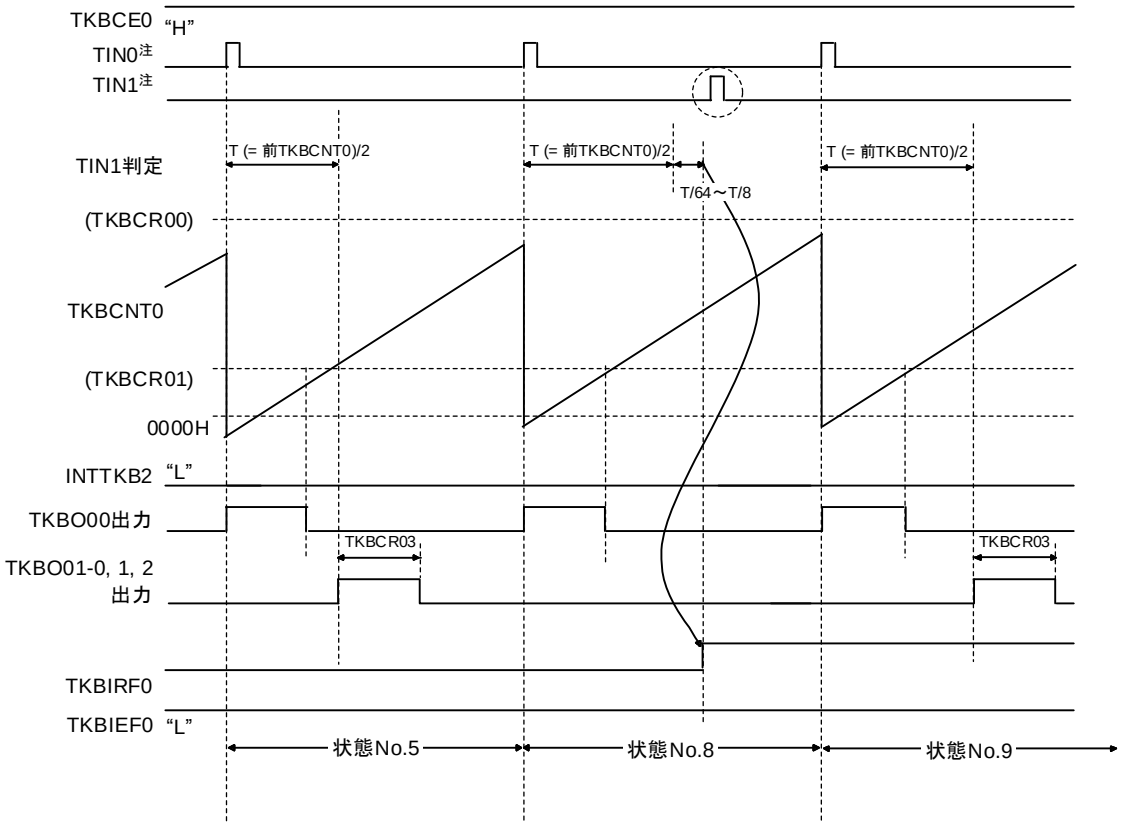



**注** TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

**備考** p = 0, 1

状態No.7： TIN0検出後，前の周期のT/2以上，前の周期のT/2＋T/m（mは，8, 16, 32, 64 : TKBIRS01, TKBIRS00で設定）以内のTIN1検出するとTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。

図7－53　インターリーブPFCモードのタイミング図（状態No.8～No.9の動作）
（出力のデフォルト値がロウ・レベル（TKBTOD0p = 0）でアクティブ・レベルがハイ・レベル（TKBTOL0p = 0）の場合）



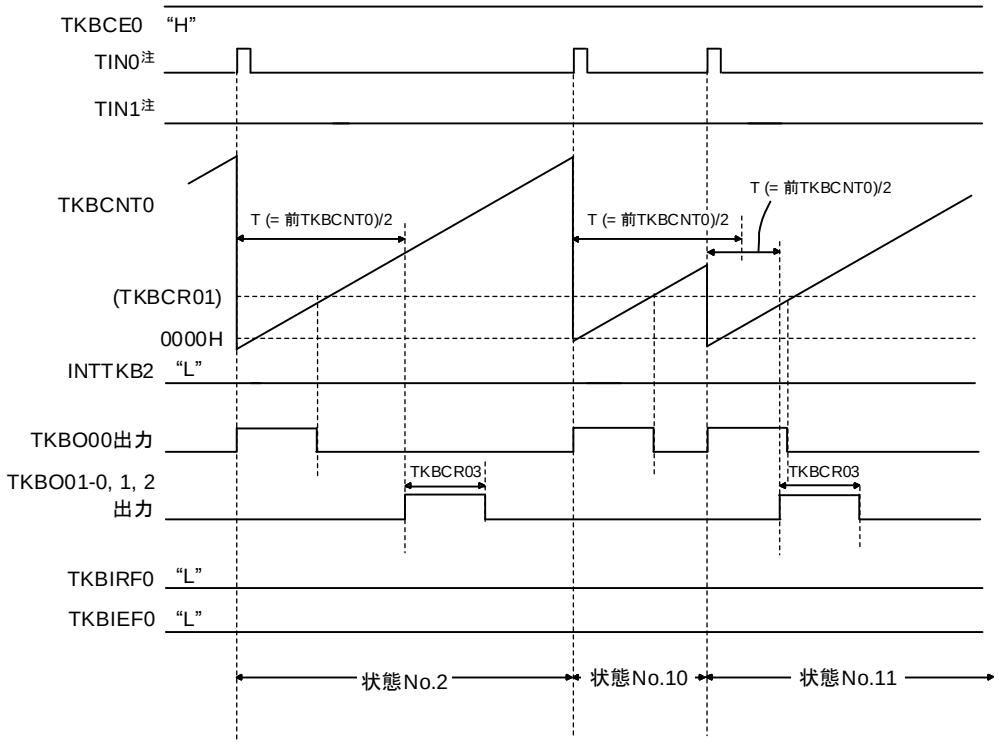

**注**　TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

**備考**　p = 0, 1

状態No.8：前の周期のT/2＋T/m（mは，8, 16, 32, 64：TKBIRS01, TKBIRS00で設定）以内にTIN1が検出されなかった場合，TKBO01-0, TKBO01-1, TKBO01-2は状態を保持します。このとき，TKBIRF0が“1”にセットされます。

状態No.9：前の周期のT/2でTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。

図7－54　インターリーブPFCモードのタイミング図（状態No.10～No.11の動作）
（出力のデフォルト値がロウ・レベル（TKBTOD0p = 0）でアクティブ・レベルがハイ・レベル（TKBTOL0p = 0）の場合）



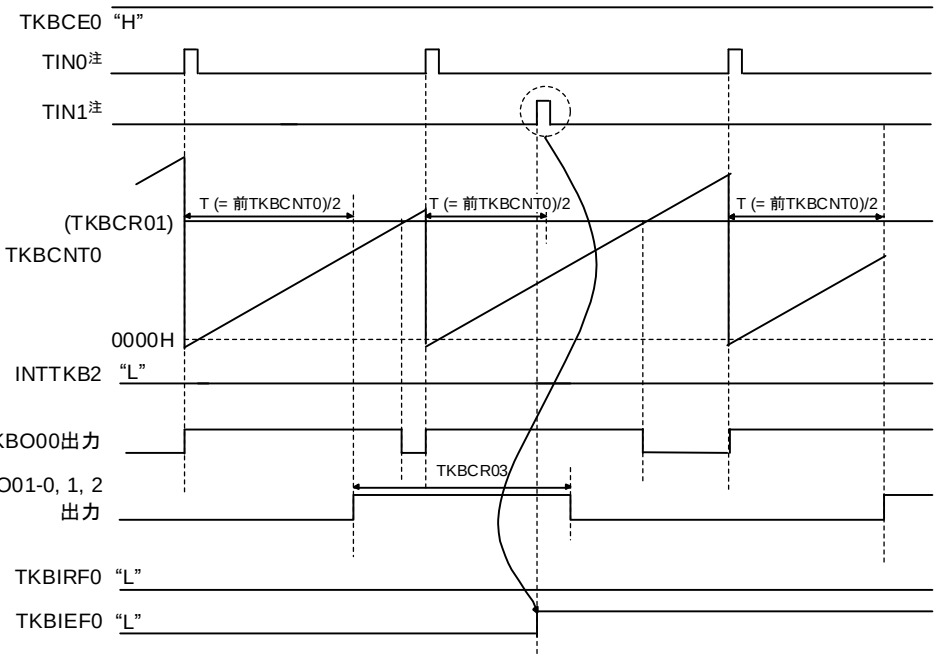

**注**　TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

**備考**　p = 0, 1

状態No.10：前の周期のT/2を確保できず，TKBO01-0, TKBO01-1, TKBO01-2は状態を保持します。
状態No.11：前の周期のT/2でTKBCR03の設定幅のTKBO01-0, TKBO01-1, TKBO01-2を出力します。

図7－55　インターリーブPFCモードのタイミング図

（TKBO01-0, TKBO01-1, TKBO01-2中に再度トリガが発生した場合）

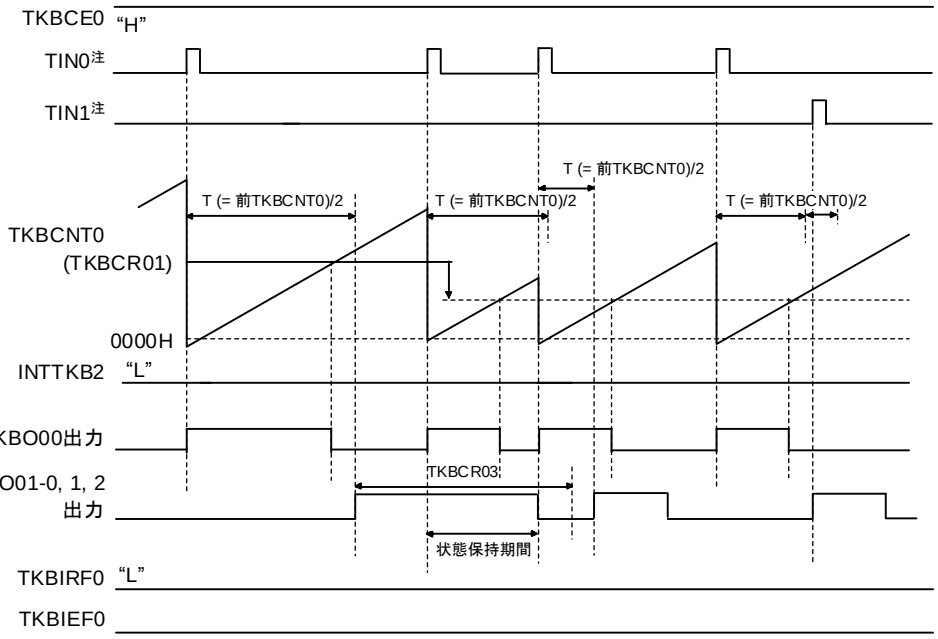



**注**　TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

前の周期のTKBO01-0, TKBO01-1, TKBO01-2出力中に，次のTKBO01-0, TKBO01-1, TKBO01-2出力トリガが発生した場合，トリガを無視します。このとき，TKBIEF0が“1”にセットされます。

図7－56　インターリーブPFCモードのタイミング図

（TKBO01-0, TKBO01-1, TKBO01-2の出力が前回の出力幅で，状態保持期間を超える場合）




**注**　TIN0は，カウントリスタートトリガ要因0に割り当てられた外部割り込み，TIN1は，カウントリスタートトリガ要因1に割り当てられた外部割り込みを示します。

TKBO01-0, TKBO01-1, TKBO01-2出力の前回の出力幅が長く，状態保持期間を超える場合は，状態保持期間を完了した次の周期の開始タイミングで強制的にデフォルト出力とします。

（2）インターリーブPFC出力モードでのレジスタ設定一覧

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL00 | TKBIHE0<br>0 | —<br>0 | TKBSSE01<br>0 | TKBDIE01<br>0 | —<br>0 | —<br>0 | TKBSSE00<br>0 | TKBDIE00<br>0 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TKBMFE0<br>1/0 | —<br>0 | TKBIRS01<br>1/0 | TKBIRS00<br>1/0 | —<br>0 | TKBTSE0<br>1 | TKBSTS01<br>0 | TKBSTS00<br>0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBCTL01 | TKBCE0<br>1 | —<br>0 | —<br>0 | TKBCKS0<br>1/0 | —<br>0 | —<br>0 | TKBMD01<br>1 | TKBMD00<br>1 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC00 | —<br>0 | —<br>0 | —<br>0 | —<br>0 | TKBTOL01<br>1/0 | TKBTOL00<br>1/0 | TKBTOD01<br>1/0 | TKBTOD00<br>1/0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBIOC01 | TKBNFB0<br>0 | —<br>0 | TKBEGPA0<br>0 | TKBEGNA0<br>0 | TKBEGPB0<br>0 | TKBEGNB0<br>0 | TKBTOE01<br>1/0 | TKBTOE00<br>1/0 |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TKBPSCS0 | —<br>0 | TKBTPS012<br>1/0 | TKBTPS011<br>1/0 | TKBTPS010<br>1/0 | —<br>0 | TKBTPS002<br>1/0 | TKBTPS001<br>1/0 | TKBTPS000<br>1/0 |

| | |
|---|---|
| TKBCR00 | 0000H-FFFFH |
| TKBCR01 | 0000H-FFFFH |
| TKBCR02 | 0000H-FFFFH |
| TKBCR03 | 0000H-FFFFH |
| TKBSIR00 | 0000H |
| TKBSIR01 | 0000H |
| TKBSSR00 | 00H |
| TKBSSR01 | 00H |
| TKBDNR00 | 00H |
| TKBDNR01 | 00H |
| TKBMFR0 | 0000H-FFFFH |

□：このモードでは設定固定　　■：設定不要（初期値を設定）

## 7.5　16ビット・タイマKB20のオプション機能

タイマKB20にはオプション機能を付加することができます。

タイマKB20の各動作モードに対する選択可能なオプションを次の表に示します。

| 動作モード | | 単体動作モード | | インターリーブPFC出力モード |
|---|---|---|---|---|
| 動作モードにおける周期制御方法 | | CR00で周期制御 | トリガで周期制御 | リスタートトリガ要因0/<br>CR00で周期制御 |
| オプション機能 | PWM出力ディザリング機能 | ○注1 | × | × |
| | PWM出力ソフト・スタート機能 | ○注1 | × | × |
| | 最大周波数リミット機能 | × | ○注2 | ○ |
| | IH制御用のPWM出力機能 | ○ | ○ | × |

**注1.** IH制御用のPWM出力機能使用時には使用しないでください。

**2.** IH制御用のPWM出力機能のリスタートトリガ入力は，最大周波数リミット機能の検出対象外です。

**備考**　動作使用の詳細は，**7. 4. 2　デフォルトレベルとアクティブ・レベル**，**7. 4. 3　動作停止と動作開始**を参照してください。

### 7.5.1　PWM出力ディザリング機能

16ビット・タイマKB20はPWM出力ディザリング機能を使用することでPWMを高分解能化できます。

PWM周期の16周期を1単位とし，1単位中N回（N = 0-15）のアクティブ期間を1カウント・クロック分延長することにより，PWMの平均分解能を16倍向上できます。

1単位中のアクティブ期間を1カウント・クロック延長させる回数（N）は，TKBDNR0pレジスタに設定します。

1単位の内1カウント・クロック延長（N回）をどの周期（第k周期）で実施するかを下図に示します。

たとえば，N = 3の場合，1単位中，第1, 5, 9周期目のPWMのアクティブ期間を1クロック分延長します。

図7－57　TKBDNR0pと，アクティブ期間を1カウント・クロック延長する周期との関係図

| 第k周期 / 回数（N） | k | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |
| 0 | | | | | | | | | | | | | | | | |
| 1 | ■ | | | | | | | | | | | | | | | |
| 2 | ■ | | | | | | | | ■ | | | | | | | |
| 3 | ■ | | | | ■ | | | | ■ | | | | | | | |
| 4 | ■ | | | | ■ | | | | ■ | | | | ■ | | | |
| 5 | ■ | | ■ | | ■ | | | | ■ | | | | ■ | | | |
| 6 | ■ | | ■ | | ■ | | | | ■ | | ■ | | ■ | | | |
| 7 | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | | |
| 8 | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | |
| 9 | ■ | ■ | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | | ■ | |
| 10 | ■ | ■ | ■ | | ■ | | ■ | | ■ | ■ | ■ | | ■ | | ■ | |
| 11 | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | | ■ | |
| 12 | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | |
| 13 | ■ | ■ | ■ | ■ | ■ | ■ | ■ | | ■ | ■ | ■ | | ■ | ■ | ■ | |
| 14 | ■ | ■ | ■ | ■ | ■ | ■ | ■ | | ■ | ■ | ■ | ■ | ■ | ■ | ■ | |
| 15 | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | ■ | |

**備考 1.** □セル：TKBCR01, TKBCR03レジスタの設定値に従ったアクティブ周期にする

■セル：TKBCR01, TKBCR03レジスタの設定値に＋1したアクティブ周期にする

**2.** p = 0, 1

図7－58　ディザリング動作の波形図

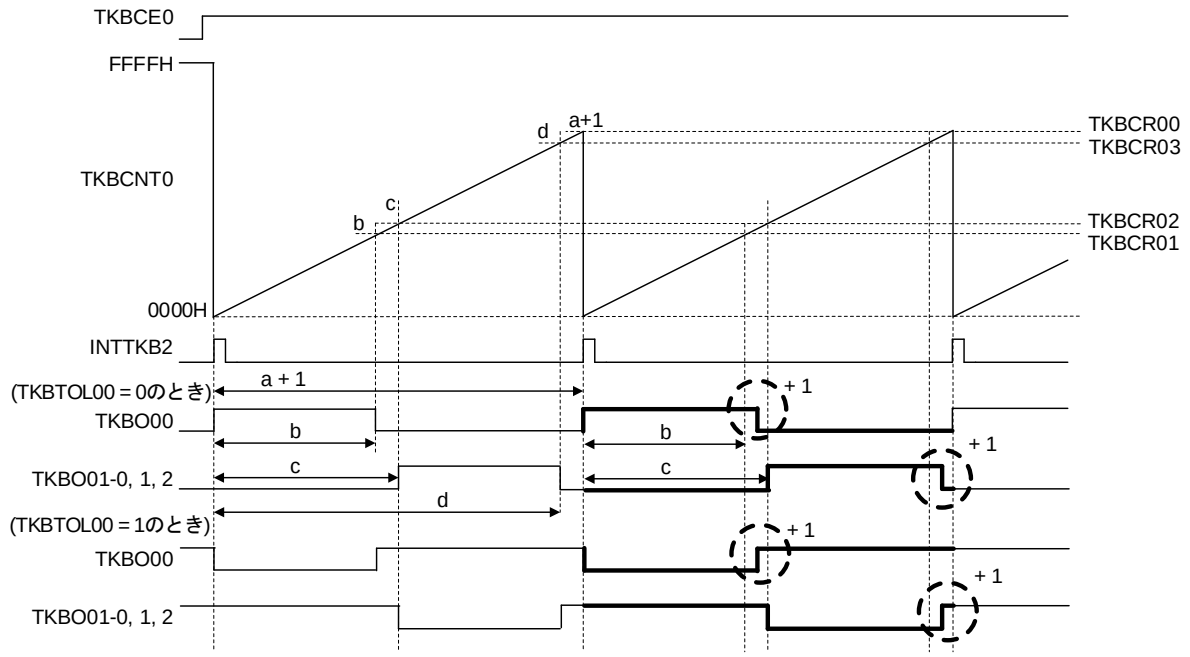



図7－59　ディザリング動作の波形図

（TKBCR01 = TKBCR00（100%近傍），TKBCR02 = TKBCR03（0%近傍）の場合）

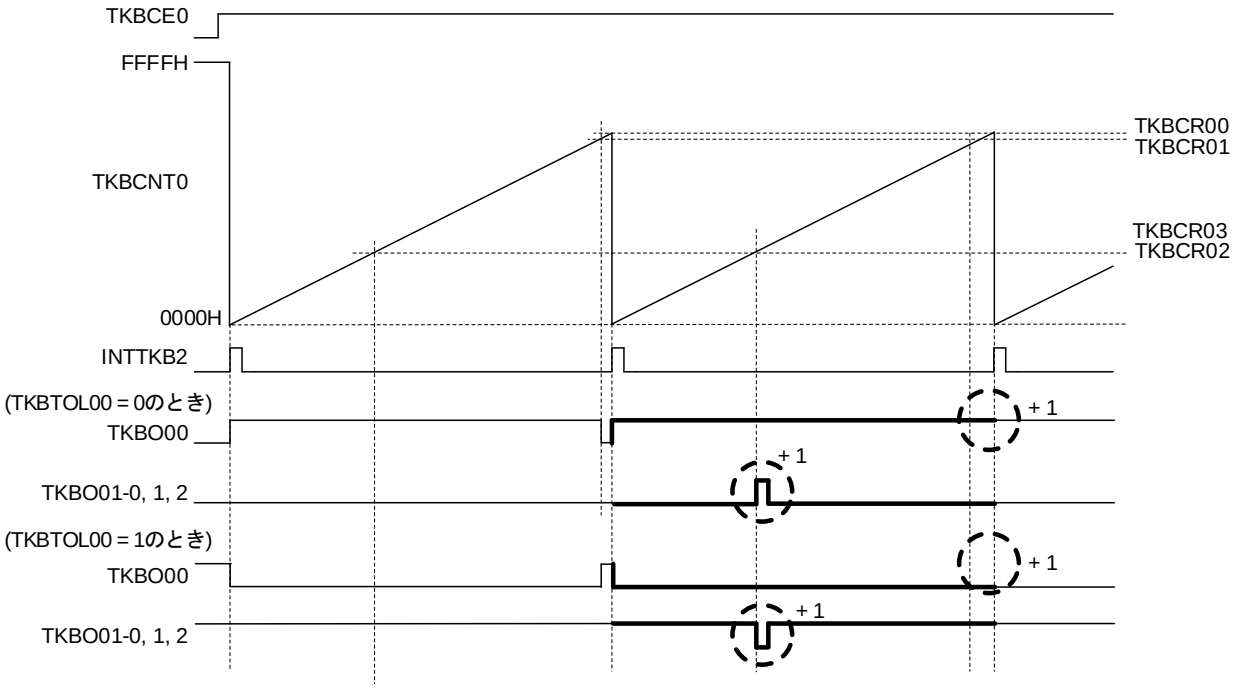
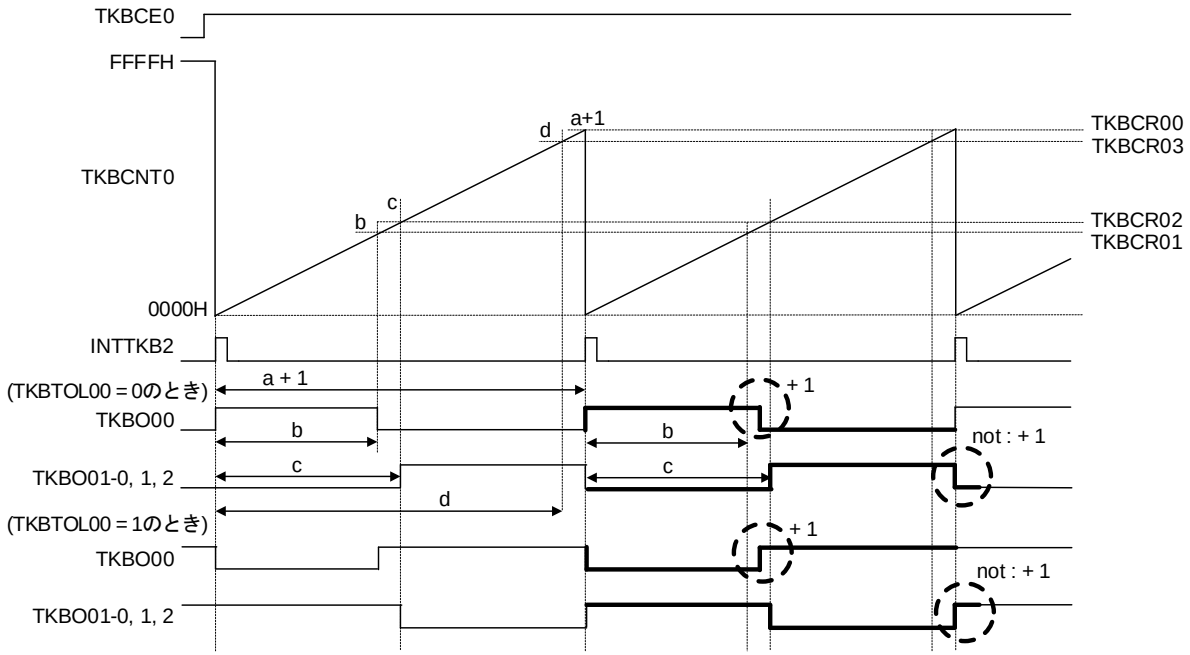


図7－60　ディザリング動作の波形図

（TKBCR03 = TKBCR00＋1の場合）



（1）使用可能な動作モード

TKBCTL00レジスタ（TKBSTS01, TKBSTS00ビット），TKBCTL01レジスタ（TKBMD01, TKBMD00ビット）に指定される各モードでの動作可否を示します。

| 動作モード | TKBMD01, TKBMD00 | TKBSTS01, TKBSTS00 | 使用可否 |
|---|---|---|---|
| 単体動作モード（TKBCR00による周期制御） | 00B | 00B | ○ |
| 単体動作モード（外部トリガ入力による周期制御） | 00B | 01B/10B/11B | × |
| インターリーブPFC出力モード | 11B | － | × |

PWM出力ディザリング機能は，外部トリガ入力を使用せず，TKBCR00による周期制御の場合に使用できます。

TKBDNR00/TKBDNR01は，それぞれTKBO00/TKBO01-0, TKBO01-1, TKBO01-2のPWM出力ディザリング機能を制御します。

**注意1.　【TKBDNR00/TKBDNR01レジスタの動作中（TKBCE0 = 1）書き換え】**

**TKBDNR00/TKBDNR01は，バッファを保有しているので，動作中（TKBCE0 = 1）の書き換えが可能です。**

**その際には，TKBRDT0ビットへの“1”書き込みによる一斉書き換えを行います。**

**2.　【TKBCRLD00/TKBCRLD01レジスタによるアクセス】**

**TKBCRLD00は，TKBCR01の下位8 bitとTKBDNR00をマッピングした16 bitレジスタです。**

**TKBCRLD01は，TKBCR03の下位8 bitとTKBDNR01をマッピングした16 bitレジスタです。**

**TKBDNR00/TKBDNR01は，TKBCRLD00/TKBCRLD01レジスタにアクセスした場合も値が変更されます。**

**TKBCR01/TKBCR03は，TKBCRLD00/TKBCRLD01レジスタにアクセスした場合も値が変更されます。**

**TKBCRLD00/TKBCRLD01レジスタへアクセスした場合，TKBCR01/TKBCR03の下位8 bitのみが変更されることに注意してください。**

**3.　【PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合】**

**PWM出力ソフト・スタート機能実行（TKBSSF0p = 1）中は，PWM出力ディザリング機能は無効になります。**

**PWM出力ソフト・スタート機能停止（TKBSSF0p = 0）で，PWM出力ディザリング機能が有効になります。**

## 7. 5. 2　PWM出力ソフト・スタート機能

タイマKB20は，突入電流抑制，および，過電圧の防止に対応するPWM出力ソフト・スタート機能を保有しています。PWM出力ソフト・スタート機能は，タイマスタートタイミングで起動します。従来，ユーザがソフトウエアで行っていた処理をハードウエアのオプション機能で容易に実現することができます。

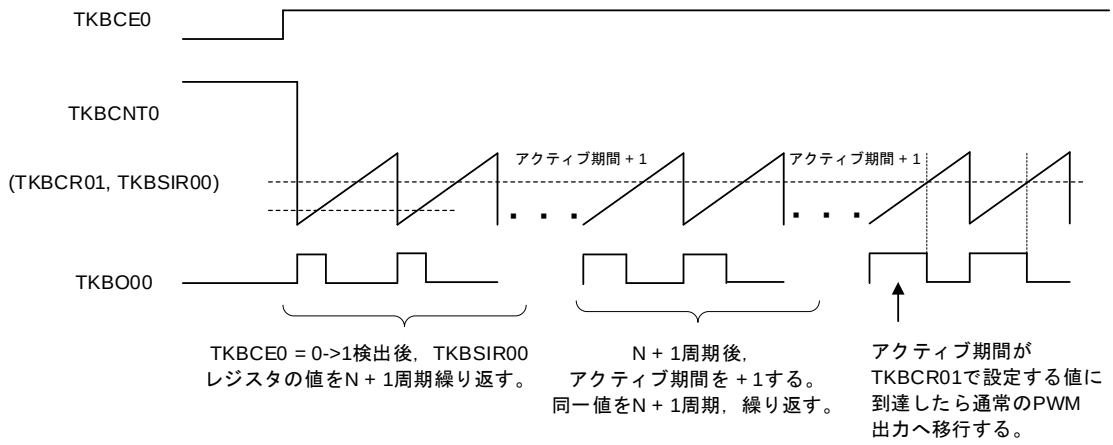
16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ（TKBSIR0p）で設定した値より開始し，1クロック分ずつPWMのアクティブ期間を順次増加させます。アクティブ期間を増加させる速度は16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ（TKBSSR0p）で指定します。TKBSSR0pレジスタで設定した値をNとすると，現在設定されているアクティブ期間をN＋1回出力した後，アクティブ期間を＋1増加させ，新たなアクティブ期間をN＋1回出力します。これを繰り返しアクティブ期間を増加させ，TKBCR01, TKBCR03レジスタで決定するアクティブ期間と一致したらPWM出力ソフト・スタート機能を解除します。

16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタは，以下の条件で設定する必要があります。

0000H≦TKBSIR00＜TKBCR01≦TKBCR00＋1

TKBCR02≦TKBSIR01＜TKBCR03≦TKBCR00＋1

図7－61　PWM出力ソフト・スタート機能TKBO00出力の例




**備考 1.**　N: TKBSSR0pレジスタで設定する値

**2.**　p = 1, 0

（1）PWM出力ソフト・スタート機能が使用可能な動作モード

| 動作モード | TKBMD01, TKBMD00 | TKBSTS01, TKBSTS00 | 使用可否 |
|---|---|---|---|
| 単体動作モード（TKBCR00による周期制御） | 00B | 00B | ○ |
| 単体動作モード（外部トリガ入力による周期制御） | 00B | 01B/10B/11B | × |
| インターリーブPFC出力モード | 11B | － | × |

（2）TKBSIR00/TKBSIR01/TKBSSR00/TKBSSR01レジスタの動作中（TKBCE0 = 1）書き換え

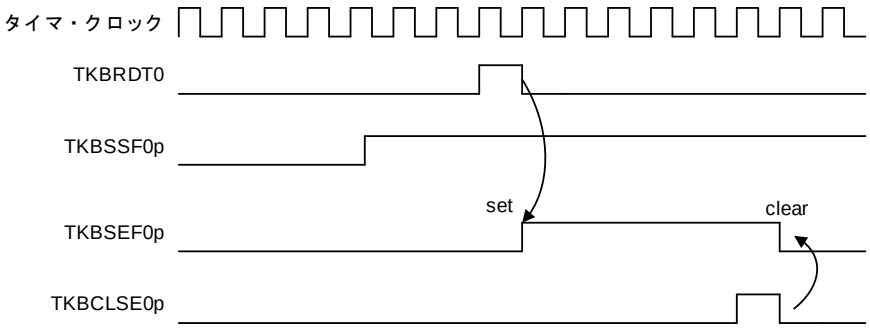
TKBSIR00/TKBSIR01/TKBSSR00/TKBSSR01は，動作中（TKBCE0 = 1）に書き換えが可能です。

TKBSIR00/TKBSIR01/TKBSSR00/TKBSSR01は，バッファを保有しておりTKBRDT0ビットへの“1”書き込みにより一斉に書き換えられます。ソフト・スタート機能を再開する場合は，TKBCE0レジスタを一度“0”に設定後，再度“1”に設定してください。

（3）TKBCR00/TKBCR01/TKBCR02/TKBCR03/TKBSIR00/TKBSIR01/TKBSSR00/TKBSSR01レジスタの動作中（TKBCE0 = 1）書き換え

PWM出力ソフト・スタート期間（TKBSSF00 = 1, TKBSSF01 = 1）中にTKBRDT0を“1”設定した場合，一斉書き換えがマスクされTKBSEF0pフラグがセットされます。一斉書き換えするためには，TKBSEF0pをクリアしてTKBSSF0pが“0”となることを確認してTKBRDT0を“1”にセットしてください。

図7－62　ソフト・スタート機能動作中（TKBSSF0p = 1）のTKBCR00/TKBCR01/TKBCR02/TKBCR03/TKBSIR00/TKBSIR01/TKBSSR00/TKBSSR01レジスタの書き換え




**備考**　p = 1, 0

（4）PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合

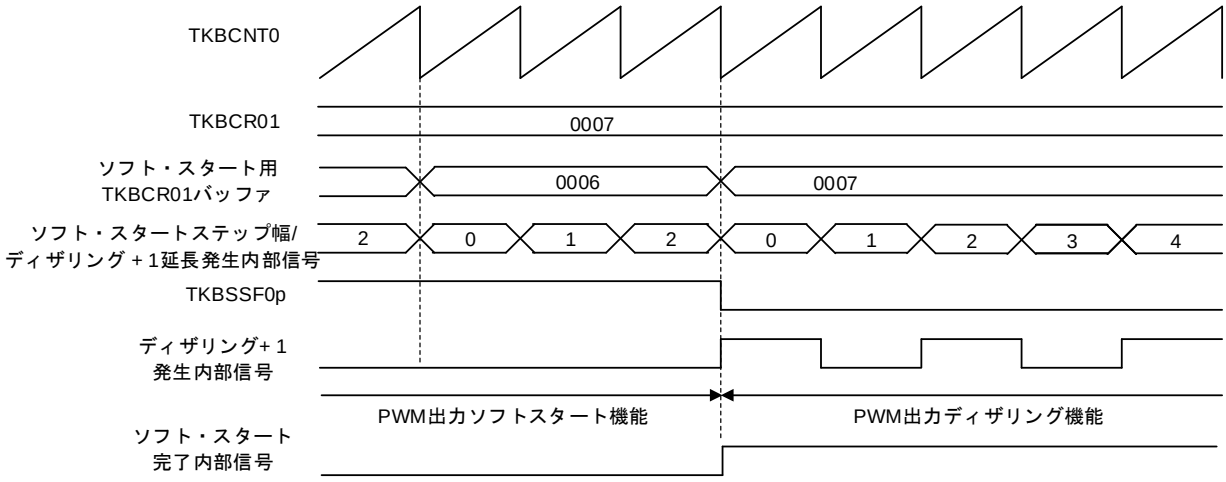
PWM出力ソフト・スタート機能実行（TKBSSF0p = 1）中は，PWM出力ディザリング機能は無効となります。

PWM出力ソフト・スタート機能停止（TKBSSF0p = 0）で，PWM出力ディザリング機能が有効となります。

（5）PWM出力ソフト・スタート機能の完了とTKBSSF0pの動作

TKBCR01を0007H，TKBDNR0pを70H，TKBSSR0pを02Hとした場合の図を示します。TKBCR01 = 0007Hと内部のソフト・スタート用TKBCR01バッファの値が一致するタイミングでTKBSSF0pがクリアされ，ディザリング機能が開始されます。

図7－63　PWM出力ソフト・スタート機能の完了とTKBSSF0pの動作



### 7.5.3　最大周波数リミット機能

タイマKB20は，外部トリガ入力による周期制御またはインターリーブPFC出力モード時に，カウンタ・クリアの最小周期（最大周波数）を制限する機能があります。

この機能を使用すると，カウンタ・クリアを行う外部トリガ入力が，カウンタ値が最大周波数リミット・レジスタ（TKBMFR0）の設定値より小さい時に発生した場合，その入力を保留し，TKBMFR0レジスタの設定値までカウントを継続した後にカウンタ・クリアを行います。

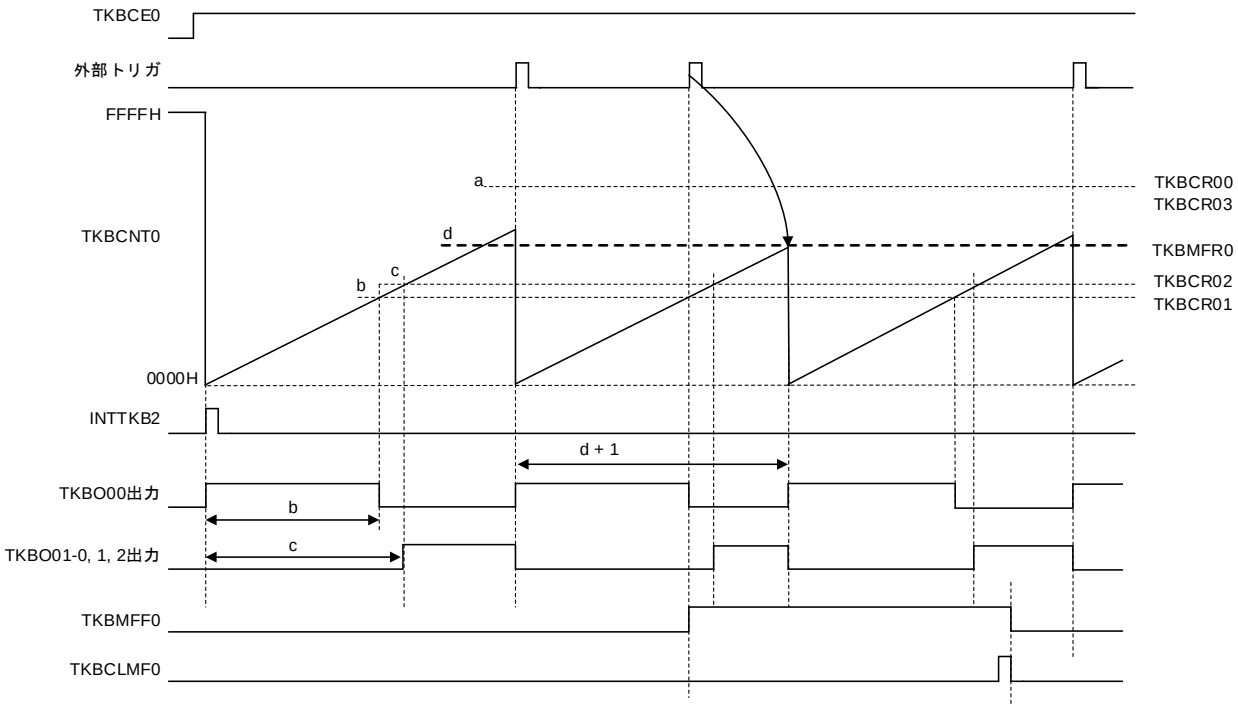
（1）最大周波数リミット（= 1／最小周期）の計算式

最小周期（= 1／最大周波数リミット）=（TKBMFR0の設定値＋1）×カウント・クロック周期

**注意　TKBMFR0の設定値≦TKBCR00の設定値とする必要があります。**

外部トリガ入力検出タイミングで，カウンタ値がTKBMFR0より小さい場合，TKBMFF0フラグが“1”セットされます。TKBMFF0フラグは，TKBCLMF0ビットへの“1”書き込みにより“0”にクリアされます。

図7－64　最大周波数リミット機能




**備考**　外部トリガ入力による周期制御の場合

（2）最大周波数リミット機能で使用可能な動作モード

| 動作モード | TKBMD01, TKBMD00 | TKBSTS01, TKBSTS00 | 使用可否 |
|---|---|---|---|
| 単体動作モード（TKBCR00による周期制御） | 00B | 00B | × |
| 単体動作モード（外部トリガ入力による周期制御） | 00B | 01B/10B/11B | ○ |
| インターリーブPFC出力モード | 11B | － | ○ |

**備考**　外部トリガ入力による周期制御の場合に使用可能です。

## 7. 5. 4　IH制御用のPWM出力機能

タイマKB20は，以下のIH制御用のタイマ出力機能を保有しています。

- INTPx，コンパレータ検出0, 1によるIH-PWM出力リスタート
- 16ビット・カウンタとコンペア・レジスタ（TKBCR00）に設定された値との一致によるIH-PWM出力リスタート
- INTP0の有効エッジ検出により強制出力停止（ハイ・インピーダンス）
- 動作停止時にPWCTKBレジスタによる出力端子の変更

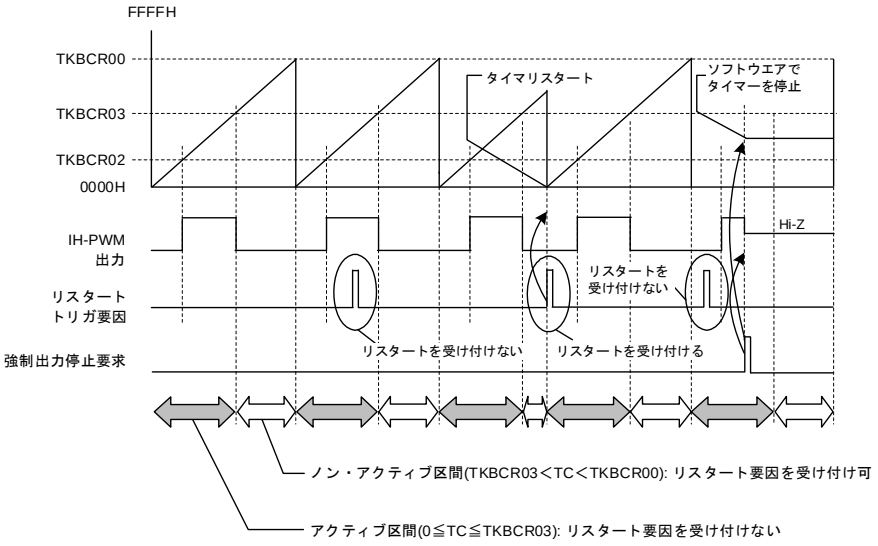
IH-PWM 出力機能を使用(TKBIHE0=1)する場合は、以下のいずれかの設定でご使用ください。

- コンペア・レジスタ02(TKBCR02)に0000H 以外の値を設定してください。
- 16ビット・タイマKB20のカウント・クロック（fKB20）が分周なしのfCLK, Fhocoで動作するようにタイマ・クロック選択レジスタ(TKBPSCS0)とタイマKB20のクロック選択ビット（TKBCKS0）を設定してください。

IH制御用のPWM出力は，TKBO01-0，TKBO01-1，TKBO01-2，を使用して行います。TKBO00出力は16ビット・タイマKB2出力制御レジスタ（TKBIOC00）のビット0（TKBTOD00）で設定したデフォルトレベルとなります。

カウンタ（TKBCNT0）スタート後，TKBCR02レジスタで設定したカウント分経過後PWM出力を開始します。その後カウンタ値がTKBCR03レジスタで設定した値と等しくなるまでハイ・レベルを出力します。また，カウンタ値が0000H～TKBCR03の設定値までの期間がアクティブ期間であり，この期間は，IH-PWM出力・リスタート要求は受け付けません。カウンタ値がTKBCR03の設定値～TKBCR00の設定値の期間がノンアクティブ期間であり，この期間中にIH-PWM出力・リスタート要求を受け付けます。

図7－65　IH制御用のPWM出力機能




（1）使用可能な動作モード組み合わせ

| 動作モード | TKBMD01, TKBMD00 | ELSELRn2, ELSELRn1, ELSELRn0 | 使用可否 |
|---|---|---|---|
| 単体動作モード（TKBCR00による周期制御） | 00B | 000B | ○ |
| 単体動作モード（外部トリガ入力による周期制御） | 00B | 100B | ○ |
| インターリーブPFC出力モード | 11B | － | × |

注意　IH制御用のPWM出力機能を使用する場合は，TKBSTS01, TKBSTS00ビットは，00Bにしてください。

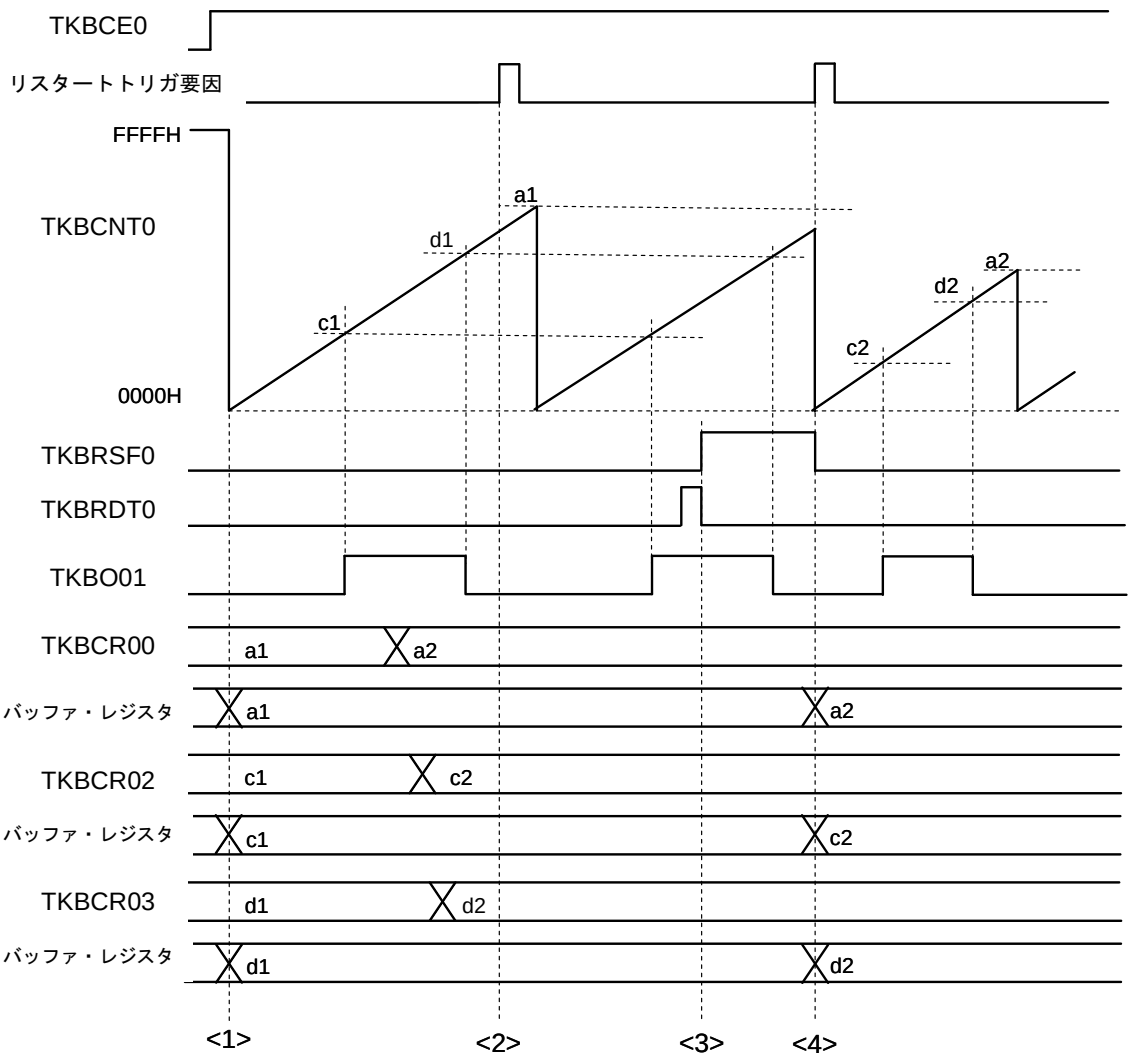
単体動作モードにおいて，TKBTSE0ビットを“1”に設定することで，リスタートトリガ要因の発生タイミングで，一斉書き換えを制御することができます。

TKBTSE0ビットを“1”に設定することで，TKBRDT0ビットで要求した後，受付区間にリスタートトリガ要因あるいはTKBCNT0とTKBCR00との一致で，カウンタのクリア，およびコンペア・レジスタの一斉書き換えが実施されます。

カウンタクリア同様，リスタートトリガ要因の発生より先に，TKBCR00とカウンタ（TKBCNT0）の一致が発生した場合は，一致検出による一斉書き換えが実施されます。

リスタートトリガ要因が発生した場合であっても，TKBRDT0ビットへの“1”書き込みを実施していなければ一斉書き換えは発生しません。

図7－66　IH制御用のPWM出力機能としての動作のコンペア・レジスタ00, 02, 03更新タイミング図




<1>：TKBCE0ビットを“0”から“1”に設定し，TKBCNT0がカウント動作を開始するタイミングで，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。

<2>：TKBCR00, 02, 03レジスタ書き換え後，リスタートトリガ要因が発生した場合であっても，TKBRDT0ビットへの“1”書き込みを実施していなければ一斉書き換えは発生しません。

<3>：TKBRDT0ビットへの“1”書き込みにより，一斉書き換え保留フラグ（TKBRSF0）が“1”となります。

<4>：TKBRSF0ビットが“1”のときの，リスタートトリガ要因発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSF0ビットが“0”となります。

（2）強制出力停止機能のトリガ入力選択

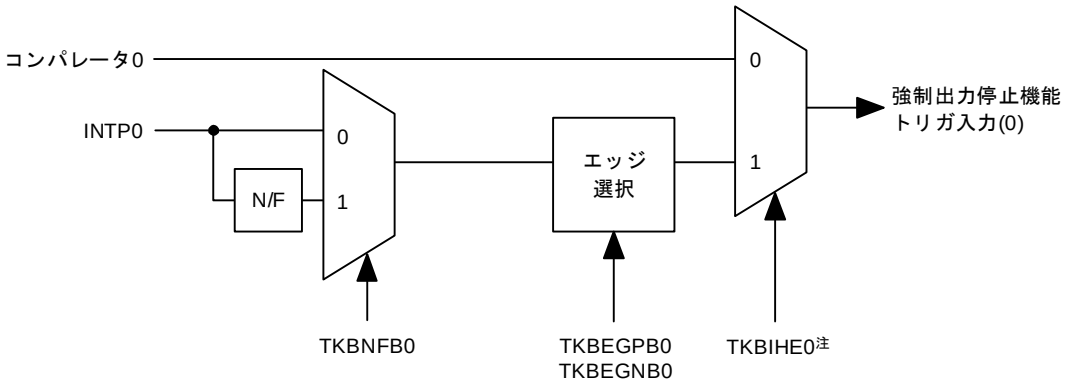
IH制御用PWM出力機能選択時においても，以下について選択することができます。

・ノイズフィルタの選択有無

・立ち下がりエッジ，立ち上がりエッジ，立ち上がり，立ち下がりの両エッジ選択可能

下図に回路構成図を示します。

図7－67　IH制御用PWM出力機能使用時の強制出力停止機能トリガ入力選択（0）の回路構成




**注**　IH制御用のPWM出力機能使用時はTKBIHE0 = 1に設定してください。

## 7.6　強制出力停止機能

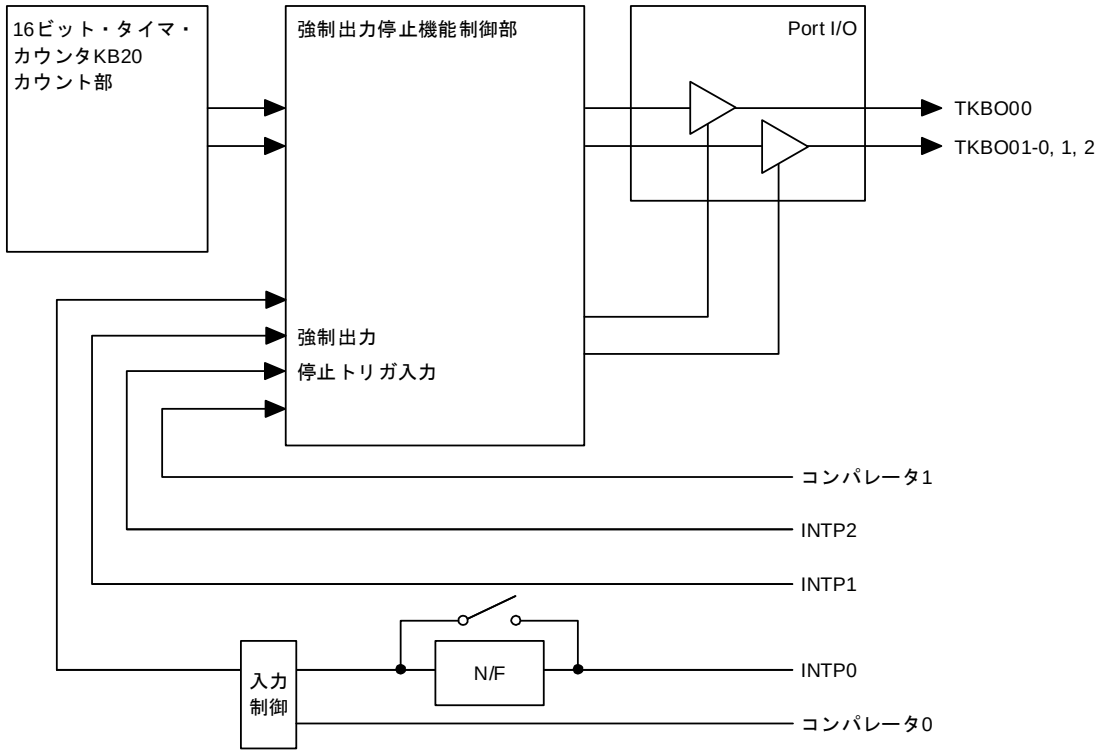
強制出力停止機能は，電源回路などの保護を行なうための機能です。

マイコン外部で構成された電源回路において，ショートなどの異常が発生し，過電圧や過電流状態となった場合に，電圧や電流センス信号をTIN0／コンパレータなどに入力することで，CPUのプログラム制御を介することなくタイマ出力をハイ・インピーダンスまたは固定出力状態として回路を保護します。

この機能では，入力信号のエッジを検出したときのみ，異常状態とみなします。エッジがない固定レベルは異常状態としません。

強制出力停止機能のシステム構成図を次の図に示します。

図7－68　強制出力停止機能のシステム構成図



### 7. 6. 1　強制出力停止機能1と強制出力停止機能2

強制出力停止機能は，2つの制御方法があります。強制出力停止機能1はレベル固定出力とハイ・インピーダンス出力を選択でき，強制出力停止機能2はレベル固定出力のみ設定可能です。次に制御方法の差分を示します。

（1）強制出力停止機能1／強制出力停止機能2の選択可能出力レベル

| 選択可能出力レベル | 強制出力停止機能 | | | |
|---|---|---|---|---|
| | IH制御用のPWM出力機能使用時（TKBIHE0=1） | | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） | |
| | 機能1 | 機能2 | 機能1 | 機能2 |
| ハイ・インピーダンス出力 | ○ | × | ○ | × |
| ロウ固定出力 | × | × | ○ | ○ |
| ハイ固定出力 | × | × | ○ | ○ |

（2）強制出力停止機能1／強制出力停止機能2の開始・解除条件

| 機能・動作説明（強制出力停止開始） | 強制出力停止機能 | | | |
|---|---|---|---|---|
| | IH制御用のPWM出力機能使用時（TKBIHE0=1） | | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） | |
| | 機能1 | 機能2 | 機能1 | 機能2 |
| コンパレータ1, 0出力の有効エッジ検出, INTP1の立ち上がりエッジ検出により強制出力停止開始 | × | × | ○ | ○ |
| INTP0の有効エッジ検出により強制出力停止開始 | ○ | × | × | × |
| INTP2の立ち上がりエッジ検出により強制出力停止開始 | × | × | × | ○ |
| ソフトウエアビット（TKBPAHTS0n）の設定により強制出力停止開始 | × | × | ○ | × |

| 機能・動作説明（強制出力停止解除） | 強制出力停止機能 | | | |
|---|---|---|---|---|
| | IH制御用のPWM出力機能使用時（TKBIHE0=1） | | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） | |
| | 機能1 | 機能2 | 機能1 | 機能2 |
| ソフトウエアビット（TKBPAHTT0n）の設定により強制出力停止解除 | ○ | × | ○ | × |
| ソフトウエアビット（TKBPAHTT0n）の設定後，TMKB周期に同期して強制出力停止解除 | × | × | ○ | × |
| 強制出力停止を開始した次のTMKB周期で強制出力停止解除 | × | × | × | ○ |
| 強制出力停止を開始エッジと逆エッジを検出後，TMKB周期に同期して強制出力停止解除 | × | × | × | ○ |

（3）強制出力停止機能1／強制出力停止機能2の選択可能入力端子と使用可能トリガビットの条件

| 選択可能入力端子 | 強制出力停止機能 | | | |
|---|---|---|---|---|
| | IH制御用のPWM出力機能使用時（TKBIHE0=1） | | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） | |
| | 機能1 | 機能2 | 機能1 | 機能2 |
| 外部割り込み（INTP0）注 | ○ | × | × | × |
| 外部割り込み（INTP1） | × | × | ○ | ○ |
| 外部割り込み（INTP2） | × | × | × | ○ |
| コンパレータ0 | × | × | ○ | ○ |
| コンパレータ1 | × | × | ○ | ○ |

**注** INTP0は，ノイズフィルタあり／なしの選択ができます。

| 使用可能トリガビット | 強制出力停止機能 | | | |
|---|---|---|---|---|
| | IH制御用のPWM出力機能使用時（TKBIHE0=1） | | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） | |
| | 機能1 | 機能2 | 機能1 | 機能2 |
| ソフトウエアビット（TKBPAHTS0n） | × | × | ○ | × |
| ソフトウエアビット（TKBPAHTT0n） | ○ | × | ○ | × |

# 7.7　強制出力停止機能1の動作説明

## 7.7.1　強制出力停止機能1の入出力設定

強制出力停止機能1では，コンパレータ0/INTP0，コンパレータ1，INTP1を強制出力停止のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は，ハイ・インピーダンスまたはハイ／ロウ・レベル固定です。トリガ信号の選択，出力状態の設定を以下の表に示します。

（1）TKBO00の出力制御

・強制出力停止機能トリガ選択

| TKBPACTL00 | 入力選択 |
|---|---|
| TKBPAHZS002 | 外部割り込み（INTP1） |
| TKBPAHZS001 | コンパレータ1 |
| TKBPAHZS000 | コンパレータ0 |

・出力選択

| TKBPACTL00 | | 出力状態 |
|---|---|---|
| TKBPAMD001 | TKBPAMD000 | |
| 0 | 0 | ハイ・インピーダンス出力 |
| 0 | 1 | ハイ・インピーダンス出力 |
| 1 | 0 | ロウ・レベル固定出力 |
| 1 | 1 | ハイ・レベル固定出力 |

・強制出力停止機能1の開始

| TKBPACTL00 | | 強制出力停止機能1の開始条件選択 |
|---|---|---|
| TKBPAHCM001 | TKBPAHCM000 | |
| 0 | 0 | 強制出力停止機能トリガ入力検出時，またはTKBPAHTS00ビットへ“1”を書き込み時に，強制出力停止機能を開始する。 |
| 0 | 1 | |
| 1 | 0 | |
| 1 | 1 | |

・強制出力停止機能1の解除

| TKBPACTL00 | | 強制出力停止機能1の出力解除の条件選択 |
|---|---|---|
| TKBPAHCM001 | TKBPAHCM000 | |
| 0 | 0 | 強制出力停止入力1の入力レベルに関係なく，TKBPAHTT00ビットを“1”に設定すると，強制出力停止機能1を解除する。 |
| 0 | 1 | 強制出力停止入力1の入力が解除された後，TKBPAHTT00ビットに“1”を設定すると，強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT00ビットを“1”に設定しても無効となる。 |
| 1 | 0 | 強制出力停止入力1の入力レベルに関係なく，TKBPAHTT00ビットに“1”を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。 |
| 1 | 1 | 強制出力停止入力1の入力が解除された後，TKBPAHTT00ビットに“1”を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT00ビットへ“1”を書いても無効となる。 |

**注意1.　IH制御用のPWM出力機能を使用する場合，強制出力停止機能1は使用できません。**

**2.　コンパレータ0，1検出を強制出力停止機能1のトリガ入力として選択し，コンパレータフィルタ制御レジスタ（COMPFIR）のC1EDG，C0EDGビットを“1”（両エッジ検出）で使用する場合，強制出力停止機能1の解除にTKBPAHCM000 = 1を選択することはできません。必ずTKBPAHCM000 = 0を選択してください。**

**3.　強制出力停止機能1, 2で使用されるINTP1, INTP2は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。**

（2）TKBO01-0, TKBO01-1, TKBO01-2の出力制御

・強制出力停止機能トリガ選択

| TKBPACTL01 | 入力選択 | IH制御用のPWM出力機能使用時（TKBIHE0=1） | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） |
|---|---|---|---|
| TKBPAHZS012 | 外部割り込み（INTP1） | × | ○ |
| TKBPAHZS011 | コンパレータ1 | × | ○ |
| TKBPAHZS010 | 外部割り込み（INTP0） | ○ | × |
| | コンパレータ0 | × | ○ |

・出力選択

| TKBPACTL01 | | 出力状態 | IH制御用のPWM出力機能使用時（TKBIHE0=1） | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） |
|---|---|---|---|---|
| TKBPAMD011 | TKBPAMD010 | | | |
| 0 | 0 | ハイ・インピーダンス出力 | ○ | ○ |
| 0 | 1 | ハイ・インピーダンス出力 | × | ○ |
| 1 | 0 | ロウ・レベル出力固定 | × | ○ |
| 1 | 1 | ハイ・レベル出力固定 | × | ○ |

・強制出力停止機能1の開始

| KBPACTL01 | | 強制出力停止機能1の開始条件選択 | IH制御用のPWM出力機能使用時（TKBIHE0=1） | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） |
|---|---|---|---|---|
| TKBPAMD011 | TKBPAMD010 | | | |
| 0 | 0 | 強制出力停止機能トリガ入力検出時，またはTKBPAHTS01ビットへ“1”を書き込み時に，強制出力停止機能を開始する。 | ○ | ○ |
| 0 | 1 | | × | ○ |
| 1 | 0 | | × | ○ |
| 1 | 1 | | × | ○ |

・強制出力停止機能1の解除

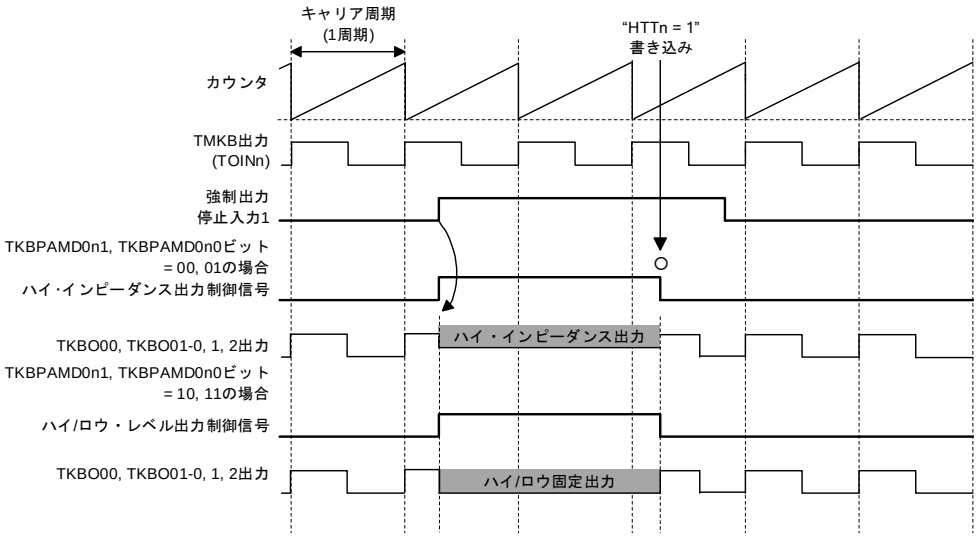
| TKBPACTL01 | | 強制出力停止機能1の出力解除の条件選択 | IH制御用のPWM出力機能使用時（TKBIHE0=1） | IH制御用のPWM出力機能以外使用時（TKBIHE0=0） |
|---|---|---|---|---|
| TKBPAMD011 | TKBPAMD010 | | | |
| 0 | 0 | 強制出力停止入力1の入力レベルに関係なく，TKBPAHTT01ビットを“1”に設定すると，強制出力停止機能1を解除する。 | ○ | ○ |
| 0 | 1 | 強制出力停止入力1の入力が解除された後，TKBPAHTT01ビットに“1”を設定すると，強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT01ビットを“1”に設定しても無効となる。 | × | ○ |
| 1 | 0 | 強制出力停止入力1の入力レベルに関係なく，TKBPAHTT01ビットに“1”を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。 | × | ○ |
| 1 | 1 | 強制出力停止入力1の入力が解除された後，TKBPAHTT01ビットに“1”を設定後，次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT01ビットへ“1”を書いても無効となる。 | × | ○ |

**注意1. コンパレータ0，1検出を強制出力停止機能1のトリガ入力として選択し，コンパレータフィルタ制御レジスタ（COMPFIR）のC1EDG，C0EDGビットを“1”（両エッジ検出）で使用する場合，強制出力停止機能1の解除にTKBPAHCM010 = 1を選択することはできません。必ずTKBPAHCM010 = 0を選択してください。**

**2. 強制出力停止機能1，2で使用されるINTP1，INTP2は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。また，強制出力停止機能1で使用されるINTP0の有効エッジの選択は，16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）のTKBEGPB0，TKBEGNB0レジスタで設定してください。**

## 7. 7. 2　強制出力停止機能1の基本動作

（1）TKBPAHCM0n1, TKBPAHCM0n0ビット= 00の場合




**備考**　n = 0,1

・TKBPAMD0n1, TKBPAMD0n0ビット = 00, 01の場合

強制出力停止入力1の立ち上がりエッジを検出すると，ハイ·インピーダンス出力制御信号がハイ・レベルとなり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力はハイ·インピーダンスになります。

強制出力停止入力1のレベルに関係なく，TKBPAHFT0レジスタのTKBPAHTT0nビットへ“1”書くと，ハイ·インピーダンス出力制御信号はロウ・レベルになり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2はPWM出力に戻ります。

ハイ·インピーダンス出力制御信号がハイの期間が，強制出力停止1の期間（ハイ·インピーダンス出力）となります。

• TKBPAMD0n1, TKBPAMD0n0ビット = 10, 11の場合

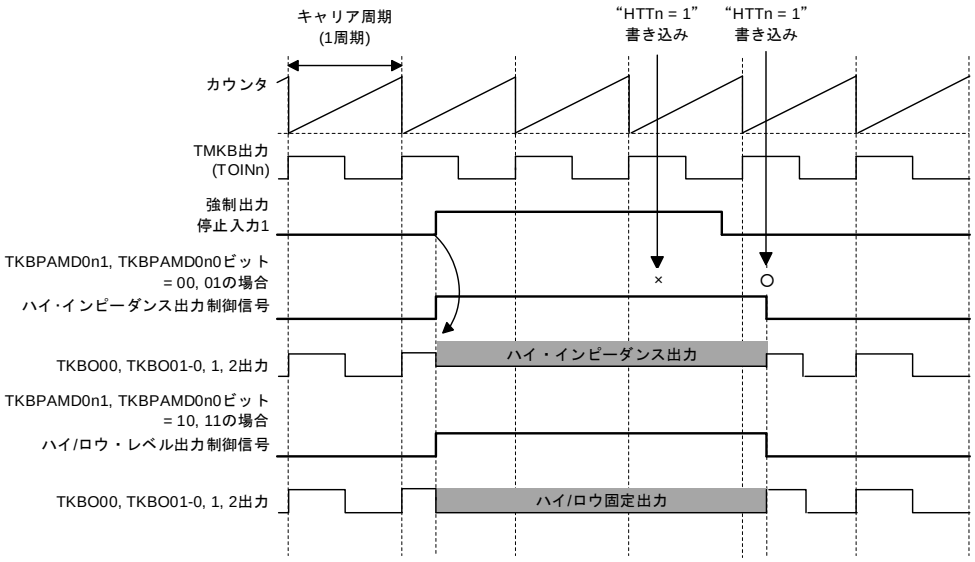
強制出力停止入力1の立ち上がりエッジを検出すると，ハイ／ロウ・レベル出力制御信号がハイ・レベルとなり，TKBPAMD00nビットの設定値に従いTKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力がハイ／ロウ・レベルの固定となります。

強制出力停止入力1のレベルに関係なく，TKBPAHFT0レジスタのTKBPAHTT0nビットに“1”を書くと，ハイ／ロウ・レベル出力制御信号はロウ・レベルになり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2はPWM出力に戻ります。

ハイ／ロウ・レベル出力制御信号がハイの期間が，強制出力停止1の期間（ハイ／ロウ・レベル出力固定）となります。

**注意　IH制御用のPWM出力機能を使用する場合は，TKBPAHCM0n1, TKBPAHCM0n0ビット = 00, TKBPAMD0n1, TKBPAMD0n0ビット = 00の設定で使用してください。**

（2）TKBPAHCM0n1, TKBPAHCM0n0ビット = 01の場合




**備考**　n = 0,1

・TKBPAMD0n1, TKBPAMD0n0ビット = 00, 01の場合

強制出力停止入力1の立ち上がりエッジを検出すると，ハイ･インピーダンス出力制御信号がハイ･レベルとなり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力はハイ･インピーダンスになります。

強制出力停止入力1の入力がハイ期間中に，TKBPAHFT0レジスタのTKBPAHTT0nビットへの“1”書きこみは無効です。強制出力停止入力1がロウになった後，TKBPAHTT0nビットへ“1”を書きこむと，ハイ･インピーダンス出力制御信号がロウ・レベルになり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2はPWM出力に戻ります。

ハイ･インピーダンス出力制御信号のハイの期間が，強制出力停止1の期間（ハイ･インピーダンス出力）となります。

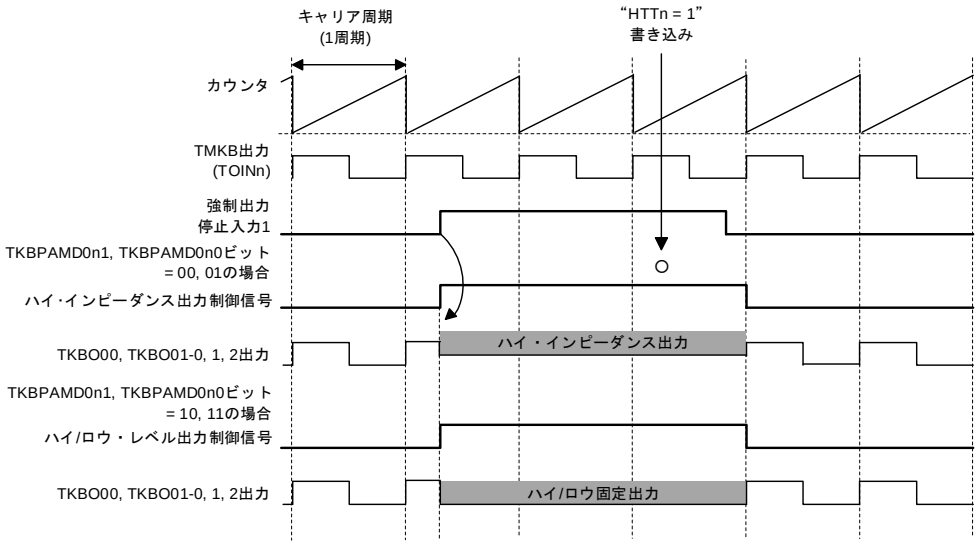
・TKBPAMD0n1, TKBPAMD0n0ビット = 10, 11の場合

強制出力停止入力1の立ち上がりエッジを検出すると，ハイ／ロウ・レベル出力制御信号がハイ・レベルとなり，TKBPAMD00nの設定値に従いTKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力がハイ/ロウ・レベルの固定となります。

強制出力停止入力1がハイ期間中に，TKBPAHFT0レジスタのTKBPAHTT0nビットへの“1”書きこみは無効です。強制出力停止入力1の入力がロウになった後，TKBPAHTT0nビットへ“1”を書きこむと，TKBPATFOUTnのハイ／ロウ・レベル固定が解除になり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2よりPWMが出力されます。

**注意　IH制御用のPWM出力機能を使用する場合は，TKBPAHCM0n1, TKBPAHCM0n0ビット = 01の設定は禁止です。**

（3）TKBPAHCM0n1, TKBPAHCM0n0ビット= 10の場合




**備考**　n = 0,1

・TKBPAMD0n1, TKBPAMD0n0ビット = 00, 01の場合

強制出力停止入力1の立ち上がりエッジを検出すると，ハイ･インピーダンス出力制御信号がハイ・レベルとなり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力はハイ･インピーダンスになります。

強制出力停止入力1のレベルに関係なく，TKBPAHFT0レジスタのTKBPAHTT0nビットへ“1”を書くと，TMKBカウンタのリスタートに同期して，ハイ･インピーダンス出力制御信号はロウ・レベルになります。

ハイ･インピーダンス出力制御信号がハイの期間が，強制出力停止1の期間（ハイ･インピーダンス出力）となります。

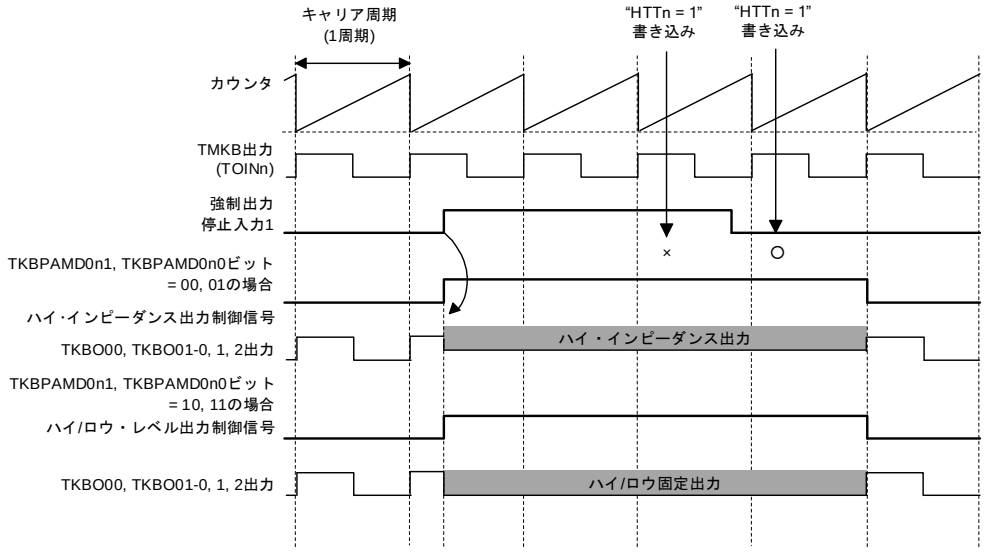
・TKBPAMD0n1, TKBPAMD0n0ビット = 10, 11の場合

強制出力停止入力1の立ち上がりエッジを検出すると，ハイ/ロウ･レベル出力制御信号がハイ･レベルとなり，TKBPAMD00nの設定値に従いTKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力がハイ／ロウ・レベル固定となります。

強制出力停止入力1のレベルに関係なく，TKBPAHFT0レジスタのTKBPAHTT0nビットへ“1”を書くと，TMKBカウンタのリスタートに同期して，ハイ／ロウ・レベル出力制御信号はロウ・レベルになり，TKBO00, TKBO01-0, 1, TKBO01-2はPWM出力に戻ります。ハイ／ロウ・レベル出力制御信号がハイの期間が，強制出力停止1の期間（ハイ／ロウ・レベル出力固定）となります。

**注意　IH制御用のPWM出力機能を使用する場合は，TKBPAHCM0n1, TKBPAHCM0n0ビット = 10の設定は禁止です。**

（4）TKBPAHCM0n1, TKBPAHCM0n0ビット = 11の場合




**備考**　n = 0,1

・TKBPAMD0n1, TKBPAMD0n0ビット = 00, 01の場合

強制出力停止入力1の立ち上がりエッジを検出すると，ハイ･インピーダンス出力制御信号がハイ・レベルとなり，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2出力はハイ･インピーダンスになります。

強制出力停止入力1の入力がハイ期間中に，TKBPAHFT0レジスタのTKBPAHTT0nビットへの“1”書きこみは無効です。

強制出力停止入力1がロウ・レベルになった後，TKBPAHTT0nビットへ“1”書くと，TMKBカウンタのリスタートに同期して，ハイ･インピーダンス出力制御信号はロウ・レベルになります。

ハイ･インピーダンス出力制御信号がハイの期間が，強制出力停止1の期間（ハイ･インピーダンス出力）となります。

• TKBPAMD0n1, TKBPAMD0n0ビット = 10, 11の場合

強制出力停止入力1の立ち上がりエッジを検出すると，ハイ/ロウ･レベル出力制御信号がハイ･レベルとなり，TKBPAMD00nの設定値に従いTKBO00, TKBO01-0, TKBO01-1, TKBO01-2がハイ／ロウ・レベル固定となります。

強制出力停止入力1のハイ期間中に，TKBPAHFT0レジスタのTKBPAHTT0nビットに“1”を書くと，TMKBカウンタのリスタートに同期して，ハイ／ロウ・レベル出力制御信号はロウ・レベルになり，TKBO00, TKBO01-0, 1, TKBO01-2はPWM出力に戻ります。

ハイ／ロウ・レベル出力制御信号がハイの期間が，強制出力停止1の期間（ハイ／ロウ・レベル出力固定）となります。

**注意　IH制御用のPWM出力機能を使用する場合は，TKBPAHCM0n1, TKBPAHCM0n0ビット = 11の設定は禁止です。**

## 7. 7. 3 強制出力停止機能1使用時の注意事項

1. TKBPAHCM0n = 10または11のとき，強制出力停止の解除は以下の通りとなります。

（1）TKBPAHCM0n = 10設定時

（a）強制出力停止入力1が発生した場合

TKBPAHCM0n = 10のとき，TKBPAHTT0n = 1設定後，次のカウンタのリスタートまでの間に強制出力停止入力1を検出すると，停止入力は無視され，次のカウンタのリスタートのタイミングで強制出力停止は解除されます。

（b）TKBPAHTS0nを“1”に設定した場合

TKBPAHCM0n = 10のとき，TKBPAHTT0n = 1設定後，次のカウンタのリスタートまでの間にTKBPAHTS0nを“1”にすると，TKBPAHTT0n = 1設定は無効になり，次のカウンタのリスタートでは強制出力停止は解除されません。強制出力停止を解除するには，もう一度TKBPAHTT0nを“1”に設定してください。

（2）TKBPAHCM0n = 11設定時

（a）強制出力停止入力1が発生した場合

TKBPAHCM0n = 11のとき，TKBPAHTT0n = 1設定後，次のカウンタの周期までの間に強制出力停止入力1を検出すると，TKBPAHTT0n = 1設定は無効になり，次のカウンタのリスタートでは強制出力停止は解除されません。強制出力停止を解除するには，もう一度TKBPAHTS0nを“1”に設定してください。

（b）TKBPAHTS0nを“1”に設定した場合

TKBPAHCM0n = 11のとき，TKBPAHTT0n = 1設定後，次のカウンタの周期までの間にTKBPAHTS0nを“1”にすると，TKBPAHTT0n = 1設定は無効となり，次のカウンタのリスタートでは強制出力停止は解除されません。強制出力停止を解除するには，もう一度TKBPAHTT0nを“1”に設定してください。

2. TKBPAHCM0n = 01, 11のときの，TKBPAHTS0n, TKBPAHTT0nの設定タイミング

TKBPAHCM0n = 01, 11のとき，TKBPAHTS0n = 1に設定後，TKBPAHTT0nを“1”にするときは，$f_{CLK}$の1クロック経過の後に実施してください。

# 7. 8　強制出力停止機能2の動作説明

## 7. 8. 1　強制出力停止機能2の入出力設定

強制出力停止機能2は，コンパレータ0，コンパレータ1, INTP1, INTP2を強制出力停止のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は，ハイ／ロウ・レベル固定です。トリガ信号の選択，出力状態の設定を以下の表に示します。

（1）TKBO00の出力制御

・強制出力停止機能トリガ選択

| TKBPACTL00 | 入力選択 |
|---|---|
| TKBPAFXS003 | 外部割り込み（INTP2） |
| TKBPAFXS002 | 外部割り込み（INTP1） |
| TKBPAFXS001 | コンパレータ1 |
| TKBPAFXS000 | コンパレータ0 |

・出力選択

| TKBPACTL00 | | 出力状態 |
|---|---|---|
| TKBPAMD001 | TKBPAMD000 | |
| 0 | 0 | ロウ・レベル固定出力 |
| 0 | 1 | ハイ・レベル固定出力 |
| 1 | 0 | ロウ・レベル固定出力 |
| 1 | 1 | ハイ・レベル固定出力 |

**注意　強制出力停止機能2の動作は，ハイ・インピーダンス出力制御信号に影響しません。**
**TKBPACTL00レジスタでハイ・インピーダンス出力は選択しないでください。**

・強制出力停止機能2の開始

| TKBPACTL00<br>TKBPAFCM00 | 強制出力停止機能2の開始条件選択 |
|---|---|
| 0 | 強制出力停止機能トリガ入力検出時に，強制出力停止機能を開始する。 |
| 1 | |

・強制出力停止機能2の解除

| TKBPACTL00<br>TKBPAFCM00 | 強制出力停止機能2の出力解除の条件選択 |
|---|---|
| 0 | 強制出力停止機能2を開始し，次のカウンタのリスタートに同期して強制出力停止機能2を解除する。 |
| 1 | 強制出力停止機能2を開始し，そのトリガの解除を検出してから，次のカウンタのリスタートに同期して強制出力停止機能2を解除する。 |

**注意1.　コンパレータ0, 1検出を強制出力停止機能2のトリガ入力として選択し，コンパレータフィルタ制御レジスタ（COMPFIR）のC1EDG, C0EDGビットを“1”（両エッジ検出）で使用する場合，強制出力停止機能2の解除にTKBPAFCM00 = 1を選択することはできません。必ずTKBPAFCM00 = 0を選択してください。**

**2.　強制出力停止機能1, 2で使用されるINTP1, INTP2は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。**

（2）TKBO01-0, TKBO01-1, TKBO01-2の出力制御

・強制出力停止機能トリガ選択

| TKBPACTL01 | 入力選択 |
|---|---|
| TKBPAFXS013 | 外部割り込み（INTP2） |
| TKBPAFXS012 | 外部割り込み（INTP1） |
| TKBPAFXS011 | コンパレータ1 |
| TKBPAFXS010 | コンパレータ0 |

・出力選択

| TKBPACTL01 | | 出力状態 |
|---|---|---|
| TKBPAMD011 | TKBPAMD010 | |
| 0 | 0 | ロウ・レベル固定出力 |
| 0 | 1 | ハイ・レベル固定出力 |
| 1 | 0 | ロウ・レベル固定出力 |
| 1 | 1 | ハイ・レベル固定出力 |

**注意　強制出力停止機能2の動作は，ハイ・インピーダンス出力制御信号に影響しません。**
**TKBPACTL01レジスタでハイ・インピーダンス出力は選択しないでください。**

・強制出力停止機能2の開始

| TKBPACTL01<br>TKBPAFCM01 | 強制出力停止機能2の開始条件選択 |
|---|---|
| 0 | 強制出力停止機能トリガ入力検出時に，強制出力停止機能を開始する。 |
| 1 | |

・強制出力停止機能2の解除

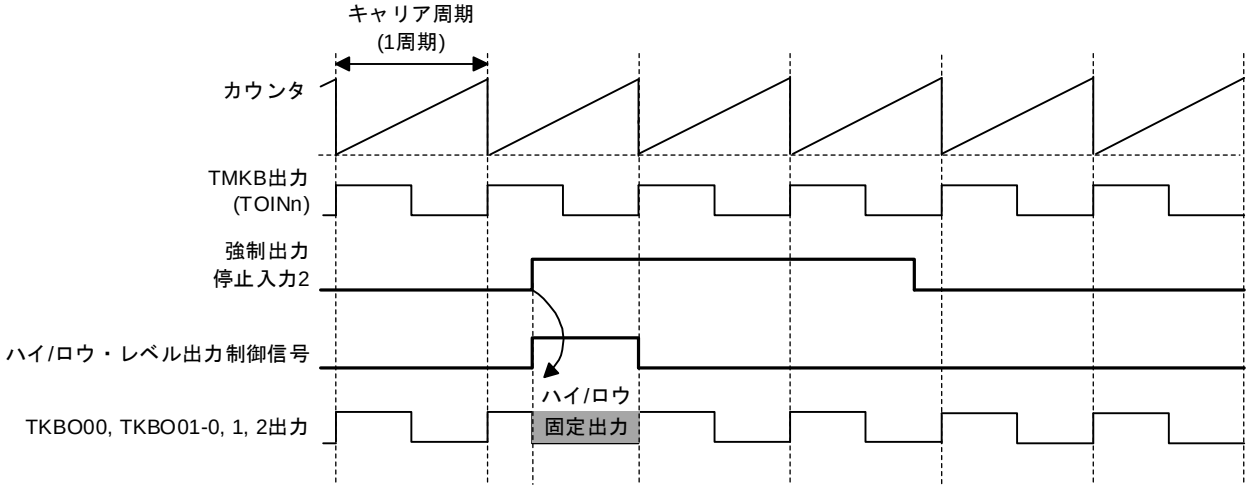
| TKBPACTL01<br>TKBPAFCM01 | 強制出力停止機能2の出力解除の条件選択 |
|---|---|
| 0 | 強制出力停止機能2を開始し，次のカウンタのリスタートに同期して強制出力停止機能2を解除する。 |
| 1 | 強制出力停止機能2を開始し，そのトリガの解除を検出してから，次のカウンタのリスタートに同期して強制出力停止機能2を解除する。 |

**注意1.　コンパレータ0，1検出を強制出力停止機能2のトリガ入力として選択し，コンパレータフィルタ制御レジスタ（COMPFIR）のC1EDG，C0EDGビットを“1”（両エッジ検出）で使用する場合，強制出力停止機能2の解除にTKBPAFCM01 = 1を選択することはできません。必ずTKBPAFCM01 = 0を選択してください。**

**2.　強制出力停止機能1, 2で使用されるINTP1, INTP2は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。**

## 7. 8. 2　強制出力停止機能2の基本動作

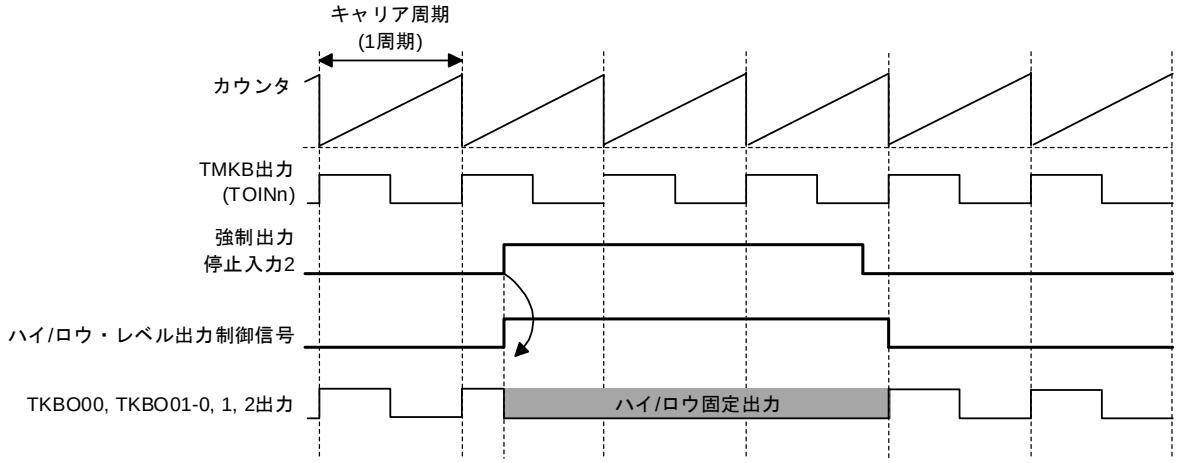
（1）TKBPAFCM0n = 0での強制出力停止機能2




強制出力停止入力2の立ち上がりエッジを検出すると，TKBPAMD00nの設定値に従い，TKBPATFOUTn出力がハイ／ロウ・レベル固定となります。

強制出力停止入力2の入力レベルに関係なく，次のTMKBカウンタのリスタートに同期してTKBPATFOUTnの固定が解除され，TKBO00, TKBO01-0, TKBO01-1, TKBO01-2よりPWMが出力されます。

（2）TKBPAFCM0n = 1での強制出力停止機能2




強制出力停止入力2の立ち上がりエッジを検出すると，TKBPAMD00nの設定値に従い，TKBPATFOUTn出力がハイ／ロウ・レベル固定となります。

強制出力停止入力2の立ち下がりエッジ検出後，次のTMKBカウンタのリスタートに同期してTKBPATFOUTnの固定が解除され，TKBO00, TKBO01-0, TKBO01-1, TBO01-2よりPWMが出力されます。

# 7. 9　16ビット・タイマKB20使用時の注意事項

## 7. 9. 1　LIN-bus機能との併用について

LIN-bus機能と16ビット・タイマKB20を併用することはできません。LIN-bus機能使用時（入力切り換え制御レジスタ（ISC）を初期値（00H）以外で使用時）は，周辺イネーブルレジスタ（PER1）のビット4（TKB2EN）を“0”（タイマKB20はリセット状態）としてください。

## 7. 9. 2　カウンタリスタートトリガ使用時の注意事項

（1）外部割り込み（INTP0～INTP7）の使用について

カウンタリスタートトリガで使用されるINTP0～INTP7は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。ただし、IH用PWM出力機能を使用する場合は、16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）の設定で有効エッジを選択することができます。

（2）コンパレータ0検出，コンパレータ1検出の使用について

カウンタリスタートトリガ要因0～2として，コンパレータ0検出，コンパレータ1検出を使用する場合，コンパレータフィルタ制御レジスタ（COMPFIR）のビット2, 3, 6, 7（C0EPO, C0EDG, C1EPO, C1EDG）によるエッジ選択が可能です。

## 7. 9. 3　強制出力停止機能使用時の注意事項（IH制御用のPWM出力機能使用時以外）

（1）外部割り込み（INTP1, INTP2）の使用について

強制出力停止機能1，2で使用されるINTP1，INTP2は，外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。

（2）コンパレータ0検出，コンパレータ1検出の使用について（n = 0, 1）

強制出力停止機能1, 2でコンパレータ0検出，コンパレータ1検出をトリガとして使用する場合，コンパレータフィルタ制御レジスタ（COMPFIR）のビット2, 3, 6, 7（C0EPO, C0EDG, C1EPO, C1EDG）によるエッジ選択が可能です。

ただし，COMPFIRレジスタのビット3, 7（C0EDG, C1EDG）を“1”（両エッジ検出）で使用する場合，強制出力停止機能1の解除の条件としてTKBPAHCM0n0 = 1を選択することはできません。必ずTKBPAHCM0n0 = 0を選択してください。また，強制出力停止機能2の解除の条件としてTKBPAFCM0n = 1を選択することはできません。必ずTKBPAFCM0n = 0を選択してください。

## 7. 9. 4　IH制御用のPWM出力機能使用時の注意事項

（1）IH制御用のPWM出力機能と他の動作モード，他の機能との併用について

IH制御用のPWM出力機能とインターリーブPFC出力モードとの併用, PWM出力ディザリング機能, PWM出力ソフト・スタート機能，最大周波数リミット機能との併用はできません。

（2）カウントリスタートトリガの要因選択について

IH制御用のPWM出力機能使用時は，カウンタリスタートトリガ要因0，カウンタリスタートトリガ要因1，カウンタリスタートトリガ要因2は選択できません。16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）のビット1，ビット0は，必ず初期値“00”で使用してください。

（3）タイマ出力について

IH制御用のPWM出力機能使用時は，タイマ出力（TKBO00）は使用できません。16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）のビット0（TKBTOE00）は，必ず初期値“0”で使用してください。

デフォルト・レベル／アクティブ・レベルは，ロウ／ハイまたはハイ／ロウの組合せのみ使用可能です。16ビット・タイマKB2出力制御レジスタ0（TKBIOC00）のビット3，ビット1は，必ず“00”または“11”で使用してください。

（4）強制出力停止機能使用時の注意事項

IH制御用のPWM出力機能使用時の強制出力停止機能には以下の使用条件があります。

- タイマ出力（TKBO01-0, TKBO01-1, TKBO01-2）に関する制御のみ使用可能
- 強制出力停止機能1のみ使用可能
- 強制出力停止機能実行時の出力状態はハイ・インピーダンス出力のみ選択可能
- 強制出力停止機能の開始トリガとしてINTP0のみ選択可能
- ソフトウエアによる強制出力停止機能の開始は使用不可

したがって，各強制出力停止機能を制御するレジスタは，以下の条件で使用してください。

強制出力停止機能制御レジスタ0（TKBPACTL00）は，必ず初期値（0000H）で使用してください。

強制出力停止機能制御レジスタ1（TKBPACTL01）はビット4（TKBPAHZS010）のみ使用可能です。その他のビットは必ず初期値“0”で使用してください。

強制出力停止機能制御レジスタ2（TKBPACTL02）はビット1（TKBPACE01）のみ使用可能です。ビット0（TKBPACE00）は必ず初期値“0”で使用してください。

強制出力停止機能制御フラグ・レジスタ（TKBPAFLG0）はビット6（TKBPAHSF01）のみ使用可能です。その他のビットは使用しないでください。

強制出力停止機能1開始レジスタ（TKBPAHFS0）は使用できません。必ず初期値（00H）で使用してください。

強制出力停止機能1停止レジスタ（TKBPAHFT0）はビット1（TKBPAHTT01）のみ使用可能です。ビット0（TKBPAHTT00）は必ず初期値“0”で使用してください。

# 第8章　リアルタイム・クロック2

## 8.1　リアルタイム・クロック2の機能

リアルタイム・クロック2（RTC2）には，次のような機能があります。

・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までをカウント可能（うるう年補正機能あり）
・定周期割り込み機能（周期：0.5秒，1秒，1分，1時間，1日，1月）
・アラーム割り込み機能（アラーム：曜日，時，分）
・1 Hzの端子出力機能

リアルタイム・クロック割り込み信号（INTRTC）を，STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

**注意　リアルタイム・クロック2の動作クロックにサブシステム・クロック（$f_{SUB}$ = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（$f_{IL}$ = 15 kHz）を選択時は，定周期割り込み機能のみ使用できます。**
**ただし，$f_{IL}$選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×$f_{SUB}/f_{IL}$で算出される値になります。**

## 8.2　リアルタイム・クロック2の構成

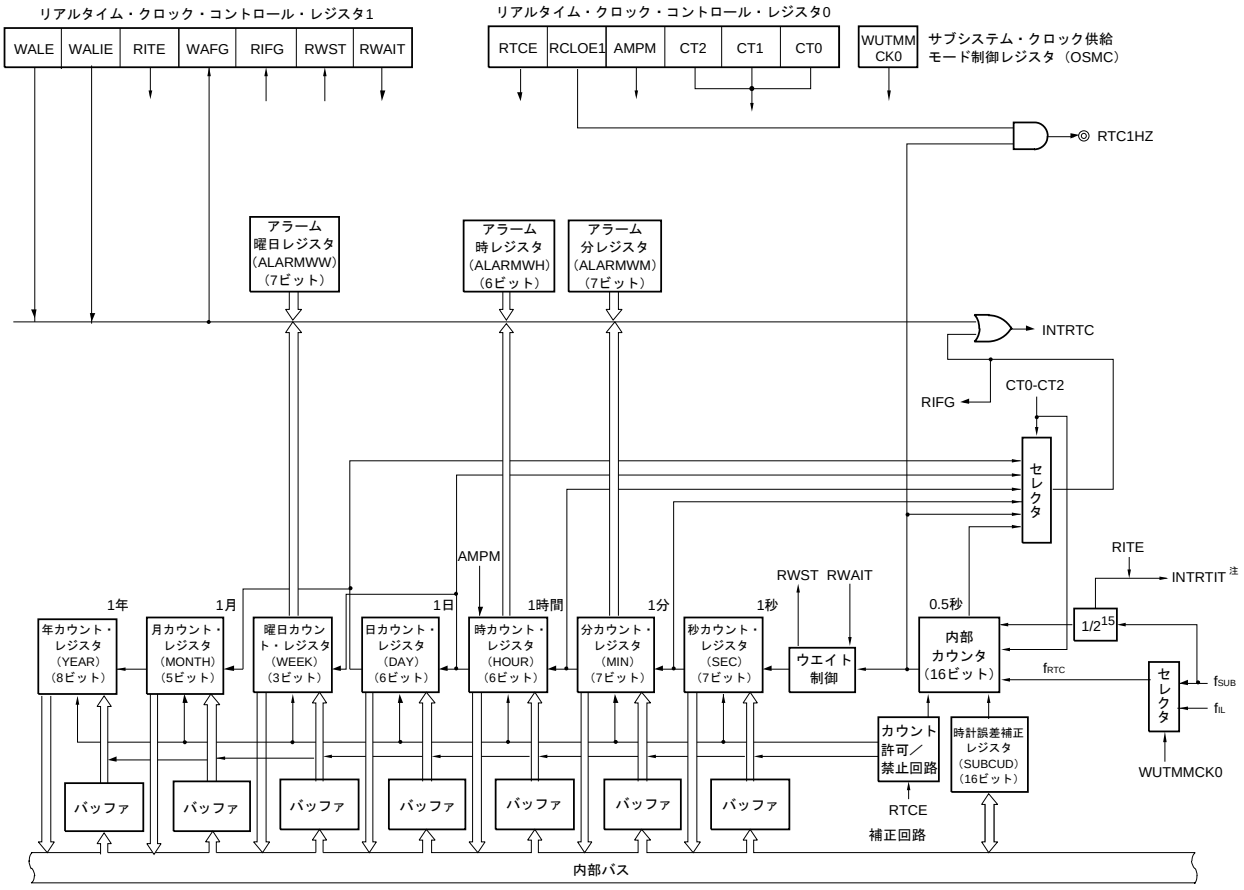
リアルタイム・クロック2は，次のハードウエアで構成されています。

表8－1　リアルタイム・クロック2の構成

| 項　　目 | 構　　成 |
|---|---|
| カウンタ | カウンタ（16ビット） |
| 制御レジスタ | 周辺イネーブル・レジスタ0（PER0） |
| | サブシステム・クロック供給モード制御レジスタ（OSMC） |
| | リアルタイム・クロック・コントロール・レジスタ0（RTCC0） |
| | パワーオン・リセット・ステータス・レジスタ（PORSR） |
| | リアルタイム・クロック・コントロール・レジスタ1（RTCC1） |
| | 秒カウント・レジスタ（SEC） |
| | 分カウント・レジスタ（MIN） |
| | 時カウント・レジスタ（HOUR） |
| | 日カウント・レジスタ（DAY） |
| | 曜日カウント・レジスタ（WEEK） |
| | 月カウント・レジスタ（MONTH） |
| | 年カウント・レジスタ（YEAR） |
| | 時計誤差補正レジスタ（SUBCUD） |
| | アラーム分レジスタ（ALARMWM） |
| | アラーム時レジスタ（ALARMWH） |
| | アラーム曜日レジスタ（ALARMWW） |

図8－1にリアルタイム・クロック2のブロック図を示します。

図8－1　リアルタイム・クロック2のブロック図




**注**　時計誤差補正レジスタ（SUBCUD）から補正値を取り込むタイミングを示す割り込みです。取り込みタイミングは1秒（$f_{SUB}$ベース）間隔になります。

## 8.3　リアルタイム・クロック2を制御するレジスタ

リアルタイム・クロック2は，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・パワーオン・リセット・ステータス・レジスタ（PORSR）
・リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
・リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
・秒カウント・レジスタ（SEC）
・分カウント・レジスタ（MIN）
・時カウント・レジスタ（HOUR）
・日カウント・レジスタ（DAY）
・曜日カウント・レジスタ（WEEK）
・月カウント・レジスタ（MONTH）
・年カウント・レジスタ（YEAR）
・時計誤差補正レジスタ（SUBCUD）
・アラーム分レジスタ（ALARMWM）
・アラーム時レジスタ（ALARMWH）
・アラーム曜日レジスタ（ALARMWW）
・ポート・モード・レジスタ3（PM3）
・ポート・レジスタ3（P3）

各リセット要因によるレジスタの状態を以下に示します。

| リセット要因 | システム系レジスタ注1 | カレンダー系レジスタ注2 |
|---|---|---|
| POR | リセット | リセットしない |
| 外部リセット | 保持 | 保持 |
| WDT | 保持 | 保持 |
| TRAP | 保持 | 保持 |
| LVD | 保持 | 保持 |
| その他内部リセット | 保持 | 保持 |

**注1.** RTCC0, RTCC1, SUBCUD

**2.** SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW,（カウンタ）

リセット発生により，SEC，MIN，HOUR，WEEK，DAY，MONTH，YEAR，ALARMWM，ALARMWH，ALARMWWレジスタはリセットされません。そのため，電源投入後は全てのレジスタを初期設定してください。

### 8. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

リアルタイム・クロック2のレジスタを操作するときは，必ずビット7（RTCWEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |

| RTCWEN | リアルタイム・クロック2の入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・リアルタイム・クロック2で使用するSFRへのライト不可<br>・リアルタイム・クロック2は動作可能 |
| 1 | 入力クロック供給<br>・リアルタイム・クロック2で使用するSFRへのリード／ライト可<br>・リアルタイム・クロック2は動作可能 |

**注意1.　時計誤差補正レジスタ（SUBCUD）は，周辺イネーブル・レジスタ0（PER0）のRTCWEN=1を設定することでリード／ライトが可能となります。**

**2.　リアルタイム・クロック2を使用する際には，カウント・クロック（$f_{RTC}$）が発振安定した状態で，必ず最初にRTCWEN = 1に設定してから下記のレジスタの設定を行ってください。RTCWEN = 0の場合は，リアルタイム・クロック2の制御レジスタへの書き込みは無視され，読み出し値はRTCWEN=1に設定した値となります。（サブシステム・クロック供給モード制御レジスタ（OSMC），パワーオン・リセット・ステータス・レジスタ（PORSR），ポート・モード・レジスタ3（PM3），ポート・レジスタ3（P3）は除く）。**

- **リアルタイム・クロック・コントロール・レジスタ0（RTCC0）**
- **リアルタイム・クロック・コントロール・レジスタ1（RTCC1）**
- **秒カウント・レジスタ（SEC）**
- **分カウント・レジスタ（MIN）**
- **時カウント・レジスタ（HOUR）**
- **日カウント・レジスタ（DAY）**
- **曜日カウント・レジスタ（WEEK）**
- **月カウント・レジスタ（MONTH）**
- **年カウント・レジスタ（YEAR）**
- **時計誤差補正レジスタ（SUBCUD）**
- **アラーム分レジスタ（ALARMWM）**
- **アラーム時レジスタ（ALARMWH）**
- **アラーム曜日レジスタ（ALARMWW）**

**3.　ビット1, 6には必ず“0”を設定してください。**

## 8. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSMC | RTCLPC | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |

| RTCLPC | STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定 |
|---|---|
| 0 | 周辺機能へのサブシステム・クロック供給許可<br>（動作許可となる周辺機能については，表21－1～表21－3参照） |
| 1 | リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力/ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止 |

| WUTMMCK0 | リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの動作クロックの選択 | クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択 |
|---|---|---|
| 0 | サブシステム・クロック（$f_{SUB}$） | サブシステム・クロック（$f_{SUB}$）選択許可 |
| 1 | 低速オンチップ・オシレータ・クロック（$f_{IL}$） | サブシステム・クロック（$f_{SUB}$）選択禁止 |

**注意1.　サブシステム・クロック発振中の場合は，必ずサブシステム・クロックを選択（WUTMMCK0ビット = 0）にしてください。**

**2.　WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。**

**3.　WUTMMCK0を“1”に設定した場合，リアルタイム・クロック2の定周期割り込み機能のみ使用できます。年，月，曜日，日，時，分，秒のカウントおよび1Hz出力機能は使用できません。定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×$f_{SUB}/f_{IL}$で算出されます。**

**4.　WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは，リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。**

### 8. 3. 3　パワーオン・リセット・ステータス・レジスタ（PORSR）

PORSRレジスタは，パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0（PORF）は“1”書き込み有効であり，“0”書き込みは無効です。

パワーオン・リセット発生の有無を確認するときは，あらかじめPORFビットに“1”を書き込んでおいてください。

PORSRレジスタは，8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により，00Hになります。

**注意1.　PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します）。**

**2.　PORFが“1”のとき，パワーオン・リセットが発生していないことは保証されますが，RAMの値が保持されていることを保証するものではありません。**

図8－4　パワーオン・リセット・ステータス・レジスタ（PORSR）のフォーマット

アドレス：F00F9H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PORSR | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PORF |

| PORF | パワーオン・リセット発生確認 |
|---|---|
| 0 | “1”書き込みが行われていない，またはパワーオン・リセットが発生 |
| 1 | パワーオン・リセットは発生していない |

## 8. 3. 4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

リアルタイム・クロック2動作の開始/停止，RTC1HZ端子の制御，12/24時間制，定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により，00Hになります。

図8－5　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット（1/2）

アドレス：FFF9DH　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RTCC0 | RTCE | 0 | RCLOE1 | 0 | AMPM | CT2 | CT1 | CT0 |

| RTCE[注1] | リアルタイム・クロック2の動作制御 |
|---|---|
| 0 | カウンタ動作停止 |
| 1 | カウンタ動作開始 |

| RCLOE1[注2] | RTC1HZ端子の出力制御 |
|---|---|
| 0 | RTC1HZ端子の出力（1 Hz）禁止 |
| 1 | RTC1HZ端子の出力（1 Hz）許可 |
| RTCE = 0の時は時計カウンタが動作しないため，1 Hz出力は出力されません。 | |

**注1.**　RTCE = 1に設定直後にSTOPモードに移行する場合は，図8－19　RTCE = 1に設定後のHALT/STOPモードへの移行手順にしたがってSTOPモードに移行してください。

**2.**　時計カウンタ動作中（RTCE = 1）にRCLOE1ビットの設定を行った場合，1 Hz出力端子（RTC1HZ）にグリッチが出力する可能性があります。

**注意　ビット4, 6には必ず“0”を設定してください。**

図8－5　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット（2/2）

アドレス：FFF9DH　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RTCC0 | RTCE | 0 | RCLOE1 | 0 | AMPM | CT2 | CT1 | CT0 |

表8－2　RTCE, RCLOE1の設定値と状態の関係

| レジスタ設定値 | | 状態 | |
|---|---|---|---|
| RTCE | RCLOE1 | リアルタイム・クロック2の状態 | RTC1HZ端子出力 |
| 0 | × | カウント停止 | 出力しない |
| 1 | 0 | カウント動作 | 出力しない |
| | 1 | カウント動作 | 1 Hz出力 |

| AMPM | 12時間制/24時間制の選択 |
|---|---|
| 0 | 12時間制　（午前／午後を表示する） |
| 1 | 24時間制 |
| AMPMビットの値を時計カウンタ動作中（RTCE = 1）に変更する場合は，RWAIT（RTCC1のビット0）= 1にしてから書き換え，時カウンタ（HOUR）を再設定してください。<br>AMPMビットが0の場合は12時間表示，1の場合は24時間表示になります。時間桁表示を表8－3に示します。 | |

| CT2 | CT1 | CT0 | 定周期割り込み（INTRTC）の選択 |
|---|---|---|---|
| 0 | 0 | 0 | 定周期割り込み機能を使用しない |
| 0 | 0 | 1 | 0.5秒に1度（秒カウントアップに同期） |
| 0 | 1 | 0 | 1秒に1度（秒カウントアップと同時） |
| 0 | 1 | 1 | 1分に1度（毎分00秒） |
| 1 | 0 | 0 | 1時間に1度（毎時00分00秒） |
| 1 | 0 | 1 | 1日に1度（毎日00時00分00秒） |
| 1 | 1 | × | 1月に1度（毎月1日午前00時00分00秒） |
| カウンタ動作中（RTCE = 1）にCT2-CT0ビットの値を変更する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，RIFGフラグ，RTCIFフラグをクリアしてから割り込み処理許可にしてください。 | | | |

**注意　ビット4, 6には必ず“0”を設定してください。**

**備考**　×　：don’t care

## 8. 3. 5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

アラーム割り込み機能，カウンタのウエイトを制御する8ビットのレジスタです。

RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により，00Hになります。

図8－6　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（1/3）

アドレス：FFF9EH　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RTCC1 | WALE | WALIE | RITE | WAFG | RIFG | 0 | RWST | RWAIT |

| WALE | アラームの動作制御 |
|---|---|
| 0 | 一致動作無効 |
| 1 | 一致動作有効 |
| カウンタ動作中（RTCE = 1）かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ（RTCC1レジスタのWALIEフラグ，アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW））を設定する場合，WALEビットを一致動作無効“0”にしてください。 | |

| WALIE | アラーム割り込み（INTRTC）機能の動作制御 |
|---|---|
| 0 | アラーム一致による割り込みを発生しない |
| 1 | アラーム一致による割り込みを発生する |

**注意　RTCCT1に1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ，WAFGフラグをクリアしないようにするために，該当ビットに1（書き込みが無効） を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き変わっても問題ない場合は，RTCC1に1ビット操作命令で書き込みを行っても問題ありません。**

図8－6　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/3）

アドレス：FFF9EH　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RTCC1 | WALE | WALIE | RITE | WAFG | RIFG | 0 | RWST | RWAIT |

| RITE | 補正タイミング信号割り込み（INTRTIT）機能の動作制御 |
|---|---|
| 0 | 補正タイミング信号割り込みを発生しない |
| 1 | 補正タイミング信号割り込みを発生する |

| WAFG | アラーム検出ステータス・フラグ |
|---|---|
| 0 | アラーム不一致 |
| 1 | アラーム一致検出 |
| アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック（32.768 kHz）後に“1”となります。<br>“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。 | |

| RIFG | 定周期割り込みステータス・フラグ |
|---|---|
| 0 | 定周期割り込み発生なし |
| 1 | 定周期割り込み発生あり |
| 定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。<br>“0”を書き込むことでクリアされ，1の書き込みは無効となります。 | |

**注意　RTCCT1に1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ，WAFGフラグをクリアしないようにするために，該当ビットに1（書き込みが無効）を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き変わっても問題ない場合は，RTCC1に1ビット操作命令で書き込みを行っても問題ありません。**

図8－6　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（3/3）

アドレス：FFF9EH　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RTCC1 | WALE | WALIE | RITE | WAFG | RIFG | 0 | RWST | RWAIT |

| RWST | リアルタイム・クロック2のウエイト状態フラグ |
|---|---|
| 0 | カウンタ動作 |
| 1 | カウンタ値読み出し，書き込みモード中 |
| RWAITビットの設定が有効であるかを示すステータス・フラグです。<br>カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとで行ってください。<br>RWAITビットに0を設定しても，カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後，0になります。 | |

| RWAIT | リアルタイム・クロック2のウエイト制御 |
|---|---|
| 0 | カウンタ動作設定 |
| 1 | SEC～YEARカウンタ停止設定。カウンタ値読み出し，書き込みモード |
| カウンタの動作を制御します。<br>カウンタ値を読み出し，書き込みを行う際は必ず“1”を書き込んでください。<br>カウンタ（16ビット）は動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。<br>アラーム割り込みを使用するときに，カウンタの読み出し／書き込みを行う場合は，RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして，RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。<br>RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能（RWST = 1）となるまで最大1クロック（$f_{RTC}$）の時間がかかります。注1, 注2<br>内部カウンタ（16ビット）のオーバフローがRWAIT = 1の時に起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。<br>ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。 | |

★

**注1.** RTCE＝1に設定した後，$f_{RTC}$の1クロック時間内でRWAIT=1とした場合，RWSTビットが“1”になるまで動作クロック（$f_{RTC}$）の2クロック時間がかかる場合があります。

**2.** スタンバイ（HALTモード，STOPモード，SNOOZEモード）から復帰した後、$f_{RTC}$の1クロック時間内で，RWAIT＝1とした場合，RWSTビットが”1”になるまでに，動作クロック（$f_{RTC}$）の2クロック時間がかかる場合があります。

**注意　RTCCT1に1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ，WAFGフラグをクリアしないようにするために，該当ビットに1（書き込みが無効）を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き変わっても問題ない場合は，RTCC1に1ビット操作命令で書き込みを行っても問題ありません。**

**備考1.** 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

**2.** 秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

### 8. 3. 6　秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

カウンタ（16ビット）からのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は，バッファに書き込まれ，最大$f_{RTC}$の2クロック後にカウンタへ書き込まれます。また，設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－7　秒カウント・レジスタ（SEC）のフォーマット

アドレス：FFF92H　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| SEC | 0 | SEC40 | SEC20 | SEC10 | SEC8 | SEC4 | SEC2 | SEC1 |

**注意　時計カウンタ動作中（RTCE = 1） に，SECをリード/ ライトする場合は，必ず8. 4. 3　リアルタイム・クロック2のカウンタ読み出し，8. 4. 4　リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。**

**備考**　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

### 8. 3. 7　分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は，バッファに書き込まれ最大$f_{RTC}$の2クロック後に，カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。

MINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－8　分カウント・レジスタ（MIN）のフォーマット

アドレス：FFF93H　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MIN | 0 | MIN40 | MIN20 | MIN10 | MIN8 | MIN4 | MIN2 | MIN1 |

**注意　時計カウンタ動作中（RTCE = 1）に，MINをリード/ライトする場合は，必ず8. 4. 3　リアルタイム・クロック2のカウンタ読み出し，8. 4. 4　リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。**

### 8. 3. 8　時カウント・レジスタ（HOUR）

00-23または01-12，21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は，バッファに書き込まれ最大$f_{RTC}$の2クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。

また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00～23または01～12，21～32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－9　時カウント・レジスタ（HOUR）のフォーマット

アドレス：FFF94H　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| HOUR | 0 | 0 | HOUR20 | HOUR10 | HOUR8 | HOUR4 | HOUR2 | HOUR1 |

**注意1.　HOURレジスタのビット5（HOUR20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。**

**2.　時計カウンタ動作中（RTCE = 1）に，HOURをリード/ライトする場合は，必ず8. 4. 3　リアルタイム・クロック2のカウンタ読み出し，8. 4. 4　リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。**

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表8－3に示します。

表8－3　時間桁表示表

| 24時間表示（AMPMビット = 1） | | 12時間表示（AMPMビット = 0） | |
|---|---|---|---|
| 時間 | HOURレジスタ | 時間 | HOURレジスタ |
| 0時 | 00H | AM12時 | 12 H |
| 1時 | 01 H | AM1時 | 01 H |
| 2時 | 02 H | AM2時 | 02 H |
| 3時 | 03 H | AM3時 | 03 H |
| 4時 | 04 H | AM4時 | 04 H |
| 5時 | 05 H | AM5時 | 05 H |
| 6時 | 06 H | AM6時 | 06 H |
| 7時 | 07 H | AM7時 | 07 H |
| 8時 | 08 H | AM8時 | 08 H |
| 9時 | 09 H | AM9時 | 09 H |
| 10時 | 10 H | AM10時 | 10 H |
| 11時 | 11 H | AM11時 | 11 H |
| 12時 | 12 H | PM12時 | 32 H |
| 13時 | 13 H | PM1時 | 21 H |
| 14時 | 14 H | PM2時 | 22 H |
| 15時 | 15 H | PM3時 | 23 H |
| 16時 | 16 H | PM4時 | 24 H |
| 17時 | 17 H | PM5時 | 25 H |
| 18時 | 18 H | PM6時 | 26 H |
| 19時 | 19 H | PM7時 | 27 H |
| 20時 | 20 H | PM8時 | 28 H |
| 21時 | 21 H | PM9時 | 29 H |
| 22時 | 22 H | PM10時 | 30 H |
| 23時 | 23 H | PM11時 | 31 H |

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

### 8. 3. 9　日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップする10進カウンタです。

カウンタは，次に示すようにカウントします。

[DAYのカウント値]

- 01～31（1, 3, 5, 7, 8, 10, 12月）
- 01～30（4, 6, 9, 11月）
- 01～29（2月　うるう年）
- 01～28（2月　通常年）

書き込みを行った場合は，バッファに書き込まれ最大$f_{RTC}$の2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。

DAYレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－10　日カウント・レジスタ（DAY）のフォーマット

アドレス：FFF96H　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DAY | 0 | 0 | DAY20 | DAY10 | DAY8 | DAY4 | DAY2 | DAY1 |

**注意　時計カウンタ動作中（RTCE = 1）に，DAYをリード/ライトする場合は，必ず8. 4. 3　リアルタイム・クロック2のカウンタ読み出し，8. 4. 4　リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。**

## 8. 3. 10　曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタへの桁上げ時にカウント・アップする10進カウンタです。

書き込みを行った場合は，バッファに書き込まれ最大$f_{RTC}$の2クロック後にカウンタへ書き込まれます。

また，設定する値は10進の00～06をBCDコードで設定してください。

WEEKレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－11　曜日カウント・レジスタ（WEEK）のフォーマット

アドレス：FFF95H　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| WEEK | 0 | 0 | 0 | 0 | 0 | WEEK4 | WEEK2 | WEEK1 |

**注意1.　曜日カウント・レジスタ（WEEK）には，月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。**
**リセット解除後，次のように設定してください。**

| 曜日 | WEEK |
|---|---|
| 日 | 00H |
| 月 | 01H |
| 火 | 02H |
| 水 | 03H |
| 木 | 04H |
| 金 | 05H |
| 土 | 06H |

**2.　時計カウンタ動作中（RTCE = 1）に，WEEKをリード/ライトする場合は，必ず8. 4. 3　リアルタイム・クロック2のカウンタ読み出し，8. 4. 4　リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。**

## 8. 3. 11　月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は，バッファに書き込まれ最大$f_{RTC}$の2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。

MONTHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－12　月カウント・レジスタ（MONTH）のフォーマット

アドレス：FFF97H　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MONTH | 0 | 0 | 0 | MONTH10 | MONTH8 | MONTH4 | MONTH2 | MONTH1 |

**注意　時計カウンタ動作中（RTCE = 1）に，MONTHをリード/ライトする場合は，必ず8. 4. 3　リアルタイム・クロック2のカウンタ読み出し，8. 4. 4　リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。**

## 8. 3. 12　年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップする10進カウンタです。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ最大$f_{RTC}$の2クロック後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。

YEARレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－13　年カウント・レジスタ（YEAR）のフォーマット

アドレス：FFF98H　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| YEAR | YEAR80 | YEAR40 | YEAR20 | YEAR10 | YEAR8 | YEAR4 | YEAR2 | YEAR1 |

**注意　時計カウンタ動作中（RTCE = 1）に，YEARをリード/ライトする場合は，必ず8. 4. 3　リアルタイム・クロック2のカウンタ読み出し，8. 4. 4　リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。**

## 8. 3. 13　時計誤差補正レジスタ（SUBCUD）

時計誤差補正レジスタ（SUBCUD）は，カウンタの値を毎秒ごとに補正することにより，時計の進みや遅れを最小分解能0.96 ppm精度で補正することができるレジスタです。

SUBCUDのF8-F0は9bitの固定小数点形式（2の補数形式）レジスタです。詳細は**表8－5　時計誤差補正値**を参照してください。

SUBCUDレジスタは，16ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により，0020Hになります。

図8－14　時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス：F0310H　リセット時：0020H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SUBCUD | F15 | 0 | 0 | 0 | 0 | 0 | 0 | F8 | F7 | F6 | F5 | F4 | F3 | F2 | F1 | F0 |

| F15 | 時計誤差補正許可 |
|---|---|
| 0 | 時計誤差補正停止 |
| 1 | 時計誤差補正許可 |

時計誤差補正レジスタ（SUBCUD）による水晶振動子の発振周波数偏差の補正可能範囲を表8－4に示します。

表8－4　水晶振動子の発振周波数偏差の補正可能範囲

| 項目 | 値 |
|---|---|
| 補正可能範囲 | －274.6 ppm ～ ＋212.6 ppm |
| 最大量子化誤差 | ±0.48 ppm |
| 最小分解能 | 0.96 ppm |

表8－5　時計誤差補正値

| SUBCUD | | | | | | | | | | ターゲット補正値 |
|---|---|---|---|---|---|---|---|---|---|---|
| F15 | F8 | F7 | F6 | F5 | F4 | F3 | F2 | F1 | F0 | |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | －274.6 ppm |
| | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | －273.7 ppm |
| | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | －272.7 ppm |
| | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | －33.3 ppm |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | －32.4 ppm |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | －31.4 ppm |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | －30.5 ppm |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | －29.6 ppm |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | －28.6 ppm |
| | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ |
| | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | －0.95 ppm |
| | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 ppm |
| | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0.95 ppm |
| | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ |
| | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 210.7 ppm |
| | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 211.7 ppm |
| | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 212.6 ppm |
| 0 | × | × | × | × | × | × | × | × | × | 時計誤差補正停止 |

SUBCUDレジスタのF8-F0値は，ターゲット補正値から次の計算式で算出してください。

$$SUBCUD[8:0] = \left( \frac{\text{ターゲット補正値 [ppm]} \times 2^{15}}{10^{6}} \right)_{\text{2の補数（9bit固定小数点形式）}} + 0001.00000B$$

**注意　ターゲット補正値とは，水晶振動子の発振周波数偏差（単位は[ppm]）を示します。ターゲット補正値の算出方法については，8.4.8　リアルタイム・クロック2の時計誤差補正例を参照してください。**

例1. ターゲット補正値 = 18.3 [ppm]の場合

$SUBCUD[8:0] = (18.3 \times 2^{15} / 10^{6})_{\text{2の補数（9bit固定小数点形式）}} + 0001.00000B$

$= (0.59375)_{\text{2の補数（9bit固定小数点形式）}} + 0001.00000B$

$= 0000.10011B + 0001.00000B$

$= 0001.10011B$

例2. ターゲット補正値 = －18.3 [ppm]の場合

SUBCUD[8:0] = (－18.3 × $2^{15}$ / $10^{6}$) 2の補数（9bit固定小数点形式） ＋ 0001.00000B

= (－0.59965) 2の補数（9bit固定小数点形式） ＋ 0001.00000B

= 1111.01101B ＋ 0001.00000B

= 0000.01101B

## 8. 3. 14　アラーム分レジスタ（ALARMWM）

アラームの分を設定するレジスタです。

ALARMWMレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－15　アラーム分レジスタ（ALARMWM）のフォーマット

アドレス：FFF9AH　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ALARMWM | 0 | WM40 | WM20 | WM10 | WM8 | WM4 | WM2 | WM1 |

注意　注意設定する値は，10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合，アラームが検出されません。

## 8. 3. 15　アラーム時レジスタ（ALARMWH）

アラームの時を設定するレジスタです。

ALARMWHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－16　アラーム時レジスタ（ALARMWH）のフォーマット

アドレス：FFF9BH　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ALARMWH | 0 | 0 | WH20 | WH10 | WH8 | WH4 | WH2 | WH1 |

**注意1.　注意設定する値は10進の00～23または01～12，21～32をBCDコードで設定してください。範囲外の値を設定した場合，アラームが検出されません。**

**2.　ALARMWHレジスタのビット5（WH20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。**

## 8. 3. 16　アラーム曜日レジスタ（ALARMWW）

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期化はされません。

図8－17　アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス：FFF9CH　リセット時：不定　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ALARMWW | 0 | WW6 | WW5 | WW4 | WW3 | WW2 | WW1 | WW0 |

表8－6にアラーム時刻の設定例を示します。

表8－6　アラーム時刻の設定例

| アラーム設定時刻 | 曜　日 | | | | | | | 12時間表示 | | | | 24時間表示 | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 日<br>WW0 | 月<br>WW1 | 火<br>WW2 | 水<br>WW3 | 木<br>WW4 | 金<br>WW5 | 土<br>WW6 | 10時 | 1時 | 10分 | 1分 | 10時 | 1時 | 10分 | 1分 |
| 毎日　午前0時00分 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 2 | 0 | 0 | 0 | 0 | 0 | 0 |
| 毎日　午前1時30分 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 3 | 0 | 0 | 1 | 3 | 0 |
| 毎日　午前11時59分 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 5 | 9 | 1 | 1 | 5 | 9 |
| 月～金　午後0時00分 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 3 | 2 | 0 | 0 | 1 | 2 | 0 | 0 |
| 日曜　午後1時30分 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 2 | 1 | 3 | 0 | 1 | 3 | 3 | 0 |
| 月水金　午後11時59分 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 3 | 1 | 5 | 9 | 2 | 3 | 5 | 9 |

## 8. 3. 17　リアルタイム・クロック2出力端子のポート機能を制御するレジスタ

リアルタイム・クロック2使用時は，対象チャネルと兼用するポート機能を制御するレジスタ（LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6），ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。詳細は，**4. 3. 9　LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）**，**4. 3. 1　ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**を参照してください。

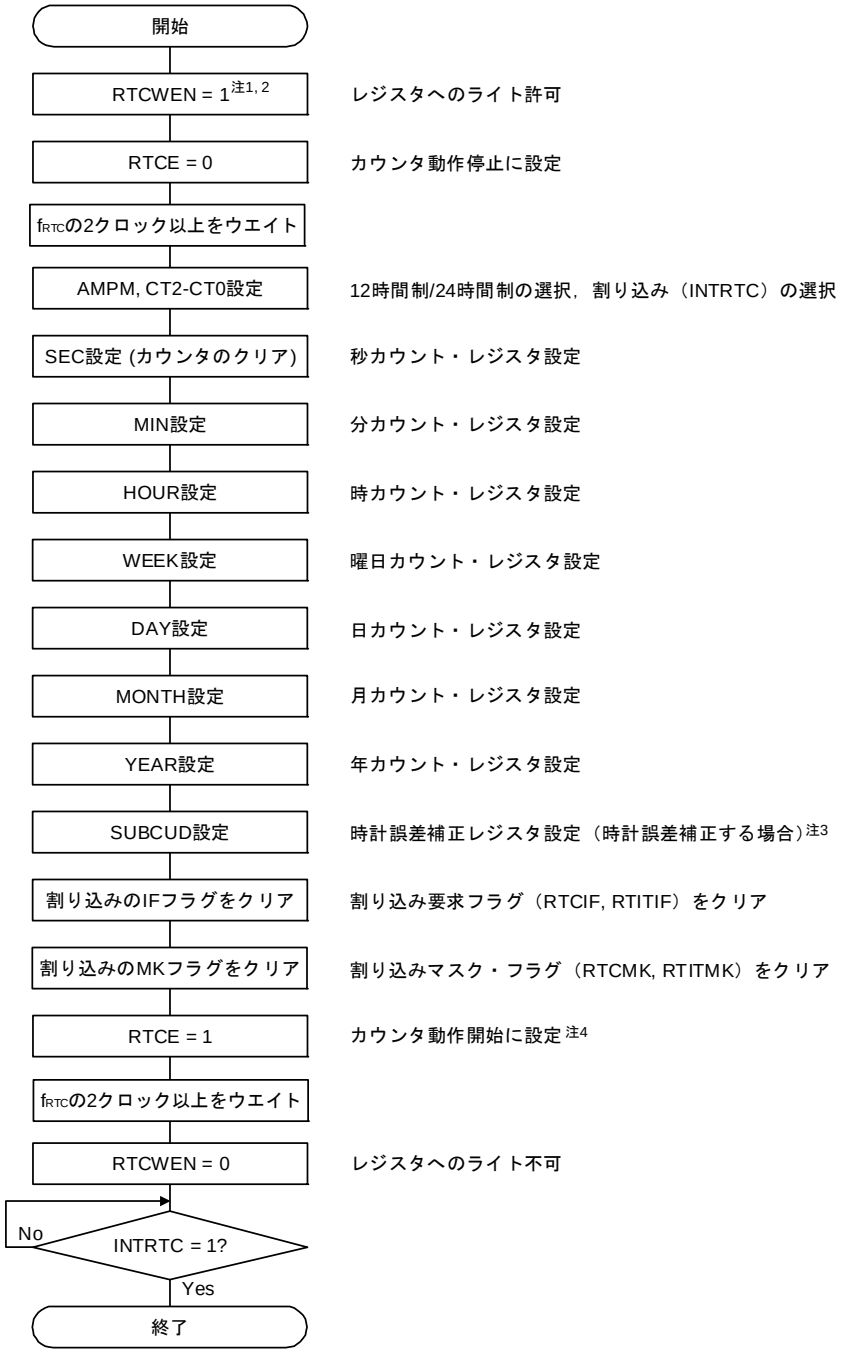
リアルタイム・クロック2出力端子を兼用するポート（P31/RTC1HZ）をリアルタイム・クロック2として使用するときは，ポートに対応するLCDポート・ファンクション・レジスタ（PFSEGx）のビット，ポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P31/RTC1HZをリアルタイム・クロック2出力として使用する場合
LCDポート・ファンクション・レジスタ（PFSEG2）のPFSEG21ビットを0に設定
ポート・モード・レジスタ（PM3）のPM31ビットを0に設定
ポート・レジスタ（P3）のP31ビットを0に設定

# 8. 4　リアルタイム・クロック2の動作

## 8. 4. 1　リアルタイム・クロック2の動作開始

図8－18　リアルタイム・クロック2の動作開始手順




**注1.** RTCレジスタへのアクセス時以外は，時計カウント誤書き込みを防止するために，RTCWEN = 0に設定してください。

**2.** カウント・クロック（$f_{RTC}$）が発振安定状態において，最初にRTCWEN = 1の設定を行ってください。

**3.** 時計誤差補正する必要がある場合のみ。補正値の算出方法は，**8. 4. 8　リアルタイム・クロック2の時計誤差補正例**を参照してください。

**4.** RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は，**8. 4. 2　動作開始後のHALT/STOPモードへの移行の手順**を確認してください。

## 8. 4. 2　動作開始後のHALT/STOPモードへの移行

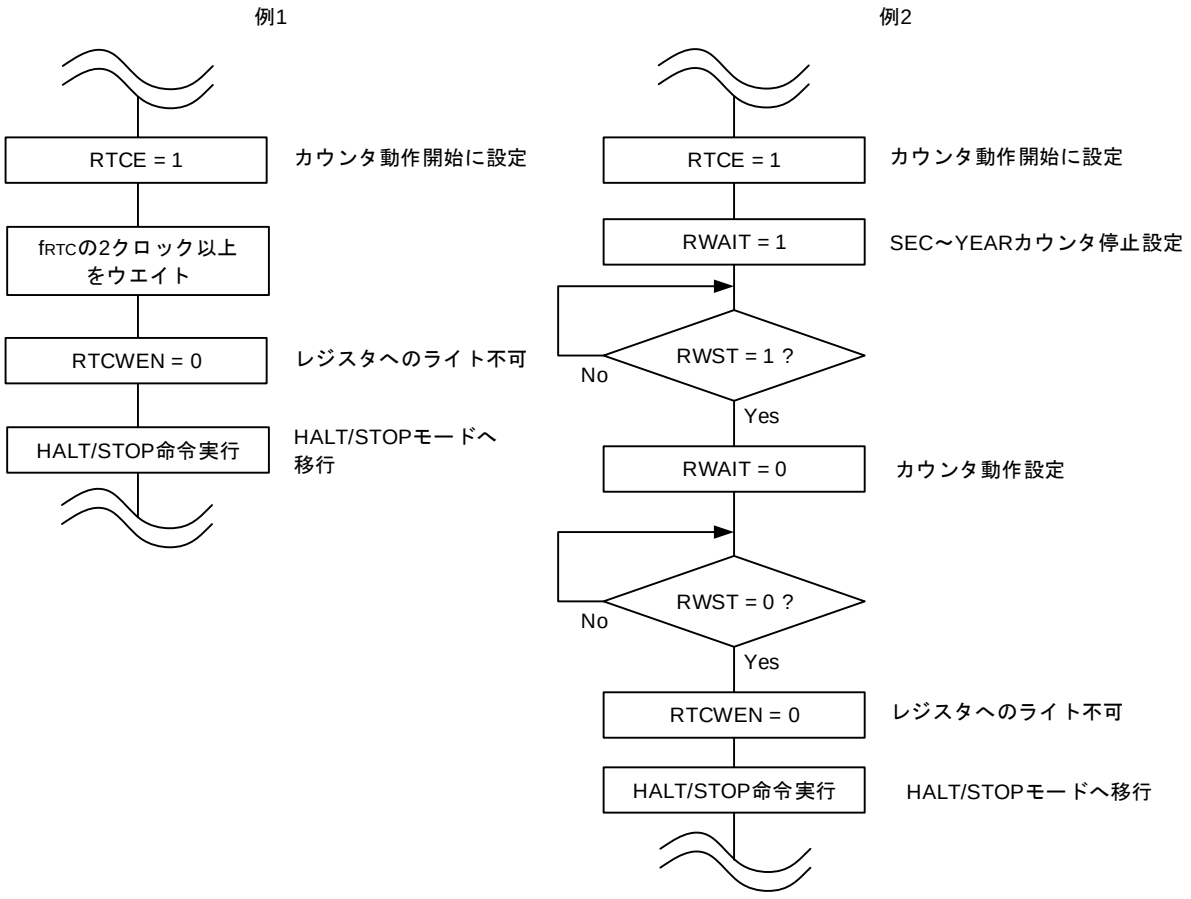
RTCE = 1に設定直後にSTOPモードへ移行する場合は，次のどちらかの処理をしてください。

ただし，RTCE = 1に設定後，1回目INTRTC割り込みの発生以降にSTOPモードへ移行する場合は，これらの処理は必要ありません。

（1）RTCE = 1に設定してから，カウント・クロック（$f_{RTC}$）の2クロック分以上経過後にHALT/STOPモードへ移行する（図8－19 例1参照）。

（2）RTCE = 1に設定後，RWAIT = 1に設定し，RWSTビットが1になるのをポーリングで確認する。それから，RWAIT = 0に設定し，RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する（図8－19 例2参照）。

図8－19　RTCE = 1に設定後のHALT/STOPモードへの移行手順



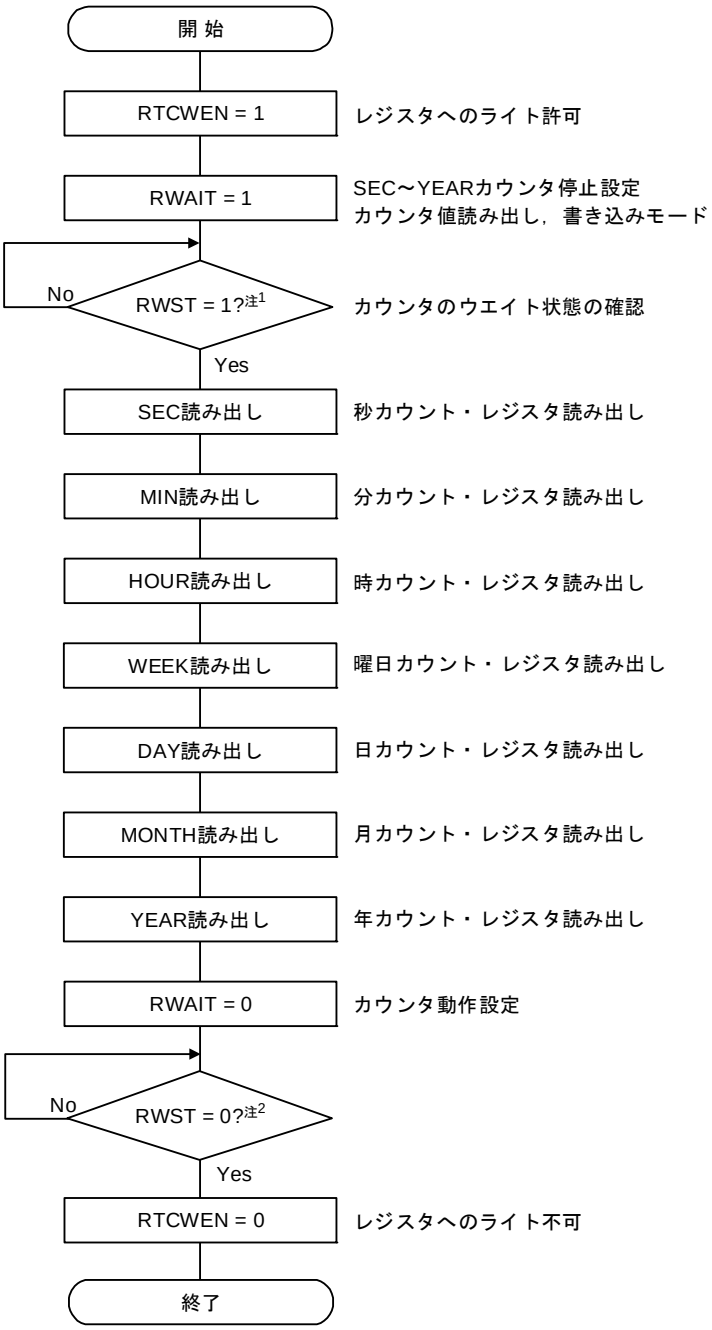
## 8.4.3　リアルタイム・クロック2のカウンタ読み出し

カウンタの読み出しは，最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し終了後は，RWAIT = 0にしてください。

★ なお，アラーム割り込み機能使用時は，図8－21の手順でカウンタの読み出しを行ってください。

図8－20　リアルタイム・クロック2の読み出し手順



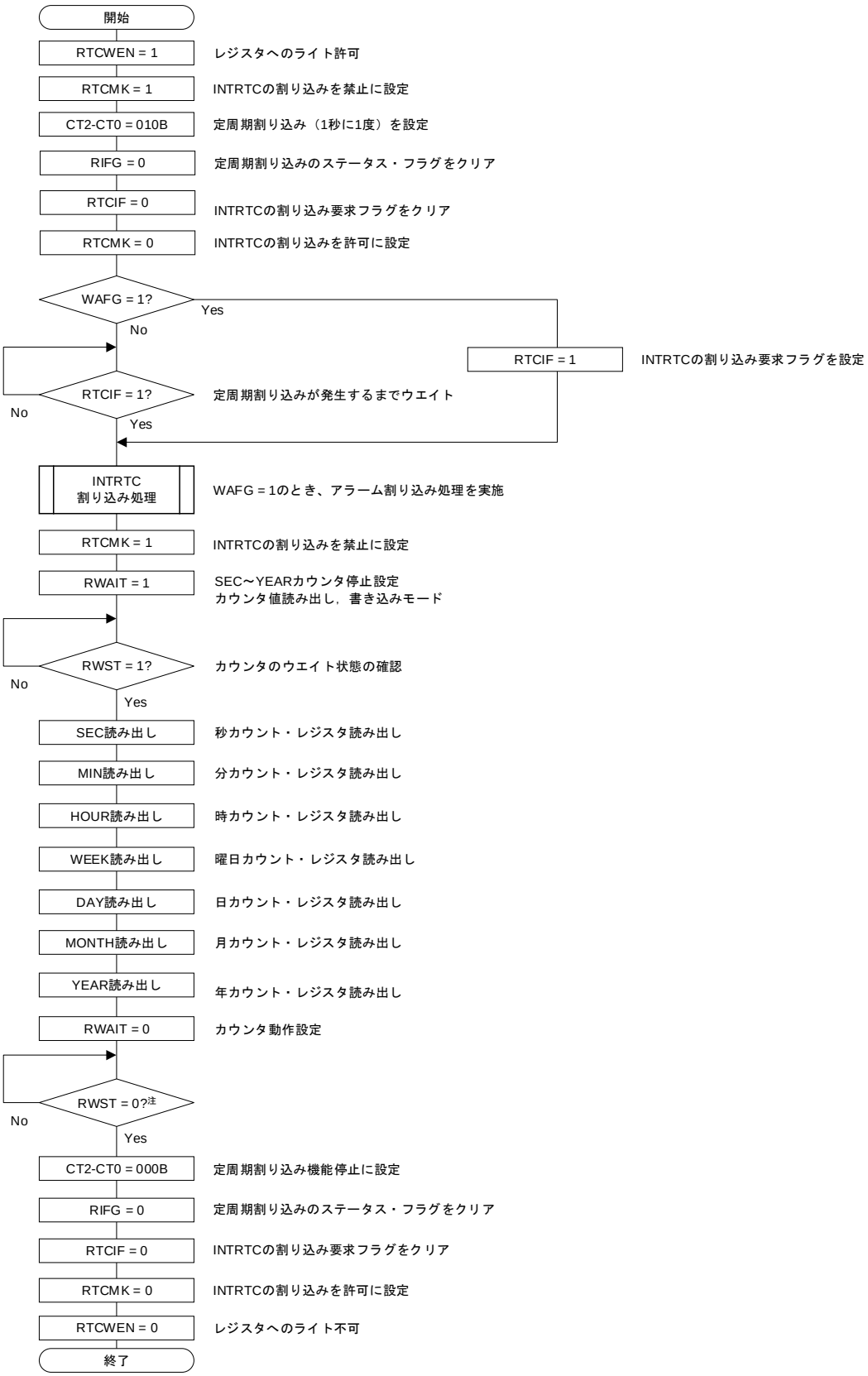

**注1.** カウンタ停止（RTCE=0）時はRWST=1になりません。

★ **2.** HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

**注意　RWAIT = 1 からRWAIT = 0とするまでの処理を1秒以内で行ってください。**

**備考**　SEC，MIN，HOUR，WEEK，DAY，MONTH，YEARの読み出しの順番に制限はありません。また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを読み出しても構いません。

★ 図8－21　リアルタイム・クロック2の読み出し手順（アラーム割り込み機能使用時）




**注**　HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

**注意**　**INTRTC割り込み処理の開始から，RWAIT = 0までの処理を1秒以内で行ってください。**

**備考**　SEC，MIN，HOUR，WEEK，DAY，MONTH，YEARの読み出しの順番に制限はありません。
また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを読み出しても構いません。

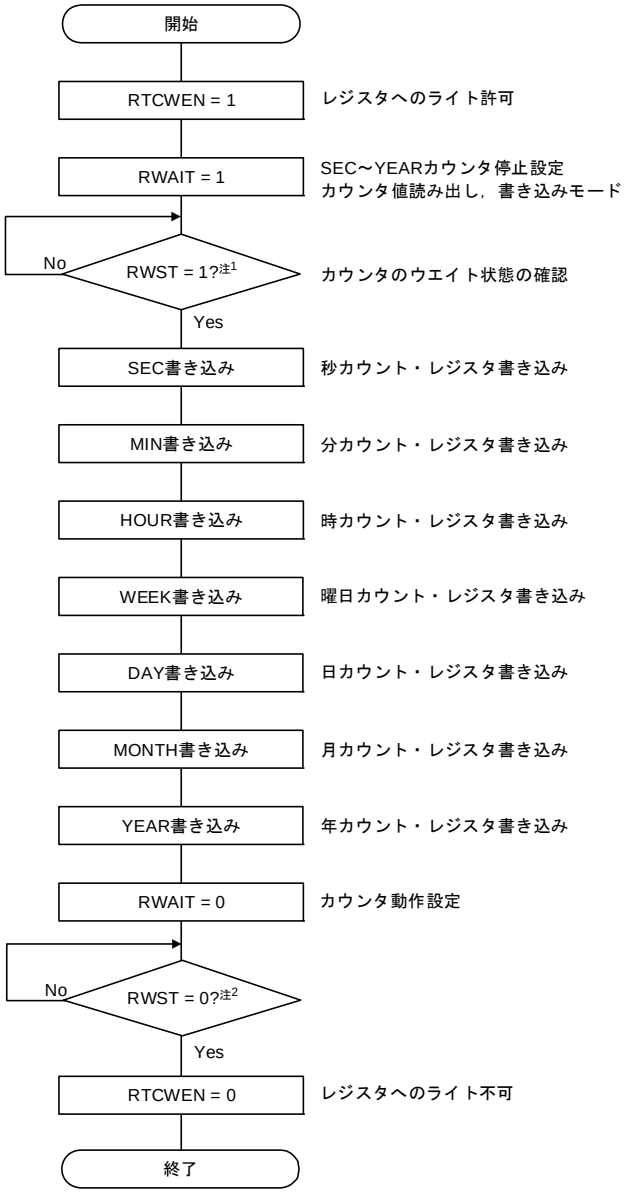
### 8.4.4　リアルタイム・クロック2のカウンタ書き込み

カウンタの書き込みは，最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し終了後は，RWAIT = 0にしてください。

★ なお，アラーム割り込み機能使用時は，図8－23の手順でカウンタの書き込みを行ってください。

図8－22　リアルタイム・クロック2の書き込み手順




**注1.** カウンタ停止（RTCE=0）時はRWST=1になりません。

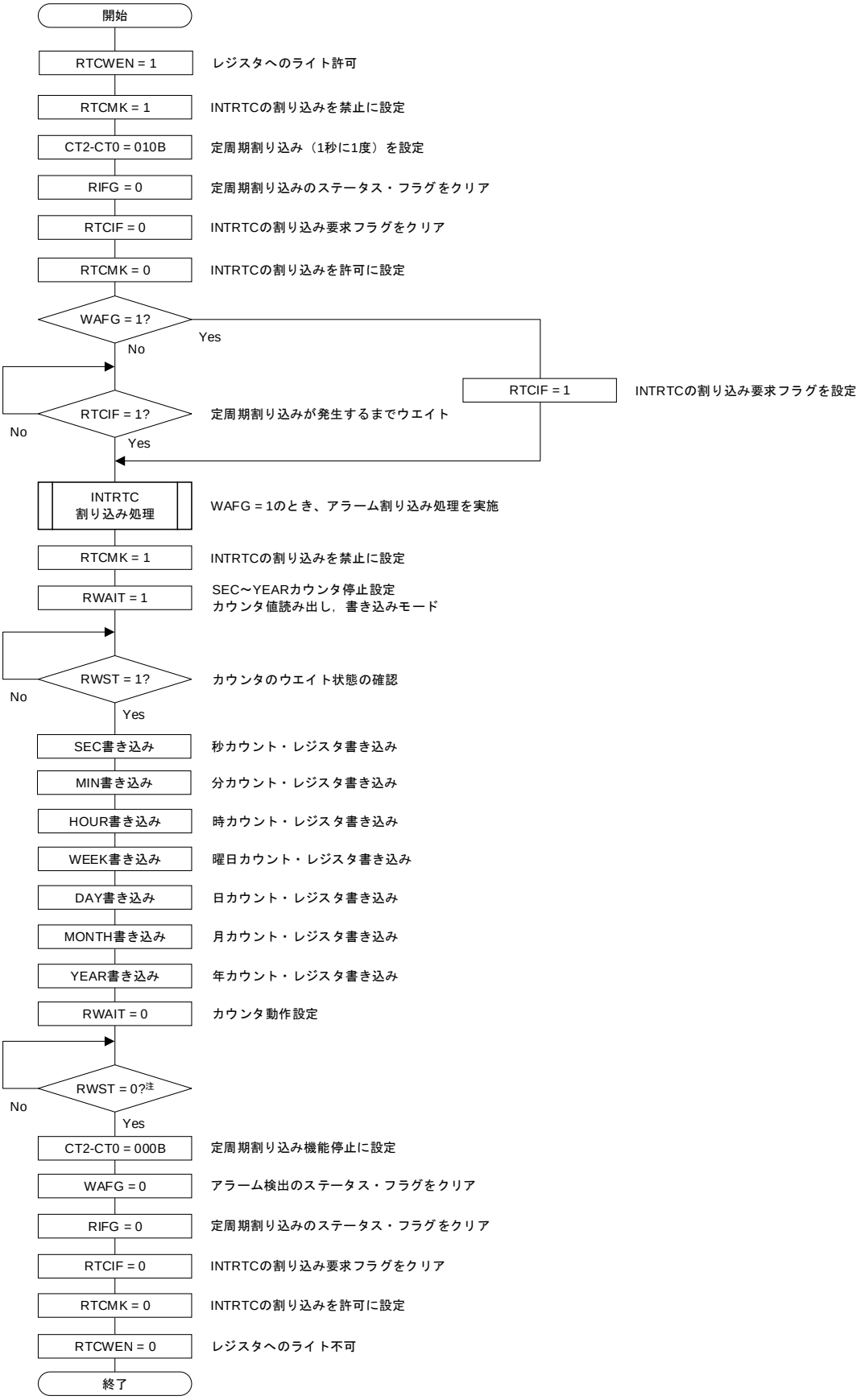
★ **2.** HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

**注意1. RWAIT = 1からRWAIT = 0とするまでの処理を1秒以内で行ってください。**

**2. カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RIFGフラグ，RTCIFフラグをクリアしてください。**

★ **備考** SEC，MIN，HOUR，WEEK，DAY，MONTH，YEARの書き換えの順番に制限はありません。また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

★ 図8－23　リアルタイム・クロック2の書き込み手順（アラーム割り込み機能使用時）




（注，備考は次ページにあります。）

**注**　HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

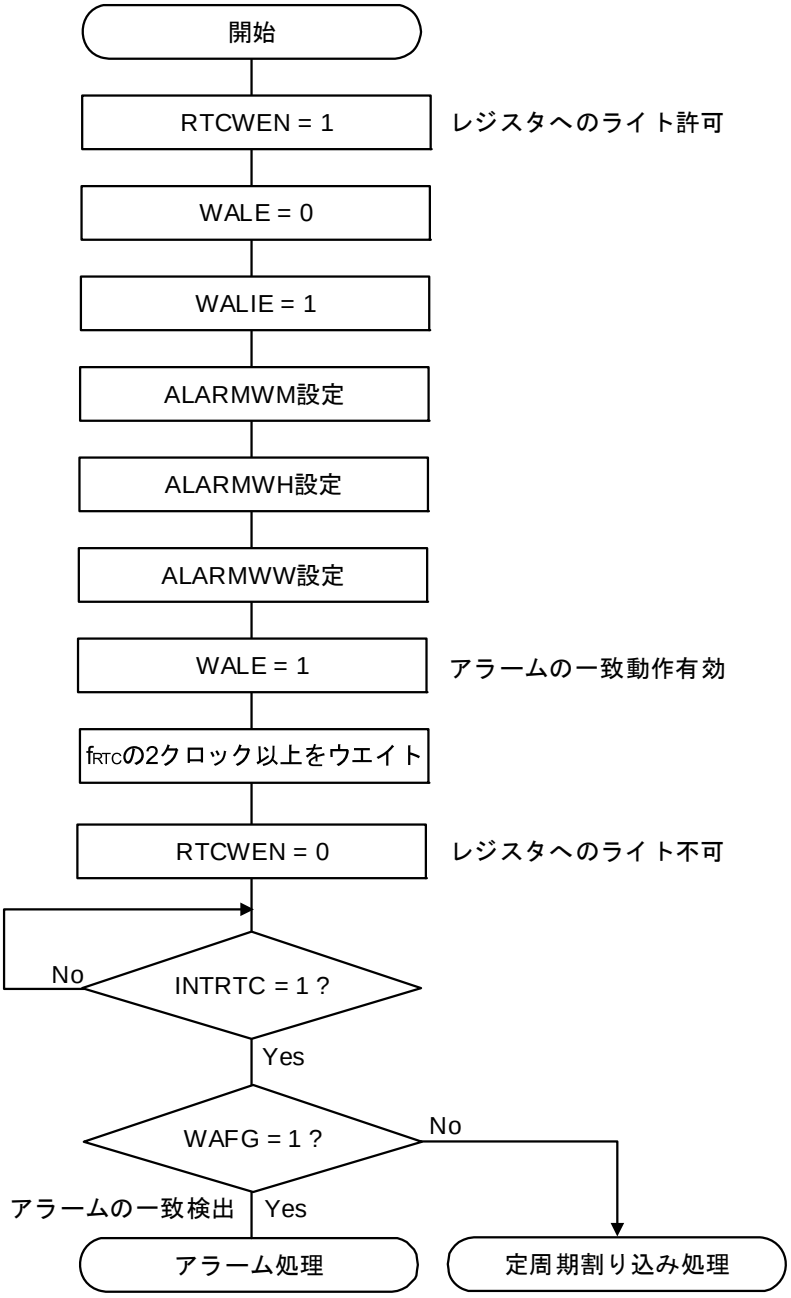
**注意1.　INTRTC割り込み処理の開始から，RWAIT = 0までの処理を1秒以内で行ってください。**
**注意2.　カウンタ動作中(RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH,　YEARレジスタを書き換える場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。**
**また，書き換え後にWAFG フラグ，RIFGフラグ，RTCIFフラグをクリアしてください。**

**備考**　SEC，MIN，HOUR，WEEK，DAY，MONTH，YEARの書き換えの順番に制限はありません。
また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

## 8.4.5　リアルタイム・クロック2のアラーム設定

アラーム時刻設定は，最初にWALE = 0（アラーム動作無効）にしてから行ってください。

図8－24　アラーム設定手順

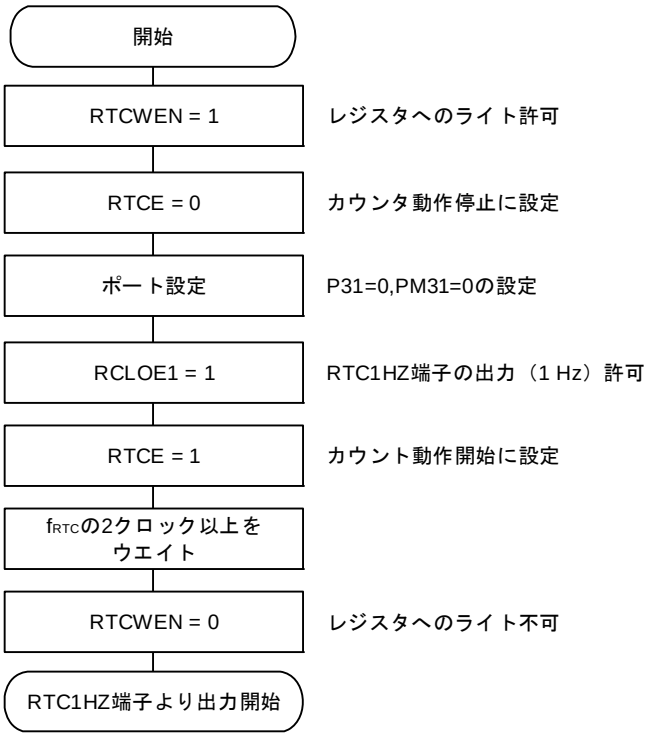



**備考1.** ALARMWM，ALARMWH，ALARMWWの書き込みの順番に制限はありません。

**2.** 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

## 8. 4. 6　リアルタイム・クロック2の1 Hz出力

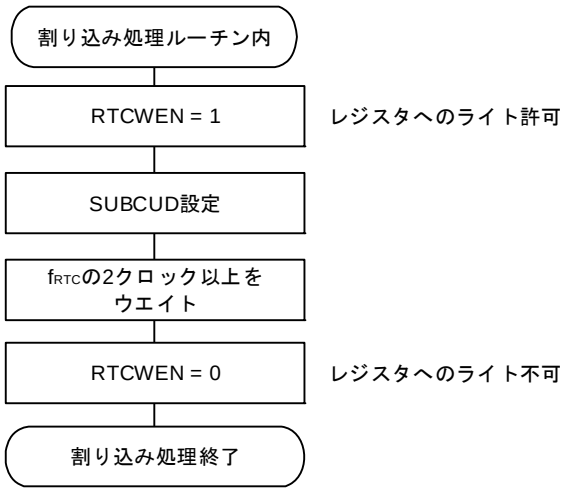
図8－25　1 Hz出力の設定手順



## 8. 4. 7　時計誤差補正レジスタの設定手順

時計誤差補正レジスタ（SUBCUD）の書き換えと補正タイミングとが競合した場合，RTCの補正が正常に行われない場合があります。補正タイミングとSUBCUDレジスタの書き換えの競合を避けるために，SUBCUDレジスタの書き換えは，必ず補正タイミングに同期して発生する補正タイミング割り込み（INTRTIT）または定周期割り込み（INTRTC）の発生を起点にし，次の補正タイミングが発生する前（約0.5秒以内）に完了させてください。

・RTCWEN = 1に設定後に，時計誤差補正レジスタを設定。その後，RTCWEN = 0に設定してください。



## 8.4.8　リアルタイム・クロック2の時計誤差補正例

時計誤差補正レジスタ（SUBCUD）に値を設定することにより，毎秒ごとに時計の進みや遅れを最小分解能0.96 ppm精度で補正できます。

次に，ターゲット補正値の算出方法と，ターゲット補正値から時計誤差補正レジスタのF8-F0値を算出する方法を示します。

ターゲット補正値の算出方法

（RTC1HZ端子の出力周波数を使用）

【発振周波数の測定】

各製品の発振周波数[注]を，時計誤差補正レジスタ（SUBCUD）のF15が“0”（時計誤差補正停止）のときにRTC1HZ端子から1 Hzを出力して測定します。

注　RTC1HZの出力手順は，**8.4.6　リアルタイム・クロック2の1 Hz出力**を参照してください。

【ターゲット補正値の算出】

（RTC1HZからの出力周波数が0.9999817 Hzの場合）

発振周波数 = 32768 × 0.9999817 ≒ 32767.40 Hz

ターゲット周波数を32768Hzとすると，ターゲット補正値は，

ターゲット補正値 = (発振周波数 − ターゲット周波数) ÷ ターゲット周波数

= (32767.40 − 32768.00) ÷ 32768.00

≒ −18.3 ppm

**備考1.** 発振周波数とは，入力クロック（$f_{RTC}$）の値です。時計誤差補正停止時のRTC1HZ出力周波数×32768で求めることができます。

**2.** ターゲット補正値とは，水晶振動子の発振周波数偏差（単位は [ppm] ）です。

**3.** ターゲット周波数とは，時計誤差補正を行った後の周波数です。

時計誤差補正レジスタ（SBUCUD）のF8-F0値の算出方法

SUBCUDレジスタのF8-F0値は，ターゲット補正値から次の計算式で算出できます。

SUBCUDレジスタのF8-F0値は，ターゲット補正値から次の計算式で算出してください。

$$SUBCUD[8:0] = \left[ \frac{\text{ターゲット補正値 [ppm]} \times 2^{15}}{10^{6}} \right]_{\text{2の補数(9bit固定小数点形式)}} + 0001.00000B$$

例1. ターゲット補正値 = −18.3 [ppm]の場合

$SUBCUD[8:0] = (-18.3 \times 2^{15} / 10^{6})_{\text{2の補数(9bit固定小数点形式)}} + 0001.00000B$

$= (-0.59965)_{\text{2の補数(9bit固定小数点形式)}} + 0001.00000B$

$= 1111.01101B + 0001.00000B$

$= 0000.01101B$

例2. ターゲット補正値 = 94.0 [ppm]の場合

$SUBCUD[8:0] = (94.0 \times 2^{15} / 10^{6})_{\text{2の補数(9bit固定小数点形式)}} + 0001.00000B$

$= (+3.08019)_{\text{2の補数(9bit固定小数点形式)}} + 0001.00000B$

$= 0011.00011B + 0001.00000B$

$= 0100.00011B$

# 第9章　12ビット・インターバル・タイマ

## 9.1　12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み(INTIT)を発生します。STOPモードからのウエイク･アップや，A/DコンバータのSNOOZEモードのトリガに使えます。

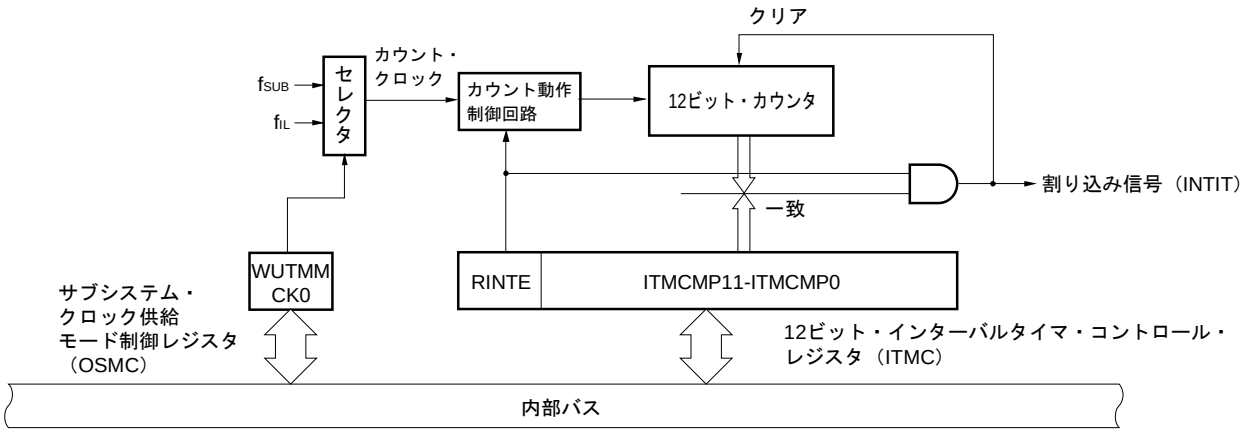
## 9.2　12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは，次のハードウエアで構成されています。

表9－1　12ビット・インターバル・タイマの構成

| 項　　目 | 構　　成 |
|---|---|
| カウンタ | 12ビット・カウンタ |
| 制御レジスタ | 周辺イネーブル・レジスタ1（PER1） |
| | サブシステム・クロック供給モード制御レジスタ（OSMC） |
| | 12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC） |

図9－1　12ビット・インターバル・タイマのブロック図




## 9.3　12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは，次のレジスタで制御します。

・周辺イネーブル・レジスタ1（PER1）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）

### 9. 3. 1　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F007AH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER1 | TMKAEN | 0 | CMPEN | TKB2EN | 0 | 0 | 0 | 0 |

| TMKAEN | 12ビット・インターバル・タイマの入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・12ビット・インターバル・タイマで使用するSFRへのライト不可<br>・12ビット・インターバル・タイマはリセット状態 |
| 1 | 入力クロック供給<br>・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可 |

**注意1.　12ビット・インターバル・タイマを使用する場合は，最初にTMKAEN = 1の設定を行ってください。TMKAEN = 0の場合は，12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（サブシステム・クロック供給モード制御レジスタ（OSMC）は除く）。**

**2.　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，サブシステム・クロック時HALTモードで，リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止することが可能です。その場合，TMKAENビットは1に設定し，PER1レジスタのその他のビット0-6は0に設定してください。**

**3.　ビット0-3, 6には必ず“0”を設定してください。**

### 9. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSMC | RTCLPC | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |

| RTCLPC | STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定 |
|---|---|
| 0 | 周辺機能へのサブシステム・クロック供給許可<br>（動作許可となる周辺機能については，表21－1～表21－3参照） |
| 1 | リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止 |

| WUTMMCK0 | リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの動作クロックの選択 | クロック出力／ブザー出力のPCLBUZn端子の出力クロック選択 |
|---|---|---|
| 0 | サブシステム・クロック（$f_{SUB}$） | サブシステム・クロック（$f_{SUB}$）選択許可 |
| 1 | 低速オンチップ・オシレータ・クロック（$f_{IL}$） | サブシステム・クロック（$f_{SUB}$）選択禁止 |

**注意1.　サブシステム・クロック発振中の場合は，必ずサブシステム・クロックを選択（WUTMMCK0ビット = 0）にしてください。**

**2.　WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。**

**3.　WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは，リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。**

### 9.3.3　12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFHになります。

図9－4　12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマット

アドレス：FFF90H　リセット時：0FFFH　R/W

| 略号 | 15 | 14 | 13 | 12 | 11-0 |
|---|---|---|---|---|---|
| ITMC | RINTE | 0 | 0 | 0 | ITMCMP11-ITMCMP0 |

| RINTE | 12ビット・インターバル・タイマの動作制御 |
|---|---|
| 0 | カウンタ動作停止（カウント・クリア） |
| 1 | カウンタ動作開始 |

| ITMCMP11-ITMCMP0 | 12ビット・インターバル・タイマのコンペア値設定 |
|---|---|
| 001H | 「カウント・クロック周期×（ITMCMP設定値＋1）」の定周期割り込みを発生します。 |
| ・<br>・<br>・ | |
| FFFH | |
| 000H | 設定禁止 |

ITMCMP11-ITMCMP0 = 001H, FFFH設定時の割り込み周期例

・ITMCMP11-ITMCMP0 = 001H，カウント・クロック：$f_{SUB}$ = 32.768 kHz時

1/32.768 [kHz]×（1＋1）= 0.06103515625 [ms] ≒ 61.03 [μs]

・ITMCMP11-ITMCMP0 = FFFH，カウント・クロック：$f_{SUB}$ = 32.768 kHz時

1/32.768 [kHz]×（4095＋1）= 125 [ms]

**注意1.　RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始（0→1）する場合は，TMKAIFフラグをクリアしてから割り込み処理許可にしてください。**

★

**2.　RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。**

**3.　スタンバイ・モードから復帰後にRINTEビット設定して，再度スタンバイ･モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。**

**4.　ITMCMP11-ITMCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。ただし，RINTE = 0→1または1→0に変更するのと同時にITMCMP11-ITMCMP0ビットの設定を変更することは可能です。**

# 9. 4　12ビット・インターバル・タイマの動作

## 9. 4. 1　12ビット・インターバル・タイマの動作タイミング

ITMCMP11-ITMCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

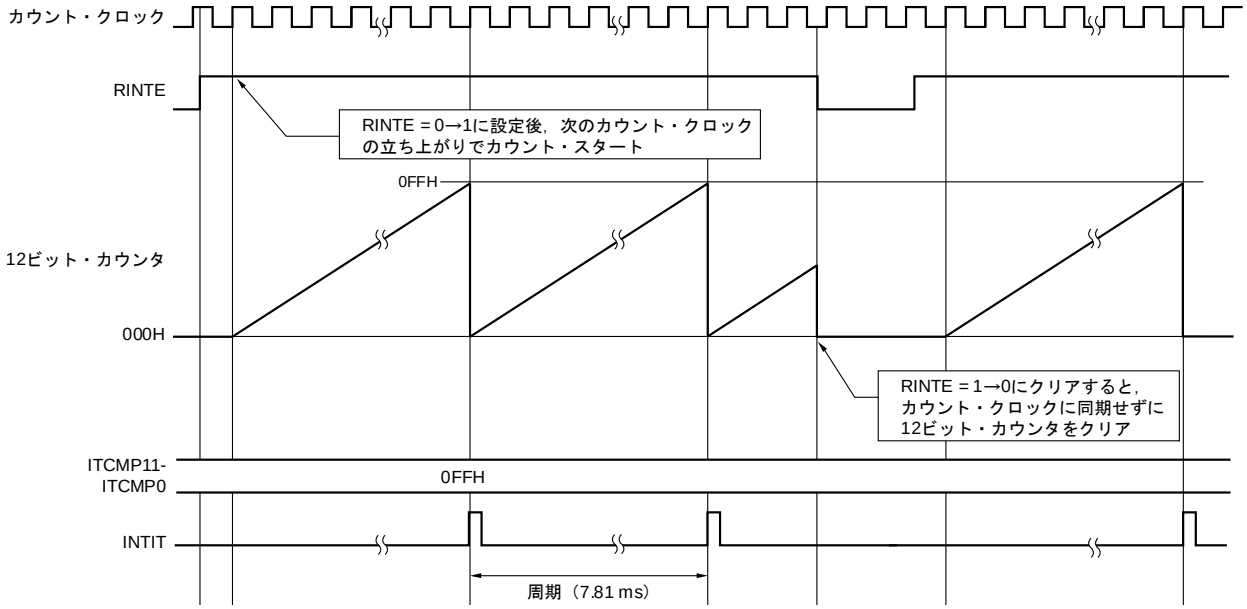
RINTEビットを1に設定すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITMCMP11-ITMCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を図9－5に示します。

図9－5　12ビット・インターバル・タイマ動作のタイミング

（ITMCMP11-ITMCMP0 = 0FFH，カウント・クロック：$f_{SUB}$ = 32.768 kHz）

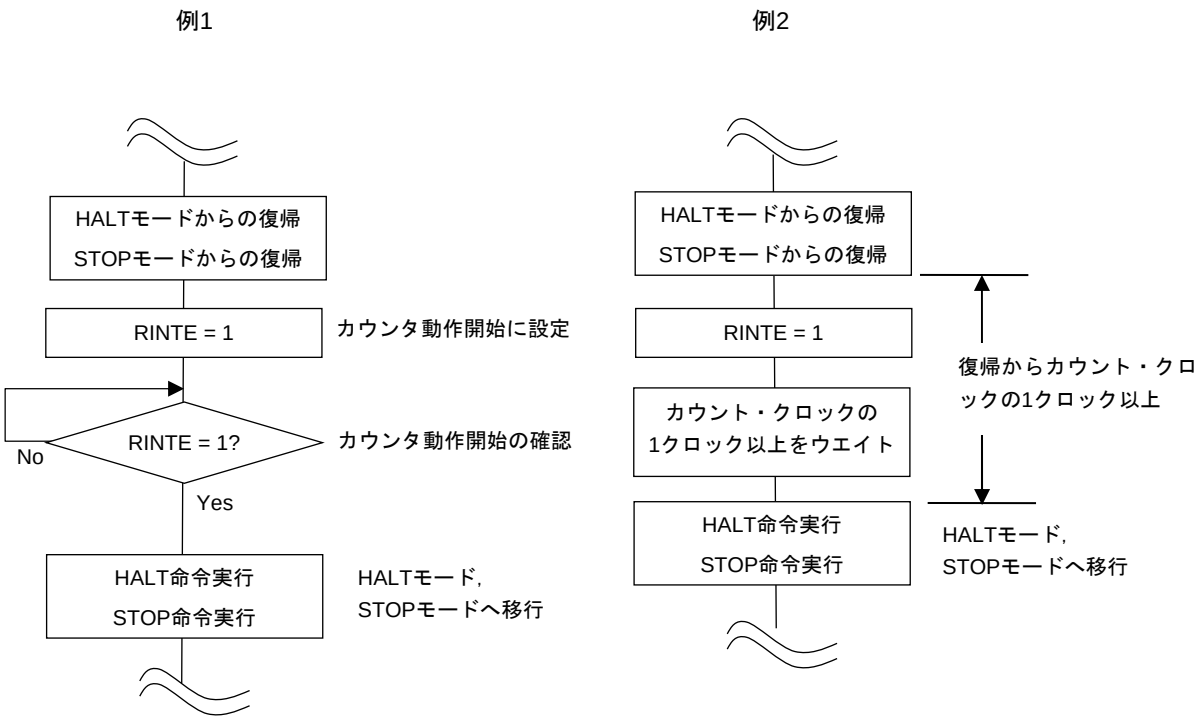


## 9. 4. 2　HALT/STOP モードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し，再度HALTモード，STOPモードへ移行する場合は，RINTE = 1に設定してから，RINTEビットの書き込み値が反映されたことを確認するか，復帰からカウント・クロックの1クロック分以上経過後に移行してください。

・RINTE = 1に設定後，RINTEビットが1になるのをポーリングで確認後にHALTモード，STOPモードへ移行する（図9－6　例1参照）。
・RINTE = 1に設定してから，カウント・クロックの1クロック分以上経過後にHALTモード，STOPモードへ移行する（図9－6　例2参照）。

図9－6　RINTE = 1に設定後のHALTモード，STOPモードへの移行手順



# 第10章　クロック出力／ブザー出力制御回路

## 10. 1　クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

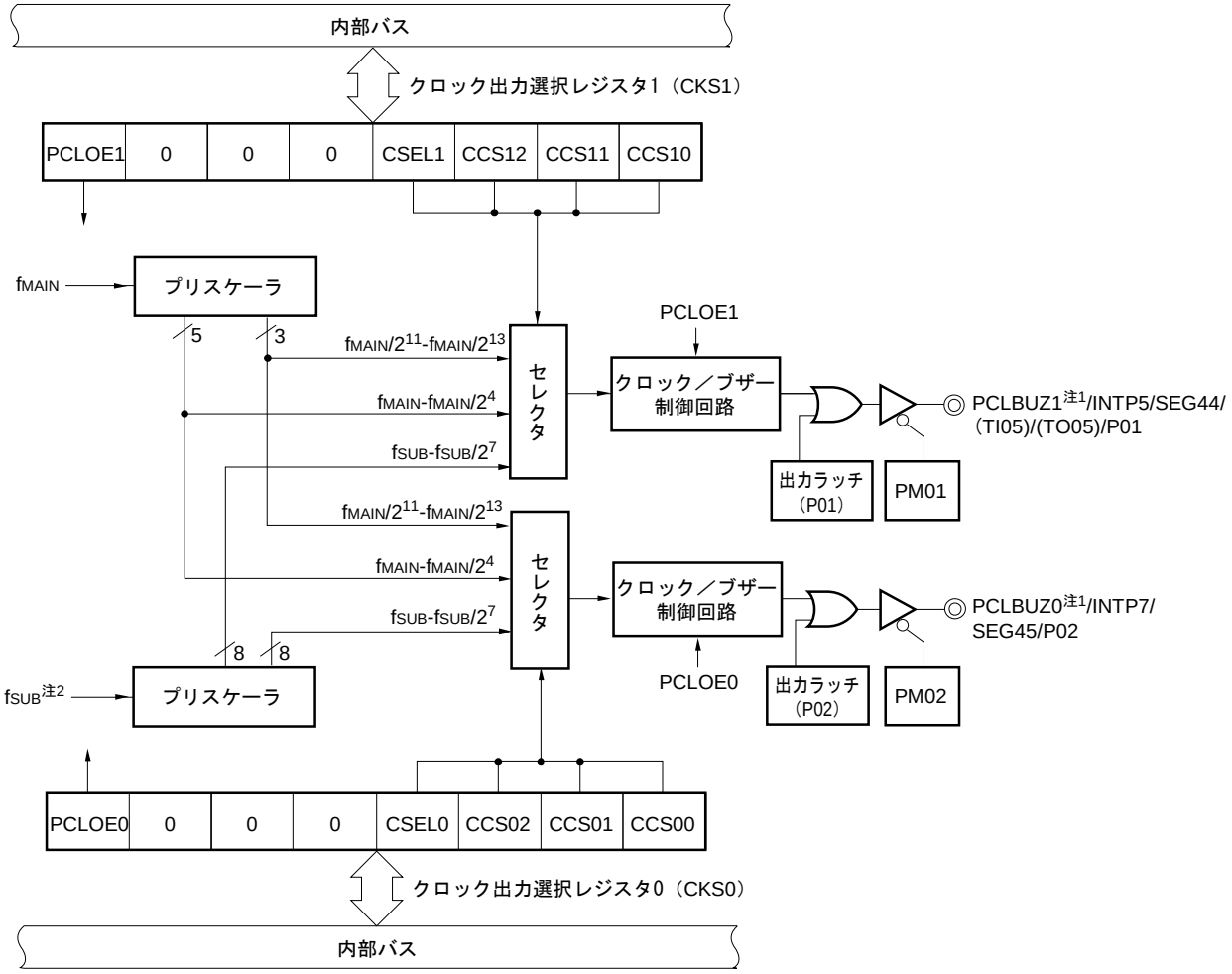
1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は，クロック出力選択レジスタn（CKSn）で選択したクロックを出力します。

図10－1にクロック出力／ブザー出力制御回路のブロック図を示します。

**備考**　n = 0, 1

図10－1　クロック出力／ブザー出力制御回路のブロック図




**注1.**　PCLBUZ0, PCLBUZ1端子から出力可能な周波数は，**32. 4**または**33. 4　AC特性**を参照してください。

**2.**　OSMCレジスタのWUTMMCK0 = 1設定時に，クロック出力／ブザー出力の出力クロックとして$f_{SUB}$を選択することは禁止です。

**備考**　この図のクロック出力／ブザー出力端子は，PIOR3 = 0の場合です。
その他の場合は，端子名，出力ラッチ（Pxx），PMxxが異なりますので読み替えてください。

## 10. 2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表10－1　クロック出力／ブザー出力制御回路の構成

| 項　　目 | 構　　成 |
|---|---|
| 制御レジスタ | クロック出力選択レジスタn（CKSn）<br>サブシステム・クロック供給モード制御レジスタ（OSMC）<br>ポート・モード・レジスタ0（PM0）<br>ポート・レジスタ0（P0） |

## 10. 3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次の2種類のレジスタで制御します。

・クロック出力選択レジスタn（CKSn）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・ポート・モード・レジスタ0（PM0）

### 10. 3. 1　クロック出力選択レジスタn（CKSn）

クロック出力またはブザー周波数出力の端子（PCLBUZn）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKSnレジスタで，PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－2　クロック出力選択レジスタn（CKSn）のフォーマット

アドレス：FFFA5H（CKS0），FFFA6H（CKS1）　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CKSn | PCLOEn | 0 | 0 | 0 | CSELn | CCSn2 | CCSn1 | CCSn0 |

| PCLOEn | PCLBUZn端子の出力許可／禁止の指定 |
|---|---|
| 0 | 出力禁止（デフォルト） |
| 1 | 出力許可 |

| CSELn | CCSn2 | CCSn1 | CCSn0 | PCLBUZn端子の出力クロックの選択 | | | | |
|---|---|---|---|---|---|---|---|---|
| | | | | | $f_{MAIN}$ = 5 MHz | $f_{MAIN}$ = 10 MHz | $f_{MAIN}$ = 20 MHz | $f_{MAIN}$ = 24 MHz |
| 0 | 0 | 0 | 0 | $f_{MAIN}$ | 5 MHz | 10 MHz 注1 | 設定禁止 注1 | 設定禁止 注1 |
| 0 | 0 | 0 | 1 | $f_{MAIN}/2$ | 2.5 MHz | 5 MHz | 10 MHz 注1 | 12 MHz 注1 |
| 0 | 0 | 1 | 0 | $f_{MAIN}/2^2$ | 1.25 MHz | 2.5 MHz | 5 MHz | 6 MHz |
| 0 | 0 | 1 | 1 | $f_{MAIN}/2^3$ | 625 kHz | 1.25 MHz | 2.5 MHz | 3 MHz |
| 0 | 1 | 0 | 0 | $f_{MAIN}/2^4$ | 312.5 kHz | 625 kHz | 1.25 MHz | 1.5 MHz |
| 0 | 1 | 0 | 1 | $f_{MAIN}/2^{11}$ | 2.44 kHz | 4.88 kHz | 9.77 kHz | 11.7 kHz |
| 0 | 1 | 1 | 0 | $f_{MAIN}/2^{12}$ | 1.22 kHz | 2.44 kHz | 4.88 kHz | 5.86 kHz |
| 0 | 1 | 1 | 1 | $f_{MAIN}/2^{13}$ | 610 Hz | 1.22 kHz | 2.44 kHz | 2.93 kHz |
| 1 | 0 | 0 | 0 | $f_{SUB}$ 注2 | 32.768 kHz | | | |
| 1 | 0 | 0 | 1 | $f_{SUB}/2$ 注2 | 16.384 kHz | | | |
| 1 | 0 | 1 | 0 | $f_{SUB}/2^2$ 注2 | 8.192 kHz | | | |
| 1 | 0 | 1 | 1 | $f_{SUB}/2^3$ 注2 | 4.096 kHz | | | |
| 1 | 1 | 0 | 0 | $f_{SUB}/2^4$ 注2 | 2.048 kHz | | | |
| 1 | 1 | 0 | 1 | $f_{SUB}/2^5$ 注2 | 1.024 kHz | | | |
| 1 | 1 | 1 | 0 | $f_{SUB}/2^6$ 注2 | 512 Hz | | | |
| 1 | 1 | 1 | 1 | $f_{SUB}/2^7$ 注2 | 256 Hz | | | |

**注1.** 出力クロックは，16 MHz以内の範囲で使用してください。詳しくは，**32. 4**または**33. 4 AC特性**を参照してください。

**2.** OSMCレジスタのWUTMMCK0 = 1設定時に，クロック出力／ブザー出力の出力クロックとして$f_{SUB}$を選択することは禁止です。

**注意1. 出力クロックの切り替えは，出力禁止（PCLOEn = 0）にしてから行ってください。**

**2. メイン・システム・クロック選択時（CSELn = 0）にSTOPモードに移行する場合は，STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時（CSELn = 1）は，STOPモード時にクロック出力が可能なためPCLOEn = 1に設定可能です。**

**備考1.** n = 0, 1

**2.** $f_{MAIN}$ ：メイン・システム・クロック周波数

$f_{SUB}$ ：サブシステム・クロック周波数

## 10. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSMC | RTCLPC | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |

| RTCLPC | STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定 |
|---|---|
| 0 | 周辺機能へのサブシステム・クロック供給許可<br>（動作許可となる周辺機能については，表21－1～表21－3参照） |
| 1 | リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止 |

| WUTMMCK0 | リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの動作クロックの選択 | クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択 |
|---|---|---|
| 0 | サブシステム・クロック（$f_{SUB}$） | サブシステム・クロック（$f_{SUB}$）選択許可 |
| 1 | 低速オンチップ・オシレータ・クロック（$f_{IL}$） | サブシステム・クロック（$f_{SUB}$）選択禁止 |

**注意1.　サブシステム・クロック発振中の場合は，必ずサブシステム・クロックを選択（WUTMMCK0ビット = 0）にしてください。**

**2.　WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。**

**3.　WUTMMCK0を“1”に設定した場合，クロック出力／ブザー出力の出力クロックとして$f_{SUB}$を選択することは禁止です。**

### 10. 3. 3　クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。詳細は，**4. 3. 1　ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**を参照してください。

クロック出力／ブザー出力端子を兼用するポート（P02/SEG45/INTP7/PCLBUZ0, P01/SEG44/(TI05)/(TO05)/(INTP5)/PCLBUZ1など）をクロック出力／ブザー出力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P02/SEG45/INTP7/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ0のPM02ビットを0に設定

ポート・レジスタ0のP02ビットを0に設定

# 10. 4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

PCLBUZ1端子は，クロック出力選択レジスタ1（CKS1）で選択したクロック／ブザーを出力します。

## 10. 4. 1　出力端子の動作

PCLBUZn端子は，次の手順で出力します。

① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）のビットに0を設定する。

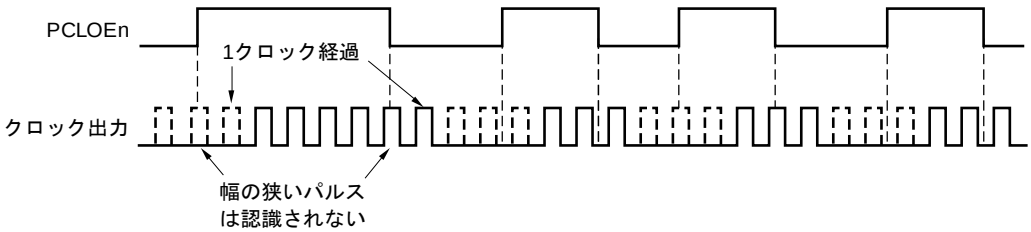
② PCLBUZn端子のクロック出力選択レジスタ（CKSn）のビット0-3（CCSn0-CCSn2，CSELn）で出力周波数を選択する（出力は禁止の状態）。

③ CKSnレジスタのビット7（PCLOEn）に1を設定し，クロック出力／ブザー出力を許可する。

**備考1.** クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図10－4に示します。

**2.** n = 0, 1

図10－4　PCLBUZn端子からのクロック出力のタイミング




# 10. 5　クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択（CSELn = 0）している場合は，出力停止設定（PCLOEn = 0）にしてからメイン・システム・クロックの1.5クロック以内にSTOPモードへ移行すると，PCLBUZnの出力幅が短くなります。

# 第11章　ウォッチドッグ・タイマ

## 11.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については第22章　リセット機能を参照してください。

また，オーバフロー時間の75%＋1/2$f_{IL}$到達時にインターバル割り込みを発生することもできます。

## 11.2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表11－1　ウォッチドッグ・タイマの構成

| 項　　目 | 構　　成 |
|---|---|
| カウンタ | 内部カウンタ（17ビット） |
| 制御レジスタ | ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） |

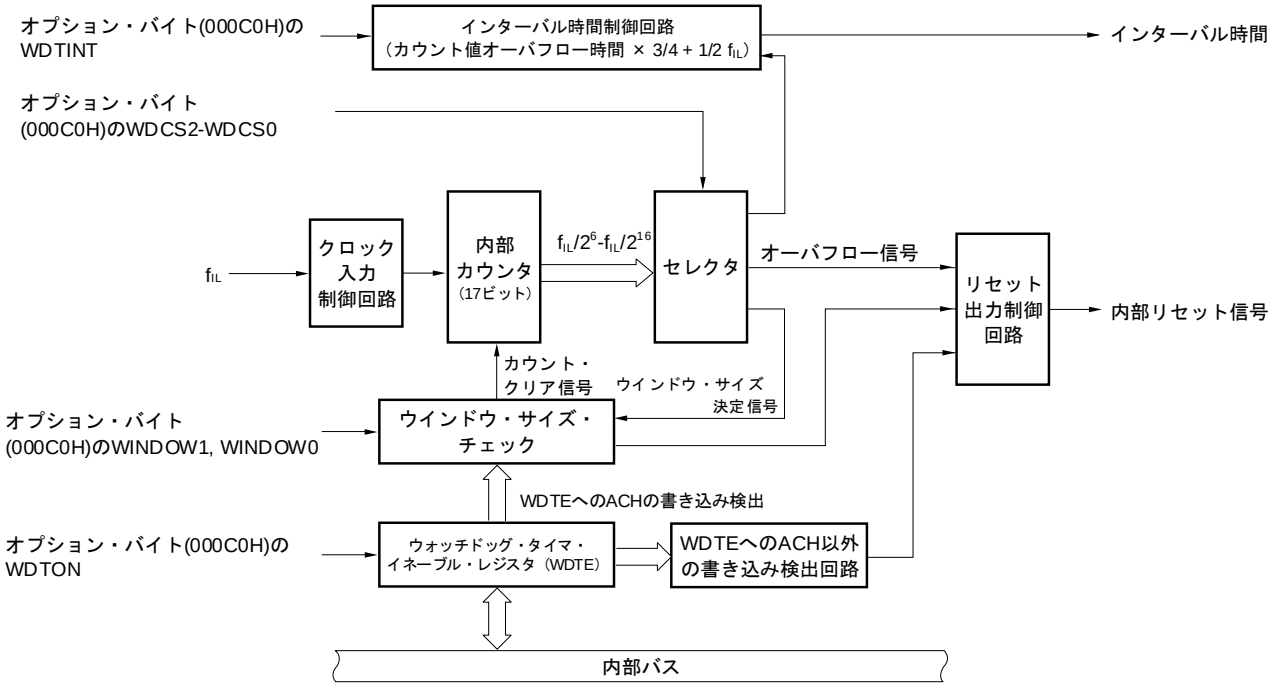
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

表11－2　オプション・バイトとウォッチドッグ・タイマの設定内容

| ウォッチドッグ・タイマの設定内容 | オプション・バイト（000C0H） |
|---|---|
| ウォッチドッグ･タイマのインターバル割り込みの設定 | ビット7（WDTINT） |
| ウインドウ・オープン期間設定 | ビット6, 5（WINDOW1, WINDOW0） |
| ウォッチドッグ・タイマのカウンタ動作制御 | ビット4（WDTON） |
| ウォッチドッグ・タイマのオーバフロー時間設定 | ビット3-1（WDCS2- WDCS0） |
| ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP時） | ビット0（WDSTBYON） |

**備考**　オプション・バイトについては，**第27章　オプション・バイト**を参照してください。

図11－1　ウォッチドッグ・タイマのブロック図




**備考**　fIL：低速オンチップ・オシレータ・クロック

# 11.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

## 11.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，9AHまたは1AH[注]になります。

図11－2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：9AH／1AH[注]　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| WDTE | | | | | | | | |

**注**　WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

| WDTONビットの設定値 | WDTEレジスタのリセット値 |
|---|---|
| 0（ウォッチドッグ・タイマのカウント動作禁止） | 1AH |
| 1（ウォッチドッグ・タイマのカウント動作許可） | 9AH |

**注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。**

**2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。**

**3. WDTEレジスタのリード値は，“9AH／1AH”（書き込んだ値（“ACH”）とは異なる値）になります。**

# 11. 4　ウォッチドッグ・タイマの動作

## 11. 4. 1　ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，第27章を参照）。

| WDTON | ウォッチドッグ・タイマのカウンタ |
|---|---|
| 0 | カウント動作禁止（リセット解除後，カウント停止） |
| 1 | カウント動作許可（リセット解除後，カウント開始） |

・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は，**11. 4. 2**および**第27章**を参照）。
・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で，ウインドウ・オープン期間を設定してください（詳細は，**11. 4. 3**および**第27章**を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

・WDTEレジスタに1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

**注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。**

**2. WDTEレジスタに“ACH”を書き込んでから，ウォッチドッグ・タイマのカウンタがクリアされるまで，最大$f_{IL}$の2クロックの誤差が生じる場合があります。**

**3. ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。**

**注意4.　オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により，ウォッチドッグ・タイマのHALTおよびSTOPおよびSNOOZEモード時の動作は，次のように異なります。**

| | WDSTBYON = 0 | WDSTBYON = 1 |
|---|---|---|
| HALTモード時 | ウォッチドッグ・タイマ動作停止 | ウォッチドッグ・タイマ動作継続 |
| STOPモード時 | | |
| SNOOZEモード時 | | |

WDSTBYON = 0の場合，HALTおよびSTOPモード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（0）して，カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。

そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。

よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

## 11. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表11－3　ウォッチドッグ・タイマのオーバフロー時間の設定

| WDCS2 | WDCS1 | WDCS0 | ウォッチドッグ・タイマのオーバフロー時間<br>（$f_{IL}$ = 17.25 kHz（MAX.）の場合） |
|---|---|---|---|
| 0 | 0 | 0 | $2^6/f_{IL}$（3.71 ms） |
| 0 | 0 | 1 | $2^7/f_{IL}$（7.42 ms） |
| 0 | 1 | 0 | $2^8/f_{IL}$（14.84 ms） |
| 0 | 1 | 1 | $2^9/f_{IL}$（29.68 ms） |
| 1 | 0 | 0 | $2^{11}/f_{IL}$（118.72 ms） |
| 1 | 0 | 1 | $2^{13}/f_{IL}$（474.89ms）注 |
| 1 | 1 | 0 | $2^{14}/f_{IL}$（949.79ms）注 |
| 1 | 1 | 1 | $2^{16}/f_{IL}$（3799.18 ms）注 |

注　下記の使用条件にすべて該当すると､ウォッチドッグ･タイマのカウント･クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み（INTWDTI）が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

・ウォッチドッグ・タイマのオーバフローの時間を$2^{13}/f_{IL}$，$2^{14}/f_{IL}$または$2^{16}/f_{IL}$に設定
・ウォッチドッグ・タイマのインターバル割り込みを使用
・ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75% 以上の時にWDTEレジスタ（FFFABH）にACHを書き込み

① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0（MK0L）のWDTIMKビットを1にセット
② ウォッチドッグ・タイマのカウンタをクリア
③ 80 μs以上ウエイト
④ 割り込み要求フラグ・レジスタ0（IF0L）のWDTIIFビットを0にクリア
⑤ 割り込みマスク・フラグ・レジスタ0（MK0L）のWDTIMKビットを0にクリア

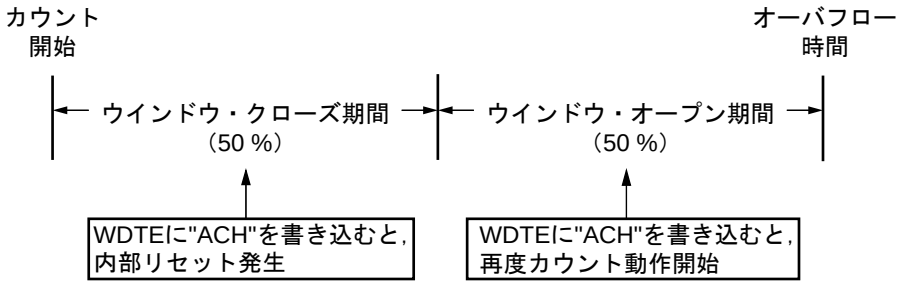
**備考**　$f_{IL}$：低速オンチップ・オシレータ・クロック周波数

### 11. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は，オプション・バイト（000C0H）のビット6，5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

・ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
・ウインドウ・クローズ期間中は，WDTEレジスタに“ACH”を書き込んでも，異常検出され，内部リセットを発生します。

例　ウインドウ・オープン期間が50 %の場合




**注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。**

設定可能なウインドウ・オープン期間を次に示します。

表11－4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

| WINDOW1 | WINDOW0 | ウォッチドッグ・タイマのウインドウ・オープン期間 |
|---|---|---|
| 0 | 0 | 設定禁止 |
| 0 | 1 | 50 % |
| 1 | 0 | 75 %注 |
| 1 | 1 | 100 % |

**注意 ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。**

| WDCS2 | WDCS1 | WDCS0 | ウォッチドッグ・タイマのオーバフロー時間（$f_{IL}$ = 17.25 kHz（MAX.）の場合） | ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間 |
|---|---|---|---|---|
| 0 | 0 | 0 | $2^6/f_{IL}$（3.71 ms） | 1.85 ms～2.51 ms |
| 0 | 0 | 1 | $2^7/f_{IL}$（7.42 ms） | 3.71 ms～5.02 ms |
| 0 | 1 | 0 | $2^8/f_{IL}$（14.84 ms） | 7.42 ms～10.04 ms |
| 0 | 1 | 1 | $2^9/f_{IL}$（29.68 ms） | 14.84 ms～20.08 ms |
| 1 | 0 | 0 | $2^{11}/f_{IL}$（118.72 ms） | 56.36 ms～80.32 ms |
| 1 | 0 | 1 | $2^{13}/f_{IL}$（474.89ms） | 237.44 ms～321.26 ms |
| 1 | 1 | 0 | $2^{14}/f_{IL}$（949.79ms） | 474.89 ms～642.51 ms |
| 1 | 1 | 1 | $2^{16}/f_{IL}$（3799.18 ms） | 1899.59 ms～2570.04 ms |

**注意 オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。**

**備考** オーバフロー時間を$2^9/f_{IL}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

| | ウインドウ・オープン期間の設定 | | |
|---|---|---|---|
| | 50 % | 75 % | 100 % |
| ウインドウ・クローズ時間 | 0～20.08 ms | 0～10.04 ms | なし |
| ウインドウ・オープン時間 | 20.08～29.68 ms | 10.04～29.68 ms | 0～29.68 ms |

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$2^9/f_{IL}$ (MAX.) = $2^9$ /17.25 kHz = 29.68 ms

・ウインドウ・クローズ時間：

0～$2^9/f_{IL}$ (MIN.) ×（1－0.5）= 0～$2^9$/12.75 kHz ×0.5 = 0～20.08 ms

・ウインドウ・オープン時間：

$2^9/f_{IL}$ (MIN.) ×（1－0.5）～$2^9/f_{IL}$ (MAX.) = $2^9$/12.75 kHz ×0.5～$2^9$ /17.25 kHz

= 20.08～29.68 ms

### 11. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により，オーバフロー時間の75%＋1/2$f_{IL}$到達時にインターバル割り込み（INTWDTI）を発生することができます。

表11－5　ウォッチドッグ・タイマのインターバル割り込みの設定

| WDTINT | ウォッチドッグ・タイマのインターバル割り込みの使用／不使用 |
|---|---|
| 0 | インターバル割り込みを使用しない |
| 1 | オーバフロー時間の75%＋1/2$f_{IL}$到達時にインターバル割り込みを発生する |

**注意　STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。**
**そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。**
**よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。**

**備考**　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

# 第12章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

| | 64ピン | 80ピン |
|---|---|---|
| アナログ入力チャネル | 9ch<br>(ANI0, ANI1, ANI16, ANI20-ANI25) | 12ch<br>(ANI0, ANI1, ANI16-ANI25) |

## 12. 1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換するコンバータで，最大12チャネルのA/Dコンバータ・アナログ入力（ANI0, ANI1, ANI16-ANI25）を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより，10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには，次のような機能があります。

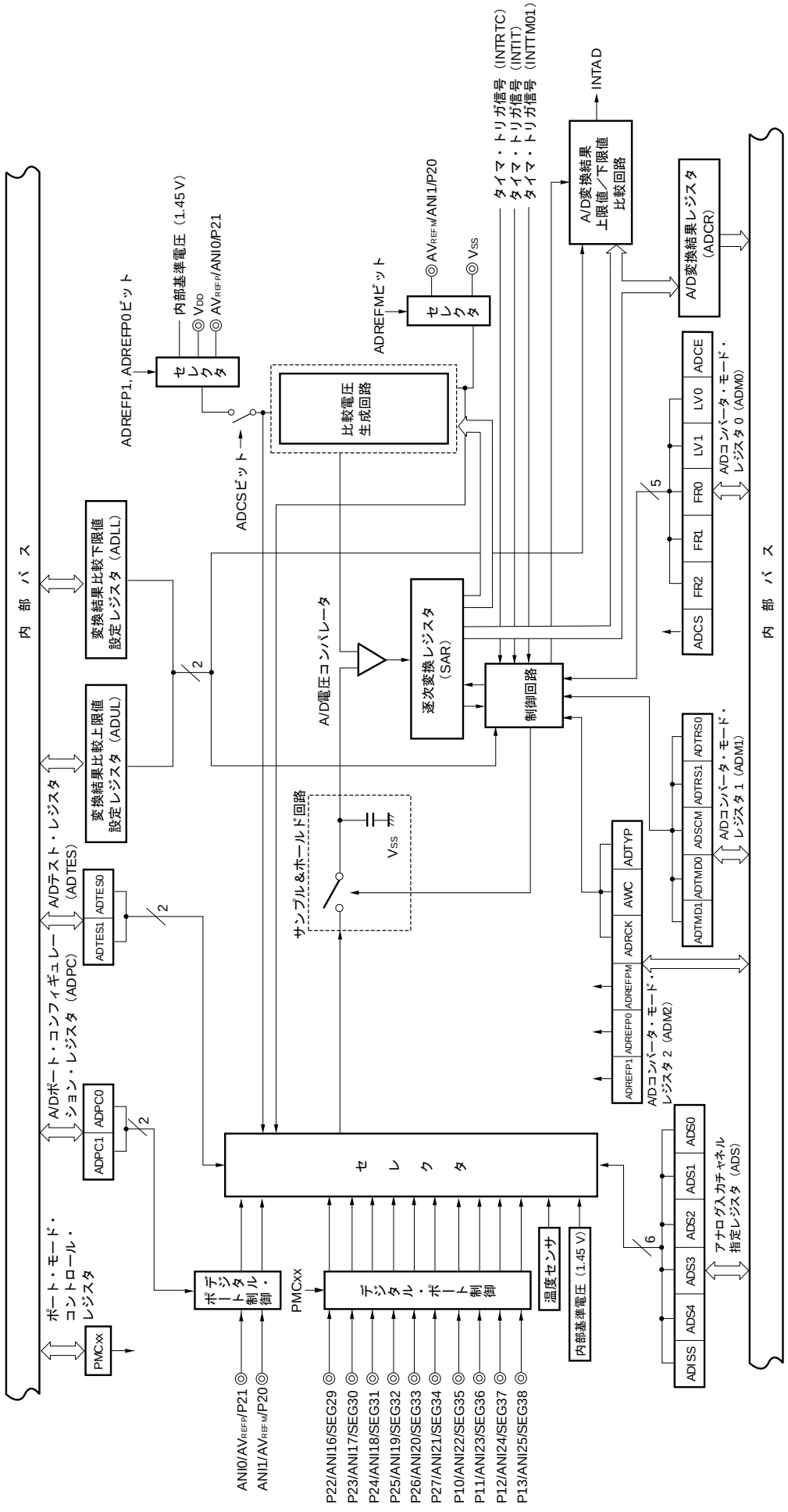
・10ビット／8ビット分解能A/D変換

ANI0, ANI1, ANI16-ANI25からアナログ入力を1チャネル選択し，10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

| | | |
|---|---|---|
| トリガ・モード | ソフトウエア・トリガ | ソフトウエア操作で，変換動作を開始します。 |
| | ハードウエア・トリガ・ノーウエイト・モード | ハードウエア・トリガを検出することにより，変換動作を開始します。 |
| | ハードウエア・トリガ・ウエイト・モード | パワー・オフでの変換待機状態でハードウエア・トリガを検出することにより，パワー・オンとなり，A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は，ハードウエア・トリガ・ウエイト・モードを選択してください。 |
| 変換動作モード | ワンショット変換モード | 選択したチャネルを1回A/D変換します。 |
| | 連続変換モード | 選択したチャネルをソフトウエアで停止するまで，連続してA/D変換します。 |
| 動作電圧モード | 標準1／標準2 モード | 2.7 V≦$V_{DD}$≦5.5 Vの動作電圧範囲で変換動作する時に選択します。 |
| | 低電圧1／低電圧2モード | 1.6 V≦$V_{DD}$≦5.5 Vの動作電圧範囲で変換動作が可能です。<br>低電圧時に変換動作する時に選択します。低電圧動作のため，変換動作時に内部ゲート昇圧しています。 |
| サンプリング時間の選択 | サンプリング・クロック数：7 $f_{AD}$ | 標準1／低電圧1モードのサンプリング時間は，変換クロック（$f_{AD}$）の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたい時に選択します。 |
| | サンプリング・クロック数：5 $f_{AD}$ | 標準2／低電圧2モードのサンプリング時間は，変換クロック（$f_{AD}$）の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。 |

図12－1 A/Dコンバータのブロック図




備考 この図のアナログ入力端子は，80ピン製品の場合です。

## 12. 2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

（1）ANI0, ANI1, ANI16-ANI25端子

A/Dコンバータの12チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

（3）A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 $AV_{REF}$）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 $AV_{REF}$）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0：（1/4 $AV_{REF}$）
ビット9 = 1：（3/4 $AV_{REF}$）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考　$AV_{REF}$ : A/Dコンバータの＋側基準電圧。$AV_{REFP}$，内部基準電圧（1.45 V），$V_{DD}$から選択可能です。

（4）比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

（5）逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

（6）10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

（7）8ビットA/D変換結果レジスタ（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

（8）制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，A/D変換結果上限値/下限値比較回路を通りINTADを発生します。

（9）$AV_{REFP}$端子

外部から基準電圧（$AV_{REFP}$）を入力する端子です。

$AV_{REFP}$をA/Dコンバータの基準電圧の＋側として使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1ビットに0, ADREFP0ビットに1を設定してください。

$AV_{REFP}$と－側基準電圧（$AV_{REFM}$/$V_{SS}$）間にかかる電圧に基づいて，ANI0, ANI1, ANI16-ANI25に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には，$AV_{REFP}$のほかに$V_{DD}$と内部基準電圧（1.45 V）を選択することが可能です。

（10）$AV_{REFM}$端子

外部から基準電圧（$AV_{REFM}$）を入力する端子です。$AV_{REFM}$をA/Dコンバータの－側の基準電圧として使用する場合は，ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの－側基準電圧には，$AV_{REFM}$のほかに$V_{SS}$を選択することが可能です。

## 12. 3　A/Dコンバータで使用するレジスタ

A/Dコンバータは，次のレジスタを使用します。

・周辺イネーブル・レジスタ0（PER0）
・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ1（ADM1）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・10ビットA/D変換結果レジスタ（ADCR）
・8ビットA/D変換結果レジスタ（ADCRH）
・アナログ入力チャネル指定レジスタ（ADS）
・変換結果比較上限値設定レジスタ（ADUL）
・変換結果比較下限値設定レジスタ（ADLL）
・A/Dテスト・レジスタ（ADTES）
・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・ポート・モード・コントロール・レジスタ1, 2（PMC1, PMC2）
・ポート・モード・レジスタ1, 2（PM1, PM2）

### 12. 3. 1 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12−2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |

| ADCEN | A/Dコンバータの入力クロックの制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・A/Dコンバータで使用するSFRへのライト不可<br>・A/Dコンバータはリセット状態 |
| 1 | 入力クロック供給<br>・A/Dコンバータで使用するSFRへのリード／ライト可 |

**注意1. A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の状態で，下記のレジスタの設定を行ってください。**

**ADCEN = 0の場合は，A/Dコンバータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ1, 2（PM1, PM2），ポート・モード・コントロール・レジスタ1, 2（PMC1, PMC2），A/Dポート・コンフィギュレーション・レジスタ（ADPC）は除く）。**

**・A/Dコンバータ・モード・レジスタ0（ADM0）**

**・A/Dコンバータ・モード・レジスタ1（ADM1）**

**・A/Dコンバータ・モード・レジスタ2（ADM2）**

**・10ビットA/D変換結果レジスタ（ADCR）**

**・8ビットA/D変換結果レジスタ（ADCRH）**

**・アナログ入力チャネル指定レジスタ（ADS）**

**・変換結果比較上限値設定レジスタ（ADUL）**

**・変換結果比較下限値設定レジスタ（ADLL）**

**・A/Dテスト・レジスタ（ADTES）**

**2. ビット1, 6には必ず“0”を設定してください。**

## 12. 3. 2 A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADM0 | ADCS | 0 | FR2[注1] | FR1[注1] | FR0[注1] | LV1[注1] | LV0[注1] | ADCE |

| ADCS | A/D変換動作の制御 |
|---|---|
| 0 | 変換動作停止<br>［リード時］<br>変換動作停止／待機状態 |
| 1 | 変換動作許可<br>［リード時］<br>ソフトウエア・トリガ・モード時：変換動作状態<br>ハードウエア・トリガ・ウエイト・モード時：A/D電源安定待ち状態＋変換動作状態 |

| ADCE | A/D電圧コンパレータの動作制御[注2] |
|---|---|
| 0 | A/D電圧コンパレータの動作停止 |
| 1 | A/D電圧コンパレータの動作許可 |

**注1.** FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，**表12－3 A/D変換時間**の選択を参照してください。

**2.** ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

**注意 1. FR2-FR0, LV1, LV0ビットの変更は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。**

**2. ADCS = 1, ADCE = 0の設定は禁止です。**

**3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず12. 7 A/Dコンバータの設定フロー・チャートの手順に従ってください。**

**4. ビット6には必ず“0”を設定してください。**

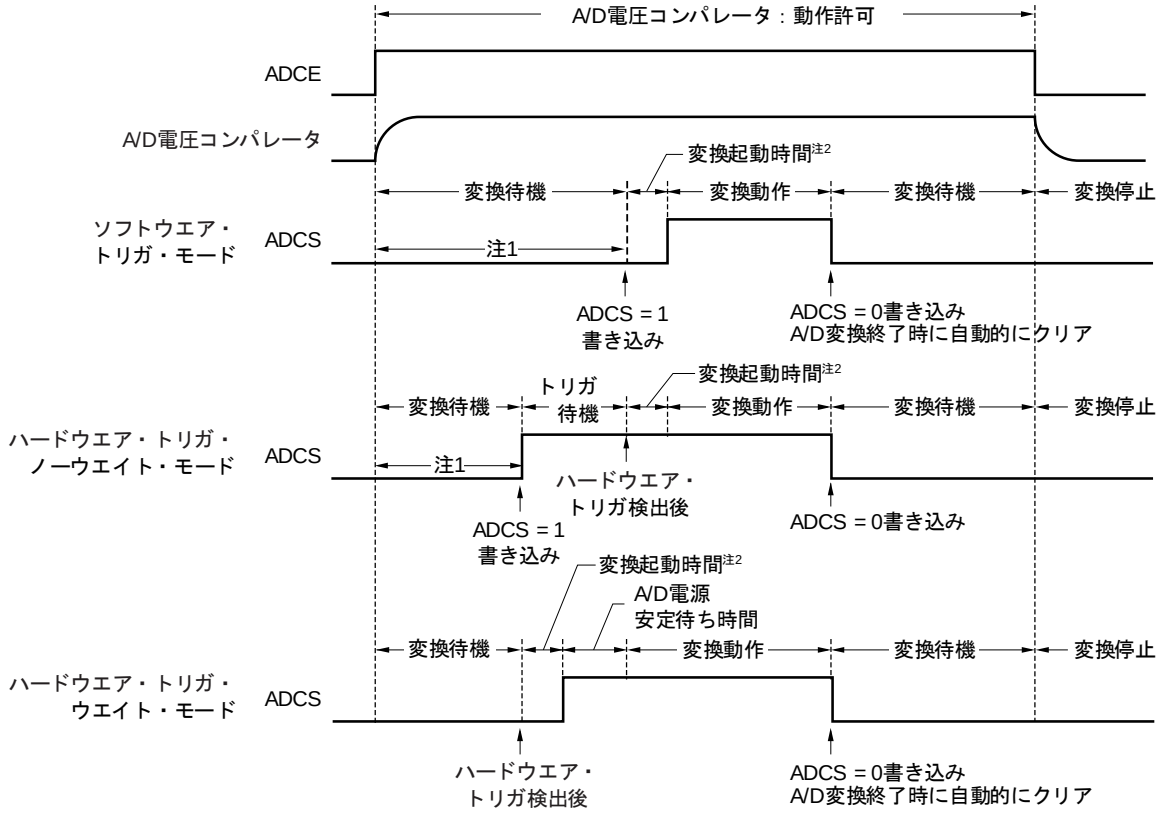
表12－1 ADCSビットとADCEビットの設定

| ADCS | ADCE | A/D変換動作 |
|---|---|---|
| 0 | 0 | 変換停止状態 |
| 0 | 1 | 変換待機状態 |
| 1 | 0 | 設定禁止 |
| 1 | 1 | 変換動作状態 |

表12－2 ADCSビットのセット／クリア条件

| A/D変換モード | | セット条件 | クリア条件 |
|---|---|---|---|
| ソフトウエア・トリガ | 連続変換モード | ADCS = 1<br>ライトした場合 | ADCS = 0ライトした場合 |
| | ワンショット変換モード | | ・ADCS = 0ライトした場合<br>・AD変換終了時に自動的に“0”にクリア |
| ハードウエア・トリガ・ノーウエイト・モード | 連続変換モード | | ADCS = 0ライトした場合 |
| | ワンショット変換モード | | ADCS = 0ライトした場合 |
| ハードウエア・トリガ・ウエイト・モード | 連続変換モード | ハードウエア・トリガが入力された場合 | ADCS = 0ライトした場合 |
| | ワンショット変換モード | | ・ADCS = 0ライトした場合<br>・AD変換終了時に自動的に“0”にクリア |

図12－4 A/D電圧コンパレータ使用時のタイミング・チャート




**注 1.** ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。

**2.** 変換起動には，最大で次の時間がかかります。

| ADM0 | | | 変換クロック（$f_{AD}$） | 起動時間（$f_{CLK}$クロック数） | |
|---|---|---|---|---|---|
| FR2 | FR1 | FR0 | | ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード | ハードウエア・トリガ・ウエイト・モード |
| 0 | 0 | 0 | $f_{CLK}$/64 | 63 | 1 |
| 0 | 0 | 1 | $f_{CLK}$/32 | 31 | |
| 0 | 1 | 0 | $f_{CLK}$/16 | 15 | |
| 0 | 1 | 1 | $f_{CLK}$/8 | 7 | |
| 1 | 0 | 0 | $f_{CLK}$/6 | 5 | |
| 1 | 0 | 1 | $f_{CLK}$/5 | 4 | |
| 1 | 1 | 0 | $f_{CLK}$/4 | 3 | |
| 1 | 1 | 1 | $f_{CLK}$/2 | 1 | |

ただし，連続変換モードの2回目以降では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません。

**注意1. ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に1に切り替わります)。ただし，AD変換待機状態にするために，ADCSビットに0を設定することは可能です。**

**2. ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，AD変換終了時にADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。**

**3. ADCEビットの書き換えは，ADCS = 0（変換停止／変換待機状態）のときに行ってください。**

4. **A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。**
   **ハードウエア・トリガ・ノーウエイト・モード時：$f_{CLK}$の2クロック＋変換起動時間＋A/D変換時間**
   **ハードウエア・トリガ・ウエイト・モード時：$f_{CLK}$の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間**

**備考**　$f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

表12－3 A/D変換時間の選択（1/4）

（1）A/D電源安定待ち時間なし 標準モード1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

| A/Dコンバータ・モード・レジスタ0（ADM0） | | | | | モード | 変換クロック（$f_{AD}$） | 変換クロック数[注] | 変換時間 | 変換時間の選択 | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | 2.7 V≦$V_{DD}$≦5.5 V | | | | |
| FR2 | FR1 | FR0 | LV1 | LV0 | | | | | $f_{CLK}$ = 1 MHz | $f_{CLK}$ = 4 MHz | $f_{CLK}$ = 8 MHz | $f_{CLK}$ = 16 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | 0 | 0 | 0 | 標準1 | $f_{CLK}$/64 | 19 $f_{AD}$（サンプリング・クロック数：7 $f_{AD}$） | 1216/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 76 μs | 50.6667 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | 608/$f_{CLK}$ | | | 76 μs | 38 μs | 25.3333 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | 304/$f_{CLK}$ | | 76 μs | 38 μs | 19 μs | 12.6667 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | 152/$f_{CLK}$ | | 38 μs | 19 μs | 9.5 μs | 6.3333 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | 114/$f_{CLK}$ | | 28.5 μs | 14.25 μs | 7.125 μs | 4.75 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | 95/$f_{CLK}$ | 95 μs | 23.75 μs | 11.875 μs | 5.938 μs | 3.9583 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | 76/$f_{CLK}$ | 76 μs | 19 μs | 9.5 μs | 4.75 μs | 3.1667 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | 38/$f_{CLK}$ | 38 μs | 9.5 μs | 4.75 μs | 2.375 μs | 設定禁止 |
| 0 | 0 | 0 | 0 | 1 | 標準2 | $f_{CLK}$/64 | 17 $f_{AD}$（サンプリング・クロック数：5 $f_{AD}$） | 1088/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 68 μs | 45.3333 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | 544/$f_{CLK}$ | | | 68 μs | 34 μs | 22.6667 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | 272/$f_{CLK}$ | | 68 μs | 34 μs | 17 μs | 11.3333 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | 136/$f_{CLK}$ | | 34 μs | 17 μs | 8.5 μs | 5.6667 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | 102/$f_{CLK}$ | | 25.5 μs | 12.75 μs | 6.375 μs | 4.25 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | 85/$f_{CLK}$ | 85 μs | 21.25 μs | 10.625 μs | 5.3125 μs | 3.5417 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | 68/$f_{CLK}$ | 68 μs | 17 μs | 8.5 μs | 4.25 μs | 2.8333 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | 34/$f_{CLK}$ | 34 μs | 8.5 μs | 4.25 μs | 2.125 μs | 設定禁止 |

**注** 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（$f_{AD}$）の2クロック分短くなります。

**注意 1. A/D変換時間は，32. 6. 1または33. 6. 1 A/Dコンバータ特性に示す変換時間（$t_{CONV}$）の範囲内で使用してください。**

**2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。**

**3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。**
**また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。**

**備考** $f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

表12－3 A/D変換時間の選択（2/4）

（2）A/D電源安定待ち時間なし 低電圧**モード**1, **2**

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

| A/Dコンバータ・モード・レジスタ0（ADM0） | | | | | モード | 変換クロック（$f_{AD}$） | 変換クロック数[注4] | 変換時間 | 変換時間の選択 | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | 1.6 V≦$V_{DD}$≦5.5 V | | 注1 | 注2 | 注3 |
| FR2 | FR1 | FR0 | LV1 | LV0 | | | | | $f_{CLK}$ = 1 MHz | $f_{CLK}$ = 4 MHz | $f_{CLK}$ = 8 MHz | $f_{CLK}$ = 16 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | 0 | 1 | 0 | 低電圧1 | $f_{CLK}$/64 | 19 $f_{AD}$（サンプリング・クロック数：7 $f_{AD}$） | 1216/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 76 μs | 50.6667 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | 608/$f_{CLK}$ | | | 76 μs | 38 μs | 25.3333 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | 304/$f_{CLK}$ | | 76 μs | 38 μs | 19 μs | 12.6667 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | 152/$f_{CLK}$ | | 38 μs | 19 μs | 9.5 μs | 6.3333 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | 114/$f_{CLK}$ | | 28.5 μs | 14.25 μs | 7.125 μs | 4.75 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | 95/$f_{CLK}$ | 95 μs | 23.75 μs | 11.875 μs | 5.938 μs | 3.9587 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | 76/$f_{CLK}$ | 76 μs | 19 μs | 9.5 μs | 4.75 μs | 3.1667 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | 38/$f_{CLK}$ | 38 μs | 9.5 μs | 4.75 μs | 2.375 μs | 設定禁止 |
| 0 | 0 | 0 | 1 | 1 | 低電圧2 | $f_{CLK}$/64 | 17 $f_{AD}$（サンプリング・クロック数：5 $f_{AD}$） | 1088/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 68 μs | 45.3333 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | 544/$f_{CLK}$ | | | 68 μs | 34 μs | 22.6667 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | 272/$f_{CLK}$ | | 68 μs | 34 μs | 17 μs | 11.3333 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | 136/$f_{CLK}$ | | 34 μs | 17 μs | 8.5 μs | 5.6667 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | 102/$f_{CLK}$ | | 25.5 μs | 12.75 μs | 6.375 μs | 4.25 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | 85/$f_{CLK}$ | 85 μs | 21.25 μs | 10.625 μs | 5.3125 μs | 3.5417 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | 68/$f_{CLK}$ | 68 μs | 17 μs | 8.5 μs | 4.25 μs | 2.8333 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | 34/$f_{CLK}$ | 34 μs | 8.5 μs | 4.25 μs | 2.125 μs | 設定禁止 |

**注1.** 1.8 V≦$V_{DD}$≦5.5 V

**2.** 2.4 V≦$V_{DD}$≦5.5 V

**3.** 2.7 V≦$V_{DD}$≦5.5 V

**4.** 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（$f_{AD}$）の2クロック分短くなります。

**注意 1. A/D変換時間は，32. 6. 1または33. 6. 1 A/Dコンバータ特性に示す変換時間（$t_{CONV}$）の範囲内で使用してください。**

**2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。**

**3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。**
**また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。**

**備考** $f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

表12－3 A/D変換時間の選択（3/4）

（3）A/D電源安定待ち時間あり 標準モード1, 2

（ハードウエア・トリガ・ウエイト・モード[注1]）

| A/Dコンバータ・モード・レジスタ0（ADM0） | | | | | モード | 変換クロック（$f_{AD}$） | 安定待ちクロック数 | 変換クロック数[注2] | 安定待ち時間＋変換時間 | 安定待ち時間＋変換時間の選択 | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | | 2.7 V≦$V_{DD}$≦5.5 V | | | | |
| FR2 | FR1 | FR0 | LV1 | LV0 | | | | | | $f_{CLK}$ = 1 MHz | $f_{CLK}$ = 4 MHz | $f_{CLK}$ = 8 MHz | $f_{CLK}$ = 16 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | 0 | 0 | 0 | 標準1 | $f_{CLK}$/64 | 8 $f_{AD}$ | 19 $f_{AD}$（サンプリング・クロック数：7 $f_{AD}$） | 1728/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 108 μs | 72 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | | 864/$f_{CLK}$ | | | 108 μs | 54 μs | 36 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | | 432/$f_{CLK}$ | | 108 μs | 54 μs | 27 μs | 18 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | | 216/$f_{CLK}$ | | 54 μs | 27 μs | 13.5 μs | 9 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | | 162/$f_{CLK}$ | | 40.5 μs | 20.25 μs | 10.125 μs | 6.75 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | | 135/$f_{CLK}$ | 135 μs | 33.75 μs | 16.875 μs | 8.4375 μs | 5.625 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | | 108/$f_{CLK}$ | 108 μs | 27 μs | 13.5 μs | 6.75 μs | 4.5 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | | 54/$f_{CLK}$ | 54 μs | 13.5 μs | 6.75 μs | 3.375 μs | 設定禁止 |
| 0 | 0 | 0 | 0 | 1 | 標準2 | $f_{CLK}$/64 | 8 $f_{AD}$ | 17 $f_{AD}$（サンプリング・クロック数：5 $f_{AD}$） | 1600/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 100 μs | 66.6667 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | | 800/$f_{CLK}$ | | | 100 μs | 50 μs | 33.3333 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | | 400/$f_{CLK}$ | | 100 μs | 50 μs | 25 μs | 16.6667 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | | 200/$f_{CLK}$ | | 50 μs | 25 μs | 12.5 μs | 8.3333 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | | 150/$f_{CLK}$ | | 37.5 μs | 18.75 μs | 9.375 μs | 6.25 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | | 125/$f_{CLK}$ | 125 μs | 31.25 μs | 15.625 μs | 7.8125 μs | 5.2083 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | | 100/$f_{CLK}$ | 100 μs | 25 μs | 12.5 μs | 6.25 μs | 4.1667 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | | 50/$f_{CLK}$ | 50 μs | 12.5 μs | 6.25 μs | 3.125 μs | 設定禁止 |

**注1.** 連続変換モードの2回目以降では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表12－3（1/4）参照）。

**2.** 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（$f_{AD}$）の2クロック分短くなります。

**注意 1. A/D変換時間は，32. 6. 1または33. 6. 1 A/Dコンバータ特性に示す変換時間（$t_{CONV}$）の範囲内で使用してください。**

**2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。**

**3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。**
**また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。**

**4. ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からの安定待ち時間を含みます。**

**備考** $f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

表12－3 A/D変換時間の選択（4/4）

（4）A/D電源安定待ち時間あり 低電圧モード1, 2

（ハードウエア・トリガ・ウエイト・モード[注1]）

| A/Dコンバータ・モード・レジスタ0（ADM0） | | | | | モード | 変換クロック（$f_{AD}$） | 安定待ちクロック数 | 変換クロック数[注5] | 安定待ち時間＋変換時間 | 安定待ち時間＋変換時間の選択 | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | | 1.6 V≦$V_{DD}$≦5.5 V | | 注2 | 注3 | 注4 |
| FR2 | FR1 | FR0 | LV1 | LV0 | | | | | | $f_{CLK}$ = 1 MHz | $f_{CLK}$ = 4 MHz | $f_{CLK}$ = 8 MHz | $f_{CLK}$ = 16 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | 0 | 1 | 0 | 低電圧1 | $f_{CLK}$/64 | 2 $f_{AD}$ | 19 $f_{AD}$（サンプリング・クロック数：7 $f_{AD}$） | 1344/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 84 μs | 56 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | | 672/$f_{CLK}$ | | | 84 μs | 42 μs | 28 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | | 336/$f_{CLK}$ | | 84 μs | 42 μs | 21 μs | 14 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | | 168/$f_{CLK}$ | | 42 μs | 21 μs | 10.5 μs | 7 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | | 126/$f_{CLK}$ | | 31.25 μs | 15.75 μs | 7.875 μs | 5.25 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | | 105/$f_{CLK}$ | 105 μs | 26.25 μs | 13.125 μs | 6.5625 μs | 4.375 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | | 84/$f_{CLK}$ | 84 μs | 21 μs | 10.5 μs | 5.25 μs | 3.5 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | | 42/$f_{CLK}$ | 42 μs | 10.5 μs | 5.25 μs | 2.625 μs | 設定禁止 |
| 0 | 0 | 0 | 1 | 1 | 低電圧2 | $f_{CLK}$/64 | 2 $f_{AD}$ | 17 $f_{AD}$（サンプリング・クロック数：5 $f_{AD}$） | 1216/$f_{CLK}$ | 設定禁止 | 設定禁止 | 設定禁止 | 76 μs | 50.6667 μs |
| 0 | 0 | 1 | | | | $f_{CLK}$/32 | | | 608/$f_{CLK}$ | | | 76 μs | 38 μs | 25.3333 μs |
| 0 | 1 | 0 | | | | $f_{CLK}$/16 | | | 304/$f_{CLK}$ | | 76 μs | 38 μs | 19 μs | 12.6667 μs |
| 0 | 1 | 1 | | | | $f_{CLK}$/8 | | | 152/$f_{CLK}$ | | 38 μs | 19 μs | 9.5 μs | 6.3333 μs |
| 1 | 0 | 0 | | | | $f_{CLK}$/6 | | | 114/$f_{CLK}$ | | 28.5 μs | 14.25 μs | 7.125 μs | 4.75 μs |
| 1 | 0 | 1 | | | | $f_{CLK}$/5 | | | 96/$f_{CLK}$ | 96 μs | 23.75 μs | 12 μs | 5.938 μs | 4.0 μs |
| 1 | 1 | 0 | | | | $f_{CLK}$/4 | | | 76/$f_{CLK}$ | 76 μs | 19 μs | 9.5 μs | 4.75 μs | 3.1667 μs |
| 1 | 1 | 1 | | | | $f_{CLK}$/2 | | | 38/$f_{CLK}$ | 38 μs | 9.5 μs | 4.75 μs | 2.375 μs | 設定禁止 |

**注1.** 連続変換モードの2回目以降では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表12－3（2/4）参照）。

**2.** 1.8 V≦$V_{DD}$≦5.5 V

**3.** 2.4 V≦$V_{DD}$≦5.5 V

**4.** 2.7 V≦$V_{DD}$≦5.5 V

**5.** 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（$f_{AD}$）の2クロック分短くなります。

**注意 1. A/D変換時間は，32. 6. 1または33. 6. 1 A/Dコンバータ特性に示す変換時間（$t_{CONV}$）の範囲内で使用してください。**

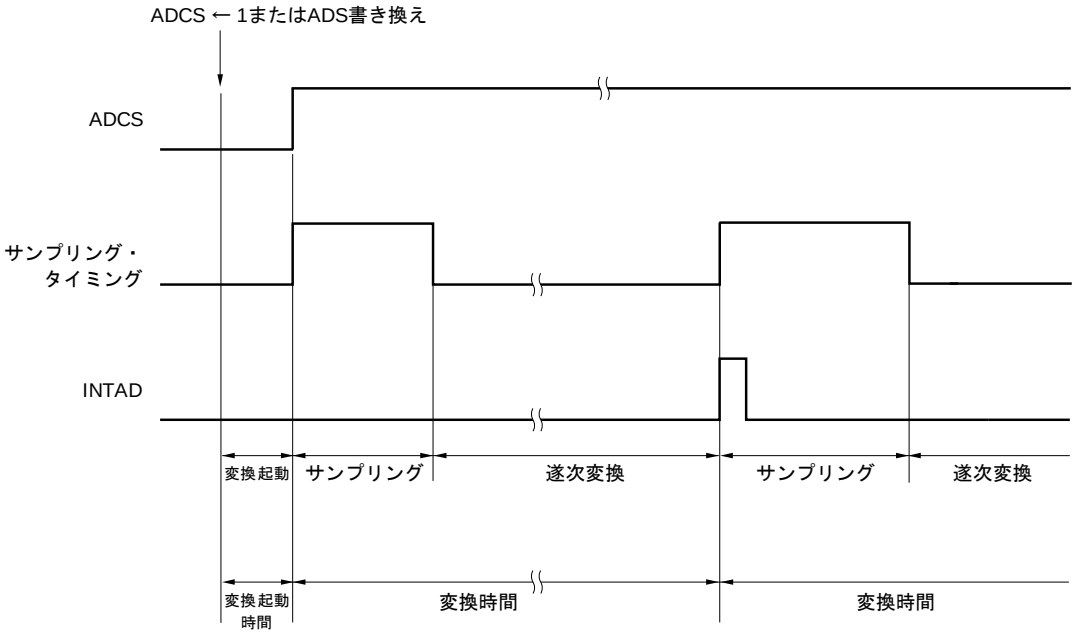
**2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。**

**3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。**
**また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。**

**4. ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からの安定待ち時間を含みます。**

**備考** $f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

図12－5　A/Dコンバータのサンプリングと A/D変換のタイミング（例　ソフトウエア・トリガ・モードの場合）



### 12. 3. 3 A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－6 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス：FFF32H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADM1 | ADTMD1 | ADTMD0 | ADSCM | 0 | 0 | 0 | ADTRS1 | ADTRS0 |

| ADTMD1 | ADTMD0 | A/D変換トリガ・モードの選択 |
|---|---|---|
| 0 | × | ソフトウエア・トリガ・モード |
| 1 | 0 | ハードウエア・トリガ・ノーウエイト・モード |
| 1 | 1 | ハードウエア・トリガ・ウエイト・モード |

| ADSCM | A/D変換動作モードの設定 |
|---|---|
| 0 | 連続変換モード |
| 1 | ワンショット変換モード |

| ADTRS1 | ADTRS0 | ハードウエア・トリガ信号の選択 |
|---|---|---|
| 0 | 0 | タイマ・チャネル01のカウント完了またはキャプチャ完了割り込み信号（INTTM01） |
| 0 | 1 | 設定禁止 |
| 1 | 0 | リアルタイム・クロック2割り込み信号（INTRTC） |
| 1 | 1 | 12ビット・インターバル・タイマ割り込み信号（INTIT） |

**注意1. ADM1レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCS = 0）のときに行ってください。**

**2. A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。**

**ハードウエア・トリガ・ノーウエイト・モード時：$f_{CLK}$の2クロック＋変換起動時間＋A/D変換時間**

**ハードウエア・トリガ・ウエイト・モード時：$f_{CLK}$の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間**

**3. SNOOZE機能以外のモードにおいて，INTRTC，INTIT入力後最大$f_{CLK}$の4クロック間は，次のINTRTC, INTIT入力がトリガとして有効になりません。**

**備考1.** ×：Don’t care

**2.** $f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

### 12. 3. 4 A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）

アドレス：F0010H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADM2 | ADREFP1 | ADREFP0 | ADREFM | 0 | ADRCK | AWC | 0 | ADTYP |

| ADREFP1 | ADREFP0 | A/Dコンバータの＋側の基準電圧の選択 |
|---|---|---|
| 0 | 0 | $V_{DD}$から供給 |
| 0 | 1 | P21/$AV_{REFP}$/ANI0から供給 |
| 1 | 0 | 内部基準電圧（1.45 V）から供給[注] |
| 1 | 1 | 設定禁止 |

・ADREFP1, ADREFP0ビットを書き換える場合，次の手順で設定してください。

① ADCE = 0に設定

② ADREFP1, ADREFP0の値を変更

③ 基準電圧安定待ち時間ウエイト（A）

④ ADCE = 1に設定

⑤ 基準電圧安定待ち時間ウエイト（B）

ADREFP1, ADREFP0 = 1, 0に変更する場合： A = 5 μs， B = 1 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合： Aはウエイト不要，B = 1 μs

⑤のウエイトのあとに，A/D変換開始してください。

・ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力電圧と内部基準電圧（1.45 V）をA/D変換することはできません。

必ずADISS = 0としてA/D変換を行なってください。

| ADREFM | A/Dコンバータの－側の基準電圧の選択 |
|---|---|
| 0 | $V_{SS}$から供給 |
| 1 | P20/$AV_{REFM}$/ANI1から供給 |

**注** HS（高速メイン）モードでのみ選択可能です。

**注意1. ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。**

**2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 1, 0）選択時は，32. 3. 2または33. 3. 2 電源電流特性に示すA/Dコンバータ基準電圧電流($I_{ADREF}$)の電流値が加算されます。**

**3. $AV_{REFP}$と$AV_{REFM}$を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。**

図12－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADM2 | ADREFP1 | ADREFP0 | ADREFM | 0 | ADRCK | AWC | 0 | ADTYP |

| ADRCK | 変換結果上限／下限値チェック |
|---|---|
| 0 | ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（AREA1）のとき割り込み信号（INTAD）が発生。 |
| 1 | ADCRレジスタ＜ADLLレジスタ（AREA2），ADULレジスタ＜ADCRレジスタ（AREA3）のとき割り込み信号（INTAD）が発生。 |
| AREA1～AREA3の割り込み信号（INTAD）発生範囲を図12－8に示します。 | |

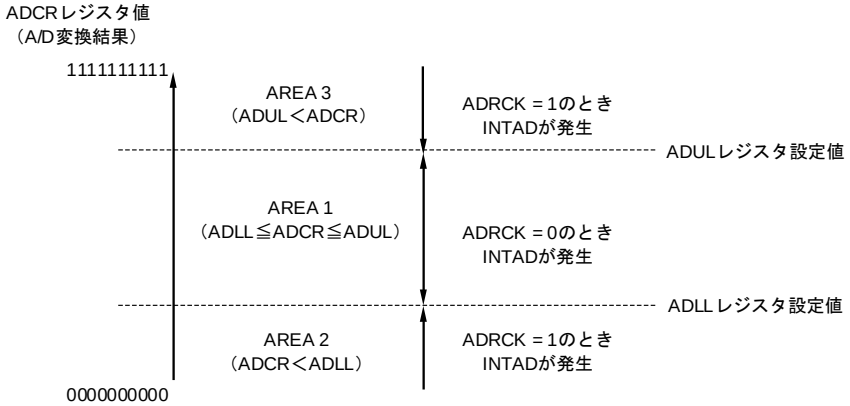
| AWC | SNOOZEモードの設定 |
|---|---|
| 0 | SNOOZEモード機能を使用しない |
| 1 | SNOOZEモード機能を使用する |
| STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。<br>・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（$f_{CLK}$）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。<br>・ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。<br>・連続変換モードでのSNOOZEモード機能は使用禁止です。<br>・SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「SNOOZEモードの遷移時間注＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間＋$f_{CLK}$の2クロック」以上の間隔を空けて設定してください。<br>・SNOOZE機能を使用する場合でも，通常動作モード時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。<br>またSTOPモードから通常動作モードへ復帰後，必ずAWCを0に変更してください。<br>AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。 | |

| ADTYP | A/D変換分解能の選択 |
|---|---|
| 0 | 10ビット分解能 |
| 1 | 8ビット分解能 |

**注 21. 3. 3 SNOOZEモード**の「STOP→SNOOZE」を参照してください。

**注意 ADM2レジスタを書き換える場合は，必ず変換動作停止状態（ADCS = 0, ADCE = 0）のときに行ってください。**

図12－8 ADRCKビットによる割り込み信号発生範囲




**備考** INTADが発生しない場合は，A/D変換結果がADCR, ADCRHレジスタに格納されません。

### 12. 3. 5 10ビットA/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます注。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

**注** A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合は格納されません。

図12－9 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH，FFF1EH リセット値：0000H R

| 略号 | FFF1FH | | | | | | | | FFF1EH | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ADCR | | | | | | | | | | | 0 | 0 | 0 | 0 | 0 | 0 |

**注意1. 8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合，下位2ビット（ADCRレジスタのビット7，ビット6）は，0が読み出されます。**

**2. ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがビット15から順に読み出せます。**

### 12. 3. 6　8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します[注]。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

**注**　A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合は格納されません。

図12－10　8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH　リセット時：00H　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADCRH | | | | | | | | |

**注意　A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。**

## 12. 3. 7 アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADS | ADISS | 0 | 0 | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 |

| ADISS | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 | アナログ入力チャネル | 入力ソース |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | ANI0 | P21/ANI0/$AV_{REFP}$端子 |
| 0 | 0 | 0 | 0 | 0 | 1 | ANI1 | P20/ANI1/$AV_{REFM}$端子 |
| 0 | 1 | 0 | 0 | 0 | 0 | ANI16 | P22/ANI16端子 |
| 0 | 1 | 0 | 0 | 0 | 1 | ANI17 | P23/ANI17端子 |
| 0 | 1 | 0 | 0 | 1 | 0 | ANI18 | P24/ANI18端子 |
| 0 | 1 | 0 | 0 | 1 | 1 | ANI19 | P25/ANI19端子 |
| 0 | 1 | 0 | 1 | 0 | 0 | ANI20 | P26/ANI20端子 |
| 0 | 1 | 0 | 1 | 0 | 1 | ANI21 | P27/ANI21端子 |
| 0 | 1 | 0 | 1 | 1 | 0 | ANI22 | P10/ANI22端子 |
| 0 | 1 | 0 | 1 | 1 | 1 | ANI23 | P11/ANI23端子 |
| 0 | 1 | 1 | 0 | 0 | 0 | ANI24 | P12/ANI24端子 |
| 0 | 1 | 1 | 0 | 0 | 1 | ANI25 | P13/ANI25端子 |
| 1 | 0 | 0 | 0 | 0 | 0 | － | 温度センサ出力[注1.2] |
| 1 | 0 | 0 | 0 | 0 | 1 | － | 内部基準電圧（1.45 V）[注1] |
| 上記以外 | | | | | | 設定禁止 | |

**注1.** HS（高速メイン）モードでのみ選択可能です。

**注2.** コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧（1.45 V）を選択している場合は，温度センサ出力を選択できません。

★

**注意1. ビット5, 6には必ず0を設定してください。**

**2. ADPC, PMCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ1, 2（PM1, PM2）で入力モードに選択してください。**

**3. A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。**

**4. ポート・モード・コントロール・レジスタ1, 2（PMC1, PMC2）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。**

**5. ADISSビットを書き換える場合は，必ずA/D電圧コンパレータ動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。**

**6. $AV_{REFP}$をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。**

**7. $AV_{REFM}$をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。**

**注意8. ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS=1に設定後，1回目の変換結果は使用できません。詳細設定フローは，12. 7. 4 温度センサ使用時の設定を参照してください。**

**9. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，32. 3. 2 電源電流特性に示すA/Dコンバータ基準電圧電流（$I_{ADREF}$）の電流値が加算されます。**

**10. 製品により，対応するANI端子が存在しない場合は，変換結果を無視してください。**

## 12. 3. 8 変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図12－8参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

**注意 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタと比較します。**

図12－12 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADUL | ADUL7 | ADUL6 | ADUL5 | ADUL4 | ADUL3 | ADUL2 | ADUL1 | ADUL0 |

## 12. 3. 9 変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図12－8参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－13 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADLL | ADLL7 | ADLL6 | ADLL5 | ADLL4 | ADLL3 | ADLL2 | ADLL1 | ADLL0 |

**注意1. 10ビット分解能A/D変換選択時は, 10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADLLレジスタと比較します。**

**2. ADULレジスタおよびADLLレジスタの書き換えは，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。**

**3. ADULレジスタおよびADLLレジスタは，ADUL＞ADLLになるように設定を行ってください。**

## 12. 3. 10 A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45 V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－14 A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADTES | 0 | 0 | 0 | 0 | 0 | 0 | ADTES1 | ADTES0 |

| ADTES1 | ADTES0 | A/D変換対象 |
|---|---|---|
| 0 | 0 | ANIxx / 温度センサ出力電圧[注] / 内部基準電圧（1.45 V）[注]<br>（アナログ入力チャネル指定レジスタ（ADS）で設定） |
| 1 | 0 | －側の基準電圧（ADM2レジスタのADREFMビットで選択） |
| 1 | 1 | ＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択） |
| 上記以外 | | 設定禁止 |

**注** 温度センサ出力電圧，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です。

## 12. 3. 11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・モード・コントロール・レジスタ（PMCxx），A/Dポート・コンフィギュレーション・レジスタ（ADPC））を設定してください。詳細は，**4. 3. 1 ポート・モード・レジスタ（PMxx）**，**4. 3. 6 ポート・モード・コントロール・レジスタ（PMCxx）**，**4. 3. 7 A/Dポート・コンフィギュレーション・レジスタ（ADPC）**を参照してください。

ANI0, ANI1端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定し，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に設定してください。

ANI16-ANI25端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）とポート・モード・コントロール・レジスタ（PMCxx）のビットに1を設定してください。

## 12. 4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。
② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。
③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）$AV_{REF}$にします。
④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）$AV_{REF}$よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）$AV_{REF}$よりも小さければ，MSBビットはリセットします。
⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。
・ビット9 = 1：（3/4）$AV_{REF}$
・ビット9 = 0：（1/4）$AV_{REF}$

この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。
・サンプリングされた電圧≧電圧タップ：ビット8 = 1
・サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較をSARレジスタのビット0まで続けます。
⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され，ラッチします[注1]。
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます[注1]。
⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注2]。
A/Dコンバータを停止する場合は，ADCS = 0にしてください。

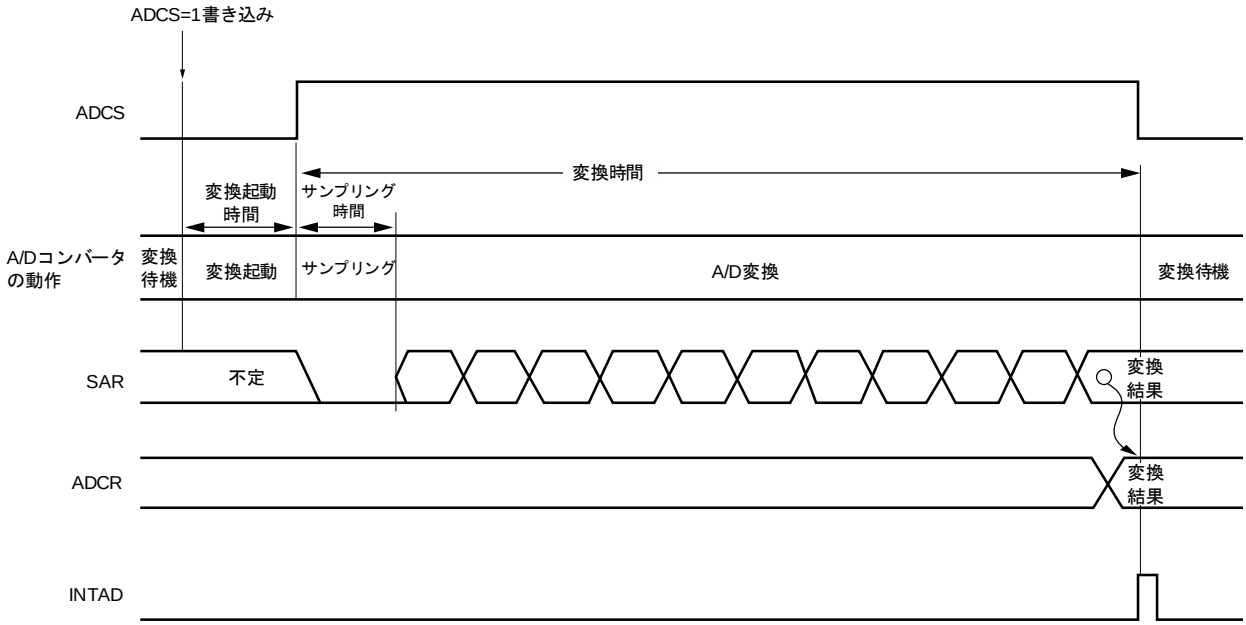
**注 1.** A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合，ADCR, ADCRHレジスタに結果は格納されません。

**2.** 連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

**備考1.** A/D変換結果レジスタは2種類あります。
・ADCRレジスタ（16ビット） ：10ビットのA/D変換値を格納します。
・ADCRHレジスタ（8ビット） ：8ビットのA/D変換値を格納します。

**2.** $AV_{REF}$：A/Dコンバータの＋側基準電圧。$AV_{REFP}$，内部基準電圧（1.45 V），$V_{DD}$から選択可能です。

図12－15　A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）




ワンショット変換モード時のA/D変換動作は，A/D変換終了後にADCSビットが自動的にクリア（0）されます。

連続変換モード時のA/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をクリア（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ（ADCR，ADCRH）は，リセット信号の発生により0000Hまた00Hとなります。

## 12.5　入力電圧と変換結果

アナログ入力端子（ANI0, ANI1, ANI16-ANI25）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

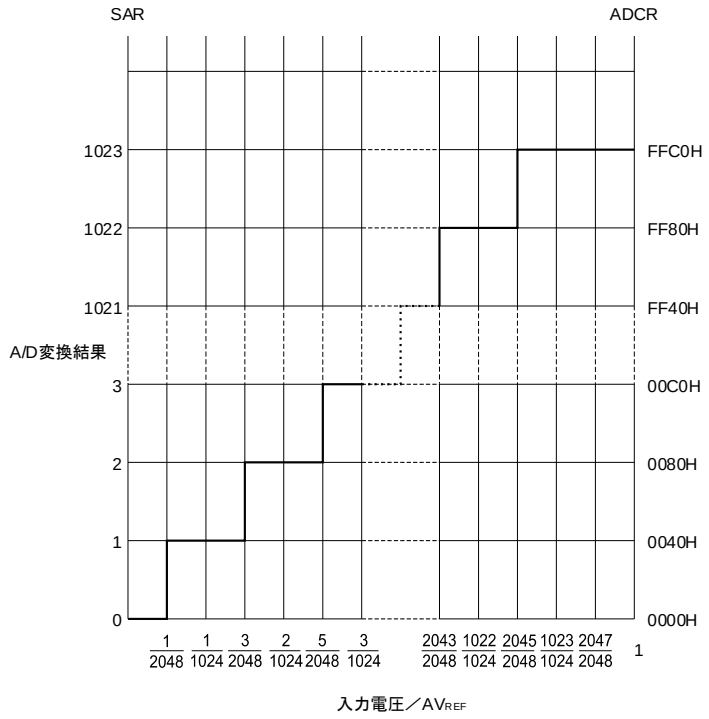
または,

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
$V_{AIN}$　：アナログ入力電圧
$AV_{REF}$　：$AV_{REF}$端子電圧
ADCR　：A/D変換結果レジスタ（ADCR）の値
SAR　：逐次変換レジスタ

図12－16にアナログ入力電圧とA/D変換結果の関係を示します。

図12－16　アナログ入力電圧とA/D変換結果の関係




**備考**　$AV_{REF}$：A/Dコンバータの＋側基準電圧。$AV_{REFP}$, 内部基準電圧（1.45 V），$V_{DD}$から選択可能です。

# 12. 6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順を**12. 7 A/Dコンバータの設定フロー・チャート**に示します。

## 12. 6. 1 ソフトウエア・トリガ・モード（連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

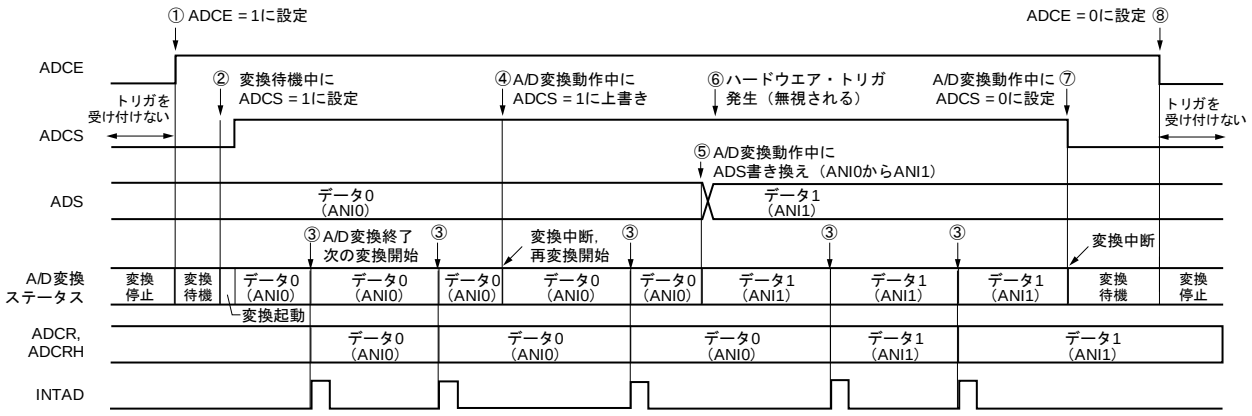
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図12－17 ソフトウエア・トリガ・モード（連続変換モード）動作タイミング例



## 12. 6. 2 ソフトウエア・トリガ・モード（ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

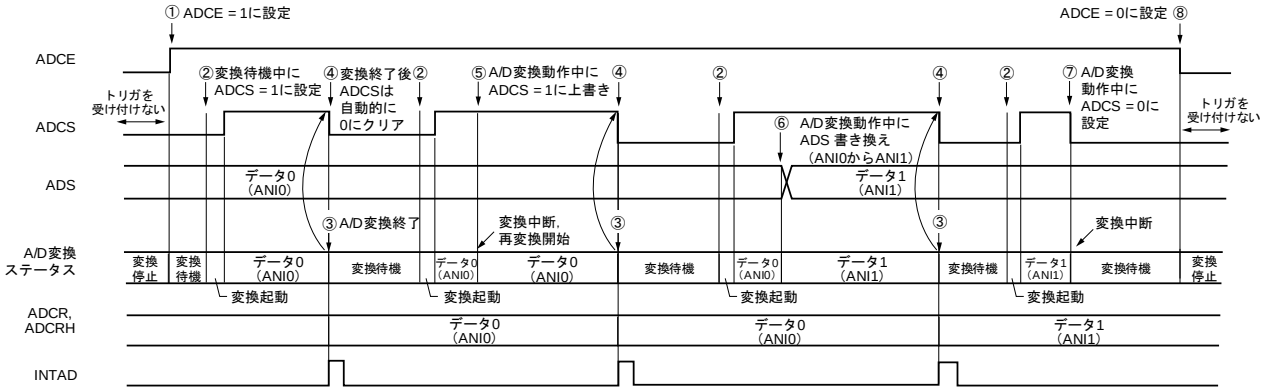
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図12－18 ソフトウエア・トリガ・モード（ワンショット変換モード）動作タイミング例



## 12. 6. 3 ハードウエア・トリガ・ノーウエイト・モード（連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

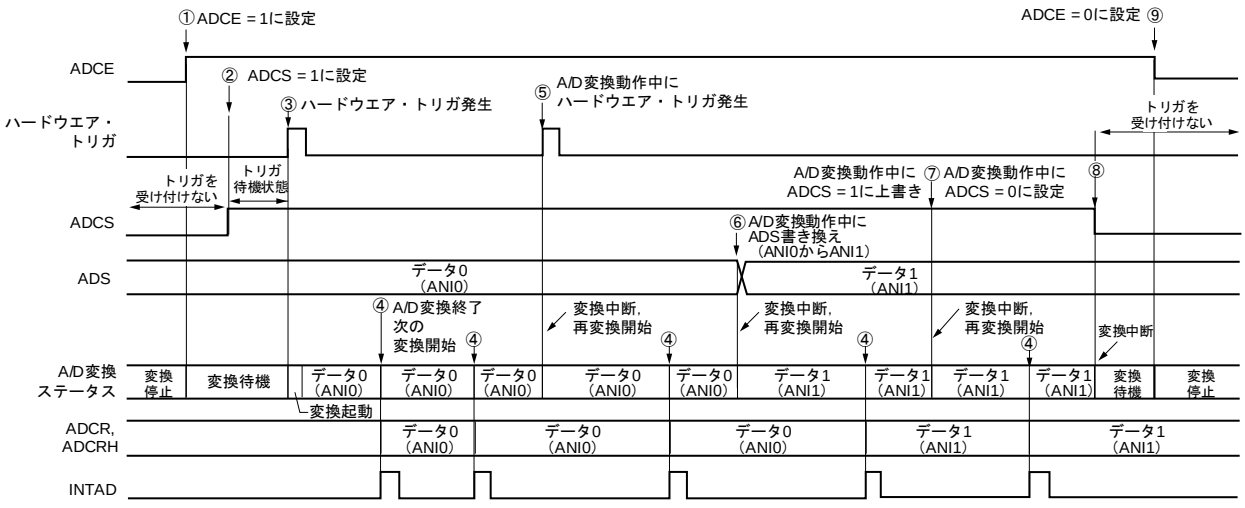
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－19 ハードウエア・トリガ・ノーウエイト・モード（連続変換モード）動作タイミング例



## 12. 6. 4 ハードウエア・トリガ・ノーウエイト・モード（ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

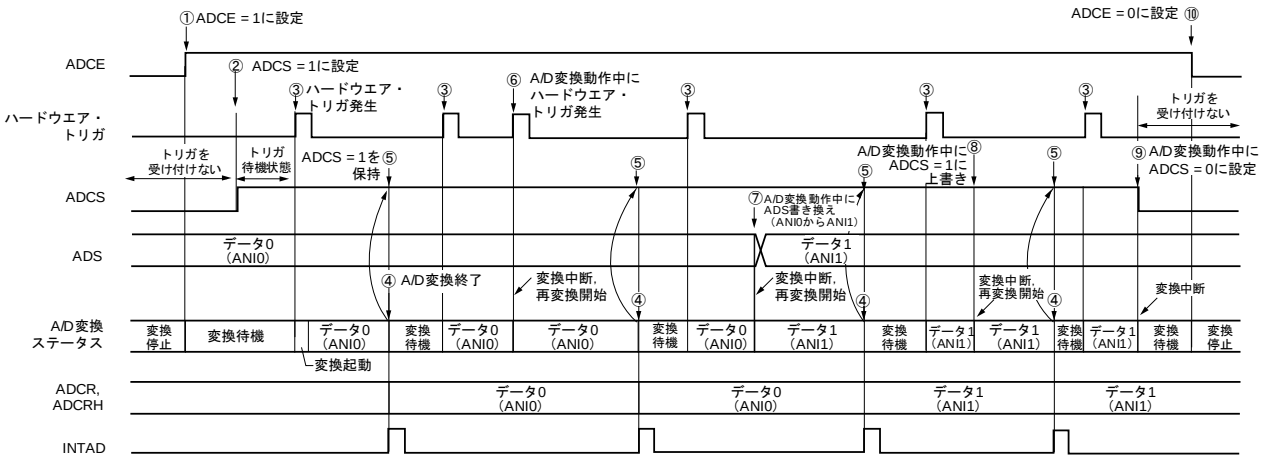
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－20 ハードウエア・トリガ・ノーウエイト・モード（ワンショット変換モード）動作タイミング例



## 12. 6. 5 ハードウエア・トリガ・ウエイト・モード（連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

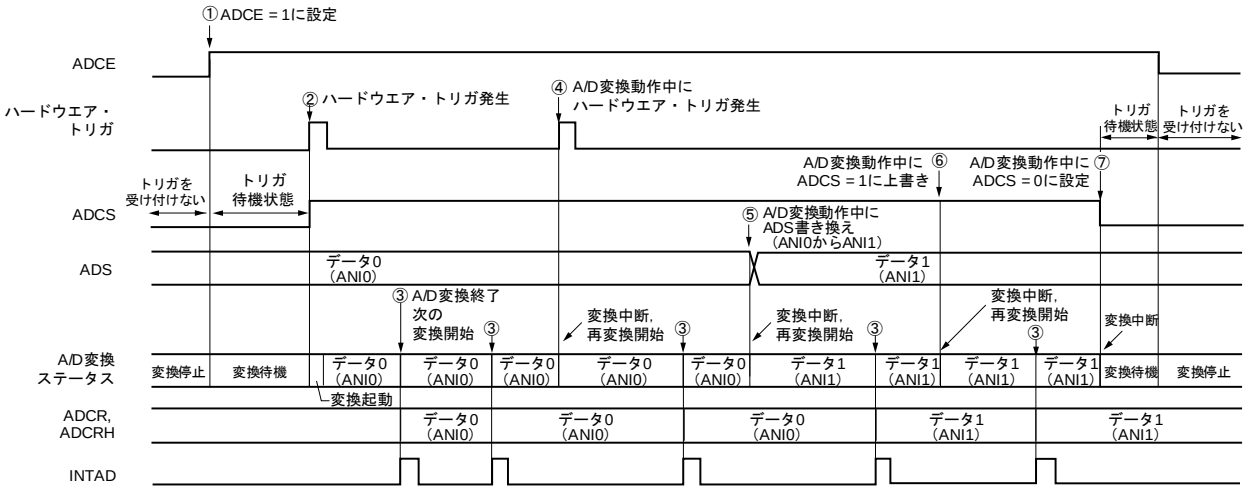
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－21 ハードウエア・トリガ・ウエイト・モード（連続変換モード）動作タイミング例



## 12. 6. 6 ハードウエア・トリガ・ウエイト・モード（ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

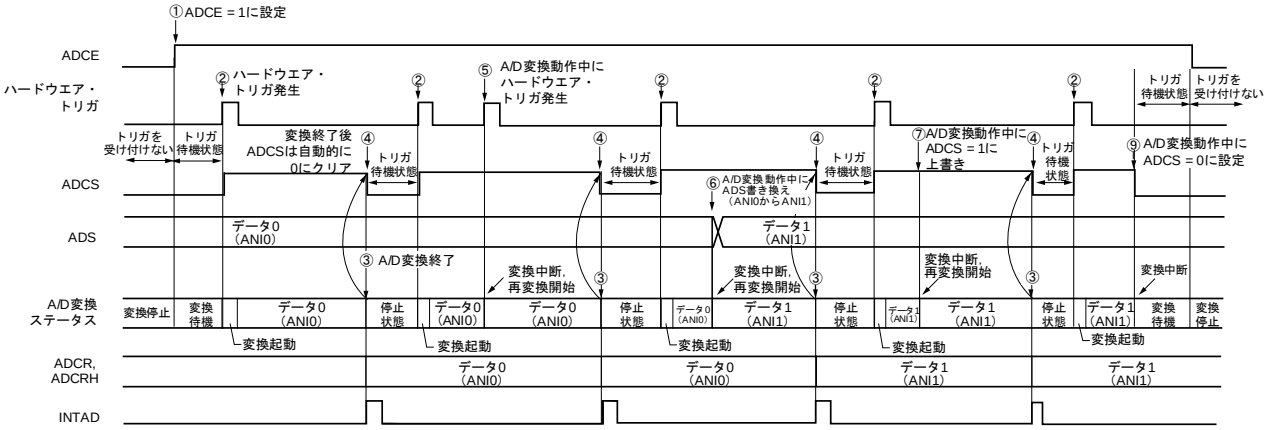
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－22 ハードウエア・トリガ・ウエイト・モード（ワンショット変換モード）動作タイミング例

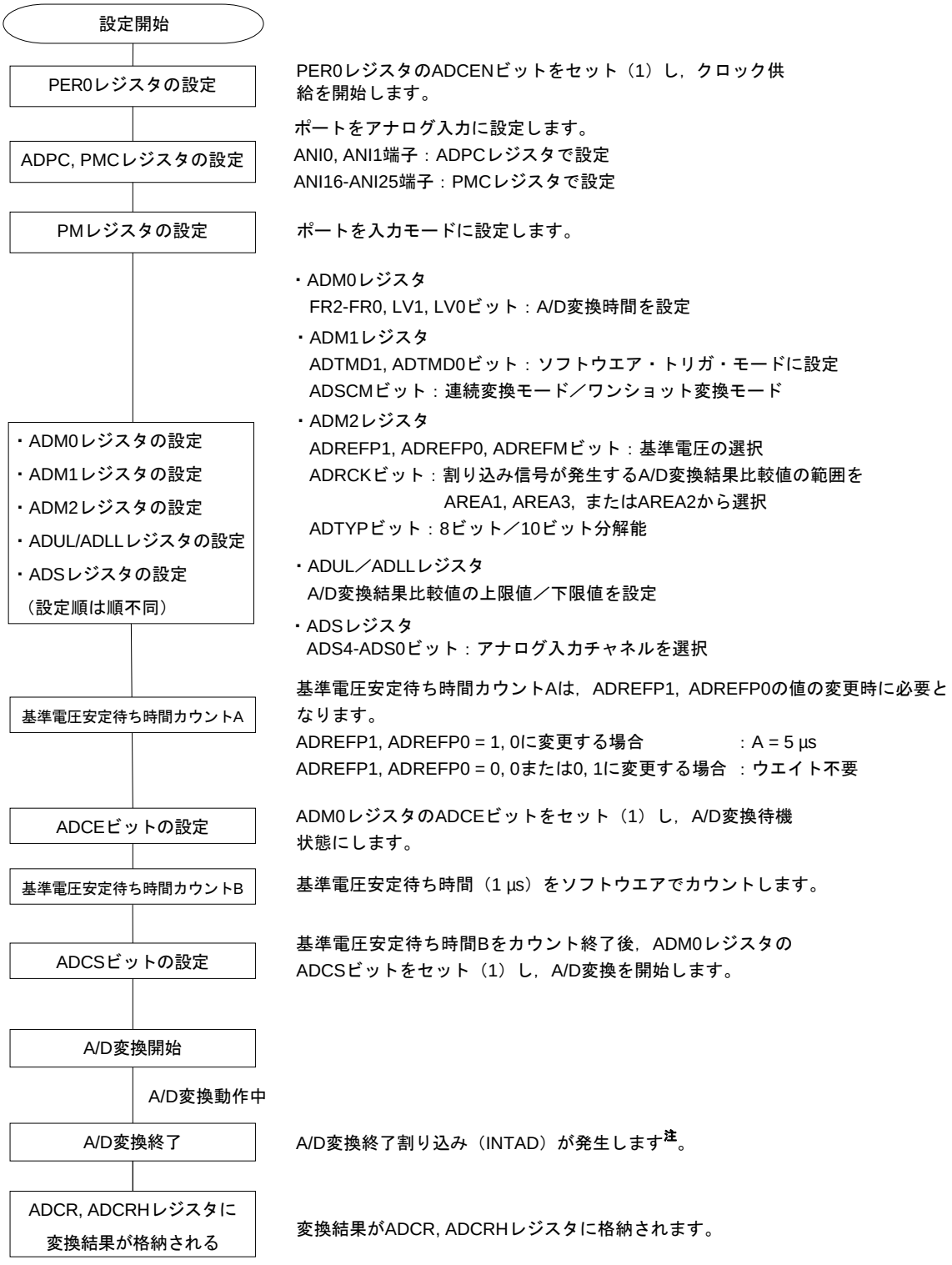


# 12. 7　A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

## 12. 7. 1　ソフトウエア・トリガ・モード設定

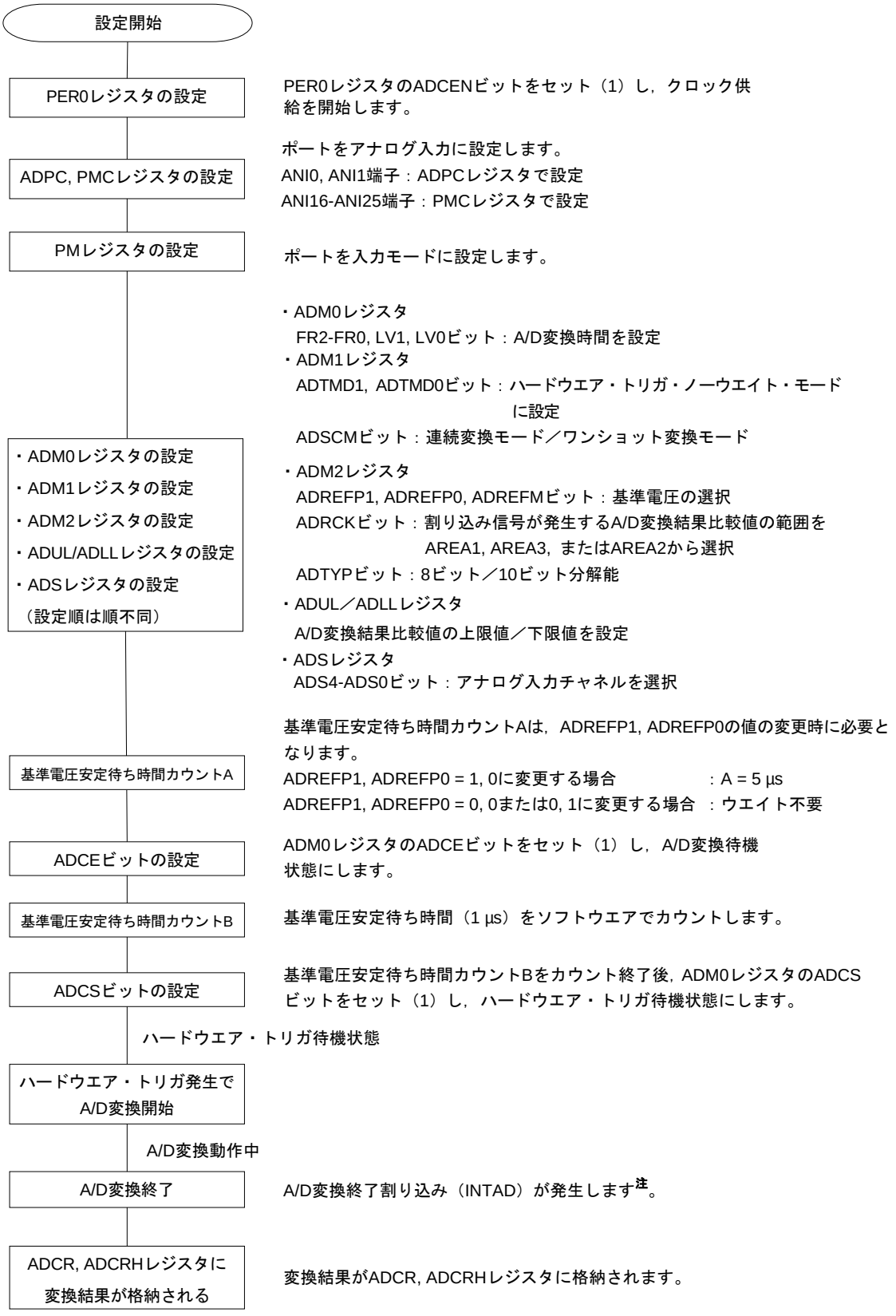
図12－23　ソフトウエア・トリガ・モード設定




**注**　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

## 12. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定

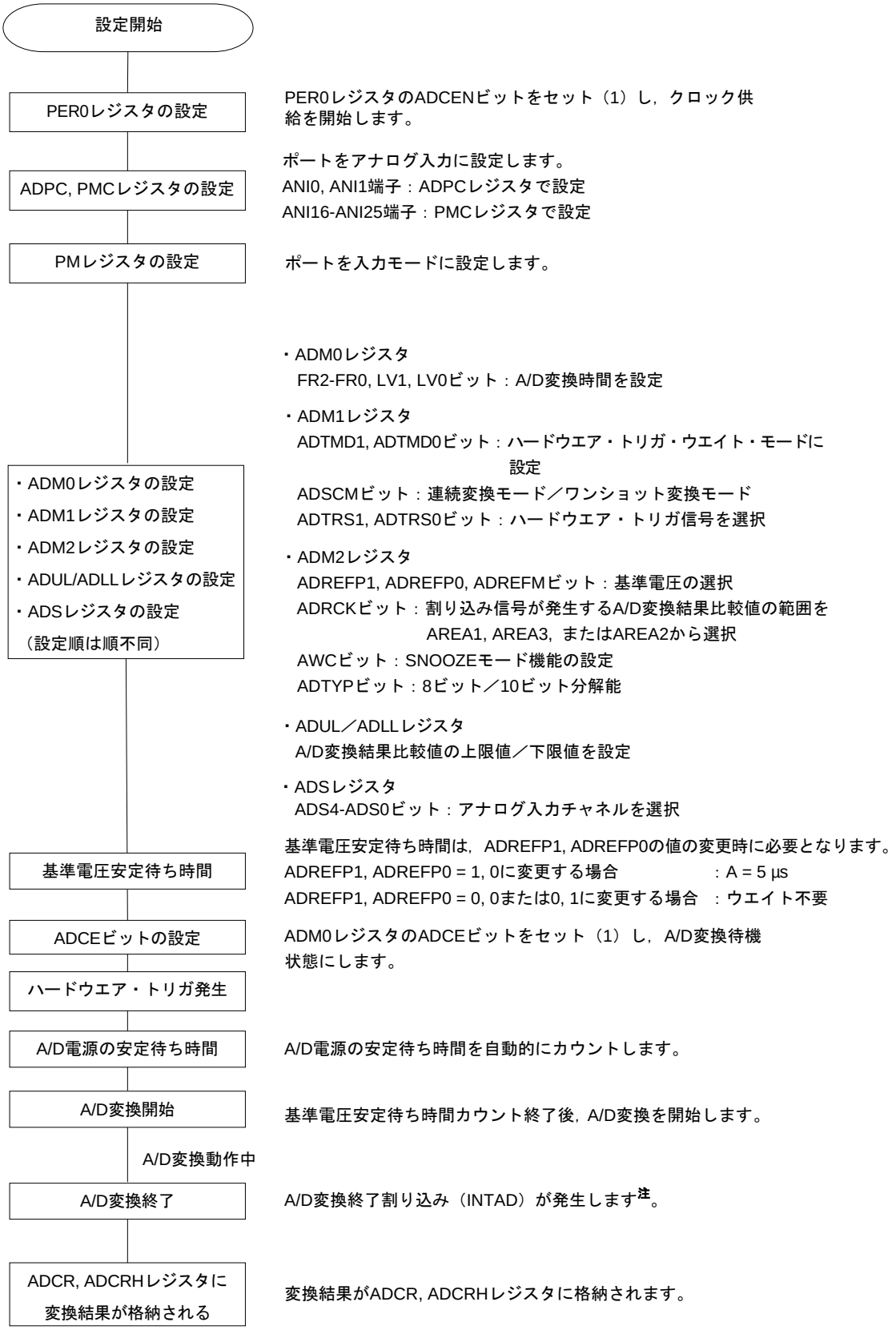
図12－24　ハードウエア・トリガ・ノーウエイト・モード設定




**注**　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

## 12. 7. 3　ハードウエア・トリガ・ウエイト・モード設定

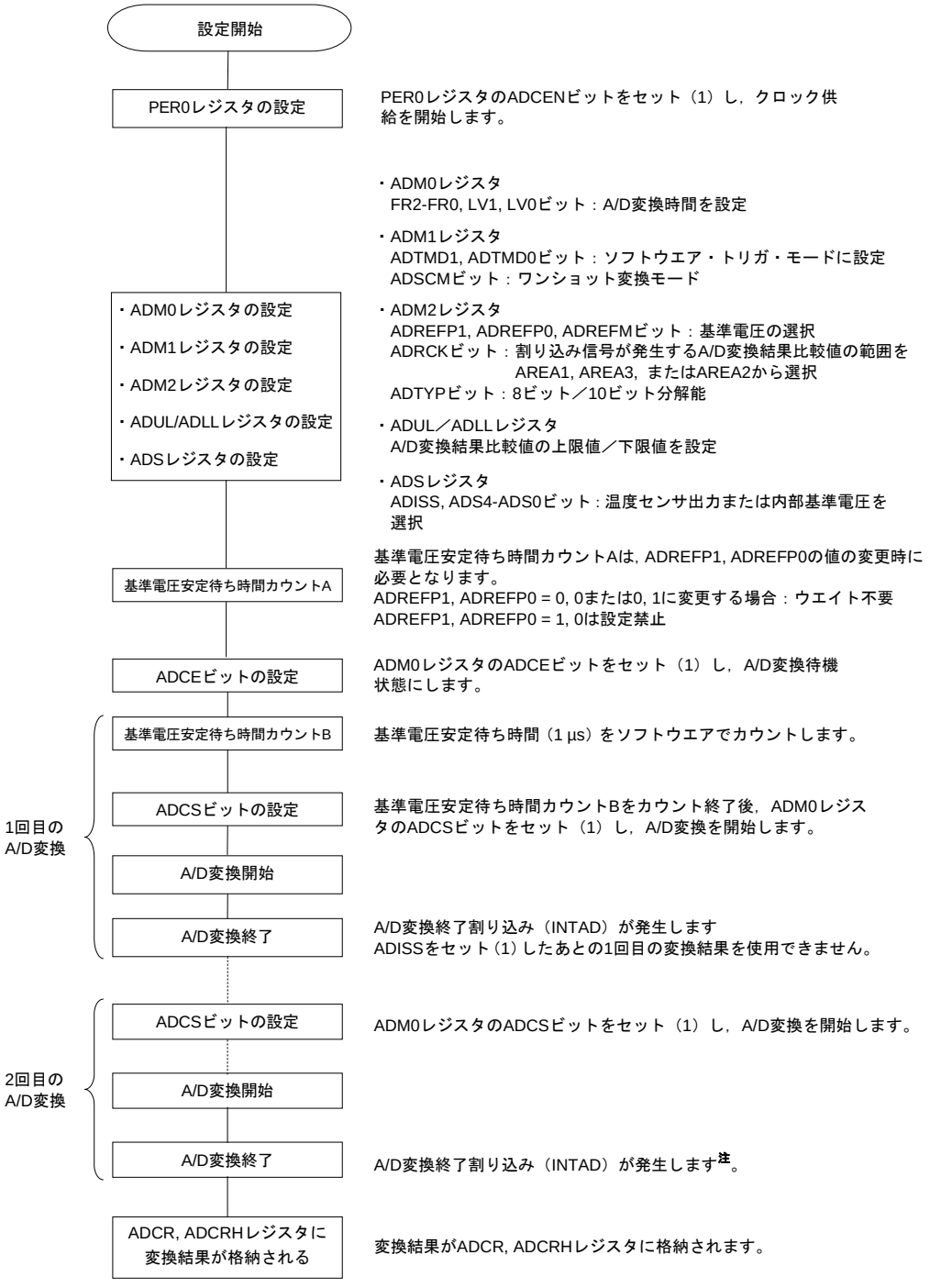
図12－25　ハードウエア・トリガ・ウエイト・モード設定




**注**　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

## 12. 7. 4　温度センサ使用時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）

図12－26　温度センサ使用時の設定

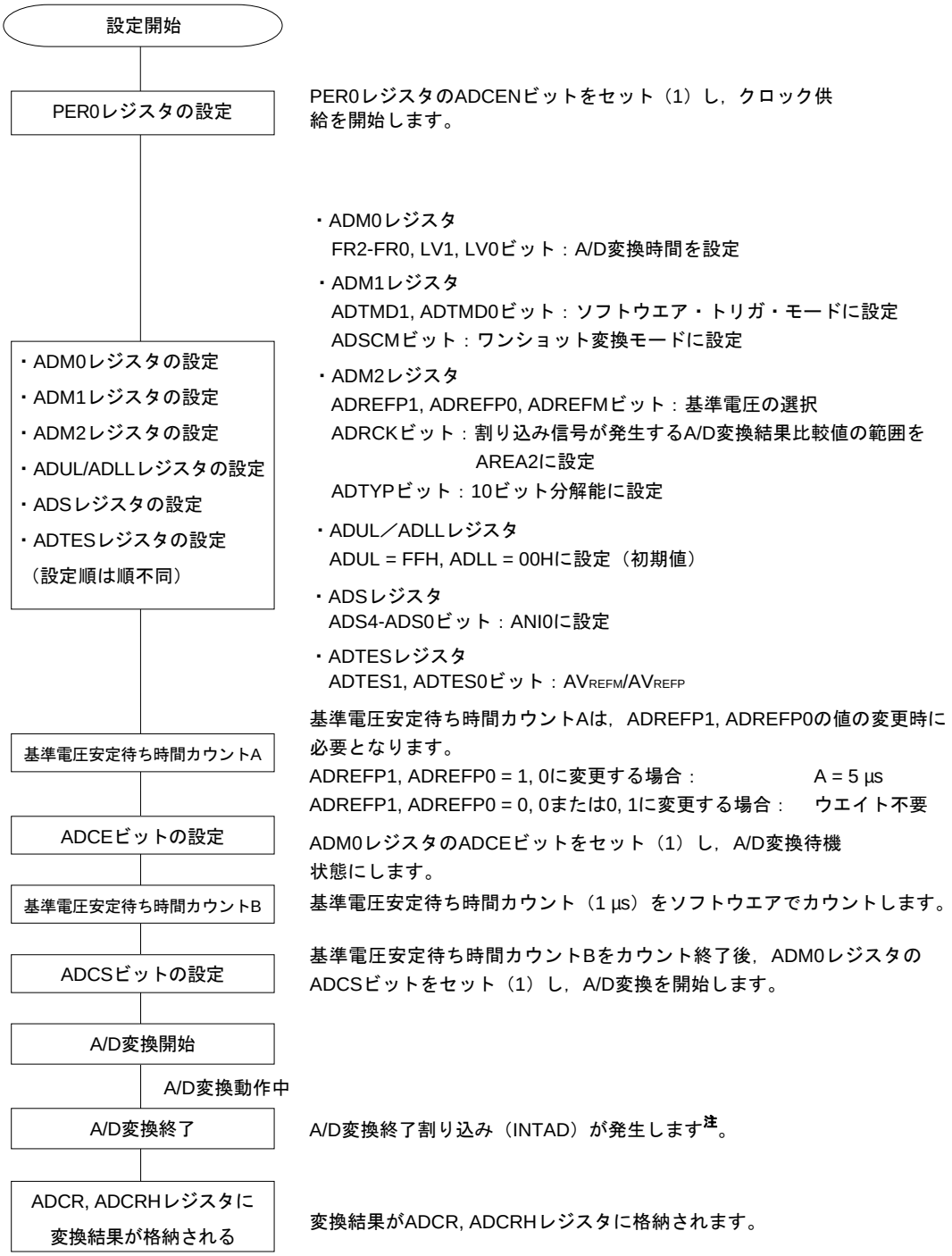



**注**　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

**注意　HS（高速メイン）モードでのみ選択可能です。**

## 12. 7. 5　テスト・モード設定

図12－27　テスト・モード設定




**注**　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

**注意　A/Dコンバータのテスト方法については，25. 3. 8　A/Dテスト機能を参照してください。**

## 12. 8 SNOOZEモード機能

STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが，このモードを使うことで，ハードウエア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

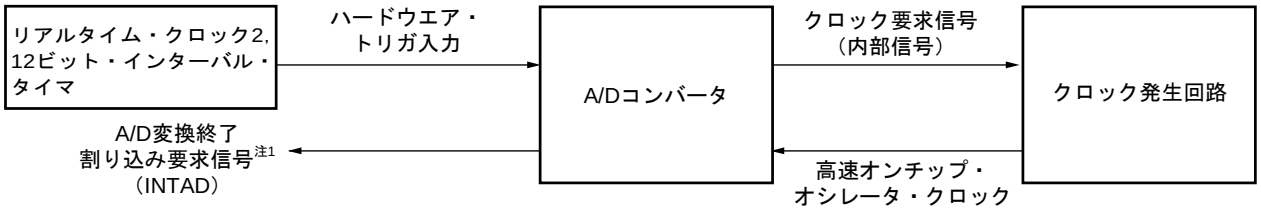
SNOOZEモードでは，ADUL, ADLLで変換結果の範囲を指定すれば，一定時間ごとにA/D変換結果の判断ができます。これにより，電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは，次の変換モードのみ使用可能です。

・ハードウエア・トリガ・ウエイト・モード（ワンショット変換モード）

**注意 SNOOZEモードは，$f_{CLK}$に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。**

図12－28 SNOOZEモード機能時のブロック図




SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います（12. 7. 3 ハードウエア・トリガ・ウエイト・モード設定を参照注2）。STOPモードへ移行する直前に，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，A/D電源安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります注1。

**注1.** A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。

**2.** ADM1レジスタは必ずE2HまたはE3Hに設定してください。

**備考** ハードウエア・トリガは，INTRTCまたはINTITです。

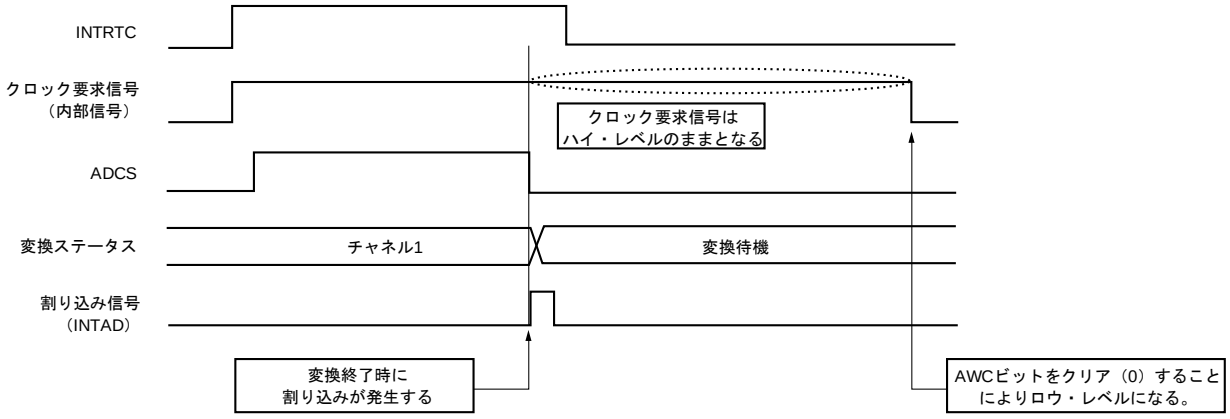
ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

（1）A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/Dコンバータは SNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません。

図12－29 A/D変換終了後に割り込みが発生する場合の動作例




（2）A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図12－30 A/D変換終了後に割り込みが発生しない場合の動作例

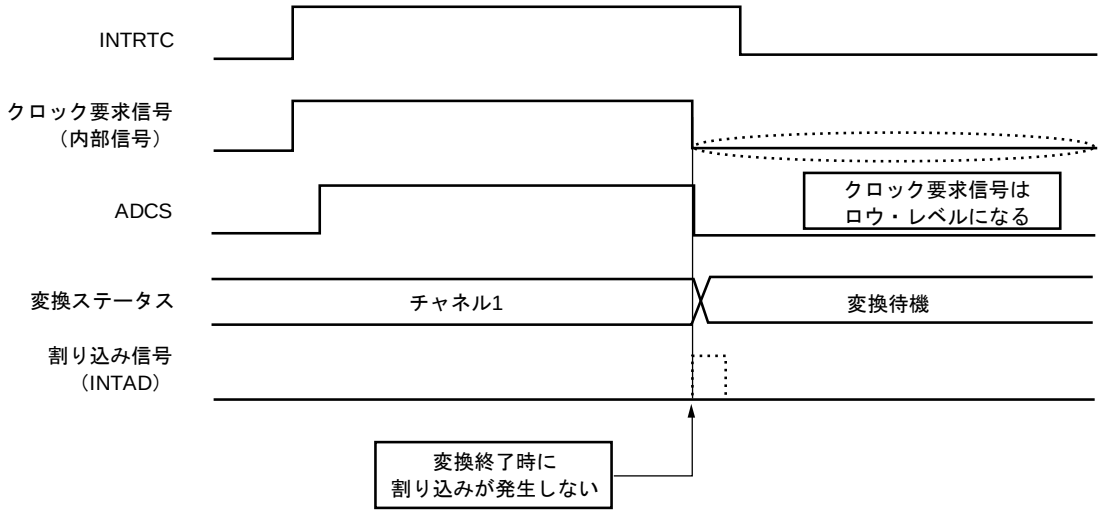
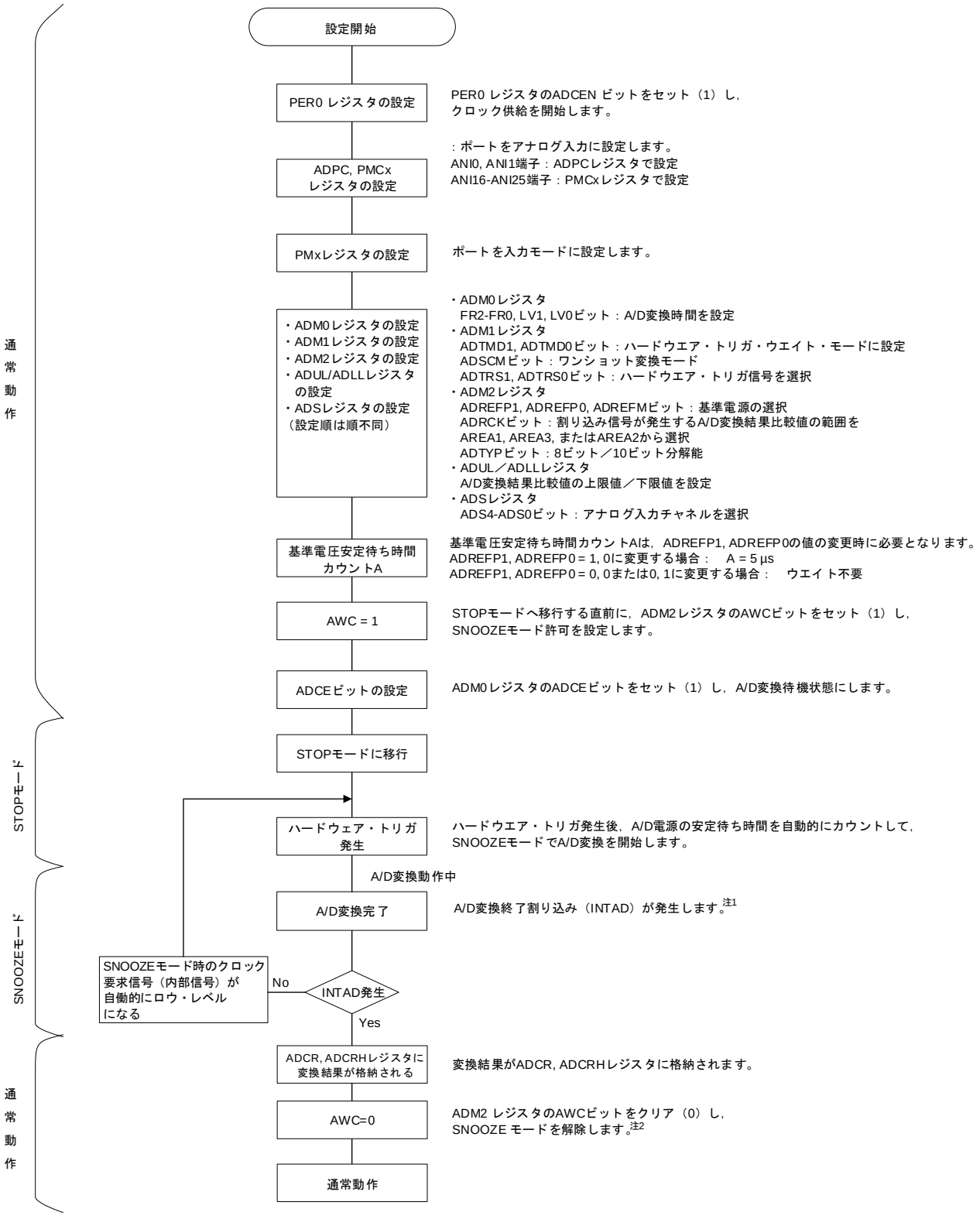


図12－31 SNOOZEモード設定のフローチャート




**注 1.** ADRCKビット，ADUL/ADLLレジスタの設定により，A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，ADCR，ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換動作を行います。

**2.** AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

# 12. 9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ LSB = 1/2^{10} = 1/1024$$
$$= 0.098\ \%FSR$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図12－32 総合誤差

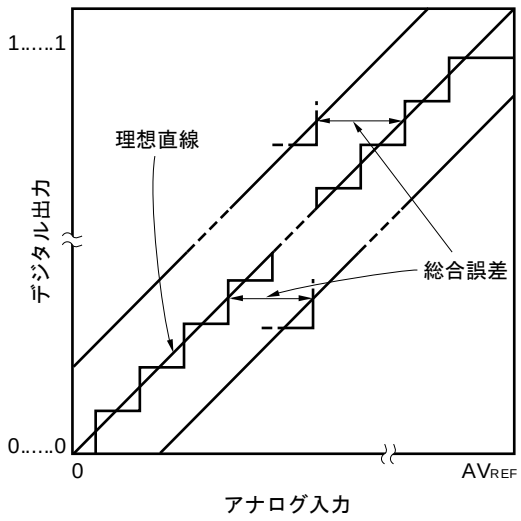
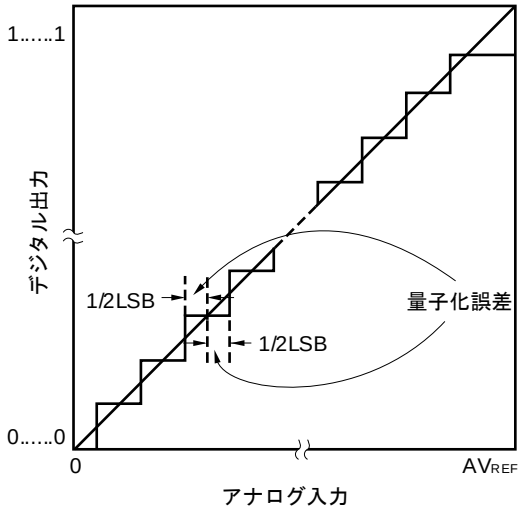



図12－33 量子化誤差



（4）ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

（5）フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケールー3/2 LSB）との差を表します。

（6）積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

（7）微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図12－34　ゼロスケール誤差

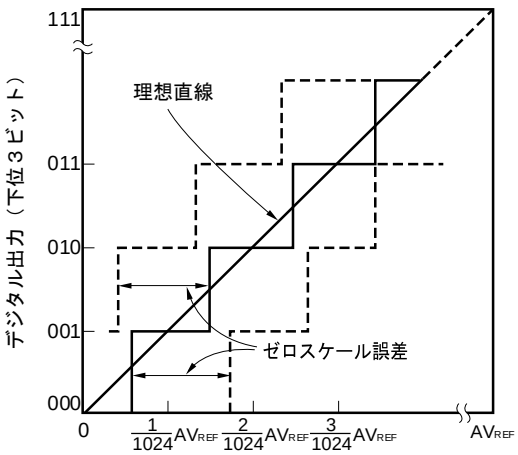



図12－35　フルスケール誤差

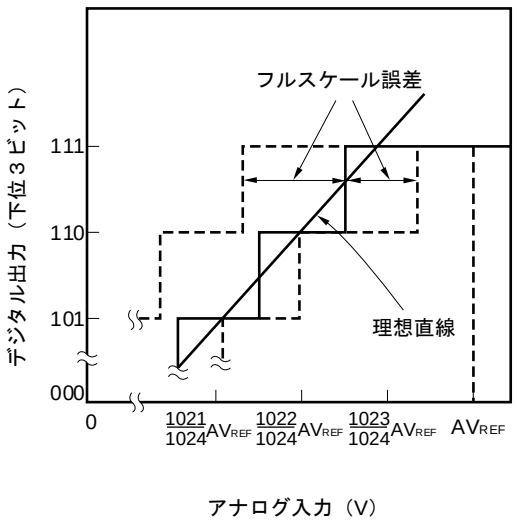


図12－36 積分直線性誤差

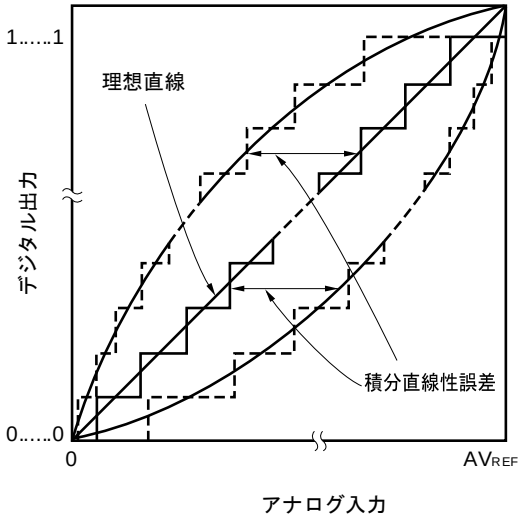
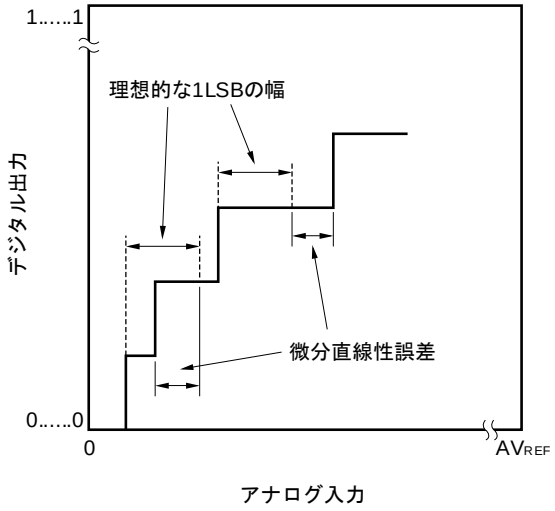



図12－37 微分直線性誤差



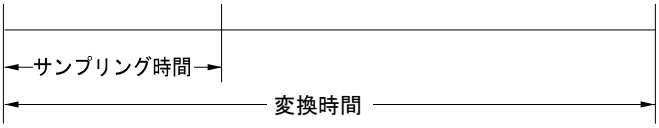

(8) 変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



# 12. 10　A/Dコンバータの注意事項

（1）STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから，動作開始してください。

（2）ANI0, ANI1, ANI16-ANI25端子入力範囲について

ANI0, ANI1, ANI16-ANI25端子入力電圧は規格の範囲内でご使用ください。特に$V_{DD}$, $AV_{REFP}$を超える電圧，$V_{SS}$, $AV_{REFM}$未満（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの＋側の基準電圧に選択した場合は，ADSレジスタで選択されている端子には内部基準電圧（1.45 V）を超える電圧を入れないでください。ただし，ADSレジスタで選択されていない端子が内部基準電圧（1.45 V）を超える電圧になっていても問題ありません。

注意　内部基準電圧（1.45 V）は，HS（高速メイン）モードでのみ選択可能です。

（3）競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと，命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR，ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト，アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

（4）ノイズ対策について

10ビット分解能を保つためには，$AV_{REFP}$, $V_{DD}$, ANI0, ANI1, ANI16-ANI25端子へのノイズに注意する必要があります。

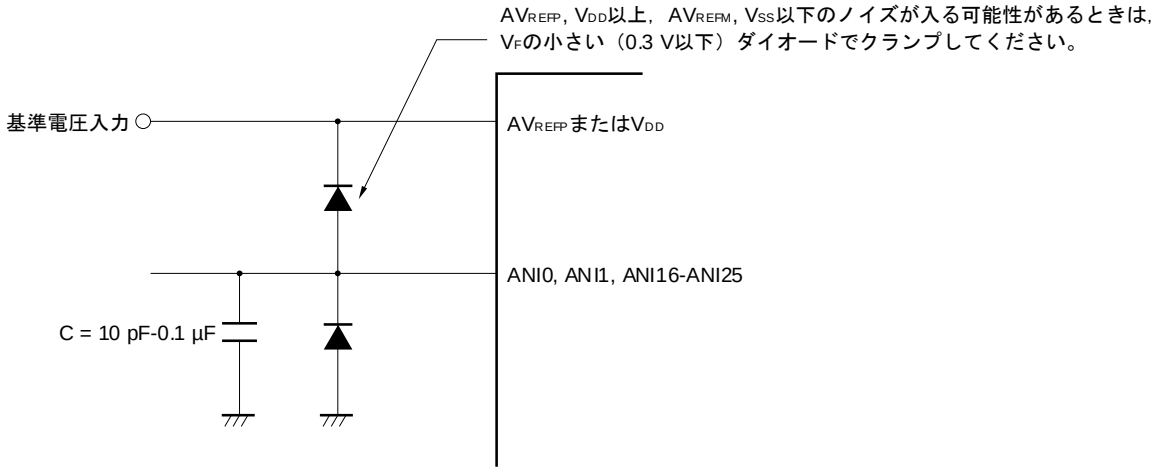
① 電源には等価抵抗が小さく，周波数応答のよいコンデンサを（0.01 μF程度）を最短距離かつ，比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図12－38のようにコンデンサを外付けすることを推奨します。

③ 変換中においては，他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

図12－38 アナログ入力端子の処理




（5）アナログ入力（ANIn）端子

① アナログ入力（ANI0, ANI1）端子は入力ポート（P20, P21）端子と兼用になっています。
ANI0, ANI1端子のいずれかを選択してA/D変換をする場合，変換中にP20, P21に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

（6）アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときはサンプリング時間を長く設定するかANI0,ANI1,ANI16-ANI25端子に 0.1 μF程度のコンデンサを付けることを推奨します（図12－38参照）。また，変換動作中にADCS=0に設定した場合および再変換を開始した場合は，サンプリング・コンデンサに充電された電圧は不定となります。そのため，ADCS=0を設定時は次の変換が，再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには，アナログ信号の変化の大きさによらず，アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

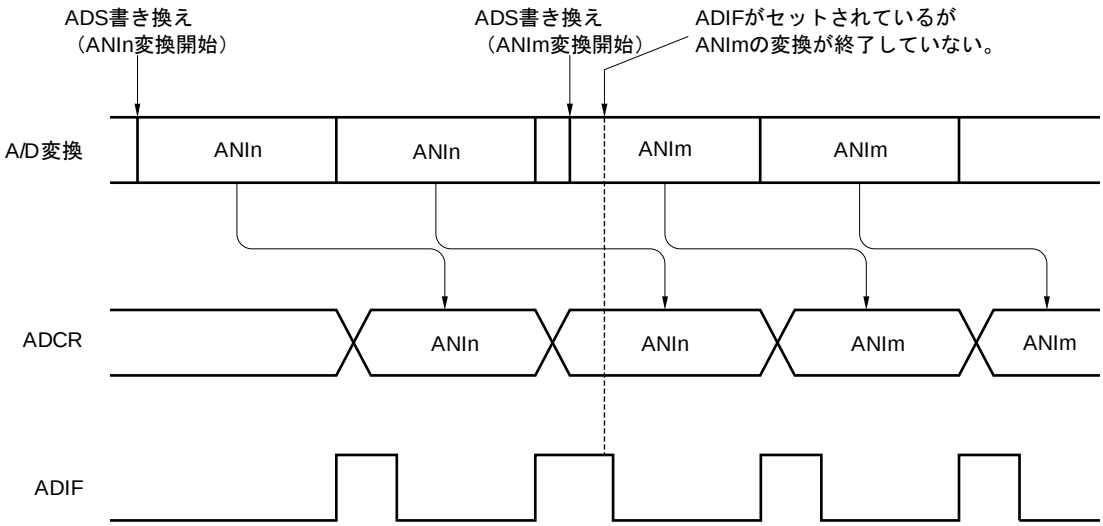
（7）割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリア（0）してください。

図12－39　A/D変換終了割り込み要求発生タイミング




（8）A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから，1 μs以内にADCSビット = 1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

（9）A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC），ポート・モード・コントロール・レジスタ（PMC）に対して書き込み動作を行ったとき，ADCR，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADS，ADPC，PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（10）内部等価回路について

アナログ入力部の等価回路を次に示します。

図12－40　ANIn端子内部等価回路

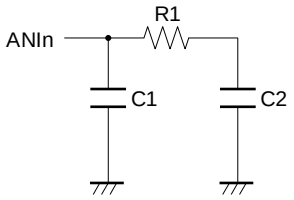



表12－4　等価回路の各抵抗と容量値（参考値）

| $AV_{REFP}$, $V_{DD}$ | ANIn端子 | R1 [kΩ] | C1 [pF] | C2 [pF] |
|---|---|---|---|---|
| 3.6 V≦$V_{DD}$≦5.5 V | ANI0, ANI1 | 14 | 8 | 2.5 |
| | ANI16-ANI25 | 18 | 8 | 7.0 |
| 2.7 V≦$V_{DD}$≦3.6 V | ANI0, ANI1 | 39 | 8 | 2.5 |
| | ANI16-ANI25 | 53 | 8 | 7.0 |
| 1.8 V≦$V_{DD}$≦2.7 V | ANI0, ANI1 | 231 | 8 | 2.5 |
| | ANI16-ANI25 | 321 | 8 | 7.0 |
| 1.6 V≦$V_{DD}$＜2.7 V | ANI0, ANI1 | 632 | 8 | 2.5 |
| | ANI16-ANI25 | 902 | 8 | 7.0 |

**備考**　表12－4の各抵抗と容量値は保証値ではありません。

（11）A/Dコンバータの動作開始について

A/Dコンバータの動作は，$AV_{REFP}$, $V_{DD}$の電圧が安定してから開始してください。

# 第13章　コンパレータ

コンパレータはリファレンス入力電圧と，アナログ入力電圧を比較します。コンパレータ0とコンパレータ1の独立した2つのコンパレータで構成されています。

## 13. 1　コンパレータの機能

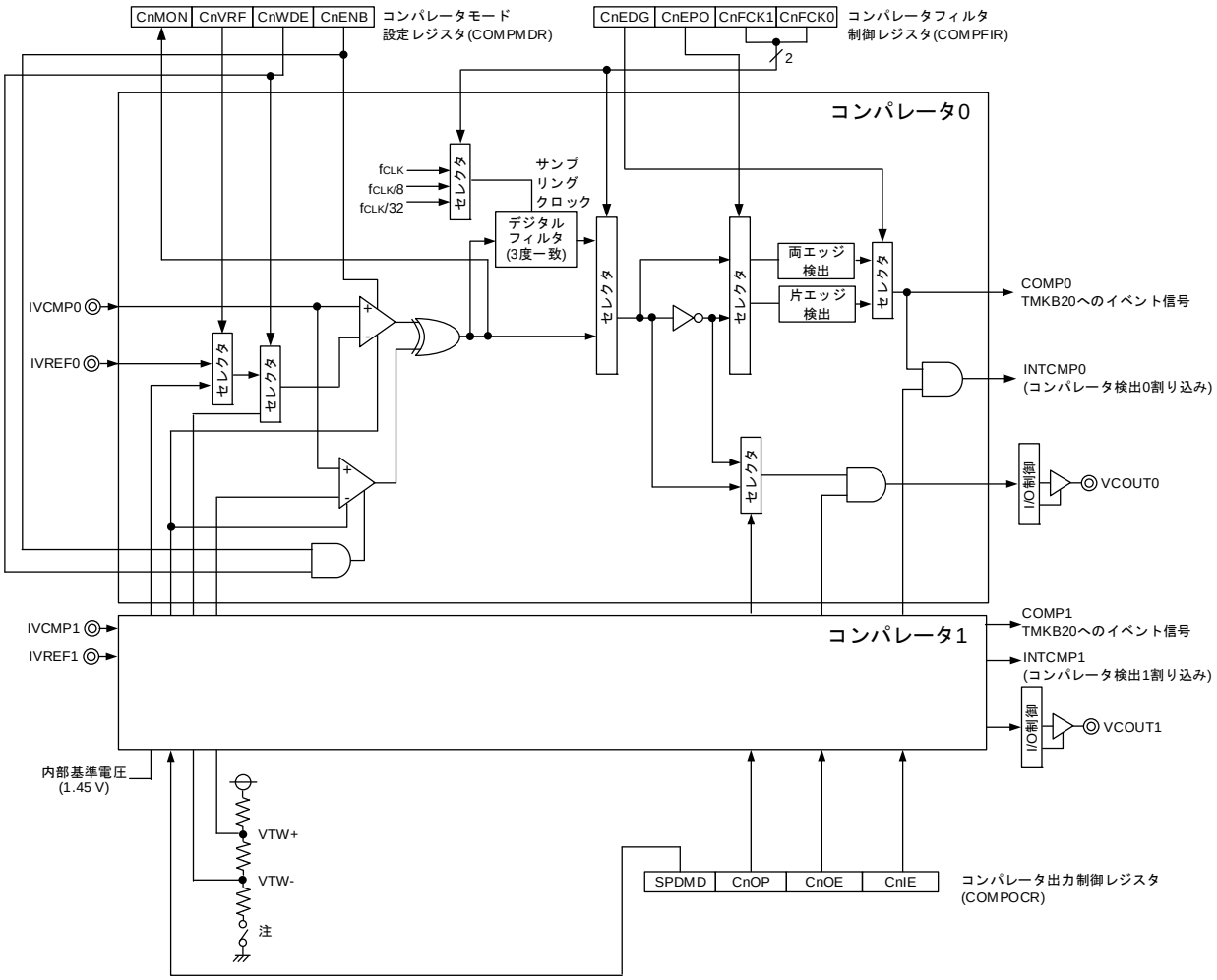
コンパレータには，次のような機能があります。

・コンパレータ高速モード／コンパレータ低速モード／コンパレータウィンドウモードが選択できます。
・基準電圧には外部基準電圧入力と内部基準電圧が選択できます。
・ノイズ除去デジタルフィルタの除去幅が選択できます。
・コンパレータ出力の有効エッジを検出し，割り込み信号を発生できます。
・コンパレータ出力の有効エッジを検出し，TMKB20へイベント信号を出力できます。

# 13. 2　コンパレータの構成

図13－1にコンパレータのブロック図を示します。

図13－1　コンパレータのブロック図




**注**　C0WDEビットとC1WDEビットのいずれか一方または両方を1にすると，このスイッチはONになり，比較電圧発生用分割抵抗が有効になります。

**備考**　n = 0, 1

# 13. 3　コンパレータを制御するレジスタ

表13－1にコンパレータを制御するレジスタを示します。

表13－1　コンパレータを制御するレジスタ

| レジスタ名 | シンボル |
|---|---|
| 周辺イネーブル・レジスタ1 | PER1 |
| コンパレータモード設定レジスタ | COMPMDR |
| コンパレータフィルタ制御レジスタ | COMPFIR |
| コンパレータ出力制御レジスタ | COMPOCR |
| ポート・モード・コントロール・レジスタ4 | PMC4 |
| LCDポート・ファンクション・レジスタ3 | PFSEG3 |
| ポート・モード・レジスタ0, 4 | PM0, PM4 |
| ポート・レジスタ0, 4 | P0, P4 |

## 13. 3. 1　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは，必ずビット5（CMPEN）を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F007AH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER1 | TMKAEN | 0 | CMPEN | TKB2EN | 0 | 0 | 0 | 0 |

| CMPEN | コンパレータの入力クロックの制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・コンパレータで使用するSFRへのライト不可<br>・コンパレータはリセット状態 |
| 1 | 入力クロック供給<br>・コンパレータで使用するSFRへのリード／ライト可 |

**注意1. コンパレータの設定をする際には，必ず最初にCMPEN = 1の状態で，下記レジスタの設定を行ってください。**

**CMPEN = 0の場合は，コンパレータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ0, 4（PM0, PM4），ポート・レジスタ0, 4（P0, P4），ポート・モード・コントロール・レジスタ（PMC4），LCDポート・ファンクション・レジスタ3（PFSEG3）は除く）。**

**・コンパレータモード設定レジスタ（COMPMDR）**

**・コンパレータフィルタ制御レジスタ（COMPFIR）**

**・コンパレータ出力制御レジスタ（COMPOCR）**

**2. ビット6, 3-0には必ず“0”を設定してください。**

## 13. 3. 2　コンパレータモード設定レジスタ（COMPMDR）

図13－3　コンパレータモード設定レジスタ（COMPMDR）のフォーマット（1/2）

アドレス：F0340H　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| COMPMDR | C1MON | C1VRF | C1WDE | C1ENB | C0MON | C0VRF | C0WDE | C0ENB |

| C1MON | コンパレータ1モニタフラグ注3, 7 |
|---|---|
| 0 | 基本モード時：<br>IVCMP1＜コンパレータ1リファレンス電圧 または コンパレータ1停止<br>ウィンドウモード時：<br>IVCMP1＜低電圧側リファレンス または IVCMP1＞高電圧側リファレンス |
| 1 | 基本モード時：<br>IVCMP1＞コンパレータ1リファレンス電圧<br>ウィンドウモード時：<br>低電圧側リファレンス＜IVCMP1＜高電圧側リファレンス |

| C1VRF | コンパレータ1リファレンス電圧選択注1, 4, 5, 6 |
|---|---|
| 0 | コンパレータ1リファレンス電圧はIVREF1入力 |
| 1 | コンパレータ1リファレンス電圧は内部基準電圧（1.45 V） |

| C1WDE | コンパレータ1ウィンドウモード選択注2 |
|---|---|
| 0 | コンパレータ1基本モード |
| 1 | コンパレータ1ウィンドウモード |

| C1ENB | コンパレータ1動作許可 |
|---|---|
| 0 | コンパレータ1動作禁止 |
| 1 | コンパレータ1動作許可 |

**注1.** 基本モード選択時のみ有効です。ウィンドウモードでは，本ビットの設定に関わらずコンパレータ内のリファレンス電圧が選択されます。

**2.** 低速モード選択時（COMPOCRレジスタのSPDMDビットが0）はウィンドウモードにできません。

**3.** リセット解除直後は初期値“0”ですが，一度コンパレータを動作許可にした後にC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。

**4.** HS（高速メイン）モードの時に内部基準電圧（1.45 V）が選択可能です。また，HS（高速メイン）モードの時で内部基準電圧（1.45 V）を選択している場合は，A/Dコンバータで，温度センサ出力をA/D変換することはできません。

**5.** STOPモード時は，内部基準電圧を選択しないでください。

**6.** CPUクロックにサブシステム・クロック（$f_{XT}$）を選択し，高速システム・クロック（$f_{MX}$）と高速オンチップ・オシレータ・クロック（$f_{IH}$）がともに停止している場合は，内部基準電圧を選択しないでください。

**7.** このビットに書き込まれた値は無視されます。

図13－3　コンパレータモード設定レジスタ（COMPMDR）のフォーマット（2/2）

アドレス：F0340H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| COMPMDR | C1MON | C1VRF | C1WDE | C1ENB | C0MON | C0VRF | C0WDE | C0ENB |

| C0MON | コンパレータ0モニタフラグ注3, 7 |
|---|---|
| 0 | 基本モード時：<br>IVCMP0＜コンパレータ0リファレンス電圧 または コンパレータ0停止<br>ウィンドウモード時：<br>IVCMP0＜低電圧側リファレンス または IVCMP0＞高電圧側リファレンス |
| 1 | 基本モード時：<br>IVCMP0＞コンパレータ0リファレンス電圧<br>ウィンドウモード時：<br>低電圧側リファレンス＜IVCMP0＜高電圧側リファレンス |

| C0VRF | コンパレータ0リファレンス電圧選択注1, 4, 5, 6 |
|---|---|
| 0 | コンパレータ0リファレンス電圧はIVREF0入力 |
| 1 | コンパレータ0リファレンス電圧は内部基準電圧（1.45 V） |

| C0WDE | コンパレータ0ウィンドウモード選択注2 |
|---|---|
| 0 | コンパレータ0基本モード |
| 1 | コンパレータ0ウィンドウモード |

| C0ENB | コンパレータ0動作許可 |
|---|---|
| 0 | コンパレータ0動作禁止 |
| 1 | コンパレータ0動作許可 |

**注1.** 基本モード選択時のみ有効です。ウィンドウモードでは，本ビットの設定に関わらずコンパレータ内のリファレンス電圧が選択されます。

**2.** 低速モード選択時（COMPOCRレジスタのSPDMDビットが0）はウィンドウモードにできません。

**3.** リセット解除直後は初期値“0”ですが，一度コンパレータを動作許可にした後にC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。

**4.** HS（高速メイン）モードの時に内部基準電圧（1.45 V）が選択可能です。また，HS（高速メイン）モードの時で内部基準電圧（1.45 V）を選択している場合は，A/Dコンバータで，温度センサ出力をA/D変換することはできません。

**5.** STOPモード時は，内部基準電圧を選択しないでください。

**6.** CPUクロックにサブシステム・クロック（$f_{XT}$）を選択し，高速システム・クロック（$f_{MX}$）と高速オンチップ・オシレータ・クロック（$f_{IH}$）がともに停止している場合は，内部基準電圧を選択しないでください。

**7.** このビットに書き込まれた値は無視されます。

## 13. 3. 3　コンパレータフィルタ制御レジスタ（COMPFIR）

図13－4　コンパレータフィルタ制御レジスタ（COMPFIR）のフォーマット

アドレス：F0341H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| COMPFIR | C1EDG | C1EPO | C1FCK1 | C1FCK0 | C0EDG | C0EPO | C0FCK1 | C0FCK0 |

| C1EDG | コンパレータ1エッジ検出選択[注1] |
|---|---|
| 0 | コンパレータ1片エッジ検出での割り込み要求 |
| 1 | コンパレータ1両エッジ検出での割り込み要求 |

| C1EPO | コンパレータ1エッジ極性切り替え[注1] |
|---|---|
| 0 | コンパレータ1立ち上がりエッジで割り込み要求 |
| 1 | コンパレータ1立ち下がりエッジで割り込み要求 |

| C1FCK1 | C1FCK0 | コンパレータ1フィルタ選択[注1] |
|---|---|---|
| 0 | 0 | コンパレータ1フィルタなし |
| 0 | 1 | コンパレータ1フィルタあり，$f_{CLK}$でサンプリング |
| 1 | 0 | コンパレータ1フィルタあり，$f_{CLK}$/8でサンプリング |
| 1 | 1 | コンパレータ1フィルタあり，$f_{CLK}$/32でサンプリング |

| C0EDG | コンパレータ0エッジ検出選択[注2] |
|---|---|
| 0 | コンパレータ0片エッジ検出での割り込み要求 |
| 1 | コンパレータ0両エッジ検出での割り込み要求 |

| C0EPO | コンパレータ0エッジ極性切り替え[注2] |
|---|---|
| 0 | コンパレータ0立ち上がりエッジで割り込み要求 |
| 1 | コンパレータ0立ち下がりエッジで割り込み要求 |

| C0FCK1 | C0FCK0 | コンパレータ0フィルタ選択[注2] |
|---|---|---|
| 0 | 0 | コンパレータ0フィルタなし |
| 0 | 1 | コンパレータ0フィルタあり，$f_{CLK}$でサンプリング |
| 1 | 0 | コンパレータ0フィルタあり，$f_{CLK}$/8でサンプリング |
| 1 | 1 | コンパレータ0フィルタあり，$f_{CLK}$/32でサンプリング |

**注1.** C1FCK1-C1FCK0ビット，C1EPOビット，C1EDGビットを変更するとコンパレータ1割り込み要求およびTMKB20へのイベント信号を発生することがあります。これらのビットは，16ビット・タイマKB2カウンタリスタート選択レジスタ09（ELSELR09）の値を0，強制出力停止機能制御レジスタ0, 1（TKBPACTL00, 01）のビット5, 13を0にしてから変更してください。また，割り込み要求フラグ・レジスタ2L（IF2L）のビット7（CMPIF1）をクリア（0）してください。また，C1FCK1-C1FCK0ビットを00B（コンパレータ1フィルタなし）から00B以外（コンパレータ1フィルタあり）に変更した場合は，フィルタ出力が更新されるまでのサンプリング4回を経過した後に，コンパレータ1割り込み要求やTMKB20へのイベント信号を使用してください。

**注2.** C0FCK1-C0FCK0ビット，C0EPOビット，C0EDGビットを変更するとコンパレータ0割り込み要求およびTMKB20へのイベント信号を発生することがあります。これらのビットは，16ビット・タイマKB2カウンタリスタート選択レジスタ08（ELSELR08）の値を0，強制出力停止機能制御レジスタ0, 1（TKBPACTL00, 01）のビット4, 12を0にしてから変更してください。また，割り込み要求フラグ・レジスタ2L（IF2L）のビット6（CMPIF0）をクリア（0）してください。また，C0FCK1-C0FCK0ビットを00B（コンパレータ0フィルタなし）から00B以外（コンパレータ0フィルタあり）に変更した場合は，フィルタ出力が更新されるまでのサンプリング4回を経過した後に，コンパレータ0割り込み要求やTMKB20へのイベント信号を使用してください。

## 13. 3. 4　コンパレータ出力制御レジスタ（COMPOCR）

図13－5　コンパレータ出力制御レジスタ（COMPOCR）のフォーマット

アドレス：F0342H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| COMPOCR | SPDMD | C1OP | C1OE | C1IE | 0 | C0OP | C0OE | C0IE |

| SPDMD | コンパレータ速度選択[注1] |
|---|---|
| 0 | コンパレータ低速モード |
| 1 | コンパレータ高速モード |

| C1OP | VCOUT1出力極性選択 |
|---|---|
| 0 | コンパレータ1出力をVCOUT1へ出力 |
| 1 | コンパレータ1出力の反転をVCOUT1へ出力 |

| C1OE | VCOUT1端子出力許可 |
|---|---|
| 0 | コンパレータ1のVCOUT1端子出力禁止 |
| 1 | コンパレータ1のVCOUT1端子出力許可 |

| C1IE | コンパレータ1割り込み要求許可[注2] |
|---|---|
| 0 | コンパレータ1割り込み要求禁止 |
| 1 | コンパレータ1割り込み要求許可 |

| C0OP | VCOUT0出力極性選択 |
|---|---|
| 0 | コンパレータ0出力をVCOUT0へ出力 |
| 1 | コンパレータ0出力の反転をVCOUT0へ出力 |

| C0OE | VCOUT0端子出力許可 |
|---|---|
| 0 | コンパレータ0のVCOUT0端子出力禁止 |
| 1 | コンパレータ0のVCOUT0端子出力許可 |

| C0IE | コンパレータ0割り込み要求許可[注3] |
|---|---|
| 0 | コンパレータ0割り込み要求禁止 |
| 1 | コンパレータ0割り込み要求許可 |

**注1.** SPDMDビットを書き換える場合は，必ずCOMPMDRレジスタのCiENBビット（i = 0, 1）を0にしてから書き換えてください。

**2.** C1IEを0（割り込み要求禁止）から1（割り込み要求許可）にした場合，割り込み要求フラグ・レジスタ2L（IF2L）のビット7（CMPIF1）が1（割り込み要求あり）になることがありますので，割り込み要求フラグ・レジスタ2L（IF2L）のビット7（CMPIF1）をクリア（0）してから割り込みを使用してください。

**注3.** C0IEを0（割り込み要求禁止）から1（割り込み要求許可）にした場合，割り込み要求フラグ・レジスタ2L（IF2L）のビット6（CMPIF0）が1（割り込み要求あり）になることがありますので，割り込み要求フラグ・レジスタ2L（IF2L）のビット6（CMPIF0）をクリア（0）してから割り込みを使用してください。

### 13. 3. 5　アナログ入力端子のポート機能を制御するレジスタ

IVREF0端子をコンパレータのアナログ入力として使用するときは，LCDポート・ファンクション・レジスタ3（PFSEG3）のビット2，ポート・モード・レジスタ4（PM4）とポート・モード・コントロール・レジスタ4（PMC4）のビット5に1を設定してください。

IVCMP0, IVCMP1端子，IVREF1端子をコンパレータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）とポート・モード・コントロール・レジスタ（PMCxx）のビットに1 を設定してください。

VCOUT0，VCOUT1機能を使用する場合は，対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。

詳細は，**4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 2　ポート・レジスタ（Pxx），4. 3. 9　LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）**を参照してください。

## 13. 4　動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法は異なりますが動作は同じです。表13－2にコンパレータ関連レジスタの設定手順を示します。

表13－2　コンパレータ関連レジスタの設定手順

| 順番 | レジスタ | ビット | 設定値 | | |
|---|---|---|---|---|---|
| 1 | PER1 | CMPEN | 1（入力クロック供給） | | |
| 2 | PFSEG3 | PFDEG | IVCMPi, IVREFi端子の機能選択<br>PFDEGビットに1（デジタル入力無効）（IVREF0を使用する場合のみ）<br>PMC4nビットに1（アナログ入力）<br>PM4nビットに1（入力モード） | | |
| | PMC4 | PMC4n | | | |
| | PM4 | PM4n | | | |
| 3 | COMPOCR | SPDMD | コンパレータ応答速度の選択（0：低速モード/1：高速モード）注1 | | |
| 4 | COMPMDR | CiWDE | 0（基本モード） | | 1（ウィンドウモード）注2 |
| | | CiVRF | 0<br>（リファレンス=IVREFi入力） | 1<br>（リファレンス=内部基準電圧（1.45 V））注4 | ウィンドウコンパレータ動作（リファレンス=内部VREF） |
| | | CiENB | 1（動作許可） | | |
| 5 | コンパレータ安定時間$t_{CMP}$ 待ち | | | | |
| 6 | COMPFIR | CiFCK1-CiFCK0 | デジタルフィルタ使用する／しない，サンプリングクロック選択 | | |
| | | CiEPO, CiEDG | 割り込み要求のためのエッジ検出条件選択（立ち上がり／立ち下がり／両エッジ） | | |
| 7 | COMPOCR | CiOP, CiOE | VCOUTi出力の設定（極性選択，出力許可／禁止を設定）。「**13. 4. 3　コンパレータi出力（i = 0, 1）**」参照。 | | |
| | | CiIE | 割り込み要求出力の許可／禁止を設定。「**13. 4. 3　コンパレータi出力（i = 0, 1）**」参照。 | | |
| 8 | PR2L | CMPPR0i, CMPPR1i | 割り込みを使用する場合：割り込み優先レベル選択 | | |
| 9 | MK2L | CMPMKi | 割り込みを使用する場合：割り込みマスク選択 | | |
| 10 | IF2L | CMPIFi | 割り込みを使用する場合：0（割り込み要求なし：初期化）注3 | | |

**注1.** コンパレータ0とコンパレータ1を独立に設定することはできません。

**2.** 高速モード（SPDMD = 1）の場合のみ設定可能

**3.** コンパレータの設定後，安定動作するまでに不要な割り込みが発生することがありますので，割り込みフラグを初期化してください。

**4.** HS（高速メイン）モードの時に設定可能です。

**備考** i = 0, 1，n = 2-5

図13－6と図13－7にコンパレータi（i = 0, 1）の動作例を示します。基本モード時は，リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが1になり，リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが0になります。

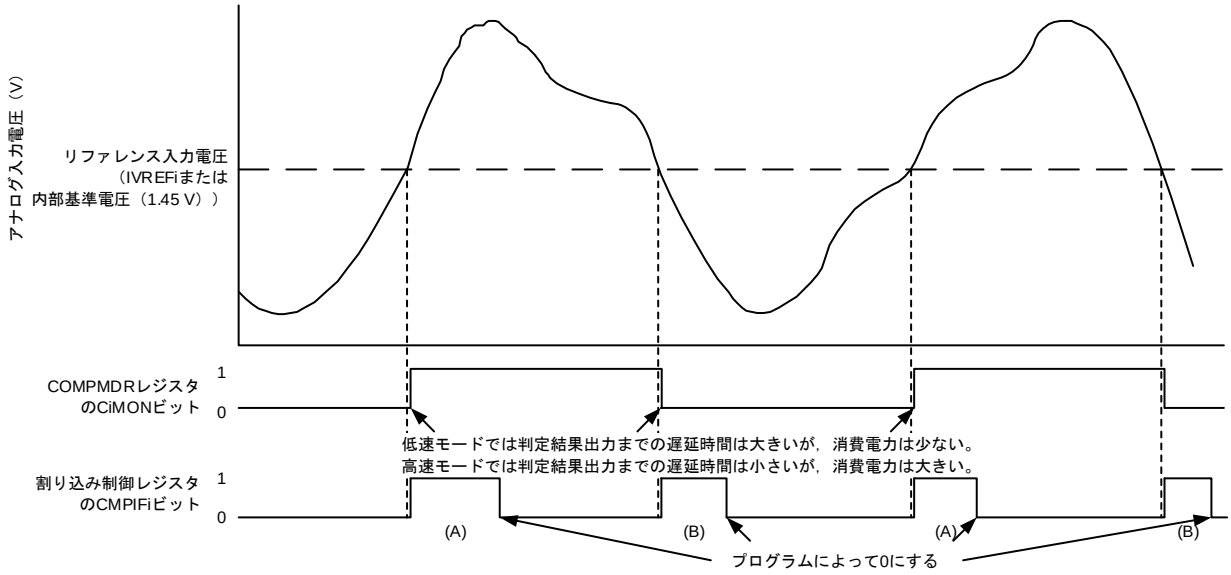
ウィンドウモード時は，アナログ入力の電圧が，次の条件を満たす場合に，COMPMDRレジスタのCiMONビットが1になり，アナログ入力の電圧がこの条件を満たさない場合はCiMONビットが0になります。

低電圧側リファレンス電圧 ＜ アナログ入力の電圧 ＜ 高電圧側リファレンス電圧

コンパレータi割り込みを使用する場合は，COMPOCRレジスタのCiIEを1（割り込み要求許可）にしてください。このとき比較結果が変化すれば，コンパレータi割り込み要求が発生します。割り込み要求の詳細については「**13. 4. 2　コンパレータi割り込み（i = 0, 1）**」を参照してください。

図13−6　コンパレータi（i ＝ 0, 1）の動作例（基本モード）

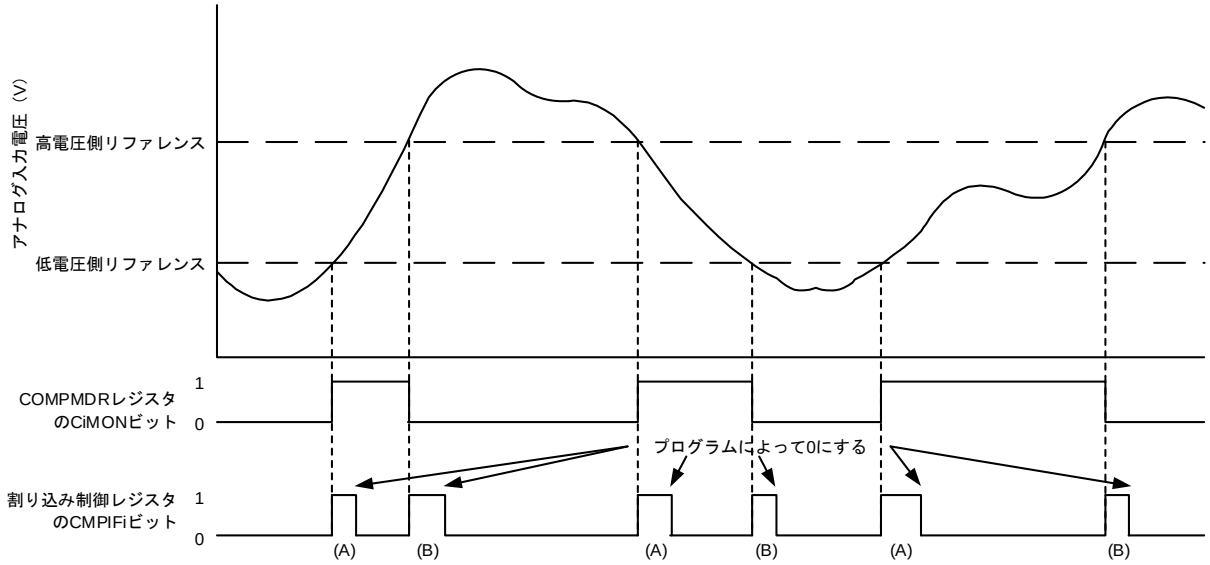
• 基本モード動作の例




**注意　上図は，COMPFIRレジスタのCiFCK1-CiFCK0 = 00B（フィルタなし），CiEDG = 1（両エッジ）の場合です（CiEDG = 0,CiEPO = 0（立ち上がりエッジ）のときのCMPIFiは(A)の変化のみ，CiEDG = 0, CiEPO = 1（立ち下がりエッジ）のときのCMPIFiは(B)の変化のみとなります）。**

図13−7　コンパレータi（i ＝ 0, 1）の動作例（ウィンドウモード）

• ウィンドウモード動作の例

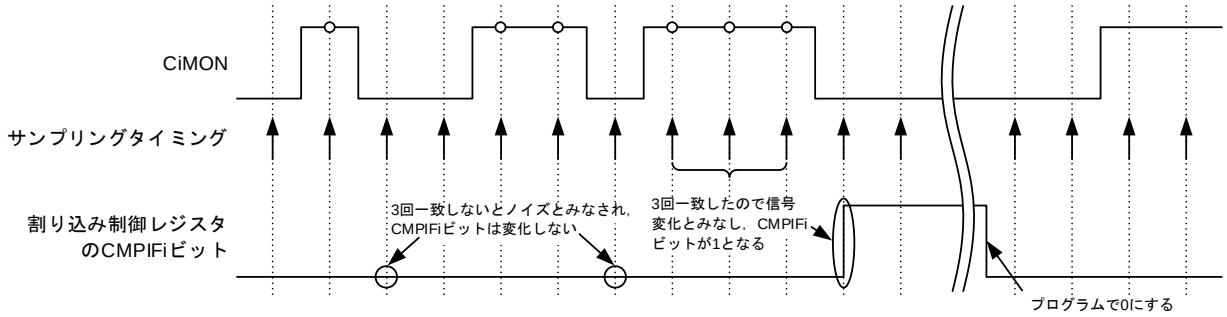



**注意　上図は，COMPFIRレジスタのCiFCK1-CiFCK0 = 00B（フィルタなし），CiEDG = 1（両エッジ）の場合です（CiEDG = 0, CiEPO = 0（立ち上がりエッジ）のときのCMPIFiは(A)の変化のみ，CiEDG = 0, CiEPO = 1（立ち下がりエッジ）のときのCMPIFiは(B)の変化のみとなります）。**

### 13. 4. 1　コンパレータiデジタルフィルタ（i = 0, 1）

コンパレータiは，デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1-CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータiの出力信号をサンプリングし，レベルが3度一致した次のサンプリングクロックで，デジタルフィルタ出力がその値になります。図13－8にコンパレータi（i ＝ 0, 1）デジタルフィルタと割り込み動作例を示します。

図13－8　コンパレータi（i ＝ 0, 1）デジタルフィルタと割り込み動作例




**注意　上図は，COMPFIRレジスタのCiFCK1-CiFCK0ビットが，01B, 10B, 11Bのいずれか（デジタルフィルタあり）の場合の動作例です。**

### 13. 4. 2　コンパレータi割り込み（i = 0, 1）

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータi割り込みは，それぞれ1つずつの優先順位指定フラグ，割り込みマスクフラグ，割り込み要求フラグ，割り込みベクタを持ちます。

コンパレータi割り込みを使用するときは，COMPOCRレジスタのCiIEビットを1（割り込み要求出力許可）にしてください。割り込み要求を発生する条件は，COMPFIRレジスタにより設定します。また，コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは，3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生の対応については，「**13. 3. 3　コンパレータフィルタ制御レジスタ（COMPFIR）**」および「**13. 3. 4　コンパレータ出力制御レジスタ（COMPOCR）**」を参照してください。

### 13. 4. 3　コンパレータi出力（i = 0, 1）

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性（そのまま出力／反転出力）や出力許可／禁止を設定できます。レジスタ設定とコンパレータ出力の対応は，「**13. 3. 4　コンパレータ出力制御レジスタ（COMPOCR）**」を参照してください。

VCOUTi出力端子へコンパレータ比較結果を出力する場合は，以下の手順に従ってポート設定してください（リセット後，ポートは入力設定になっています）。

①コンパレータのモード設定をする（**表13－2　コンパレータ関連レジスタの設定手順**の順番2～5）。
②コンパレータのVCOUTi出力を設定する（COMPOCRレジスタを設定し，極性選択，出力許可にする）。
③VCOUTi出力端子に対応するポート・モード・コントロール・レジスタのビットを0にする。
④VCOUTi出力端子に対応するポート・レジスタのビットを0にする。
⑤VCOUTi出力端子に対応するポート方向レジスタを出力に設定する（端子から出力開始）。

### 13. 4. 4　コンパレータクロック停止／供給

周辺イネーブル・レジスタ1（PER1）の設定により，コンパレータのクロックを停止する場合は，以下の手順に従ってください。

①COMPMDRレジスタのCiENBビットを0にする（コンパレータを停止する）。
②IF2Lレジスタの CMPIFiビットを0にする（コンパレータ停止前の不要な割り込みをクリア）。
③PER1レジスタのCMPENビットを0にする。

PER1の設定によりクロック停止するとコンパレータ内部のレジスタはすべて初期化されますので，コンパレータを再度使用する場合は，表13－2の手順に従ってレジスタ設定してください。

**注意　コンパレータモード設定レジスタ（COMPMDR）のコンパレータnリファレンス電圧選択ビット（CnVRF）を“1”（コンパレータnリファレンス電圧は内部基準電圧（1.45 V））にしている場合は，A/Dコンパータで，温度センサ出力をA/D変換することはできません。（n = 0-1）**

# 第14章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャネルを持ちます。各チャネルは簡易SPI（CSI注），UART，簡易I²Cの通信機能を実現できます。

RL78/L13で対応している各チャネルの機能割り当ては，次のようになっています。

★ **注**　一般的にはSPIと呼ばれる機能ですが，本製品ではCSIとも呼称しているため，本マニュアルでは併記します。

○64ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易I²Cとして使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | − | | − |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | − | | − |
| 1 | 0 | − | UART2 | − |
| | 1 | − | | − |

○80ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易I²Cとして使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | − | | − |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | − | | − |
| 1 | 0 | − | UART2 | − |
| | 1 | − | | − |
| | 2 | − | UART3 | − |
| | 3 | − | | − |

ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00やIIC00を使用することはできませんが，チャネル2, 3のCSI10やUART1やIIC10は使用することができます。

**注意　この章では，以降の主な説明を80ピン製品のユニット，チャネル構成で説明しています。**

# 14. 1　シリアル・アレイ・ユニットの機能

RL78/L13で対応している各シリアル・インタフェースの特徴を示します。

## 14. 1. 1　簡易SPI（CSI00, CSI10）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「**14. 5　簡易SPI（CSI00, CSI10）通信の動作**」を参照してください。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート[注]　マスタ通信時：Max. $f_{CLK}$/2（CSI00のみ）

Max. $f_{CLK}$/4

スレーブ通信時：Max. $f_{MCK}$/6

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，CSI00のみ設定可能です。

**注**　SCKサイクル・タイム（$t_{KCY}$）の特性を満たす範囲内で使用してください。詳細は，第32章または第33章　電気的特性を参照してください。

### 14. 1. 2　UART（UART0-UART3）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

具体的な設定例は，「**14. 6　UART（UART0-UART3）通信の動作**」を参照してください。

［データ送受信］

- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，UART0, UART2受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，UART0, UART2のみ設定可能です。

UART0（ユニット0のチャネル0, 1）は，LIN-busに対応しています。

［LIN-bus機能］

- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニットを使用

**注**　9ビット・データ長は，UART0, UART2のみ対応しています。

### 14. 1. 3　簡易I²C（IIC00, IIC10）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

具体的な設定例は，「**14. 8　簡易I²C（IIC00, IIC10）通信の動作**」を参照して下さい。

［データ送受信］

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- ACKエラー，オーバラン・エラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- ウエイト検出機能

**注**　最終データの受信時は，SOEmnビット（シリアル出力許可レジスタm（SOEm））ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，**14. 8. 3（2）処理フロー**を参照してください。

**備考 1.**　フル機能のI²Cバスをご使用の場合は，**第15章　シリアル・インタフェースIICA**を参照してください。

**2.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）

## 14. 2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表14－1　シリアル・アレイ・ユニットの構成

| 項　　目 | 構　　成 |
|---|---|
| シフト・レジスタ | 8ビットまたは9ビット[注1] |
| バッファ・レジスタ | シリアル・データ・レジスタmn（SDRmn）の下位8ビットまたは9ビット[注1, 2] |
| シリアル・クロック入出力 | SCK00, SCK10端子（簡易SPI用），SCL00, SCL10端子（簡易$I^2C$用） |
| シリアル・データ入力 | SI00, SI10端子（簡易SPI用），RxD1-RxD3端子（UART用），RxD0端子（LIN-bus対応UART用） |
| シリアル・データ出力 | SO00, SO10端子（簡易SPI用），TxD1-TxD3端子（UART用），TxD0端子（LIN-bus対応UART用） |
| シリアル・データ入出力 | SDA00, SDA10端子（簡易$I^2C$用） |
| 制御レジスタ | ＜ユニット設定部のレジスタ＞<br>・周辺イネーブル・レジスタ0（PER0）<br>・シリアル・クロック選択レジスタm（SPSm）<br>・シリアル・チャネル許可レジスタm（SEm）<br>・シリアル・チャネル開始レジスタm（SSm）<br>・シリアル・チャネル停止レジスタm（STm）<br>・シリアル出力許可レジスタm（SOEm）<br>・シリアル出力レジスタm（SOm）<br>・シリアル出力レベル・レジスタm（SOLm）<br>・シリアル・スタンバイ・コントロール・レジスタm（SSCm）<br>・入力切り替え制御レジスタ（ISC）<br>・ノイズ・フィルタ許可レジスタ0（NFEN0） |
| | ＜各チャネル部のレジスタ＞<br>・シリアル・データ・レジスタmn（SDRmn）<br>・シリアル・モード・レジスタmn（SMRmn）<br>・シリアル通信動作設定レジスタmn（SCRmn）<br>・シリアル・ステータス・レジスタmn（SSRmn）<br>・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn） |
| | ・ポート入力モード・レジスタ0, 1, 3（PIM0, PIM1, PIM3）<br>・ポート出力モード・レジスタ0, 1, 3（POM0, POM1, POM3）<br>・ポート・モード・レジスタ0, 1, 3（PM0, PM1, PM3）<br>・ポート・レジスタ0, 1, 3（P0, P1, P3） |

（注，備考は次ページにあります。）

**注1.** シフト・レジスタ，バッファ・レジスタとして使用されるビット数は，ユニット，チャネルによって異なります。

・mn = 00, 01, 10, 11の場合：　下位9ビット

・上記以外の場合：　下位8ビット

**2.** シリアル・データ・レジスタmn（SDRmn）の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）

・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）

・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）

・IICr通信時・・・SIOr（IICrデータ・レジスタ）

**備考** m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10）

q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10）

図14－1にシリアル・アレイ・ユニット0のブロック図を示します。

図14－1　シリアル・アレイ・ユニット0のブロック図

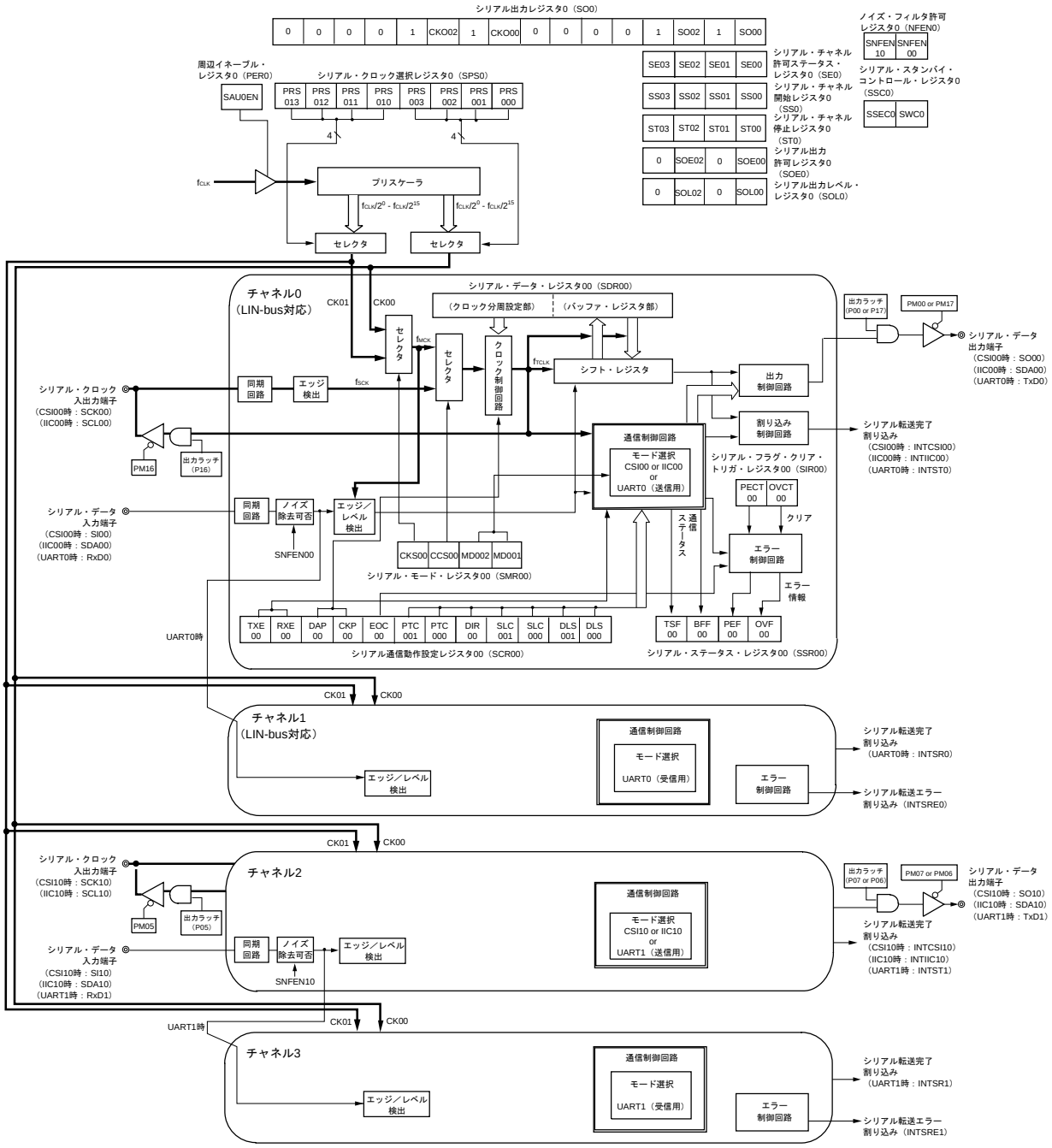
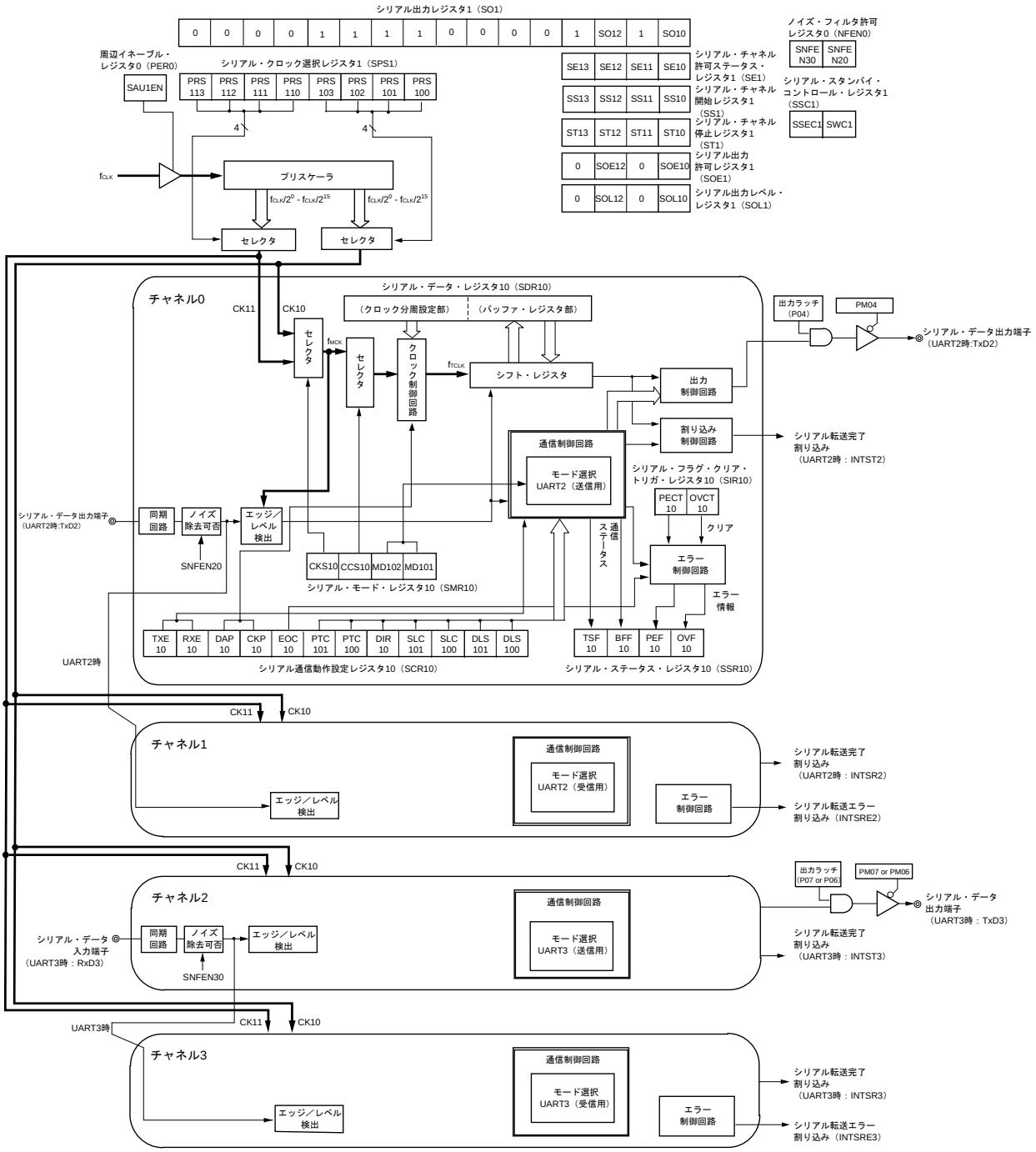


図14－2にシリアル・アレイ・ユニット1のブロック図を示します。

図14－2　シリアル・アレイ・ユニット1のブロック図（80ピン製品）



## 14. 2. 1　シフト・レジスタ

パラレル⇔シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は，9ビット（ビット0～8）を使用します[注1]。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。

| | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| シフト・レジスタ | | | | | | | | | |

## 14. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）[注1]，またはビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（$f_{MCK}$）の分周設定レジスタとして使われます。

受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって，次のようになります。

- 7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- 8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- 9ビット・データ長（SDRmnレジスタのビット0-8に格納）[注1]

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8/9ビットは，通信方式により，次のSFR名称で8ビット単位でリード／ライト可能[注2]です。

- CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
- UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
- UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）
- IICr通信時・・・SIOr（IICrデータ・レジスタ）

リセット信号の発生により，SDRmnレジスタは0000Hになります。

**注1.** 9ビット・データ長は，UART0, UART2のみ対応しています。

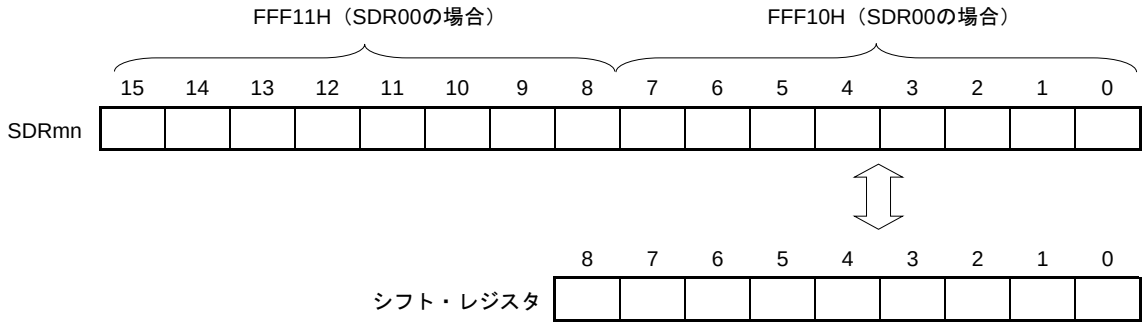
**2.** 動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

**備考1.** 受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。

**2.** m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10）
q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10）

図14－3　シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01, 10, 11）のフォーマット

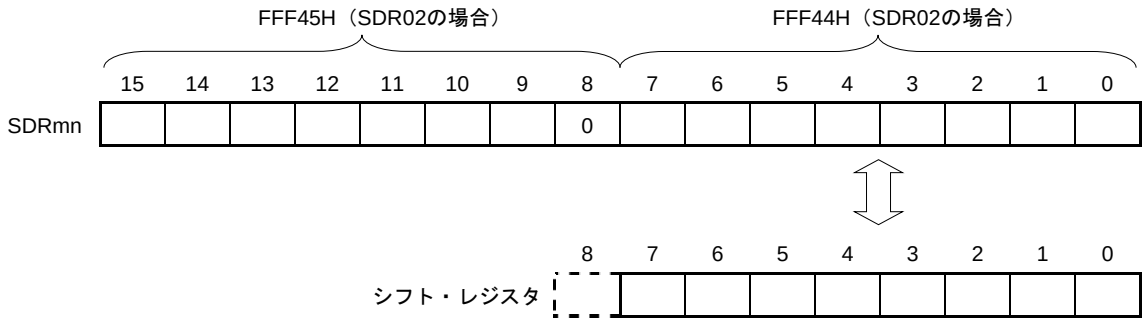
アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）,　リセット時：0000H　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）




**備考**　SDRmnレジスタの上位7ビットの機能については，**14. 3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

図14－4　シリアル・データ・レジスタmn（SDRmn）（mn = 02, 03, 12, 13）のフォーマット

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）,　リセット時：0000H　R/W
FFF14H, FFF15H（SDR12）, FFF16H, FFF17H（SDR13）




**注意　ビット8は，必ず0を設定してください。**

**備考**　SDRmnレジスタの上位7ビットの機能については，**14. 3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

## 14.3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- シリアル・クロック選択レジスタm（SPSm）
- シリアル・モード・レジスタmn（SMRmn）
- シリアル通信動作設定レジスタmn（SCRmn）
- シリアル・データ・レジスタmn（SDRmn）
- シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
- シリアル・ステータス・レジスタmn（SSRmn）
- シリアル・チャネル開始レジスタm（SSm）
- シリアル・チャネル停止レジスタm（STm）
- シリアル・チャネル許可ステータス・レジスタm（SEm）
- シリアル出力許可レジスタm（SOEm）
- シリアル出力レベル・レジスタm（SOLm）
- シリアル出力レジスタm（SOm）
- シリアル・スタンバイ・コントロール・レジスタm（SSCm）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート入力モード・レジスタ0, 1, 3（PIM0, PIM1, PIM3）
- ポート出力モード・レジスタ0, 1, 3（POM0, POM1, POM3）
- ポート・モード・レジスタ0, 1, 3（PM0, PM1, PM3）
- ポート・レジスタ0, 1, 3（P0, P1, P3）

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

### 14. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2（SAU0EN）に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは，必ずビット3（SAU1EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図14－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |

| SAUmEN | シリアル・アレイ・ユニットmの入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・シリアル・アレイ・ユニットmで使用するSFRへのライト不可<br>・シリアル・アレイ・ユニットmはリセット状態 |
| 1 | 入力クロック供給許可<br>・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可 |

**注意1.　シリアル・アレイ・ユニットmの設定をする際には，必ず最初にSAUmEN = 1の状態で，下記のレジスタ設定を行ってください。SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタは初期値となり，書き込みは無視されます（入力切り替え制御レジスタ（ISC），ノイズ･フィルタ許可レジスタ0（NFEN0），ポート入力モード･レジスタ0, 1, 3（PIM0, PIM1, PIM3），ポート出力モード・レジスタ0, 1, 3（POM0, POM1, POM3），ポート・モード・レジスタ0, 1, 3（PM0, PM1, PM3），ポート・レジスタ0, 1, 3（P0, P1, P3）は除く）。**

**・シリアル・クロック選択レジスタm（SPSm）**
**・シリアル・モード・レジスタmn（SMRmn）**
**・シリアル通信動作設定レジスタmn（SCRmn）**
**・シリアル・データ・レジスタmn（SDRmn）**
**・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）**
**・シリアル・ステータス・レジスタmn（SSRmn）**
**・シリアル・チャネル開始レジスタm（SSm）**
**・シリアル・チャネル停止レジスタm（STm）**
**・シリアル・チャネル許可ステータス・レジスタm（SEm）**
**・シリアル出力許可レジスタm（SOEm）**
**・シリアル出力レベル・レジスタm（SOLm）**
**・シリアル出力レジスタm（SOm）**
**・シリアル・スタンバイ・コントロール・レジスタm（SSCm）**

**2.　ビット1, 6には必ず“0”を設定してください。**

## 14. 3. 2　シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図14－6　シリアル・クロック選択レジスタm（SPSm）のフォーマット

アドレス：F0126H, F0127H（SPS0）, F0166H, F0167H（SPS1）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SPSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 |

| PRS mk3 | PRS mk2 | PRS mk1 | PRS mk0 | 動作クロック（CKmk）の選択[注] | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | | $f_{CLK}$ = 2 MHz | $f_{CLK}$ = 5 MHz | $f_{CLK}$ = 10 MHz | $f_{CLK}$ = 20 MHz | $f_{CLK}$ = 24 MHz |
| 0 | 0 | 0 | 0 | $f_{CLK}$ | 2 MHz | 5 MHz | 10 MHz | 20 MHz | 24 MHz |
| 0 | 0 | 0 | 1 | $f_{CLK}/2$ | 1 MHz | 2.5 MHz | 5 MHz | 10 MHz | 12 MHz |
| 0 | 0 | 1 | 0 | $f_{CLK}/2^2$ | 500 kHz | 1.25 MHz | 2.5 MHz | 5 MHz | 6 MHz |
| 0 | 0 | 1 | 1 | $f_{CLK}/2^3$ | 250 kHz | 625 kHz | 1.25 MHz | 2.5 MHz | 3 MHz |
| 0 | 1 | 0 | 0 | $f_{CLK}/2^4$ | 125 kHz | 313 kHz | 625 kHz | 1.25 MHz | 1.5 MHz |
| 0 | 1 | 0 | 1 | $f_{CLK}/2^5$ | 62.5 kHz | 156 kHz | 313 kHz | 625 kHz | 750 kHz |
| 0 | 1 | 1 | 0 | $f_{CLK}/2^6$ | 31.3 kHz | 78.1 kHz | 156 kHz | 313 kHz | 375 kHz |
| 0 | 1 | 1 | 1 | $f_{CLK}/2^7$ | 15.6 kHz | 39.1 kHz | 78.1 kHz | 156 kHz | 187.5 kHz |
| 1 | 0 | 0 | 0 | $f_{CLK}/2^8$ | 7.81 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz | 93.8 kHz |
| 1 | 0 | 0 | 1 | $f_{CLK}/2^9$ | 3.91 kHz | 9.77 kHz | 19.5 kHz | 39.1 kHz | 46.9 kHz |
| 1 | 0 | 1 | 0 | $f_{CLK}/2^{10}$ | 1.95 kHz | 4.88 kHz | 9.77 kHz | 19.5 kHz | 23.4 kHz |
| 1 | 0 | 1 | 1 | $f_{CLK}/2^{11}$ | 977 Hz | 2.44 kHz | 4.88 kHz | 9.77 kHz | 11.7 kHz |
| 1 | 1 | 0 | 0 | $f_{CLK}/2^{12}$ | 488 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz | 5.86 kHz |
| 1 | 1 | 0 | 1 | $f_{CLK}/2^{13}$ | 244 Hz | 610 Hz | 1.22 kHz | 2.44 kHz | 2.93 kHz |
| 1 | 1 | 1 | 0 | $f_{CLK}/2^{14}$ | 122 Hz | 305 Hz | 610 Hz | 1.22 kHz | 1.46 kHz |
| 1 | 1 | 1 | 1 | $f_{CLK}/2^{15}$ | 61 Hz | 153 Hz | 305 Hz | 610 Hz | 732 Hz |

**注**　シリアル・アレイ・ユニット（SAU）動作中に$f_{CLK}$で選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，SAUの動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

**注意　ビット15-8には，必ず0を設定してください。**

**備考1.**　$f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

**2.**　m：ユニット番号（m = 0, 1）

**3.**　k = 0, 1

## 14. 3. 3　シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（$f_{MCK}$）の選択，シリアル・クロック（$f_{SCK}$）入力の使用可否，スタート・トリガ設定，動作モード（簡易SPI（CSI），UART，簡易$I^2C$）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図14－7　シリアル・モード・レジスタmn（SMRmn）のフォーマット（1/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03），　リセット時：0020H　R/W
F0150H, F0151H（SMR10）-F0156H, F0157H（SMR13）

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SMRmn | CKSmn | CCSmn | 0 | 0 | 0 | 0 | 0 | STSmn注 | 0 | SISmn0注 | 1 | 0 | 0 | MDmn2 | MDmn1 | MDmn0 |

| CKSmn | チャネルnの動作クロック（$f_{MCK}$）の選択 |
|---|---|
| 0 | SPSmレジスタで設定した動作クロックCKm0 |
| 1 | SPSmレジスタで設定した動作クロックCKm1 |
| 動作クロック（$f_{MCK}$）は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック（$f_{TCLK}$）を生成します。 | |

| CCSmn | チャネルnの転送クロック（$f_{TCLK}$）の選択 |
|---|---|
| 0 | CKSmnビットで指定した動作クロック$f_{MCK}$の分周クロック |
| 1 | SCKp端子からの入力クロック$f_{SCK}$（簡易SPI（CSI）モードのスレーブ転送） |
| 転送クロック$f_{TCLK}$は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック（$f_{MCK}$）の分周設定を行います。 | |

| STSmn注 | スタート・トリガ要因の選択 |
|---|---|
| 0 | ソフトウエア・トリガのみ有効（簡易SPI（CSI），UART送信，簡易$I^2C$時に選択） |
| 1 | RxDq端子の有効エッジ（UART受信時に選択） |
| SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。 | |

**注**　SMR01, SMR03, SMR11, SMR13レジスタのみ。

**注意**　**ビット13-9, 7, 4, 3（SMR00, SMR02, SMR10, SMR12レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10）
q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10）

図14－7　シリアル・モード・レジスタmn（SMRmn）のフォーマット（2/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03），　リセット時：0020H　R/W
F0150H, F0151H（SMR10）-F0156H, F0157H（SMR13）

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SMRmn | CKSmn | CCSmn | 0 | 0 | 0 | 0 | 0 | STSmn注 | 0 | SISmn0注 | 1 | 0 | 0 | MDmn2 | MDmn1 | MDmn0 |

| SISmn0注 | UARTモードでのチャネルnの受信データのレベル反転の制御 |
|---|---|
| 0 | 立ち下がりエッジをスタート・ビットとして検出します。<br>入力される通信データは，そのまま取り込まれます。 |
| 1 | 立ち上がりエッジをスタート・ビットとして検出します。<br>入力される通信データは，反転して取り込まれます。 |

| MDmn2 | MDmn1 | チャネルnの動作モードの設定 |
|---|---|---|
| 0 | 0 | 簡易SPI（CSI）モード |
| 0 | 1 | UARTモード |
| 1 | 0 | 簡易$I^2C$モード |
| 1 | 1 | 設定禁止 |

| MDmn0 | チャネルnの割り込み要因の選択 |
|---|---|
| 0 | 転送完了割り込み |
| 1 | バッファ空き割り込み<br>（転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生） |
| 連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。 | |

**注**　SMR01, SMR03, SMR11, SMR13レジスタのみ。

**注意**　**ビット13-9, 7, 4, 3（SMR00, SMR02, SMR10, SMR12レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10）
q：UART番号（q = 0-3）　r：IIC番号（r = 00, 10）

## 14. 3. 4　シリアル通信動作設定レジスタmn（SCRmn）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定します。

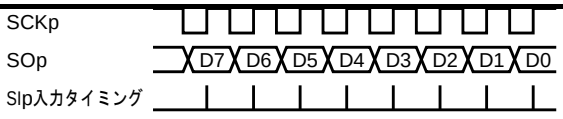
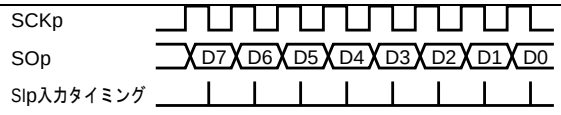
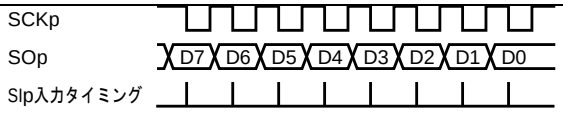
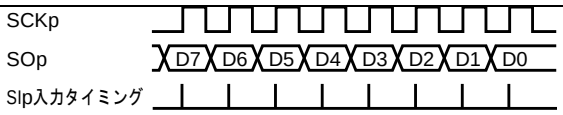
リセット信号の発生により，SCRmnレジスタは0087Hになります。

図14－8　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（1/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03），　リセット時：0087H　R/W
F0158H, F0159H（SCR10）-F015EH, F015FH（SCR13）

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SCRmn | TXE mn | RXE mn | DAP mn | CKP mn | 0 | EOC mn | PTC mn1 | PTC mn0 | DIR mn | 0 | SLCm n1[注1] | SLC mn0 | 0 | 1 | DLSm n1[注2] | DLS mn0 |

| TXE mn | RXE mn | チャネルnの動作モードの設定 |
|---|---|---|
| 0 | 0 | 通信禁止 |
| 0 | 1 | 受信のみを行う |
| 1 | 0 | 送信のみを行う |
| 1 | 1 | 送受信を行う |

| DAP mn | CKP mn | 簡易SPI（CSI）モードでのデータとクロックの位相選択 | タイプ |
|---|---|---|---|
| 0 | 0 |  | 1 |
| 0 | 1 |  | 2 |
| 1 | 0 |  | 3 |
| 1 | 1 |  | 4 |
| UARTモード，簡易I$^2$Cモード時には，必ずDAPmn, CKPmn = 0, 0に設定してください。 | | | |

| EOC mn | エラー割り込み信号（INTSREx（x = 0-3））のマスク可否の選択 |
|---|---|
| 0 | エラー割り込みINTSREXをマスクする（INTSRxはマスクされない） |
| 1 | エラー割り込みINTSREXの発生を許可する（エラー発生時にINTSRxはマスクされる） |
| 簡易SPI（CSI）モード，簡易I$^2$Cモード，UART送信時には，EOCmn = 0に設定してください[注3]。 | |

**注1.**　SCR00, SCR02, SCR10, SCR12レジスタのみ。

**2.**　SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

**3.**　CSImnをEOCmn = 0で使用しない場合，エラー割り込みINTSREnが発生する場合があります。

**注意　ビット3, 6, 11には，必ず0を設定してください（SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください）。ビット2には，必ず1を設定してください。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10）

図14－8　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（2/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03），　リセット時：0087H　R/W
F0158H, F0159H（SCR10）-F015EH, F015FH（SCR13）

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SCRmn | TXEmn | RXEmn | DAPmn | CKPmn | 0 | EOCmn | PTCmn1 | PTCmn0 | DIRmn | 0 | SLCmn1[注1] | SLCmn0 | 0 | 1 | DLSmn1[注2] | DLSmn0 |

| PTCmn1 | PTCmn0 | UARTモードでのパリティ・ビットの設定 | |
|---|---|---|---|
| | | 送信動作 | 受信動作 |
| 0 | 0 | パリティ・ビットを出力しない | パリティなしで受信 |
| 0 | 1 | 0パリティを出力[注3] | パリティ判定を行わない |
| 1 | 0 | 偶数パリティを出力 | 偶数パリティとして判定を行う |
| 1 | 1 | 奇数パリティを出力 | 奇数パリティとして判定を行う |
| 簡易SPI（CSI）モード，簡易I$^2$Cモード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。 | | | |

| DIRmn | 簡易SPI（CSI），UARTモードでのデータ転送順序の選択 |
|---|---|
| 0 | MSBファーストで入出力を行う |
| 1 | LSBファーストで入出力を行う |
| 簡易I$^2$Cモード時には，必ずDIRmn = 0に設定してください。 | |

| SLCmn1[注1] | SLCmn0 | UARTモードでのストップ・ビットの設定 |
|---|---|---|
| 0 | 0 | ストップ・ビットなし |
| 0 | 1 | ストップ・ビット長 = 1ビット |
| 1 | 0 | ストップ・ビット長 = 2ビット（mn = 00, 02, 10, 12のみ） |
| 1 | 1 | 設定禁止 |
| 転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。<br>UART受信時，簡易I$^2$Cモード時には，1ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。<br>簡易SPI（CSI）モード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。<br>UART送信時は，1ビット（SLCmn1, SLCmn0 = 0, 1）又は2ビット（SLCmn1, SLCmn0 = 1, 0）に設定してください。 | | |

| DLSmn1[注2] | DLSmn0 | 簡易SPI（CSI），UARTモードでのデータ長の設定 |
|---|---|---|
| 0 | 1 | 9ビット・データ長（SDRmnレジスタのビット0-8に格納）<br>（UARTモード時のみ選択可） |
| 1 | 0 | 7ビット・データ長（SDRmnレジスタのビット0-6に格納） |
| 1 | 1 | 8ビット・データ長（SDRmnレジスタのビット0-7に格納） |
| その他 | | 設定禁止 |
| 簡易I$^2$Cモード時には，必ずDLSmn1, DLSmn0 = 1, 1に設定してください。 | | |

**注1.**　SCR00, SCR02, SCR10, SCR12レジスタのみ。
**2.**　SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
**3.**　データの内容にかかわらず必ず0が付加されます。

**注意　ビット3, 6, 11には，必ず0を設定してください（SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください）。ビット2には，必ず1を設定してください。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 10）

## 14. 3. 5　シリアル・データ・レジスタmn（SDRmn）

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01, SDR10, SDR11のビット8-0（下位9ビット），またはSDR02, SDR03, SDR12, SDR13のビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（$f_{MCK}$, $f_{SCK}$）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタの上位7ビットで分周設定したクロックが，転送クロックとして使用されます。

また，CCSmnビットを1に設定した場合は，SDR00, SDR01, SDR10, SDR11のビット15-9（上位7ビット）に“0000000B”を設定してください。SCKp端子からの入力クロック$f_{SCK}$（簡易SPI（CSI）モードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは，下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行ったときは，常に0が読み出されます。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図14－9　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01），リセット時：0000H　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）

| | FFF11H（SDR00の場合） | | | | | | | | FFF10H（SDR00の場合） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SDRmn | | | | | | | | | | | | | | | | |

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03），リセット時：0000H　R/W
FFF14H, FFF15H（SDR12）, FFF16H, FFF17H（SDR13）

| | FFF45H（SDR02の場合） | | | | | | | | FFF44H（SDR02の場合） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SDRmn | | | | | | | | 0 | | | | | | | | |

| SDRmn[15:9] | | | | | | | 動作クロックの分周による転送クロック設定 |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | $f_{MCK}$/2 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | $f_{MCK}$/4 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | $f_{MCK}$/6 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | $f_{MCK}$/8 |
| ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | $f_{MCK}$/254 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | $f_{MCK}$/256 |

（注意，備考は次ページにあります。）

**注意1.　SDR02, SDR03, SDR12, SDR13レジスタのビット8は，必ず0を設定してください。**

**2.　UART使用時は，SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。**

**3.　簡易$I^2C$使用時は，SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。**

**4.　動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。**

**備考1.**　SDRmnレジスタの下位8/9ビットの機能については，**14. 2　シリアル・アレイ・ユニットの構成**を参照してください。

**2.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

## 14. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn, PECTmn, OVCTmn）を1にセットすると，シリアル・ステータス・レジスタmn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので，SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは，16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは，SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SIRmnレジスタは0000Hになります。

図14－10　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマット

アドレス：F0108H, F0109H（SIR00）-F010EH, F010FH（SIR03），リセット時：0000H　R/W

F0148H, F0149H（SIR10）-F014EH, F014FH（SIR13）

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SIRmn | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FECTmn[注] | PECTmn | OVCTmn |

| FECTmn | チャネルnのフレーミング・エラー・フラグのクリア・トリガ |
|---|---|
| 0 | クリアしない |
| 1 | SSRmnレジスタのFEFmnビットを0にクリアする |

| PECTmn | チャネルnのパリティ・エラー・フラグのクリア・トリガ |
|---|---|
| 0 | クリアしない |
| 1 | SSRmnレジスタのPEFmnビットを0にクリアする |

| OVCTmn | チャネルnのオーバーラン・エラー・フラグのクリア・トリガ |
|---|---|
| 0 | クリアしない |
| 1 | SSRmnレジスタのOVFmnビットを0にクリアする |

**注**　SIR01, SIR03, SIR11, SIR13レジスタのみ。

**注意**　**ビット15-3（SIR00, SIR02, SIR10, SIR12レジスタの場合は，ビット15-2）には，必ず0を設定してください。**

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

**2.**　SIRmnレジスタの読み出し値は常に0000Hとなります。

## 14. 3. 7　シリアル・ステータス・レジスタmn（SSRmn）

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図14－11　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03），リセット時：0000H　R
F0140H, F0141H（SSR10）-F0146H, F0147H（SSR13）

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SSRmn | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TSF mn | BFF mn | 0 | 0 | FEF mn注 | PEF mn | OVF mn |

| TSF mn | チャネルnの通信状態表示フラグ |
|---|---|
| 0 | 通信動作停止状態または通信動作待機状態 |
| 1 | 通信動作状態 |
| ＜クリア条件＞<br>・STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態）<br>・通信動作が終了時<br>＜セット条件＞<br>・通信動作を開始時 | |

| BFF mn | チャネルnのバッファ・レジスタ状態表示フラグ |
|---|---|
| 0 | 有効なデータがSDRmnレジスタに格納されていない |
| 1 | 有効なデータがSDRmnレジスタに格納されている |
| ＜クリア条件＞<br>・送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき<br>・受信時においてSDRmnレジスタから受信データの読み出しが終了したとき<br>・STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。<br>＜セット条件＞<br>・SCRmnレジスタのTXEmnビット ＝1（各通信モードでの送信，送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき<br>・SCRmnレジスタのRXEmnビット ＝1（各通信モードでの受信，送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき<br>・受信エラー時 | |

**注**　SSR01, SSR03, SSR11, SSR13レジスタのみ。

**注意1.　BFFmn = 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVFmn = 1）と検出されます。**

★ **注意2.　SNOOZEモード(SWCm = 1)で簡易SPI（CSI）の受信動作を行う場合，BFFmnフラグは動作しません。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

図14－11　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03），リセット時：0000H　R
F0140H, F0141H（SSR10）-F0146H, F0147H（SSR13）

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SSRmn | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TSFmn | BFFmn | 0 | 0 | FEFmn注 | PEFmn | OVFmn |

| FEFmn | チャネルnのフレーミング・エラー検出フラグ |
|---|---|
| 0 | エラーなし |
| 1 | エラー発生（UART受信時） |

＜クリア条件＞
・SIRmnレジスタのFECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

| PEFmn | チャネルnのパリティ／ACKエラー検出フラグ |
|---|---|
| 0 | エラーなし |
| 1 | パリティ・エラー発生（UART受信時），またはACK未検出発生（$I^2C$送信時） |

＜クリア条件＞
・SIRmnレジスタのPECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）
・$I^2C$送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）

| OVFmn | チャネルnのオーバラン・エラー検出フラグ |
|---|---|
| 0 | エラーなし |
| 1 | エラー発生 |

＜クリア条件＞
・SIRmnレジスタのOVCTmnビットに1を書き込んだとき
＜セット条件＞
・SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・簡易SPI（CSI）モードのスレーブ送信／送受信で，送信データが準備できていないとき

**注**　SSR01, SSR03, SSR11, SSR13レジスタのみ。

★ **注意　SNOOZEモード（SWCm = 1）で簡易SPI（CSI）の受信動作を行う場合，OVFmnフラグは動作しません。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

## 14. 3. 8　シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSmレジスタは0000Hになります。

図14－12　シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス：F0122H, F0123H（SS0）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SS03 | SS02 | SS01 | SS00 |

アドレス：　F0162H, F0163H（SS1）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SS1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SS13 | SS12 | SS11 | SS10 |

| SSmn | チャネルnの動作開始トリガ |
|---|---|
| 0 | トリガ動作せず |
| 1 | SEmnビットに1をセットし，通信待機状態に遷移する[注] |

**注**　通信動作中にSSmn = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

**注意1.　SS0レジスタのビット15-4，64ピン製品のSS1レジスタのビット15-2，80ピン製品のSS1レジスタのビット15-4には，必ず0を設定してください。**

**2.　UART受信の場合は，SCRmnレジスタのRXEmnビットを“1”に設定後に，$f_{MCK}$の4クロック以上間隔をあけてからSSmn = 1を設定してください。**

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

**2.**　SSmレジスタの読み出し値は常に0000Hとなります。

## 14. 3. 9　シリアル・チャネル停止レジスタm（STm）

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，STmレジスタは0000Hになります。

図14－13　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス：F0124H, F0125H（ST0）　リセット時：0000H　W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ST0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ST03 | ST02 | ST01 | ST00 |

アドレス：　F0164H, F0165H（ST1）　リセット時：0000H　W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ST1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ST13 | ST12 | ST11 | ST10 |

| STmn | チャネルnの動作停止トリガ |
|---|---|
| 0 | トリガ動作せず |
| 1 | SEmnビットを0にクリアし，通信動作を停止する[注] |

**注**　制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

**注意　ST0レジスタのビット15-4，64ピン製品のST1レジスタのビット15-2，80ピン製品のST1レジスタのビット15-4には，必ず0を設定してください。**

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

**2.**　STmレジスタの読み出し値は常に0000Hとなります。

## 14. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SEmレジスタは0000Hになります。

図14－14　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス：F0120H, F0121H（SE0）　リセット時：0000H　R

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SE03 | SE02 | SE01 | SE00 |

アドレス：　F0160H, F0161H（SE1）　リセット時：0000H　R

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SE1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SE13 | SE12 | SE11 | SE10 |

| SEmn | チャネルnの動作許可／停止状態の表示 |
|---|---|
| 0 | 動作停止状態 |
| 1 | 動作許可状態 |

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

## 14. 3. 11　シリアル出力許可レジスタm（SOEm）

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図14－15　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス：F012AH, F012BH（SOE0）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE02 | 0 | SOE00 |

アドレス：F016AH, F016BH（SOE1）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOE1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE12 | 0 | SOE10 |

| SOEmn | チャネルnのシリアル出力許可／停止 |
|---|---|
| 0 | シリアル通信動作による出力停止 |
| 1 | シリアル通信動作による出力許可 |

**注意　SOE0レジスタのビット15-3，1，64ピン製品のSOE1レジスタのビット15-1，80ピン製品のSOE1レジスタのビット15-3, 1には，必ず0を設定してください。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）

## 14. 3. 12　シリアル出力レジスタm（SOm）

SOmレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウエアによる書き換えは，シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウエアによる書き換えは，チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SOmレジスタは0F0FHになります。

図14－16　シリアル出力レジスタm（SOm）のフォーマット

アドレス：F0128H, F0129H（SO0）　リセット時：0F0FH　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SO0 | 0 | 0 | 0 | 0 | 1 | CKO02 | 1 | CKO00 | 0 | 0 | 0 | 0 | 1 | SO02 | 1 | SO00 |

アドレス：F0168H, F0169H（SO1）　リセット時：0F0FH　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SO1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | SO12 | 1 | SO10 |

| CKOmn | チャネルnのシリアル・クロック出力 |
|---|---|
| 0 | シリアル・クロック出力値が“0” |
| 1 | シリアル・クロック出力値が“1” |

| SOmn | チャネルnのシリアル・データ出力 |
|---|---|
| 0 | シリアル・データ出力値が“0” |
| 1 | シリアル・データ出力値が“1” |

**注意　SO0レジスタのビット15-12, 7-4には，必ず0を設定してください。また，ビット11, 9, 3, 1には必ず1を設定してください。**

**SO1レジスタのビット15-12, 7-4には，必ず0を設定してください。また，64ピン製品のビット11-8, 3-1, 80ピン製品のビット11-8, 3, 1には，必ず1を設定してください。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）

## 14. 3. 13　シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI（CSI）モード，簡易$I^2C$モード時は，必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは，16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは，SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOLmレジスタは0000Hになります。

図14－17　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス：F0134H, F0135H（SOL0）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOL0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOL02 | 0 | SOL00 |

アドレス：F0174H, F0175H（SOL1）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOL1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOL12 | 0 | SOL10 |

| SOLmn | UARTモードでのチャネルnの送信データのレベル反転の選択 |
|---|---|
| 0 | 通信データは，そのまま出力されます。 |
| 1 | 通信データは，反転して出力されます。 |

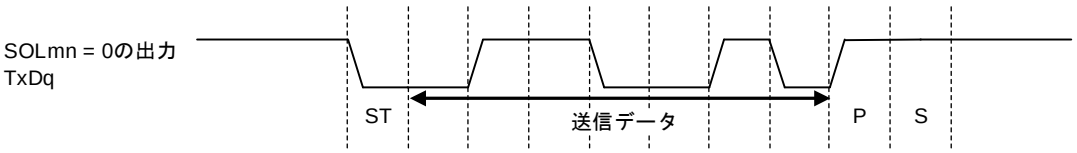
**注意　SOL0レジスタのビット15-3, 1, 64ピン製品のSOL1レジスタのビット15-1, 80ピン製品のSOL1レジスタのビット15-3, 1には，必ず0を設定してください。**

（備考は，次ページにあります。）

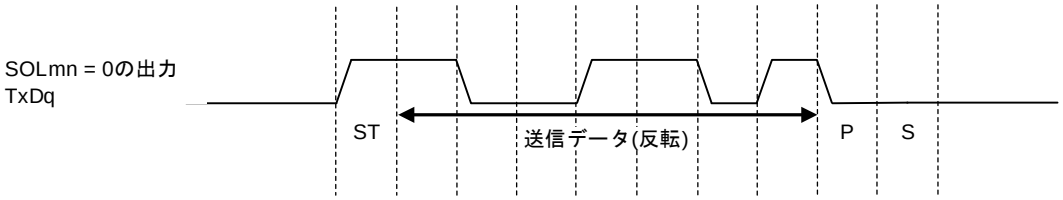
UART送信時，送信データのレベル反転例を図14-18に示します。

図14－18　送信データのレベル反転例

（a）非反転出力（SOLmn = 0）




（b）反転出力（SOLmn = 1）




**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）

## 14. 3. 14　シリアル・スタンバイ・コントロール・レジスタm（SSCm）

SSC0レジスタは，CSI00，UART0のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSC1レジスタは，UART2のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSCmレジスタは，16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは，SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSCmレジスタは0000Hになります。

**注意　SNOOZEモード時の最大転送レートは，次のようになります。**

**・CSI00の場合：1 Mbps**

**・UART0, UART2の場合：4800 bps**

図14－19　シリアル・スタンバイ・コントロール・レジスタm（SSCm）のフォーマット

アドレス：F0138H（SSC0）, F0178H（SSC1）　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SSCm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSECm | SWCm |

| SSECm | SNOOZEモード時の通信エラー割り込み発生許可／停止の選択 |
|---|---|
| 0 | エラー割り込み（INTSRE0/INTSRE2）発生許可。 |
| 1 | エラー割り込み（INTSRE0/INTSRE2）発生停止。 |

・SNOOZEモード時のUART受信で，SWCm=1かつEOCmn=1の時のみ，SSECmビットを1/0に設定することができます。その他の場合は，SSECmビットを0に設定してください。

・SSECm, SWCm = 1, 0は設定禁止です。

| SWCm | SNOOZEモードの設定 |
|---|---|
| 0 | SNOOZEモード機能を使用しない |
| 1 | SNOOZEモード機能を使用する |

・STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなく，簡易SPI（CSI）/UARTの受信動作を行います（SNOOZEモード）。

・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（$f_{CLK}$）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・SNOOZEモードを使用する場合でも，通常動作モード時はSWCを0に設定し，STOPモードへ移行する直前にSWCを1に変更してください。

またSTOPモードから通常動作モードへ復帰後，必ずSWCを0に変更してください。

図14－20　SNOOZEモードでUART受信したときの割り込み

| EOCmnビット | SSECmビット | 正常受信時 | 受信エラー時 |
|---|---|---|---|
| 0 | 0 | INTSRxが発生する | INTSRxが発生する |
| 0 | 1 | INTSRxが発生する | INTSRxが発生する |
| 1 | 0 | INTSRxが発生する | INTSRExが発生する |
| 1 | 1 | INTSRxが発生する | 割り込みは発生しない |

## 14. 3. 15　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1, ISC0ビットは，UART0でLIN-bus通信動作を実現するときに，外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると，シリアル・データ入力（RxD0）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると，シリアル・データ入力（RxD0）端子の入力信号がタイマ入力として選択されます。これによって，ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図14－21　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ISC | 0 | 0 | 0 | 0 | 0 | 0 | ISC1 | ISC0 |

| ISC1 | タイマ・アレイ・ユニットのチャネル7の入力切り替え |
|---|---|
| 0 | TI07端子の入力信号をタイマ入力とする（通常動作） |
| 1 | RxD0端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定） |

| ISC0 | 外部割り込み（INTP0）の入力切り替え |
|---|---|
| 0 | INTP0端子の入力信号を外部割り込み入力とする（通常動作） |
| 1 | RxD0端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出） |

**注意1.　ビット7-2に必ず0を設定してください。**

**2.　Lin-bus対応機能と16ビット・タイマKB20を併用することはできません。16ビット・タイマKB20使用時は，ISCレジスタを初期値（00H）で使用してください。**

## 14. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

簡易SPI（CSI），簡易$I^2C$通信に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（$f_{MCK}$）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（$f_{MCK}$）で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN0レジスタは00Hになります。

図14－22　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス：F0070H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| NFEN0 | 0 | SNFEN30 | 0 | SNFEN20 | 0 | SNFEN10 | 0 | SNFEN00 |

| SNFEN30 | RxD3端子のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |
| RxD3端子として使用するときは，SNFEN30 = 1に設定してください。<br>RxD3以外の機能として使用するときは，SNFEN30 = 0に設定してください。 | |

| SNFEN20 | RxD2端子のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |
| RxD2端子として使用するときは，SNFEN20 = 1に設定してください。<br>RxD2以外の機能として使用するときは，SNFEN20 = 0に設定してください。 | |

| SNFEN10 | RxD1端子のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |
| RxD1端子として使用するときは，SNFEN10 = 1に設定してください。<br>RxD1以外の機能として使用するときは，SNFEN10 = 0に設定してください。 | |

| SNFEN00 | RxD0端子のノイズ・フィルタ使用可否 |
|---|---|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |
| RxD0端子として使用するときは，SNFEN00 = 1に設定してください。<br>RxD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。 | |

**注意　64ピン製品のビット7-5, 3, 1, 80ピン製品のビット7, 5, 3, 1には，必ず0を設定してください。**

## 14. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート入力モード・レジスタ(PIMxx)，ポート出力モード・レジスタ（POMxx），ポート・モード・コントロール・レジスタ（PMCxx）を設定してください。

詳細は，**4. 3. 1　ポート・モード・レジスタ（PMxx）**，**4. 3. 2　ポート・レジスタ（Pxx）**，**4. 3. 4　ポート入力モード・レジスタ（PIMxx）**，**4. 3. 5　ポート出力モード・レジスタ（POMxx）**，**4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）**を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P07/SO10/TxD1/SEG50など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビットおよびポート・モード・レジスタ（PMxx）のビットに0を，ポート・レジスタ（Pxx）のビットに1を設定してください。

なお，N-chオープン・ドレイン出力（$V_{DD}$耐圧）モードで使用する場合は，各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8 V系，2.5 V系，3 V系）で動作している外部デバイスと接続する場合は，**4. 4. 4　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応**を参照してください。

例）P07/SO10/TxD1/SEG50をシリアル・データ出力として使用する場合
　ポート・モード・レジスタ0のPM07ビットを0に設定
　ポート・レジスタ0のP07ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P06/SI10/RxD1/SDA10/SEG49など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

なお，TTL入力バッファで使用する場合は，各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8 V系，2.5 V系，3 V系）で動作している外部デバイスと接続する場合は，**4. 4. 4　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応**を参照してください。

例）P06/SI10/RxD1/SDA10/SEG49をシリアル・データ入力として使用する場合
　ポート・モード・レジスタ0のPM06ビットを1に設定
　ポート・レジスタ0のP06ビットを0または1に設定

# 14. 4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

また動作停止モードでは，シリアル・インタフェース用端子をポート機能として使用できます。

## 14. 4. 1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，ビット2（SAU0EN）に0を設定してください。シリアル・アレイ・ユニット1を停止するときは，ビット3（SAU1EN）に0を設定してください。

図14－23　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

（a）周辺イネーブル・レジスタ0（PER0）　・・・停止するSAUmのビットのみ0に設定する

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |
| | × | | × | × | 0/1 | 0/1 | | × |

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

**注意1.　SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。**

**ただし，次のレジスタは除きます。**

- **入力切り替え制御レジスタ（ISC）**
- **ノイズ・フィルタ許可レジスタ0（NFEN0）**
- **ポート入力モード・レジスタ0, 1, 3（PIM0, PIM1, PIM3）**
- **ポート出力モード・レジスタ0, 1, 3（POM0, POM1, POM3）**
- **ポート・モード・レジスタ0, 1, 3（PM0, PM1, PM3）**
- **ポート・レジスタ0, 1, 3（P0, P1, P3）**

**2.　ビット1, 6には必ず“0”にしてください。**

**備考**　×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）

0/1：ユーザの用途に応じて0または1に設定

## 14. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図14－24　チャネルごとに動作停止とする場合の各レジスタの設定

（a）シリアル・チャネル停止レジスタm（STm）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| STm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | STm3 注1 0/1 | STm2 注1 0/1 | STm1 0/1 | STm0 0/1 |

1：SEmnビットを0にクリアし，通信動作を停止

※ STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

（b）シリアル・チャネル許可ステータス・レジスタm（SEm）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SEm3 注1 0/1 | SEm2 注1 0/1 | SEm1 0/1 | SEm0 0/1 |

0：動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり，STmレジスタにて動作停止にします。
動作を停止したチャネルは，SOmレジスタのCKOmnビットの値をソフトウエアで設定できます。

（c）シリアル出力許可レジスタm（SOEm）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 注1 0/1 | 0 | SOEm0 0/1 |

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SOmレジスタのSOmnビットの値をソフトウエアで設定できます。

（d）シリアル出力レジスタm（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOm | 0 | 0 | 0 | 0 | 1 | CKOm2 注2 0/1 | 1 | CKOm0 注2 0/1 | 0 | 0 | 0 | 0 | 1 | SOm2 注1 0/1 | 1 | SOm0 0/1 |

1：シリアル・クロック出力値が“1”　　1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

**注1.**　シリアル・アレイ・ユニット1の場合，80ピン製品のみ。

**2.**　シリアル・アレイ・ユニット0のみ。

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

**2.**　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

## 14. 5　簡易SPI（CSI00, CSI10）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート[注]　マスタ通信時：Max. $f_{CLK}$/2（CSI00のみ）

Max. $f_{CLK}$/4

スレーブ通信時：Max. $f_{MCK}$/6

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

**注**　SCKサイクル・タイム（$t_{KCY}$）の特性を満たす範囲内で使用してください。詳細は，**第32章**または**第33章　電気的特性**を参照してください。

簡易SPI（CSI00, CSI10）に対応しているチャネルは，SAU0のチャネル0, 2です。

○64ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易$I^2C$として使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | − | | − |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | − | | − |
| 1 | 0 | − | UART2 | − |
| | 1 | − | | − |

○80ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易$I^2C$として使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | − | | − |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | − | | − |
| 1 | 0 | − | UART2 | − |
| | 1 | − | | − |
| | 2 | − | UART3 | − |
| | 3 | − | | − |

簡易SPI（CSI00, CSI10）の通信動作は，以下の7種類があります。

- マスタ送信　（**14. 5. 1**項を参照）
- マスタ受信　（**14. 5. 2**項を参照）
- マスタ送受信　（**14. 5. 3**項を参照）
- スレーブ送信　（**14. 5. 4**項を参照）
- スレーブ受信　（**14. 5. 5**項を参照）
- スレーブ送受信　（**14. 5. 6**項を参照）
- SNOOZEモード機能　（**14. 5. 7**項を参照）

### 14. 5. 1　マスタ送信

マスタ送信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

| 簡易SPI | CSI00 | CSI10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCK00, SO00 | SCK10, SO10 |
| 割り込み | INTCSI00 | INTCSI10 |
| | 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能 | |
| エラー検出フラグ | なし | |
| 転送データ長 | 7ビットまたは8ビット | |
| 転送レート[注] | Max. $f_{CLK}$/2 [Hz]（CSI00のみ），$f_{CLK}$/4 [Hz]<br>Min. $f_{CLK}$/（2×$2^{15}$×128）[Hz]　　$f_{CLK}$：システム・クロック周波数 | |
| データ位相 | SCRmnレジスタのDAPmnビットにより選択可能<br>・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始<br>・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 | |
| クロック位相 | SCRmnレジスタのCKPmnビットにより選択可能<br>・CKPmn = 0の場合：非反転（SCKの立ち下がりでデータ出力，立ち上がりでデータ入力）<br>・CKPmn = 1の場合：反転（SCKの立ち上がりでデータ出力，立ち下がりでデータ入力） | |
| データ方向 | MSBファーストまたはLSBファースト | |

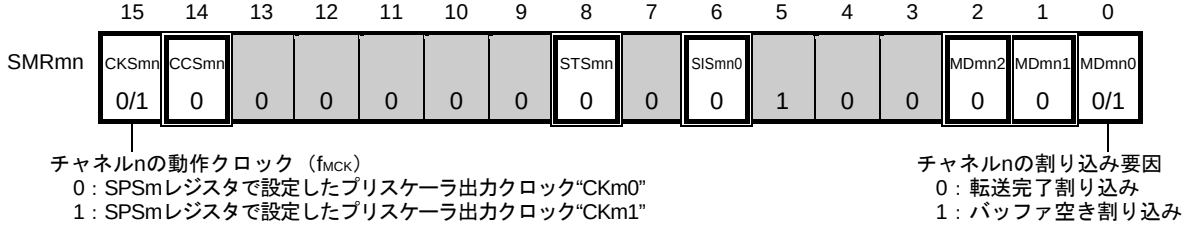
**注**　この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性参照**）を満たす範囲内で使用してください。

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

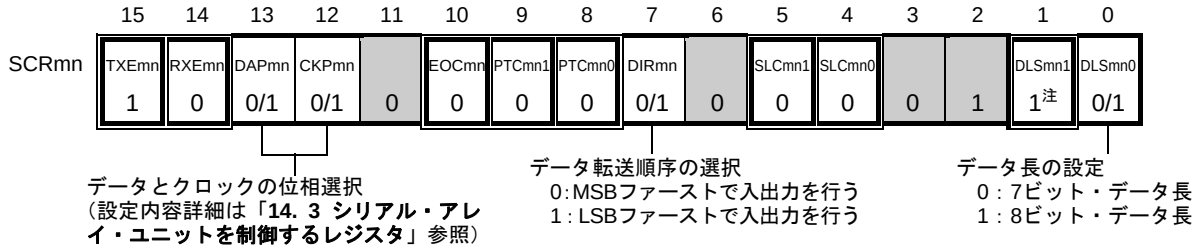
（1）レジスタ設定

図14－25　簡易SPI（CSI00, CSI10）のマスタ送信時のレジスタ設定内容例

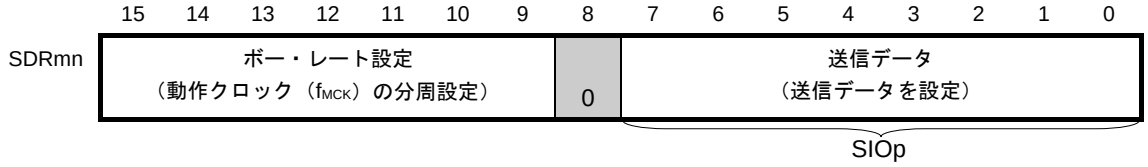
（a）シリアル・モード・レジスタmn（SMRmn）



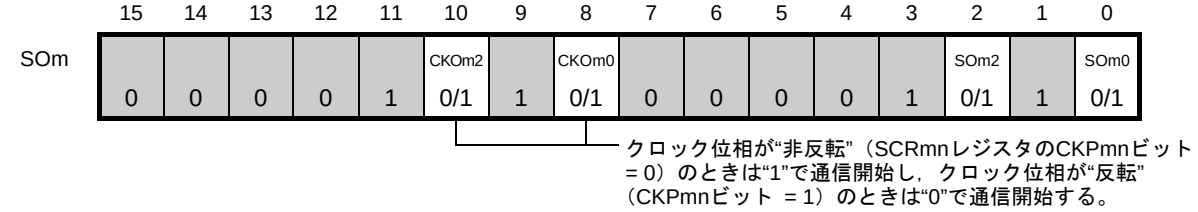

（b）シリアル通信動作設定レジスタmn（SCRmn）



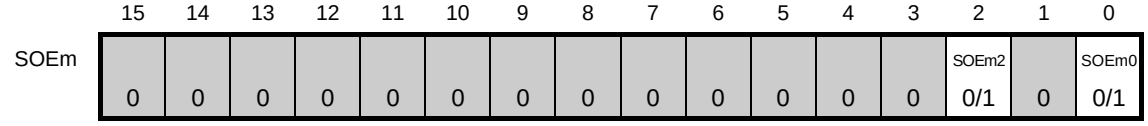

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



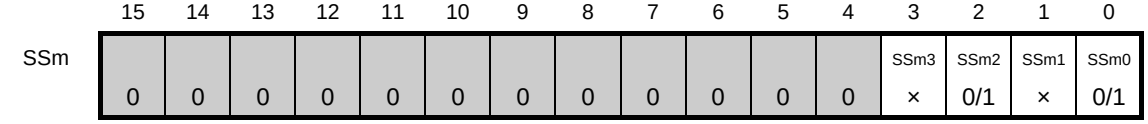

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する




（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する




（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する




**注**　SCR00レジスタのみ。その他は1固定になります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

**2.**　□：簡易SPI（CSI）マスタ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－26　マスタ送信の初期設定手順

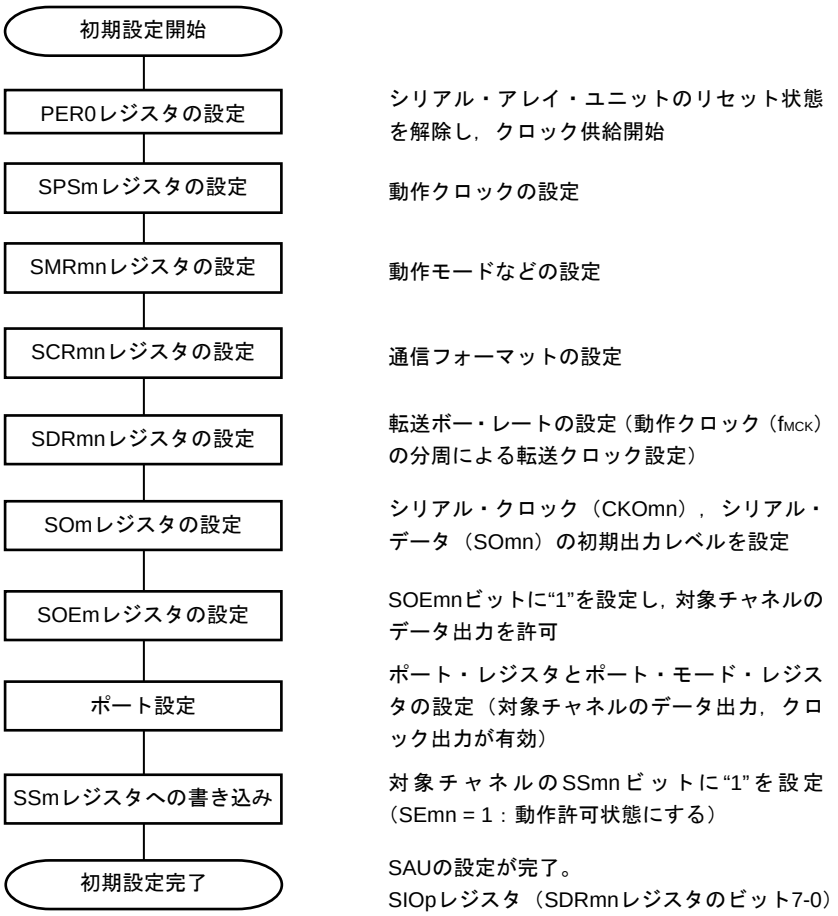



図14－27　マスタ送信の中断手順

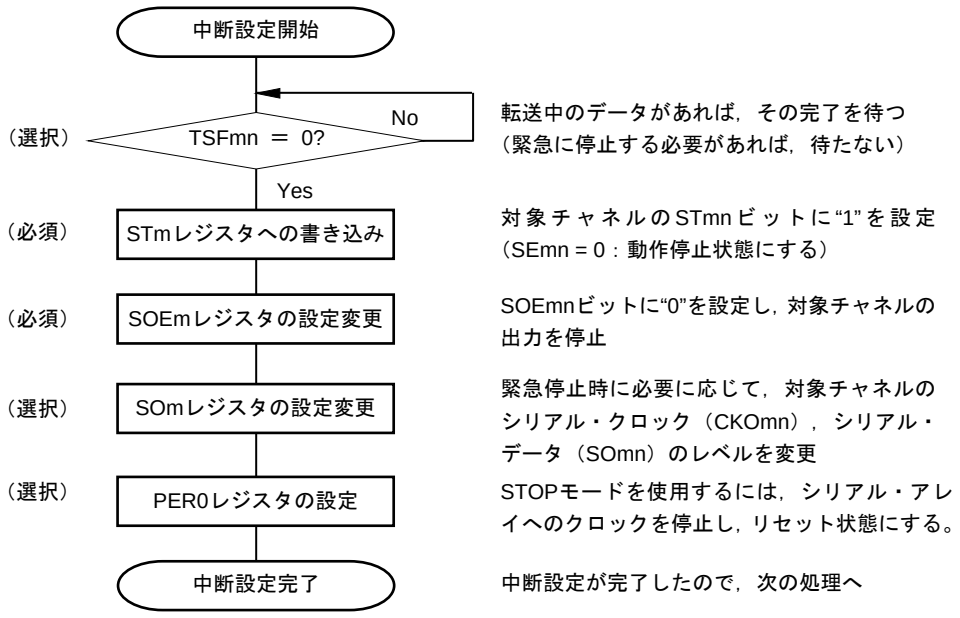
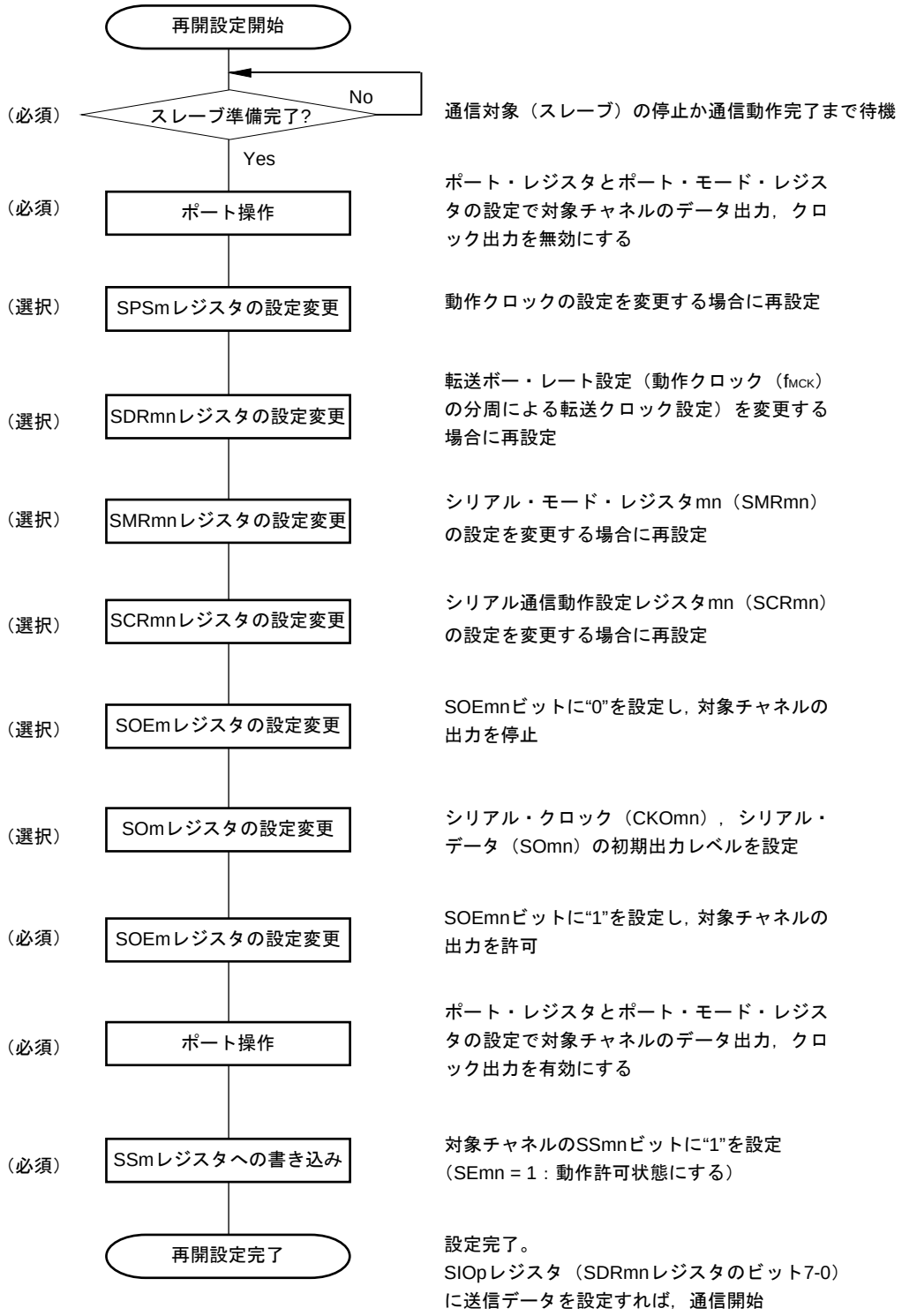


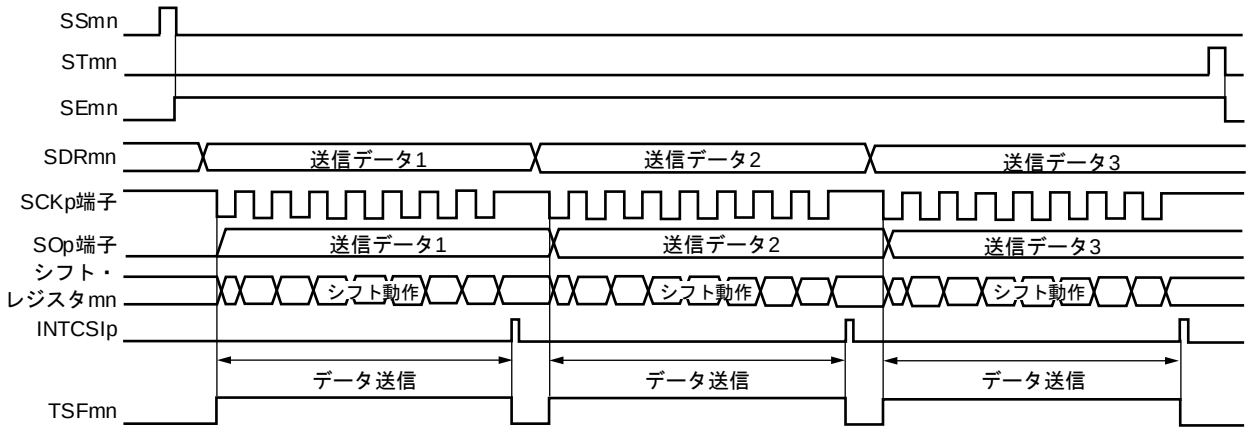
図14－28　マスタ送信の再開設定手順




**備考**　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

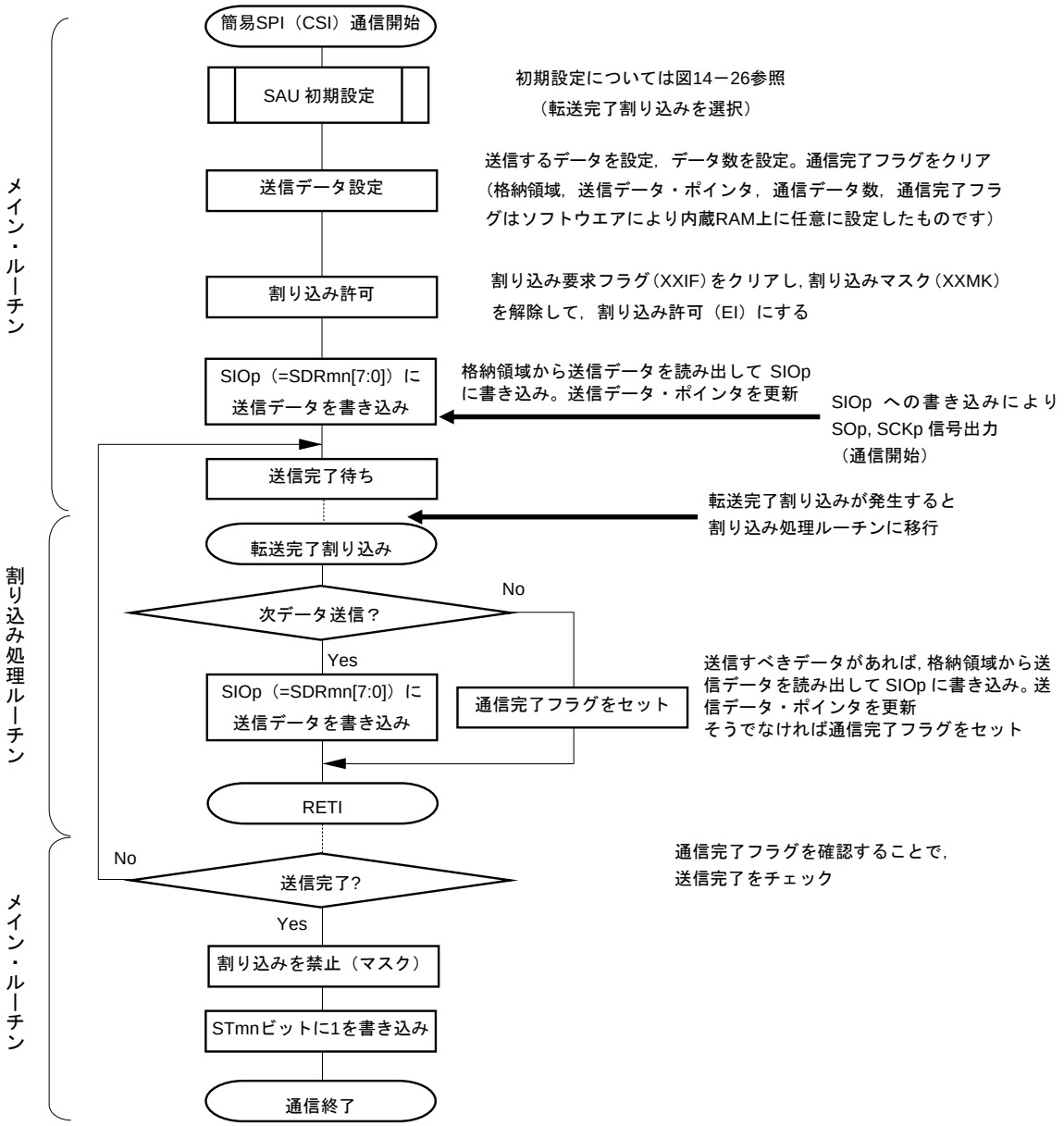
（3）処理フロー（シングル送信モード時）

図14－29　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



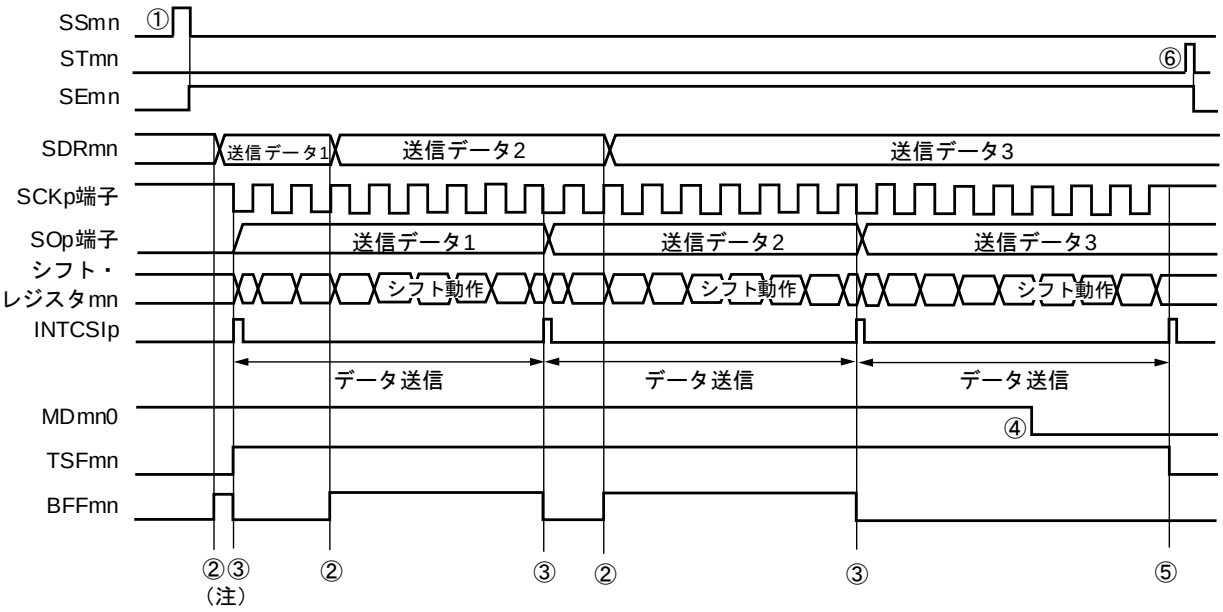

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－30　マスタ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図14－31　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

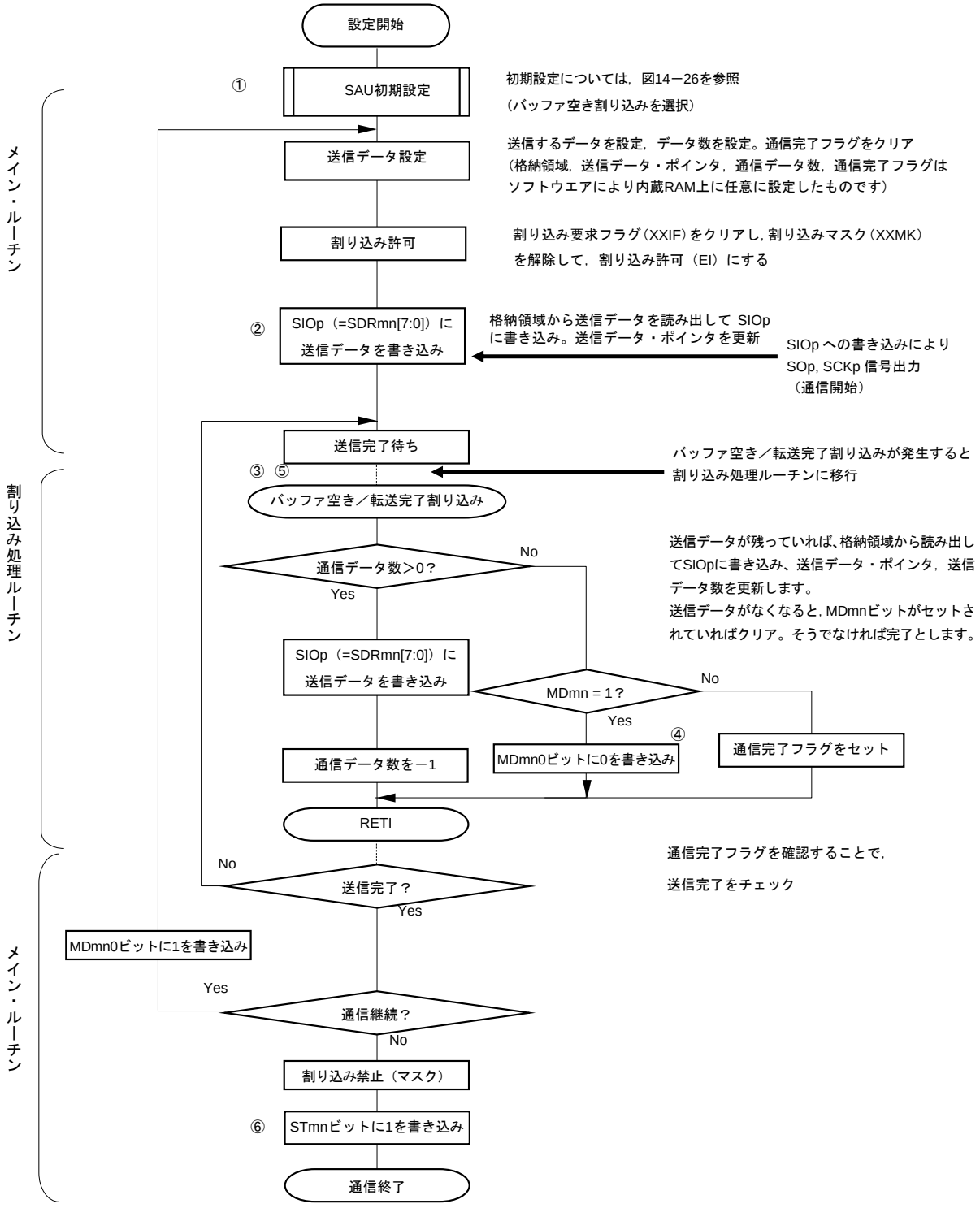



**注**　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

**注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。**
**ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－32　マスタ送信（連続送信モード時）のフロー・チャート




**備考**　図中の①~⑥は，**図14－31　マスタ送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

## 14. 5. 2　マスタ受信

マスタ受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

| 簡易SPI | CSI00 | CSI10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCK00, SI00 | SCK10, SI10 |
| 割り込み | INTCSI00 | INTCSI10 |
| | 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能 | |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVFmn）のみ | |
| 転送データ長 | 7ビットまたは8ビット | |
| 転送レート注 | Max. $f_{CLK}$/2 [Hz]（CSI00のみ），$f_{CLK}$/4 [Hz]<br>Min. $f_{CLK}$/（2×$2^{15}$×128）[Hz]　　$f_{CLK}$：システム・クロック周波数 | |
| データ位相 | SCRmnレジスタのDAPmnビットにより選択可能<br>・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始<br>・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 | |
| クロック位相 | SCRmnレジスタのCKPmnビットにより選択可能<br>・CKPmn = 0の場合：非反転<br>・CKPmn = 1の場合：反転 | |
| データ方向 | MSBファーストまたはLSBファースト | |

**注**　この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

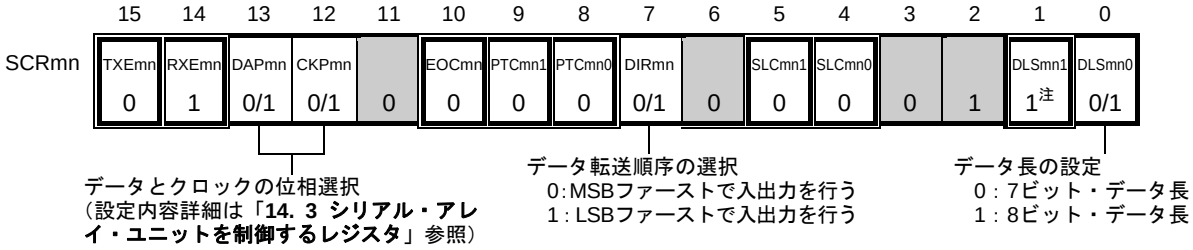
（1）レジスタ設定

図14－33　簡易SPI（CSI00, CSI10）のマスタ受信時のレジスタ設定内容例

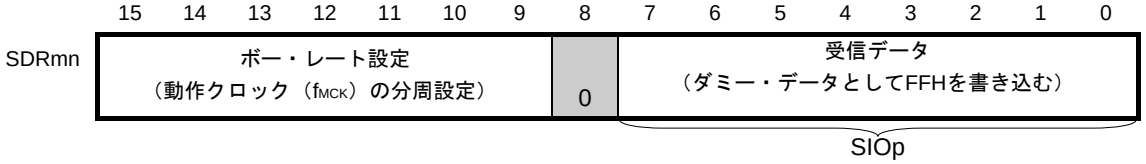
（a）シリアル・モード・レジスタmn（SMRmn）



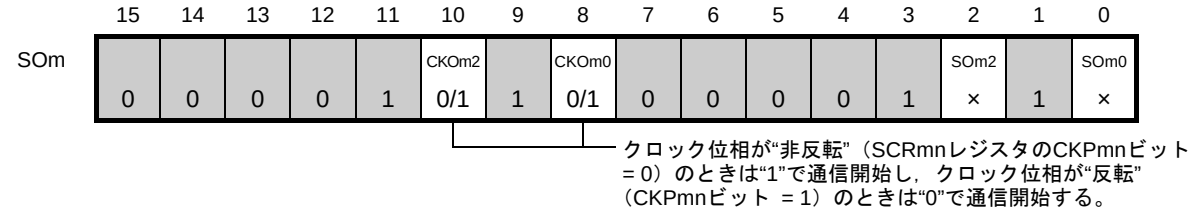

（b）シリアル通信動作設定レジスタmn（SCRmn）



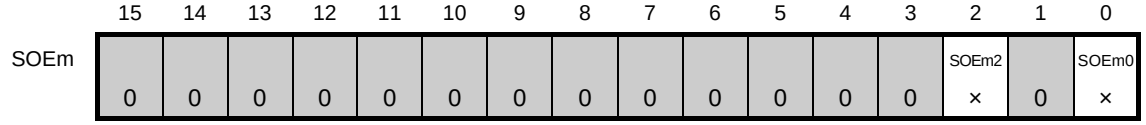

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



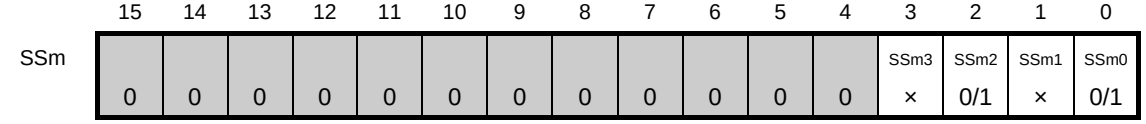

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する




（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない




（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する




**注**　SCR00レジスタのみ。その他は1固定になります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

**2.**　□：簡易SPI（CSI）マスタ受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－34　マスタ受信の初期設定手順

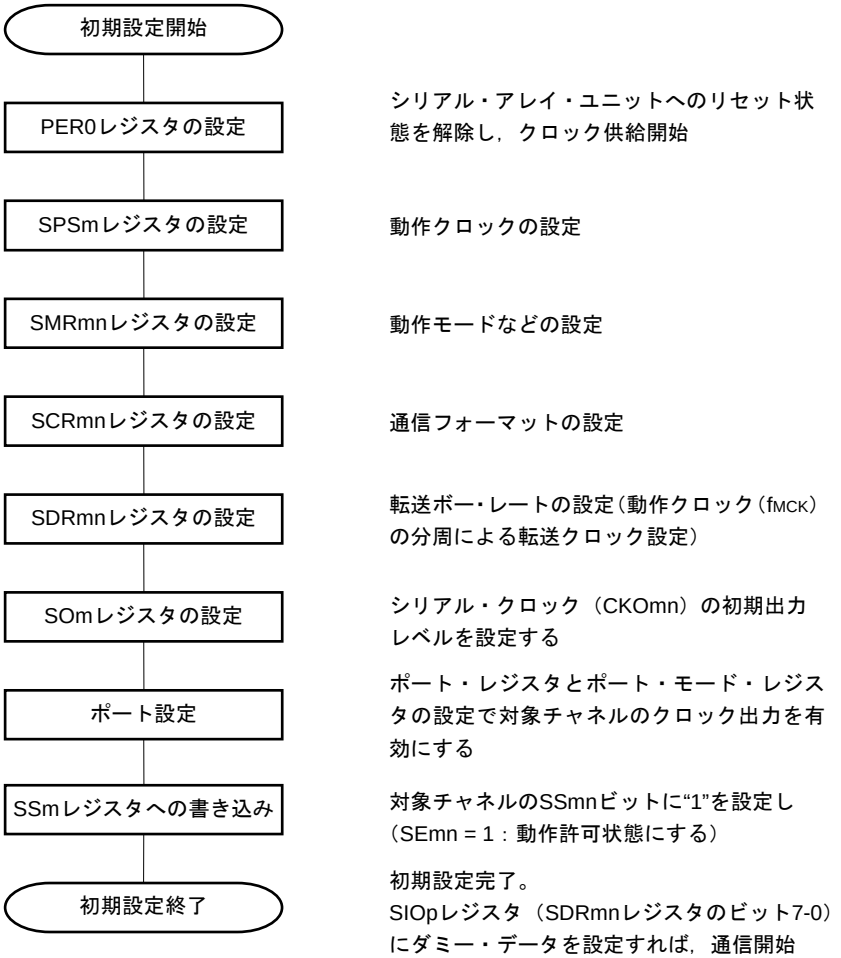



図14－35　マスタ受信の中断手順

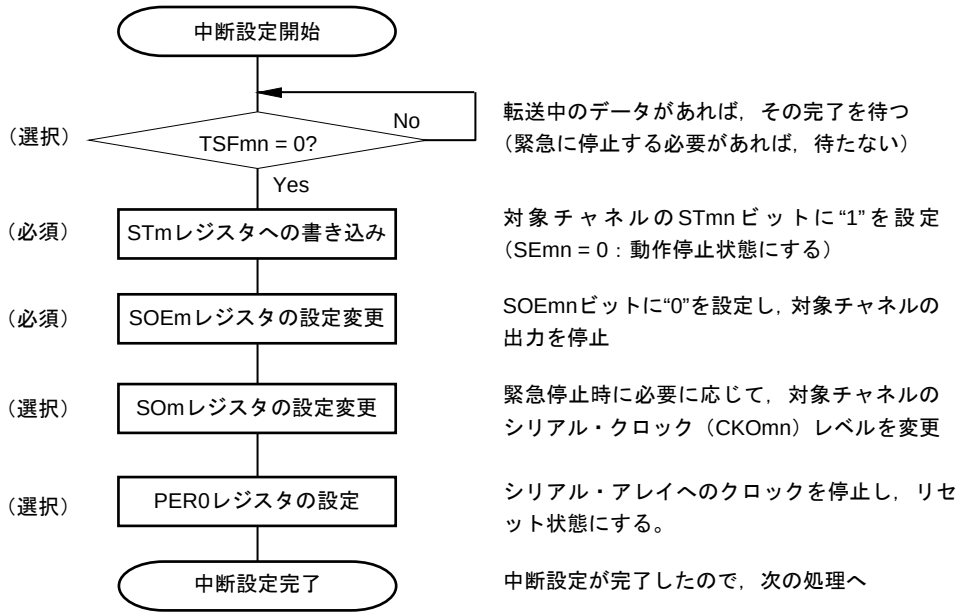
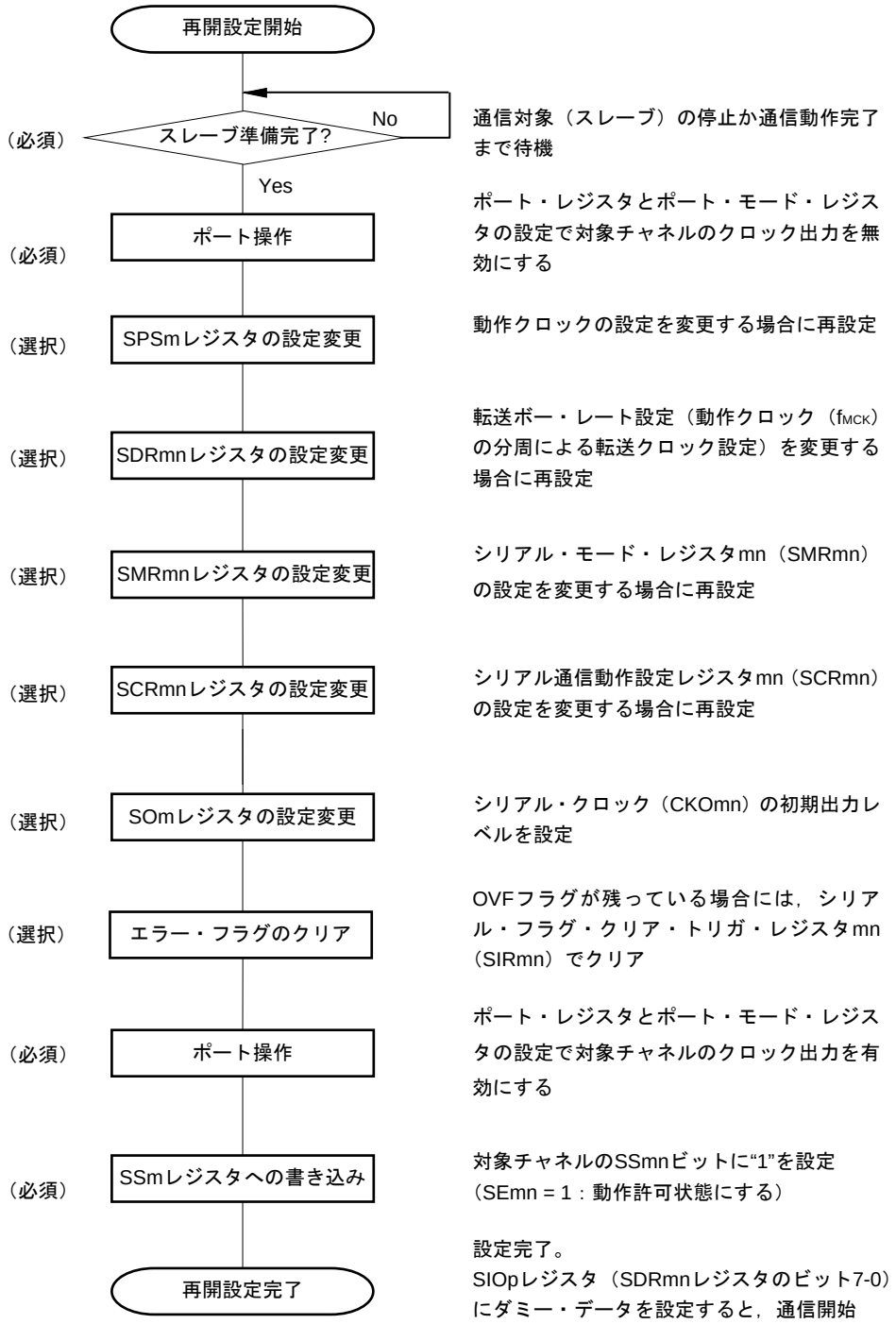


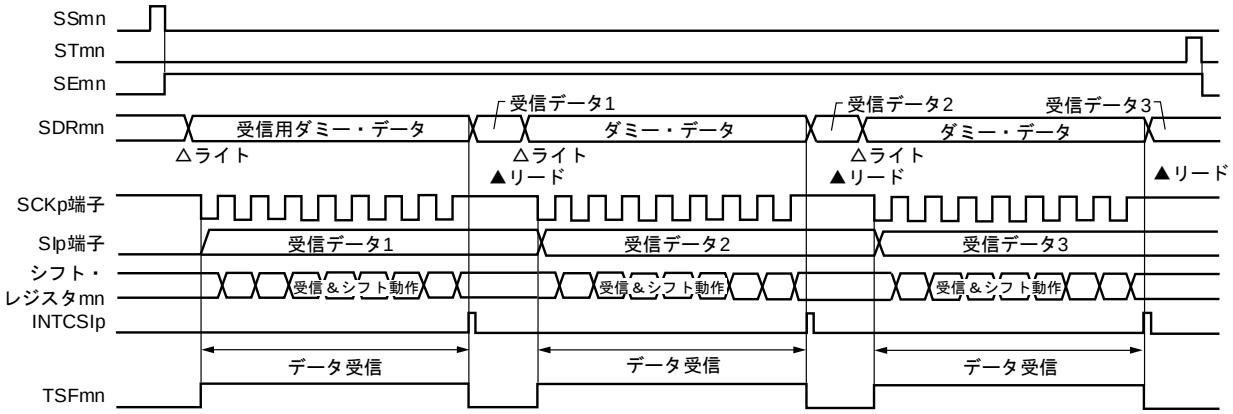
図14－36　マスタ受信の再開設定手順




**備考**　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

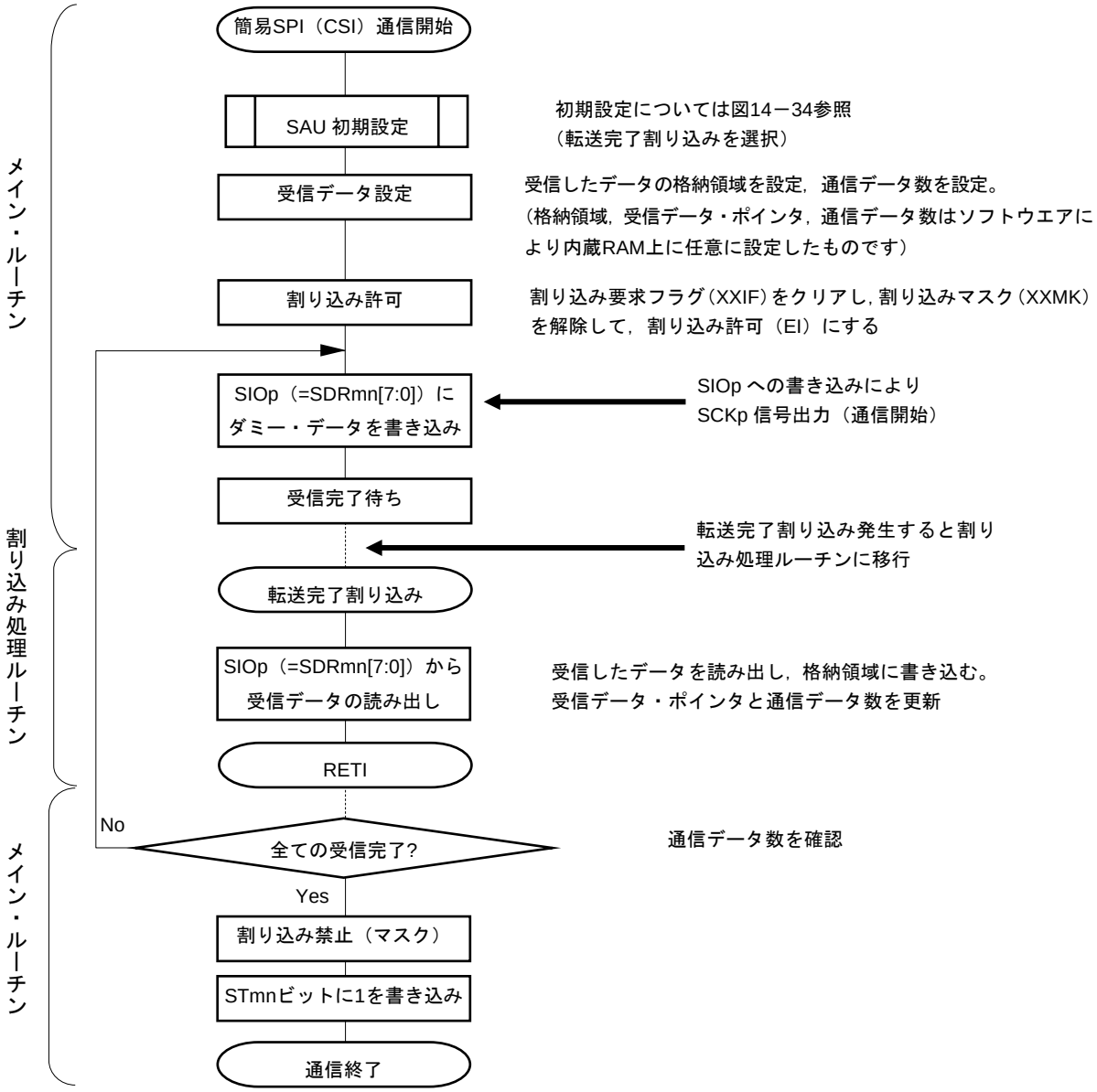
（3）処理フロー（シングル受信モード時）

図14－37　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



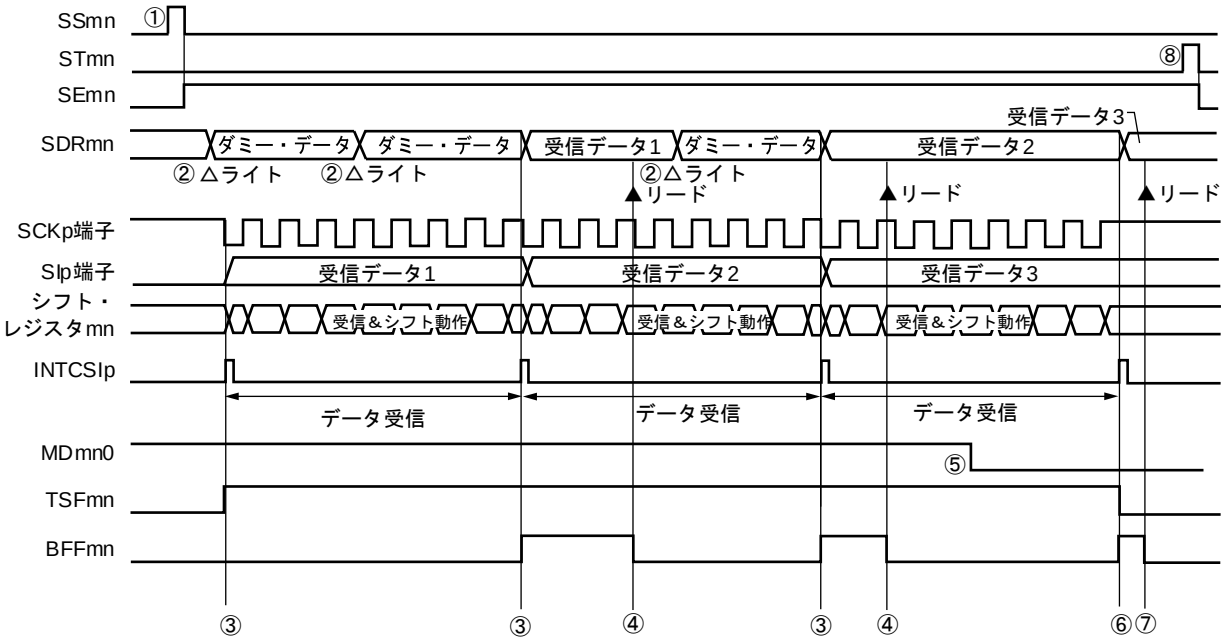

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－38　マスタ受信（シングル受信モード時）のフロー・チャート



（4）処理フロー（連続受信モード時）

図14－39　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

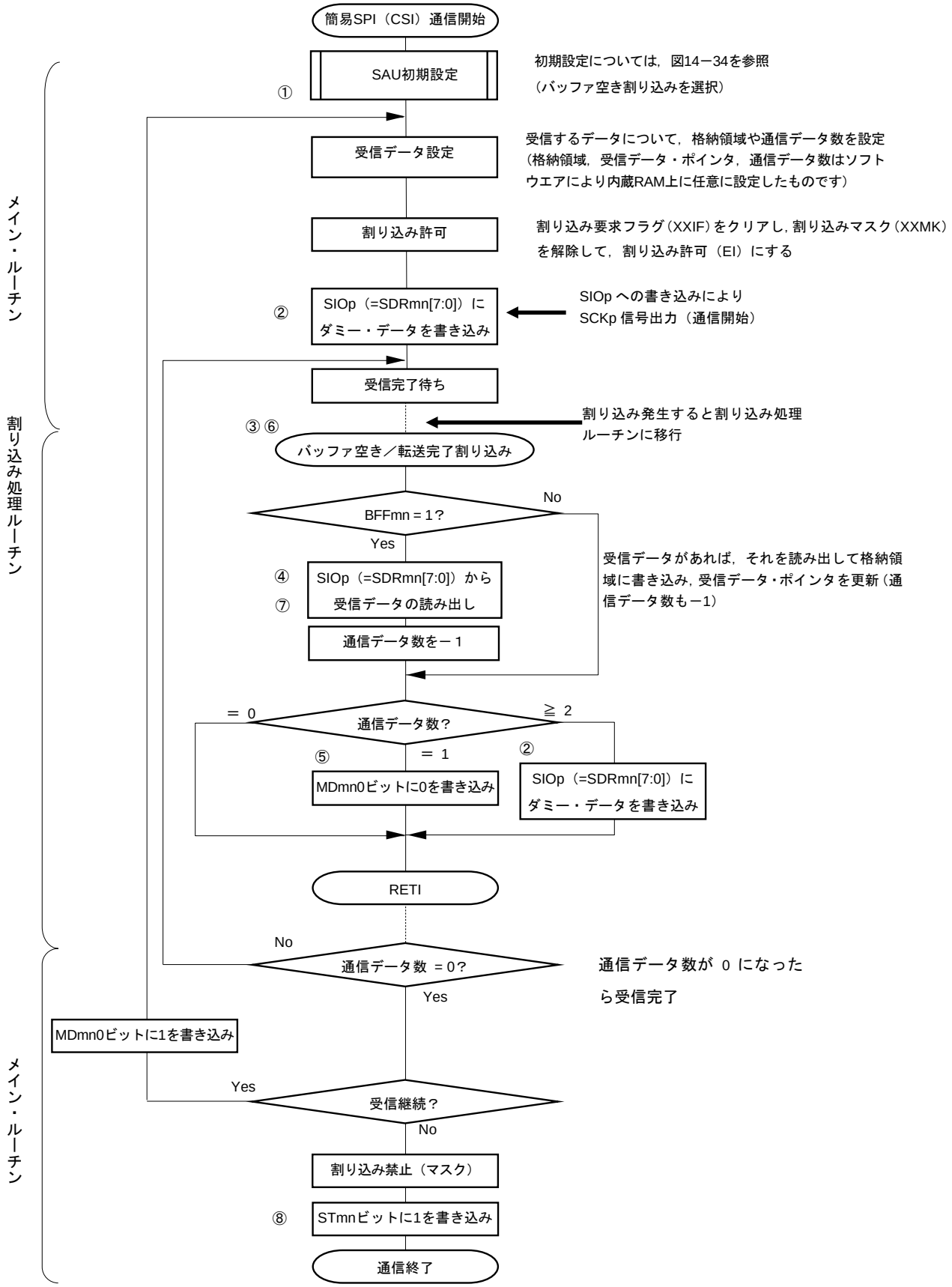



**注意　MDmn0ビットは，動作中でも書き換えることができます。**
**ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。**

**備考1.** 図中の①~⑧は，図14－40　マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

**2.** m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－40　マスタ受信（連続受信モード時）のフロー・チャート




**備考**　図中の①~⑧は，**図14－39　マスタ受信（連続受信モード時）のタイミング・チャート**の①~⑧に対応しています。

### 14. 5. 3　マスタ送受信

マスタ送受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

| 簡易SPI | CSI00 | CSI10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCK00, SI00, SO00 | SCK10, SI10, SO10 |
| 割り込み | INTCSI00 | INTCSI10 |
| | 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能 | |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVFmn）のみ | |
| 転送データ長 | 7ビットまたは8ビット | |
| 転送レート注 | Max. $f_{CLK}$/2 [Hz]（CSI00のみ），$f_{CLK}$/4 [Hz]<br>Min. $f_{CLK}$/（2×$2^{15}$×128）[Hz]　　$f_{CLK}$：システム・クロック周波数 | |
| データ位相 | SCRmnレジスタのDAPmnビットにより選択可能<br>・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始<br>・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 | |
| クロック位相 | SCRmnレジスタのCKPmnビットにより選択可能<br>・CKPmn = 0の場合：非反転<br>・CKPmn = 1の場合：反転 | |
| データ方向 | MSBファーストまたはLSBファースト | |

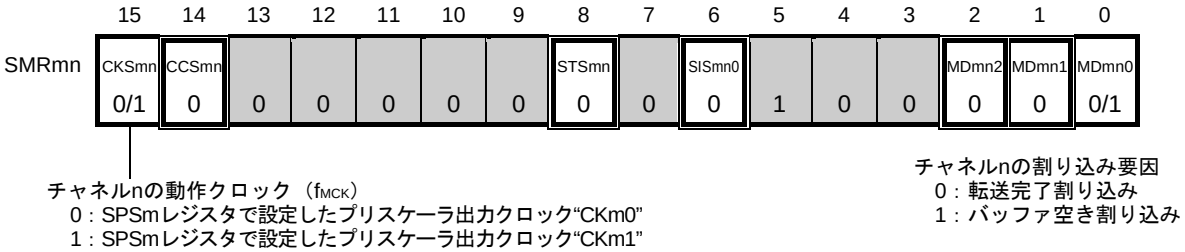
**注**　この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

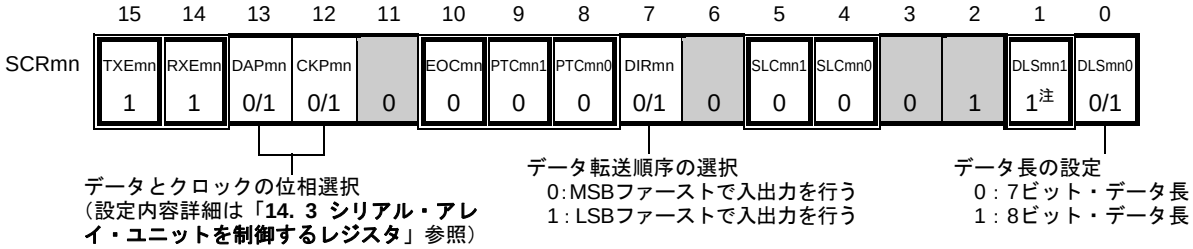
（1）レジスタ設定

図14－41　簡易SPI（CSI00, CSI10）のマスタ送受信時のレジスタ設定内容例

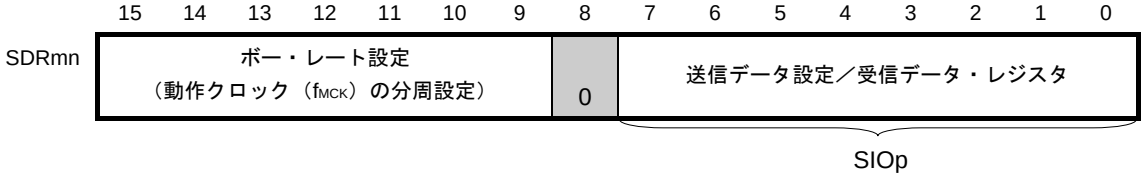
（a）シリアル・モード・レジスタmn（SMRmn）



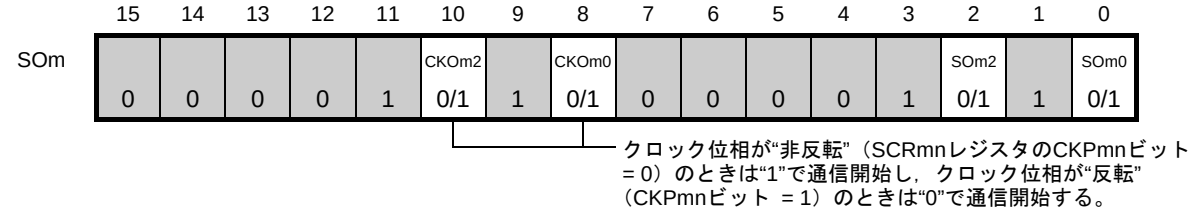

（b）シリアル通信動作設定レジスタmn（SCRmn）



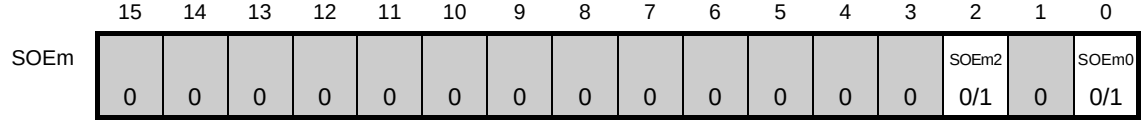

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



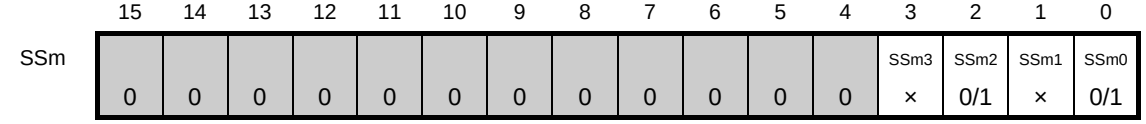

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する




（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する




（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する




**注**　SCR00レジスタのみ。その他は1固定になります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

**2.**　□：簡易SPI（CSI）マスタ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－42　マスタ送受信の初期設定手順

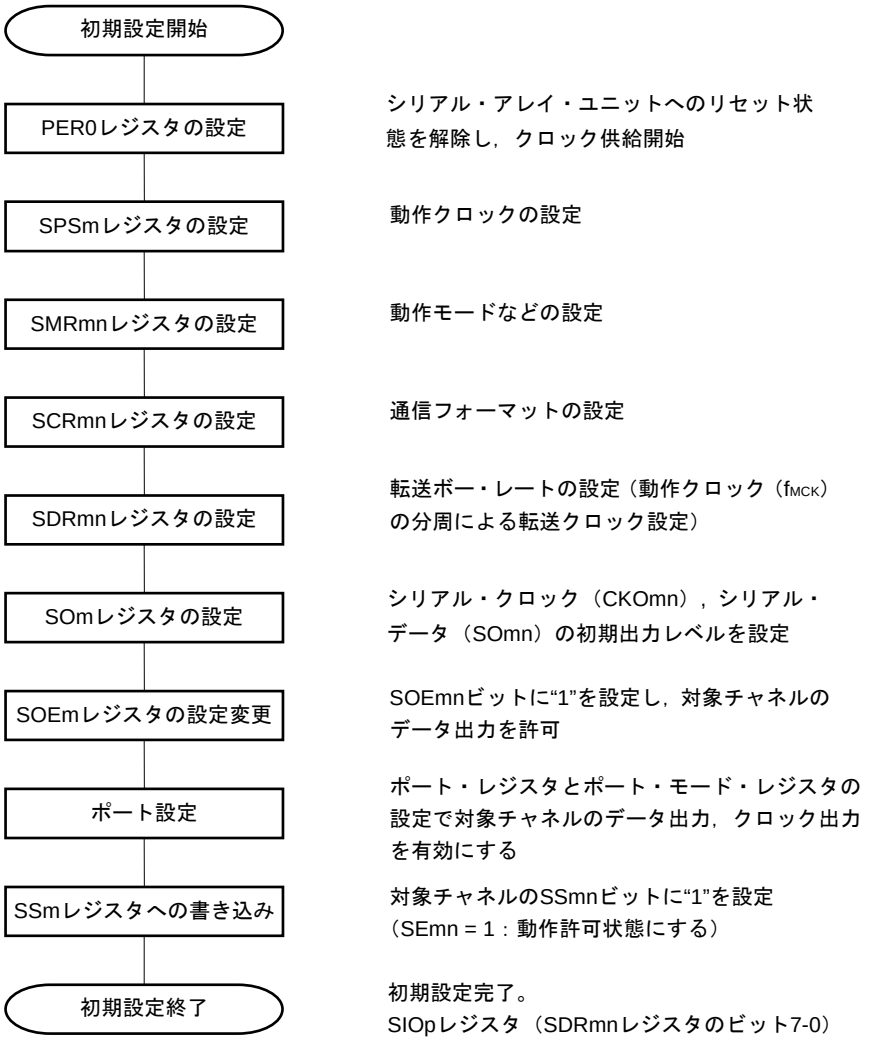



図14－43　マスタ送受信の中断手順

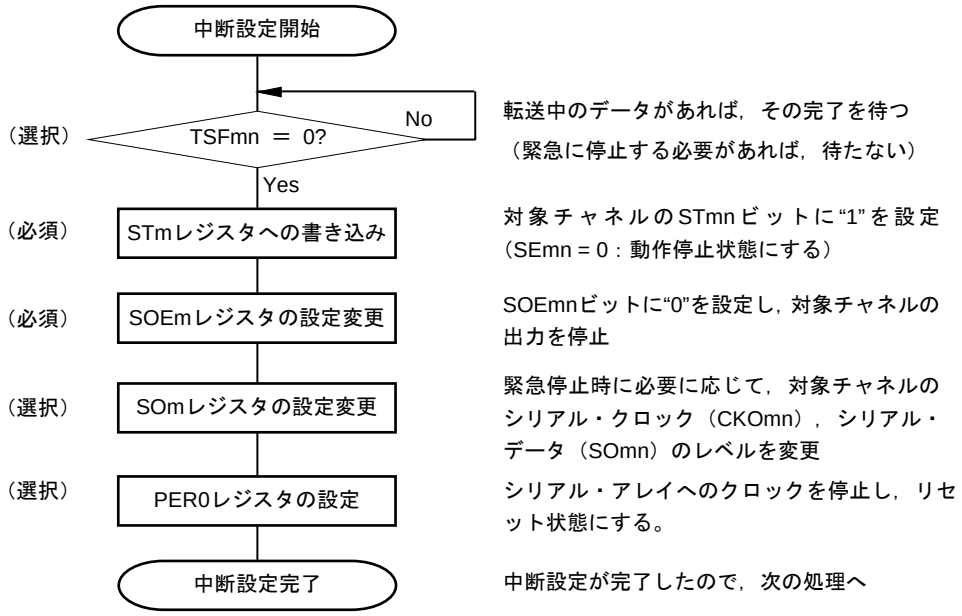
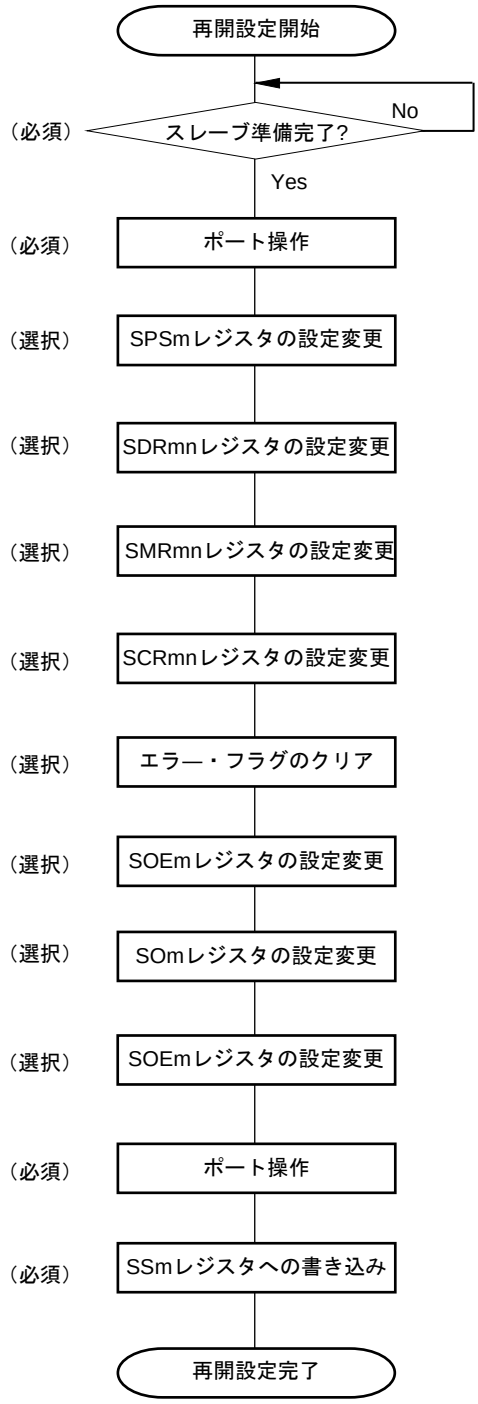
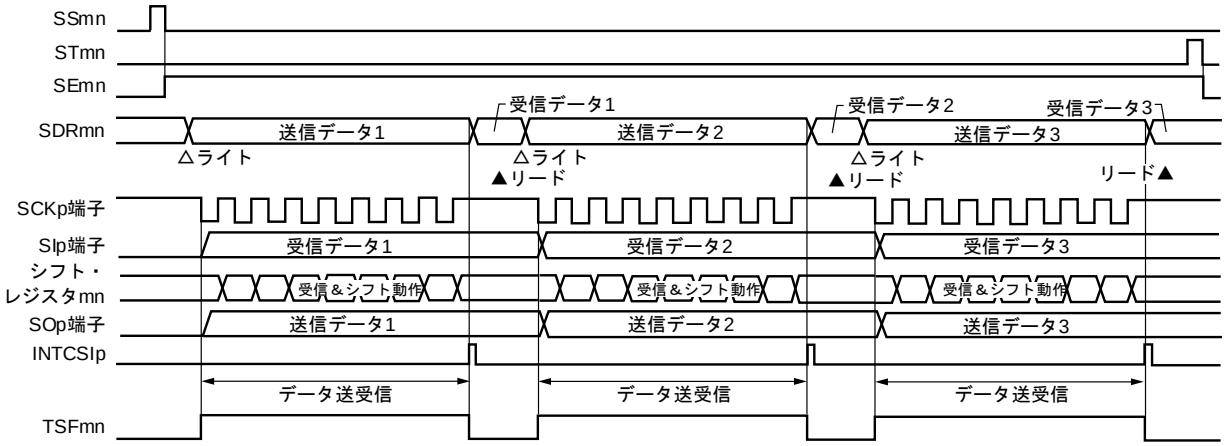


図14－44　マスタ送受信の再開設定手順



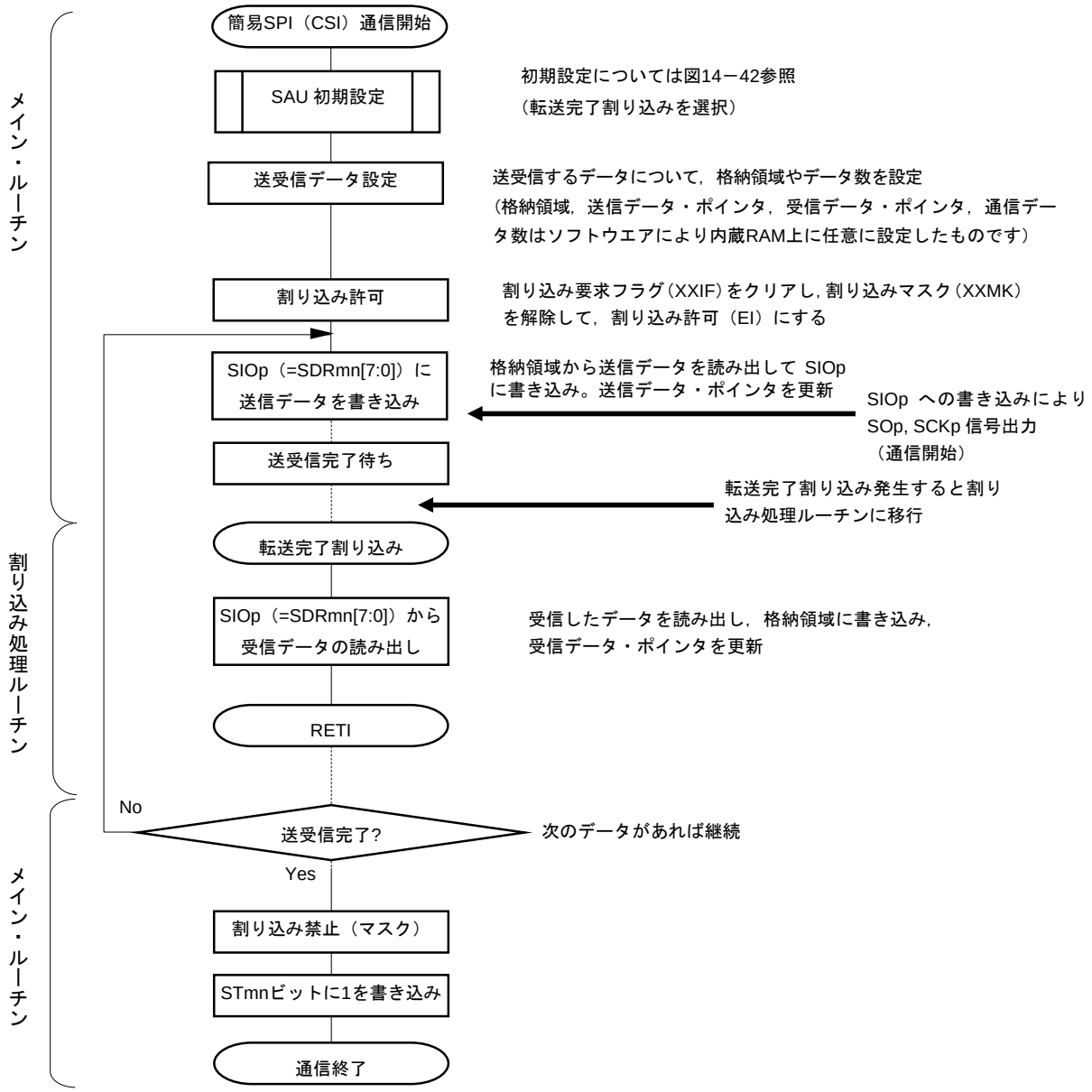
（3）処理フロー（シングル送受信モード時）

図14－45　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



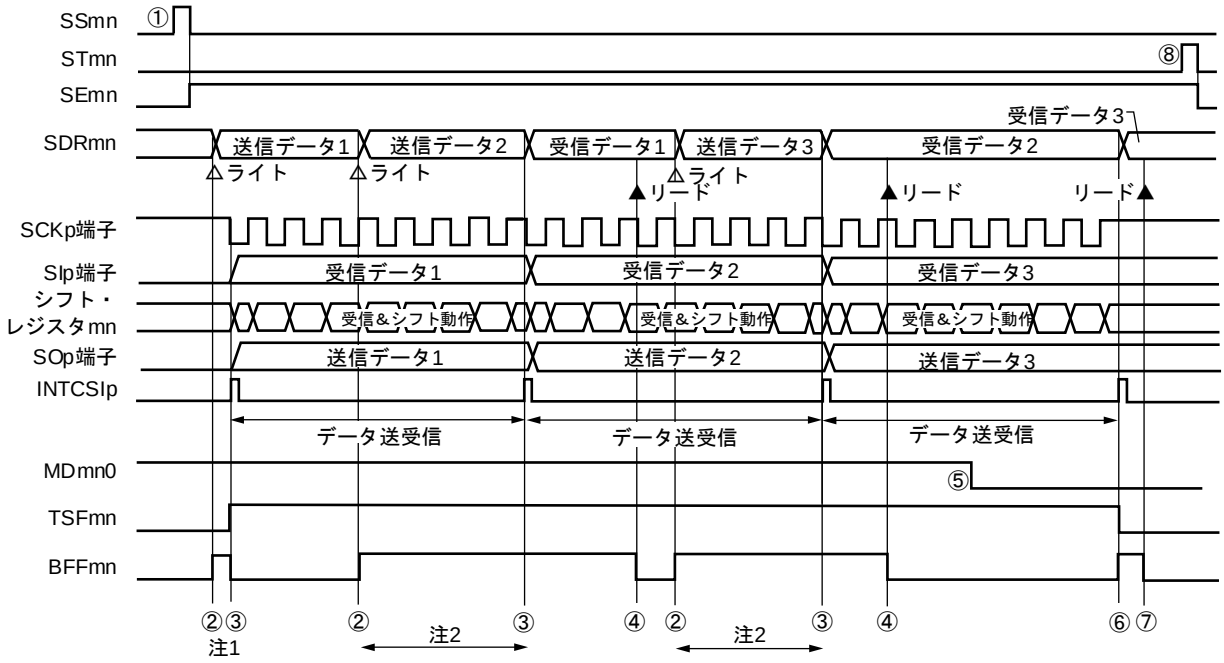

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－46　マスタ送受信（シングル送受信モード時）のフロー・チャート



（4）処理フロー（連続送受信モード時）

図14－47　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）




**注1.**　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

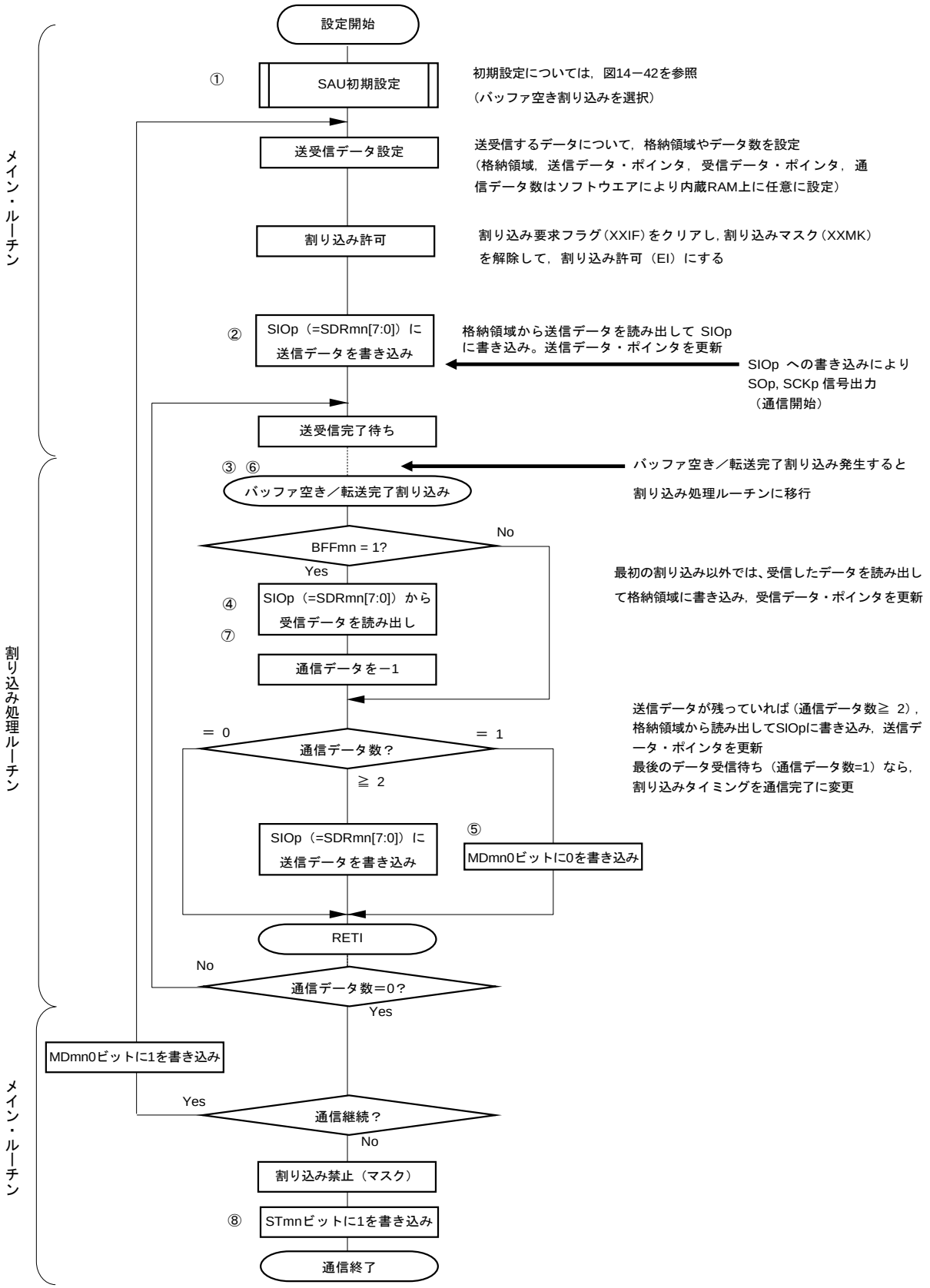
**2.**　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

**注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

**備考1.**　図中の①~⑧は，**図14－48　マスタ送受信（連続送受信モード時）のフロー・チャート**の①~⑧に対応しています。

**2.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－48　マスタ送受信（連続送受信モード時）のフロー・チャート




**備考**　図中の①~⑧は，**図14－47　マスタ送受信（連続送受信モード時）のタイミング・チャート**の①~⑧に対応しています。

### 14. 5. 4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

| 簡易SPI | CSI00 | CSI10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCK00, SO00 | SCK10, SO10 |
| 割り込み | INTCSI00 | INTCSI10 |
| | 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能 | |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVFmn）のみ | |
| 転送データ長 | 7ビットまたは8ビット | |
| 転送レート | Max. $f_{MCK}$/6[Hz]注1, 2 | |
| データ位相 | SCRmnレジスタのDAPmnビットにより選択可能<br>・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始<br>・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 | |
| クロック位相 | SCRmnレジスタのCKPmnビットにより選択可能<br>・CKPmn = 0の場合：非反転<br>・CKPmn = 1の場合：反転 | |
| データ方向 | MSBファーストまたはLSBファースト | |

**注1.** SCK00, SCK10端子に入力された外部シリアル･クロックは，内部でサンプリングして使用されるため，最大転送レートは$f_{MCK}$/6 [Hz]となります。

**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考1.** $f_{MCK}$：対象チャネルの動作クロック周波数

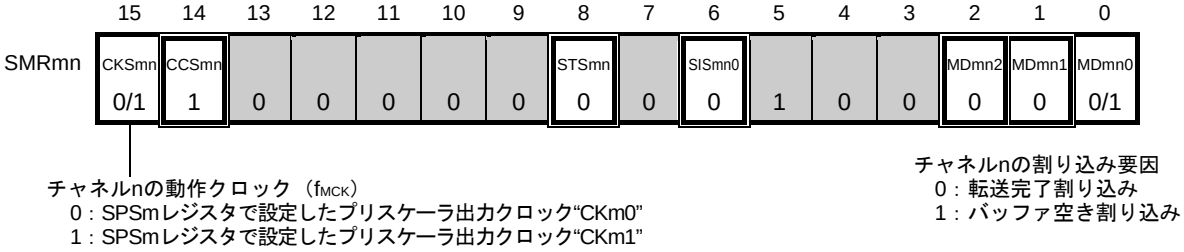
$f_{SCK}$：シリアル・クロック周波数

**2.** m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

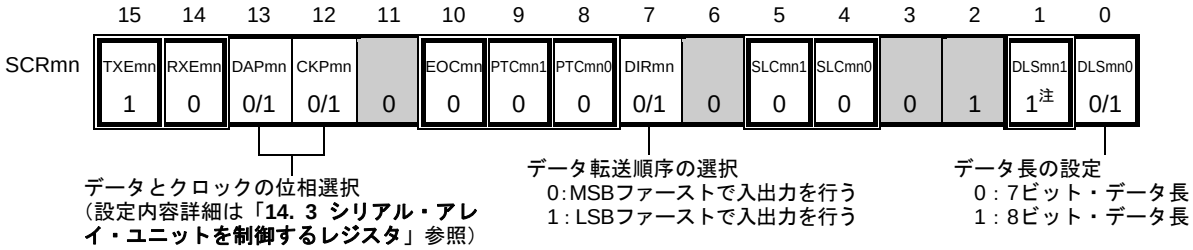
（1）レジスタ設定

図14－49　簡易SPI（CSI00, CSI10）のスレーブ送信時のレジスタ設定内容例

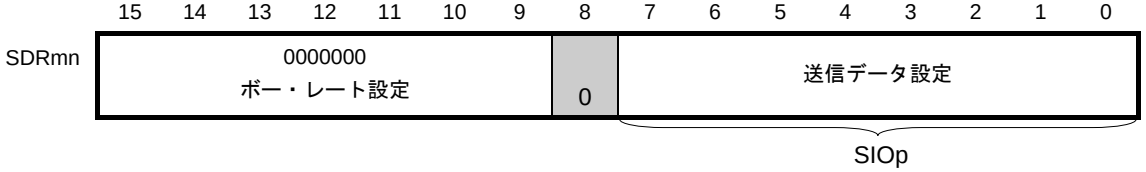
（a）シリアル・モード・レジスタmn（SMRmn）



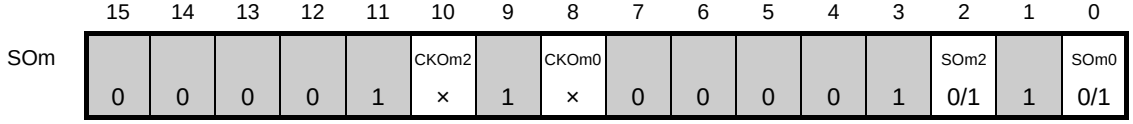

（b）シリアル通信動作設定レジスタmn（SCRmn）



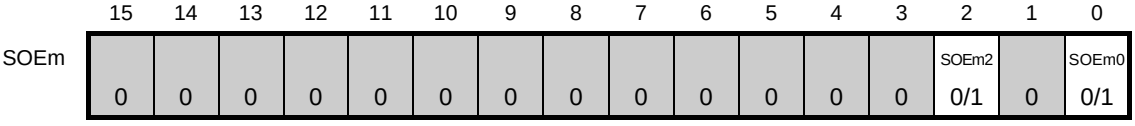

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



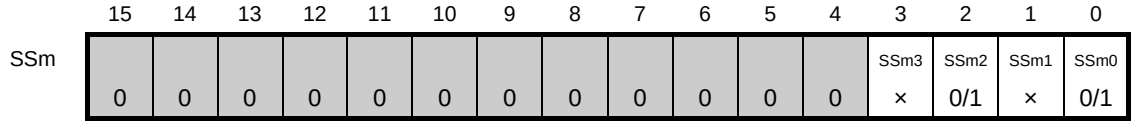

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する




（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する




（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する




**注**　SCR00レジスタのみ。その他は1固定になります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

**2.**　□：簡易SPI（CSI）スレーブ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－50　スレーブ送信の初期設定手順

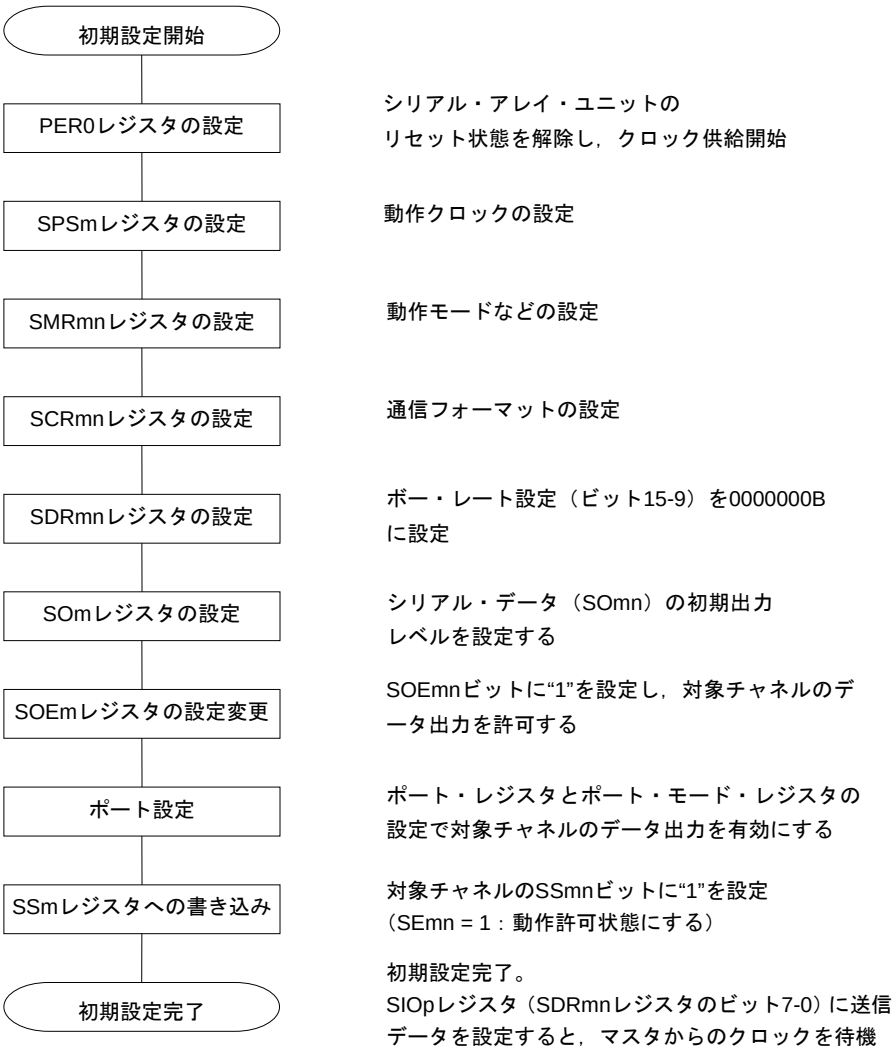



図14－51　スレーブ送信の中断手順

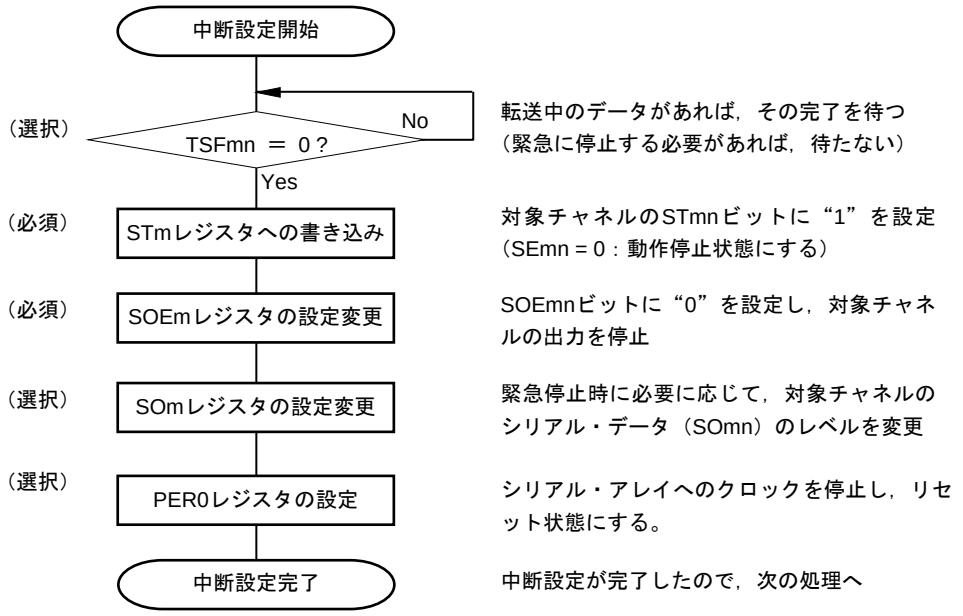
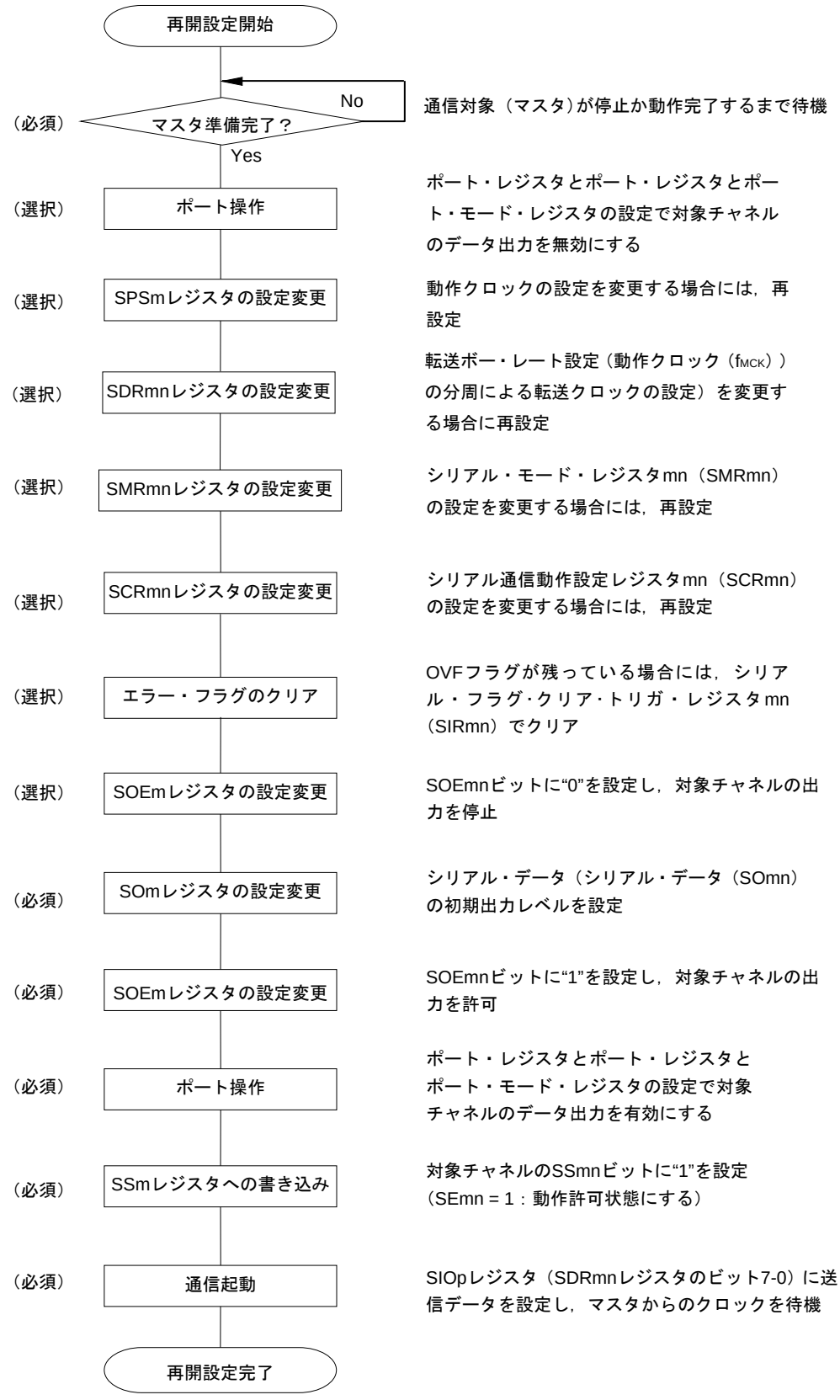


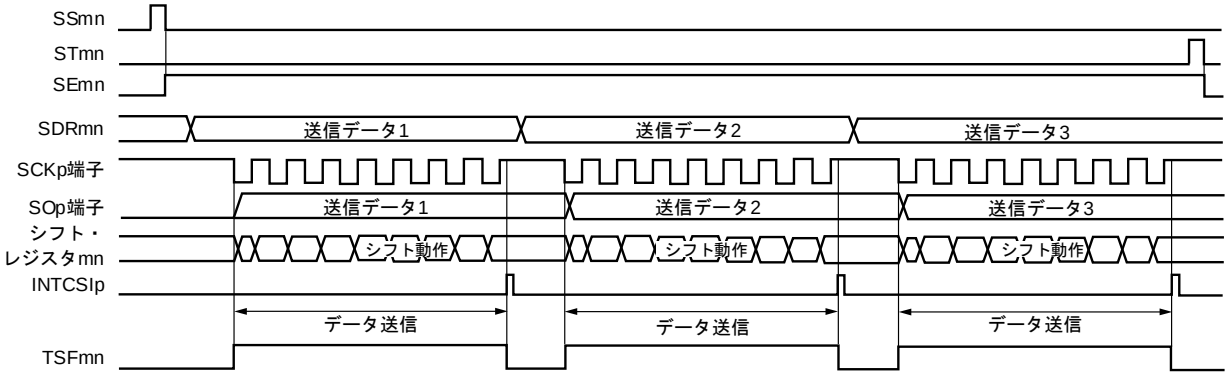
図14－52　スレーブ送信の再開設定手順




**備考**　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

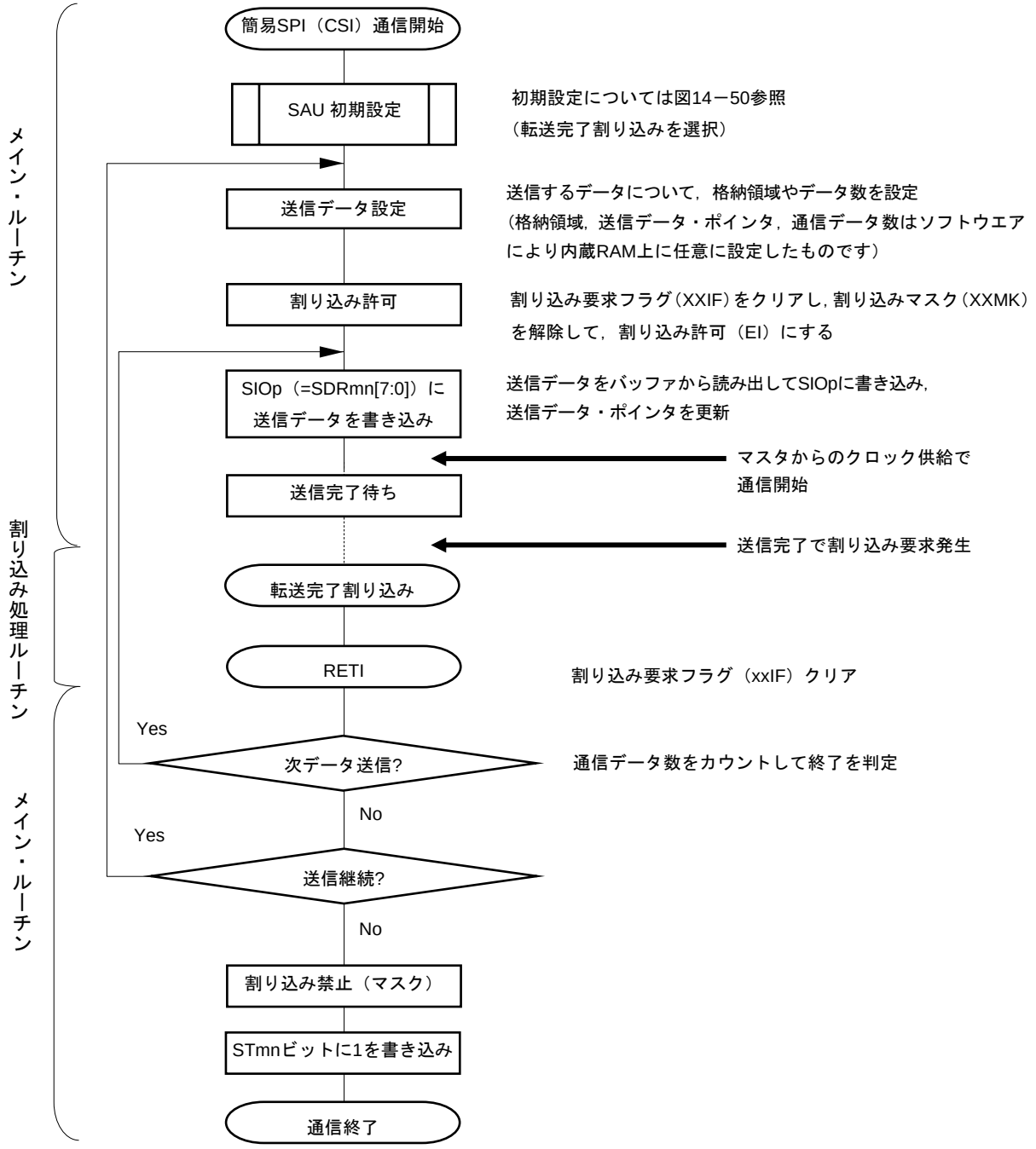
（3）処理フロー（シングル送信モード時）

図14－53　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



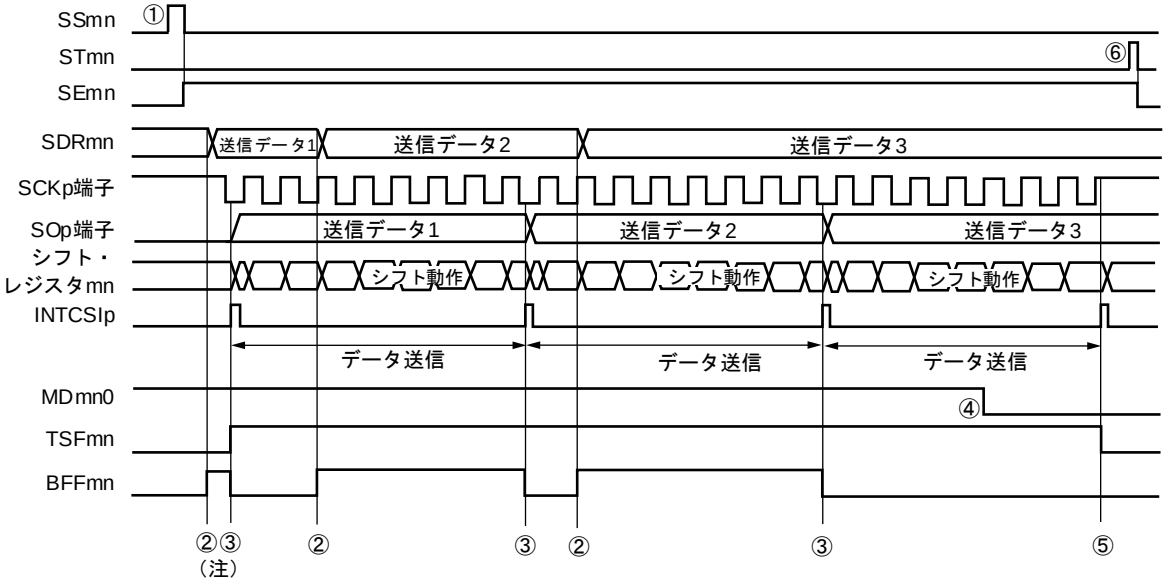

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－54　スレーブ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図14－55　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

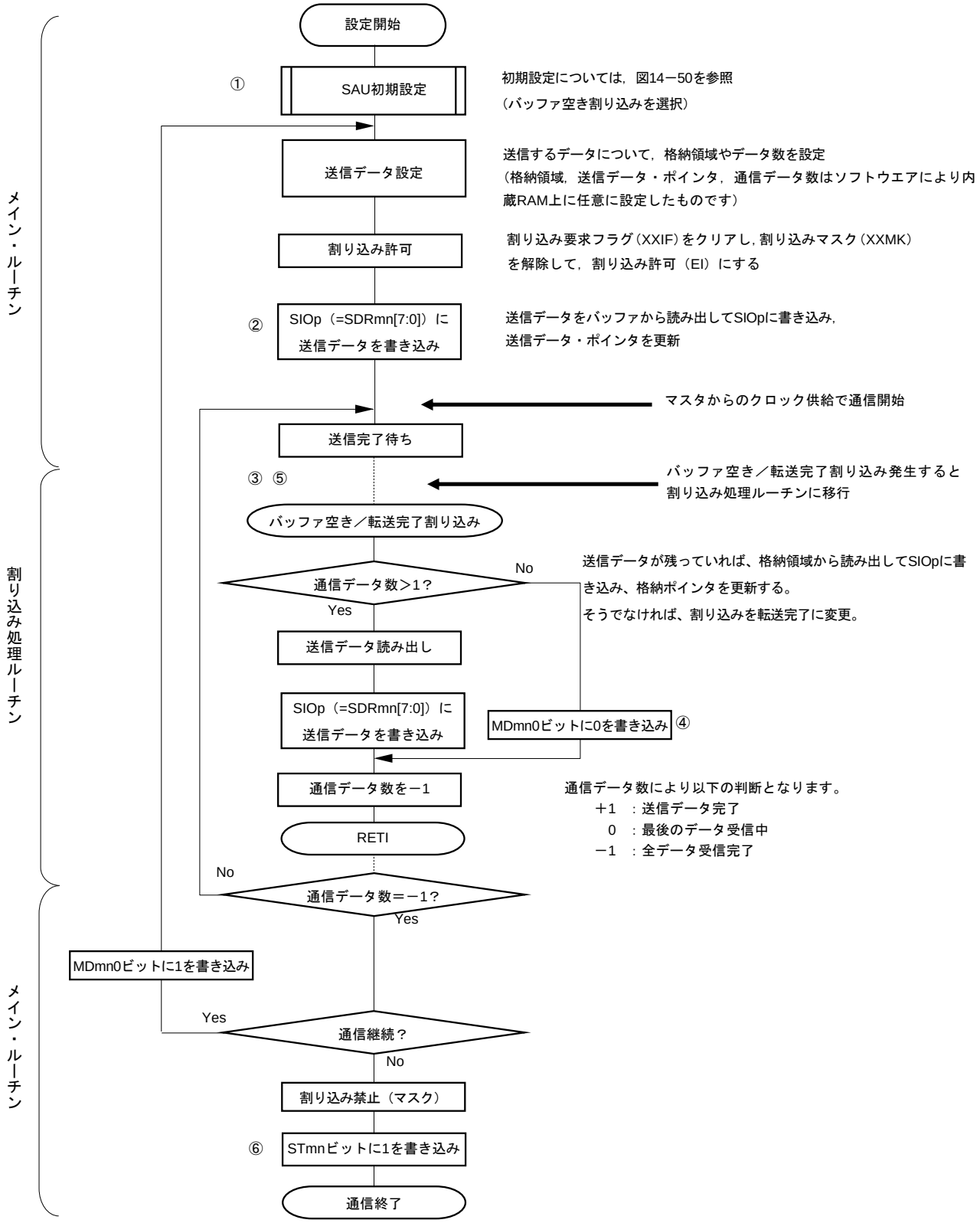



**注**　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

**注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。**

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－56　スレーブ送信（連続送信モード時）のフロー・チャート




**備考**　図中の①~⑥は，**図14－55　スレーブ送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

### 14. 5. 5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

| 簡易SPI | CSI00 | CSI10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCK00, SI00 | SCK10, SI10 |
| 割り込み | INTCSI00 | INTCSI10 |
| | 転送完了割り込みのみ（バッファ空き割り込みは設定禁止） | |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVFmn）のみ | |
| 転送データ長 | 7ビットまたは8ビット | |
| 転送レート | Max. $f_{MCK}$/6 [Hz]注1, 2 | |
| データ位相 | SCRmnレジスタのDAPmnビットにより選択可能<br>・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始<br>・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 | |
| クロック位相 | SCRmnレジスタのCKPmnビットにより選択可能<br>・CKPmn = 0の場合：非反転<br>・CKPmn = 1の場合：反転 | |
| データ方向 | MSBファーストまたはLSBファースト | |

**注1.** SCK00, SCK10端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは$f_{MCK}$/6 [Hz]となります。

**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考1.** $f_{MCK}$：対象チャネルの動作クロック周波数

$f_{SCK}$：シリアル・クロック周波数

**2.** m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

（1）レジスタ設定

図14－57　簡易SPI（CSI00, CSI10）のスレーブ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SMRmn | CKSmn | CCSmn | | | | | | STSmn | | SISmn0 | | | | MDmn2 | MDmn1 | MDmn0 |
| | 0/1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

チャネルnの動作クロック（$f_{MCK}$）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SCRmn | TXEmn | RXEmn | DAPmn | CKPmn | | EOCmn | PTCmn1 | PTCmn0 | DIRmn | | SLCmn1 | SLCmn0 | | | DLSmn1 | DLSmn0 |
| | 0 | 1 | 0/1 | 0/1 | 0 | 0 | 0 | 0 | 0/1 | 0 | 0 | 0 | 0 | 1 | 1注 | 0/1 |

データとクロックの位相選択
（設定内容詳細は「**14. 3 シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SDRmn | 0000000<br>ボー・レート設定 | | | | | | | | 0 | 受信データ | | | | | | |

SIOp

（d）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOm | | | | | | CKOm2 | | CKOm0 | | | | | | SOm2 | | SOm0 |
| | 0 | 0 | 0 | 0 | 1 | × | 1 | × | 0 | 0 | 0 | 0 | 1 | × | 1 | × |

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOEm | | | | | | | | | | | | | | SOEm2 | | SOEm0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × |

（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SSm | | | | | | | | | | | | | SSm3 | SSm2 | SSm1 | SSm0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0/1 | × | 0/1 |

**注**　SCR00レジスタのみ。その他は1固定になります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

**2.**　□：簡易SPI（CSI）スレーブ受信モードでは設定固定

■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－58　スレーブ受信の初期設定手順

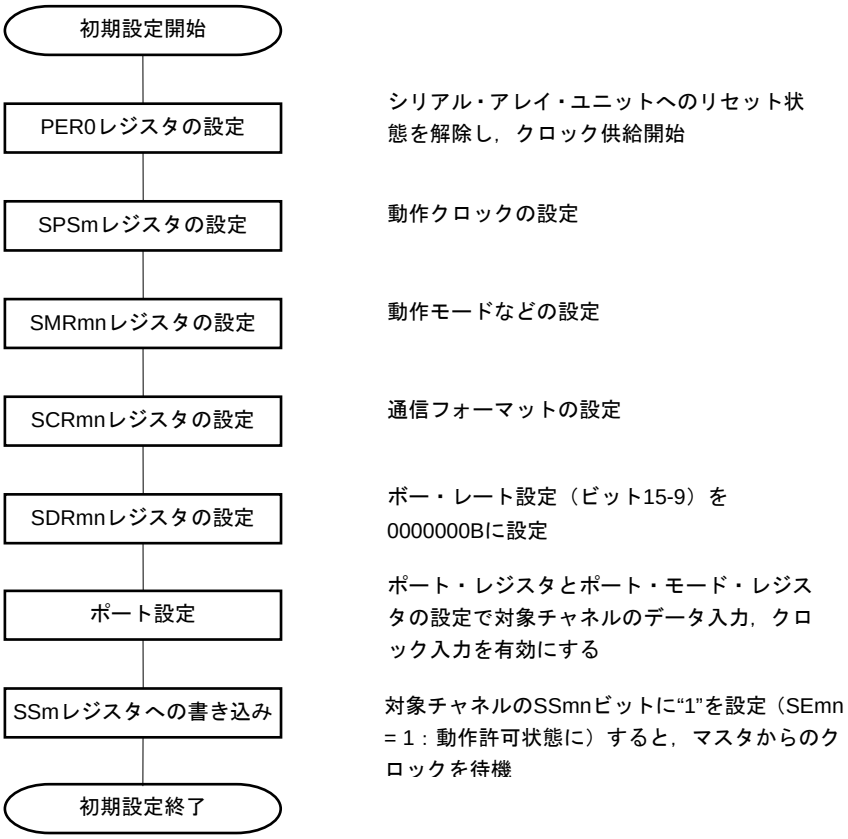



図14－59　スレーブ受信の中断手順

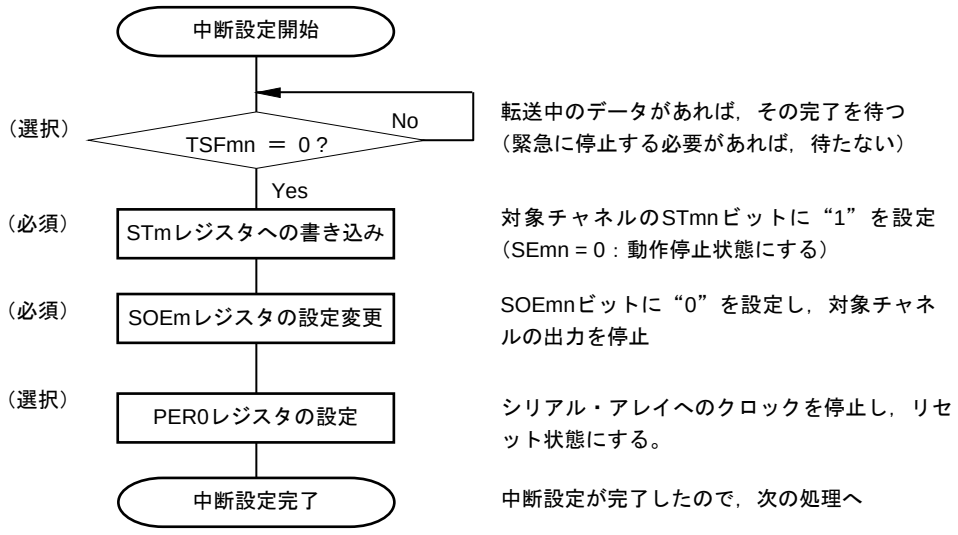
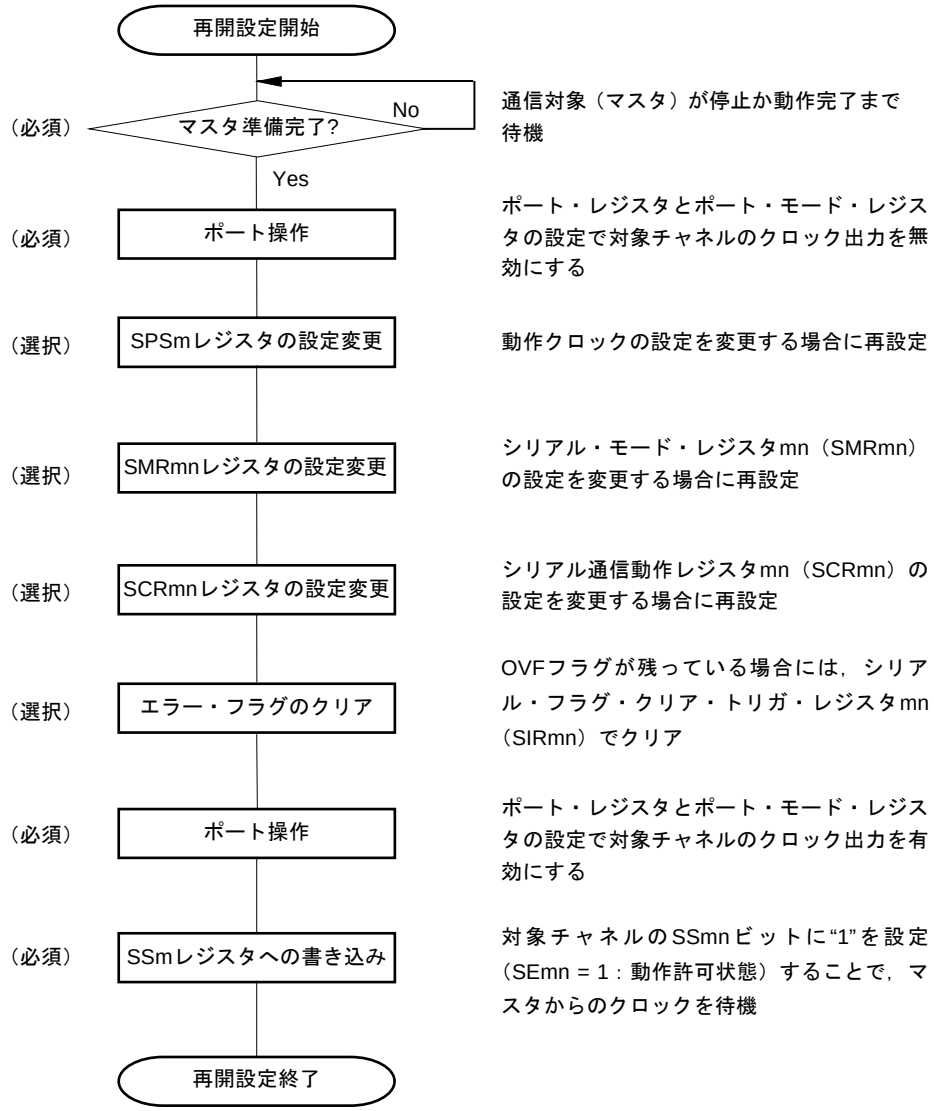


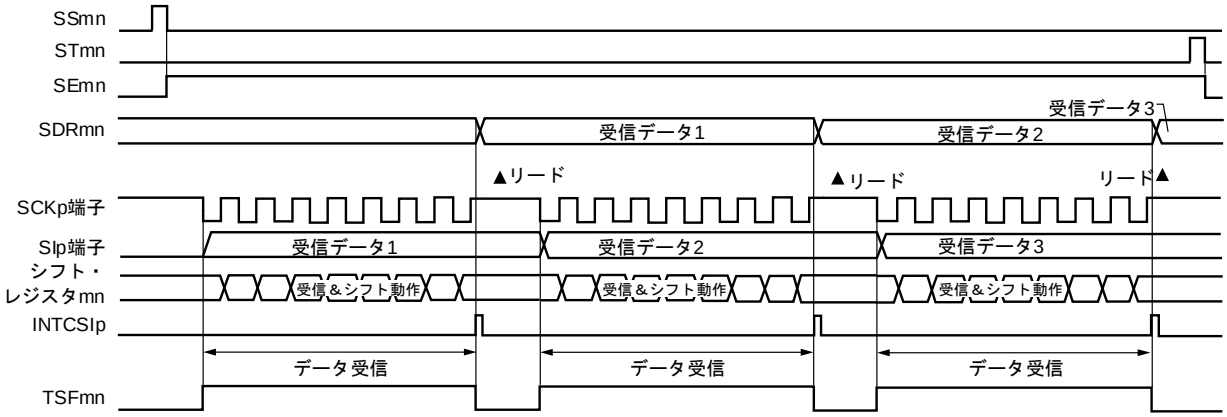
図14－60　スレーブ受信の再開設定手順




**備考**　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

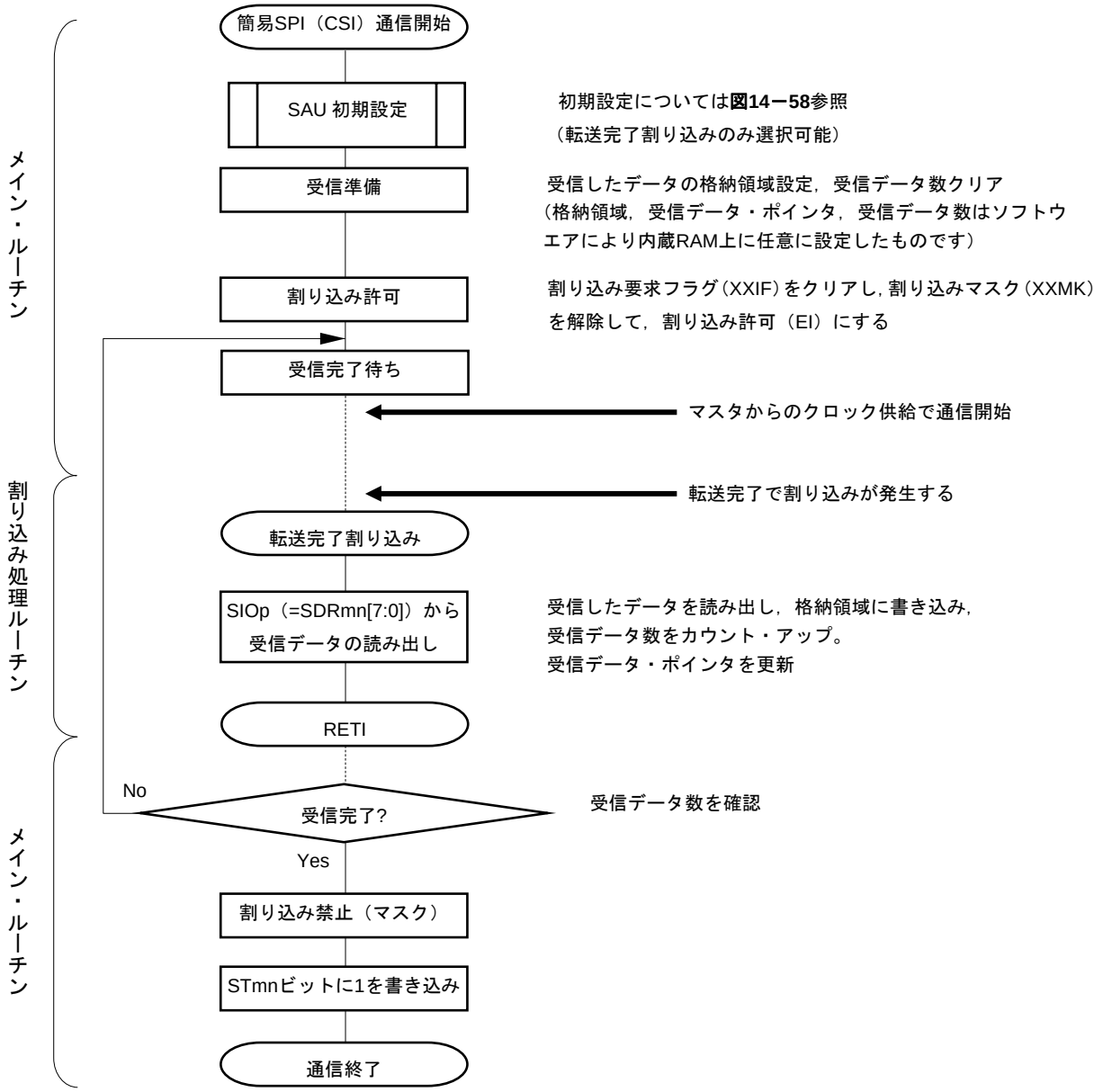
（3）処理フロー（シングル受信モード時）

図14－61　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）




**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

図14－62　スレーブ受信（シングル受信モード時）のフロー・チャート



## 14. 5. 6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

| 簡易SPI | CSI00 | CSI10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCK00, SI00, SO00 | SCK10, SI10, SO10 |
| 割り込み | INTCSI00 | INTCSI10 |
| | 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能 | |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVFmn）のみ | |
| 転送データ長 | 7ビットまたは8ビット | |
| 転送レート | Max. $f_{MCK}$/6 [Hz]注1, 2 | |
| データ位相 | SCRmnレジスタのDAPmnビットにより選択可能<br>・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始<br>・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 | |
| クロック位相 | SCRmnレジスタのCKPmnビットにより選択可能<br>・CKPmn = 0の場合：非反転<br>・CKPmn = 1の場合：反転 | |
| データ方向 | MSBファーストまたはLSBファースト | |

**注1.** SCK00, SCK10端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは$f_{MCK}$/6 [Hz]となります。

**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考1.** $f_{MCK}$：対象チャネルの動作クロック周波数

$f_{SCK}$：シリアル・クロック周波数

**2.** m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

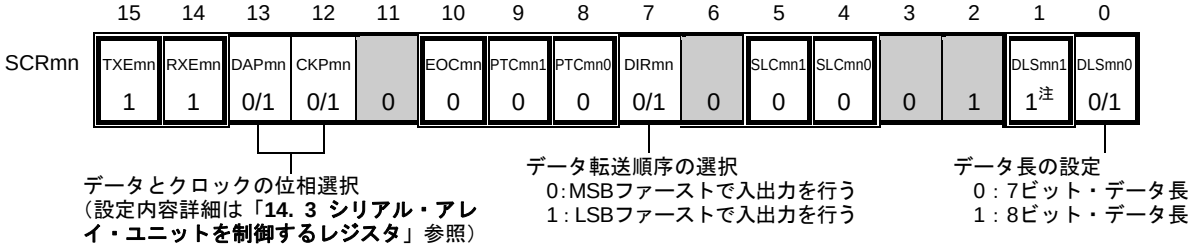
（1）レジスタ設定

図14－63　簡易SPI（CSI00, CSI10）のスレーブ送受信時のレジスタ設定内容例

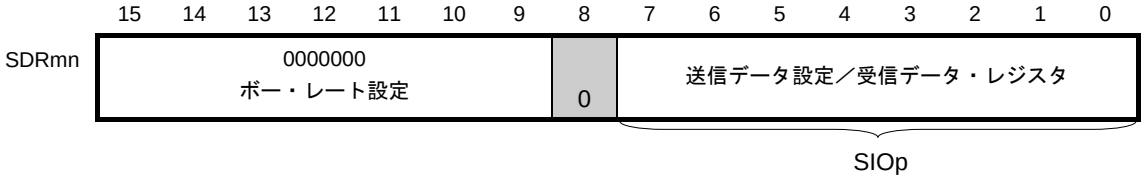
（a）シリアル・モード・レジスタmn（SMRmn）



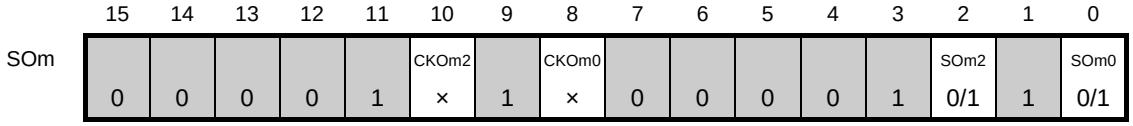

（b）シリアル通信動作設定レジスタmn（SCRmn）



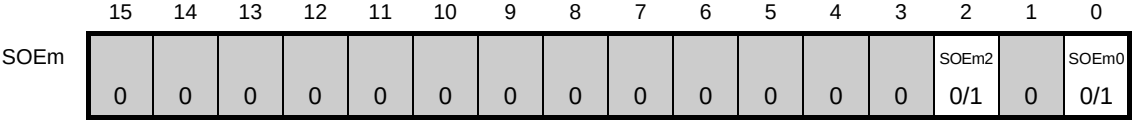

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



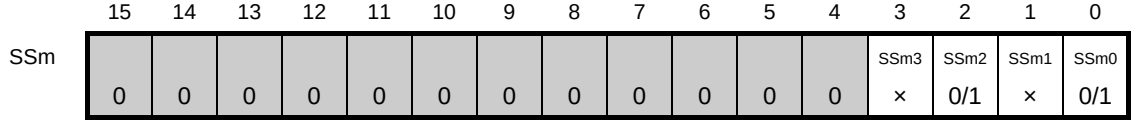

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する




（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する




（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する




**注**　SCR00レジスタのみ。その他は1固定になります。

**注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。**

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10）　mn = 00, 02

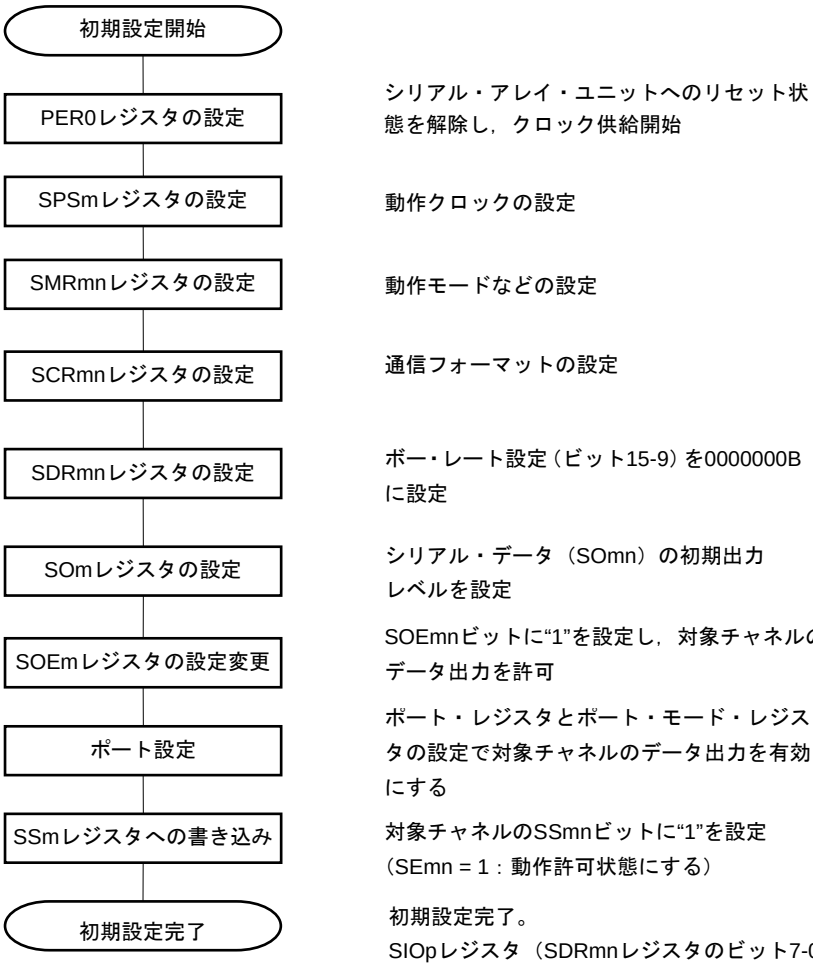
**2.**　□：簡易SPI（CSI）スレーブ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－64　スレーブ送受信の初期設定手順




**注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。**

図14－65　スレーブ送受信の中断手順

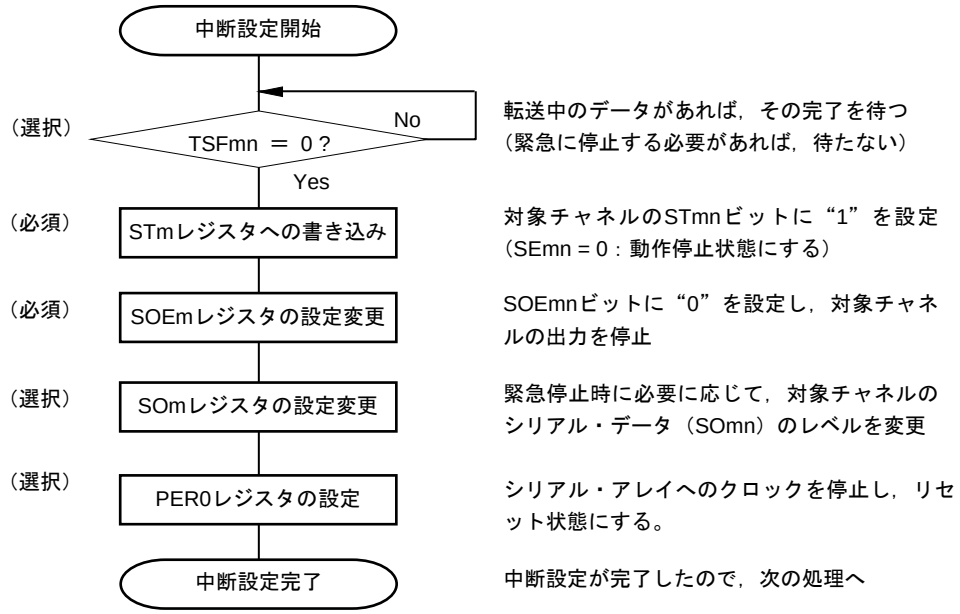
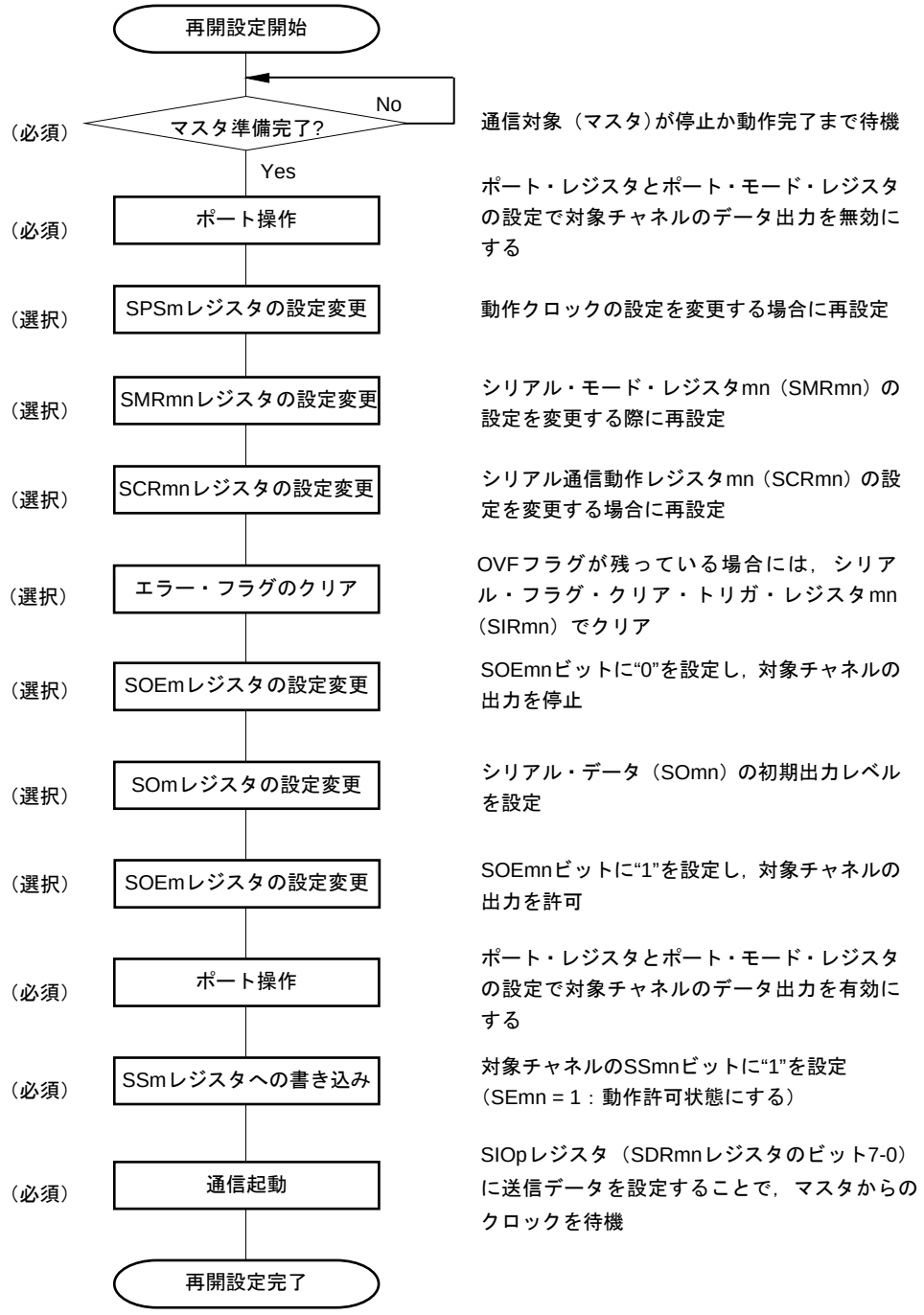


図14－66　スレーブ送受信の再開設定手順

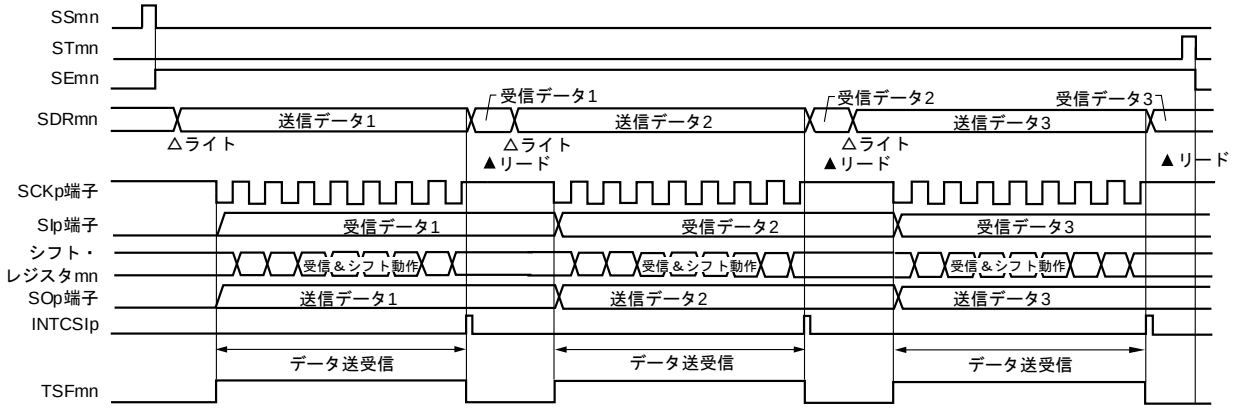



**注意 1.　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。**

**2.　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。**

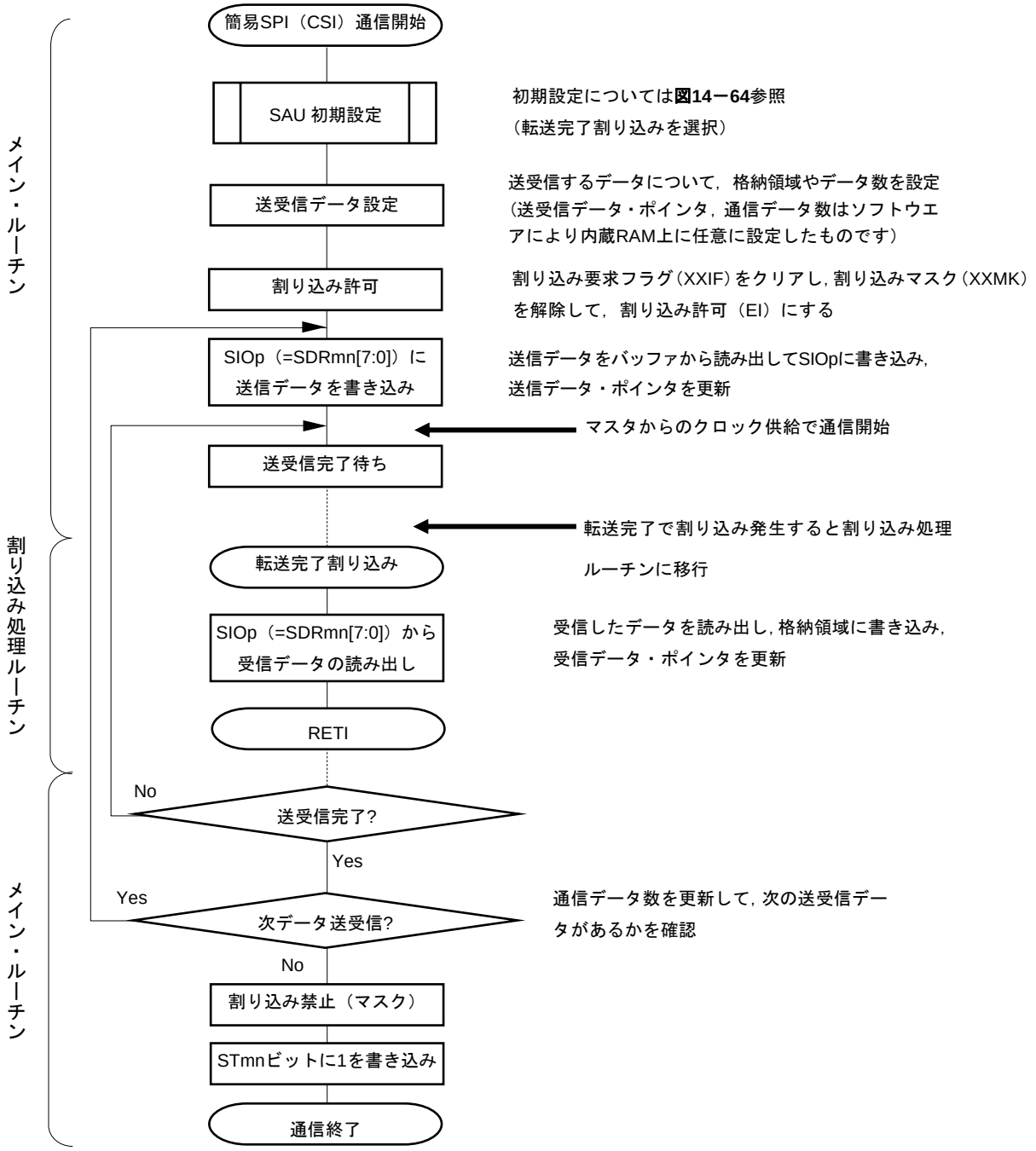
（3）処理フロー（シングル送受信モード時）

図14－67　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）




**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10），mn = 00, 02

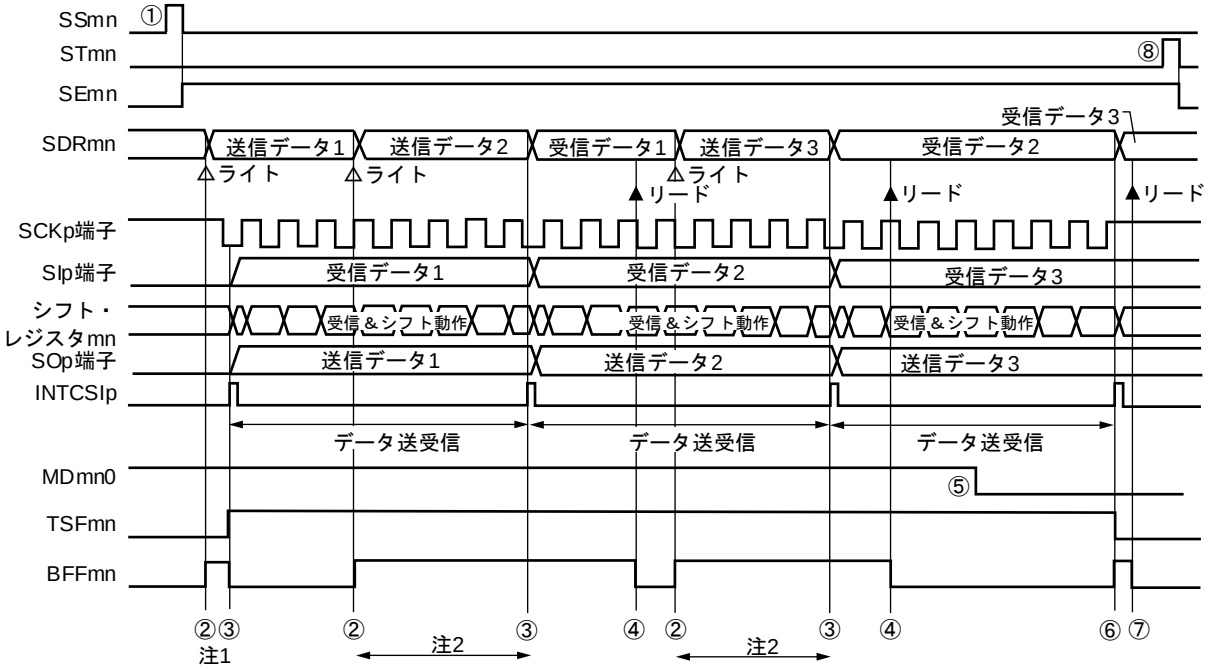
図14－68　スレーブ送受信（シングル送受信モード時）のフロー・チャート




**注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。**

（4）処理フロー（連続送受信モード時）

図14－69　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）




**注1.** シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

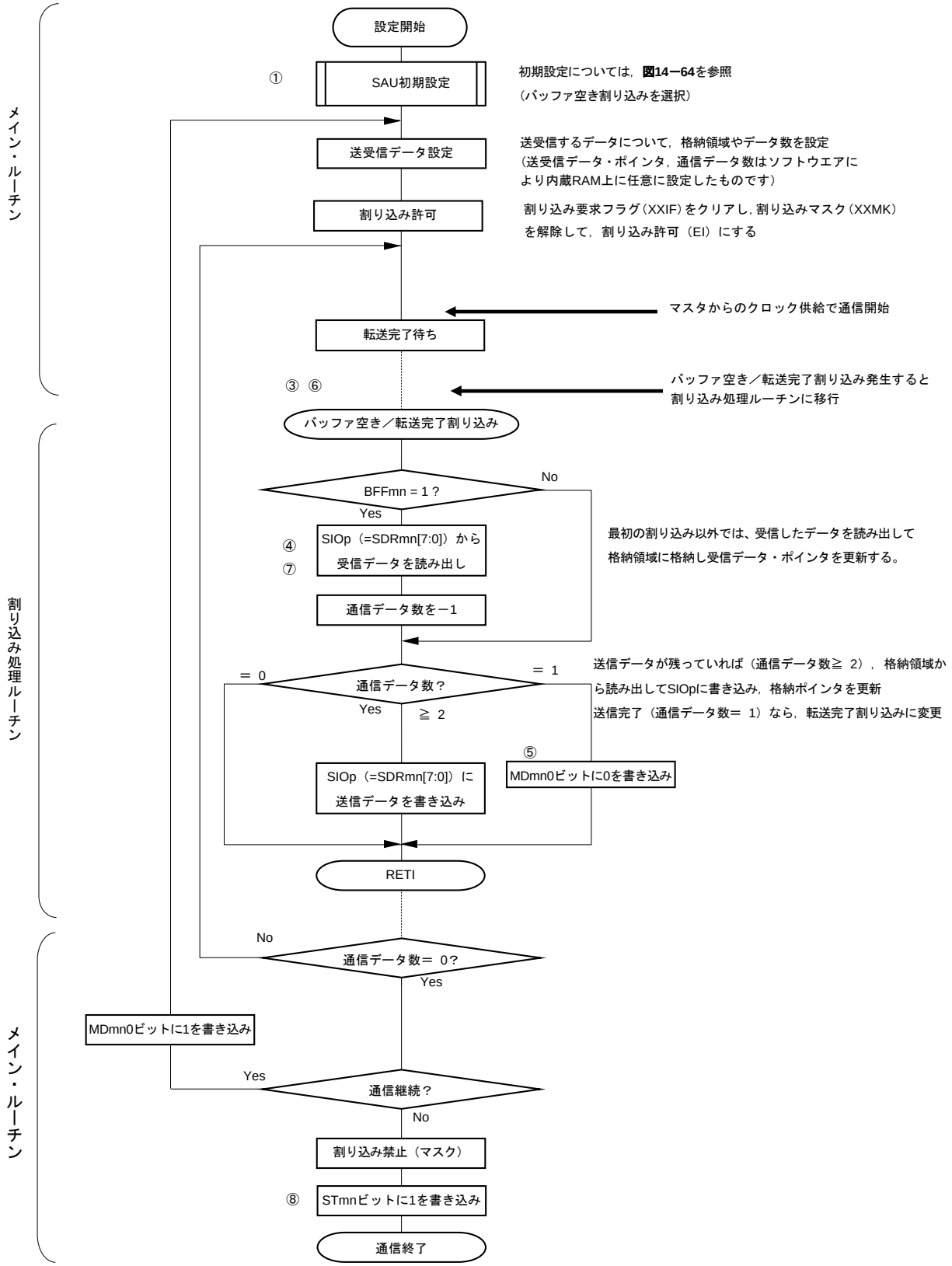
**2.** この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

**注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

**備考1.** 図中の①~⑧は，**図14－70　スレーブ送受信（連続送受信モード時）のフロー・チャート**の①~⑧に対応しています。

**2.** m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　p：CSI番号（p = 00, 10），mn = 00, 02

図14－70　スレーブ送受信（連続送受信モード時）のフロー・チャート




**注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。**

**備考**　図中の①~⑧は，**図14－69　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧**に対応しています。

## 14. 5. 7　SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI（CSI）の受信動作をさせるモードです。通常STOP時に簡易SPI（CSI）は通信動作を停止しますが，このモードを使うことで，SCKp端子入力の検出によってCPUを動作させずに簡易SPI（CSI）の受信動作を行うことができます。SNOOZEモードは，CSI00のみ設定可能です。

簡易SPI（CSI）をSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（図14－72，図14－74　SNOOZEモード動作時のフローチャートを参照）

・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。

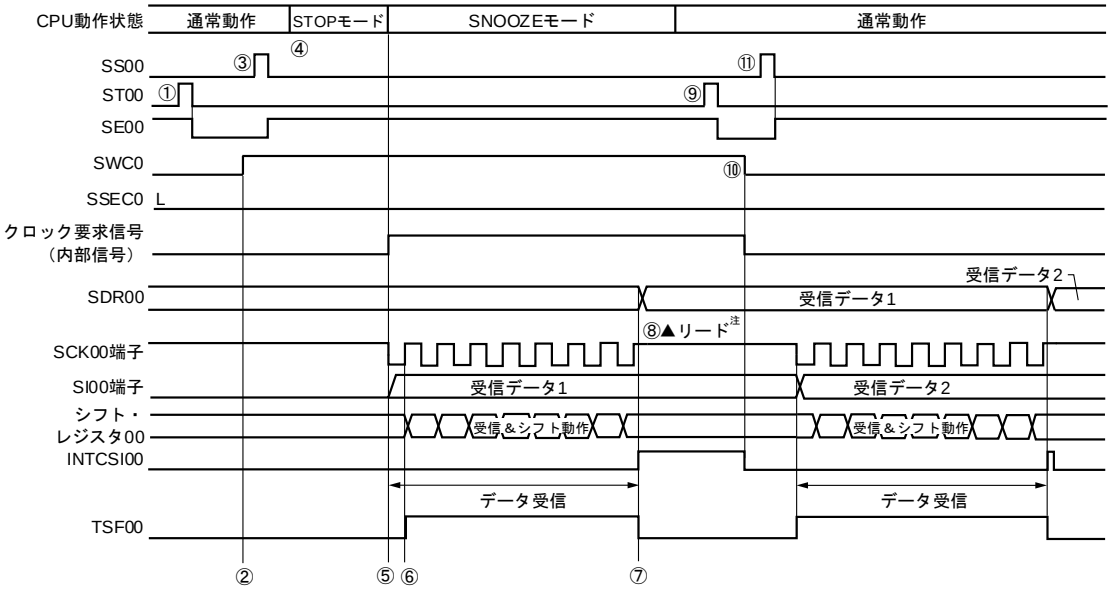
・STOPモードに移行後，SCKp端子の有効エッジを検出すると SNOOZEモードへ移行します。
SCKp端子のシリアル・クロック入力により，CSIpは受信動作を開始します。

**注意1.　SNOOZEモードは，$f_{CLK}$に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。**

**2.　SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。**

（1）SNOOZEモード動作（1回起動）

図14－71　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）




**注**　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください。

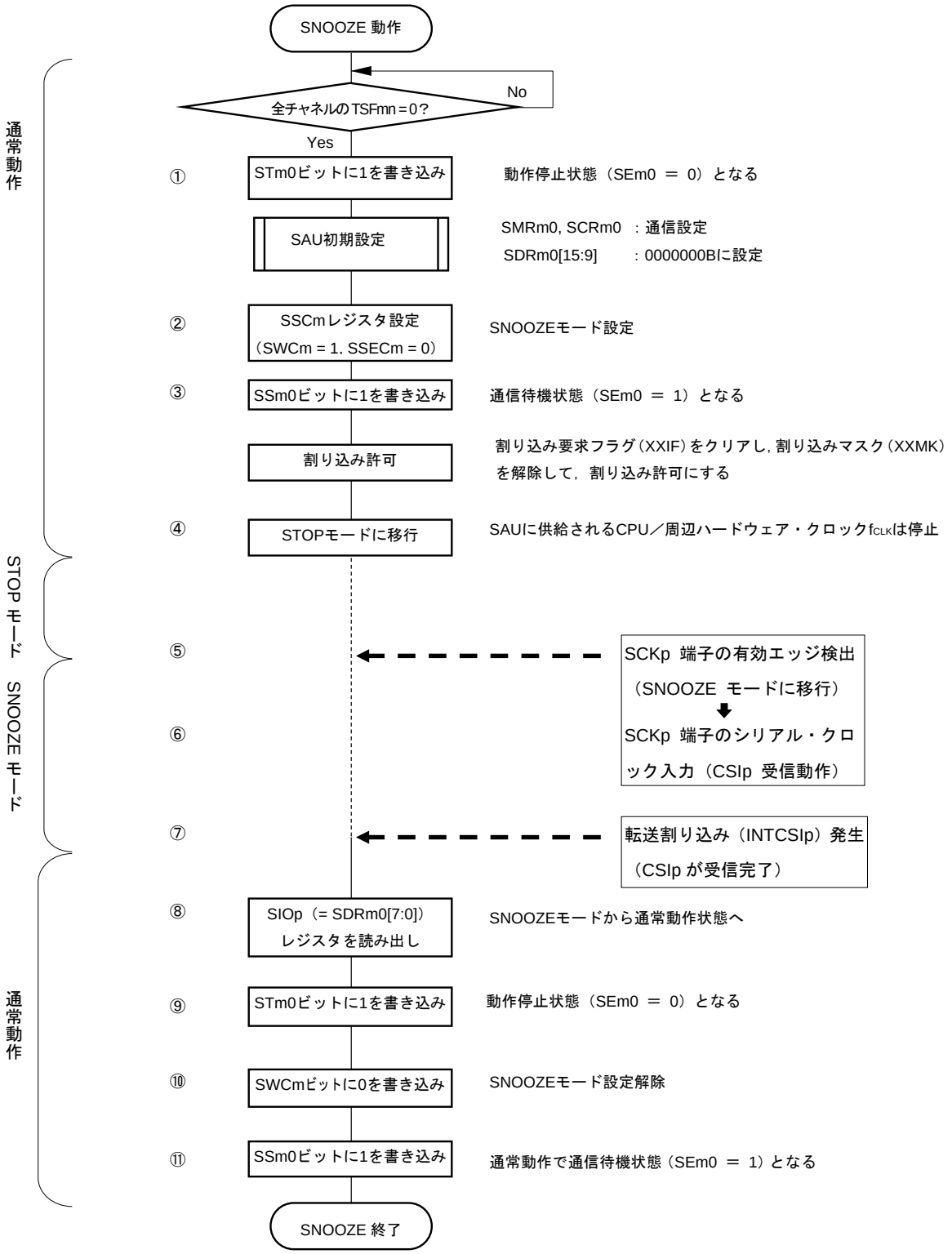
**注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。**
**また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。**

**2.　SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。**

**備考1.**　図中の①~⑪は，**図14－72　SNOOZEモード動作（1回起動）時のフロー・チャートの①~⑪**に対応しています。

**2.**　m = 0; p = 00

図14－72　SNOOZEモード動作（1回起動）時のフロー・チャート

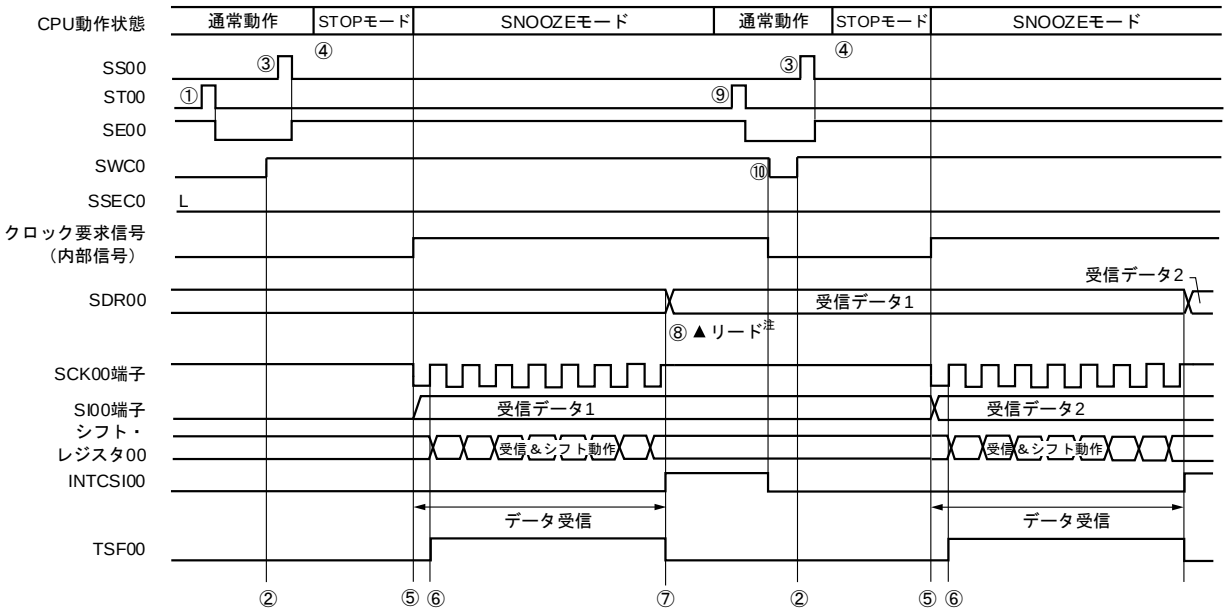



**備考1.**　図中の①~⑪は，**図14－71　SNOOZEモード動作（1回起動）時のタイミング・チャート**の①~⑪に対応しています。

**2.**　m = 0; p = 00

（2）SNOOZEモード動作（連続起動）

図14－73　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）




**注**　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください。

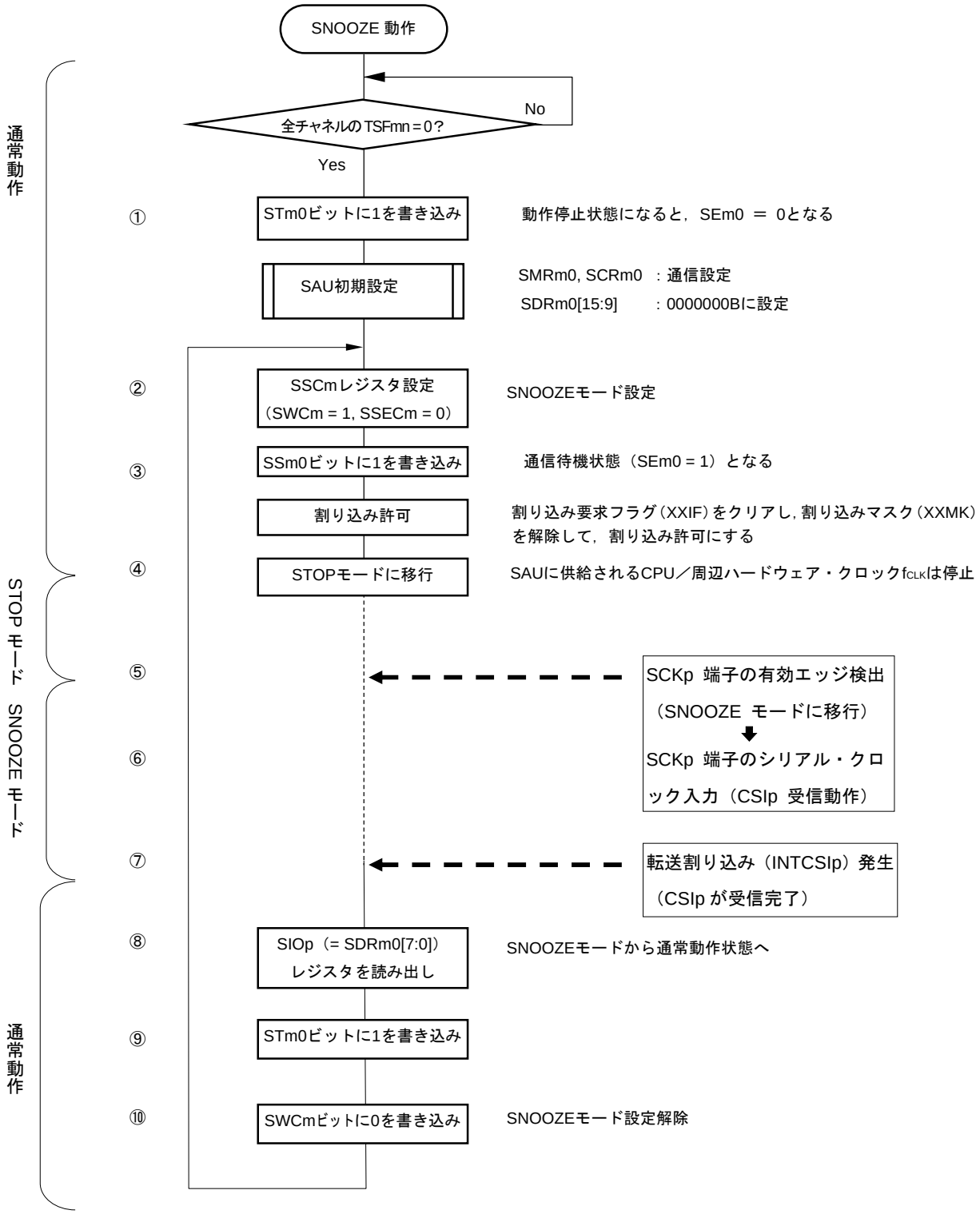
**注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。**
**また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。**

**2.　SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。**

**備考1.**　図中の①~⑩は，**図14－74　SNOOZEモード動作（連続起動）時のフロー・チャート**の①~⑩に対応しています。

**2.**　m = 0; p = 00

図14－74　SNOOZEモード動作（連続起動）時のフロー・チャート




**備考1.** 図中の①~⑩は，**図14－73　SNOOZEモード動作（連続起動）時のタイミング・チャートの**①~⑩に対応しています。

**2.** m = 0; p = 00

## 14. 5. 8　転送クロック周波数の算出

簡易SPI（CSI00, CSI10）通信での転送クロック周波数は下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）＝｛対象チャネルの動作クロック（$f_{MCK}$）周波数｝÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）＝｛マスタが供給するシリアル・クロック（SCK）周波数｝[注] [Hz]

**注**　ただし，許容最大転送クロック周波数は$f_{MCK}$/6となります。

**備考**　SDRmn[15:9]は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000000B-1111111B）なので，0-127になります。

動作クロック（$f_{MCK}$）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

表14－2 簡易SPI動作クロックの選択

| SMRmn レジスタ | SPSmレジスタ | | | | | | | | 動作クロック（$f_{MCK}$）注 | |
|---|---|---|---|---|---|---|---|---|---|---|
| CKSmn | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 | | $f_{CLK}$ = 24 MHz 動作時 |
| 0 | X | X | X | X | 0 | 0 | 0 | 0 | $f_{CLK}$ | 24 MHz |
| | X | X | X | X | 0 | 0 | 0 | 1 | $f_{CLK}/2$ | 12 MHz |
| | X | X | X | X | 0 | 0 | 1 | 0 | $f_{CLK}/2^2$ | 6 MHz |
| | X | X | X | X | 0 | 0 | 1 | 1 | $f_{CLK}/2^3$ | 3 MHz |
| | X | X | X | X | 0 | 1 | 0 | 0 | $f_{CLK}/2^4$ | 1.5 MHz |
| | X | X | X | X | 0 | 1 | 0 | 1 | $f_{CLK}/2^5$ | 750 kHz |
| | X | X | X | X | 0 | 1 | 1 | 0 | $f_{CLK}/2^6$ | 375 kHz |
| | X | X | X | X | 0 | 1 | 1 | 1 | $f_{CLK}/2^7$ | 187.5 kHz |
| | X | X | X | X | 1 | 0 | 0 | 0 | $f_{CLK}/2^8$ | 93.8 kHz |
| | X | X | X | X | 1 | 0 | 0 | 1 | $f_{CLK}/2^9$ | 46.9 kHz |
| | X | X | X | X | 1 | 0 | 1 | 0 | $f_{CLK}/2^{10}$ | 23.4 kHz |
| | X | X | X | X | 1 | 0 | 1 | 1 | $f_{CLK}/2^{11}$ | 11.7 kHz |
| | X | X | X | X | 1 | 1 | 0 | 0 | $f_{CLK}/2^{12}$ | 5.86 kHz |
| | X | X | X | X | 1 | 1 | 0 | 1 | $f_{CLK}/2^{13}$ | 2.93 kHz |
| | X | X | X | X | 1 | 1 | 1 | 0 | $f_{CLK}/2^{14}$ | 1.46 kHz |
| | X | X | X | X | 1 | 1 | 1 | 1 | $f_{CLK}/2^{15}$ | 732 Hz |
| 1 | 0 | 0 | 0 | 0 | X | X | X | X | $f_{CLK}$ | 24 MHz |
| | 0 | 0 | 0 | 1 | X | X | X | X | $f_{CLK}/2$ | 12 MHz |
| | 0 | 0 | 1 | 0 | X | X | X | X | $f_{CLK}/2^2$ | 6 MHz |
| | 0 | 0 | 1 | 1 | X | X | X | X | $f_{CLK}/2^3$ | 3 MHz |
| | 0 | 1 | 0 | 0 | X | X | X | X | $f_{CLK}/2^4$ | 1.5 MHz |
| | 0 | 1 | 0 | 1 | X | X | X | X | $f_{CLK}/2^5$ | 750 kHz |
| | 0 | 1 | 1 | 0 | X | X | X | X | $f_{CLK}/2^6$ | 375 kHz |
| | 0 | 1 | 1 | 1 | X | X | X | X | $f_{CLK}/2^7$ | 187.5 kHz |
| | 1 | 0 | 0 | 0 | X | X | X | X | $f_{CLK}/2^8$ | 93.8 kHz |
| | 1 | 0 | 0 | 1 | X | X | X | X | $f_{CLK}/2^9$ | 46.9 kHz |
| | 1 | 0 | 1 | 0 | X | X | X | X | $f_{CLK}/2^{10}$ | 23.4 kHz |
| | 1 | 0 | 1 | 1 | X | X | X | X | $f_{CLK}/2^{11}$ | 11.7 kHz |
| | 1 | 1 | 0 | 0 | X | X | X | X | $f_{CLK}/2^{12}$ | 5.86 kHz |
| | 1 | 1 | 0 | 1 | X | X | X | X | $f_{CLK}/2^{13}$ | 2.93 kHz |
| | 1 | 1 | 1 | 0 | X | X | X | X | $f_{CLK}/2^{14}$ | 1.46 kHz |
| | 1 | 1 | 1 | 1 | X | X | X | X | $f_{CLK}/2^{15}$ | 732 Hz |

**注** $f_{CLK}$に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

**備考1.** X：Don’t care

**2.** m：ユニット番号（m = 0） n：チャネル番号（n = 0, 2），mn = 00, 02

## 14. 5. 9　簡易SPI（CSI00, CSI10）通信時におけるエラー発生時の処理手順

簡易SPI（CSI00, CSI10）通信時にエラーが発生した場合の処理手順を図14－75に示します。

図14－75　オーバラン・エラー発生時の処理手順

| ソフトウエア操作 | ハードウエアの状態 | 備考 |
|---|---|---|
| シリアル・データ・レジスタmn（SDRmn）をリードする → | SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる | エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う |
| シリアル・ステータス・レジスタmn（SSRmn）をリードする | | エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする → | エラー・フラグがクリアされる | SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる |

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

## 14. 6　UART（UART0-UART3）通信の動作

シリアル／データ送信（TxD）とシリアル／データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重調歩同期UART通信が実現できます。また，UART0とタイマ・アレイ・ユニット0（チャネル7）と外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

［データ送受信］
- ・7, 8, 9ビットのデータ長[注]
- ・MSB/LSBファーストの選択
- ・送受信データのレベル設定（レベルを，反転するかどうかの選択）
- ・パリティ・ビット付加，パリティ・チェック機能
- ・ストップ・ビット付加，ストップ・ビット・チェック機能

［割り込み機能］
- ・転送完了割り込み／バッファ空き割り込み
- ・フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］
- ・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，UART0, UART2受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，UART0, UART2のみ設定可能です。

UART0（ユニット0のチャネル0, 1）は，LIN-busに対応しています。

［LIN-bus機能］
- ・ウエイクアップ信号検出
- ・ブレーク・フィールド（BF）検出
- ・シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0（チャネル7）を使用

**注**　9ビット・データ長は，UART0, UART2のみ対応しています。

UART0では，SAU0のチャネル0, 1を使用します。
UART1では，SAU0のチャネル2, 3を使用します。
UART2では，SAU1のチャネル0, 1を使用します。
UART3では，SAU1のチャネル2, 3を使用します。

○64ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易$I^2C$として使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | － | | － |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | － | | － |
| 1 | 0 | － | UART2 | － |
| | 1 | － | | － |

○80ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易$I^2C$として使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | － | | － |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | － | | － |
| 1 | 0 | － | UART2 | － |
| | 1 | － | | － |
| | 2 | － | UART3 | － |
| | 3 | － | | － |

各チャネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば，ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00を使用することはできません。しかし，UART0と同時にチャネルが異なるチャネル2, 3をCSI10やUART1やIIC10で使用することはできます。

**注意　UARTとして使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらもUARTにしか使用できません。**

UARTの通信動作は，以下の4種類があります。

- UART送信　（**14. 6. 1**項を参照）
- UART受信　（**14. 6. 2**項を参照）
- LIN送信（UART2のみ）　（**14. 7. 1**項を参照）
- LIN受信（UART2のみ）　（**14. 7. 2**項を参照）

### 14. 6. 1　UART送信

UART送信は，RL78マイクロコントローラから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

| UART | UART0 | UART1 | UART2 | UART3 |
|---|---|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 | SAU1のチャネル0 | SAU1のチャネル2 |
| 使用端子 | TxD0 | TxD1 | TxD2 | TxD3 |
| 割り込み | INTST0 | INTST1 | INTST2 | INTST3 |
| | 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能 | | | |
| エラー検出フラグ | なし | | | |
| 転送データ長 | 7ビットまたは8ビットまたは9ビット[注1] | | | |
| 転送レート | Max. $f_{MCK}$/6 [bps]（SDRmn[15:9] = 2以上），Min. $f_{CLK}$/（2×$2^{15}$×128）[bps][注2] | | | |
| データ位相 | 非反転出力（デフォルト：ハイ・レベル）<br>反転出力（デフォルト：ロウ・レベル） | | | |
| パリティ・ビット | 以下の選択が可能<br>・パリティ・ビットなし<br>・0パリティ・ビット付加<br>・偶数パリティ付加<br>・奇数パリティ付加 | | | |
| ストップ・ビット | 以下の選択が可能<br>・1ビット付加<br>・2ビット付加 | | | |
| データ方向 | MSBファーストまたはLSBファースト | | | |

**注1.** 9ビット・データ長は，UART0, UART2のみ対応しています。

**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考1.** $f_{MCK}$：対象チャネルの動作クロック周波数

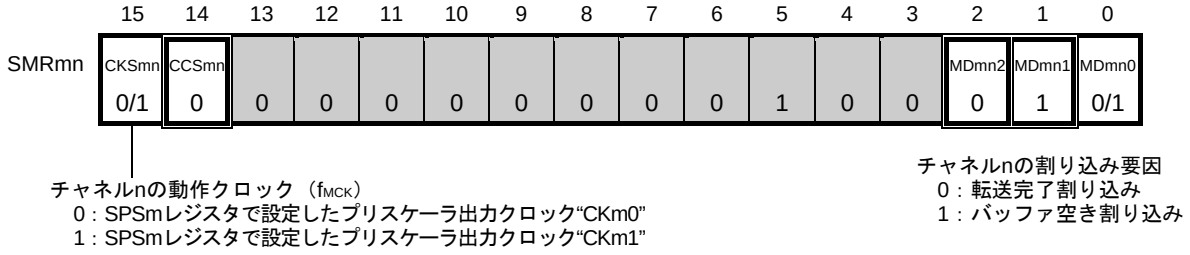
$f_{CLK}$：システム・クロック周波数

**2.** m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2），mn = 00, 02, 10, 12

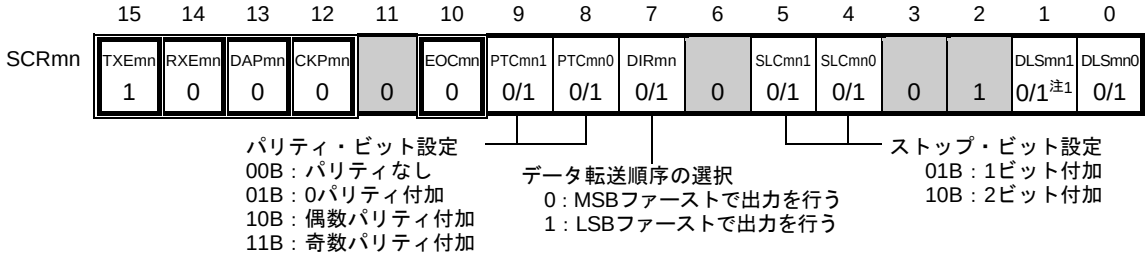
（1）レジスタ設定

図14－76　UART（UART0-UART3）のUART送信時のレジスタ設定内容例（80ピン製品）（1/2）

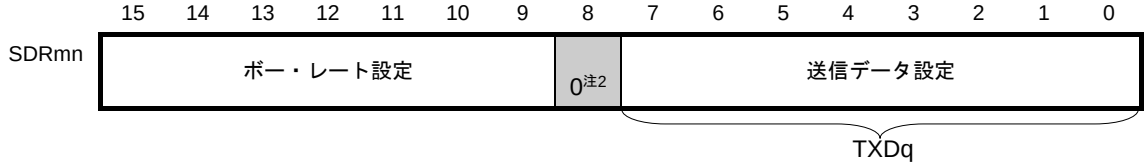
（a）シリアル・モード・レジスタmn（SMRmn）



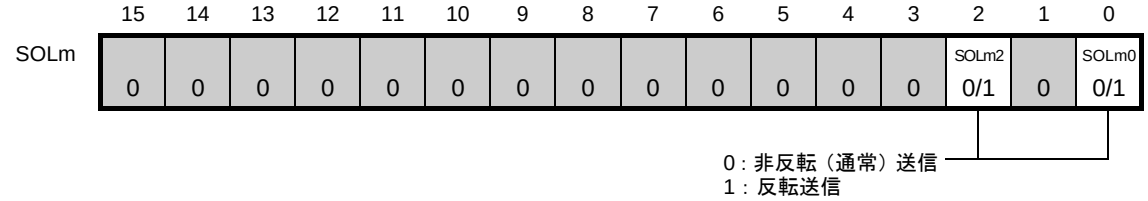

（b）シリアル通信動作設定レジスタmn（SCRmn）




（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：TXDq）




（d）シリアル出力レベル・レジスタm（SOLm）　・・・対象チャネルのビットのみ設定する




**注 1.**　SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

**2.**　9ビット・データ長での通信を行う場合は，SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，UART0, UART2のみです。

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3），mn = 00, 02, 10, 12

**2.**　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図14－76　UART（UART0-UART3）のUART送信時のレジスタ設定内容例（80ピン製品）（2/2）

（e）シリアル出力レジスタm（SOm）　・・・対象チャネルのビットのみ設定する

| SOm | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 0 | 0 | 0 | 0 | 1 | CKOm2 注2 × | 1 | CKOm0 注2 × | 0 | 0 | 0 | 0 | 1 | SOm2 0/1 注1 | 1 | SOm0 0/1 注1 |

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

（f）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

| SOEm | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 0/1 | 0 | SOEm0 0/1 |

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

| SSm | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 × | SSm2 0/1 | SSm1 × | SSm0 0/1 |

**注1.**　該当するチャネルのSOLmnビットに0を設定している場合は“1”に，SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

**2.**　シリアル・アレイ・ユニット0のみ

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）
mn = 00, 02, 10, 12

**2.**　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－77　UART送信の初期設定手順




図14－78　UART送信の中断手順

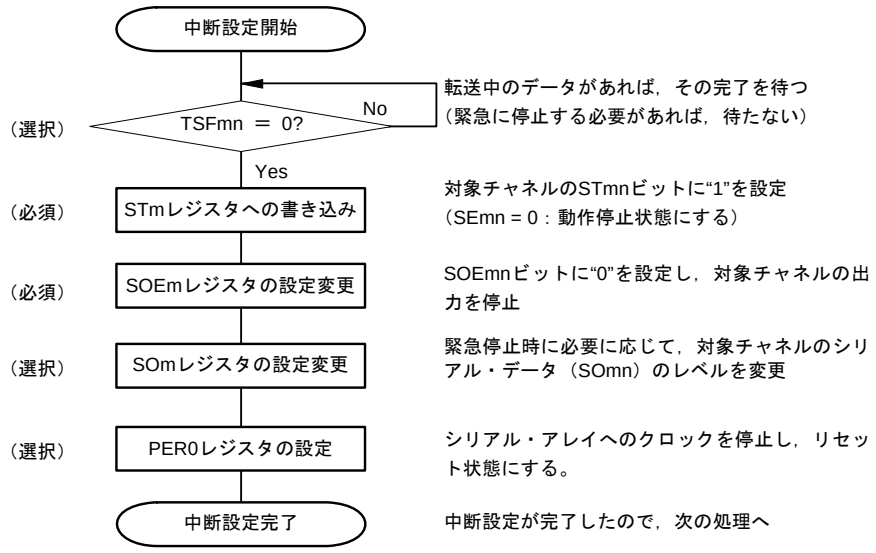
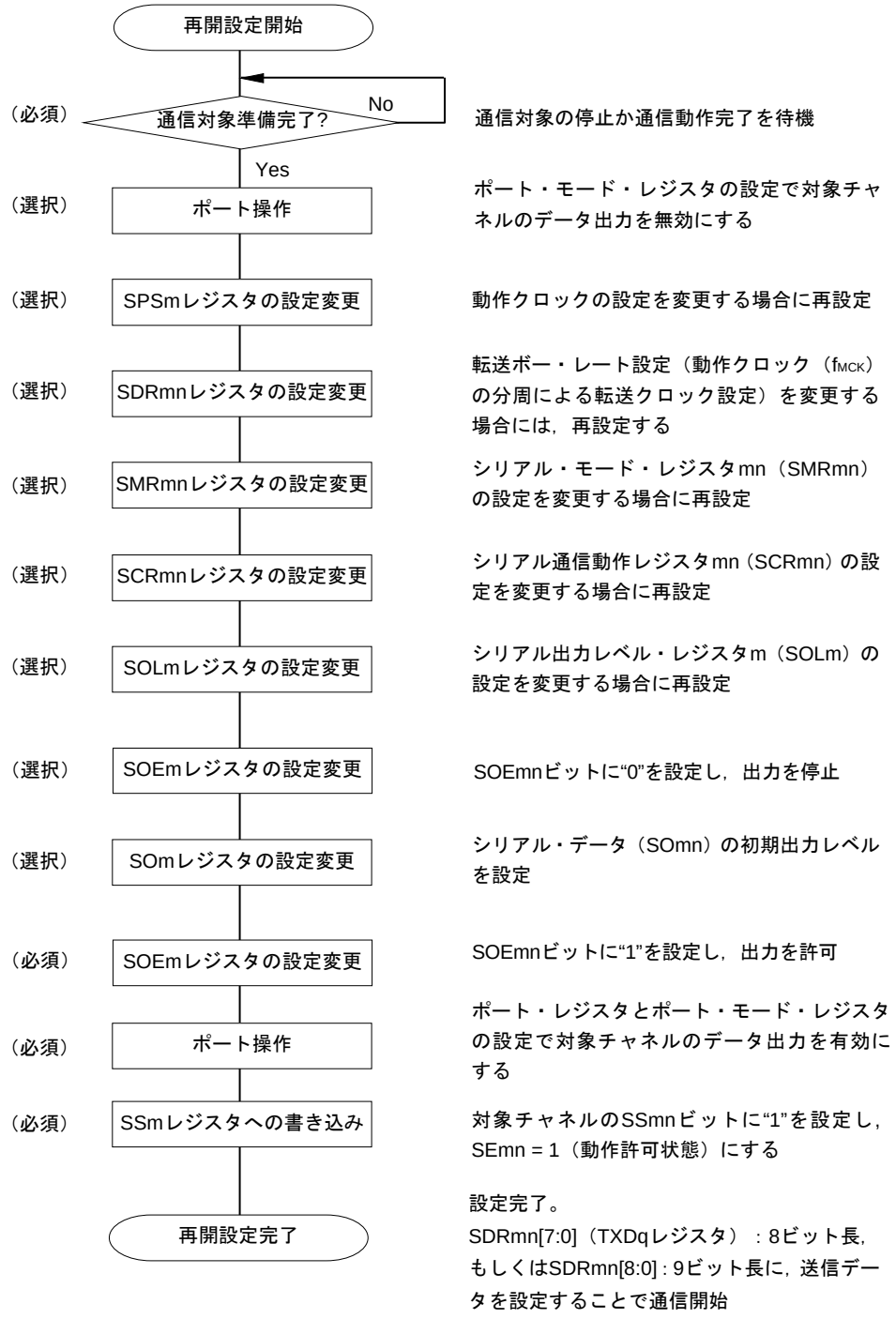


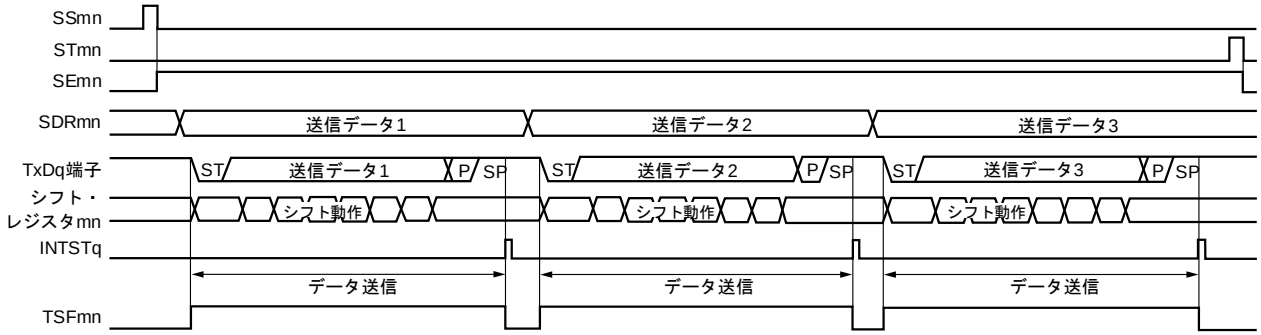
図14－79　UART送信の再開設定手順




**備考**　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー（シングル送信モード時）

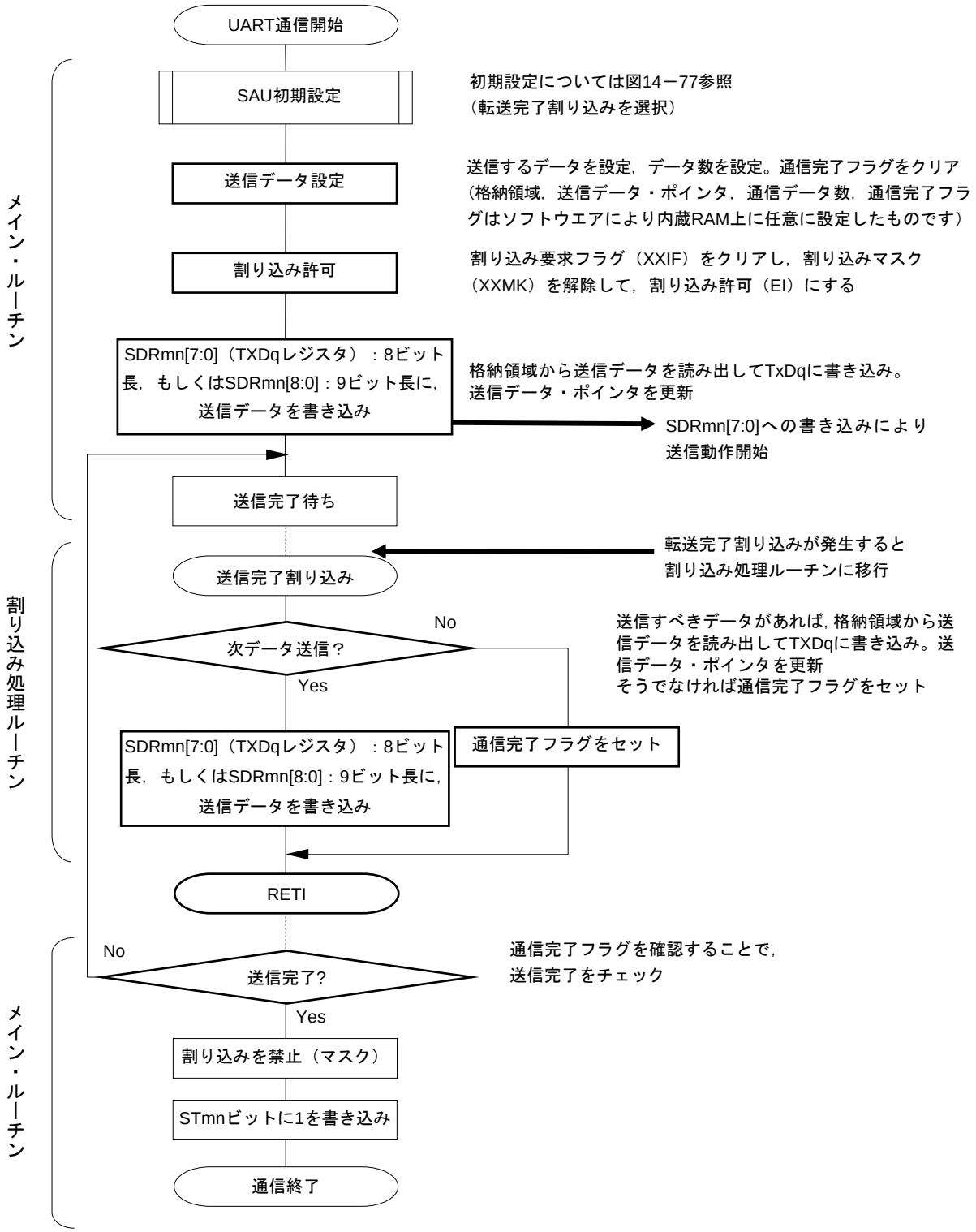
図14－80　UART送信（シングル送信モード時）のタイミング・チャート




**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）

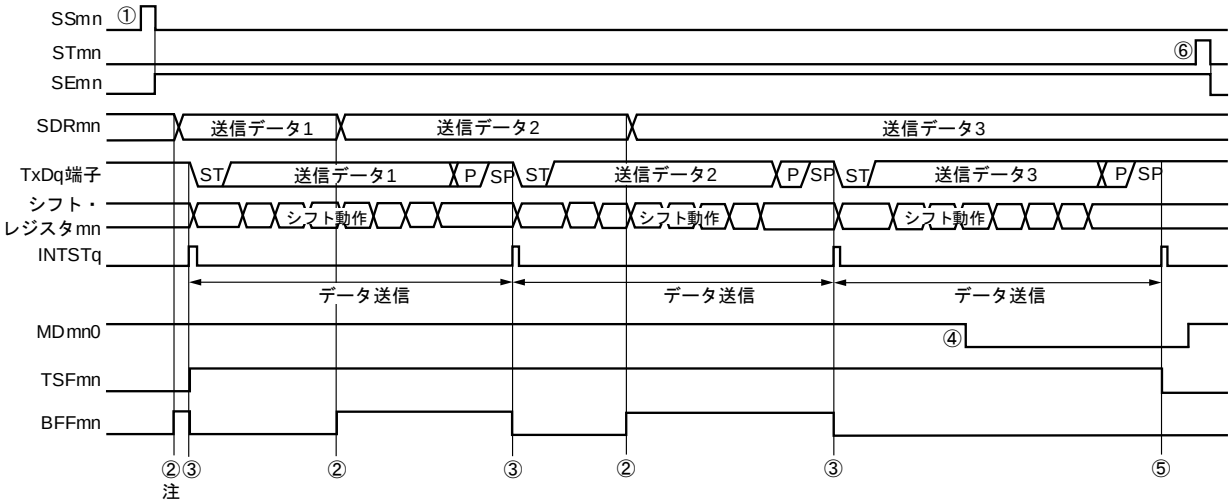
mn = 00, 02, 10, 12

図14－81　UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図14－82　UART送信（連続送信モード時）のタイミング・チャート

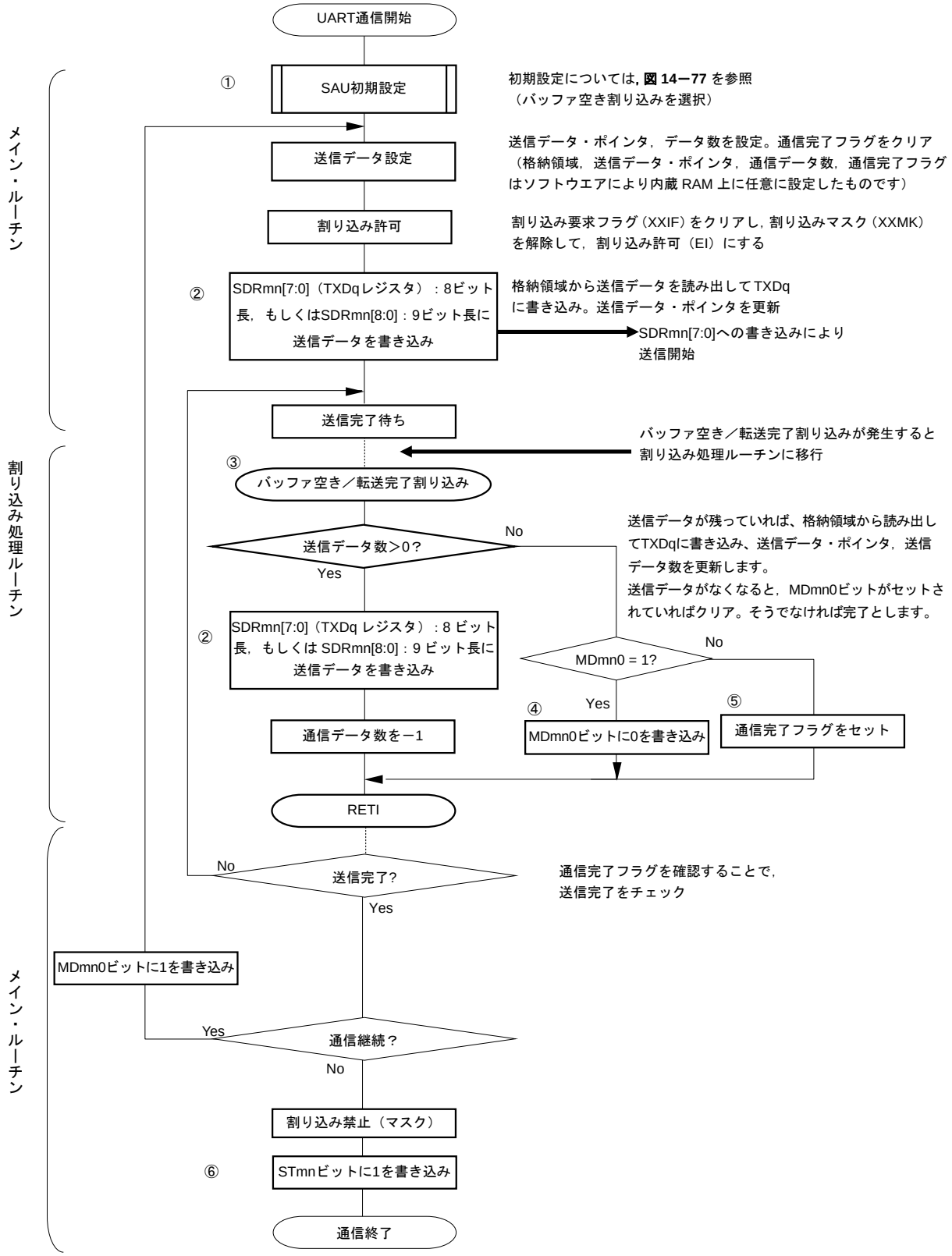



**注**　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

**注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。**
**ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）
mn = 00, 02, 10, 12

図14－83　UART送信（連続送信モード時）のフロー・チャート




**備考**　図中の①~⑥は，**図14－82　UART送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

## 14. 6. 2　UART受信

UART受信は，他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

| UART | UART0 | UART1 | UART2 | UART3 |
|---|---|---|---|---|
| 対象チャネル | SAU0のチャネル1 | SAU0のチャネル3 | SAU1のチャネル1 | SAU1のチャネル3 |
| 使用端子 | RxD0 | RxD1 | RxD2 | RxD3 |
| 割り込み | INTSR0 | INTSR1 | INTSR2 | INTSR3 |
| | 転送完了割り込みのみ（バッファ空き割り込みは設定禁止） | | | |
| エラー割り込み | INTSRE0 | INTSRE1 | INTSRE2 | INTSRE3 |
| エラー検出フラグ | ・フレーミング・エラー検出フラグ（FEFmn）<br>・パリティ・エラー検出フラグ（PEFmn）<br>・オーバラン・エラー検出フラグ（OVFmn） | | | |
| 転送データ長 | 7ビットまたは8ビットまたは9ビット注1 | | | |
| 転送レート | Max. $f_{MCK}$/6 [bps]（SDRmn[15:9] = 2以上），Min. $f_{CLK}$/（2×$2^{15}$×128）[bps] 注2 | | | |
| データ位相 | 非反転出力（デフォルト：ハイ・レベル）<br>反転出力（デフォルト：ロウ・レベル） | | | |
| パリティ・ビット | 以下の選択が可能<br>・パリティ・ビットなし（パリティ・チェックなし）<br>・パリティ判定なし（0パリティ）<br>・偶数パリティ・チェック<br>・奇数パリティ・チェック | | | |
| ストップ・ビット | 1ビット付加 | | | |
| データ方向 | MSBファーストまたはLSBファースト | | | |

**注1.** 9ビット・データ長は，UART0, UART2のみ対応しています。

**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考1.** $f_{MCK}$：対象チャネルの動作クロック周波数

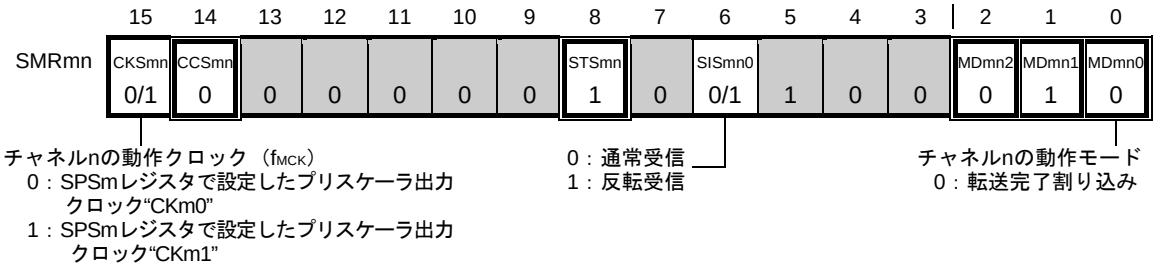
$f_{CLK}$：システム・クロック周波数

**2.** m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

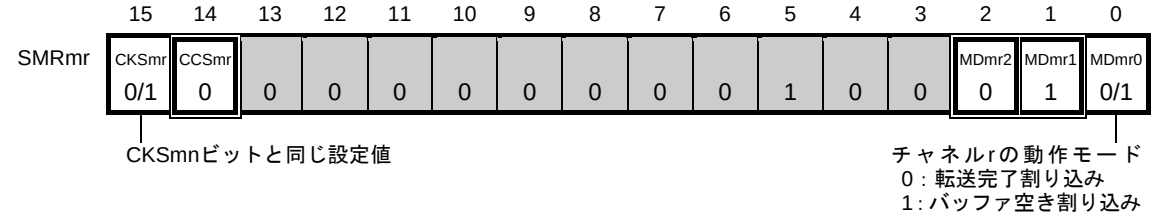
（1）レジスタ設定

図14－84　UART（UART0-UART3）のUART受信時のレジスタ設定内容例（80ピン製品）（1/2）

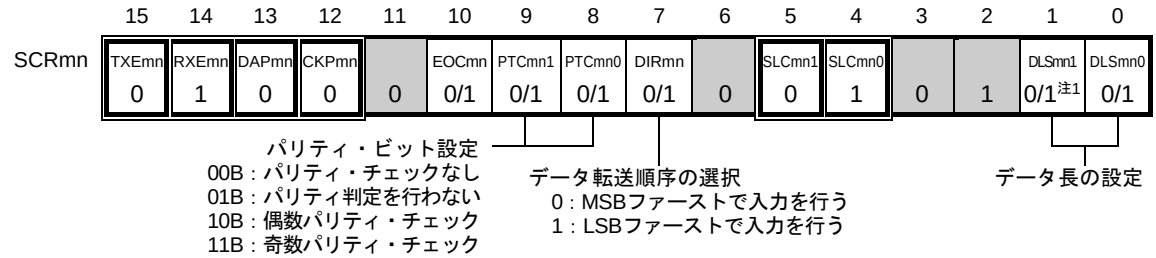
（a）シリアル・モード・レジスタmn（SMRmn）



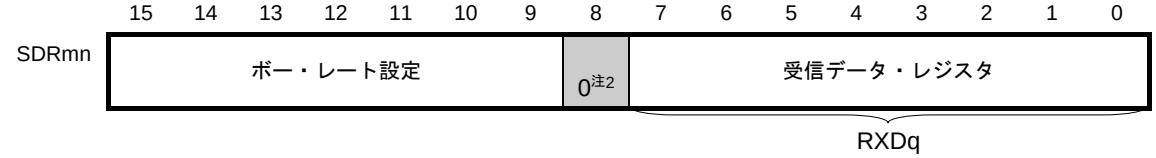

（b）シリアル・モード・レジスタmr（SMRmr）




（c）シリアル通信動作設定レジスタmn（SCRmn）




（d）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：RXDq）




**注 1.**　SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

**2.**　9ビット・データ長での通信を行う場合は，SDRm1レジスタのビット0-8が受信データ設定領域になります。9ビット・データ長での通信が行えるのは，UART0, UART2のみです。

**注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。**

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

r：チャネル番号（r = n－1）　q：UART番号（q = 0-3）

**2.**　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図14－84　UART（UART0-UART3）のUART受信時のレジスタ設定内容例（80ピン製品）（2/2）

（e）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOm | 0 | 0 | 0 | 0 | 1 | CKOm2<br>注<br>× | 1 | CKOm0<br>注<br>× | 0 | 0 | 0 | 0 | 1 | SOm2<br>× | 1 | SOm0<br>× |

（f）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2<br>× | 0 | SOEm0<br>× |

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3<br>0/1 | SSm2<br>× | SSm1<br>0/1 | SSm0<br>× |

**注**　シリアル・アレイ・ユニット0のみ

**注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。**

**備考1.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

r：チャネル番号（r = n－1）　q：UART番号（q = 0-3）

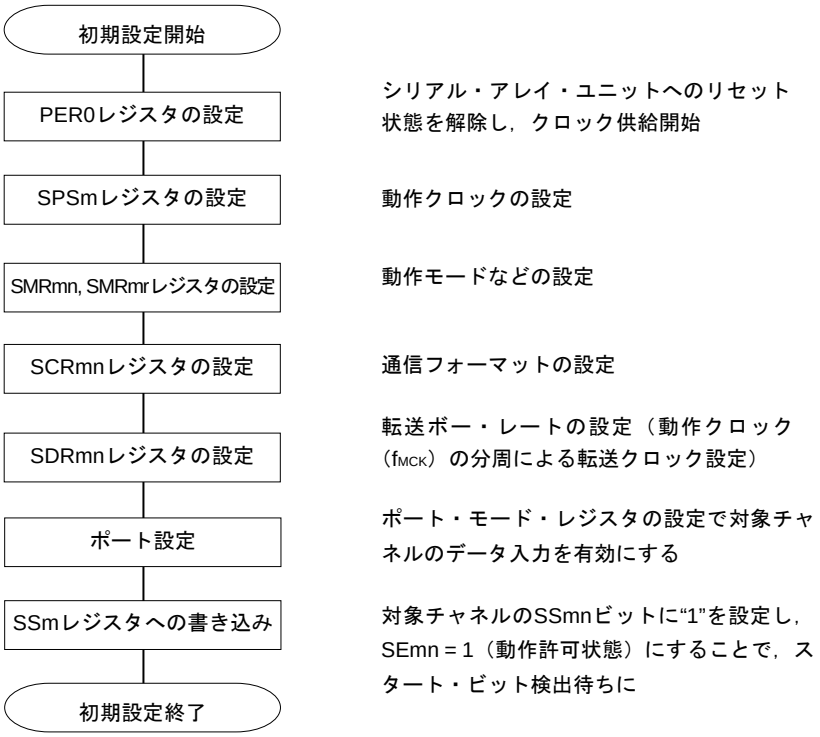
**2.**　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図14－85　UART受信の初期設定手順




**注意　SCRmnレジスタのRXEmnビットを “1” に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。**

図14－86　UART受信の中断手順

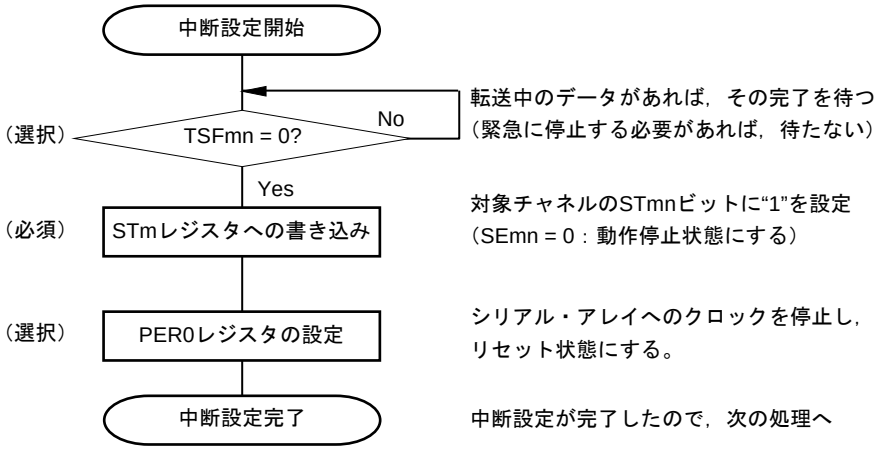
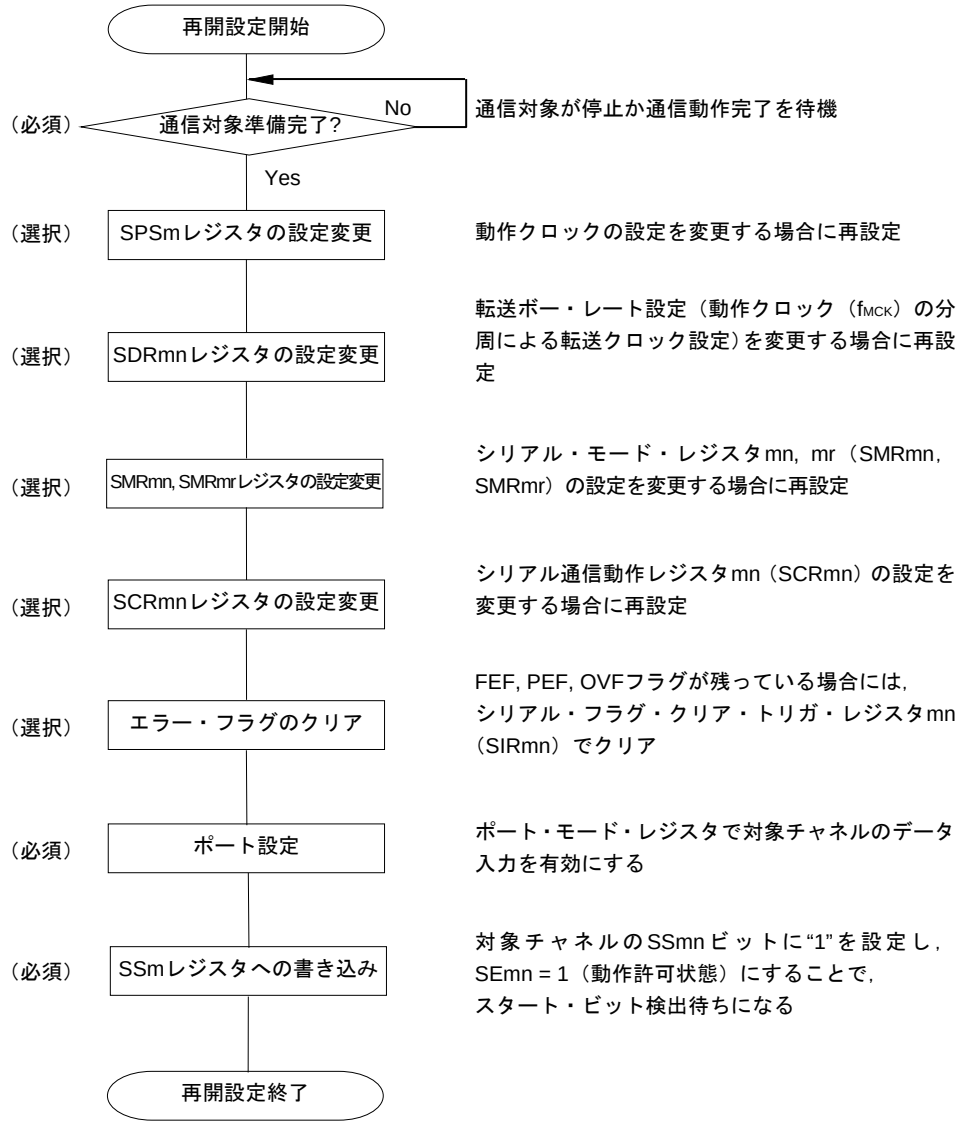


図14－87　UART受信の再開設定手順

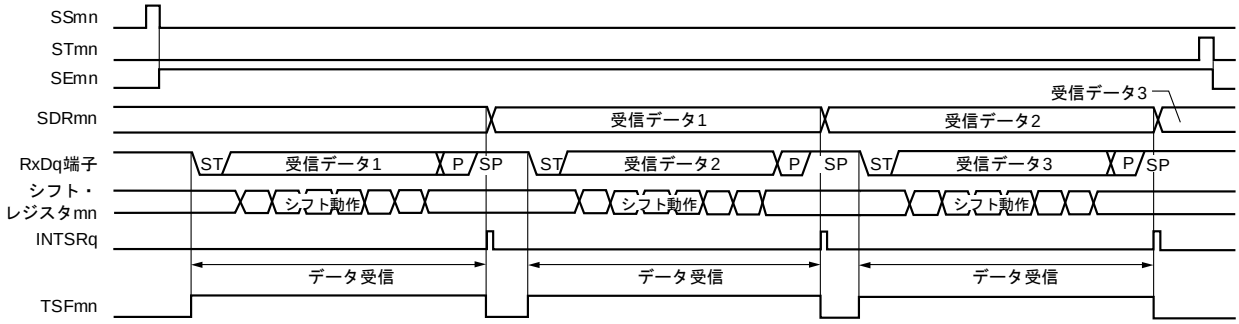



**注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。**

**備考**　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー

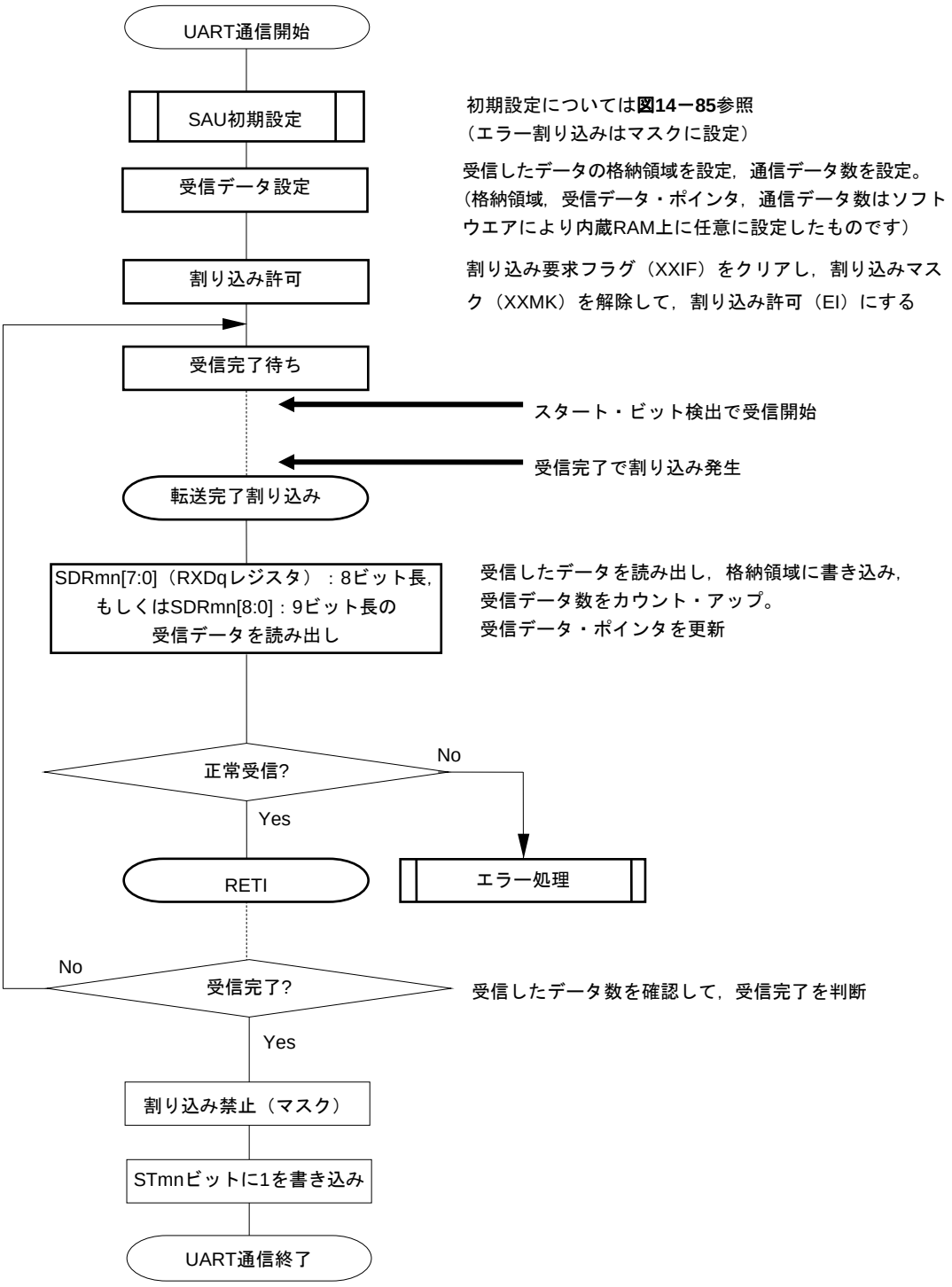
図14－88　UART受信のタイミング・チャート




**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

r：チャネル番号（r = n－1）　q：UART番号（q = 0-3）

図14－89　UART受信のフロー・チャート



### 14. 6. 3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOPモード時はUARTの通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは，UART0, UART2のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（**図14－92**，**図14－94**　SNOOZEモード動作時のフローチャートを参照）

- SNOOZEモード時は，UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。**表14－3**を参照してSPSmレジスタ，SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット，SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSRE0）の発生許可／停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm0ビットをセット（1）します。
- STOPモードに移行後，RxDq のスタート・ビット入力を検出すると，UARTqは受信動作を開始します。

STOPモードに移行後，RxDq のエッジを検出（スタート・ビット入力）すると，UART受信を開始します。

**注意1.　SNOOZEモードは，$f_{CLK}$に高速オンチップ・オシレータ・クロック（$f_{IH}$）を選択している場合のみ設定可能です。**

**2.　SNOOZEモードでの転送レートは4800bpsのみです。**

**3.　SWCm=1の設定では，STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して，次のようなSTOPモード以外の状態で受信開始した場合は，正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。**

**・SWCm=1に設定後，STOPモードに移行する前に受信開始した場合**

**・他のSNOOZEモード中に受信開始した場合**

**・STOPモードから割り込みなどで通常動作に復帰後，SWCm=0に戻す前に受信開始した場合**

**4.　SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn，OVFmnフラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm=1で使用するときは，SWC0=1に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0（RXDq）を読み出してください。**

**5.　RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。**
**また，スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず，SNOOZEモードを継続することがあります。この場合，次のUART受信で正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。**

表14－3　SNOOZEモード時のUART受信ボー・レート設定

| 高速オンチップ・オシレータ（$f_{IH}$） | SNOOZEモード時のUART受信ボー・レート | | | |
|---|---|---|---|---|
| | ボー・レート4800 bps | | | |
| | 動作クロック（$f_{MCK}$） | SDRmn [15:9] | 最大許容値 | 最小許容値 |
| 24MHz±1.0%注 | $f_{CLK}/2^5$ | 79 | 1.60% | - 2.18% |
| 16MHz±1.0%注 | $f_{CLK}/2^4$ | 105 | 2.27% | - 1.53% |
| 12MHz±1.0%注 | $f_{CLK}/2^4$ | 79 | 1.60% | - 2.19% |
| 8MHz±1.0%注 | $f_{CLK}/2^3$ | 105 | 2.27% | - 1.53% |
| 6MHz±1.0%注 | $f_{CLK}/2^3$ | 79 | 1.60% | - 2.19% |
| 4MHz±1.0%注 | $f_{CLK}/2^2$ | 105 | 2.27% | - 1.53% |
| 3MHz±1.0%注 | $f_{CLK}/2^2$ | 79 | 1.60% | - 2.19% |
| 2MHz±1.0%注 | $f_{CLK}/2$ | 105 | 2.27% | - 1.54% |
| 1MHz±1.0%注 | $f_{CLK}$ | 105 | 2.27% | - 1.57% |

**注**　高速オンチップ・オシレータ・クロック周波数精度が±1.5%，±2.0%の場合は，次のように許容範囲が狭くなります。

・$f_{IH}$±1.5%の場合は，上表の最大許容値に－0.5%，最小許容値に＋0.5%してください。

・$f_{IH}$±2.0%の場合は，上表の最大許容値に－1.0%，最小許容値に＋1.0%してください。

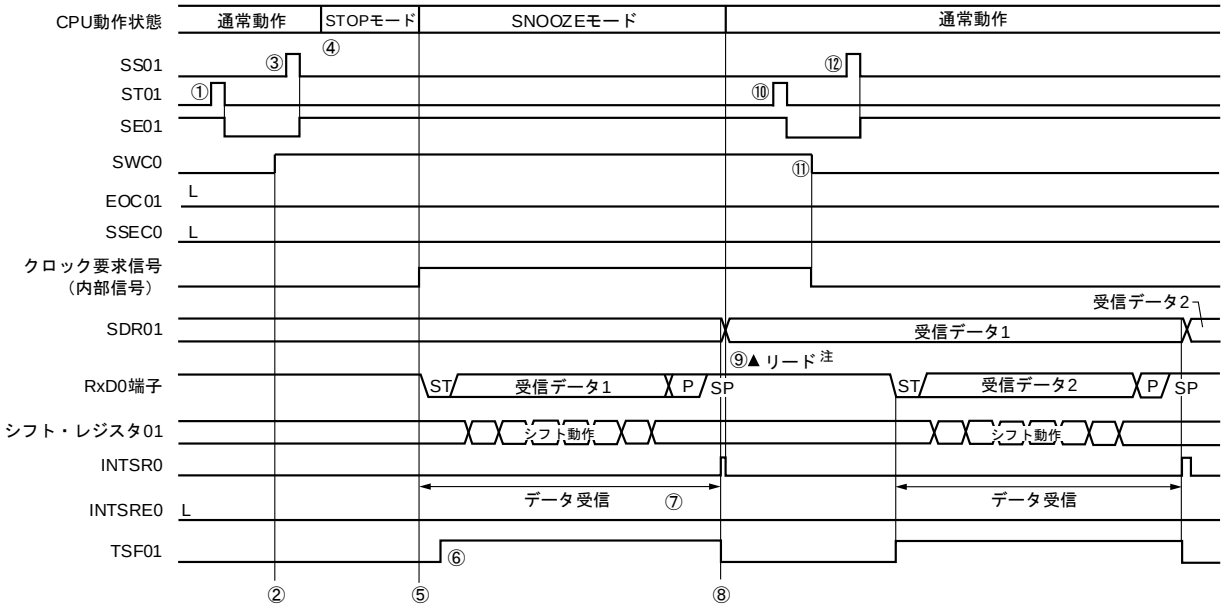
**備考**　最大許容値，最小許容値は，UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

（1）SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）

EOCm1 = 0のためSSECmビットの設定にかかわらず，通信エラーが発生してもエラー割り込み（INTSREq）は発生しません。転送完了割り込み（INTSRq）は発生します。

図14－90　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート




**注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。**
**また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。**

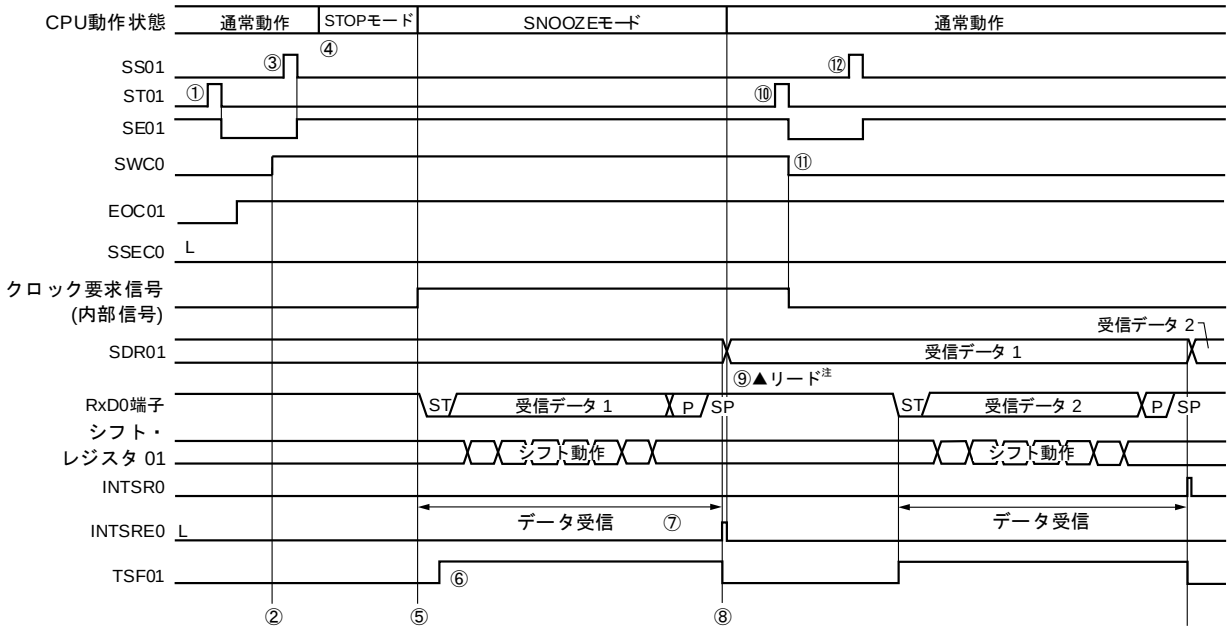
**備考1.**　図中の①~⑫は，**図14－92　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの**①~⑫に対応しています。

**2.**　m = 0, 1; q = 0, 2

（2）SNOOZEモード動作（EOCm1 = 1, SSECm = 0：エラー割り込み（INTSREq）発生許可）

EOCm1 = 1, SSECm = 0のため，通信エラーが発生した場合にエラー割り込み（INTSRE0）を発生します。

図14－91　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート



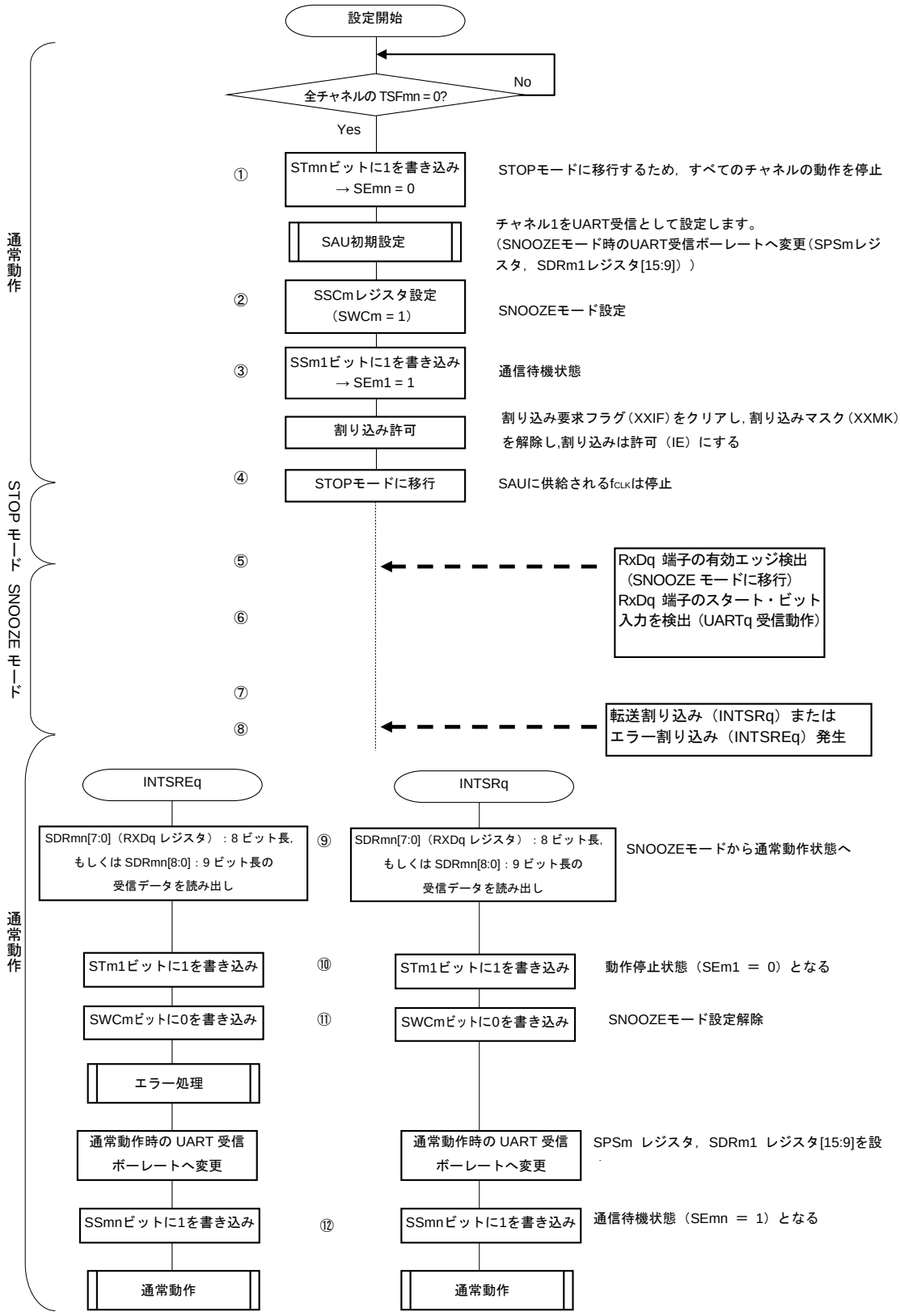

**注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。**

**また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。**

**備考1.**　図中の①~⑫は，**図14－92　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの**①~⑫に対応しています。

**2.**　m = 0, 1; q = 0, 2

図14－92　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時の
フロー・チャート




**備考1.**　図中の①~⑫は，**図14－90　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート**，**図14－91　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート**の①~⑫に対応しています。

**2.**　m = 0, 1; q = 0, 2

（3）SNOOZEモード動作（EOCm1 = 1, SSECm = 1：エラー割り込み（INTSREq）発生停止）

EOCm1 = 1, SSECm = 1のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生しません。

図14－93　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート




**注**　SWCm = 1の状態で，受信データの読み出しを行ってください。

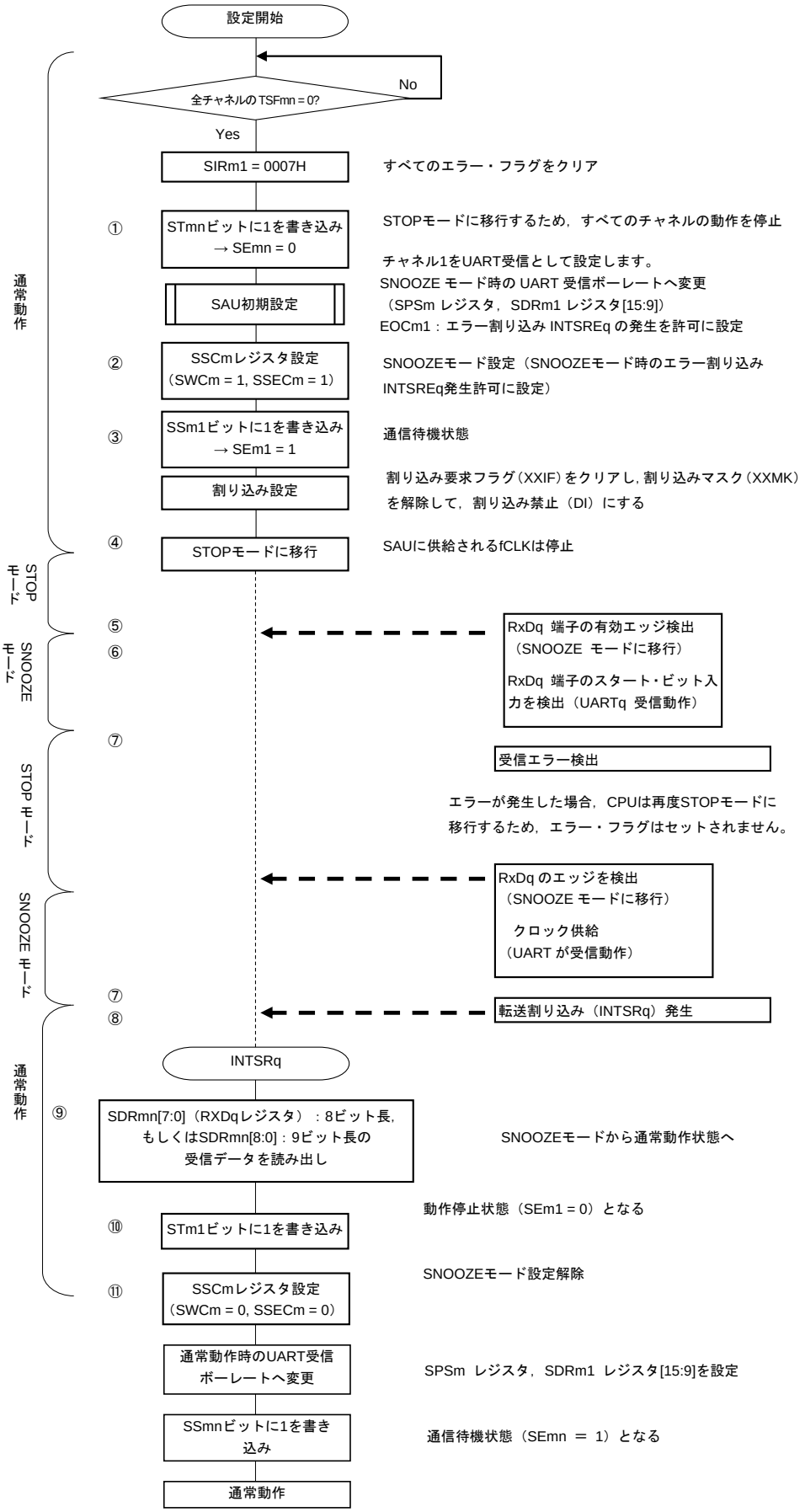
**注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。**
**また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。**

**2.　SSECm = 1のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm = 1で使用するときは，SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）：8ビット長，もしくはSDRm1[8:0]：9ビット長を読み出してください。**

**備考1.**　図中の①~⑪は，**図14－94　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート**の①~⑪に対応しています。

**2.**　m = 0, 1; q = 0, 2

図14－94　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート




（注意，備考は次ページにあります。）

**注意　SSECm = 1のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm= 1で使用するときは，SWC0 = 1に設定する前にPEFm1，FEFm1，OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）：8ビット長，もしくはSDRm1[8:0]：9ビット長を読み出してください。**

**備考1.** 図中の①~⑪は，**図14－93　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャートの**①~⑪に対応しています。

**2.** m = 0, 1; q = 0, 2

## 14. 6. 4　ボー・レートの算出

（1）ボー・レート算出式

UART（UART0-UART3）通信でのボー・レートは下記の計算式にて算出できます。

| （ボー・レート） = {対象チャネルの動作クロック（$f_{MCK}$）周波数} ÷（SDRmn[15:9]＋1）÷ 2 [bps] |
|---|

**注意　シリアル・データ・レジスタmn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。**

**備考1.** UART使用時は，SDRmn[15:9]はSDRmnレジスタのビット15-9の値（0000010B-1111111B）なので，2-127になります。

**2.** m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

動作クロック（$f_{MCK}$）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表14－4　UART動作クロックの選択

| SMRmn レジスタ | SPSmレジスタ | | | | | | | | 動作クロック（$f_{MCK}$）注 | |
|---|---|---|---|---|---|---|---|---|---|---|
| CKSmn | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 | | $f_{CLK}$ = 24 MHz 動作時 |
| 0 | X | X | X | X | 0 | 0 | 0 | 0 | $f_{CLK}$ | 24 MHz |
| | X | X | X | X | 0 | 0 | 0 | 1 | $f_{CLK}/2$ | 12 MHz |
| | X | X | X | X | 0 | 0 | 1 | 0 | $f_{CLK}/2^2$ | 6 MHz |
| | X | X | X | X | 0 | 0 | 1 | 1 | $f_{CLK}/2^3$ | 3 MHz |
| | X | X | X | X | 0 | 1 | 0 | 0 | $f_{CLK}/2^4$ | 1.5 MHz |
| | X | X | X | X | 0 | 1 | 0 | 1 | $f_{CLK}/2^5$ | 750 kHz |
| | X | X | X | X | 0 | 1 | 1 | 0 | $f_{CLK}/2^6$ | 375 kHz |
| | X | X | X | X | 0 | 1 | 1 | 1 | $f_{CLK}/2^7$ | 187.5 kHz |
| | X | X | X | X | 1 | 0 | 0 | 0 | $f_{CLK}/2^8$ | 93.8 kHz |
| | X | X | X | X | 1 | 0 | 0 | 1 | $f_{CLK}/2^9$ | 46.9 kHz |
| | X | X | X | X | 1 | 0 | 1 | 0 | $f_{CLK}/2^{10}$ | 23.4 kHz |
| | X | X | X | X | 1 | 0 | 1 | 1 | $f_{CLK}/2^{11}$ | 11.7 kHz |
| | X | X | X | X | 1 | 1 | 0 | 0 | $f_{CLK}/2^{12}$ | 5.86 kHz |
| | X | X | X | X | 1 | 1 | 0 | 1 | $f_{CLK}/2^{13}$ | 2.93 kHz |
| | X | X | X | X | 1 | 1 | 1 | 0 | $f_{CLK}/2^{14}$ | 1.46 kHz |
| | X | X | X | X | 1 | 1 | 1 | 1 | $f_{CLK}/2^{15}$ | 732 Hz |
| 1 | 0 | 0 | 0 | 0 | X | X | X | X | $f_{CLK}$ | 24 MHz |
| | 0 | 0 | 0 | 1 | X | X | X | X | $f_{CLK}/2$ | 12 MHz |
| | 0 | 0 | 1 | 0 | X | X | X | X | $f_{CLK}/2^2$ | 6 MHz |
| | 0 | 0 | 1 | 1 | X | X | X | X | $f_{CLK}/2^3$ | 3 MHz |
| | 0 | 1 | 0 | 0 | X | X | X | X | $f_{CLK}/2^4$ | 1.5 MHz |
| | 0 | 1 | 0 | 1 | X | X | X | X | $f_{CLK}/2^5$ | 750 kHz |
| | 0 | 1 | 1 | 0 | X | X | X | X | $f_{CLK}/2^6$ | 375 kHz |
| | 0 | 1 | 1 | 1 | X | X | X | X | $f_{CLK}/2^7$ | 187.5 kHz |
| | 1 | 0 | 0 | 0 | X | X | X | X | $f_{CLK}/2^8$ | 93.8 kHz |
| | 1 | 0 | 0 | 1 | X | X | X | X | $f_{CLK}/2^9$ | 46.9 kHz |
| | 1 | 0 | 1 | 0 | X | X | X | X | $f_{CLK}/2^{10}$ | 23.4 kHz |
| | 1 | 0 | 1 | 1 | X | X | X | X | $f_{CLK}/2^{11}$ | 11.7 kHz |
| | 1 | 1 | 0 | 0 | X | X | X | X | $f_{CLK}/2^{12}$ | 5.86 kHz |
| | 1 | 1 | 0 | 1 | X | X | X | X | $f_{CLK}/2^{13}$ | 2.93 kHz |
| | 1 | 1 | 1 | 0 | X | X | X | X | $f_{CLK}/2^{14}$ | 1.46 kHz |
| | 1 | 1 | 1 | 1 | X | X | X | X | $f_{CLK}/2^{15}$ | 732 Hz |

**注**　$f_{CLK}$に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

**備考1.**　X：Don’t care

**2.**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

（2）送信時のボー・レート誤差

UART（UART0-UART3）通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差） = （算出ボー・レート値）÷（目標ボー・レート値）× 100 − 100 [%]

$f_{CLK}$ = 24 MHzの場合のUARTボー・レート設定例を示します。

| UARTボー・レート（目標ボー・レート） | $f_{CLK}$ = 24 MHz時 | | | |
|---|---|---|---|---|
| | 動作クロック（$f_{MCK}$） | SDRmn[15:9] | 算出ボー・レート | 目標ボー・レートとの誤差 |
| 300 bps | $f_{CLK}/2^9$ | 77 | 300.48 bps | +0.16 % |
| 600 bps | $f_{CLK}/2^8$ | 77 | 600.96 bps | +0.16 % |
| 1200 bps | $f_{CLK}/2^7$ | 77 | 1201.92 bps | +0.16 % |
| 2400 bps | $f_{CLK}/2^6$ | 77 | 2403.85 bps | +0.16 % |
| 4800 bps | $f_{CLK}/2^5$ | 77 | 4807.69 bps | +0.16 % |
| 9600 bps | $f_{CLK}/2^4$ | 77 | 9615.38 bps | +0.16 % |
| 19200 bps | $f_{CLK}/2^3$ | 77 | 19230.8 bps | +0.16 % |
| 31250 bps | $f_{CLK}/2^3$ | 47 | 31250.0 bps | ±0.0 % |
| 38400 bps | $f_{CLK}/2^2$ | 77 | 38461.5 bps | +0.16 % |
| 76800 bps | $f_{CLK}/2$ | 77 | 76923.1 bps | +0.16 % |
| 153600 bps | $f_{CLK}$ | 77 | 153846 bps | +0.16 % |
| 312500 bps | $f_{CLK}$ | 37 | 315789 bps | +1.05 % |

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2），mn = 00, 02, 10, 12

（3）受信時のボー・レート許容範囲

UART（UART0-UART3）通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times （Nfr-1）}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate　：受信側の算出ボー・レート値（14. 6. 4（1）ボー・レート算出式参照）

k　　：SDRmn[15:9] ＋1

Nfr　　：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

図14－95　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

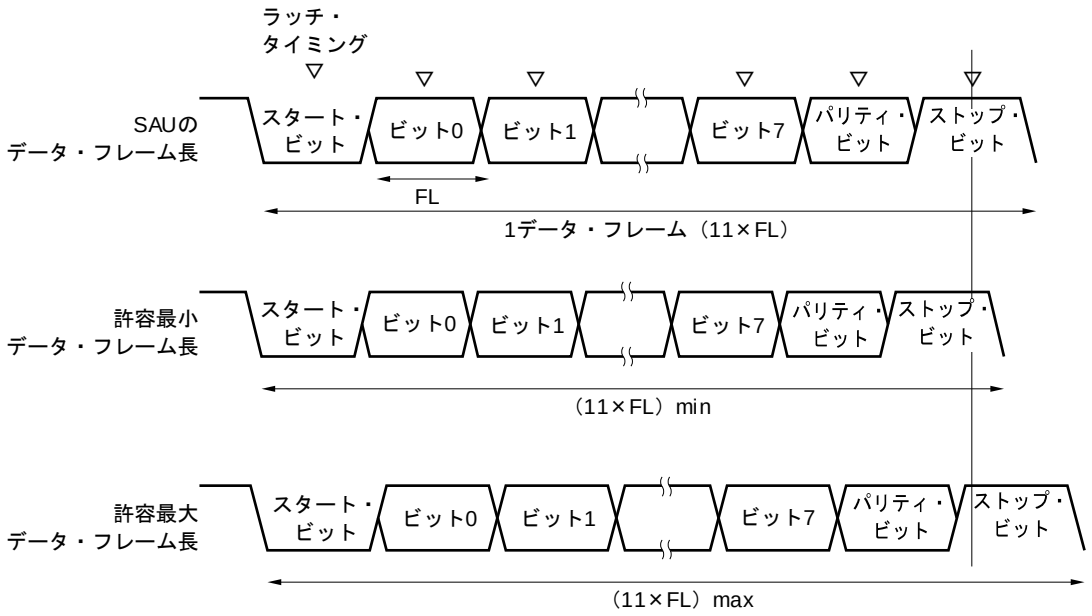



**図14－95**に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

## 14. 6. 5　UART（UART0-UART3）通信時におけるエラー発生時の処理手順

UART（UART0-UART3）通信時にエラーが発生した場合の処理手順を**図14－96**，**図14－97**に示します。

図14－96　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

| ソフトウエア操作 | ハードウエアの状態 | 備考 |
|---|---|---|
| シリアル・データ・レジスタmn（SDRmn）をリードする → | SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる | エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う |
| シリアル・ステータス・レジスタmn（SSRmn）をリードする | | エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする → | エラー・フラグがクリアされる | SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる |

図14－97　フレーミング・エラー発生時の処理手順

| ソフトウエア操作 | ハードウエアの状態 | 備考 |
|---|---|---|
| シリアル・データ・レジスタmn（SDRmn）をリードする → | SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる | エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う |
| シリアル・ステータス・レジスタmn（SSRmn）をリードする | | エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする → | エラー・フラグがクリアされる | SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる |
| シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する → | シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる | |
| 通信相手との同期処理を行う | | スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する |
| シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する → | シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる | |

**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

# 14. 7　LIN通信の動作

## 14. 7. 1　LIN送信

UART送信のうち，UART0はLIN通信に対応しています。

LIN送信では，ユニット0のチャネル0を使用します。

| UART | UART0 | UART1 | UART2 | UART3 |
|---|---|---|---|---|
| LIN通信対応 | 可 | 不可 | 不可 | 不可 |
| 対象チャネル | SAU0のチャネル0 | － | － | － |
| 使用端子 | TxD0 | － | － | － |
| 割り込み | INTST0 | － | － | － |
| | 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能 | | | |
| エラー検出フラグ | なし | | | |
| 転送データ長 | 8ビット | | | |
| 転送レート | Max. $f_{MCK}$/6 [bps]（SDR00[15:9] = 2以上），Min. $f_{CLK}$/（2×$2^{15}$×128）[bps] 注 | | | |
| データ位相 | 非反転出力（デフォルト：ハイ・レベル）<br>反転出力（デフォルト：ロウ・レベル） | | | |
| パリティ・ビット | パリティ・ビットなし | | | |
| ストップ・ビット | 1ビット付加 | | | |
| データ方向 | LSBファースト | | | |

**注**　この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。なお，LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

**注意　Lin-bus対応機能と16ビット・タイマKB20を併用することはできません。16ビット・タイマKB20使用時は，ISCレジスタを初期値（00H）で使用してください。**

**備考**　$f_{MCK}$：対象チャネルの動作クロック周波数

$f_{CLK}$：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

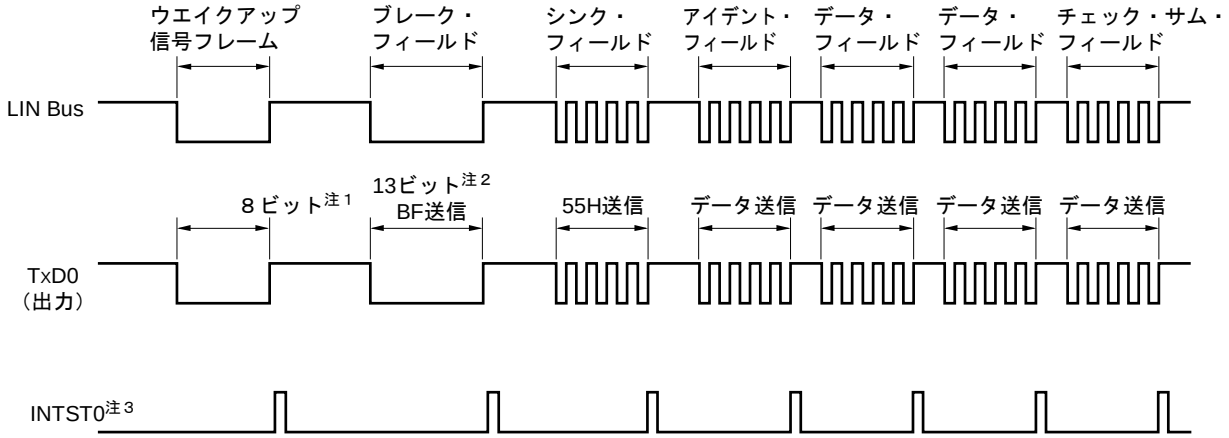
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINのマスタ送信操作の概略を，図14－98に示します。

図14－98　LINの送信操作




**注1.** ウエイクアップ信号の規定を満たせるようにボー・レートを設定し，80Hのデータ送信をすることで対応します。

**2.** ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートをN [bps]とすると，ブレーク・フィールドで使用するボー・レートは次のようになります。

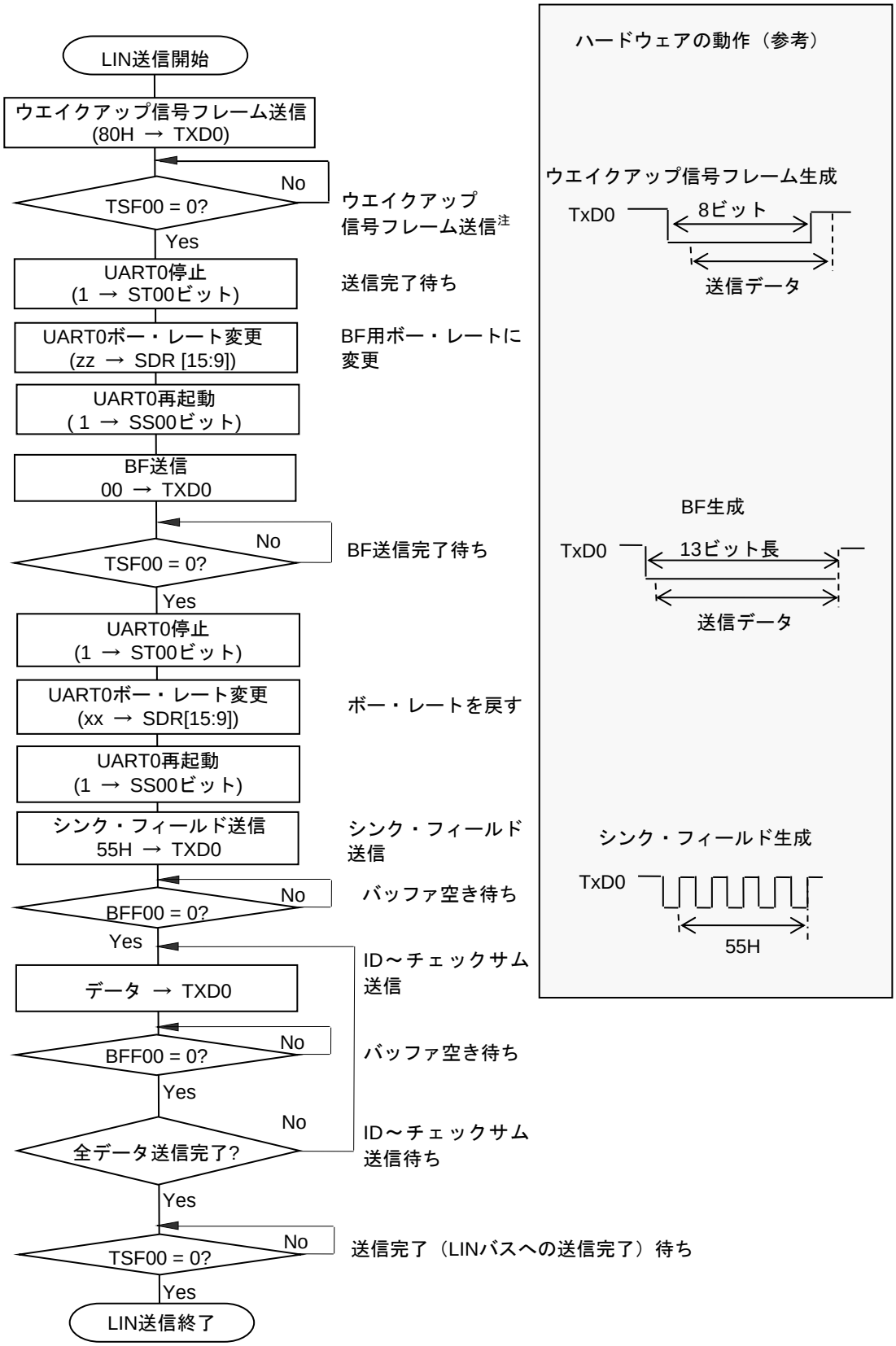
（ブレーク・フィールド時のボー・レート）　= 9/13×N

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

**3.** 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

**備考**　各フィールド間の間隔はソフトウエアで制御します。

図14－99　LIN送信のフロー・チャート




**注**　LIN-busがスリープ状態からの起動時のみ

**備考**　UARTの初期設定は完了し，送信許可状態からのフローです。

## 14. 7. 2　LIN受信

UART受信のうち，UART0はLIN通信に対応しています。

LIN受信では，ユニット1のチャネル1を使用します。

| UART | UART0 | UART1 | UART2 | UART3 |
|---|---|---|---|---|
| LIN通信対応 | 可 | 不可 | 不可 | 不可 |
| 対象チャネル | SAU0のチャネル1 | － | － | － |
| 使用端子 | RxD0 | － | － | － |
| 割り込み | INTSR0 | － | － | － |
| | 転送完了割り込みのみ（バッファ空き割り込みは設定禁止） | | | |
| エラー割り込み | INTSRE0 | － | － | － |
| エラー検出フラグ | ・フレーミング・エラー検出フラグ（FEF01）<br>・オーバラン・エラー検出フラグ（OVF01） | | | |
| 転送データ長 | 8ビット | | | |
| 転送レート | Max. $f_{MCK}$/6 [bps]（SDR01[15:9] = 2以上），Min. $f_{CLK}$/（2×$2^{15}$×128）[bps] 注 | | | |
| データ位相 | 非反転出力（デフォルト：ハイ・レベル）<br>反転出力（デフォルト：ロウ・レベル） | | | |
| パリティ・ビット | パリティ・ビットなし（パリティ・チェックしない） | | | |
| ストップ・ビット | 1ビット目チェック | | | |
| データ方向 | LSBファースト | | | |

**注**　この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

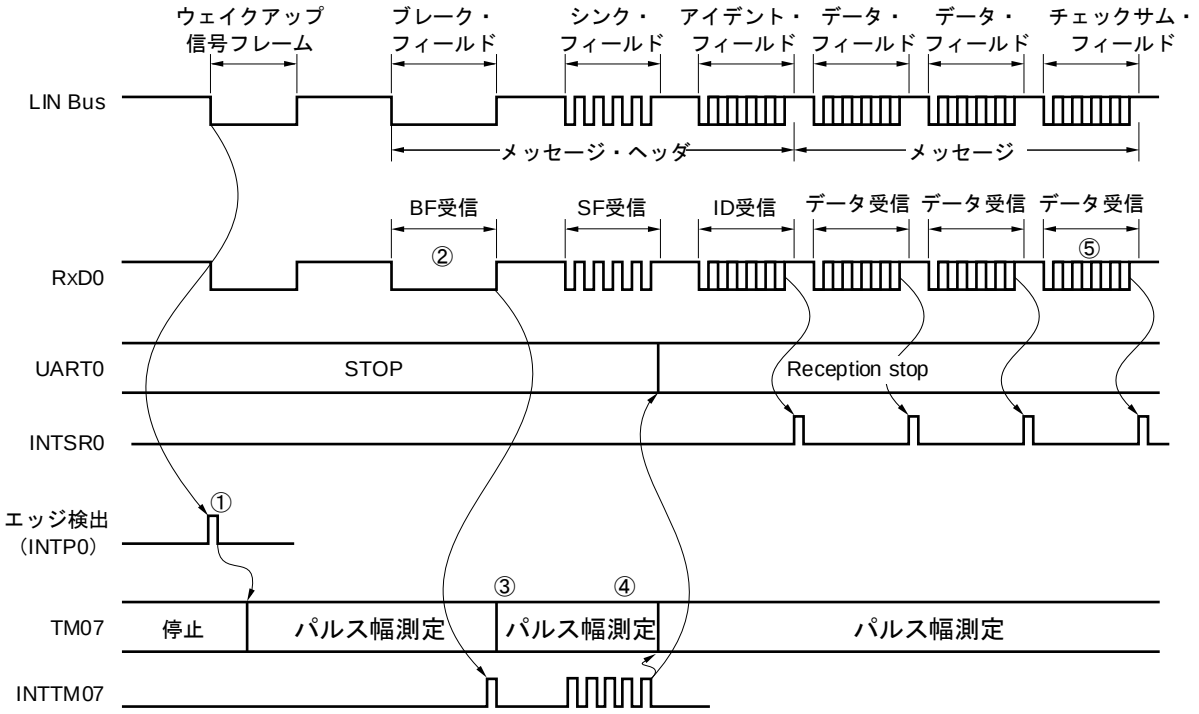
**注意　Lin-bus対応機能と16ビット・タイマKB20を併用することはできません。16ビット・タイマKB20使用時は，ISCレジスタを初期値（00H）で使用してください。**

**備考**　$f_{MCK}$：対象チャネルの動作クロック周波数

$f_{CLK}$：システム・クロック周波数

LINの受信操作の概略を，**図14－100**に示します。

図14－100　LINの受信操作




受信処理の流れを次に示します。

① ウエイクアップ信号の検出は，端子の割り込みエッジ検出（INTP0）で行います。ウエイクアップ信号を検出したら，TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して，BF受信待ち状態にします。

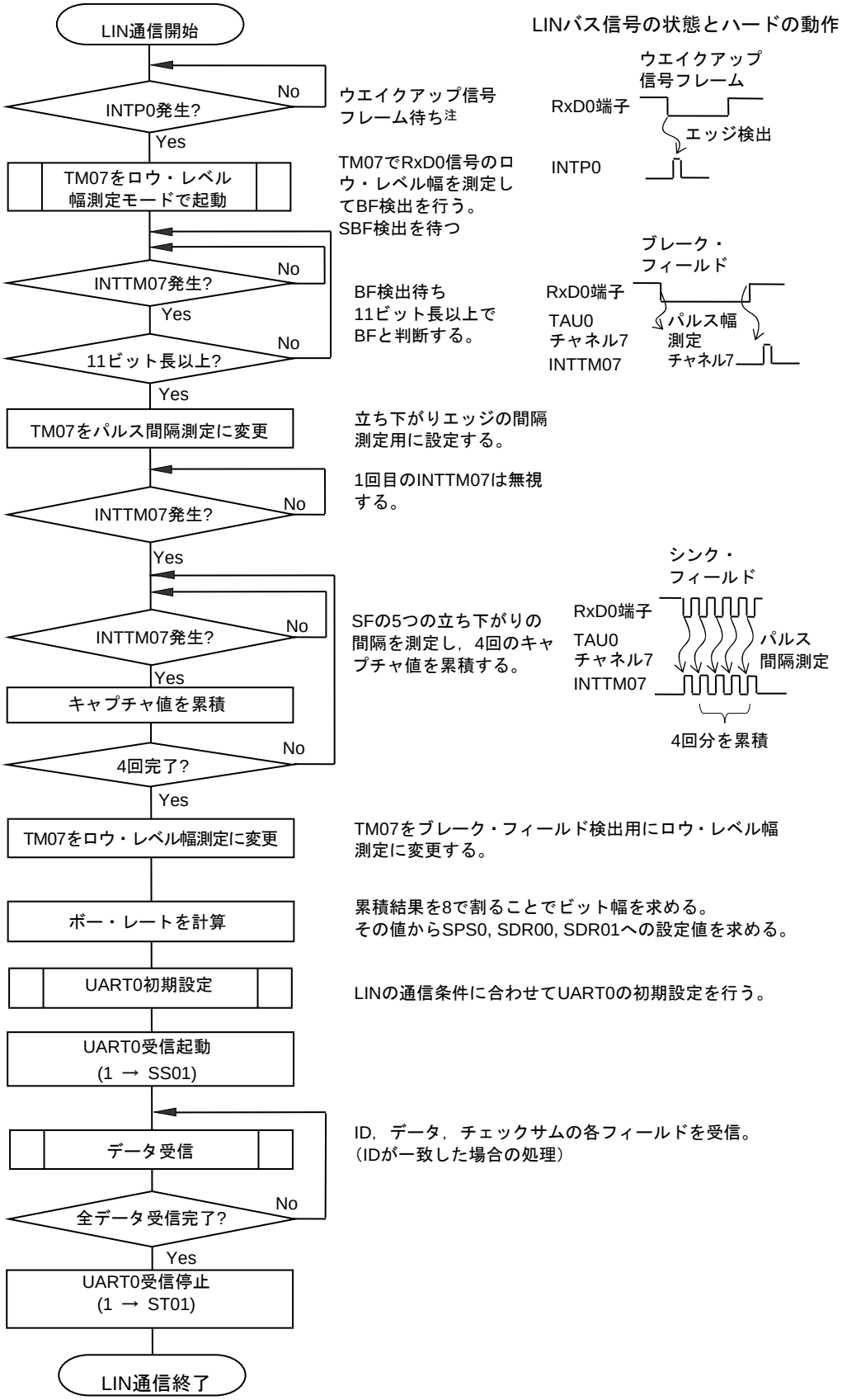
② BFの立ち下がりを検出したら，TM07はロウ・レベル幅の測定を開始し，立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。

③ BF受信を正常終了した場合，TM07をパルス間隔測定に設定し，シンク・フィールドのRxD0信号の立ち下がりの間隔を4回測定してください（**6. 8. 3　入力パルス間隔測定としての動作**を参照）。

④ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったんUART2を動作停止にしてからボー・レートを調整（再設定）してください。

⑤ チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART2を初期化し，再びBF受信待ちに設定する処理もソフトウエアにて行ってください。

図14－101　LIN受信のフロー・チャート



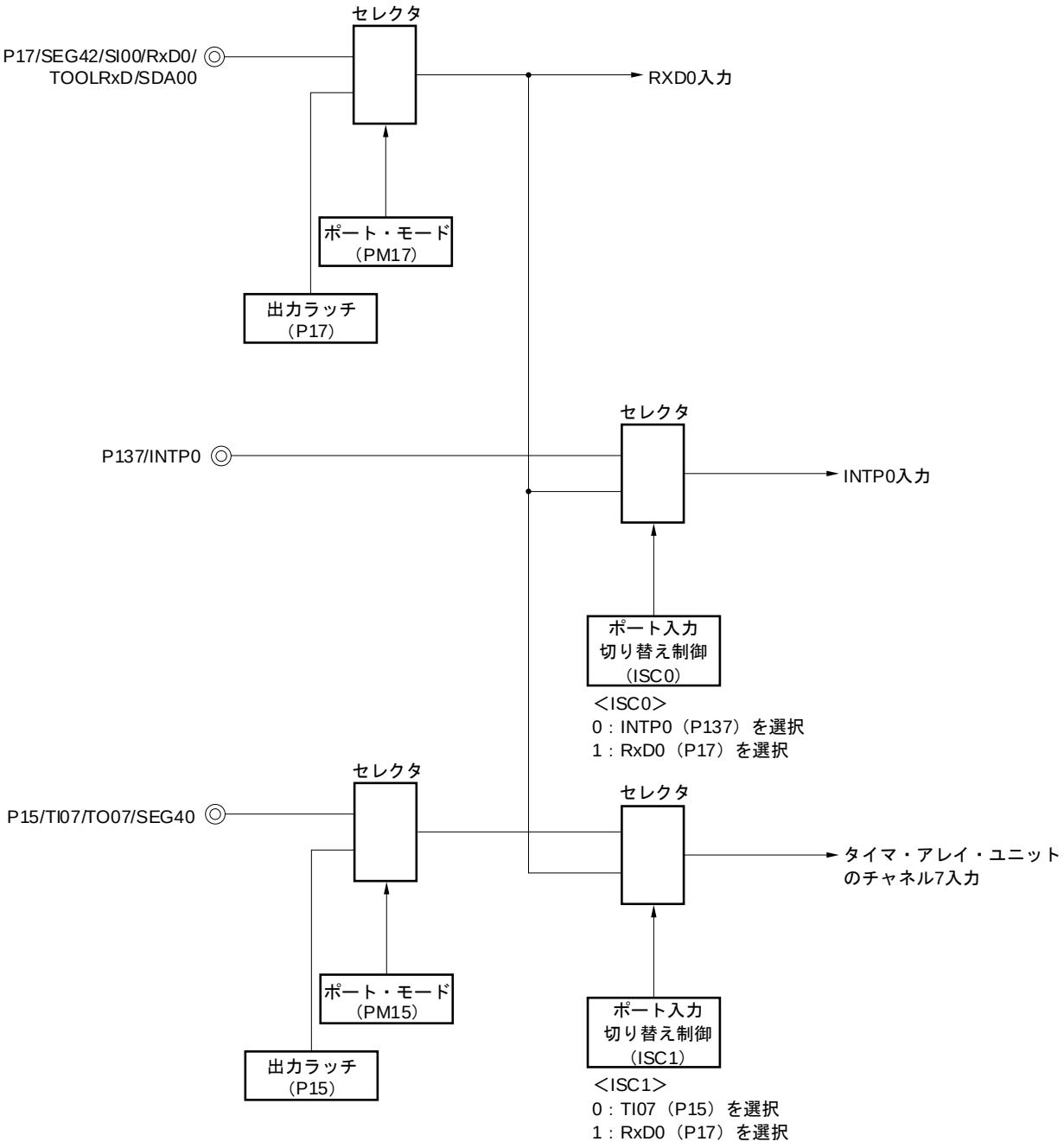

**注**　スリープ状態でのみ必要となります。

**図14－102**はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替え制御（ISC0/ISC1）により，外部で結線をせずに，受信用ポート入力（RxD0）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図14－102　LINの受信操作用のポート構成図




**備考**　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（図14－21参照）

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

・外部割り込み（INTP0）；ウエイクアップ信号検出

　用途：ウエイクアップ信号のエッジを検出し，通信開始を検出

・タイマ・アレイ・ユニットのチャネル7；ボー・レート誤差検出，ブレーク・フィールド（BF）検出

　用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（RxD0）

　　入力エッジの間隔をキャプチャ・モードで測定）

　　ロウ・レベル幅を測定し，ブレーク・フィールド（BF）かを判定

・シリアル・アレイ・ユニット0（SAU0）のチャネル0, 1（UART0）

# 14. 8　簡易I²C（IIC00, IIC10）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，I²Cバスのバス・ラインの特性を遵守して，ソフトウエアで制御レジスタを操作してください。

［データ送受信］

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- ソフトウエアによるスタート・コンディション，ストップ・コンディションの発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- パリティ・エラー（ACKエラー）

※［簡易I²Cでサポートしていない機能］

- スレーブ送信，スレーブ受信
- マルチ・マスタ機能（アービトレーション負け検出機能）
- ウエイト検出機能

**注**　最終データの受信時は，SOEmn（SOEmレジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，**14. 8. 3（2）処理フロー**を参照してください。

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

簡易I²C（IIC00, IIC10）に対応しているチャネルは，SAU0のチャネル0, 2です。

○64ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易I²Cとして使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | − | | − |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | − | | − |
| 1 | 0 | − | UART2 | − |
| | 1 | − | | − |

○80ピン製品

| ユニット | チャネル | 簡易SPI（CSI）として使用 | UARTとして使用 | 簡易I²Cとして使用 |
|---|---|---|---|---|
| 0 | 0 | CSI00 | UART0（LIN-bus対応） | IIC00 |
| | 1 | − | | − |
| | 2 | CSI10 | UART1 | IIC10 |
| | 3 | − | | − |
| 1 | 0 | − | UART2 | − |
| | 1 | − | | − |
| | 2 | − | UART3 | − |
| | 3 | − | | − |

簡易I²C（IIC00, IIC10）の通信動作は，以下の4種類があります。

- アドレス・フィールド送信　（**14. 8. 1**項を参照）
- データ送信　（**14. 8. 2**項を参照）
- データ受信　（**14. 8. 3**項を参照）
- ストップ・コンディション発生　（**14. 8. 4**項を参照）

### 14. 8. 1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

| 簡易I²C | IIC00 | IIC10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCL00, SDA00注1 | SCL10, SDA10注1 |
| 割り込み | INTIIC00 | INTIIC10 |
| | 転送完了割り込みのみ（バッファ空き割り込みは選択不可） | |
| エラー検出フラグ | ACKエラー検出フラグ（PEFmn） | |
| 転送データ長 | 8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信） | |
| 転送レート注2 | Max.$f_{MCK}$/4 [Hz]（SDRmn[15:9] = 1以上）　$f_{MCK}$：対象チャネルの動作クロック周波数<br>ただし，I²Cの各モードにより，以下の条件を満たしてください。<br>・Max. 1 MHz（ファースト・モード・プラス）<br>・Max. 400 kHz（ファースト・モード）<br>・Max. 100 kHz（標準モード） | |
| データ・レベル | 非反転出力（デフォルト：ハイ・レベル） | |
| パリティ・ビット | パリティ・ビットなし | |
| ストップ・ビット | 1ビット付加（ACK受信タイミング用） | |
| データ方向 | MSBファースト | |

**注1.** 簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POM0, POM1）にてN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを設定（POM06, POM17 = 1）してください（詳細は**4. 3　ポート機能を制御するレジスタ**を参照）。IIC00, IIC10を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを設定（POM05, POM16 = 1）してください（詳細は，**4. 4. 4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応**を参照）。

**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

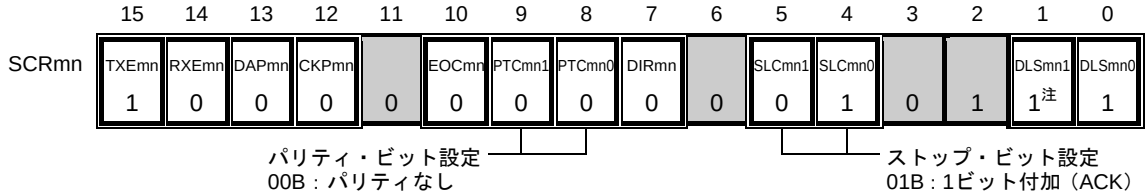
（1）レジスタ設定

図14－103　簡易I²C（IIC00, IIC10）のアドレス・フィールド送信時のレジスタ設定内容例

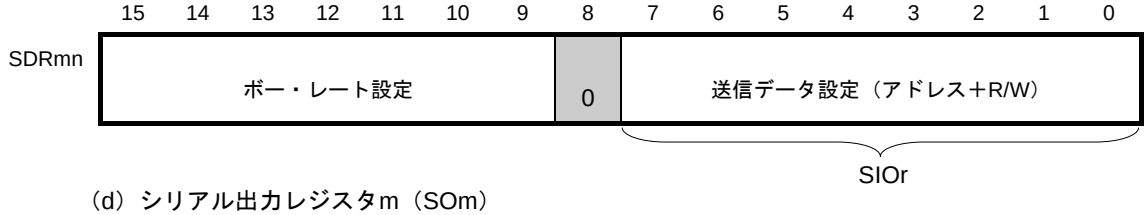
（a）シリアル・モード・レジスタmn（SMRmn）



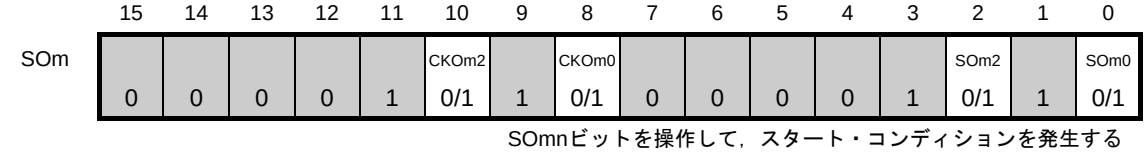

（b）シリアル通信動作設定レジスタmn（SCRmn）



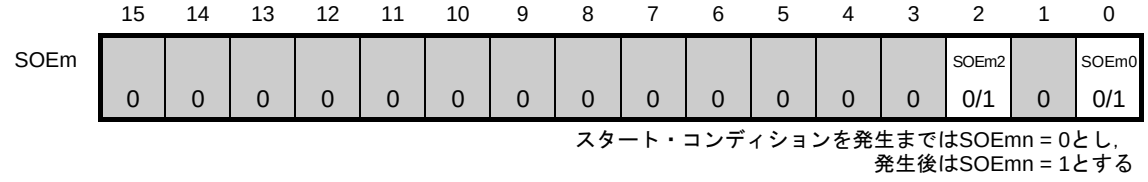

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）



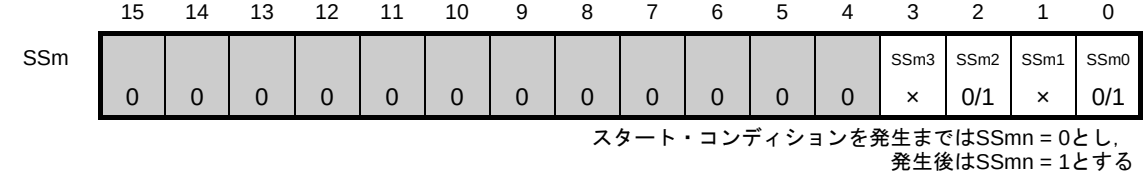

（d）シリアル出力レジスタm（SOm）




（e）シリアル出力許可レジスタm（SOEm）




（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する



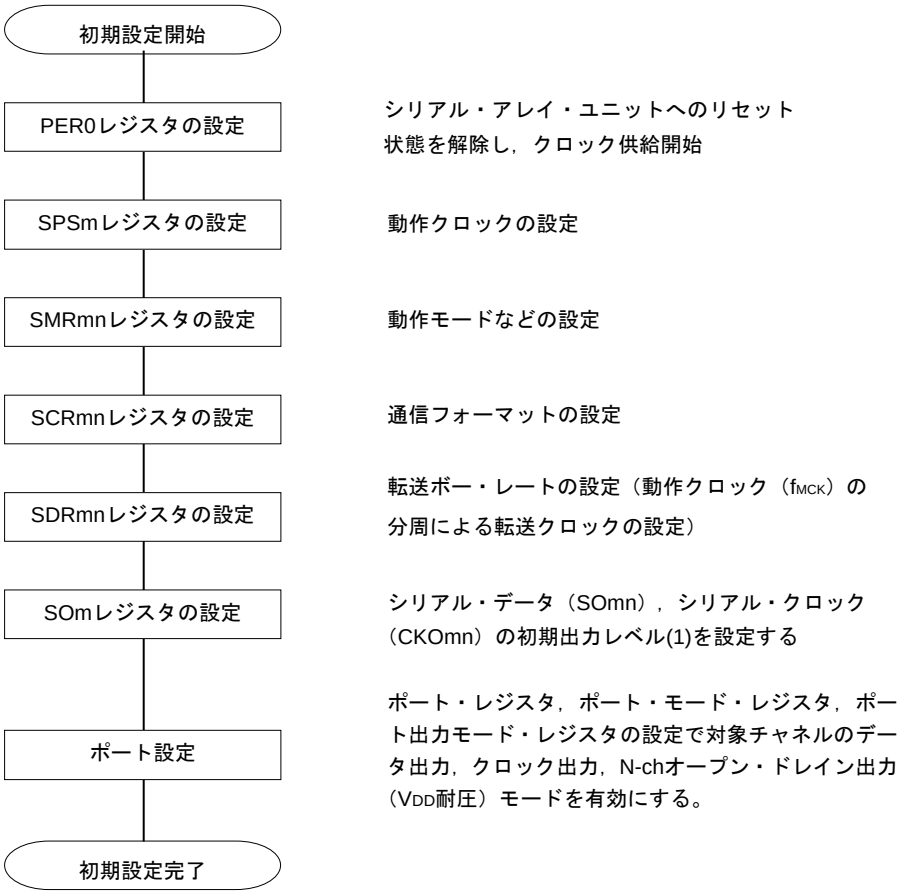

**注**　SCR00レジスタのみ。その他は1固定になります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10）　mn = 00, 02

**2.**　□: IICモードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

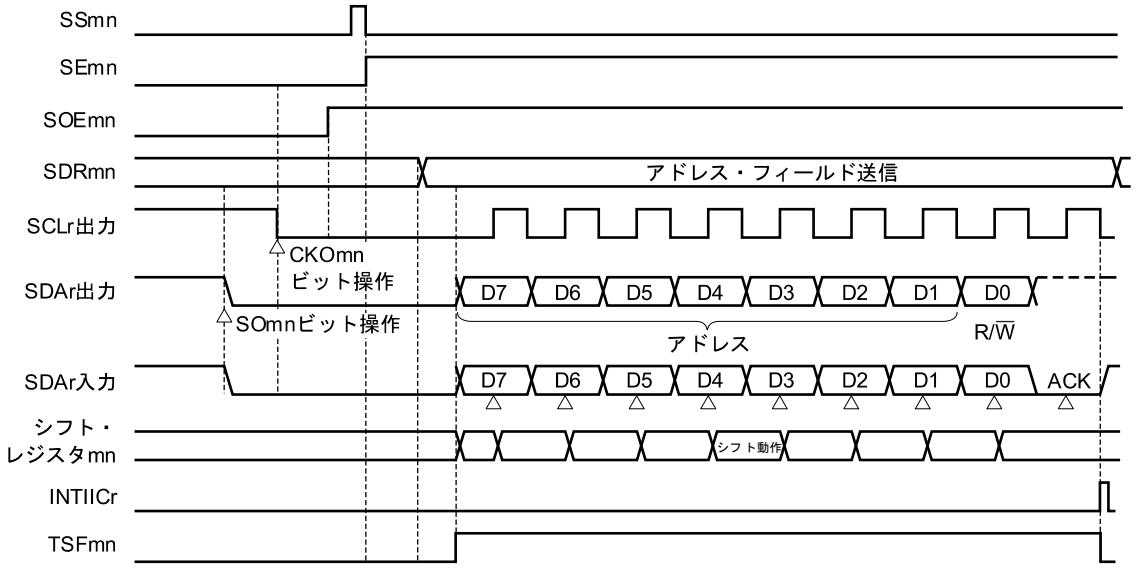
（2）操作手順

図14－104　簡易I²Cアドレス・フィールド送信の初期設定手順



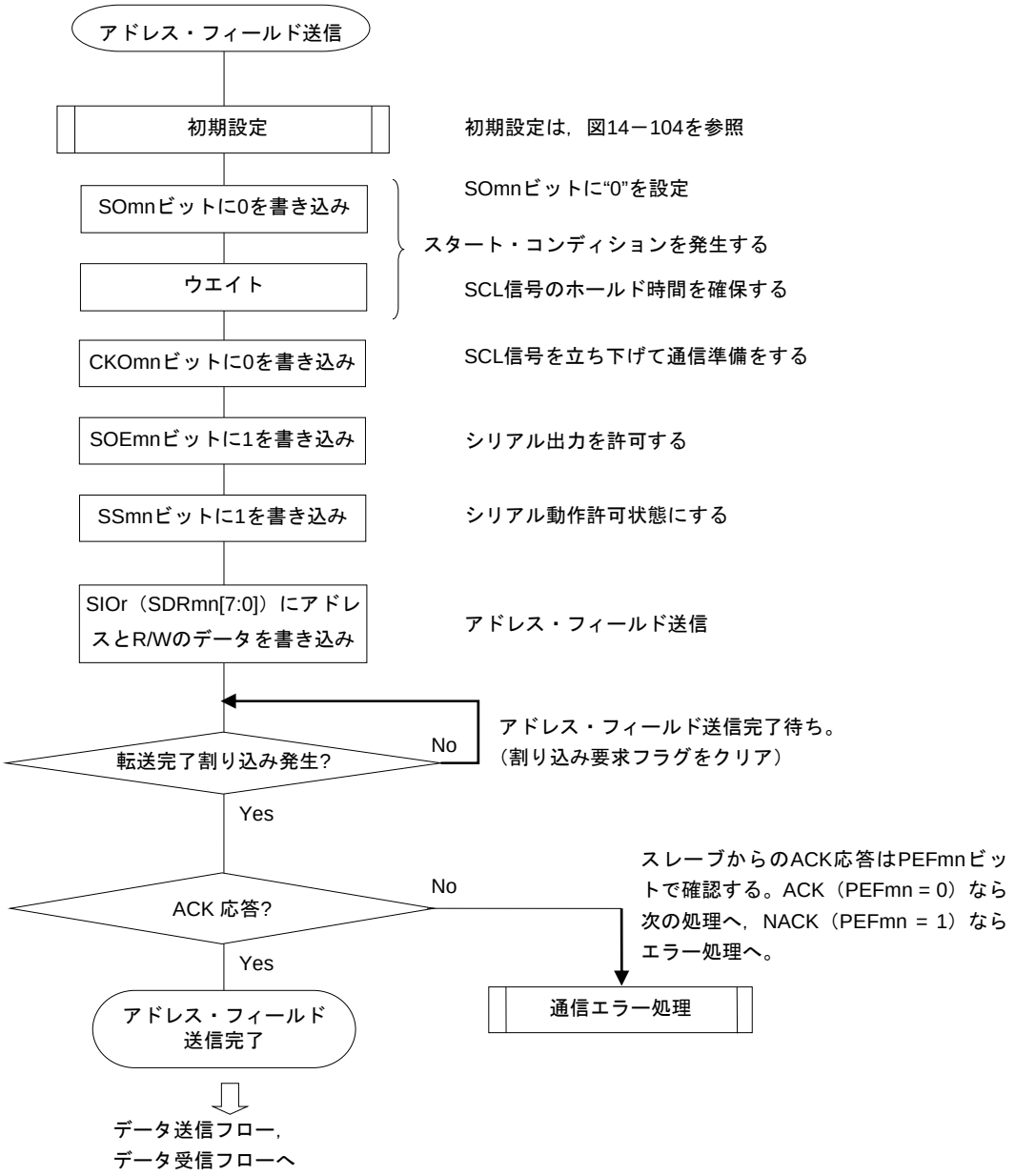
（3）処理フロー

図14－105　アドレス・フィールド送信のタイミング・チャート




**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10）　mn = 00, 02

図14－106　簡易$I^2C$アドレス・フィールド送信のフロー・チャート



## 14. 8. 2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを解放します。

| 簡易$I^2C$ | IIC00 | IIC10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCL00, SDA00注1 | SCL10, SDA10注1 |
| 割り込み | INTIIC00 | INTIIC10 |
| | 転送完了割り込みのみ（バッファ空き割り込みは選択不可） | |
| エラー検出フラグ | ACKエラー・フラグ（PEFmn） | |
| 転送データ長 | 8ビット | |
| 転送レート注2 | Max.$f_{MCK}$/4 [Hz]（SDRmn[15:9] = 1以上）　$f_{MCK}$：対象チャネルの動作クロック周波数<br>ただし，$I^2C$の各モードにより，以下の条件を満たしてください。<br>・Max. 1 MHz（ファースト・モード・プラス）<br>・Max. 400 kHz（ファースト・モード）<br>・Max. 100 kHz（標準モード） | |
| データ・レベル | 非反転出力（デフォルト：ハイ・レベル） | |
| パリティ・ビット | パリティ・ビットなし | |
| ストップ・ビット | 1ビット付加（ACK受信タイミング用） | |
| データ方向 | MSBファースト | |

**注1.** 簡易$I^2C$による通信を行う場合は，ポート出力モード・レジスタ（POM0, POM1）にてN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを設定（POM06, POM17 = 1）してください（詳細は**4. 3　ポート機能を制御するレジスタ**を参照）。IIC00, IIC10を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを設定（POM05, POM16 = 1）してください（詳細は，**4. 4. 4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応**を参照）。

**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

（1）レジスタ設定

図14－107　簡易I²C（IIC00, IIC10）のデータ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

SMRmn

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| CKSmn | CCSmn | | | | | | STSmn | | SISmn0 | | | | MDmn2 | MDmn1 | MDmn0 |
| 0/1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |

（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

SCRmn

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TXEmn | RXEmn | DAPmn | CKPmn | | EOCmn | PTCmn1 | PTCmn0 | DIRmn | | SLCmn1 | SLCmn0 | | | DLSmn1 | DLSmn0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1注1 | 1 |

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）・・・データ送受信中は下位8ビット（SIOr）のみ有効

SDRmn

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ボー・レート設定注2 | | | | | | | | 送信データ設定 | | | | | | | |
| | | | | | | | 0 | SIOr | | | | | | | |

（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない

SOm

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | CKOm2 | | CKOm0 | | | | | | SOm2 | | SOm0 |
| 0 | 0 | 0 | 0 | 1 | 0/1注3 | 1 | 0/1注3 | 0 | 0 | 0 | 0 | 1 | 0/1注3 | 1 | 0/1注3 |

（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない

SOEm

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | | | | | SOEm2 | | SOEm0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |

（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

SSm

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | | | | SSm3 | SSm2 | SSm1 | SSm0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0/1 | × | 0/1 |

**注1.**　SCR00レジスタのみ。その他は1固定になります

**2.**　アドレス・フィールド送信で設定済みなので，設定不要です。

**3.**　通信動作中は通信データにより値が変わります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10）　mn = 00, 02

**2.**　□：IICモードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）処理フロー

図14－108　データ送信のタイミング・チャート

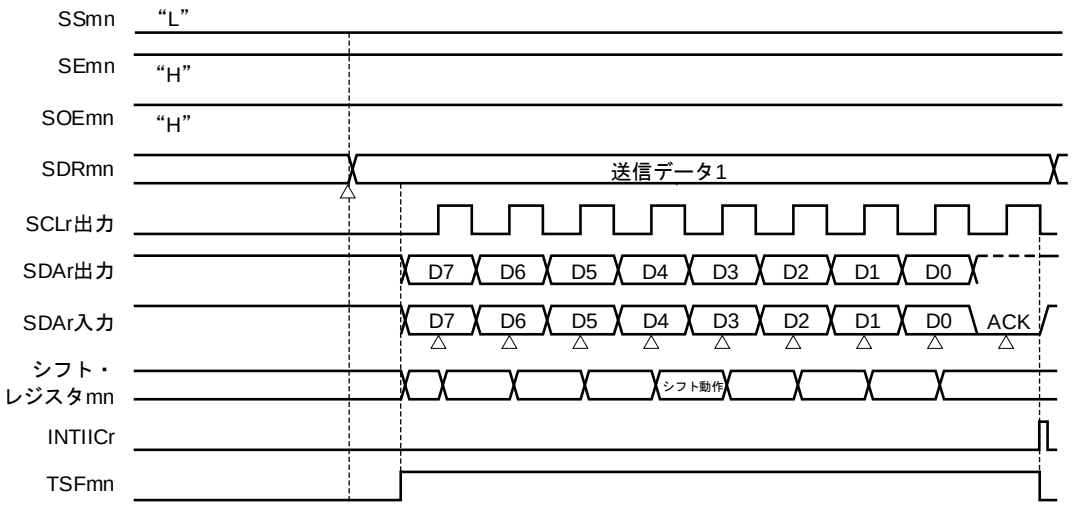
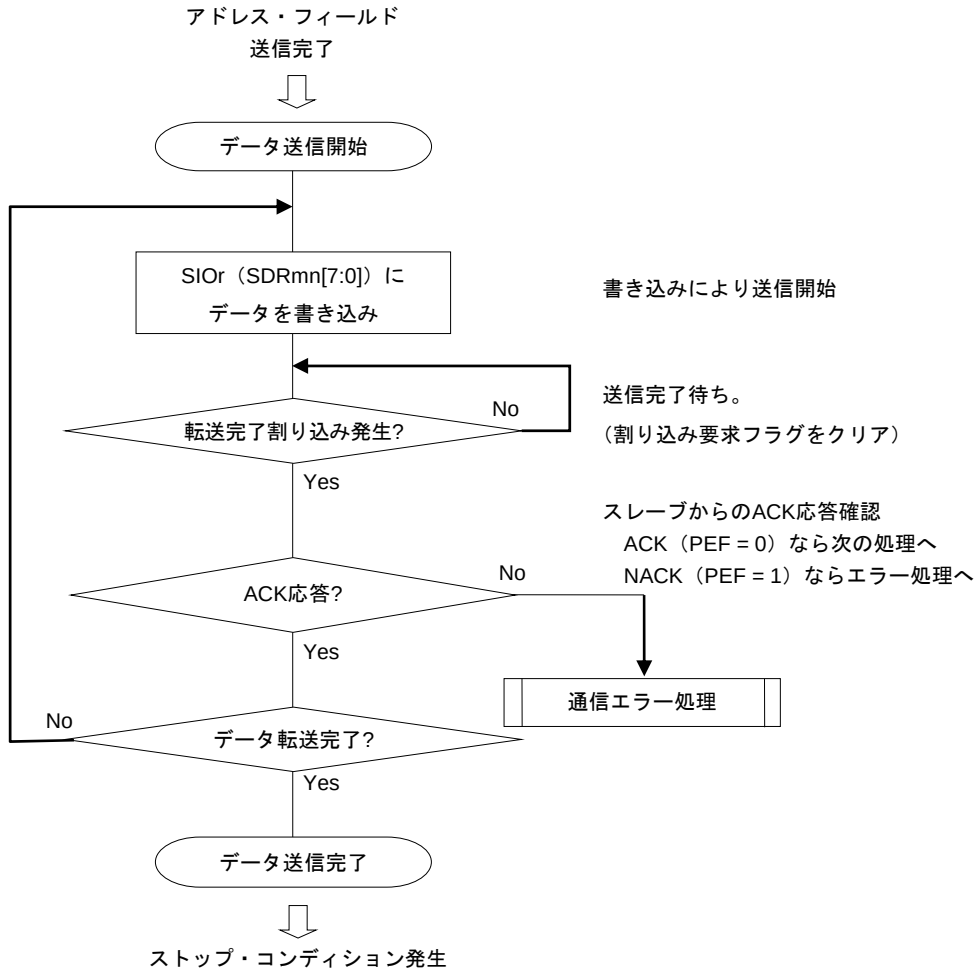



図14－109　簡易$I^2C$データ送信のフロー・チャート



## 14. 8. 3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを解放します。

| 簡易$I^2C$ | IIC00 | IIC10 |
|---|---|---|
| 対象チャネル | SAU0のチャネル0 | SAU0のチャネル2 |
| 使用端子 | SCL00, SDA00注1 | SCL10, SDA10注1 |
| 割り込み | INTIIC00 | INTIIC10 |
| | 転送完了割り込みのみ（バッファ空き割り込みは選択不可） | |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVFmn）のみ | |
| 転送データ長 | 8ビット | |
| 転送レート注2 | Max.$f_{MCK}$/4 [Hz]（SDRmn[15:9] = 1以上）　$f_{MCK}$：対象チャネルの動作クロック周波数<br>ただし，$I^2C$の各モードにより，以下の条件を満たしてください。<br>・Max. 1 MHz（ファースト・モード・プラス）<br>・Max. 400 kHz（ファースト・モード）<br>・Max. 100 kHz（標準モード） | |
| データ・レベル | 非反転出力（デフォルト：ハイ・レベル） | |
| パリティ・ビット | パリティ・ビットなし | |
| ストップ・ビット | 1ビット付加（ACK送信） | |
| データ方向 | MSBファースト | |

**注1.** 簡易$I^2C$による通信を行う場合は，ポート出力モード・レジスタ（POM0, POM1）にてN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを設定（POM06, POM17 = 1）してください（詳細は**4. 3　ポート機能を制御するレジスタ**を参照）。IIC00, IIC10を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを設定（POM05, POM16 = 1）してください（詳細は，**4. 4. 4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応**を参照）。

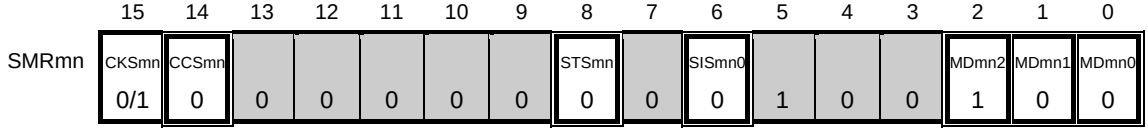
**2.** この条件を満たし，かつ電気的特性の周辺機能特性（**第32章**または**第33章　電気的特性**参照）を満たす範囲内で使用してください。

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

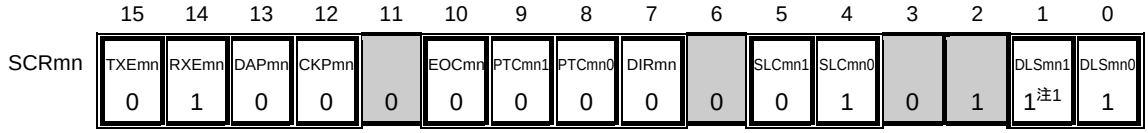
（1）レジスタ設定

図14－110　簡易I²C（IIC00, IIC10）のデータ受信時のレジスタ設定内容例

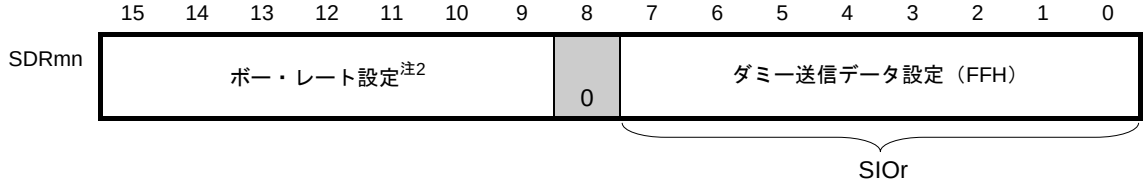
（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない



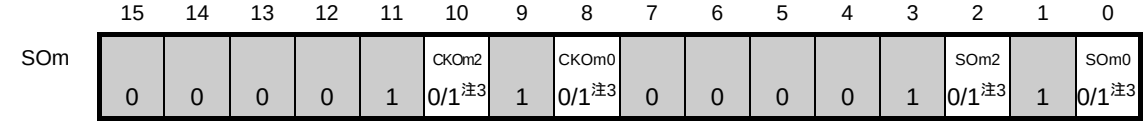

（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない



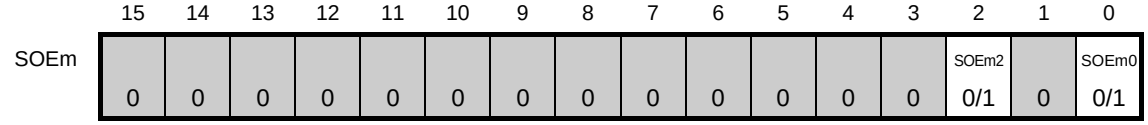

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）



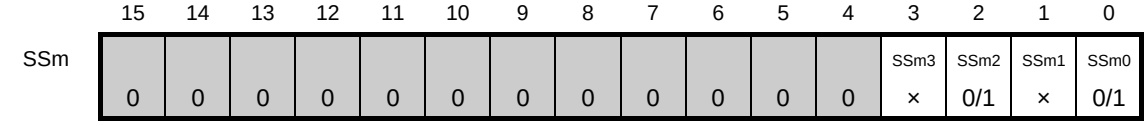

（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない




（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない




（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない




**注1.**　SCR00レジスタのみ。その他は1固定になります

**2.**　アドレス・フィールド送信で設定済みなので，設定不要です。

**3.**　通信動作中は通信データにより値が変わります。

**備考1.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10）　mn = 00, 02

**2.**　□：IICモードでは設定固定　■：設定不可（初期値を設定）

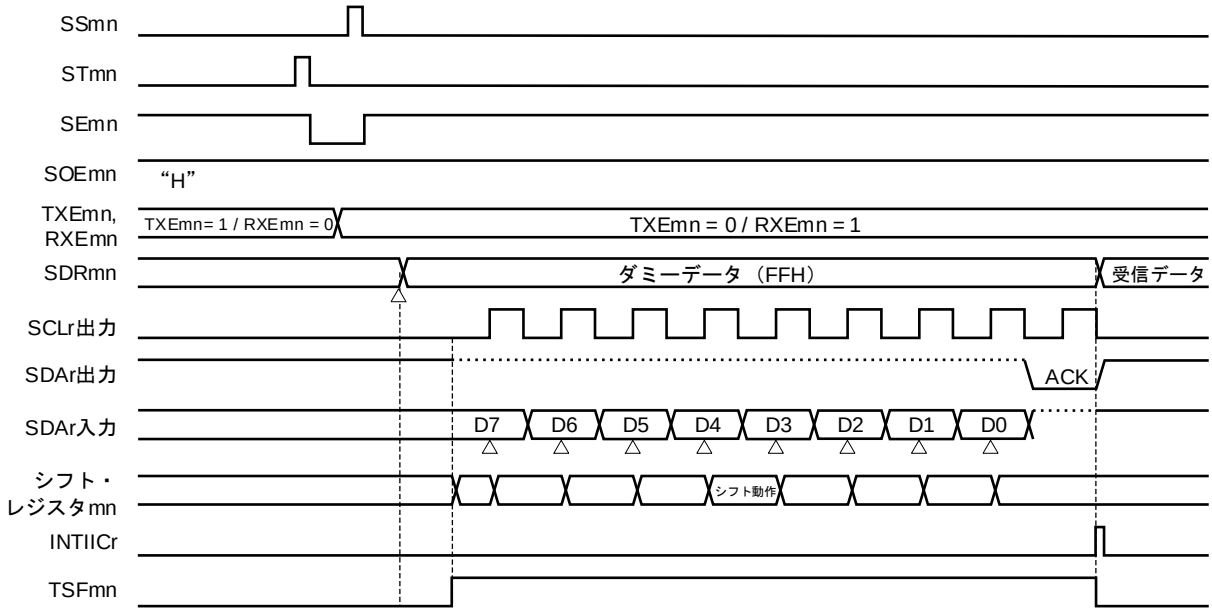
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

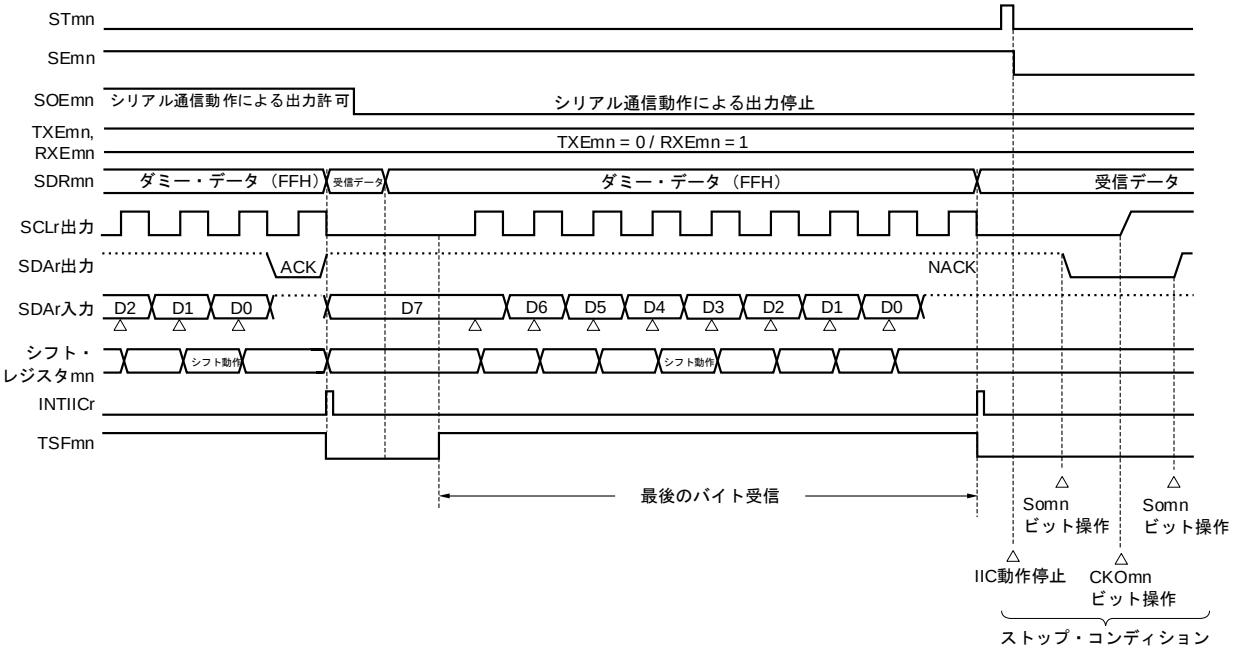
（2）処理フロー

図14－111　データ受信のタイミング・チャート

（a）データ受信開始時

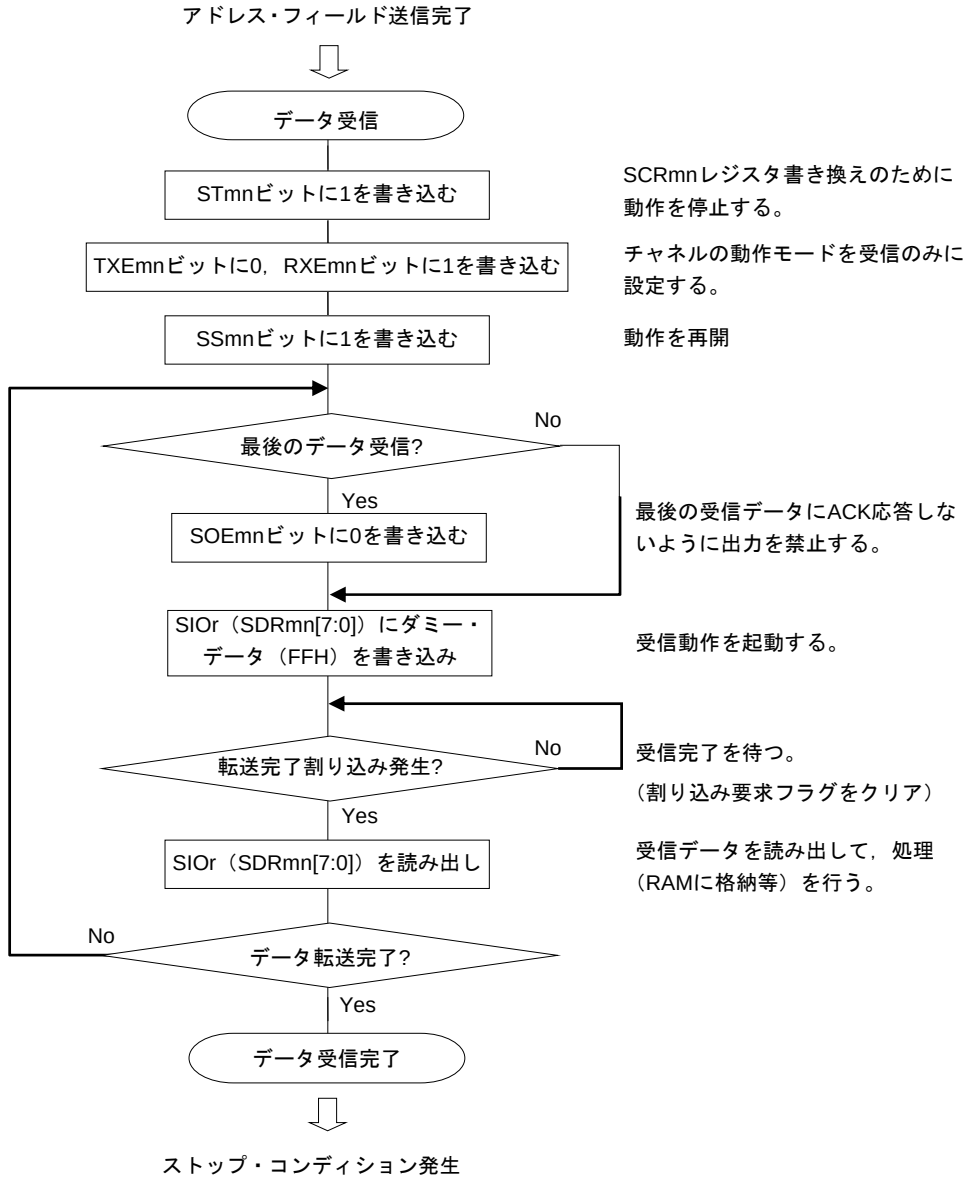



（b）最終データ受信時




**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10）　mn = 00, 02

図14－112　データ受信のフロー・チャート



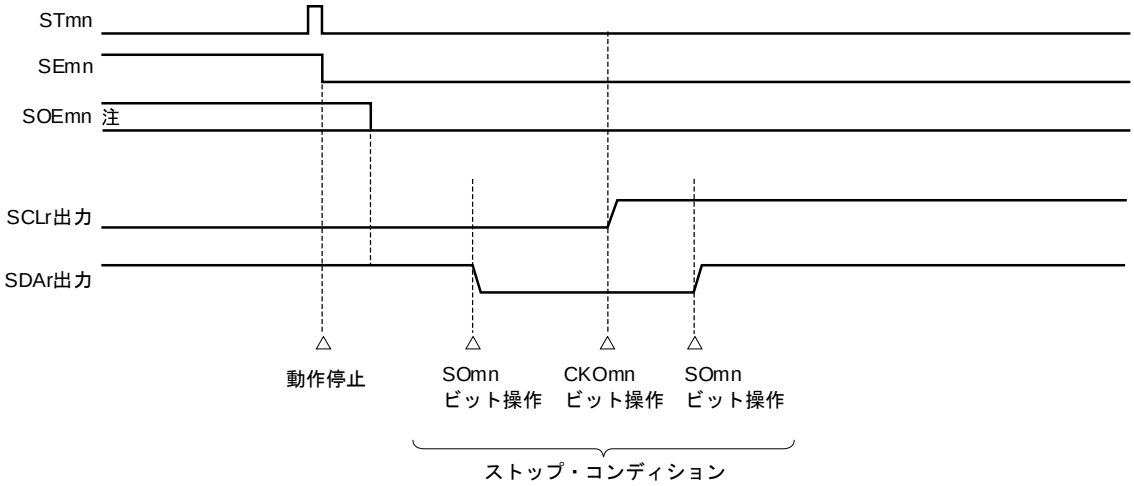

**注意　最終データの受信時はACKを出力しません（NACK）。その後，シリアル・チャンネル停止レジスタm（STm）のSTmnビットに“1”を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。**

## 14. 8. 4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを解放します。

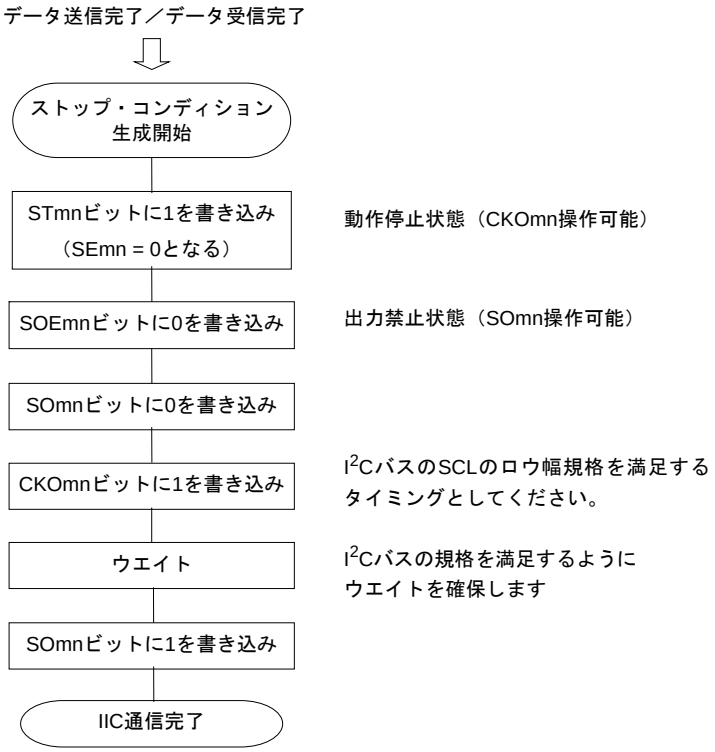
（1）処理フロー

図14－113　ストップ・コンディション発生のタイミング・チャート




**注**　受信動作時は最終データを受信する前に，シリアル出力許可レジスタm（SOEm）のSOEmnビットを“0”に設定しています。

図14－114　ストップ・コンディション発生のフロー・チャート



## 14. 8. 5　転送レートの算出

簡易$I^2C$（IIC00, IIC10）通信での転送レートは下記の計算式にて算出できます。

（転送レート）　=　{対象チャネルの動作クロック（$f_{MCK}$）周波数}　÷（SDRmn[15:9]＋1）÷ 2

**注意　SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。**

**簡易$I^2C$出力のSCL信号のデューティ比は50%です。I2Cバス規格では，SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため，ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると，SCL信号出力のロウ・レベル幅が$I^2C$バスの規格値より短くなります。SDRmn[15:9]には，この規格を満足できる値を設定してください。**

**備考 1.**　（SDRmn[15:9]）は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000001B-1111111B）なので，1-127になります。

**2.**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

動作クロック（$f_{MCK}$）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表14－5 簡易$I^2C$動作クロックの選択

| SMRmnレジスタ | SPSmレジスタ | | | | | | | | 動作クロック（$f_{MCK}$）注 | |
|---|---|---|---|---|---|---|---|---|---|---|
| CKSmn | PRSm13 | PRSm12 | PRSm11 | PRSm10 | PRSm03 | PRSm02 | PRSm01 | PRSm00 | | $f_{CLK}$ = 24 MHz動作時 |
| 0 | X | X | X | X | 0 | 0 | 0 | 0 | $f_{CLK}$ | 24 MHz |
| | X | X | X | X | 0 | 0 | 0 | 1 | $f_{CLK}/2$ | 12 MHz |
| | X | X | X | X | 0 | 0 | 1 | 0 | $f_{CLK}/2^2$ | 6 MHz |
| | X | X | X | X | 0 | 0 | 1 | 1 | $f_{CLK}/2^3$ | 3 MHz |
| | X | X | X | X | 0 | 1 | 0 | 0 | $f_{CLK}/2^4$ | 1.5 MHz |
| | X | X | X | X | 0 | 1 | 0 | 1 | $f_{CLK}/2^5$ | 750 kHz |
| | X | X | X | X | 0 | 1 | 1 | 0 | $f_{CLK}/2^6$ | 375 kHz |
| | X | X | X | X | 0 | 1 | 1 | 1 | $f_{CLK}/2^7$ | 187.5 kHz |
| | X | X | X | X | 1 | 0 | 0 | 0 | $f_{CLK}/2^8$ | 93.8 kHz |
| | X | X | X | X | 1 | 0 | 0 | 1 | $f_{CLK}/2^9$ | 46.9 kHz |
| | X | X | X | X | 1 | 0 | 1 | 0 | $f_{CLK}/2^{10}$ | 23.4 kHz |
| | X | X | X | X | 1 | 0 | 1 | 1 | $f_{CLK}/2^{11}$ | 11.7 kHz |
| 1 | 0 | 0 | 0 | 0 | X | X | X | X | $f_{CLK}$ | 24 MHz |
| | 0 | 0 | 0 | 1 | X | X | X | X | $f_{CLK}/2$ | 12 MHz |
| | 0 | 0 | 1 | 0 | X | X | X | X | $f_{CLK}/2^2$ | 6 MHz |
| | 0 | 0 | 1 | 1 | X | X | X | X | $f_{CLK}/2^3$ | 3 MHz |
| | 0 | 1 | 0 | 0 | X | X | X | X | $f_{CLK}/2^4$ | 1.5 MHz |
| | 0 | 1 | 0 | 1 | X | X | X | X | $f_{CLK}/2^5$ | 750 kHz |
| | 0 | 1 | 1 | 0 | X | X | X | X | $f_{CLK}/2^6$ | 375 kHz |
| | 0 | 1 | 1 | 1 | X | X | X | X | $f_{CLK}/2^7$ | 187.5 kHz |
| | 1 | 0 | 0 | 0 | X | X | X | X | $f_{CLK}/2^8$ | 93.8 kHz |
| | 1 | 0 | 0 | 1 | X | X | X | X | $f_{CLK}/2^9$ | 46.9 kHz |
| | 1 | 0 | 1 | 0 | X | X | X | X | $f_{CLK}/2^{10}$ | 23.4 kHz |
| | 1 | 0 | 1 | 1 | X | X | X | X | $f_{CLK}/2^{11}$ | 11.7 kHz |
| 上記以外 | | | | | | | | | 設定禁止 | |

**注** $f_{CLK}$に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

**備考1.** X：Don't care

**2.** m：ユニット番号（m = 0） n：チャネル番号（n = 0, 2），mn = 00, 02

$f_{MCK}$ = $f_{CLK}$ = 24 MHzの場合の$I^2C$転送レート設定例を示します。

| $I^2C$転送モード（希望転送レート） | $f_{CLK}$ = 24 MHz時 | | | |
|---|---|---|---|---|
| | 動作クロック（$f_{MCK}$） | SDRmn[15:9] | 算出転送レート | 希望転送レートとの誤差 |
| 100 kHz | $f_{CLK}/2$ | 59 | 100 kHz | 0.0% |
| 400 kHz | $f_{CLK}$ | 29 | 380 kHz | 5.0%注 |
| 1 MHz | $f_{CLK}$ | 5 | 0.84 MHz | 16.0%注 |

**注** SCL信号がデューティ比50%なので，誤差を0%程度に設定することはできません。

## 14. 8. 6　簡易I²C（IIC00, IIC10）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00, IIC10）通信時にエラーが発生した場合の処理手順を**図14－115**，**図14－116**に示します。

図14－115　オーバラン・エラー発生時の処理手順

| ソフトウエア操作 | ハードウエアの状態 | 備考 |
|---|---|---|
| シリアル・データ・レジスタmn（SDRmn）をリードする → | SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる | エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う |
| シリアル・ステータス・レジスタmn（SSRmn）をリードする | | エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする → | エラー・フラグがクリアされる | SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる |

図14－116　簡易I²Cモード時のパリティ・エラー（ACKエラー）発生時の処理手順

| ソフトウエア操作 | ハードウエアの状態 | 備考 |
|---|---|---|
| シリアル・ステータス・レジスタmn（SSRmn）をリードする | | エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする → | エラー・フラグがクリアされる | SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる |
| シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する → | シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる | ACKが返信されていないので，スレーブの受信準備ができていない。そのため，ストップ・コンディションを作成してバスを解放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。 |
| ストップ・コンディション作成 | | |
| スタート・コンディション作成 | | |
| シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する → | シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる | |

**備考**　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　r：IIC番号（r = 00, 10）　mn = 00, 02

# 第15章　シリアル・インタフェースIICA

## 15. 1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

（2）$I^2C$バス・モード（マルチマスタ対応）

シリアル・クロック（SCLAn）とシリアル・データ・バス（SDAAn）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

$I^2C$バス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムの$I^2C$バス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

（3）ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICAn）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1（IICCTLn1）のWUPnビットにより設定します。

**図15－1**に，シリアル・インタフェースIICAのブロック図を示します。

**備考**　n = 0

図15−1　シリアル・インタフェースIICA0のブロック図

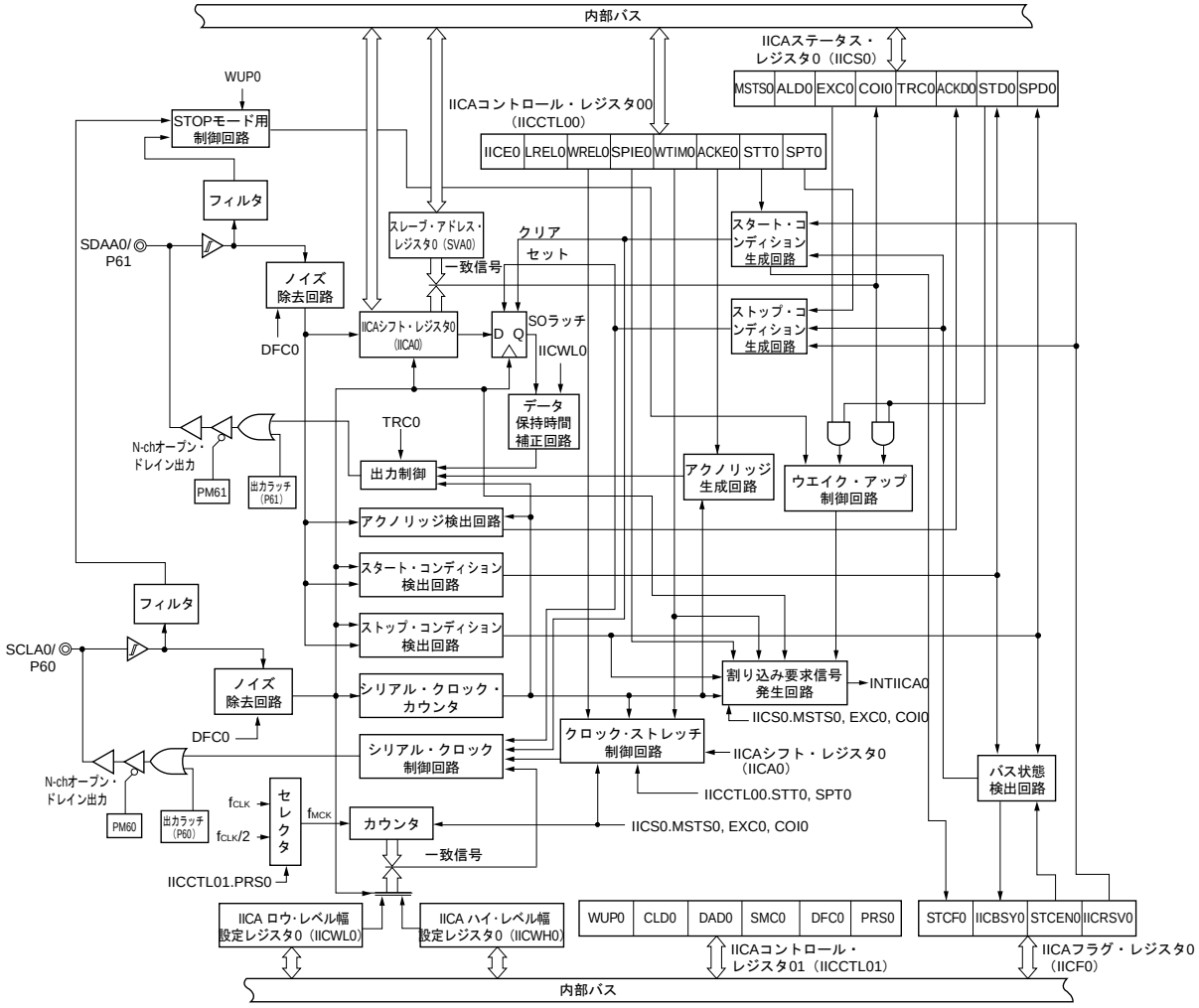
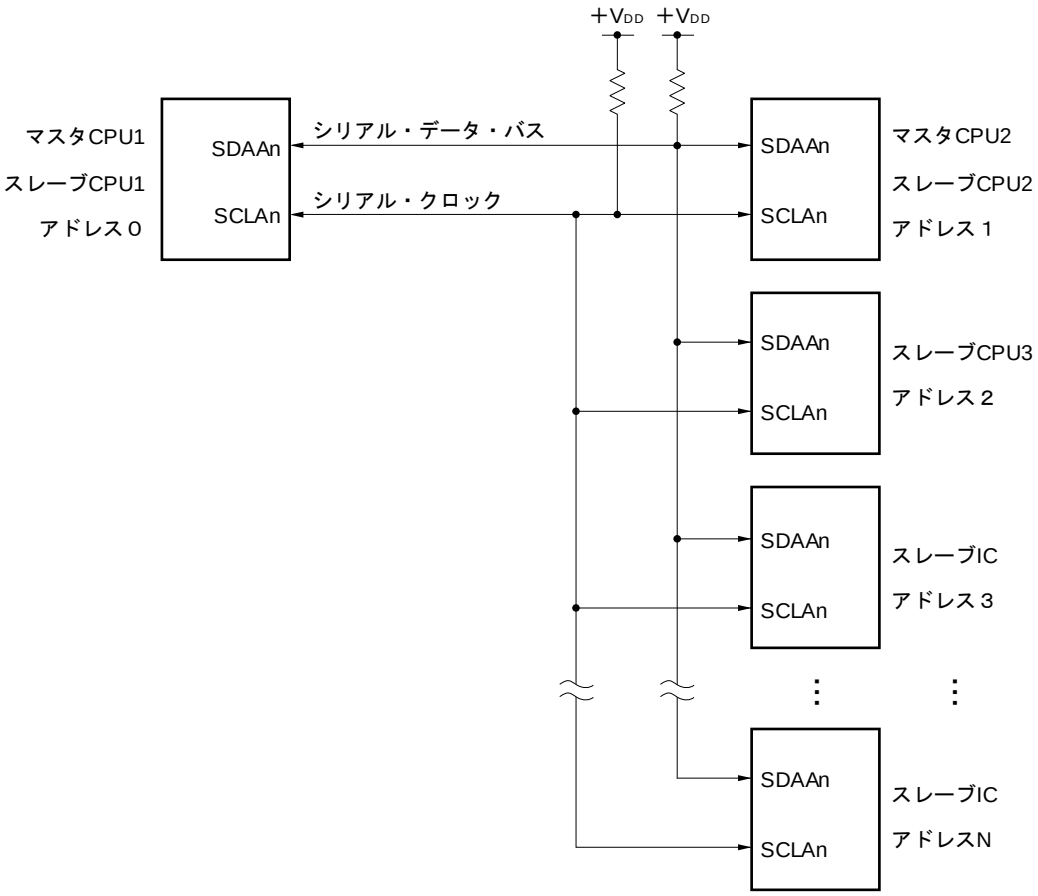


図15－2にシリアル・バス構成例を示します。

図15－2　I²Cバスによるシリアル・バス構成例




**備考**　n = 0

## 15. 2　シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表15－1　シリアル・インタフェースIICAの構成

| 項　　目 | 構　　成 |
|---|---|
| レジスタ | IICAシフト・レジスタn（IICAn）<br>スレーブ・アドレス・レジスタn（SVAn） |
| 制御レジスタ | 周辺イネーブル・レジスタ0（PER0）<br>IICAコントロール・レジスタn0（IICCTLn0）<br>IICAステータス・レジスタn（IICSn）<br>IICAフラグ・レジスタn（IICFn）<br>IICAコントロール・レジスタn1（IICCTLn1）<br>IICAロウ·レベル幅設定レジスタn（IICWLn）<br>IICAハイ·レベル幅設定レジスタn（IICWHn）<br>ポート・モード・レジスタ6（PM6）<br>ポート・レジスタ6（P6） |

**備考**　n = 0

（1）IICAシフト・レジスタn（IICAn）

IICAnレジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより，クロック・ストレッチを解除し，データ転送を開始します。

IICAnレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－3　IICAシフト・レジスタn（IICAn）のフォーマット

アドレス：FFF50H　　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| | | | | | | | | |

**注意1.　データ転送中はIICAnレジスタにデータを書き込まないでください。**

**2.　IICAnレジスタには，クロック・ストレッチ期間中にだけ，書き込み／読み出しをしてください。クロック·ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STTn）をセット（1）したあと，1回書き込みできます。**

**3.　通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。**

**備考**　n = 0

(2) スレーブ・アドレス・レジスタn（SVAn）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVAnレジスタは，8ビット・メモリ操作命令で設定します。

ただし，STDn = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図15－4　スレーブ・アドレス・レジスタn（SVAn）のフォーマット

アドレス：F0234H　　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| SVAn | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 0注 |

**注**　ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAAn端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタn（SVAn）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICAn）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICAn）の発生を制御します。

$I^2C$割り込み要求は，次の2つのトリガで発生します。

・シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIMnビットで設定）

・ストップ・コンディション検出による割り込み要求発生（SPIEnビットで設定）

**備考**　WTIMnビット　：IICAコントロール・レジスタn0（IICCTLn0）のビット3

SPIEnビット　：　〃　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

**備考**　n = 0

（9）アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

（10）データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

（11）スタート・コンディション生成回路

STTnビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSVnビット = 1）で，かつバスが解放されていない（IICBSYnビット = 1）場合には，スタート・コンディション要求は無視し，STCFnビットをセット（1）します。

（12）ストップ・コンディション生成回路

SPTnビットがセット（1）されるとストップ・コンディションを生成します。

（13）バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCENnビットにより，バス状態検出回路の初期状態を設定してください。

**備考**

| | | | |
|---|---|---|---|
| STTnビット | : IICAコントロール・レジスタn0（IICCTLn0） | | のビット1 |
| SPTnビット | : | 〃 | のビット0 |
| IICRSVnビット | : IICAフラグ・レジスタn（IICFn） | | のビット0 |
| IICBSYnビット | : | 〃 | のビット6 |
| STCFnビット | : | 〃 | のビット7 |
| STCENnビット | : | 〃 | のビット1 |

**備考**　n = 0

# 15. 3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次の8種類のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・IICAコントロール・レジスタn0（IICCTLn0）
・IICAフラグ・レジスタn（IICFn）
・IICAステータス・レジスタn（IICSn）
・IICAコントロール・レジスタn1（IICCTLn1）
・IICAロウ・レベル幅設定レジスタn（IICWLn）
・IICAハイ・レベル幅設定レジスタn（IICWHn）
・ポート・モード・レジスタ6（PM6）
・ポート・レジスタ6（P6）

**備考**　n = 0

## 15. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは，必ずビット4（IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15−5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PER0 | RTCWEN | 0 | ADCEN | IICA0EN | SAU1EN | SAU0EN | 0 | TAU0EN |

| IICAnEN | シリアル・インタフェースIICAnの入力クロック供給の制御 |
|---|---|
| 0 | 入力クロック供給停止<br>・シリアル・インタフェースIICAnで使用するSFRへのライト不可<br>・シリアル・インタフェースIICAnはリセット状態 |
| 1 | 入力クロック供給許可<br>・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可 |

**注意1.　シリアル・インタフェースIICAの設定をする際には，必ず最初にIICAnEN = 1の状態で，下記のレジスタの設定を行ってください。IICAnEN = 0の場合は，シリアル・インタフェースIICAの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ6（PM6），ポート・レジスタ6（P6）は除く）。**

**・IICAコントロール・レジスタn0（IICCTLn0）**
**・IICAフラグ・レジスタn（IICFn）**
**・IICAステータス・レジスタn（IICSn）**
**・IICAコントロール・レジスタn1（IICCTLn1）**
**・IICAロウ・レベル幅設定レジスタn（IICWLn）**
**・IICAハイ・レベル幅設定レジスタn（IICWHn）**
★ **・IICAシフト・レジスタn（IICAn）**
**・スレーブ・アドレス・レジスタn（SVAn）**

**2.　ビット1, 6には必ず“0”を設定してください。**

**備考**　n = 0

### 15. 3. 2　IICAコントロール・レジスタn0（IICCTLn0）

I²Cの動作許可／停止，クロック・ストレッチ・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIEn, WTIMn, ACKEnビットは，IICEn = 0のとき，またはクロック・ストレッチ期間中に設定してください。またIICEnビットを”0”から”1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

**備考**　n = 0

図15－6　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（1/4）

アドレス：F0230H　　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IICCTLn0 | IICEn | LRELn | WRELn | SPIEn | WTIMn | ACKEn | STTn | SPTn |

| IICEn | $I^2C$の動作許可 |
|---|---|
| 0 | 動作停止。IICAステータス・レジスタn（IICSn）をリセット注1。内部動作も停止。 |
| 1 | 動作許可。 |
| このビットのセット（1）は，必ずSCLAn, SDAAnラインがハイ･レベルの状態で行ってください。 | |
| クリアされる条件（IICEn = 0） | セットされる条件（IICEn = 1） |
| ・命令によるクリア<br>・リセット時 | ・命令によるセット |

| LRELn注2, 3 | 通信退避 |
|---|---|
| 0 | 通常動作。 |
| 1 | 現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。<br>自局に関係ない拡張コードを受信したときなどに使用する。<br>SCLAn, SDAAnラインはハイ・インピーダンス状態になる。<br>IICAコントロール・レジスタn0（IICCTLn0），IICAステータス・レジスタn（IICSn）のうち，次のフラグがクリア（0）される。<br>・STTn　・SPTn　・MSTSn　・EXCn　・COIn　・TRCn　・ACKDn　・STDn |
| 次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。<br>・ストップ・コンディション検出後，マスタとしての起動<br>・スタート・コンディション後のアドレス一致または拡張コード受信 | |
| クリアされる条件（LRELn = 0） | セットされる条件（LRELn = 1） |
| ・実行後，自動的にクリア<br>・リセット時 | ・命令によるセット |

| WRELn注2, 3 | クロック・ストレッチ解除 |
|---|---|
| 0 | クロック・ストレッチを解除しない。 |
| 1 | クロック・ストレッチを解除する。クロック・ストレッチ解除後，自動的にクリアされる。 |
| 送信状態（TRCn = 1）で，9クロック目のクロック・ストレッチ期間中にWRELnビットをセット（クロック・ストレッチを解除）した場合，SDAAnラインをハイ・インピーダンス（TRCn = 0）にします。 | |
| クリアされる条件（WRELn = 0） | セットされる条件（WRELn = 1） |
| ・実行後，自動的にクリア<br>・リセット時 | ・命令によるセット |

**注1.**　リセットされるのは，IICAステータス・レジスタn（IICA0），IICAフラグ・レジスタn（IICF0）のSTCFn，IICBSYnビット，IICAコントロール・レジスタn1（IICCTLn1）レジスタのCLDn，DADnビットです。

**2.**　IICEn = 0の状態では，このビットの信号は無効になります。

**3.**　LRELn, WRELnビットの読み出し値は常に0になります。

**注意　SCLAnラインがハイ･レベル，SDAAnラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTLn1レジスタのDFCn = 1）のときに$I^2C$を動作許可（IICEn = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，$I^2C$を動作許可（IICEn = 1）したあと，連続して1ビット・メモリ操作命令により，LRELnビットをセット（1）してください。**

**備考**　n = 0

図15－6　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（2/4）

| SPIEn[注1] | ストップ・コンディション検出による割り込み要求発生の許可／禁止 |
|---|---|
| 0 | 禁止 |
| 1 | 許可 |
| IICAコントロール・レジスタn1（IICCTLn1）のWUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。 | |
| クリアされる条件（SPIEn = 0） | セットされる条件（SPIEn = 1） |
| ・命令によるクリア<br>・リセット時 | ・命令によるセット |

| WTIMn[注1] | クロック・ストレッチおよび割り込み要求発生の制御 |
|---|---|
| 0 | 8クロック目の立ち下がりで割り込み要求発生。<br>マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ<br>スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ |
| 1 | 9クロック目の立ち下がりで割り込み要求発生。<br>マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ<br>スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ |
| アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは，アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでクロック・ストレッチに入ります。 | |
| クリアされる条件（WTIMn = 0） | セットされる条件（WTIMn = 1） |
| ・命令によるクリア<br>・リセット時 | ・命令によるセット |

| ACKEn<br>注1, 2 | アクノリッジ制御 |
|---|---|
| 0 | アクノリッジを禁止。 |
| 1 | アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。 |
| クリアされる条件（ACKEn = 0） | セットされる条件（ACKEn = 1） |
| ・命令によるクリア<br>・リセット時 | ・命令によるセット |

**注1.**　IICEn = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

**2.**　アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

**備考**　n = 0

図15－6　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（3/4）

| STTn[注1, 2] | スタート・コンディション・トリガ |
|---|---|
| 0 | スタート・コンディションを生成しない。 |
| 1 | バスが解放されているとき（待機状態，IICBSYnが0のとき）：<br>セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。<br>第三者が通信中のとき：<br>・通信予約機能許可の場合（IICRSVn = 0）<br>スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。<br>・通信予約機能禁止の場合（IICRSVn = 1）<br>セット（1）してもSTTnビットはクリアされ，STTnクリア・フラグ（STCFn）がセット（1）される。スタート・コンディションは生成しない。<br>クロック・ストレッチ状態（マスタ時）：<br>クロック・ストレッチを解除してリスタート・コンディションを生成する。 |
| セット・タイミングに関する注意<br>・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。<br>・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。<br>・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。<br>・STTnビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。 | |
| クリアされる条件（STTn = 0） | セットされる条件（STTn = 1） |
| ・通信予約禁止状態でのSTTnビットのセット（1）<br>・アービトレーションに負けたとき<br>・マスタでのスタート・コンディション生成<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 0（動作停止）のとき<br>・リセット時 | ・命令によるセット |

**注1.**　IICEn = 0の状態では，このビットの信号は無効になります。

**2.**　STTnビットの読み出し値は，常に0になります。

**備考1.**　ビット1（STTn）は，データ設定後に読み出すと0になっています。

**2.**　IICRSVn　：IICフラグ・レジスタn（IICFn）のビット0
STCFn　：〃　のビット7

**3.**　n = 0

図15－6　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（4/4）

| SPTn[注] | ストップ・コンディション・トリガ |
|---|---|
| 0 | ストップ・コンディションを生成しない。 |
| 1 | ストップ・コンディションを生成する（マスタとしての転送終了）。 |

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
　ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。

・スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。

・SPTnビットのセット（1）は，マスタのときのみ行ってください。

・WTIMn = 0設定時に，8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）すると，クロック・ストレッチ解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。
　8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し，9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）してください。

・SPTnビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

| クリアされる条件（SPTn = 0） | セットされる条件（SPTn = 1） |
|---|---|
| ・アービトレーションに負けたとき<br>・ストップ・コンディション検出後，自動的にクリア<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 0（動作停止）のとき<br>・リセット時 | ・命令によるセット |

**注**　STTnビットの読み出し値は，常に0になります。

**注意　IICAステータス・レジスタn（IICSn）のビット3（TRCn）＝1（送信状態）のとき，9クロック目にIICCTLn0レジスタのビット5（WRELn）をセット（1）してクロック・ストレッチ解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタnへの書き込みで行ってください。**

**備考1.**　ビット0（SPTn）は，データ設定後に読み出すと0になっています。

**2.**　n = 0

### 15. 3. 3　IICAステータス・レジスタn（IICSn）

I²Cのステータスを表すレジスタです。

IICSnレジスタは，STTn = 1およびクロック・ストレッチ期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

**注意　STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUPn = 1）状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から，INTIICAn割り込み要求と関係なくWUPnビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIEn = 1）して割り込み検出後にIICSnレジスタを読み出してください。**

**備考**　STTn　　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

WUPn　　：IICAコントロール・レジスタn1（IICCTLn1）のビット7

図15－7　IICAステータス・レジスタn（IICSn）のフォーマット（1/3）

アドレス：FFF51H　　リセット時：00H　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IICSn | MSTSn | ALDn | EXCn | COIn | TRCn | ACKDn | STDn | SPDn |

| MSTSn | マスタ状態確認フラグ | |
|---|---|---|
| 0 | スレーブ状態または通信待機状態。 | |
| 1 | マスタ通信状態。 | |
| クリアされる条件（MSTSn = 0） | | セットされる条件（MSTSn = 1） |
| ・ストップ・コンディション検出時<br>・ALDn = 1（アービトレーション負け）のとき<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 1→0（動作停止）のとき<br>・リセット時 | | ・スタート・コンディション生成時 |

| ALDn | アービトレーション負け検出 | |
|---|---|---|
| 0 | アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。 | |
| 1 | アービトレーションに負けた状態。MSTSnビットがクリアされる。 | |
| クリアされる条件（ALDn = 0） | | セットされる条件（ALDn = 1） |
| ・IICSnレジスタ読み出し後，自動的にクリア[注]<br>・IICEn = 1→0（動作停止）のとき<br>・リセット時 | | ・アービトレーションに負けたとき |

**注**　IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALDnビット使用時は，ほかのビットよりも先にデータをリードしてください。

**備考 1.**　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6

IICEn　：　〃　のビット7

**2.**　n = 0

図15－7　IICAステータス・レジスタn（IICSn）のフォーマット（2/3）

| EXCn | 拡張コード受信検出 |
|---|---|
| 0 | 拡張コードを受信していない。 |
| 1 | 拡張コードを受信している。 |

| クリアされる条件（EXCn = 0） | セットされる条件（EXCn = 1） |
|---|---|
| ・スタート・コンディション検出時<br>・ストップ・コンディション検出時<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 1→0（動作停止）のとき<br>・リセット時 | ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット） |

| COIn | アドレス一致検出 |
|---|---|
| 0 | アドレスが一致していない。 |
| 1 | アドレスが一致している。 |

| クリアされる条件（COIn = 0） | セットされる条件（COIn = 1） |
|---|---|
| ・スタート・コンディション検出時<br>・ストップ・コンディション検出時<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 1→0（動作停止）のとき<br>・リセット時 | ・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタn（SVAn））と一致したとき（8クロック目の立ち上がりでセット） |

| TRCn | 送信／受信状態検出 |
|---|---|
| 0 | 受信状態（送信状態以外）。SDAAnラインをハイ・インピーダンスにする。 |
| 1 | 送信状態。SDAAnラインにSOnラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。 |

| クリアされる条件（TRCn = 0） | セットされる条件（TRCn = 1） |
|---|---|
| ＜マスタ，スレーブ共通＞<br>・ストップ・コンディション検出時<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 1→0（動作停止）のとき<br>・WRELn = 1（クロック・ストレッチ解除）によるクリア[注]<br>・ALDn = 0→1（アービトレーション負け）のとき<br>・リセット時<br>・通信不参加の場合（MSTSn, EXCn, COIn = 0）<br>＜マスタの場合＞<br>・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき<br>＜スレーブの場合＞<br>・スタート・コンディション検出時<br>・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき | ＜マスタの場合＞<br>・スタート・コンディション生成時<br>・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき<br>＜スレーブの場合＞<br>・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき |

**注**　IICAステータス・レジスタn（IICSn）のビット3（TRCn）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）をセット（1）してクロック・ストレッチを解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタnへの書き込みで行ってください。

**備考 1.**　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
IICEn　：　〃　のビット7

**2.**　n = 0

図15－7　IICAステータス・レジスタn（IICSn）のフォーマット（3/3）

| ACKDn | アクノリッジ（ACK）検出 |
|---|---|
| 0 | アクノリッジを検出していない。 |
| 1 | アクノリッジを検出している。 |

| クリアされる条件（ACKDn = 0） | セットされる条件（ACKDn = 1） |
|---|---|
| ・ストップ・コンディション検出時<br>・次のバイトの1クロック目の立ち上がり時<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 1→0（動作停止）のとき<br>・リセット時 | ・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき |

| STDn | スタート・コンディション検出 |
|---|---|
| 0 | スタート・コンディションを検出していない。 |
| 1 | スタート・コンディションを検出している。アドレス転送期間であることを示す。 |

| クリアされる条件（STDn = 0） | セットされる条件（STDn = 1） |
|---|---|
| ・ストップ・コンディション検出時<br>・アドレス転送後の次のバイトの1クロック目の立ち上がり時<br>・LRELn = 1（通信退避）によるクリア<br>・IICEn = 1→0（動作停止）のとき<br>・リセット時 | ・スタート・コンディション検出時 |

| SPDn | ストップ・コンディション検出 |
|---|---|
| 0 | ストップ・コンディションを検出していない。 |
| 1 | ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。 |

| クリアされる条件（SPDn = 0） | セットされる条件（SPDn = 1） |
|---|---|
| ・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時<br>・WUPn = 1→0のとき<br>・IICEn = 1→0（動作停止）のとき<br>・リセット時 | ・ストップ・コンディション検出時 |

**備考 1.**　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
IICEn　：　〃　のビット7

**2.**　n = 0

## 15. 3. 4　IICAフラグ・レジスタn（IICFn）

I²Cの動作モードの設定と，I²Cバスの状態を表すレジスタです。

IICFnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STTnクリア・フラグ（STCFn），I²Cバス状態フラグ（IICBSYn）は読み出しのみ可能です。

IICRSVnビットにより，通信予約機能の禁止／許可を設定します。

またSTCENnビットにより，IICBSYnビットの初期値を設定します。

IICRSVn, STCENnビットはI²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときのみ書き込み可能です。動作許可後，IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図15－8　IICAフラグ・レジスタn（IICFn）のフォーマット

アドレス：FFF52H　　リセット時：00H　R/W[注]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IICFn | STCFn | IICBSYn | 0 | 0 | 0 | 0 | STCENn | IICRSVn |

| STCFn | STTnクリア・フラグ |
|---|---|
| 0 | スタート・コンディション発行。 |
| 1 | スタート・コンディション発行できず，STTnフラグ・クリア。 |

| クリアされる条件（STCFn = 0） | セットされる条件（STCFn = 1） |
|---|---|
| ・STTn = 1によるクリア<br>・IICEn = 0（動作停止）のとき<br>・リセット時 | ・通信予約禁止（IICRSVn = 1）設定時にスタート・コンディション発行できず，STTnビットがクリア（0）されたとき |

| IICBSYn | $I^2C$バス状態フラグ |
|---|---|
| 0 | バス解放状態（STCENn = 1時の通信初期状態）。 |
| 1 | バス通信状態（STCENn = 0時の通信初期状態）。 |

| クリアされる条件（IICBSYn = 0） | セットされる条件（IICBSYn = 1） |
|---|---|
| ・ストップ・コンディション検出時<br>・IICEn = 0（動作停止）のとき<br>・リセット時 | ・スタート・コンディション検出時<br>・STCENn = 0時のIICEnビットのセット |

| STCENn | 初期スタート許可トリガ |
|---|---|
| 0 | 動作許可（IICEn = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。 |
| 1 | 動作許可（IICEn = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。 |

| クリアされる条件（STCENn = 0） | セットされる条件（STCENn = 1） |
|---|---|
| ・命令によるクリア<br>・スタート・コンディション検出時<br>・リセット時 | ・命令によるセット |

| IICRSVn | 通信予約機能禁止ビット |
|---|---|
| 0 | 通信予約許可。 |
| 1 | 通信予約禁止。 |

| クリアされる条件（IICRSVn = 0） | セットされる条件（IICRSVn = 1） |
|---|---|
| ・命令によるクリア<br>・リセット時 | ・命令によるセット |

**注**　ビット6, 7はRead onlyです。

**注意1.　STCENnビットへの書き込みは動作停止（IICEn = 0）時のみ行ってください。**

**2.　STCENn = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを発行（STTn = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。**

**3.　IICRSVnへの書き込みは動作停止（IICEn = 0）時のみ行ってください。**

**備考 1.**　STTn　　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

**2.**　IICEn　　：　　〃　　のビット7

## 15. 3. 5　IICAコントロール・レジスタn1（IICCTLn1）

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLDn，DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは，WUPnビットを除きI²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，00Hになります。

図15－9　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（1/2）

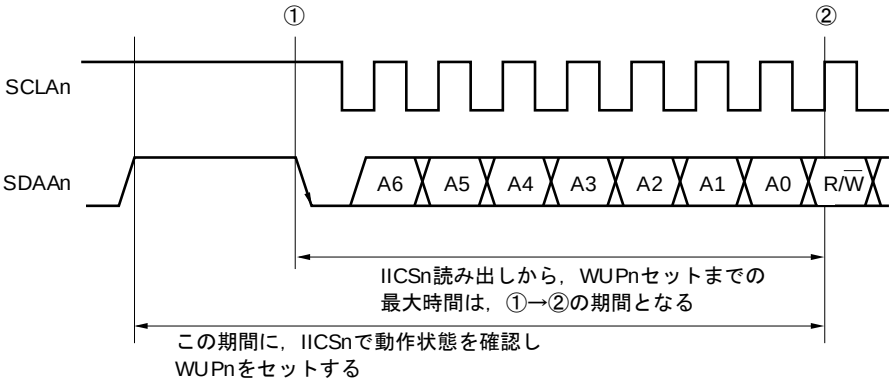
アドレス：F0231H　　リセット時：00H　R/W[注1]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IICCTLn1 | WUPn | 0 | CLDn | DADn | SMCn | DFCn | 0 | PRSn |

| WUPn | アドレス一致ウエイク・アップの制御 |
|---|---|
| 0 | STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止 |
| 1 | STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 |
| WUPn = 1でSTOPモードに移行する場合は，WUPnビットをセット（1）してfMCKの3クロック以上経過後にSTOP命令を実行してください（**図15－22　WUPn = 1を設定する場合のフロー**参照）。<br>アドレス一致，または拡張コード受信後はWUPnビットをクリア（0）してください。WUPnビットをクリア（0）することで，その後の通信に参加する事ができます（クロック・ストレッチ解除および送信データ書き込みは，WUPnビットをクリア（0）したあとに行う必要があります）。<br>WUPn = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUPn = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。 | |
| クリアされる条件（WUPn = 0） | セットされる条件（WUPn = 1） |
| ・命令によるクリア（アドレス一致もしくは拡張コード受信後） | ・命令によるセット（MSTSn, EXCn, COIn = 0であり，STDn = 0（通信に不参加である事）のとき）[注2] |

**注1.**　ビット4, 5はRead Onlyです。

**2.**　次に示す期間に，IICAステータス・レジスタn（IICSn）の状態を確認しセットする必要があります。




**備考**　n = 0

図15－9　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（2/2）

| CLDn | SCLAn端子のレベル検出（IICEn = 1のときのみ有効） |
|---|---|
| 0 | SCLAn端子がロウ・レベルであることを検出 |
| 1 | SCLAn端子がハイ・レベルであることを検出 |

| クリアされる条件（CLDn = 0） | セットされる条件（CLDn = 1） |
|---|---|
| ・SCLAn端子がロウ・レベルのとき<br>・IICEn = 0（動作停止）のとき<br>・リセット時 | ・SCLAn端子がハイ・レベルのとき |

| DADn | SDAAn端子のレベル検出（IICEn = 1のときのみ有効） |
|---|---|
| 0 | SDAAn端子がロウ・レベルであることを検出 |
| 1 | SDAAn端子がハイ・レベルであることを検出 |

| クリアされる条件（DADn = 0） | セットされる条件（DADn = 1） |
|---|---|
| ・SDAAn端子がロウ・レベルのとき<br>・IICEn = 0（動作停止）のとき<br>・リセット時 | ・SDAAn端子がハイ・レベルのとき |

| SMCn | 動作モードの切り替え |
|---|---|
| 0 | 標準モードで動作（最大転送レート：100 kbps） |
| 1 | ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作 |

| DFCn | デジタル・フィルタの動作の制御 |
|---|---|
| 0 | デジタル・フィルタ・オフ |
| 1 | デジタル・フィルタ・オン |
| デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時にのみ使用できます。<br>ファースト・モードおよびファースト・モード・プラス時はDFCnビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。<br>デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時にノイズ除去のために使用します。 | |

| PRSn | IICA動作クロック（$f_{MCK}$）の制御 |
|---|---|
| 0 | $f_{CLK}$を選択（1 MHz≦$f_{CLK}$≦20 MHz） |
| 1 | $f_{CLK}$/2を選択（20 MHz＜$f_{CLK}$） |

**注意1.　IICA動作クロック（$f_{MCK}$）の最高動作周波数は20 MHz（Max.）です。**
**$f_{CLK}$が20 MHzを超える場合のみ，IICAコントロール・レジスタn1（IICCTLn1）のビット0（PRSn）に"1"を設定してください。**

**2.　転送クロックを設定する場合は，$f_{CLK}$の最低動作周波数に注意してください。**
**シリアル・インタフェースIICAはモードによって$f_{CLK}$の最低動作周波数が決められています。**
**ファースト・モード時：$f_{CLK}$ = 3.5 MHz（Min.）**
**ファースト・モード・プラス時：$f_{CLK}$ = 10 MHz（Min.）**
**標準モード時：$f_{CLK}$ = 1 MHz（Min.）**

**3.　ファースト・モード・プラスは，A:民生用途（$T_A$ = -40～+85℃）のみです。**

**備考 1.**　IICEn：IICAコントロール・レジスタn0（IICCTLn0）のビット7

**2.**　n = 0

## 15. 3. 6　IICAロウ・レベル幅設定レジスタn（IICWLn）

シリアル・インタフェースIICAが，出力するSCLAn端子信号のロウ・レベル幅（tLow）を設定するレジスタです。

IICWLnレジスタは，8ビット・メモリ操作命令で設定します。

IICWLnレジスタは，I²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWLnの設定方法については，**15. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法**を参照してください。

また、データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図15－10　IICAロウ･レベル幅設定レジスタn（IICWLn）のフォーマット

アドレス：F0232H　　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IICWLn | | | | | | | | |

## 15. 3. 7　IICAハイ・レベル幅設定レジスタn（IICWHn）

シリアル･インタフェースIICAが，出力するSCLAn端子信号のハイ・レベル幅を設定するレジスタです。

IICWHnレジスタは，8ビット・メモリ操作命令で設定します。

IICWHnレジスタは，I²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

図15－11　IICAハイ･レベル幅設定レジスタn（IICWHn）のフォーマット

アドレス：F0233H　　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IICWHn | | | | | | | | |

**備考 1.**　マスタ側の転送クロックの設定方法は**15. 4. 2. (1)**を，スレーブ側のIICWLn, IICWHnレジスタの設定方法は，**15. 4. 2. (2)**を参照してください。

**2.**　n = 0

### 15. 3. 8　ポート・モード・レジスタ6（PM6）

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICEn（IICAコントロール・レジスタn0（IICCTLn0）のビット7）が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICEnビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図15－12　ポート・モード・レジスタ6（PM6）のフォーマット

アドレス：FFF26H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PM6 | 1 | 1 | 1 | 1 | 1 | 1 | PM61 | PM60 |

| PM6n | P6n端子の入出力モードの選択（n = 0, 1） |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

# 15. 4　I²Cバス・モードの機能

## 15. 4. 1　端子構成

シリアル・クロック端子（SCLAn）と，シリアル・データ・バス端子（SDAAn）の構成は，次のようになっています。

（1）SCLAn……シリアル・クロックを入出力するための端子。

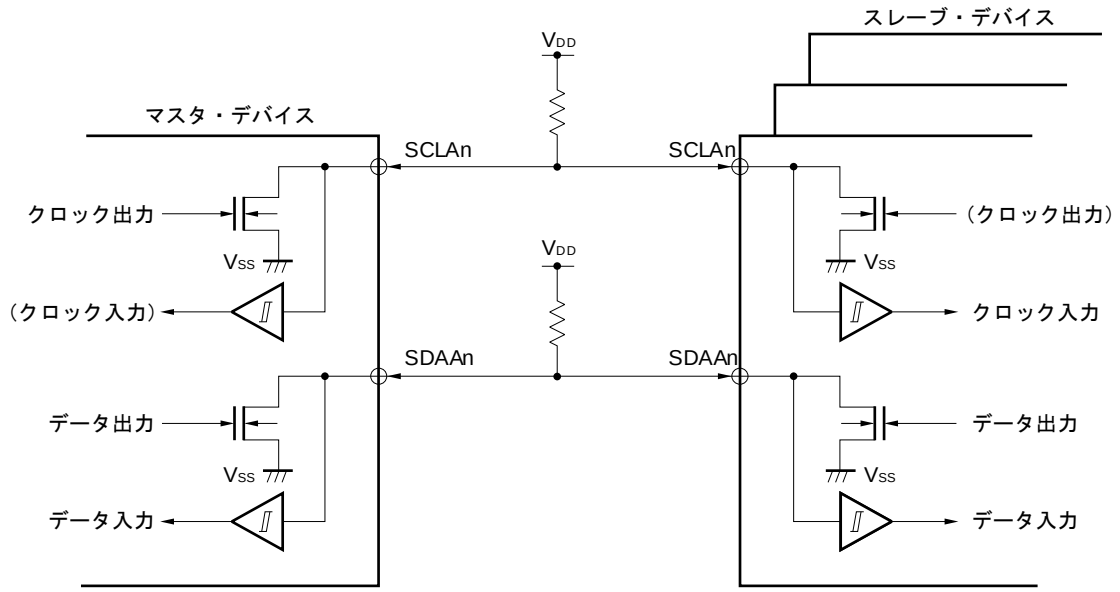
マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

（2）SDAAn……シリアル・データの入出力兼用端子。

マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図15－13　端子構成図




**備考**　n = 0

## 15. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法

（1）マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき，最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。

（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

・ファースト･モード･プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

（2）スレーブ側のIICWLn, IICWHnレジスタ設定方法

（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWLn = 1.3\ \mu s \times f_{MCK}$$

$$IICWHn = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$$

・標準モード時

$$IICWLn = 4.7\ \mu s \times f_{MCK}$$

$$IICWHn = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$$

・ファースト･モード･プラス時

$$IICWLn = 0.50\ \mu s \times f_{MCK}$$

$$IICWHn = (0.50\ \mu s - t_R - t_F) \times f_{MCK}$$

**注意1.　IICA動作クロック（$f_{MCK}$）の最高動作周波数は20 MHz（Max.）です。**
**$f_{CLK}$が20 MHzを越える場合のみ，IICAコントロール・レジスタn1（IICCTLn1）のビット0（PRSn）に“1”を設定してください。**

**2.　転送クロックを設定する場合は，$f_{CLK}$の最低動作周波数に注意してください。**
**シリアル・インタフェースIICAはモードによって$f_{CLK}$の最低動作周波数が決められています。**
**ファースト・モード時：$f_{CLK}$ = 3.5 MHz（Min.）**
**ファースト・モード・プラス時：$f_{CLK}$ = 10 MHz（Min.）**
**標準モード時：$f_{CLK}$ = 1 MHz（Min.）**

（備考は，次ページにあります。）

**備考1.** SDAAn, SCLAn信号の立ち上がり時間（$t_R$）と立ち下がり時間（$t_F$）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

**2.** IICWLn　：IICAロウ・レベル幅設定レジスタn
IICWHn　：IICAハイ・レベル幅設定レジスタn
$t_F$　：SDAAn, SCLAn信号の立ち下がり時間
$t_R$　：SDAAn, SCLAn信号の立ち上がり時間
$f_{MCK}$　：IICA動作クロック周波数

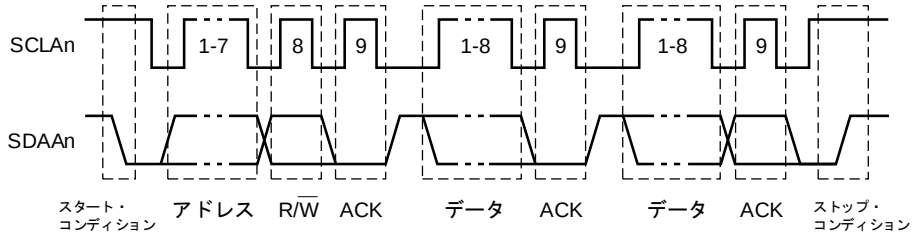
**3.** n = 0

## 15. 5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図15－14に示します。

図15－14　I²Cバスのシリアル・データ転送タイミング




スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

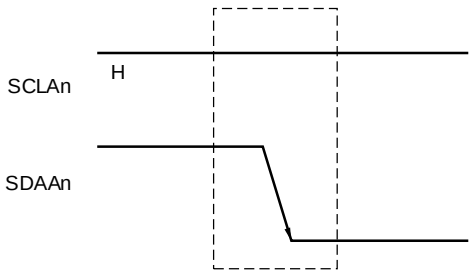
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLAn）は，マスタが出力し続けます。ただし，スレーブはSCLAn端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

### 15. 5. 1　スタート・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子，SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図15－15　スタート・コンディション




スタート・コンディションは，ストップ・コンディション検出状態（SPDn：IICAステータス・レジスタn（IICSn）のビット0 = 1）のときにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSnレジスタのビット1（STDn）がセット（1）されます。

**備考**　n = 0

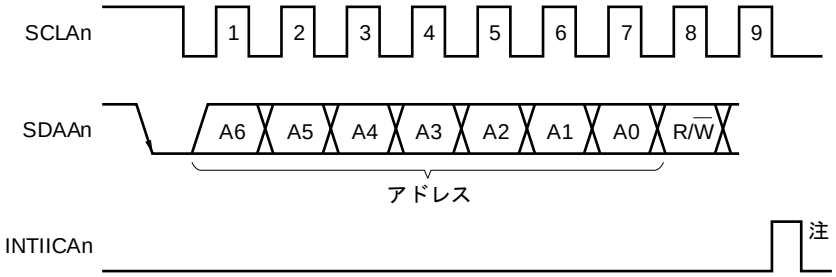
### 15. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ライン に接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタn（SVAn）と一致しているかを調べます。このとき，7ビット・データとSVAnレジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図15－16　アドレス




**注**　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

アドレスは，スレーブのアドレスと**15. 5. 3　転送方向指定**に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタn（IICAn）に書き込むと出力します。また，受信したアドレスはIICAnレジスタに書き込まれます。

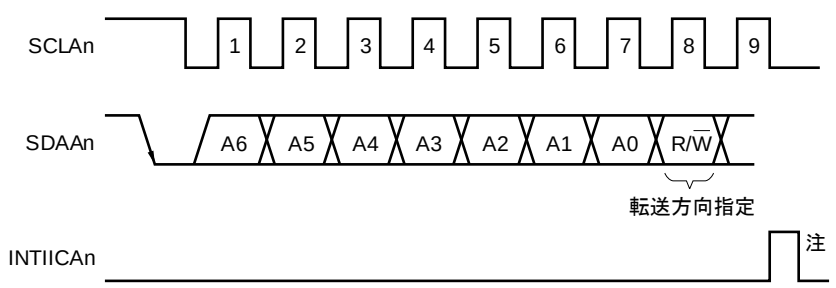
なお，スレーブのアドレスは，IICAnレジスタの上位7ビットに割り当てられます。

### 15. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図15－17　転送方向指定




**注**　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

**備考**　n = 0

### 15. 5. 4　アクノリッジ（ACK）

アクノリッジ（ACK）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタn（IICSn）のビット2（ACKDn）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

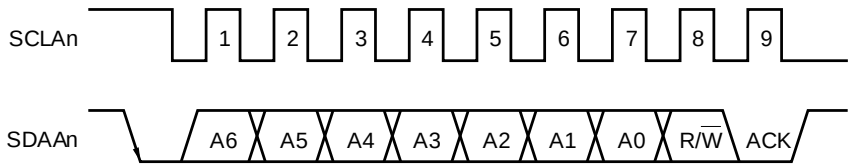
アクノリッジ生成は，受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタn0（IICCTLn0）のビット2（ACKEn）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3（TRCn）が設定されます。受信（TRCn = 0）の場合は，通常，ACKEnビットをセット（1）してください。

スレーブ受信動作時（TRCn = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKEnビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCn = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKEnビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図15－18　アクノリッジ




自局アドレス受信時は，ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKEnビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，クロック・ストレッチ・タイミングの設定により次のように異なります。

・8クロック・クロック・ストレッチ選択時（IICCTLn0レジスタのビット3（WTIMn） = 0）：
　クロック・ストレッチ解除を行う前にACKEnビットをセット（1）することによって，SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
・9クロック・クロック・ストレッチ選択時（IICCTLn0レジスタのビット3（WTIMn） = 1）：
　あらかじめACKEnビットをセット（1）することによって，アクノリッジを生成します。

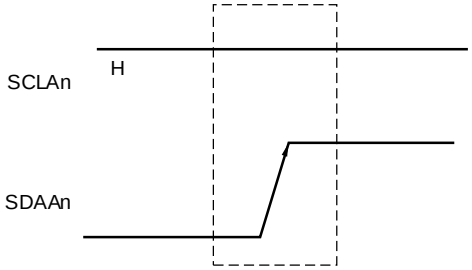
**備考**　n = 0

### 15. 5. 5　ストップ・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図15－19　ストップ・コンディション




ストップ・コンディションは，IICAコントロール・レジスタn0（IICCTLn0）のビット0（SPTn）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタn（IICSn）のビット0（SPDn）がセット（1）され，IICCTLn0レジスタのビット4（SPIEn）がセット（1）されている場合にはINTIICAnが発生します。

**備考**　n = 0

## 15. 5. 6　クロック・ストレッチ

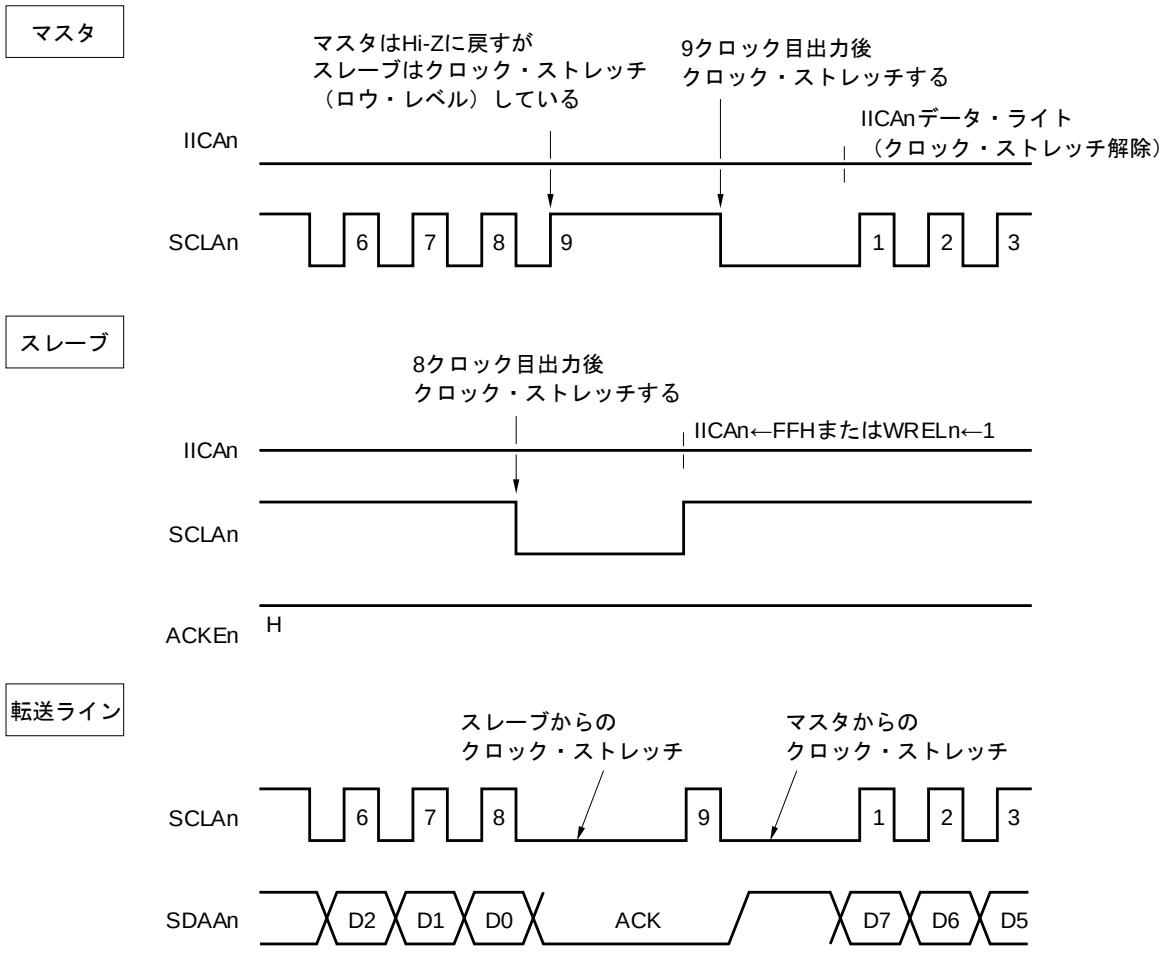
クロック・ストレッチによっては，マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより，相手にクロック・ストレッチ状態を知らせます。マスタ，スレーブ両方のクロック・ストレッチ状態が解除されると，次の転送を開始できます。

図15－20　クロック・ストレッチ（1/2）

（1）マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時

（マスタ：送信，スレーブ：受信，ACKEn = 1）

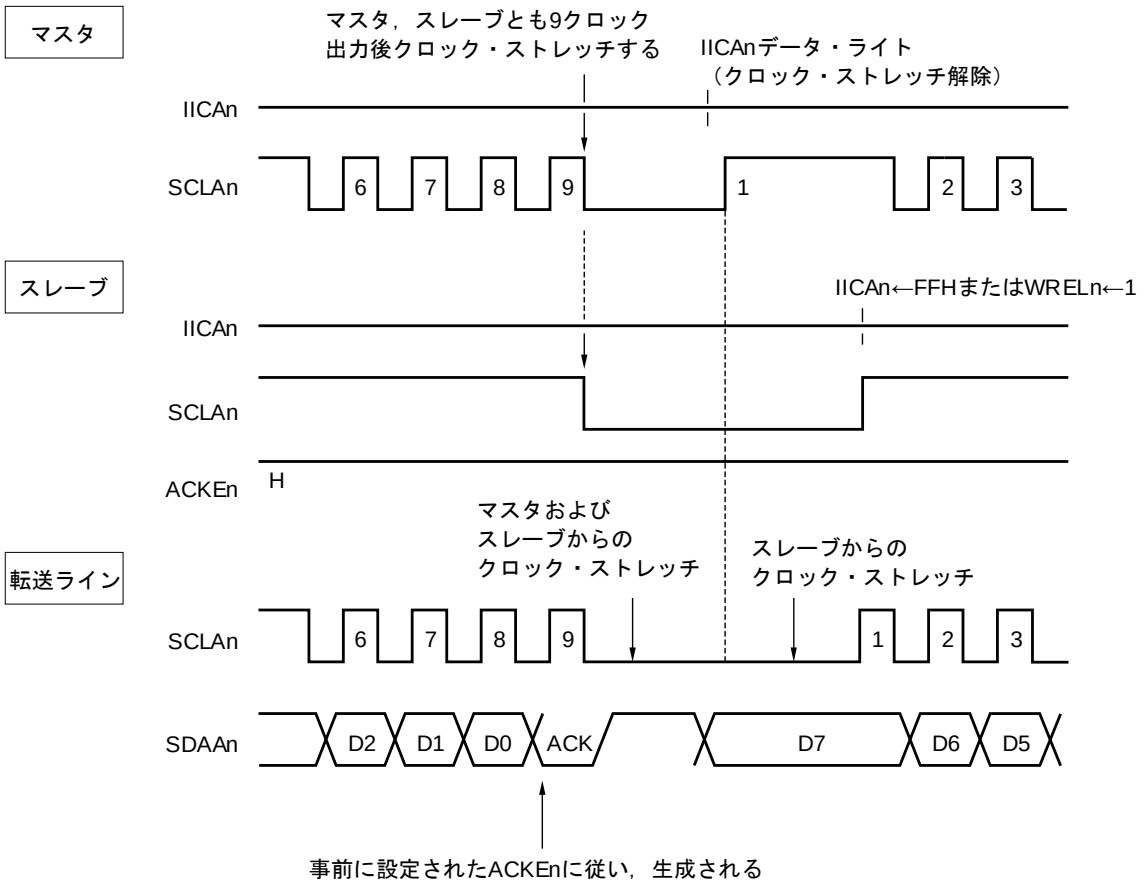



**備考**　n = 0

図15－20　クロック・ストレッチ（2/2）

（2）マスタ，スレーブとも9クロック・クロック・ストレッチ時

（マスタ：送信，スレーブ：受信，ACKEn = 1）




**備考**　ACKEn　：IICAコントロール・レジスタn0（IICCTLn0）のビット2

WRELn　：　〃　のビット5

クロック・ストレッチは，IICAコントロール・レジスタn0（IICCTLn0）のビット3（WTIMn）の設定により自動的に発生します。

通常，受信側はIICCTLn0レジスタのビット5（WRELnビット）= 1またはIICAシフト・レジスタn（IICAn）にFFHを書き込むとクロック・ストレッチを解除し，送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は，次の方法でもクロック・ストレッチを解除できます。

・IICCTLn0レジスタのビット1（STTn）= 1

・IICCTLn0レジスタのビット0（SPTn）= 1

**備考**　n = 0

### 15. 5. 7　クロック・ストレッチ解除方法

I²Cでは，通常，次のような処理でクロック・ストレッチを解除できます。

・IICAシフト・レジスタn（IICAn）へのデータ書き込み

・IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（クロック・ストレッチ解除）

・IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）[注]

・IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）[注]

**注**　マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合，I²Cはクロック・ストレッチを解除し，通信が再開されます。

クロック・ストレッチを解除してデータ（アドレスを含む）を送信する場合には，IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTLn0レジスタのビット5（WRELn）をセット（1）してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には，IICCTLn0レジスタのビット1（STTn）をセット（1）してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には，IICCTLn0レジスタのビット0（SPTn）をセット（1）してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば，WRELnビットにセット（1）によるクロック・ストレッチ解除後，IICAnレジスタへのデータ書き込みを実施した場合には，SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により，SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICEnビットをクリア（0）すると通信を停止するので，クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTLn0レジスタのビット6（LRELn）をセット（1）すると通信から退避するので，クロック・ストレッチを解除できます。

**注意　WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合，クロック・ストレッチは解除されません。**

**備考**　n = 0

## 15. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタn0（IICCTLn0）のビット3（WTIMn）の設定で，表15－2に示すタイミングでINTIICAnが発生し，また，クロック・ストレッチ制御を行います。

表15－2　INTIICAn発生タイミングおよびクロック・ストレッチ制御

| WTIMn | スレーブ動作時 | | | マスタ動作時 | | |
|---|---|---|---|---|---|---|
| | アドレス | データ受信 | データ送信 | アドレス | データ受信 | データ送信 |
| 0 | 9注1, 2 | 8注2 | 8注2 | 9 | 8 | 8 |
| 1 | 9注1, 2 | 9注2 | 9注2 | 9 | 9 | 9 |

**注1.** スレーブのINTIICAn信号およびクロック・ストレッチは，スレーブ・アドレス・レジスタn（SVAn）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTLn0レジスタのビット2（ACKEn）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICAnを発生しますが，クロック・ストレッチは発生しません。

**2.** スレーブ・アドレス・レジスタn（SVAn）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICAnもクロック・ストレッチも発生しません。

**備考**　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

・スレーブ動作時：WTIMnビットにかかわらず，上記の注1, 2の条件により，割り込みおよびクロック・ストレッチ・タイミングが決まります。
・マスタ動作時　：WTIMnビットにかかわらず，割り込みおよびクロック・ストレッチ・タイミングは，9クロック目の立ち下がりで発生します。

（2）データ受信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（3）データ送信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

**備考**　n = 0

（4）クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

・IICAシフト・レジスタn（IICAn）へのデータ書き込み
・IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（クロック・ストレッチ解除）
・IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）[注]
・IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）[注]

**注**　マスタのみ。

8クロック・クロック・ストレッチ選択（WTIMn = 0）時は，クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

（5）ストップ・コンディション検出

INTIICAnは，ストップ・コンディションを検出すると発生します（SPIEn = 1のときのみ）。

## 15. 5. 9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn（SVAn）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICAn割り込み要求が発生します。

## 15. 5. 10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAAn）の状態が，送信しているデバイスのIICAシフト・レジスタn（IICAn）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

**備考**　n = 0

## 15. 5. 11　拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（EXCn）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICAn）を発生します。
スレーブ・アドレス・レジスタn（SVAn）に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに，10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICAn）は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致：EXCn = 1
・7ビット・データの一致　　：COIn = 1

**備考**　EXCn　　：IICAステータス・レジスタn（IICSn）のビット5
COIn　　：　〃　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn）= 1に設定してください。次の通信待機状態にします。

表15－3　主な拡張コードのビットの定義

| スレーブ・アドレス | R/Wビット | 説　明 |
|---|---|---|
| 0000 000 | 0 | ジェネラル・コール・アドレス |
| 1111 0xx | 0 | 10ビット・スレーブ・アドレス指定（アドレス認証時） |
| 1111 0xx | 1 | 10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時） |

**備考 1.**　上記以外の拡張コードについては，NXP社発行の$I^2C$バスの仕様書を参照してください。
**2.**　n = 0

## 15. 5. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STDn = 1になる前にSTTn = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

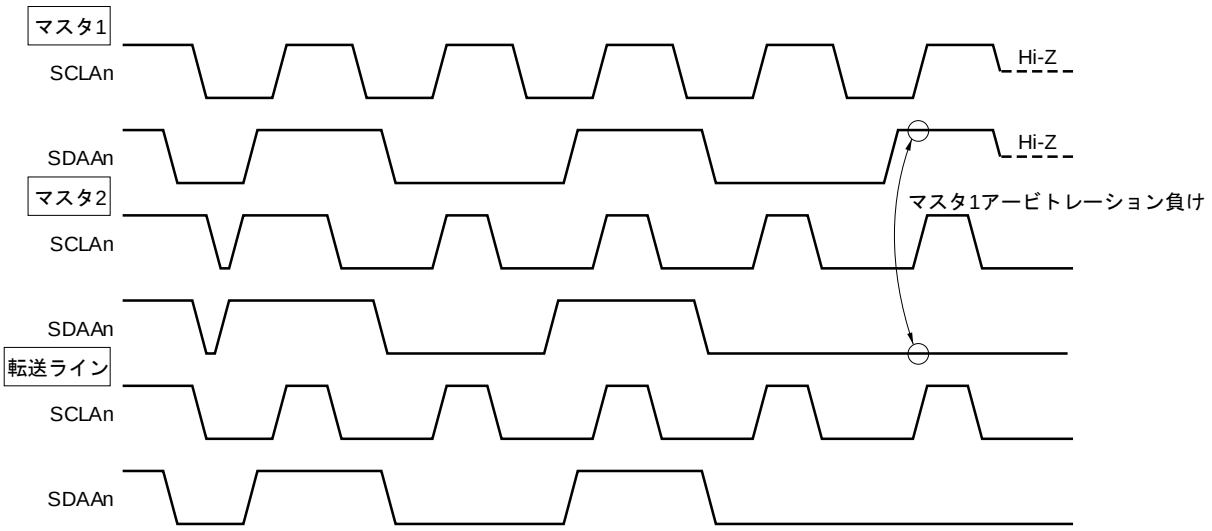
アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセット（1）し，SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては，**15. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびクロック・ストレッチ制御**を参照してください。

**備考**　STDn　：IICAステータス・レジスタn（IICSn）のビット1
STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

図15－21　アービトレーション・タイミング例




**備考**　n = 0

表15－4　アービトレーション発生時の状態と割り込み要求発生タイミング

| アービトレーション発生時の状態 | 割り込み要求発生タイミング |
|---|---|
| アドレス送信中 | バイト転送後8または9クロック目の立ち下がり[注1] |
| アドレス送信後のリード／ライト情報 | |
| 拡張コード送信中 | |
| 拡張コード送信後のリード／ライト情報 | |
| データ送信中 | |
| データ送信後のアクノリッジ転送期間中 | |
| データ転送中，リスタート・コンディション検出 | |
| データ転送中，ストップ・コンディション検出 | ストップ・コンディション生成時（SPIEn = 1時）[注2] |
| リスタート・コンディションを生成しようとしたがデータがロウ・レベル | バイト転送後8または9クロック目の立ち下がり[注1] |
| リスタート・コンディションを生成しようとしたがストップ・コンディション検出 | ストップ・コンディション生成時（SPIEn = 1時）[注2] |
| ストップ・コンディションを生成しようとしたがデータがロウ・レベル | バイト転送後8または9クロック目の立ち下がり[注1] |
| リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル | |

**注1.** WTIMnビット（IICAコントロール・レジスタn0（IICCTLn0）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

**2.** アービトレーションが起こる可能性がある場合，マスタ動作ではSPIEn = 1に設定してください。

**備考 1.** SPIEn：IICAコントロール・レジスタn0（IICCTLn0）のビット4

**2.** n = 0

## 15. 5. 13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生する機能です。

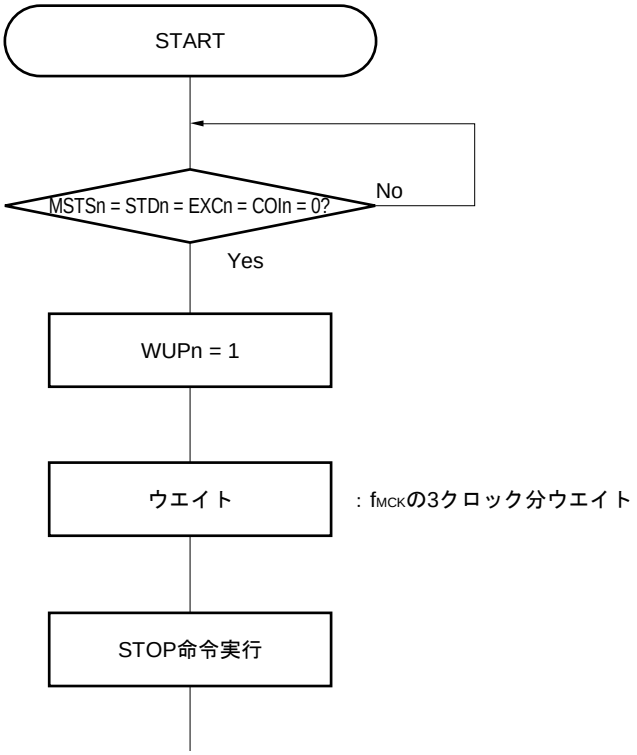
アドレスが一致しないときは不要なINTIICAn信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生します。この割り込み発生後に命令でWUPnビットをクリア（0）することで通常動作に戻ります。

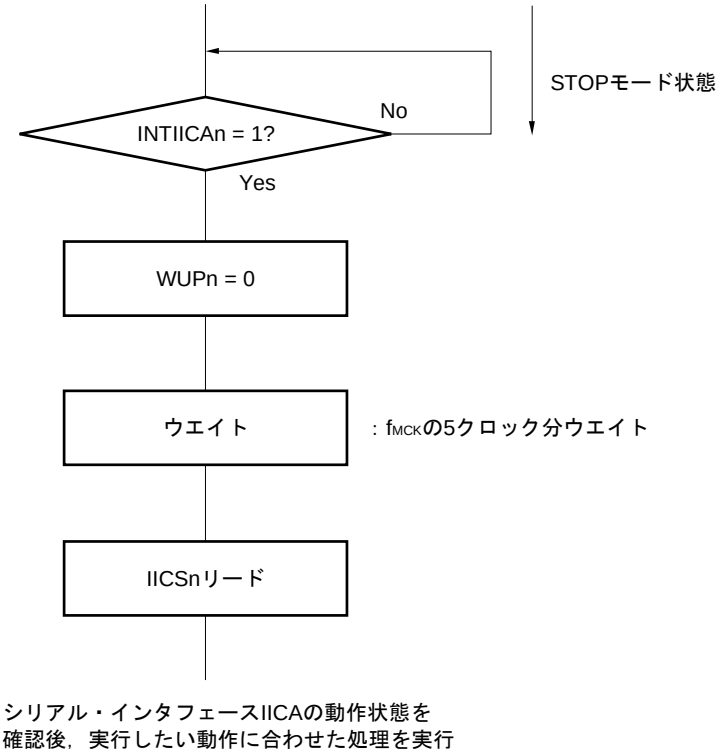
WUPn = 1に設定する場合のフローを図15－22に，アドレス一致によりWUPn = 0に設定する場合のフローを図15－23に示します。

図15－22　WUPn = 1を設定する場合のフロー




**備考**　n = 0

図15－23　アドレス一致によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）

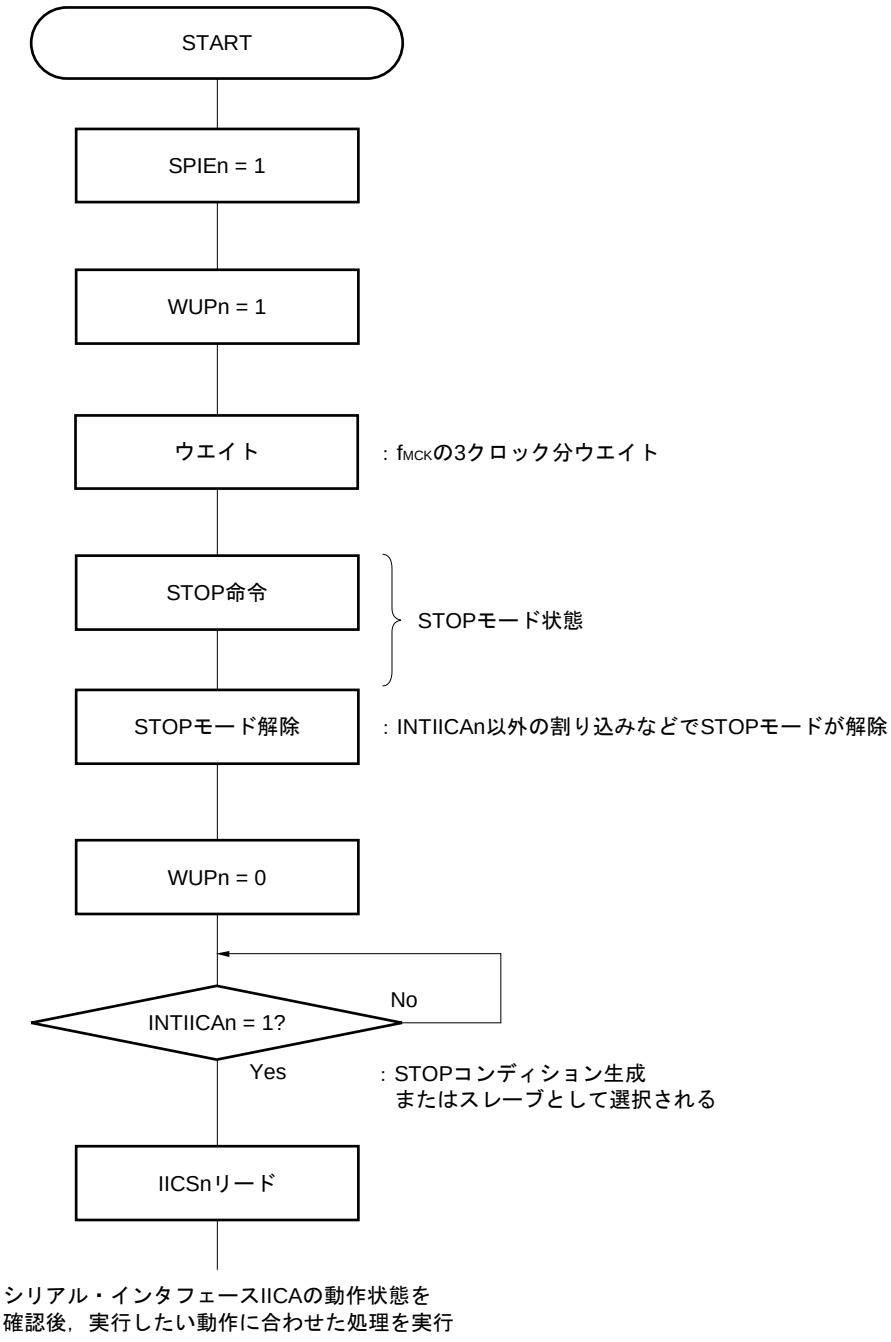



また，シリアル・インタフェースIICAからの割り込み要求（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

・次のIIC通信をマスタとして動作させる場合：図15－24のフロー
・次のIIC通信をスレーブとして動作させる場合：
　INTIICAn割り込みで復帰した場合：図15－23のフローと同じになります。
　INTIICAn割り込み以外の割り込みで復帰した場合：INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

**備考**　n = 0

図15－24　INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合




**備考**　n = 0

## 15. 5. 14　通信予約

（1）通信予約機能許可の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn）= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn）= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTLn0レジスタのビット1（STTn）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTLn0レジスタのビット4（SPIEn）をセット（1）し，割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタn（IICAn）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICAnレジスタに書き込まれたデータは，無効です。

STTnビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STTnビットをセット（1）し，ウエイト時間をとったあと，MSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

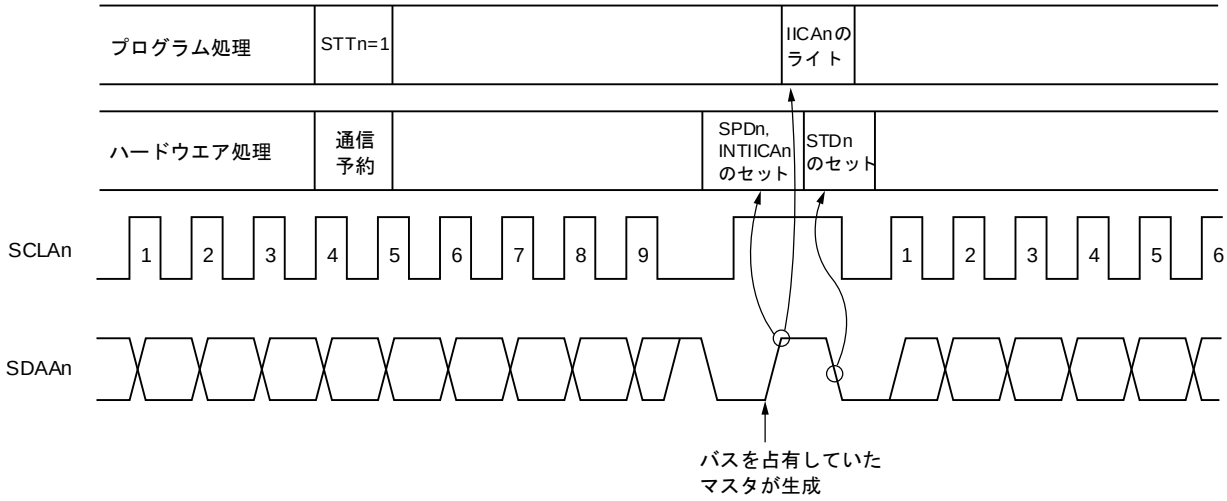
| |
|---|
| STTn = 1からMSTSnフラグ確認までのウエイト時間：<br>（IICWLnの設定値＋IICWHnの設定値＋4）/$f_{MCK}$＋$t_F$ × 2 |

**備考1.** IICWLn　：IICAロウ・レベル幅設定レジスタn
IICWHn　：IICAハイ・レベル幅設定レジスタn
$t_F$　：SDAAn, SCLAn信号の立ち下がり時間
$f_{MCK}$　：IICA動作クロック周波数

**2.** n = 0

通信予約のタイミングを図15－25に示します。

図15－25　通信予約のタイミング




**備考**　IICAn ：IICAシフト・レジスタn
STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1
STDn ：IICAステータス・レジスタn（IICSn）のビット1
SPDn ：　〃　のビット0

通信予約は図15－26に示すタイミングで受け付けられます。IICAステータス・レジスタn（IICSn）のビット1（STDn）= 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）= 1で通信予約をします。

図15－26　通信予約受け付けタイミング

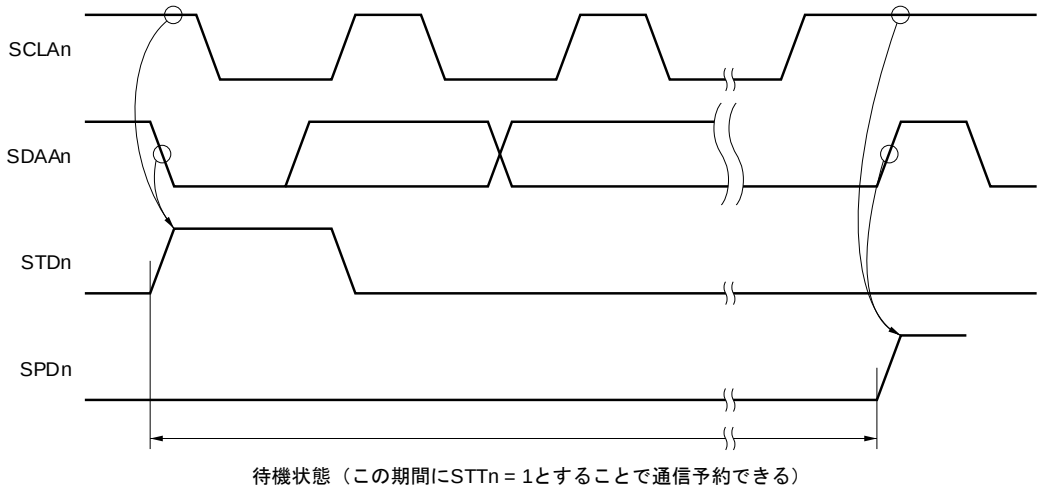
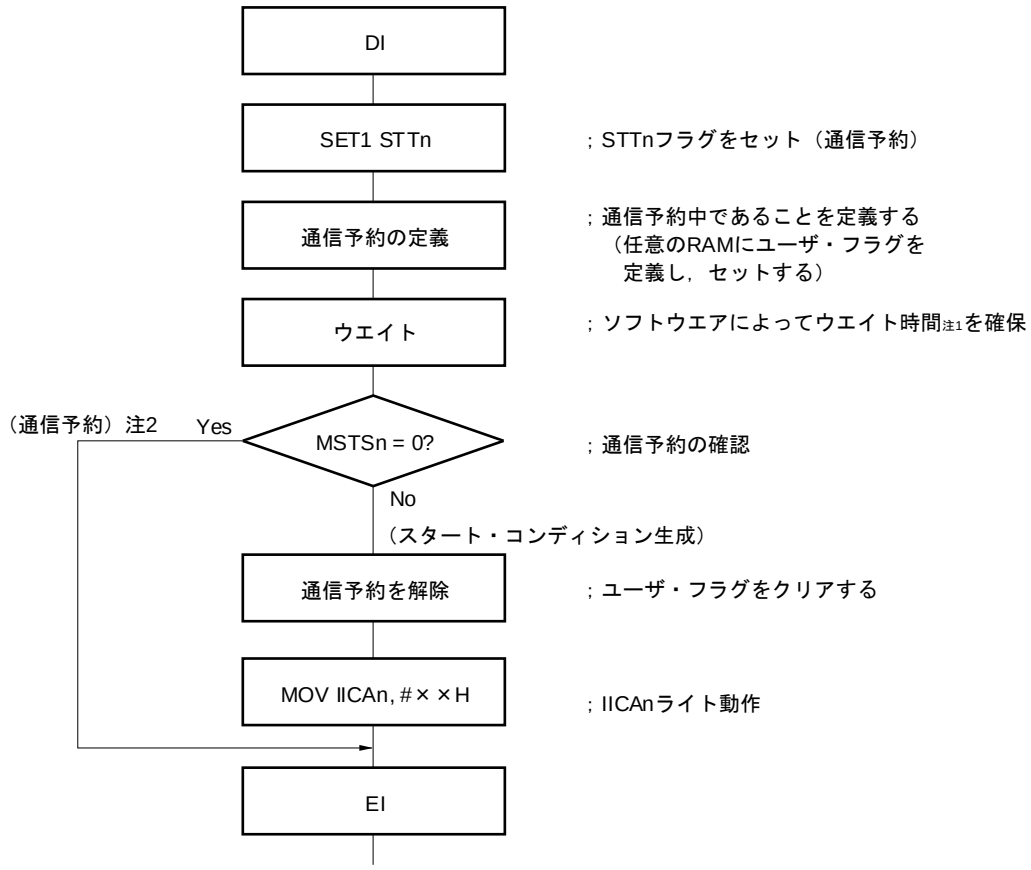



図15－27に通信予約の手順を示します。

**備考**　n = 0

図15－27　通信予約の手順




**注1.** ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値＋4）/$f_{MCK}$＋$t_F$ × 2

**2.** 通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタn（IICAn）への書き込みを実行します。

**備考 1.** STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

MSTSn　：IICAステータス・レジスタn（IICSn）のビット7

IICAn　：IICAシフト・レジスタn

IICWLn　：IICAロウ・レベル幅設定レジスタn

IICWHn　：IICAハイ・レベル幅設定レジスタn

$t_F$　：SDAAn, SCLAn信号の立ち下がり時間

$f_{MCK}$　：　IICA動作クロック周波数

**2.** n = 0

（2）通信予約機能禁止の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn） = 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTLn0レジスタのビット6（LRELn） = 1で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCFn（IICFnレジスタのビット7）で確認できます。STTn = 1としてからSTCFnがセット（1）されるまで$f_{MCK}$の5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

**備考**　n = 0

## 15. 5. 15　その他の注意事項

（1）STCENn = 0の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず通信状態（IICBSYn = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタn1（IICCTLn1）を設定する
② IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）をセット（1）する
③ IICCTLn0レジスタのビット0（SPTn）をセット（1）する

（2）STCENn = 1の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを生成（STTn = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

（3）すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで，かつSCLAn端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTLn0レジスタのビット4（SPIEn）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICAn）発生を禁止する
② IICCTLn0レジスタのビット7（IICEn）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICEnビットをセット（1）してから，$f_{MCK}$の4～72クロック中）に，IICCTLn0レジスタのビット6（LRELn）をセット（1）にし，強制的に検出を無効とする

（4）STTn, SPTnビット（IICCTLn0レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

（5）送信予約をした場合には，SPIEnビット（IICCTLn0レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタn（IICAn）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）を検出する場合には，SPIEnビットをセット（1）する必要はありません。

**備考**　n = 0

### 15. 5. 16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

（1）シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

（2）マルチマスタ・システムでのマスタ動作

$I^2C$バスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが$I^2C$バスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

（3）スレーブ動作

$I^2C$バスのスレーブとして使用する場合の例を示します。

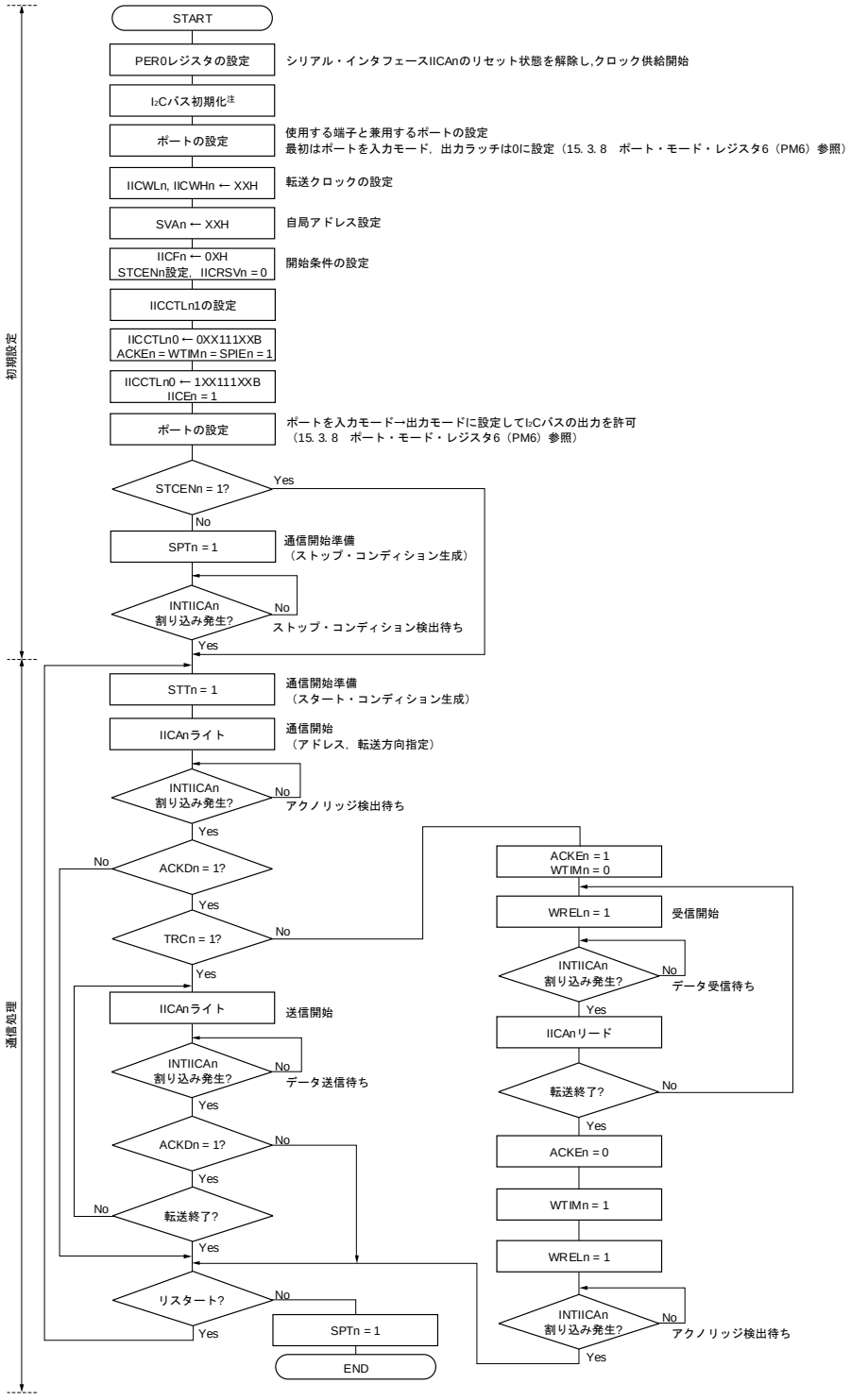
スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

**備考**　n = 0

（1）シングルマスタ・システムでのマスタ動作

図15－28　シングルマスタ・システムでのマスタ動作



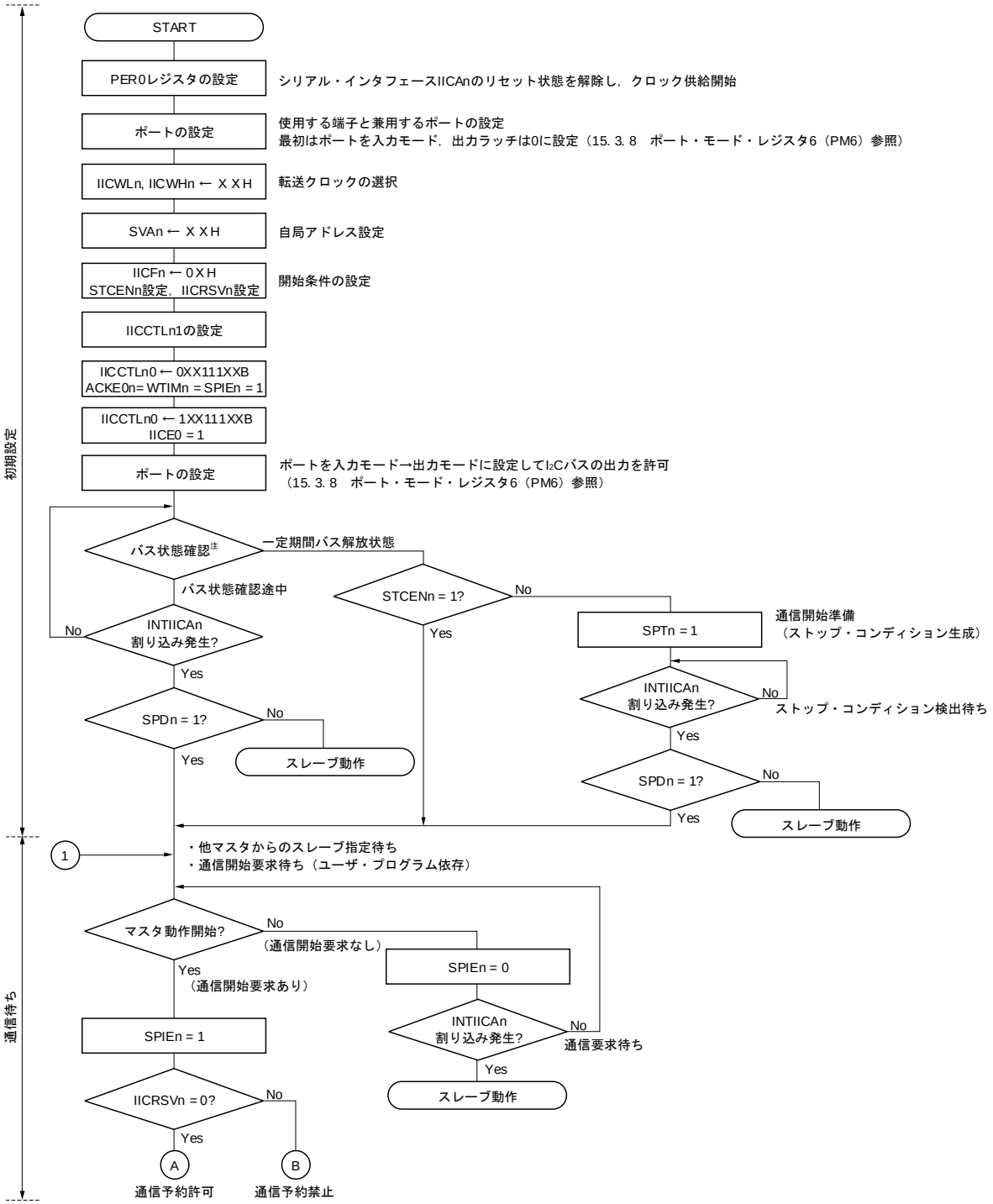

**注**　通信している製品の仕様に準拠し，I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば，SCLAn端子を出力ポートに設定し，SDAAn端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

**備考 1.**　送信および受信フォーマットは，通信している製品の仕様に準拠してください。

**2.**　n = 0

（2）マルチマスタ・システムでのマスタ動作

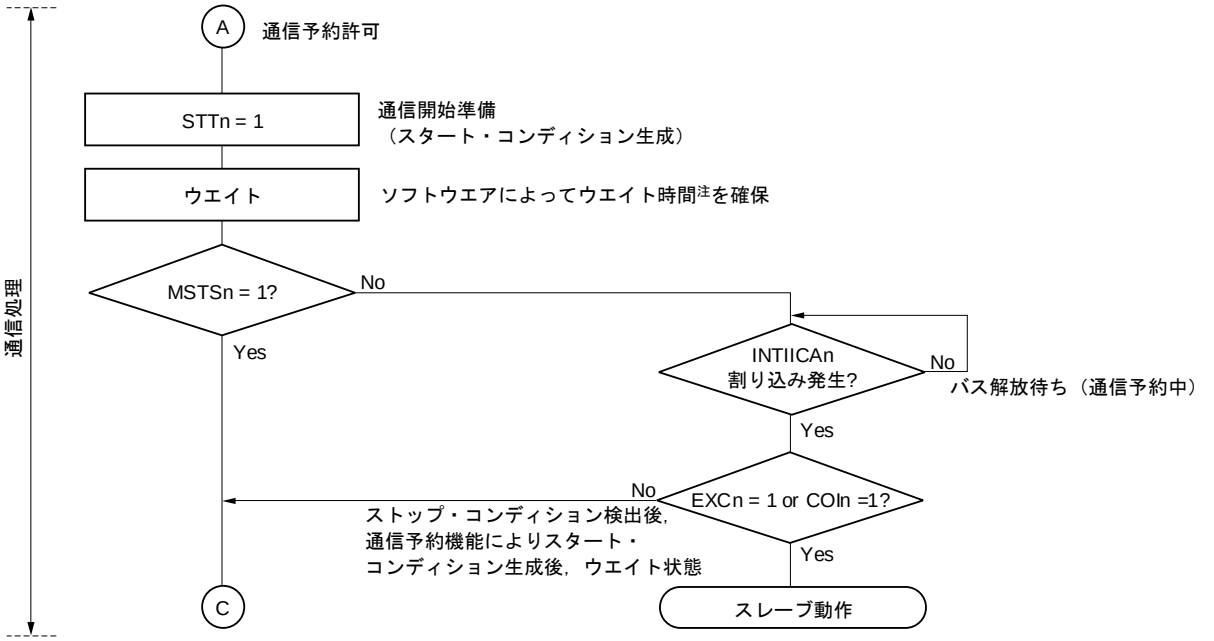
図15－29　マルチマスタ・システムでのマスタ動作（1/3）




**注**　一定期間（たとえば1フレーム分），バス解放状態（CLDnビット = 1, DADnビット = 1）であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，$I^2C$バスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

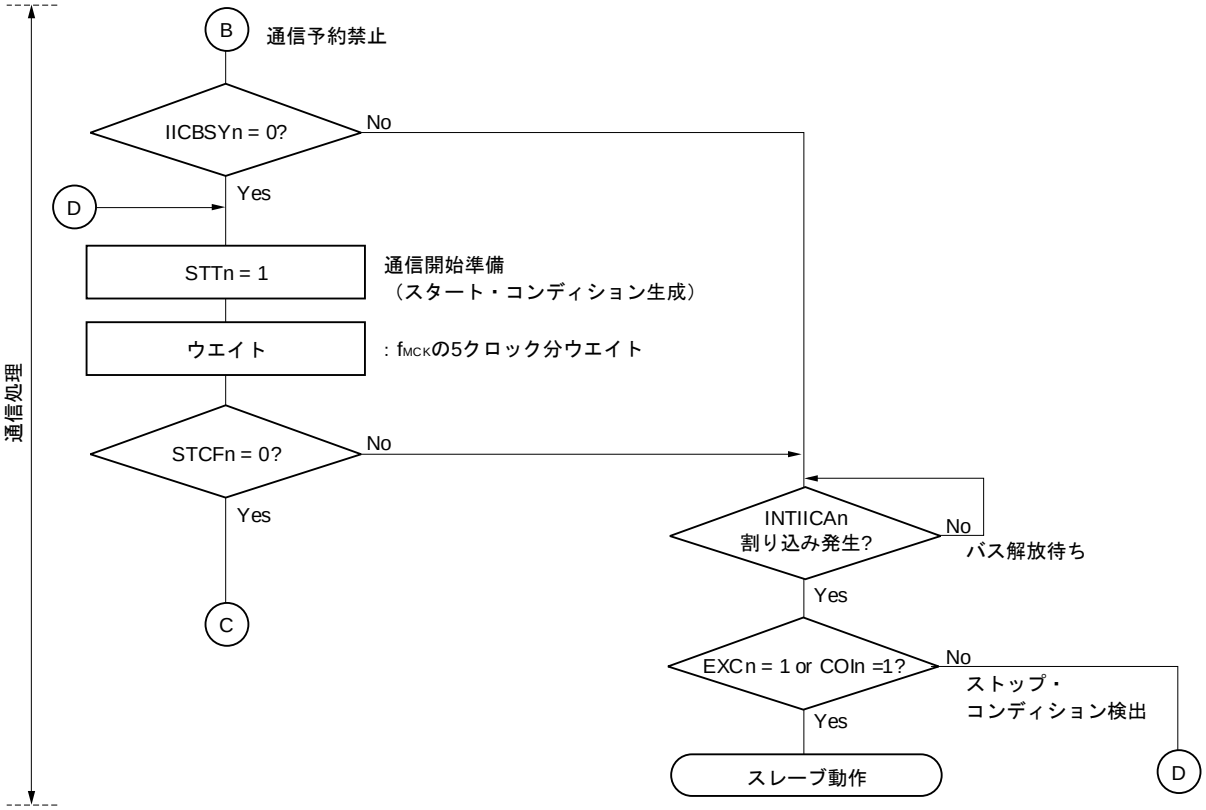
**備考**　n = 0

図15－29　マルチマスタ・システムでのマスタ動作（2/3）




**注**　ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値+4）/ $f_{MCK}$＋$t_F$×2




**備考1.**　IICWLn　：IICAロウ・レベル幅設定レジスタn

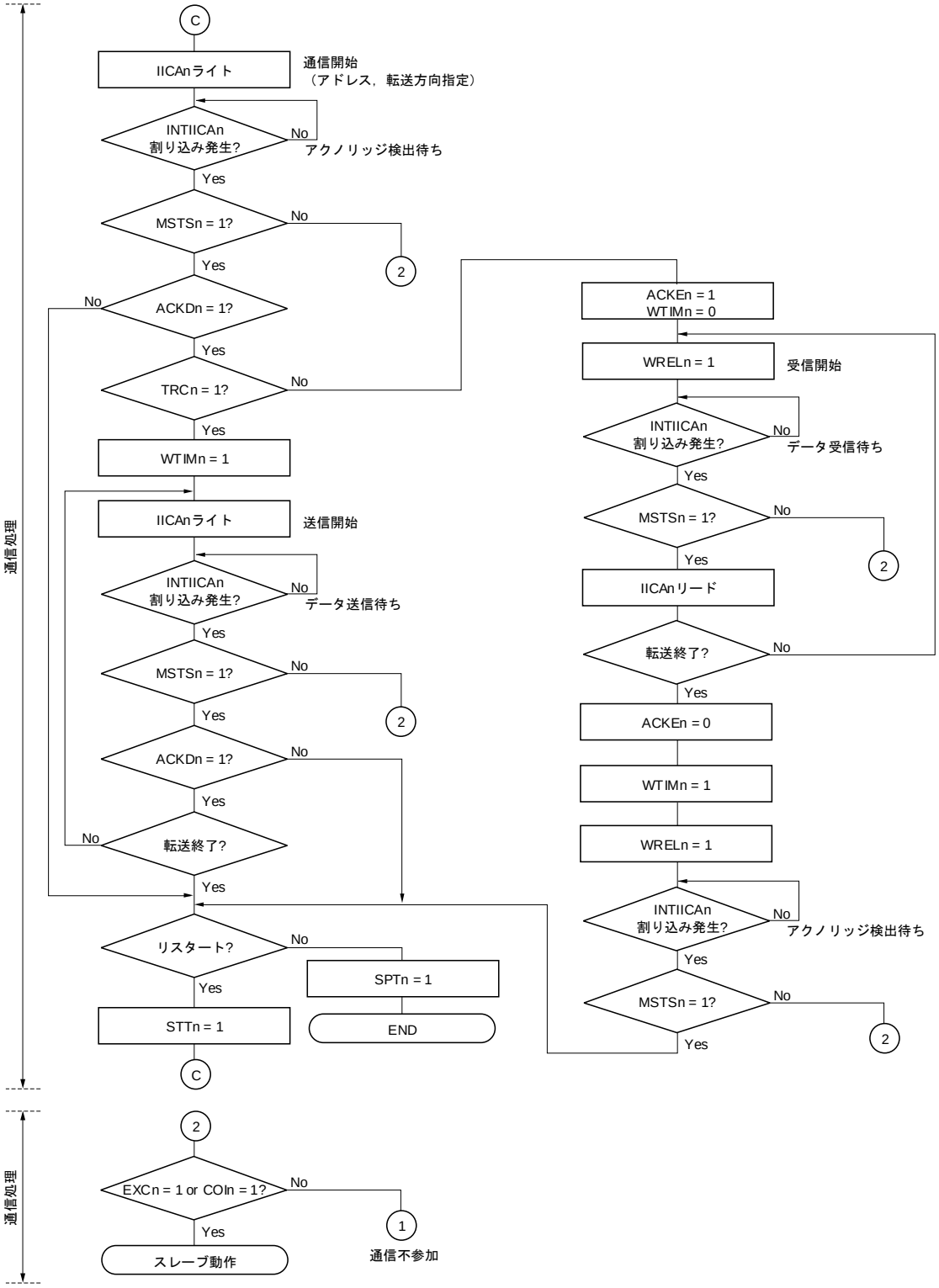
IICWHn　：IICAハイ・レベル幅設定レジスタn

$t_F$　：SDAAn, SCLAn信号の立ち下がり時間

$f_{MCK}$　：IICA動作クロック周波数

**2.**　n = 0

図15－29　マルチマスタ・システムでのマスタ動作（3/3）




**備考 1.**　送信および受信フォーマットは通信している製品の仕様に準拠してください。

**2.**　マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

**3.**　マルチマスタ・システムでスレーブとして使用する場合は，INTIICAn割り込み発生ごとにIICAステータス・レジスタn（IICSn），IICAフラグ・レジスタn（IICFn）でステータスを確認して次に行う処理を決定してください。

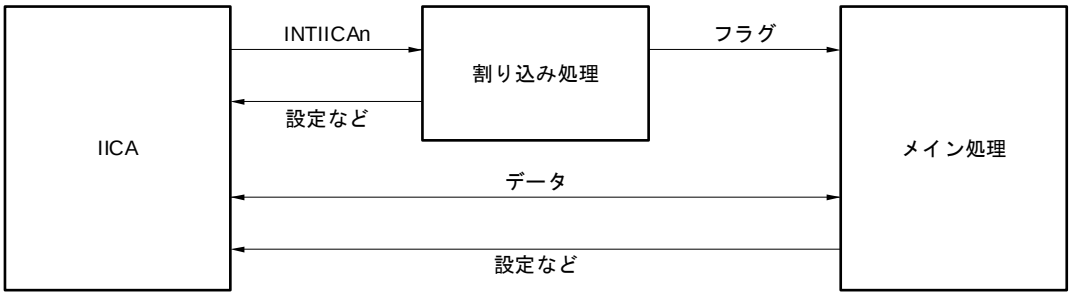
**4.**　n = 0

（3）スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。




このため，次の3つのフラグを準備し，これをINTIICAnの代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態

・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

**備考**　n = 0

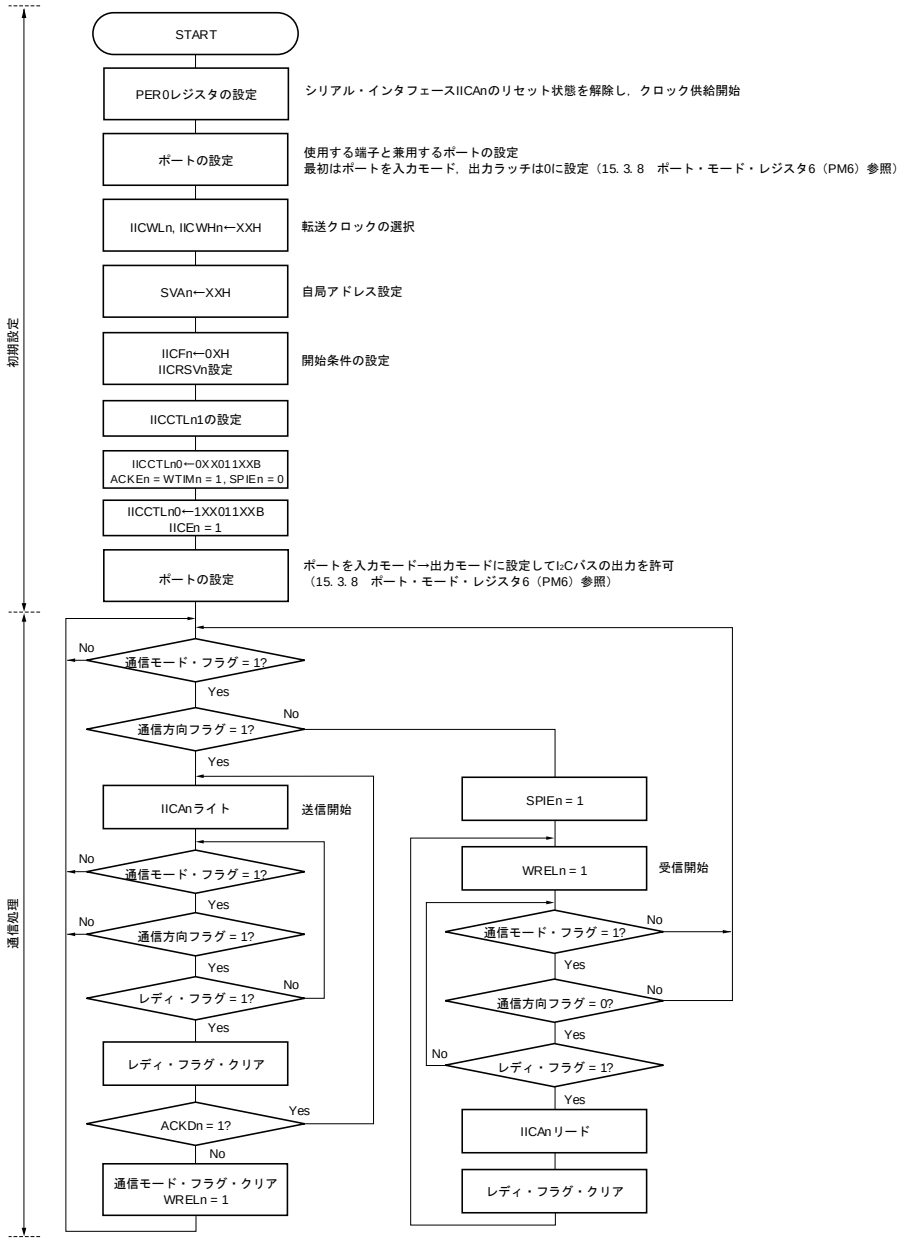
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図15－30　スレーブ動作手順（1）




**備考 1.**　送信および受信フォーマットは通信している製品の仕様に準拠してください。

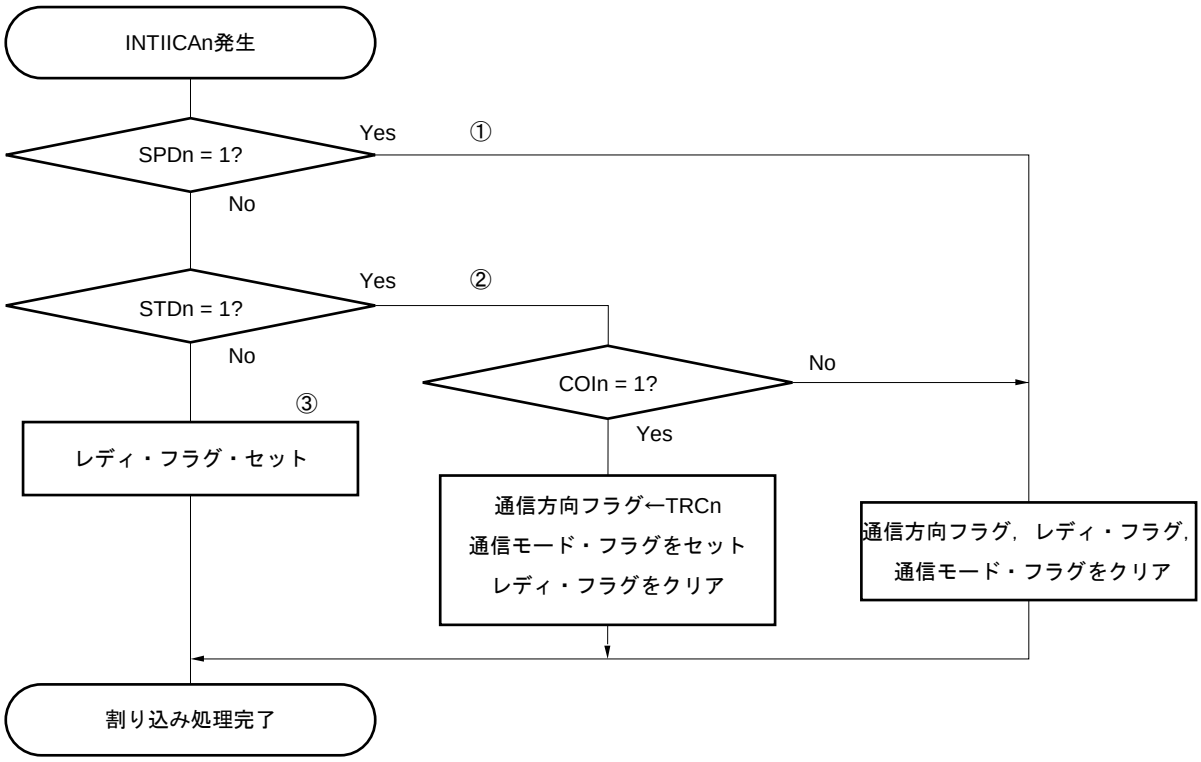
**2.**　n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合，レディ・フラグをセットするだけで，$I^2C$バスはウエイト状態のまま，割り込みから戻ります。

**備考**　上述の①～③は，図15－31　スレーブ動作手順（2）の①～③と対応しています。

図15－31　スレーブ動作手順（2）




**備考**　n = 0

## 15. 5. 17　I²C割り込み要求（INTIICAn）の発生タイミング

次に，データの送受信，INTIICAn割り込み要求信号発生タイミングと，INTIICAn信号タイミングでのIICAステータス・レジスタn（IICSn）の値を示します。

**備考1.** ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
ACK　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

**2.** n = 0

（1）マスタ動作

（a）Start～Address～Data～Data～Stop（送受信）

（i）WTIMn = 0のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X000B

▲3：IICSn = 1000X000B（WTIMnビットをセット（1））注

▲4：IICSn = 1000XX00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

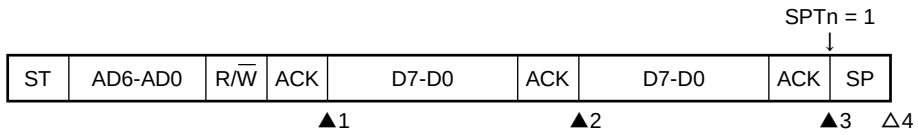
**注**　ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X100B

▲3：IICSn = 1000XX00B（SPTnビットをセット（1））

△4：IICSn = 00000001B

**備考**　▲　必ず発生

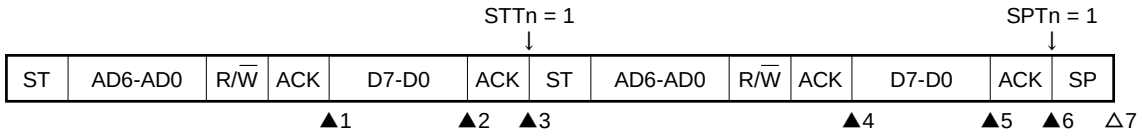
△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（b）Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIMn = 0のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X000B（WTIMnビットをセット（1）[注1]）

▲3：IICSn = 1000XX00B（WTIMnビットをクリア（0）[注2]，STTnビットをセット（1））

▲4：IICSn = 1000X110B

▲5：IICSn = 1000X000B（WTIMnビットをセット（1）[注3]）

▲6：IICSn = 1000XX00B（SPTnビットをセット（1））

△7：IICSn = 00000001B

**注1.** スタート・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

**2.** 設定を元に戻すために，WTIMnビットをクリア（0）してください。

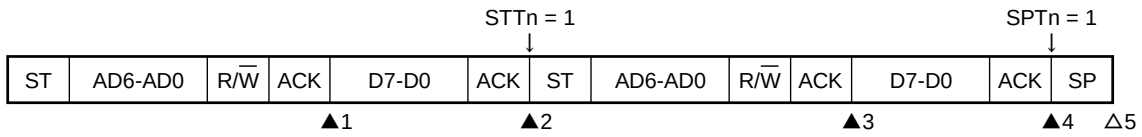
**3.** ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

**備考** ▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000XX00B（STTnビットをセット（1））

▲3：IICSn = 1000X110B

▲4：IICSn = 1000XX00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

**備考** ▲　必ず発生

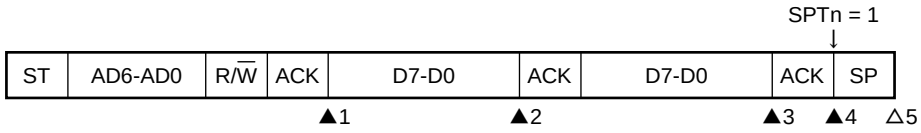
△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（c）Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIMn = 0のとき




▲1：IICSn = 1010X110B

▲2：IICSn = 1010X000B

▲3：IICSn = 1010X000B（WTIMnビットをセット（1）[注]）

▲4：IICSn = 1010XX00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

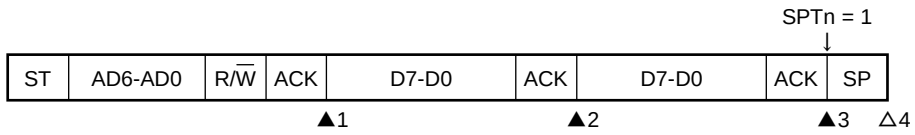
**注**　ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき




▲1：IICSn = 1010X110B

▲2：IICSn = 1010X100B

▲3：IICSn = 1010XX00B（SPTnビットをセット（1））

△4：IICSn = 00001001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

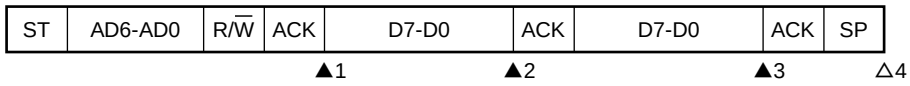
X　任意

**備考**　n = 0

（2）スレーブ動作（スレーブ・アドレス受信時）

（a）Start～Address～Data～Data～Stop

（i）WTIMn = 0のとき




▲1：IICSn = 0001X110B

▲2：IICSn = 0001X000B

▲3：IICSn = 0001X000B

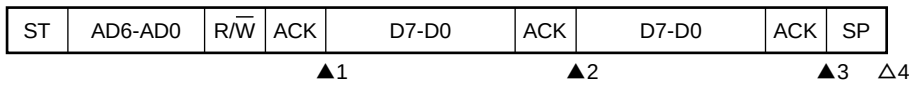
△4：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき




▲1：IICSn = 0001X110B

▲2：IICSn = 0001X100B

▲3：IICSn = 0001XX00B

△4：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（b）Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，SVAn一致）




▲1：IICSn = 0001X110B

▲2：IICSn = 0001X000B

▲3：IICSn = 0001X110B

▲4：IICSn = 0001X000B

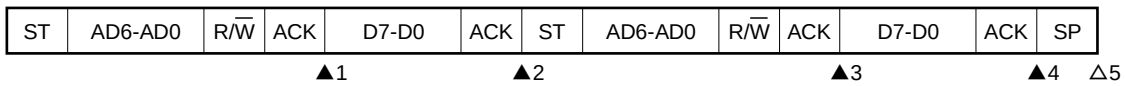
△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき（リスタート後，SVAn一致）




▲1：IICSn = 0001X110B

▲2：IICSn = 0001XX00B

▲3：IICSn = 0001X110B

▲4：IICSn = 0001XX00B

△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（c）Start～Address～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード））




▲1：IICSn = 0001X110B

▲2：IICSn = 0001X000B

▲3：IICSn = 0010X010B

▲4：IICSn = 0010X000B

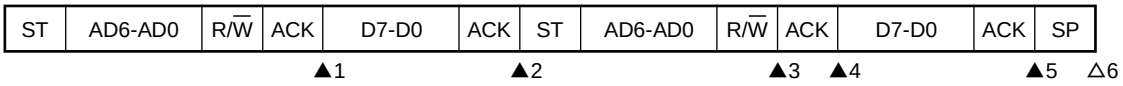
△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード））




▲1：IICSn = 0001X110B

▲2：IICSn = 0001XX00B

▲3：IICSn = 0010X010B

▲4：IICSn = 0010X110B

▲5：IICSn = 0010XX00B

△6：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））




▲1：IICSn = 0001X110B

▲2：IICSn = 0001X000B

▲3：IICSn = 00000X10B

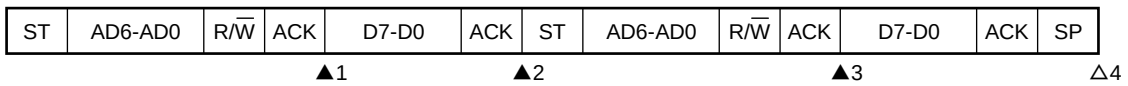
△4：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））




▲1：IICSn = 0001X110B

▲2：IICSn = 0001XX00B

▲3：IICSn = 00000X10B

△4：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

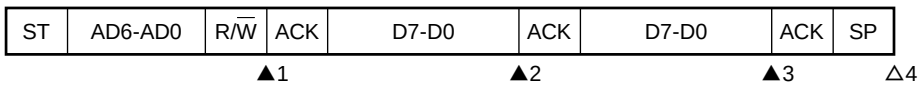
**備考**　n = 0

（3）スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

（a）Start～Code～Data～Data～Stop

（i）WTIMn = 0のとき




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X000B

▲3：IICSn = 0010X000B

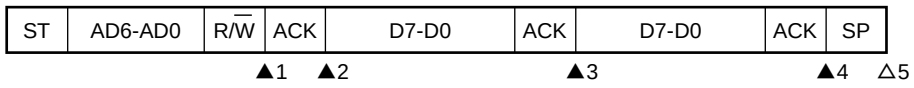
△4：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X110B

▲3：IICSn = 0010X100B

▲4：IICSn = 0010XX00B

△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（b）Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，SVAn一致）




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X000B

▲3：IICSn = 0001X110B

▲4：IICSn = 0001X000B

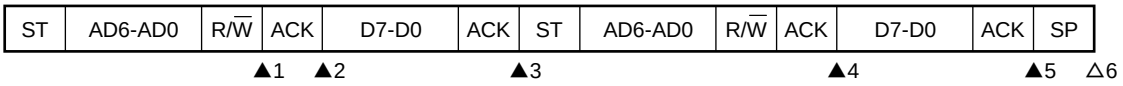
△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき（リスタート後，SVAn一致）




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X110B

▲3：IICSn = 0010XX00B

▲4：IICSn = 0001X110B

▲5：IICSn = 0001XX00B

△6：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（c）Start～Code～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後，拡張コード受信）




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X000B

▲3：IICSn = 0010X010B

▲4：IICSn = 0010X000B

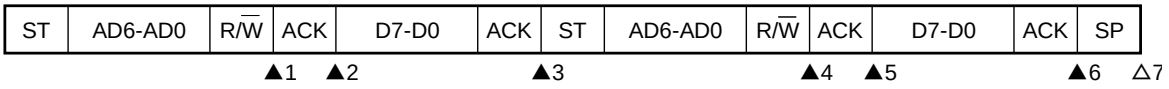
△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき（リスタート後，拡張コード受信）




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X110B

▲3：IICSn = 0010XX00B

▲4：IICSn = 0010X010B

▲5：IICSn = 0010X110B

▲6：IICSn = 0010XX00B

△7：IICSn = 00000001B

**備考**　▲　必ず発生

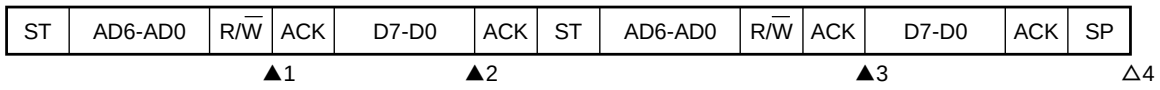
△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X000B

▲3：IICSn = 00000X10B

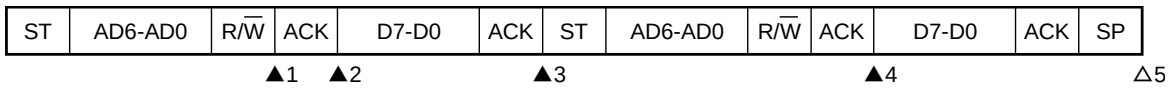
△4：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））




▲1：IICSn = 0010X010B

▲2：IICSn = 0010X110B

▲3：IICSn = 0010XX00B

▲4：IICSn = 00000X10B

△5：IICSn = 00000001B

**備考**　▲　必ず発生

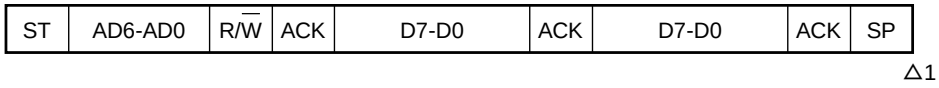
△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（4）通信不参加の動作

（a）Start～Code～Data～Data～Stop




△1：IICSn = 00000001B

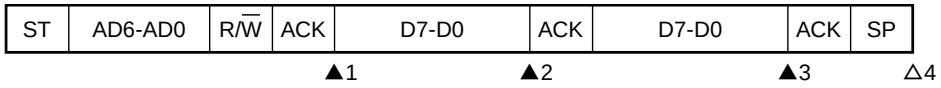
**備考**　△　SPIEn = 1のときだけ発生

（5）アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

（i）WTIMn = 0のとき




▲1：IICSn = 0101X110B

▲2：IICSn = 0001X000B

▲3：IICSn = 0001X000B

△4：IICSn = 00000001B

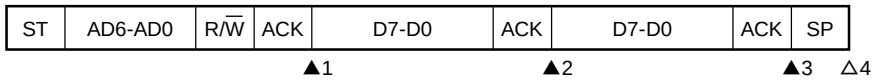
**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（ii）WTIMn = 1のとき




▲1：IICSn = 0101X110B

▲2：IICSn = 0001X100B

▲3：IICSn = 0001XX00B

△4：IICSn = 00000001B

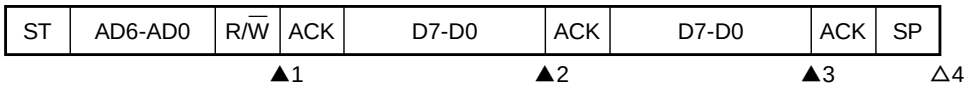
**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（b）拡張コード送信中にアービトレーションに負けた場合

（i）WTIMn = 0のとき




▲1：IICSn = 0110X010B

▲2：IICSn = 0010X000B

▲3：IICSn = 0010X000B

△4：IICSn = 00000001B

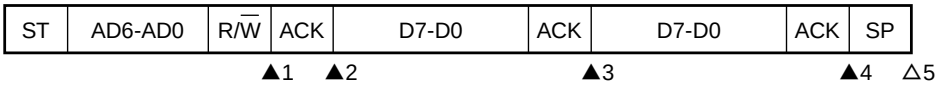
**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（ii）WTIMn = 1のとき




▲1：IICSn = 0110X010B

▲2：IICSn = 0010X110B

▲3：IICSn = 0010X100B

▲4：IICSn = 0010XX00B

△5：IICSn = 00000001B

**備考**　▲　必ず発生

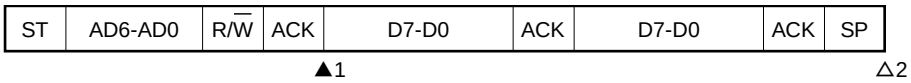
△　SPIEn = 1のときだけ発生

X　任意

（6）アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）




▲1：IICSn = 01000110B

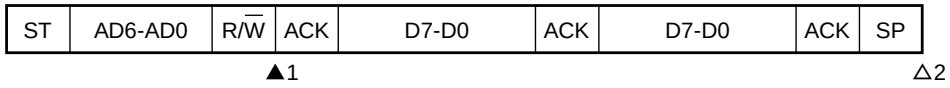
△2：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

**備考**　n = 0

（b）拡張コード送信中にアービトレーションに負けた場合




▲1　　△2

▲1：IICSn = 0110X010B

ソフトウエアでLRELn = 1を設定

△2：IICSn = 00000001B

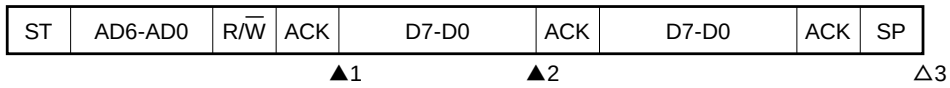
**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（c）データ転送時にアービトレーションに負けた場合

（i）WTIMn = 0のとき




▲1　▲2　　△3

▲1：IICSn = 10001110B

▲2：IICSn = 01000000B

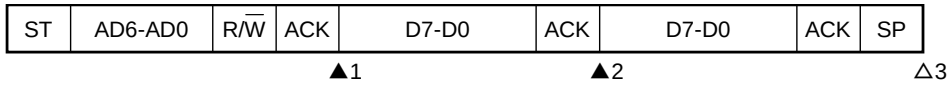
△3：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

**備考**　n = 0

（ii）WTIMn = 1のとき




▲1：IICSn = 10001110B

▲2：IICSn = 01000100B

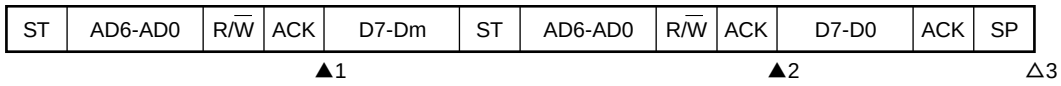
△3：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

（d）データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVAn不一致）




▲1：IICSn = 1000X110B

▲2：IICSn = 01000110B

△3：IICSn = 00000001B

**備考**　▲　必ず発生

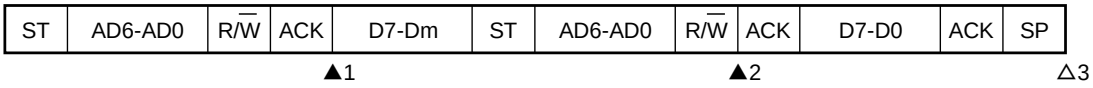
△　SPIEn = 1のときだけ発生

X　任意

m = 6-0

**備考**　n = 0

（ii）拡張コード




▲1：IICSn = 1000X110B

▲2：IICSn = 01100010B

ソフトウエアでLRELn = 1を設定

△3：IICSn = 00000001B

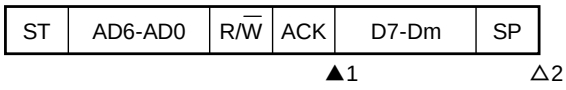
**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

m = 6-0

（e）データ転送時にストップ・コンディションで負けた場合




▲1：IICSn = 10000110B

△2：IICSn = 01000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

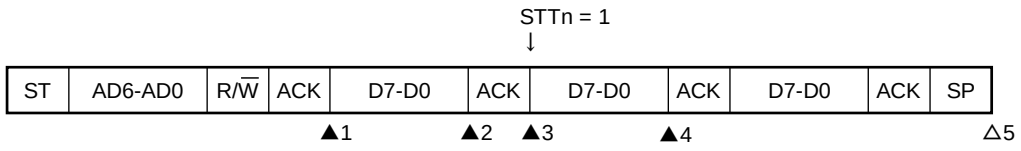
X　任意

m = 6-0

**備考**　n = 0

(f) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X000B（WTIMnビットをセット（1））

▲3：IICSn = 1000X100B（WTIMnビットをクリア（0））

▲4：IICSn = 01000000B

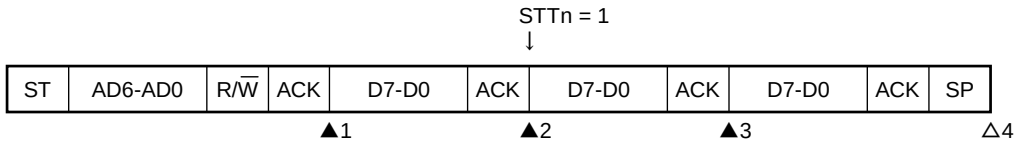
△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

(ii) WTIMn = 1のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X100B（STTnビットをセット（1））

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

**備考**　▲　必ず発生

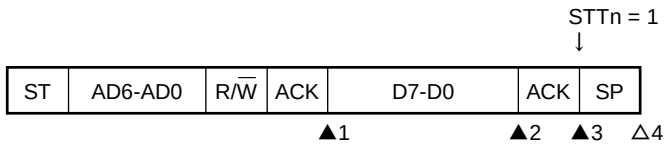
△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（g）リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

（i）WTIMn = 0のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X000B（WTIMnビットをセット（1））

▲3：IICSn = 1000XX00B（STTnビットをセット（1））

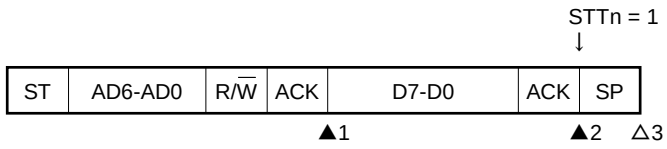
△4：IICSn = 01000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000XX00B（STTnビットをセット（1））

△3：IICSn = 01000001B

**備考**　▲　必ず発生

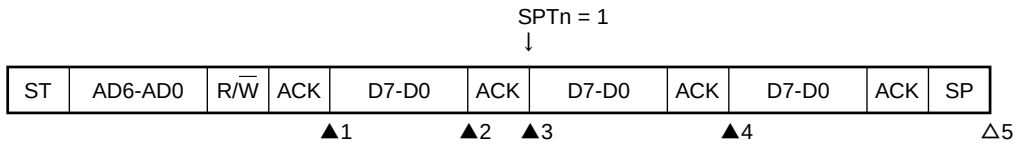
△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

（h）ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIMn = 0のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X000B（WTIMnビットをセット（1））

▲3：IICSn = 1000X100B（WTIMnビットをクリア（0））

▲4：IICSn = 01000100B

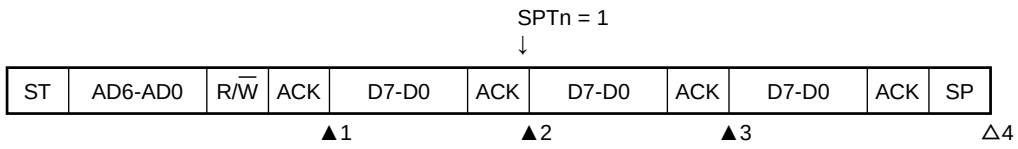
△5：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

（ii）WTIMn = 1のとき




▲1：IICSn = 1000X110B

▲2：IICSn = 1000X100B（SPTnビットをセット（1））

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

**備考**　▲　必ず発生

△　SPIEn = 1のときだけ発生

X　任意

**備考**　n = 0

## 15. 6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IICAステータス・レジスタn（IICSn）のビット3）を送信し，スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを**図15－32**，**図15－33**に示します。

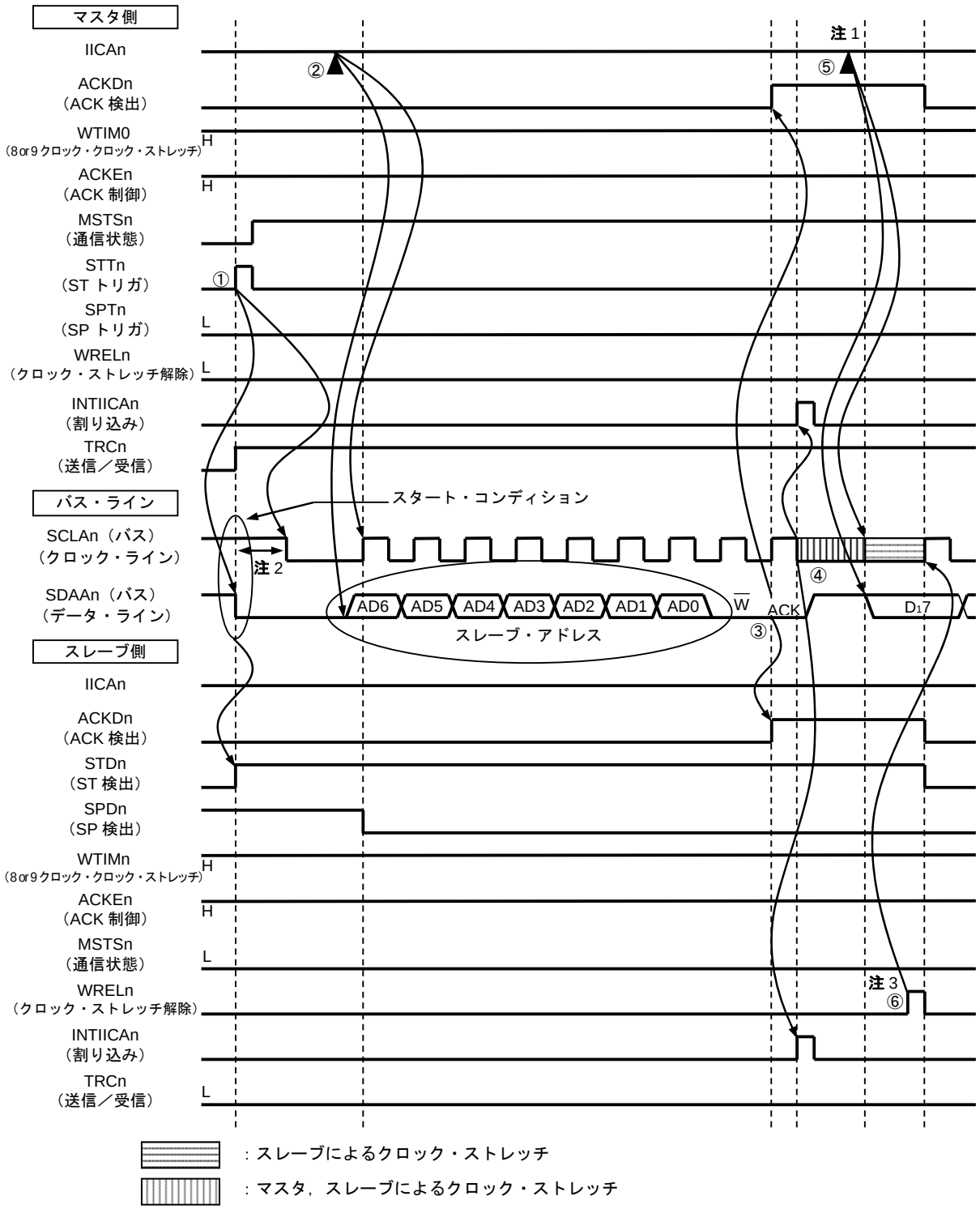
シリアル・クロック（SCLAn）の立ち下がりに同期してIICAシフト・レジスタn（IICAn）のシフト動作が行われ，送信データがSOラッチに転送され，SDAAn端子からMSBファーストで出力されます。

また，SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

**備考**　n = 0

図15－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（1/4）

（1）スタート・コンディション～アドレス～データ




**注1.** マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

**2.** SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

**3.** スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

**備考**　n = 0

**図15－32（1）スタート・コンディション～アドレス～データ**の①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，クロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

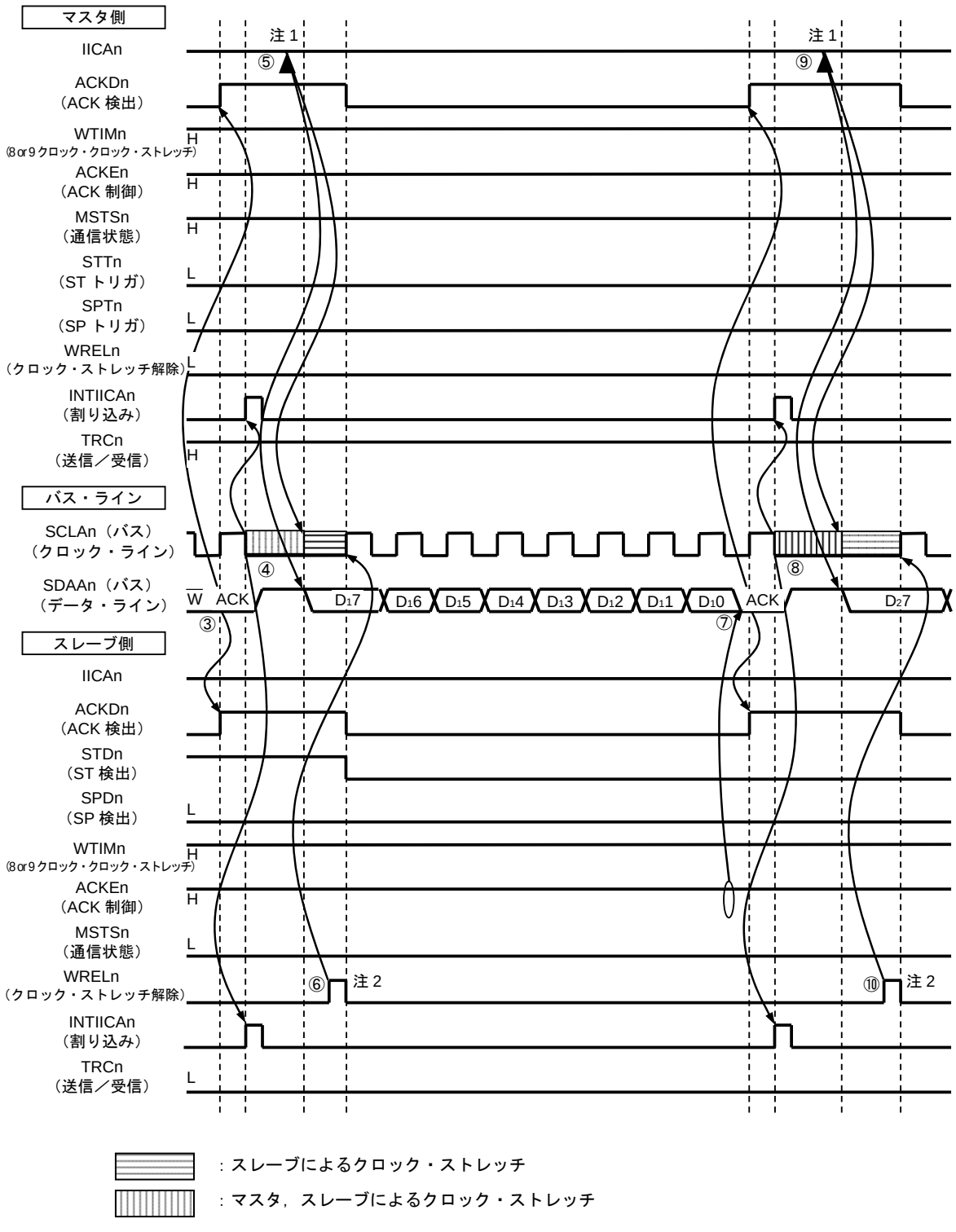
**注** 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

**備考 1.** 図15－32の①～⑮は，$I^2C$バスによるデータ通信の一連の操作手順です。
**図15－32（1）スタート・コンディション～アドレス～データ**では手順①～⑥
**図15－32（2）アドレス～データ～データ**では手順③～⑩
**図15－32（3）データ～データ～ストップ・コンディション**では手順⑦～⑮
について説明しています。

**2.** n = 0

図15－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（2/4）

（2）アドレス～データ～データ




**注1.**　マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

**2.**　スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

**備考**　n = 0

**図15－32（2）アドレス～データ～データ**の③～⑩の説明を次に示します。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

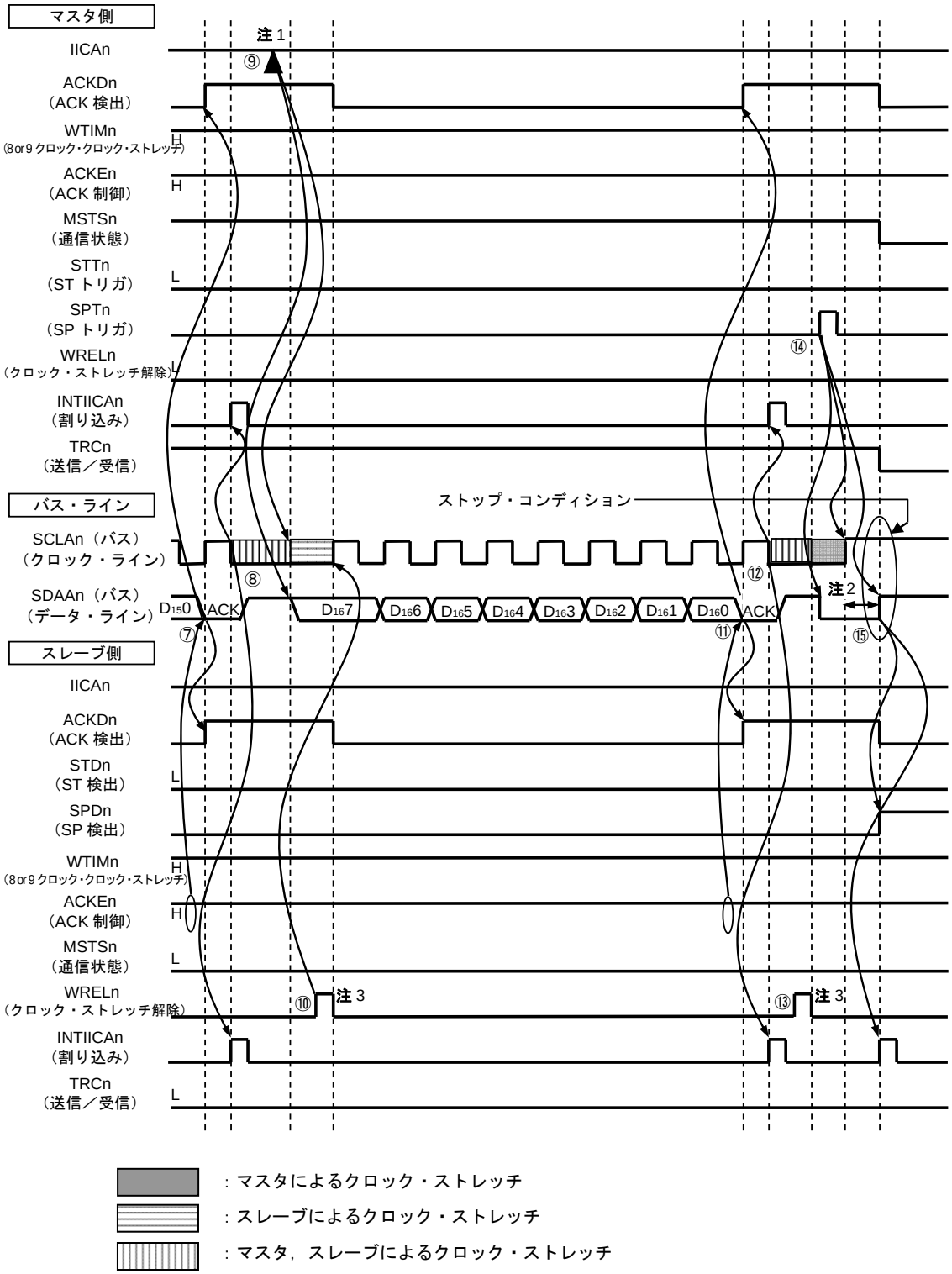
**注** 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

**備考 1.** **図15－32**の①～⑮は，$I^2C$バスによるデータ通信の一連の操作手順です。
**図15－32（1）スタート・コンディション～アドレス～データ**では手順①～⑥
**図15－32（2）アドレス～データ～データ**では手順③～⑩
**図15－32（3）データ～データ～ストップ・コンディション**では手順⑦～⑮
について説明しています。

**2.** n = 0

図15－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（3/4）

（3）データ～データ～ストップ・コンディション




：マスタによるクロック・ストレッチ

：スレーブによるクロック・ストレッチ

：マスタ，スレーブによるクロック・ストレッチ

**注1.**　マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

**2.**　ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

**3.**　スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

**備考**　n = 0

**図15－32（3）データ～データ～ストップ・コンディション**の⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側（ACKEn = 1）のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，クロック・ストレッチを解除（WRELn = 1）します。

⑭ マスタ側でストップ・コンディション・トリガをセット（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，バス・クロック・ラインがセット（SCLAn = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAAn = 1）されることでストップ・コンディション（SCLAn = 1でSDAAn = 0→1）が生成されます。

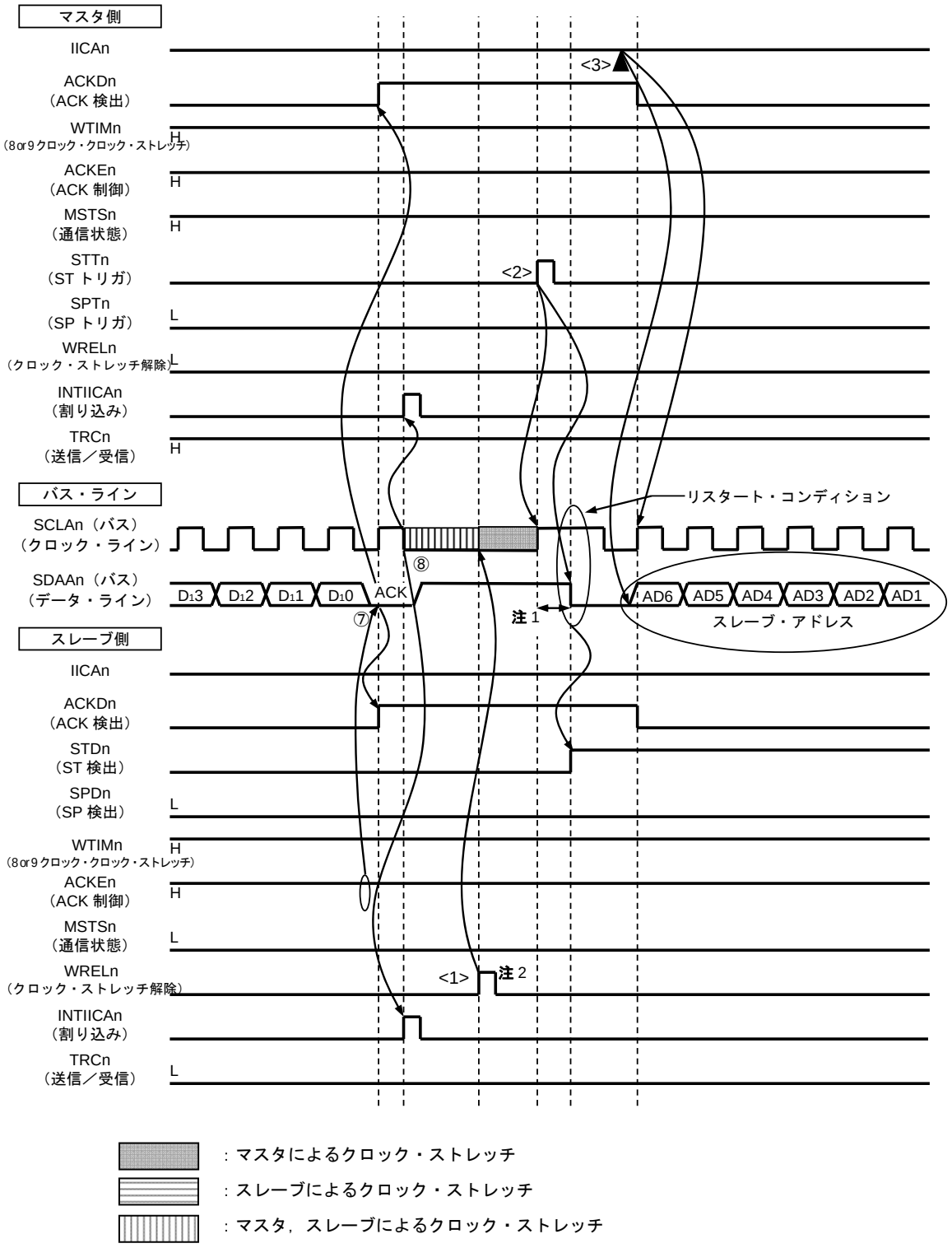
⑮ ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

**備考 1.** **図15－32**の①～⑮は，$I^2C$バスによるデータ通信の一連の操作手順です。
**図15－32（1）スタート・コンディション～アドレス～データ**では手順①～⑥
**図15－32（2）アドレス～データ～データ**では手順③～⑩
**図15－32（3）データ～データ～ストップ・コンディション**では手順⑦～⑮
について説明しています。

**2.** n = 0

図15－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（4/4）

（4）データ～リスタート・コンディション～アドレス




**注1.**　リスタート・コンディションの発行後，SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

**2.**　スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

**備考**　n = 0

**図15－32（4）データ～リスタート・コンディション～アドレス**の動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

<1>　スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WRELn = 1）します。

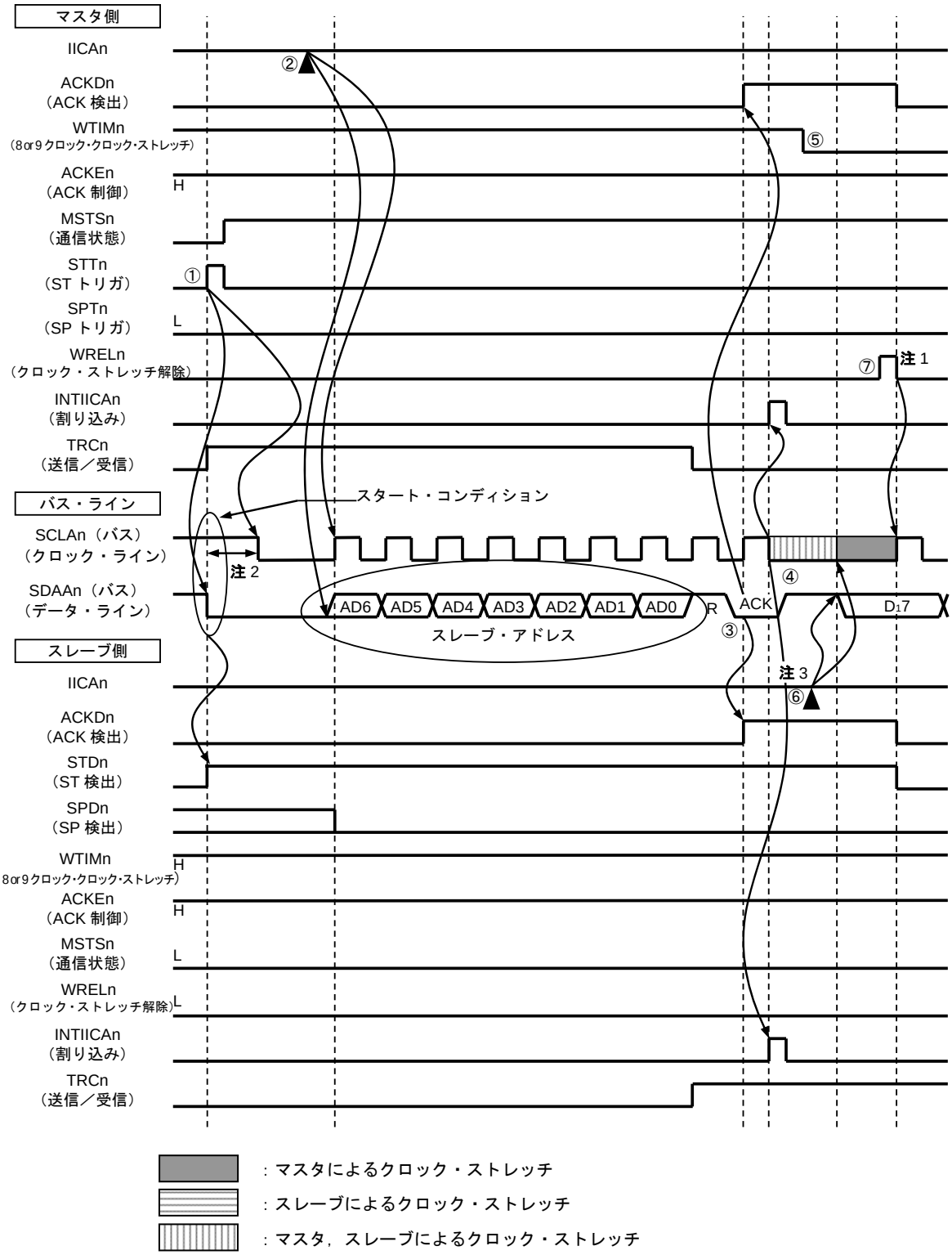
<2>　マスタ側で再度スタート・コンディション・トリガがセット（STTn = 1）されると，バス・クロック・ラインが立ち上がり（SCLAn = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAAn = 0）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

<3>　マスタ側がIICAシフト・レジスタn（IICAn）にアドレス＋R/W（送信）を書き込むと，スレーブ・アドレスが送信されます。

**備考**　n = 0

図15－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択）（1/3）

（1）スタート・コンディション～アドレス～データ




**注1.**　マスタ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

**2.**　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

**3.**　スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

**備考**　n = 0

**図15－33（1）スタート・コンディション～アドレス～データ**の①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAnレジスタに送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

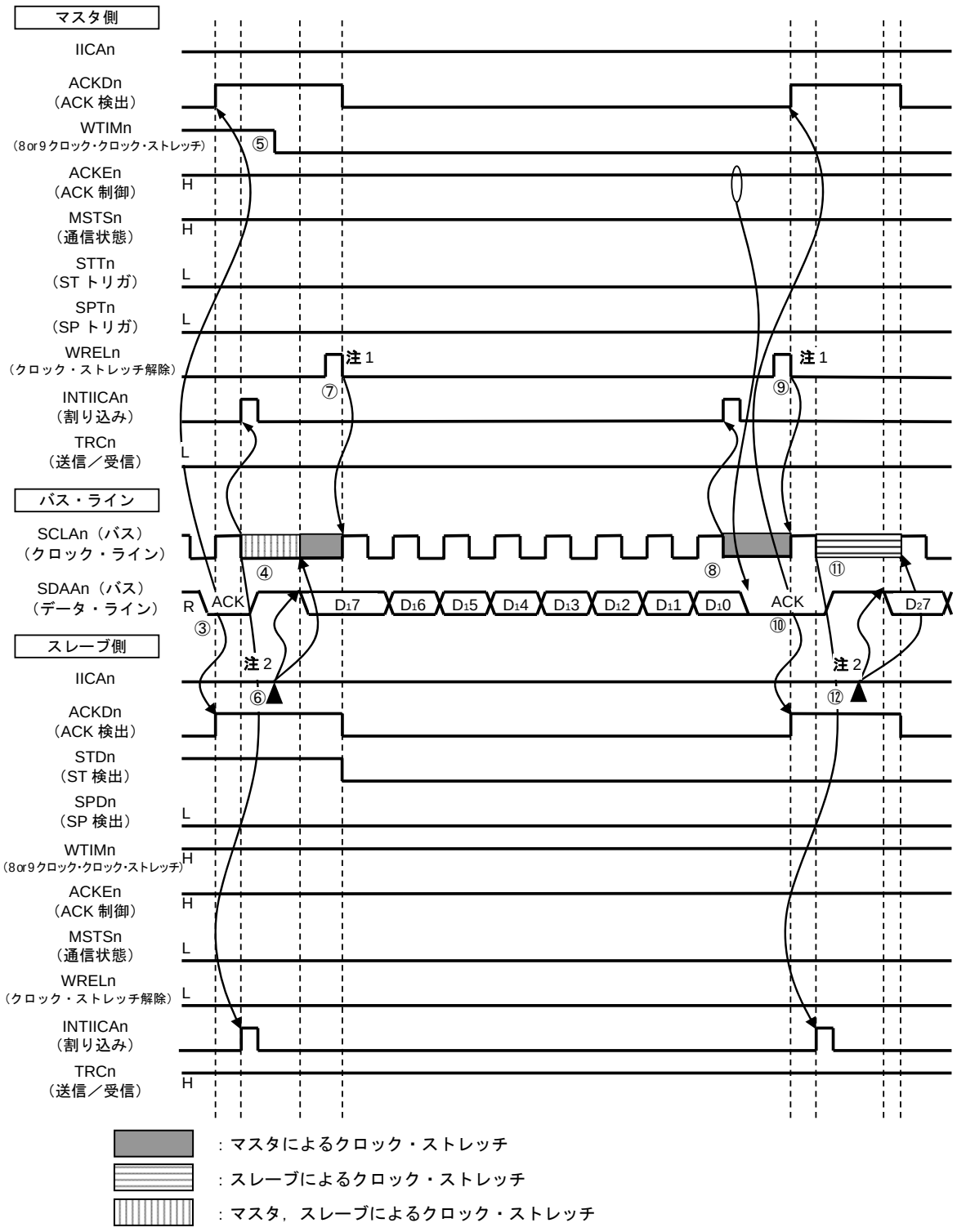
**注** 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

**備考 1.** **図15－33**の①～⑲は，$I^2C$バスによるデータ通信の一連の操作手順です。
**図15－33（1）スタート・コンディション～アドレス～データ**では手順①～⑦
**図15－33（2）アドレス～データ～データ**では手順③～⑫
**図15－33（3）データ～データ～ストップ・コンディション**では手順⑧～⑲
について説明しています。

**2.** n = 0

図15－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択）（2/3）

（2）アドレス～データ～データ




**注1.**　マスタ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

**2.**　スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

**備考**　n = 0

**図15－33（2）アドレス～データ～データ**の③～⑫の説明を次に示します。

③ スレーブ側で，受信したアドレス自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側ACKEn = 1なのでハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAnレジスタに送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

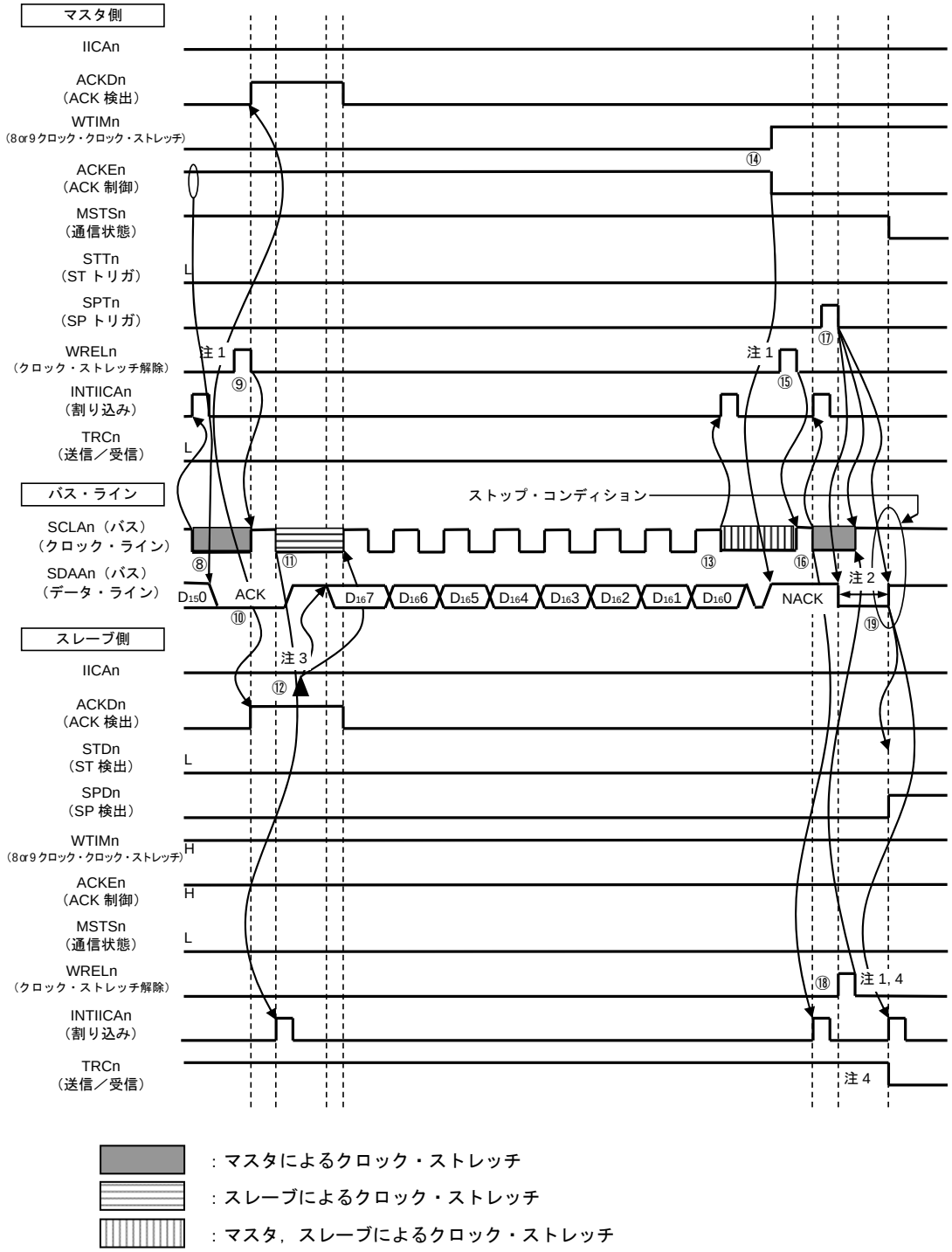
**注** 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

**備考1.** **図15－33**の①～⑲は，$I^2C$バスによるデータ通信の一連の操作手順です。
**図15－33（1）スタート・コンディション～アドレス～データ**では手順①～⑦
**図15－33（2）アドレス～データ～データ**では手順③～⑫
**図15－33（3）データ～データ～ストップ・コンディション**では手順⑧～⑲
について説明しています。

**2.** n = 0

図15－33　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（3/3）

（3）データ～データ～ストップ・コンディション




：マスタによるクロック・ストレッチ

：スレーブによるクロック・ストレッチ

：マスタ，スレーブによるクロック・ストレッチ

**注1.** クロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

**2.** ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

**3.** スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

**4.** スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると，TRCnビットはクリアされます。

**備考**　n = 0

**図15－33（3）データ～データ～ストップ・コンディション**の⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側はACKEn = 0なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかります。ACK制御（ACKEn = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAAn = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKEn = 0）し，クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ（WTIMn = 1）に変更します。

⑮ マスタ側がクロック・ストレッチを解除（WRELn = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACKDn = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，マスタ側のクロック・ストレッチが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにクロック・ストレッチを解除（WRELn = 1）します。スレーブによるクロック・ストレッチが解除されると，バス・クロック・ラインがセット（SCLAn = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAAn = 1）してストップ・コンディション（SCLAn = 1でSDAAn = 0→1）を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

**備考 1.** **図15－33**の①～⑲は，$I^2C$バスによるデータ通信の一連の操作手順です。
**図15－33（1）スタート・コンディション～アドレス～データ**では手順①～⑦
**図15－33（2）アドレス～データ～データ**では手順③～⑫
**図15－33（3）データ～データ～ストップ・コンディション**では手順⑧～⑲
について説明しています。

**2.** n = 0

# 第16章　LCDコントローラ／ドライバ

RL78/L13のLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表16－1　製品ごとのLCD表示機能端子

| 項　　目 | RL78/L13 | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 64ピン（R5F10WLx（x = G, F, E, D, C, A））| | | | | | | | 80ピン（R5F10WMx（x = G, F, E, D, C, A））| | | | | | | |
| LCDコントローラ／ドライバ | セグメント信号出力：36（32）[注]<br>コモン信号出力：8 | | | | | | | | セグメント信号出力：51（47）[注]<br>コモン信号出力：8 | | | | | | | |
| 兼用I/Oポート | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
| P0 | SEG 50 | SEG 49 | SEG 48 | SEG 47 | SEG 46 | SEG 45 | SEG 44 | SEG 43 | SEG 50 | SEG 49 | SEG 48 | SEG 47 | SEG 46 | SEG 45 | SEG 44 | SEG 43 |
| P1 | SEG 42 | SEG 41 | SEG 40 | SEG 39 | SEG 38 | SEG 37 | SEG 36 | SEG 35 | SEG 42 | SEG 41 | SEG 40 | SEG 39 | SEG 38 | SEG 37 | SEG 36 | SEG 35 |
| P2 | SEG 34 | SEG 33 | － | － | － | SEG 29 | － | － | SEG 34 | SEG 33 | SEG 32 | SEG 31 | SEG 30 | SEG 29 | － | － |
| P3 | － | － | － | － | SEG 23 | SEG 22 | SEG 21 | SEG 20 | － | － | SEG 25 | SEG 24 | SEG 23 | SEG 22 | SEG 21 | SEG 20 |
| P4 | － | － | － | － | － | － | － | － | SEG 27 | SEG 26 | － | － | － | － | － | － |
| P5 | SEG 11 | － | － | SEG 8 | SEG 7 | SEG 6 | － | － | SEG 11 | SEG 10 | SEG 9 | SEG 8 | SEG 7 | SEG 6 | SEG 5 | SEG 4 |
| P7 | SEG 19 | SEG 18 | SEG 17 | SEG 16 | － | － | － | SEG 12 | SEG 19 | SEG 18 | SEG 17 | SEG 16 | SEG 15 | SEG 14 | SEG 13 | SEG 12 |
| P13 | － | － | － | － | － | － | － | － | － | － | － | － | － | － | － | SEG 28 |
| I/Oポートと非兼用 | | | | | | | | | | | | | | | | |
| COM4 | SEG0 | | | | | | | | SEG0 | | | | | | | |
| COM5 | SEG1 | | | | | | | | SEG1 | | | | | | | |
| COM6 | SEG2 | | | | | | | | SEG2 | | | | | | | |
| COM7 | SEG3 | | | | | | | | SEG3 | | | | | | | |

**注**　（ ）内は8 com使用時の信号出力本数です。

# 16. 1　LCDコントローラ／ドライバの機能

RL78/L13に内蔵しているLCDコントローラ／ドライバの機能を次に示します。

（1）A波形，B波形の選択が可能

（2）LCD駆動電圧生成回路は，内部昇圧／容量分割／外部抵抗分割の切り替えが可能

（3）表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能

（4）昇圧回路動作時に生成する基準電圧を16段階から選択可能（コントラスト調整）

（5）LCD点滅が可能

各表示モードにおける表示可能な最大画素数を**表16－2**に示します。

表16－2　最大表示画素数

（a）64ピン製品

| LCDドライバ用駆動波形 | LCDドライバ用駆動電圧生成回路 | バイアス法 | 時分割 | 最大表示画素数 |
|---|---|---|---|---|
| A波形 | 外部抵抗分割 | －　 | スタティック | 36（36セグメント×1コモン） |
| | | 1/2 | 2 | 72（36セグメント×2コモン） |
| | | | 3 | 108（36セグメント×3コモン） |
| | | 1/3 | 3 | |
| | | | 4 | 144（36セグメント×4コモン） |
| | | 1/4 | 8 | 256（32セグメント×8コモン） |
| | 内部昇圧 | 1/3 | 3 | 108（36セグメント×3コモン） |
| | | | 4 | 144（36セグメント×4コモン） |
| | | 1/4 | 8 | 256（32セグメント×8コモン） |
| | 容量分割 | 1/3 | 3 | 108（36セグメント×3コモン） |
| | | | 4 | 144（36セグメント×4コモン） |
| B波形 | 外部抵抗分割，内部昇圧 | 1/3 | 4 | |
| | | 1/4 | 8 | 256（32セグメント×8コモン） |
| | 容量分割 | 1/3 | 4 | 144（36セグメント×4コモン） |

（b）80ピン製品

| LCDドライバ用駆動波形 | LCDドライバ用駆動電圧生成回路 | バイアス法 | 時分割 | 最大表示画素数 |
|---|---|---|---|---|
| A波形 | 外部抵抗分割 | －　 | スタティック | 51（51セグメント×1コモン） |
| | | 1/2 | 2 | 102（51セグメント×2コモン） |
| | | | 3 | 153（51セグメント×3コモン） |
| | | 1/3 | 3 | |
| | | | 4 | 204（51セグメント×4コモン） |
| | | 1/4 | 8 | 376（47セグメント×8コモン） |
| | 内部昇圧 | 1/3 | 3 | 153（51セグメント×3コモン） |
| | | | 4 | 204（51セグメント×4コモン） |
| | | 1/4 | 8 | 376（47セグメント×8コモン） |
| | 容量分割 | 1/3 | 3 | 153（51セグメント×3コモン） |
| | | | 4 | 204（51セグメント×4コモン） |
| B波形 | 外部抵抗分割，内部昇圧 | 1/3 | 4 | |
| | | 1/4 | 8 | 376（47セグメント×8コモン） |
| | 容量分割 | 1/3 | 4 | 204（51セグメント×4コモン） |

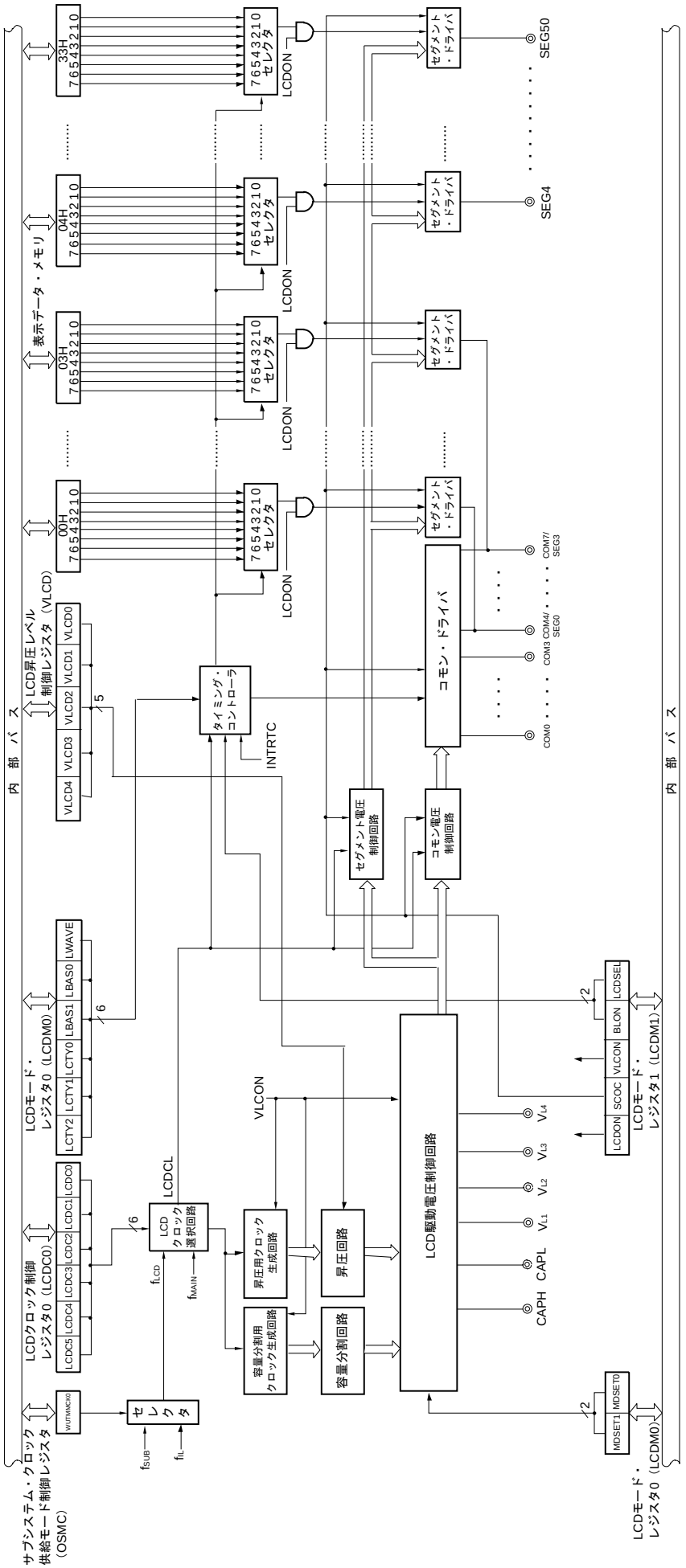
## 16. 2　LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは，次のハードウエアで構成しています。

表16－3　LCDコントローラ／ドライバの構成

| 項　　目 | 構　　成 |
|---|---|
| 制御レジスタ | LCDモード・レジスタ0（LCDM0）<br>LCDモード・レジスタ1（LCDM1）<br>サブシステム・クロック供給モード制御レジスタ（OSMC）<br>LCDクロック制御レジスタ0（LCDC0）<br>LCD昇圧レベル制御レジスタ（VLCD）<br>LCD入力切り替え制御レジスタ（ISCLCD）<br>LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）<br>ポート・モード・レジスタ0-5, 7, 13（PM0-PM5, PM7, PM13） |

図16－1 LCDコントローラ／ドライバのブロック図



## 16. 3　LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは，次の8種類のレジスタで制御します。

・LCDモード・レジスタ0（LCDM0）
・LCDモード・レジスタ1（LCDM1）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・LCDクロック制御レジスタ0（LCDC0）
・LCD昇圧レベル制御レジスタ（VLCD）
・LCD入力切り替え制御レジスタ（ISCLCD）
・LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）
・ポート・モード・レジスタ0-5, 7, 13（PM0-PM5, PM7, PM13）

### 16. 3. 1　LCDモード・レジスタ0（LCDM0）

LCDの動作を設定するレジスタです。

LCDM0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－2　LCDモード・レジスタ0（LCDM0）のフォーマット

アドレス：FFF40H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LCDM0 | MDSET1 | MDSET0 | LWAVE | LDTY2 | LDTY1 | LDTY0 | LBAS1 | LBAS0 |

| MDSET1 | MDSET0 | LCD駆動電圧生成回路の選択 |
|---|---|---|
| 0 | 0 | 外部抵抗分割方式 |
| 0 | 1 | 内部昇圧方式 |
| 1 | 0 | 容量分割方式 |
| 1 | 1 | 設定禁止 |

| LWAVE | LCD表示波形の選択 |
|---|---|
| 0 | A波形 |
| 1 | B波形 |

| LDTY2 | LDTY1 | LDTY0 | LCD表示の時分割数選択 |
|---|---|---|---|
| 0 | 0 | 0 | スタティック |
| 0 | 0 | 1 | 2時分割 |
| 0 | 1 | 0 | 3時分割 |
| 0 | 1 | 1 | 4時分割 |
| 1 | 0 | 1 | 8時分割 |
| 上記以外 | | | 設定禁止 |

| LBAS1 | LBAS0 | LCD表示のバイアス法選択 |
|---|---|---|
| 0 | 0 | 1/2バイアス法 |
| 0 | 1 | 1/3バイアス法 |
| 1 | 0 | 1/4バイアス法 |
| 1 | 1 | 設定禁止 |

**注意1. LCDM1のSCOC = 1のときに，LCDM0の値を書き換えないでください。**

**2. スタティックを選択した場合（LDTY2-LDTY0ビット = 000B），LBAS1, LBAS0ビットの設定は必ず初期値（00B）にしてください。初期値以外の値を設定した場合の動作は保証しません。**

**3. 表示波形，時分割数，バイアス法の設定は表16－4に示す組み合わせのみサポートします。表16－4で示す組み合わせ以外は設定禁止です。**

表16－4 表示波形／時分割数／バイアス法とフレーム周波数の組み合わせ

| 表示モード | | | 設定値 | | | | | | 駆動電圧生成方式 | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 表示波形 | 時分割数 | バイアス法 | LWAVE | LDTY2 | LDTY1 | LDTY0 | LBAS1 | LBAS0 | 外部抵抗分割 | 内部昇圧 | 容量分割 |
| A波形 | 8 | 1/4 | 0 | 1 | 0 | 1 | 1 | 0 | ○ (24～128 Hz) | ○ (24～64 Hz) | × |
| A波形 | 4 | 1/3 | 0 | 0 | 1 | 1 | 0 | 1 | ○ (24～128 Hz) | ○ (24～128 Hz) | ○ (24～128 Hz) |
| A波形 | 3 | 1/3 | 0 | 0 | 1 | 0 | 0 | 1 | ○ (32～128 Hz) | ○ (32～128 Hz) | ○ (32～128 Hz) |
| A波形 | 3 | 1/2 | 0 | 0 | 1 | 0 | 0 | 0 | ○ (32～128 Hz) | × | × |
| A波形 | 2 | 1/2 | 0 | 0 | 0 | 1 | 0 | 0 | ○ (24～128 Hz) | × | × |
| A波形 | スタティック | | 0 | 0 | 0 | 0 | 0 | 0 | ○ (24～128 Hz) | × | × |
| B波形 | 8 | 1/4 | 1 | 1 | 0 | 1 | 1 | 0 | ○ (24～128 Hz) | ○ (24～64Hz) | × |
| B波形 | 4 | 1/3 | 1 | 0 | 1 | 1 | 0 | 1 | ○ (24～128 Hz) | ○ (24～128 Hz) | ○ (24～128 Hz) |

**備考** ○：対応

×：非対応

## 16. 3. 2　LCDモード・レジスタ1（LCDM1）

表示動作の許可／禁止，昇圧回路もしくは容量分割回路の動作許可／停止，表示データ領域，低電圧モードを設定するレジスタです。

LCDM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－3　LCDモード・レジスタ1（LCDM1）のフォーマット（1/2）

アドレス：FFF41H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LCDM1 | LCDON | SCOC | VLCON | BLON | LCDSEL | 0 | 0 | LCDVLM |

| SCOC | LCDON | LCD表示の許可／禁止<br>A波形／B波形出力時 |
|---|---|---|
| 0 | 0 | セグメント端子／コモン端子にグランド・レベルを出力 |
| 0 | 1 | |
| 1 | 0 | 表示オフ（セグメント出力はすべて非選択信号出力） |
| 1 | 1 | 表示オン |

| VLCON | 昇圧回路もしくは容量分割回路の動作許可／停止 |
|---|---|
| 0 | 昇圧回路もしくは容量分割回路の動作停止 |
| 1[注1] | 昇圧回路もしくは容量分割回路の動作許可 |

| BLON[注2] | LCDSEL | 表示データ領域の制御 |
|---|---|---|
| 0 | 0 | Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータを表示 |
| 0 | 1 | Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータを表示 |
| 1 | 0 | AパターンとBパターン領域のデータを交互に表示（リアルタイム・クロック2（RTC2）の定周期割り込み（INTRTC）タイミングに対応した点滅表示） |
| 1 | 1 | |

**注1.**　外部抵抗分割モード時には設定禁止

**2.**　LCDソース・クロック（$f_{LCD}$）として$f_{IL}$を選択する場合は，必ずBLONビット = 0にしてください。

（注意は次ページにあります。）

図16－3　LCDモード・レジスタ1（LCDM1）のフォーマット（2/2）

アドレス：FFF41H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LCDM1 | LCDON | SCOC | VLCON | BLON | LCDSEL | 0 | 0 | LCDVLM |

| LCDVLM[注] | 昇圧端子の初期値の切り替え制御 |
|---|---|
| 0 | $V_{DD}$電圧≧2.7 Vの場合 |
| 1 | $V_{DD}$電圧≦4.2 Vの場合 |

**注**　昇圧回路使用時に，$V_{Lx}$端子の初期状態を設定して昇圧安定時間を短くするための機能です。
昇圧開始時の$V_{DD}$電圧が2.7 V以上の場合はLCDVLMビット = 0，$V_{DD}$電圧が4.2 V以下の場合はLCDVLMビット = 1としてください。ただし，2.7 V≦$V_{DD}$≦4.2 Vでは，LCDVLMビット = 0, LCDVLMビット = 1のいずれでも動作可能です。

**注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は，SCOCビット = 0, VLCONビット = 0を設定し，さらにMDSET1, MDSET0ビット = 00Bを設定してください。MDSET1, MDSET0ビット = 01Bの場合，内部の基準電圧生成部が動作するため電力を消費します。**

**2. 外部抵抗分割方式設定時（LCDM0のMDSET1, MDSET0ビット = 00B）または容量分割方式設定時（MDSET1, MDSET0ビット = 10B）は，LCDVLMビットに0を設定してください。**

**3. SCOCビット = 1のときVLCON, LCDVLMビットを書き換えないでください。**

**4. 表示モードに8時分割数を選択した場合，BLONビットとLCDSELビットに0を設定してください。**

**5. 内部昇圧方式を使用する場合は，VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから），基準電圧セットアップ時間（5 ms (MIN.) ）をウエイトしたあとに，VLCONに1を設定してください。**

### 16. 3. 3 サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－4 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSMC | RTCLPC | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |

| RTCLPC | STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定 |
|---|---|
| 0 | 周辺機能へのサブシステム・クロック供給許可<br>（動作許可となる周辺機能については，表21－1～表21－3参照） |
| 1 | リアルタイム・クロック2，12ビット・インターバル・タイマ，クロック出力／ブザー出力，LCDコントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止 |

| WUTMMCK0 | リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの動作クロックの選択 | クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択 |
|---|---|---|
| 0 | サブシステム・クロック（$f_{SUB}$） | サブシステム・クロック（$f_{SUB}$）選択許可 |
| 1 | 低速オンチップ・オシレータ・クロック（$f_{IL}$） | サブシステム・クロック（$f_{SUB}$）選択禁止 |

**注意1. サブシステム・クロック発振中の場合は，必ずサブシステム・クロックを選択（WUTMMCK0ビット = 0）にしてください。**

**2. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。**

**3. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは，リアルタイム・クロック2，12ビット・インターバル・タイマ，LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。**

**備考** RTCE　：リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット7
RINTE　：インターバル・タイマ・コントロール・レジスタ（ITMC）のビット15
SCOC　：LCDモード・レジスタ1（LCDM1）のビット6
VLCON　：LCDモード・レジスタ1（LCDM1）のビット5

## 16. 3. 4　LCDクロック制御レジスタ0（LCDC0）

LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－5　LCDクロック制御レジスタ（LCDC0）のフォーマット（1/2）

アドレス：FFF42 H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LCDC0 | 0 | 0 | LCDC05 | LCDC04 | LCDC03 | LCDC02 | LCDC01 | LCDC00 |

(1/2)

| LCDC05 | LCDC04 | LCDC03 | LCDC02 | LCDC01 | LCDC00 | LCDクロック（LCDCL） |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 | 0 | $f_{SUB}/2^5$ or $f_{IL}/2^5$ |
| 0 | 0 | 0 | 1 | 0 | 1 | $f_{SUB}/2^6$ or $f_{IL}/2^6$ |
| 0 | 0 | 0 | 1 | 1 | 0 | $f_{SUB}/2^7$ or $f_{IL}/2^7$ |
| 0 | 0 | 0 | 1 | 1 | 1 | $f_{SUB}/2^8$ or $f_{IL}/2^8$ |
| 0 | 0 | 1 | 0 | 0 | 0 | $f_{SUB}/2^9$ or $f_{IL}/2^9$ |
| 0 | 0 | 1 | 0 | 0 | 1 | $f_{SUB}/2^{10}$ |

（注意は次ページにあります。）

図16－5　LCDクロック制御レジスタ（LCDC0）のフォーマット（2/2）

アドレス：FFF42 H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LCDC0 | 0 | 0 | LCDC05 | LCDC04 | LCDC03 | LCDC02 | LCDC01 | LCDC00 |

(2/2)

| LCDC05 | LCDC04 | LCDC03 | LCDC02 | LCDC01 | LCDC00 | LCDクロック（LCDCL） |
|---|---|---|---|---|---|---|
| 0 | 1 | 0 | 0 | 1 | 1 | $f_{MAIN}/2^{10}$ |
| 0 | 1 | 0 | 1 | 0 | 0 | $f_{MAIN}/2^{11}$ |
| 0 | 1 | 0 | 1 | 0 | 1 | $f_{MAIN}/2^{12}$ |
| 0 | 1 | 0 | 1 | 1 | 0 | $f_{MAIN}/2^{13}$ |
| 0 | 1 | 0 | 1 | 1 | 1 | $f_{MAIN}/2^{14}$ |
| 0 | 1 | 1 | 0 | 0 | 0 | $f_{MAIN}/2^{15}$ |
| 0 | 1 | 1 | 0 | 0 | 1 | $f_{MAIN}/2^{16}$ |
| 0 | 1 | 1 | 0 | 1 | 0 | $f_{MAIN}/2^{17}$ |
| 0 | 1 | 1 | 0 | 1 | 1 | $f_{MAIN}/2^{18}$ |
| 1 | 0 | 1 | 0 | 1 | 1 | $f_{MAIN}/2^{19}$ |
| 上記以外 | | | | | | 設定禁止 |

**注意1. LCDM1レジスタのSCOCビット = 1のときLCDC0を設定しないでください。**

**2. ビット6, 7には，必ず0を設定してください。**

**3. 内部昇圧方式、容量分割方式に設定した場合，LCDクロック（LCDCL）は次のように設定してください。**

- **$f_{SUB}$選択時512 Hz以下**
- **$f_{IL}$選択時235 Hz以下**

**詳細は，表16－4　表示波形／時分割数／バイアス法とフレーム周波数の組み合わせを参照してください。**

**備考**　$f_{MAIN}$　：メイン・システム・クロック周波数

$f_{IL}$　：低速オンチップ・オシレータ・クロック周波数

$f_{SUB}$　：サブシステム・クロック周波数

### 16. 3. 5　LCD昇圧レベル制御レジスタ（VLCD）

昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は，16段階から選択することができます。

VLCDは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，04Hになります。

図16－6　LCD昇圧レベル制御レジスタ（VLCD）のフォーマット

アドレス：FFF43H　リセット時：04H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| VLCD | 0 | 0 | 0 | VLCD4 | VLCD3 | VLCD2 | VLCD1 | VLCD0 |

| VLCD4 | VLCD3 | VLCD2 | VLCD1 | VLCD0 | 基準電圧選択（コントラスト調整） | $V_{L4}$電圧 | |
|---|---|---|---|---|---|---|---|
| | | | | | | 1/3バイアス法時 | 1/4バイアス法時 |
| 0 | 0 | 1 | 0 | 0 | 1.00 V（デフォルト） | 3.00 V | 4.00 V |
| 0 | 0 | 1 | 0 | 1 | 1.05 V | 3.15 V | 4.20 V |
| 0 | 0 | 1 | 1 | 0 | 1.10 V | 3.30 V | 4.40 V |
| 0 | 0 | 1 | 1 | 1 | 1.15 V | 3.45 V | 4.60 V |
| 0 | 1 | 0 | 0 | 0 | 1.20 V | 3.60 V | 4.80 V |
| 0 | 1 | 0 | 0 | 1 | 1.25 V | 3.75 V | 5.00 V |
| 0 | 1 | 0 | 1 | 0 | 1.30 V | 3.90 V | 5.20 V |
| 0 | 1 | 0 | 1 | 1 | 1.35 V | 4.05 V | 設定禁止 |
| 0 | 1 | 1 | 0 | 0 | 1.40 V | 4.20 V | 設定禁止 |
| 0 | 1 | 1 | 0 | 1 | 1.45 V | 4.35 V | 設定禁止 |
| 0 | 1 | 1 | 1 | 0 | 1.50 V | 4.50 V | 設定禁止 |
| 0 | 1 | 1 | 1 | 1 | 1.55 V | 4.65 V | 設定禁止 |
| 1 | 0 | 0 | 0 | 0 | 1.60 V | 4.80 V | 設定禁止 |
| 1 | 0 | 0 | 0 | 1 | 1.65 V | 4.95 V | 設定禁止 |
| 1 | 0 | 0 | 1 | 0 | 1.70 V | 5.10 V | 設定禁止 |
| 1 | 0 | 0 | 1 | 1 | 1.75 V | 5.25 V | 設定禁止 |
| 上記以外 | | | | | 設定禁止 | | |

**注意1. VLCDレジスタの設定は，昇圧回路動作時のみ有効です。**

**2. ビット5-7には，必ず0を設定してください。**

**3. VLCDレジスタの値を変更する場合は，必ず昇圧回路の動作を停止（VLCON = 0）してから行ってください。**

**4. 内部昇圧方式を使用する場合は，VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから），基準電圧セットアップ時間（5 ms (MIN.) ）をウエイトしたあとに，VLCONに1を設定してください。**

**5. 外部抵抗分割方式または容量分割方式では，VLCDレジスタは初期値（04H）で使用してください。**

## 16. 3. 6 LCD入力切り替え制御レジスタ（ISCLCD）

CAPL/P126, CAPH/P127, $V_{L3}$/P125端子をLCD機能として動作するように設定を行うまでの期間，貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－7 LCD入力切り替え制御レジスタ（ISCLCD）

アドレス：F0308H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ISCLCD | 0 | 0 | 0 | 0 | 0 | 0 | ISCVL3 | ISCCAP |

| ISCVL3 | $V_{L3}$/P125端子のシュミット・トリガ・バッファの制御 |
|---|---|
| 0 | 入力無効 |
| 1 | 入力有効 |

| ISCCAP | CAPL/ P126, CAPH/P127端子のシュミット・トリガ・バッファの制御 |
|---|---|
| 0 | 入力無効 |
| 1 | 入力有効 |

**注意 ISCVL3ビット = 0，ISCCAP ビット = 0の場合，対応するポート制御レジスタは，次のように設定してください。**

**PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0**

**PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0**

**PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0**

（a）$V_{L3}$, CAPL, CAPH端子兼用ポートの動作

$V_{L3}$/P125, CAPL/P126, CAPH/P127端子の機能は，LCD入力切り替え制御レジスタ（ISCLCD），LCDモード・レジスタ0（LCDM0），ポート・モード・レジスタ12（PM12）の設定で決定します。.

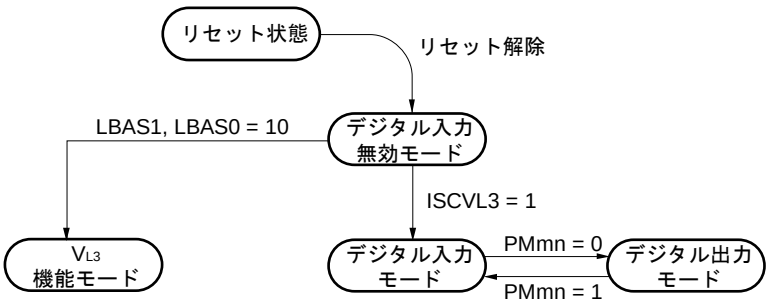
・$V_{L3}$/P125

表16－5 $V_{L3}$/P125端子機能の設定

| バイアス法設定（LCDM0レジスタのLBAS1, LBAS0 ビットで設定） | ISCLCDレジスタのISCVL3ビット | PM12レジスタのPM125ビット | 端子機能 | 初期状態 |
|---|---|---|---|---|
| 1/4バイアス法以外（LBAS1，LBAS0 = 00または01） | 0 | 1 | デジタル入力無効モード | ○ |
| | 1 | 0 | デジタル出力モード | － |
| | 1 | 1 | デジタル入力モード | － |
| 1/4バイアス法（LBAS1, LBAS0 = 10） | 0 | 1 | $V_{L3}$機能モード | － |
| 上記以外 | | | 設定禁止 | |

$V_{L3}$/P125端子機能の状態遷移を次に示します。

図16－8　$V_{L3}$/P125端子機能の状態遷移図




**注意　$V_{L3}$機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。**

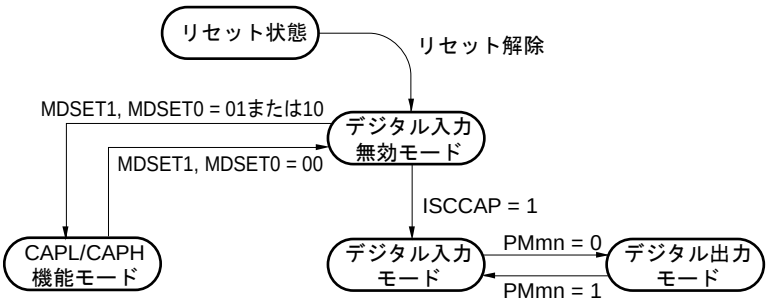
・CAPL/P126, CAPH/P127

表16－6　CAPL/P126, CAPH/P127端子機能の設定

| LCD駆動電圧生成（LCDM0レジスタのMDSET1, MDSET0ビット） | ISCLCDレジスタのISCCAPビット | PM12レジスタのPM126, PM127ビット | 端子機能 | 初期状態 |
|---|---|---|---|---|
| 外部抵抗分割（MDSET1, MDSET0 = 00） | 0 | 1 | デジタル入力無効モード | ○ |
| | 1 | 0 | デジタル出力モード | － |
| | 1 | 1 | デジタル入力モード | － |
| 内部昇圧または容量分割（MDSET1, MDSET0 = 01または10） | 0 | 1 | CAPL/CAPH機能モード | － |
| 上記以外 | | | 設定禁止 | |

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図16－9　CAPL/P126, CAPH/P127端子機能の状態遷移図




**注意　CAPL/CAPH機能モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。**

### 16. 3. 7　LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）

P00-P07, P10-P17, P22-P27, P30-P35, P46, P47, P50-P57, P70-P77, P130端子をポート（セグメント出力以外）／セグメント出力のどちらで使用するか，またP45端子をポート／アナログ入力のどちらで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります（PFSEG0はF0H, PFSEG6は0FH）。

**備考** セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と，製品によるSEGxx端子の有無を表16－7　各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）に示します。

図16－10　LCDポート・ファンクション・レジスタのフォーマット（80ピン製品）

アドレス：F0300H　リセット時：F0H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG0 | PFSEG07 | PFSEG06 | PFSEG05 | PFSEG04 | 0 | 0 | 0 | 0 |

アドレス：F0301H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG1 | PFSEG15 | PFSEG14 | PFSEG13 | PFSEG12 | PFSEG11 | PFSEG10 | PFSEG09 | PFSEG08 |

アドレス：F0302H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG2 | PFSEG23 | PFSEG22 | PFSEG21 | PFSEG20 | PFSEG19 | PFSEG18 | PFSEG17 | PFSEG16 |

アドレス：F0303H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG3 | PFSEG30 | PFSEG29 | PFSEG28 | PFSEG27 | PFSEG26 | PFDEG | PFSEG25 | PFSEG24 |

アドレス：F0304H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG4 | PFSEG38 | PFSEG37 | PFSEG36 | PFSEG35 | PFSEG34 | PFSEG33 | PFSEG32 | PFSEG31 |

アドレス：F0305H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG5 | PFSEG46 | PFSEG45 | PFSEG44 | PFSEG43 | PFSEG42 | PFSEG41 | PFSEG40 | PFSEG39 |

アドレス：F0306H　リセット時：0FH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFSEG6 | 0 | 0 | 0 | 0 | PFSEG50 | PFSEG49 | PFSEG48 | PFSEG47 |

| PFSEGxx<br>(xx＝04-51) | Pmn端子のポート（セグメント出力以外）／セグメント出力の指定<br>（mn = 00-07, 10-17, 22-27, 30-35, 46, 47, 50-57, 70-77, 130） |
|---|---|
| 0 | ポート（セグメント出力以外）として使用 |
| 1 | セグメント出力として使用 |

| PFDEG | P45端子のポート／アナログ入力（IVREF0）の指定 |
|---|---|
| 0 | ポートとして使用 |
| 1 | アナログ入力（IVREF0）として使用 |

**備考**　セグメント出力として使用する（PFSEGxx = 1）場合には必ずPUmレジスタのPUmnビット = 0，POMmレジスタのPOMmnビット = 0，PIMmレジスタのPIMmnビット = 0に設定してください。

表16－7 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）

| PFSEGレジスタのビット名 | 対応するSEGxx端子 | 兼用するポート | 80-pin | 64-pin |
|---|---|---|---|---|
| PFSEG04 | SEG4 | P50 | ○ | － |
| PFSEG05 | SEG5 | P51 | ○ | － |
| PFSEG06 | SEG6 | P52 | ○ | ○ |
| PFSEG07 | SEG7 | P53 | ○ | ○ |
| PFSEG08 | SEG8 | P54 | ○ | ○ |
| PFSEG09 | SEG9 | P55 | ○ | － |
| PFSEG10 | SEG10 | P56 | ○ | － |
| PFSEG11 | SEG11 | P57 | ○ | ○ |
| PFSEG12 | SEG12 | P70 | ○ | ○ |
| PFSEG13 | SEG13 | P71 | ○ | － |
| PFSEG14 | SEG14 | P72 | ○ | － |
| PFSEG15 | SEG15 | P73 | ○ | － |
| PFSEG16 | SEG16 | P74 | ○ | ○ |
| PFSEG17 | SEG17 | P75 | ○ | ○ |
| PFSEG18 | SEG18 | P76 | ○ | ○ |
| PFSEG19 | SEG19 | P77 | ○ | ○ |
| PFSEG20 | SEG20 | P30 | ○ | ○ |
| PFSEG21 | SEG21 | P31 | ○ | ○ |
| PFSEG22 | SEG22 | P32 | ○ | ○ |
| PFSEG23 | SEG23 | P33 | ○ | ○ |
| PFSEG24 | SEG24 | P34 | ○ | － |
| PFSEG25 | SEG25 | P35 | ○ | － |
| PFSEG26 | SEG26 | P46 | ○ | － |
| PFSEG27 | SEG27 | P47 | ○ | － |
| PFSEG28 | SEG28 | P130 | ○ | － |
| PFSEG29 | SEG29 | P22 | ○ | ○ |
| PFSEG30 | SEG30 | P23 | ○ | － |
| PFSEG31 | SEG31 | P24 | ○ | － |
| PFSEG32 | SEG32 | P25 | ○ | － |
| PFSEG33 | SEG33 | P26 | ○ | ○ |
| PFSEG34 | SEG34 | P27 | ○ | ○ |
| PFSEG35 | SEG35 | P10 | ○ | ○ |
| PFSEG36 | SEG36 | P11 | ○ | ○ |
| PFSEG37 | SEG37 | P12 | ○ | ○ |
| PFSEG38 | SEG38 | P13 | ○ | ○ |
| PFSEG39 | SEG39 | P14 | ○ | ○ |
| PFSEG40 | SEG40 | P15 | ○ | ○ |
| PFSEG41 | SEG41 | P16 | ○ | ○ |
| PFSEG42 | SEG42 | P17 | ○ | ○ |
| PFSEG43 | SEG43 | P00 | ○ | ○ |
| PFSEG44 | SEG44 | P01 | ○ | ○ |
| PFSEG45 | SEG45 | P02 | ○ | ○ |
| PFSEG46 | SEG46 | P03 | ○ | ○ |
| PFSEG47 | SEG47 | P04 | ○ | ○ |
| PFSEG48 | SEG48 | P05 | ○ | ○ |
| PFSEG49 | SEG49 | P06 | ○ | ○ |
| PFSEG50 | SEG50 | P07 | ○ | ○ |

（a）SEGxx端子兼用ポートの動作

セグメント出力端子（SEGxx）の機能は，ポート・モード・コントロール・レジスタ（PMCxx），ポート・モード・レジスタ（PMxx），LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）の設定で決定します。

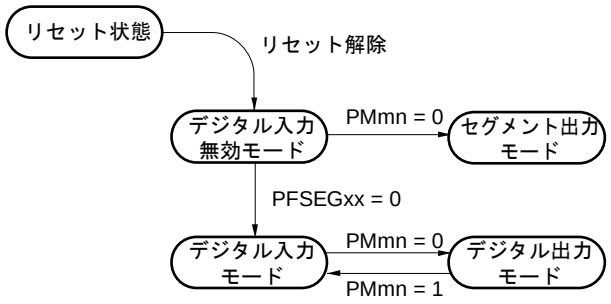
・P00-P07, P14-P17, P30-P35, P46, P47, P50-P57, P70-P77, P130
（アナログ入力端子（ANIxx）を兼用していないポート）

表16－8　SEGxx/ポート端子機能の設定

| PFSEG0-PFSEG6レジスタのPFSEGxxビット | PMxxレジスタのPMxxビット | 端子機能 | 初期状態 |
|---|---|---|---|
| 1 | 1 | デジタル入力無効モード | ○ |
| 0 | 0 | デジタル出力モード | － |
| 0 | 1 | デジタル入力モード | － |
| 1 | 0 | セグメント出力モード | － |

SEGxx/ポート端子機能の状態遷移を次に示します。

図16－11　SEGxx/ポート端子機能の状態遷移図




**注意　セグメント出力モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。**

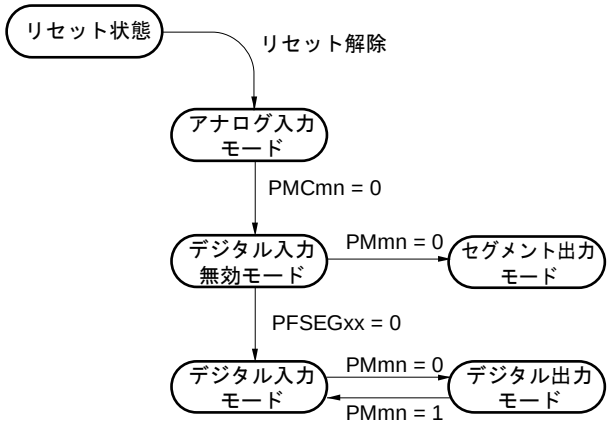
・P10-P13, P22-P27（アナログ入力端子（ANIxx）を兼用するポート）

表16－9　ANIxx/SEGxx/ポート端子機能の設定

| PMCxxレジスタのPMCxxビット | PFSEG3, PFSEG4レジスタのPFSEGxxビット | PMxxレジスタのPMxxビット | 端子機能 | 初期状態 |
|---|---|---|---|---|
| 1 | 1 | 1 | アナログ入力モード | ○ |
| 0 | 0 | 0 | デジタル出力モード | － |
| 0 | 0 | 1 | デジタル入力モード | － |
| 0 | 1 | 0 | セグメント出力モード | － |
| 0 | 1 | 1 | デジタル入力無効モード | － |
| 上記以外 | | | 設定禁止 | |

ANIxx/SEGxx/ポート端子機能の状態遷移を次に示します。

図16－12　ANIxx/SEGxx/ポート端子機能の状態遷移図




**注意　セグメント出力モードに設定する場合は，セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。**

### 16. 3. 8　ポート・モード・レジスタ0-5, 7, 13（PM0-PM5, PM7, PM13）

ポート0-5, 7, 13の入力／出力を1ビット単位で設定するレジスタです。

セグメント出力端子を兼用するポート（P00/SEG43/SO00/TxD0/TOOLTxDなど）をセグメント出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P00/SEG43/SO00/TxD0/TOOLTxDをセグメント出力として使用する場合

ポート・モード・レジスタ0のPM00ビットを0に設定

ポート・レジスタ0のP00ビットを0に設定

PM0-PM5, PM7, PM13レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図16－13　ポート・モード・レジスタ0-5, 7, 13（PM0-PM5, PM7, PM13）のフォーマット（80ピン製品の場合）

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PM0 | PM07 | PM06 | PM05 | PM04 | PM03 | PM02 | PM01 | PM00 | FFF20H | FFH | R/W |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 | FFF21H | FFH | R/W |
| PM2 | PM27 | PM26 | PM25 | PM24 | PM23 | PM22 | PM21 | PM20 | FFF22H | FFH | R/W |
| PM3 | 1 | 1 | PM35 | PM34 | PM33 | PM32 | PM31 | PM30 | FFF23H | FFH | R/W |
| PM4 | PM47 | PM46 | PM45 | PM44 | PM43 | PM42 | PM41 | PM40 | FFF24H | FFH | R/W |
| PM5 | PM57 | PM56 | PM55 | PM54 | PM53 | PM52 | PM51 | PM50 | FFF25H | FFH | R/W |
| PM7 | PM77 | PM76 | PM75 | PM74 | PM73 | PM72 | PM71 | PM70 | FFF27H | FFH | R/W |
| PM13 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM130 | FFF2DH | FFH | R/W |

| PMmn | Pmn端子の入出力モードの選択<br>（m = 0-5, 7, 13; n = 0-7） |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

**備考**　上記は，80ピン製品のポート・モード・レジスタ0-5, 7, 13のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては，**表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット**を参照してください。

## 16. 4　LCD表示データ・レジスタ

LCD表示データ・レジスタは，表16－10のようにマッピングしています。LCD表示データ・レジスタの内容を変更することでLCD表示内容を変更できます。

表16－10　LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（1/4）

（a）8時分割以外（スタティック，2時分割，3時分割，4時分割）（1/2）

| レジスタ名 | アドレス | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 | 80-pin | 64-pin |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | COM7 | COM6 | COM5 | COM4 | COM3 | COM2 | COM1 | COM0 | | |
| SEG0 | F0400H | SEG0（Bパターン領域） | | | | SEG0（Aパターン領域） | | | | ○ | ○ |
| SEG1 | F0401H | SEG1（Bパターン領域） | | | | SEG1（Aパターン領域） | | | | ○ | ○ |
| SEG2 | F0402H | SEG2（Bパターン領域） | | | | SEG2（Aパターン領域） | | | | ○ | ○ |
| SEG3 | F0403H | SEG3（Bパターン領域） | | | | SEG3（Aパターン領域） | | | | ○ | ○ |
| SEG4 | F0404H | SEG4（Bパターン領域） | | | | SEG4（Aパターン領域） | | | | ○ | － |
| SEG5 | F0405H | SEG5（Bパターン領域） | | | | SEG5（Aパターン領域） | | | | ○ | － |
| SEG6 | F0406H | SEG6（Bパターン領域） | | | | SEG6（Aパターン領域） | | | | ○ | ○ |
| SEG7 | F0407H | SEG7（Bパターン領域） | | | | SEG7（Aパターン領域） | | | | ○ | ○ |
| SEG8 | F0408H | SEG8（Bパターン領域） | | | | SEG8（Aパターン領域） | | | | ○ | ○ |
| SEG9 | F0409H | SEG9（Bパターン領域） | | | | SEG9（Aパターン領域） | | | | ○ | － |
| SEG10 | F040AH | SEG10（Bパターン領域） | | | | SEG10（Aパターン領域） | | | | ○ | － |
| SEG11 | F040BH | SEG11（Bパターン領域） | | | | SEG11（Aパターン領域） | | | | ○ | ○ |
| SEG12 | F040CH | SEG12（Bパターン領域） | | | | SEG12（Aパターン領域） | | | | ○ | ○ |
| SEG13 | F040DH | SEG13（Bパターン領域） | | | | SEG13（Aパターン領域） | | | | ○ | － |
| SEG14 | F040EH | SEG14（Bパターン領域） | | | | SEG14（Aパターン領域） | | | | ○ | － |
| SEG15 | F040FH | SEG15（Bパターン領域） | | | | SEG15（Aパターン領域） | | | | ○ | － |
| SEG16 | F0410H | SEG16（Bパターン領域） | | | | SEG16（Aパターン領域） | | | | ○ | ○ |
| SEG17 | F0411H | SEG17（Bパターン領域） | | | | SEG17（Aパターン領域） | | | | ○ | ○ |
| SEG18 | F0412H | SEG18（Bパターン領域） | | | | SEG18（Aパターン領域） | | | | ○ | ○ |
| SEG19 | F0413H | SEG19（Bパターン領域） | | | | SEG19（Aパターン領域） | | | | ○ | ○ |
| SEG20 | F0414H | SEG20（Bパターン領域） | | | | SEG20（Aパターン領域） | | | | ○ | ○ |
| SEG21 | F0415H | SEG21（Bパターン領域） | | | | SEG21（Aパターン領域） | | | | ○ | ○ |
| SEG22 | F0416H | SEG22（Bパターン領域） | | | | SEG22（Aパターン領域） | | | | ○ | ○ |
| SEG23 | F0417H | SEG23（Bパターン領域） | | | | SEG23（Aパターン領域） | | | | ○ | ○ |
| SEG24 | F0418H | SEG24（Bパターン領域） | | | | SEG24（Aパターン領域） | | | | ○ | － |
| SEG25 | F0419H | SEG25（Bパターン領域） | | | | SEG25（Aパターン領域） | | | | ○ | － |
| 使用禁止 | F041AH | 使用禁止 | | | | | | | | | |
| SEG26 | F041BH | SEG26（Bパターン領域） | | | | SEG26（Aパターン領域） | | | | ○ | － |
| SEG27 | F041CH | SEG27（Bパターン領域） | | | | SEG27（Aパターン領域） | | | | ○ | － |
| SEG28 | F041DH | SEG28（Bパターン領域） | | | | SEG28（Aパターン領域） | | | | ○ | － |
| SEG29 | F041EH | SEG29（Bパターン領域） | | | | SEG29（Aパターン領域） | | | | ○ | ○ |
| SEG30 | F041FH | SEG30（Bパターン領域） | | | | SEG30（Aパターン領域） | | | | ○ | － |
| SEG31 | F0420H | SEG31（Bパターン領域） | | | | SEG31（Aパターン領域） | | | | ○ | － |
| SEG32 | F0421H | SEG32（Bパターン領域） | | | | SEG32（Aパターン領域） | | | | ○ | － |

表16－10 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（2/4）

（a）8時分割以外（スタティック，2時分割，3時分割，4時分割）（2/2）

| レジスタ名 | アドレス | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 | 80-pin | 64-pin |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | COM7 | COM6 | COM5 | COM4 | COM3 | COM2 | COM1 | COM0 | | |
| SEG33 | F0422H | SEG33（Bパターン領域） | | | | SEG33（Aパターン領域） | | | | ○ | ○ |
| SEG34 | F0423H | SEG34（Bパターン領域） | | | | SEG34（Aパターン領域） | | | | ○ | ○ |
| SEG35 | F0424H | SEG35（Bパターン領域） | | | | SEG35（Aパターン領域） | | | | ○ | ○ |
| SEG36 | F0425H | SEG36（Bパターン領域） | | | | SEG36（Aパターン領域） | | | | ○ | ○ |
| SEG37 | F0426H | SEG37（Bパターン領域） | | | | SEG37（Aパターン領域） | | | | ○ | ○ |
| SEG38 | F0427H | SEG38（Bパターン領域） | | | | SEG38（Aパターン領域） | | | | ○ | ○ |
| SEG39 | F0428H | SEG39（Bパターン領域） | | | | SEG39（Aパターン領域） | | | | ○ | ○ |
| SEG40 | F0429H | SEG40（Bパターン領域） | | | | SEG40（Aパターン領域） | | | | ○ | ○ |
| SEG41 | F042AH | SEG41（Bパターン領域） | | | | SEG41（Aパターン領域） | | | | ○ | ○ |
| SEG42 | F042BH | SEG42（Bパターン領域） | | | | SEG42（Aパターン領域） | | | | ○ | ○ |
| SEG43 | F042CH | SEG43（Bパターン領域） | | | | SEG43（Aパターン領域） | | | | ○ | ○ |
| SEG44 | F042DH | SEG44（Bパターン領域） | | | | SEG44（Aパターン領域） | | | | ○ | ○ |
| SEG45 | F042EH | SEG45（Bパターン領域） | | | | SEG45（Aパターン領域） | | | | ○ | ○ |
| SEG46 | F042FH | SEG46（Bパターン領域） | | | | SEG46（Aパターン領域） | | | | ○ | ○ |
| SEG47 | F0430H | SEG47（Bパターン領域） | | | | SEG47（Aパターン領域） | | | | ○ | ○ |
| SEG48 | F0431H | SEG48（Bパターン領域） | | | | SEG48（Aパターン領域） | | | | ○ | ○ |
| SEG49 | F0432H | SEG49（Bパターン領域） | | | | SEG49（Aパターン領域） | | | | ○ | ○ |
| SEG50 | F0433H | SEG50（Bパターン領域） | | | | SEG50（Aパターン領域） | | | | ○ | ○ |

**備考** ○：サポートする －：サポートしない

表16－10 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（3/4）

（b）8時分割（1/2）

| レジスタ名 | アドレス | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 | 80-pin | 64-pin |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | COM7 | COM6 | COM5 | COM4 | COM3 | COM2 | COM1 | COM0 | | |
| SEG0 | F0400H | SEG0[注] | | | | | | | | ○ | ○ |
| SEG1 | F0401H | SEG1[注] | | | | | | | | ○ | ○ |
| SEG2 | F0402H | SEG2[注] | | | | | | | | ○ | ○ |
| SEG3 | F0403H | SEG3[注] | | | | | | | | ○ | ○ |
| SEG4 | F0404H | SEG4 | | | | | | | | ○ | － |
| SEG5 | F0405H | SEG5 | | | | | | | | ○ | － |
| SEG6 | F0406H | SEG6 | | | | | | | | ○ | ○ |
| SEG7 | F0407H | SEG7 | | | | | | | | ○ | ○ |
| SEG8 | F0408H | SEG8 | | | | | | | | ○ | ○ |
| SEG9 | F0409H | SEG9 | | | | | | | | ○ | － |
| SEG10 | F040AH | SEG10 | | | | | | | | ○ | － |
| SEG11 | F040BH | SEG11 | | | | | | | | ○ | ○ |
| SEG12 | F040CH | SEG12 | | | | | | | | ○ | ○ |
| SEG13 | F040DH | SEG13 | | | | | | | | ○ | － |
| SEG14 | F040EH | SEG14 | | | | | | | | ○ | － |
| SEG15 | F040FH | SEG15 | | | | | | | | ○ | － |
| SEG16 | F0410H | SEG16 | | | | | | | | ○ | ○ |
| SEG17 | F0411H | SEG17 | | | | | | | | ○ | ○ |
| SEG18 | F0412H | SEG18 | | | | | | | | ○ | ○ |
| SEG19 | F0413H | SEG19 | | | | | | | | ○ | ○ |
| SEG20 | F0414H | SEG20 | | | | | | | | ○ | ○ |
| SEG21 | F0415H | SEG21 | | | | | | | | ○ | ○ |
| SEG22 | F0416H | SEG22 | | | | | | | | ○ | ○ |
| SEG23 | F0417H | SEG23 | | | | | | | | ○ | ○ |
| SEG24 | F0418H | SEG24 | | | | | | | | ○ | － |
| SEG25 | F0419H | SEG25 | | | | | | | | ○ | － |
| 使用禁止 | F041AH | 使用禁止 | | | | | | | | | |
| SEG26 | F041BH | SEG26 | | | | | | | | ○ | － |
| SEG27 | F041CH | SEG27 | | | | | | | | ○ | － |
| SEG28 | F041DH | SEG28 | | | | | | | | ○ | － |
| SEG29 | F041EH | SEG29 | | | | | | | | ○ | ○ |
| SEG30 | F041FH | SEG30 | | | | | | | | ○ | － |
| SEG31 | F0420H | SEG31 | | | | | | | | ○ | － |
| SEG32 | F0421H | SEG32 | | | | | | | | ○ | － |
| SEG33 | F0422H | SEG33 | | | | | | | | ○ | ○ |
| SEG34 | F0423H | SEG34 | | | | | | | | ○ | ○ |
| SEG35 | F0424H | SEG35 | | | | | | | | ○ | ○ |
| SEG36 | F0425H | SEG36 | | | | | | | | ○ | ○ |
| SEG37 | F0426H | SEG37 | | | | | | | | ○ | ○ |
| SEG38 | F0427H | SEG38 | | | | | | | | ○ | ○ |
| SEG39 | F0428H | SEG39 | | | | | | | | ○ | ○ |

表16－10　LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係（4/4）

（b）8時分割（2/2）

| レジスタ名 | アドレス | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 | 80-pin | 64-pin |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | COM7 | COM6 | COM5 | COM4 | COM3 | COM2 | COM1 | COM0 | | |
| SEG40 | F0429H | SEG40 | | | | | | | | ○ | ○ |
| SEG41 | F042AH | SEG41 | | | | | | | | ○ | ○ |
| SEG42 | F042BH | SEG42 | | | | | | | | ○ | ○ |
| SEG43 | F042CH | SEG43 | | | | | | | | ○ | ○ |
| SEG44 | F042DH | SEG44 | | | | | | | | ○ | ○ |
| SEG45 | F042EH | SEG45 | | | | | | | | ○ | ○ |
| SEG46 | F042FH | SEG46 | | | | | | | | ○ | ○ |
| SEG47 | F0430H | SEG47 | | | | | | | | ○ | ○ |
| SEG48 | F0431H | SEG48 | | | | | | | | ○ | ○ |
| SEG49 | F0432H | SEG49 | | | | | | | | ○ | ○ |
| SEG50 | F0433H | SEG50 | | | | | | | | ○ | ○ |

**注**　COM4-COM7端子とSEG0-SEG3端子は兼用しています。

**備考**　○：サポートする　－：サポートしない

スタティック，2時分割，3時分割，または4時分割で使用する場合，LCD表示データ・レジスタの各アドレスの下位4ビットはAパターン領域，上位4ビットはBパターン領域となります。

Aパターン領域のデータとCOM信号の対応は，ビット0⇔COM0，ビット1⇔COM1，ビット2⇔COM2，ビット3⇔COM3となります。

Bパターン領域のデータとCOM信号の対応は，ビット4⇔COM0，ビット5⇔COM1，ビット6⇔COM2，ビット7⇔COM3となります。

BLON = LCDSEL = 0選択時にはAパターン領域のデータを，BLON = 0, LCDSEL=1選択時には，Bパターン領域のデータを，LCDパネルに表示します。

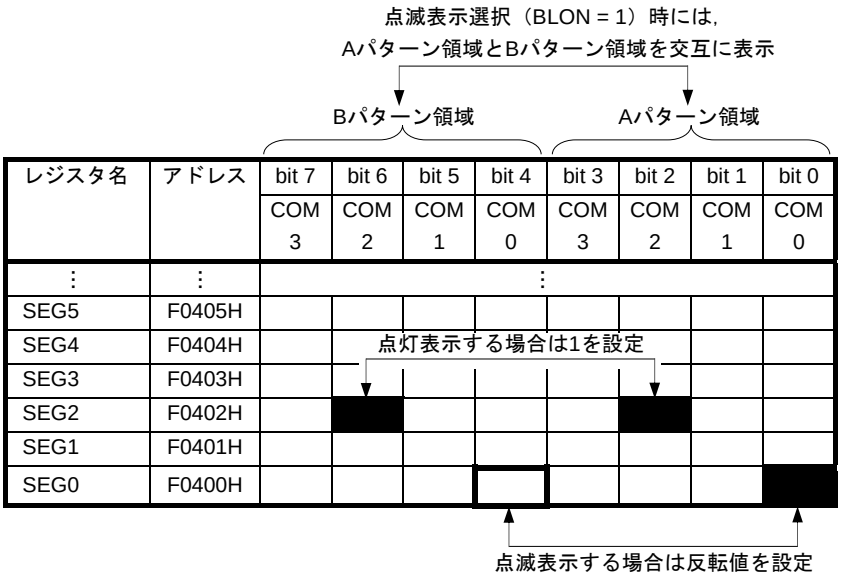
## 16. 5　LCD表示レジスタの選択

RL78/L13では，スタティック，2時分割，3時分割，または4時分割で使用する場合，BLONビットとLCDSELビットの設定により，LCD表示データ・レジスタを次の3種類から選択することができます。

・Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータ表示
・Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータ表示
・Aパターン領域とBパターン領域のデータを交互に表示（リアルタイム・クロック2（RTC2）の定周期割り込みタイミングに対応した点滅表示）

**注意　8時分割使用時は，LCD表示データ・レジスタ（Aパターン，Bパターンまたは点滅表示）を選択することはできません。**

図16－14　パターン切り替え表示時のLCD表示レジスタの設定例




| レジスタ名 | アドレス | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
|---|---|---|---|---|---|---|---|---|---|
| | | COM 3 | COM 2 | COM 1 | COM 0 | COM 3 | COM 2 | COM 1 | COM 0 |
| ⋮ | ⋮ | ⋮ | | | | | | | |
| SEG5 | F0405H | | | | | | | | |
| SEG4 | F0404H | | | | | | | | |
| SEG3 | F0403H | | | | | | | | |
| SEG2 | F0402H | | ■ | | | | ■ | | |
| SEG1 | F0401H | | | | | | | | |
| SEG0 | F0400H | | | | □ | | | | ■ |

### 16. 5. 1　Aパターン領域，Bパターン領域のデータ表示

BLON = LCDSEL =0設定時では，Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータがLCD表示レジスタとして出力されます。

BLON = 0, LCDSEL =1設定時では，Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータがLCD表示レジスタとして出力されます。

表示領域については，**16. 4　LCD表示データ・レジスタ**を参照してください。

### 16. 5. 2　点滅表示（Aパターン領域とBパターン領域のデータを交互に表示）

BLON = 1設定時では，リアルタイム・クロック2（RTC2）の定周期割り込み（INTRTC）タイミングに対応して，Aパターン領域とBパターン領域のデータを交互に表示します。RTCの定周期割り込み（INTRTC，0.5 s設定のみ）タイミングの設定については，第8章　リアルタイム・クロック2を参照してください。

LCDを点滅表示する場合，Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください（ex.　F0400Hのビット0に1を設定し，点滅表示する場合は，F0400Hのビット4に0を設定）。また，LCDを点滅表示しない場合は，同値を設定してください（ex.　F0402Hのビット2に1を設定し，点灯表示する場合は，F0402Hのビット6に1を設定）。

表示領域については，**16. 4　LCD表示データ・レジスタ**を参照してください。

次に，表示切り替えのタイミング動作を示します。

図16－15　Aパターン表示から点滅表示への切り替え動作

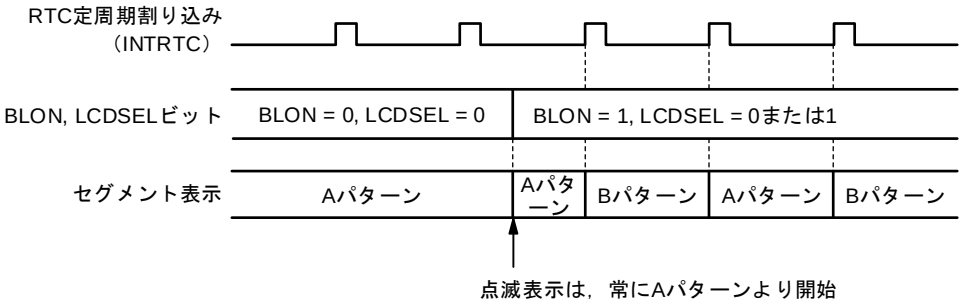
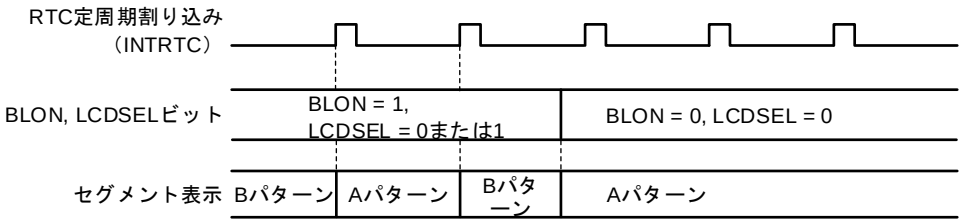



図16－16　点滅表示からAパターン表示への切り替え動作



# 16. 6　LCDコントローラ／ドライバの設定

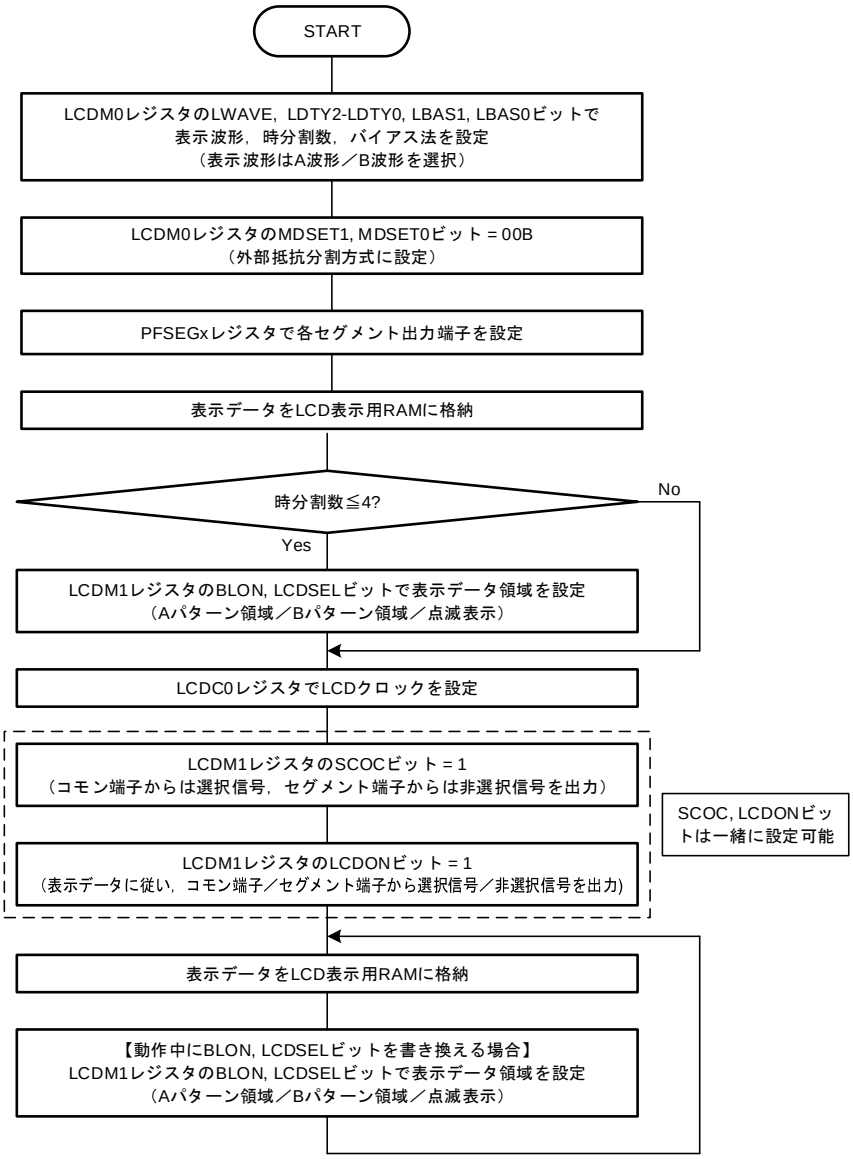
LCDコントローラ／ドライバの設定は，次のように行ってください。

**注意1.　LCDコントローラ／ドライバを動作させる場合は，必ず（1）-（3）の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。**

**2.　（1）-（3）の設定手順は全てCPUの処理となっています。**

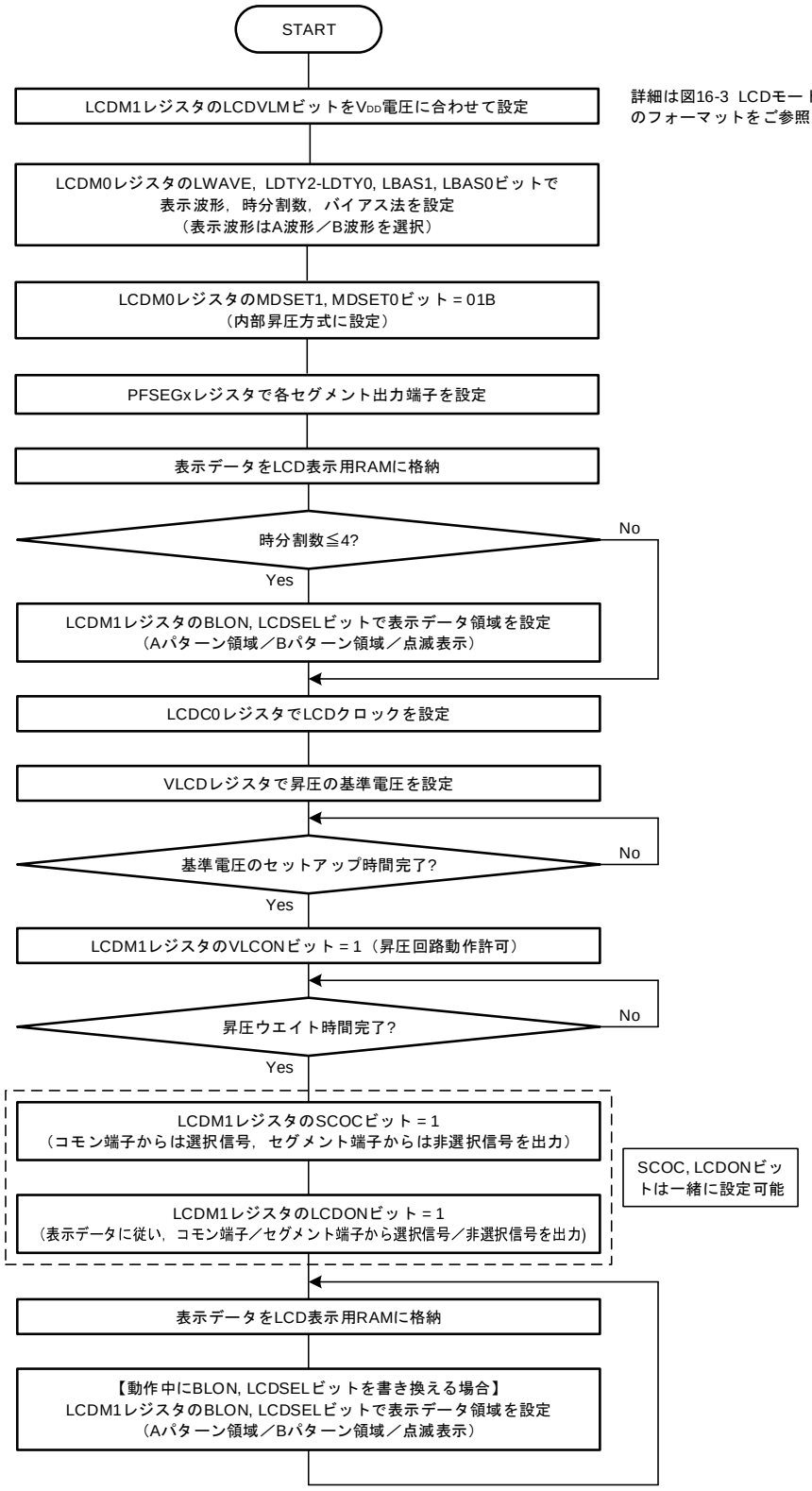
（1）外部抵抗分割方式

図16－17　外部抵抗分割方式の設定手順



（2）内部昇圧方式

図16－18　内部昇圧方式の設定手順

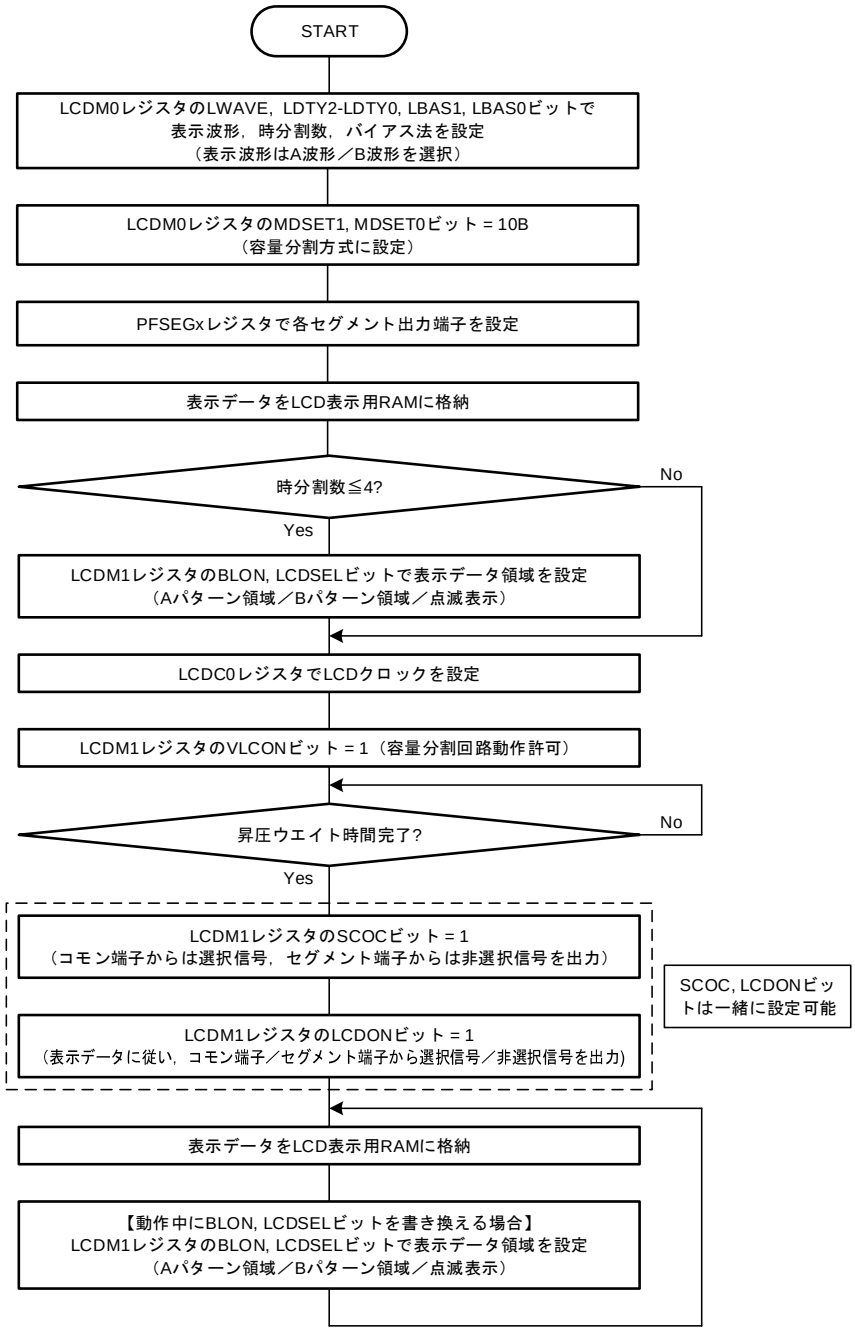



**注意1.　VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。**

**2.　基準電圧セットアップ時間，および昇圧ウエイト時間のスペックについては，電気的特性の章を参照してください。**

（3）容量分割方式

図16－19　容量分割方式の設定手順



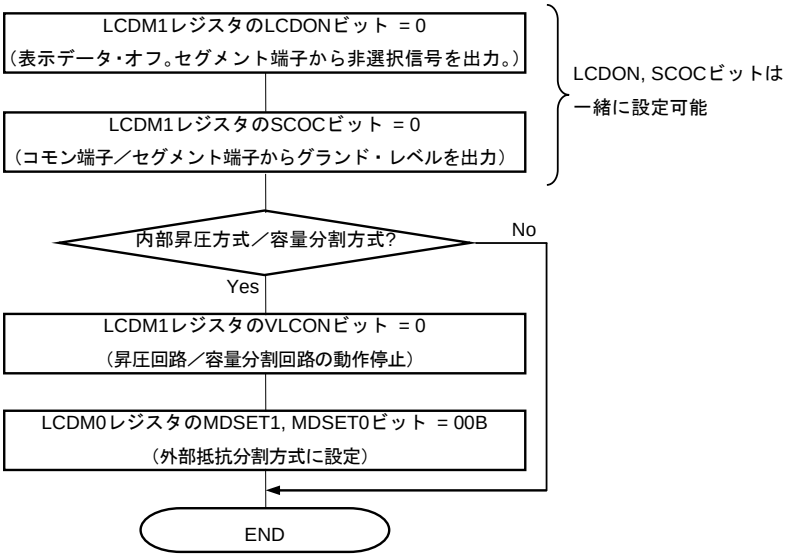

**注意　昇圧ウエイト時間のスペックについては，電気的特性の章を参照してください。**

## 16. 7　動作停止手順

LCDパネル表示中に動作を停止させたい場合は，次に示すフロー・チャートの設定で行ってください。

LCDM1レジスタのLCDONビット = 0かつLCDM1レジスタのSCOCビット = 0に設定することで，LCDの動作は停止します。

図16－20　動作停止手順




**注意　表示オン状態（LCDM1レジスタのSCOC, LCDONビット = 11B）で，昇圧／容量分割回路を停止すること（LCDM1レジスタのVLCONビット = 0）は禁止です。設定した場合の動作は保証しません。必ず表示オフ（LCDM1レジスタのSCOC, LCDONビット = 10B）にしてから昇圧／容量分割回路を停止（LCDM1レジスタのVLCONビット = 0）してください。**

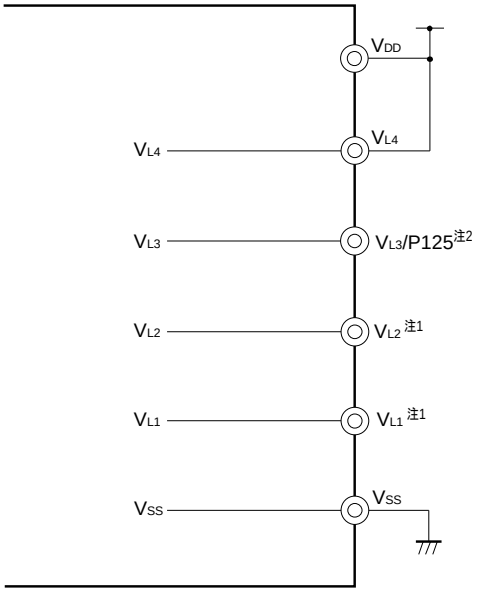
# 16. 8　LCD駆動電圧$V_{L1}$, $V_{L2}$, $V_{L3}$, $V_{L4}$の供給

## 16. 8. 1　外部抵抗分割方式

図16－21に各バイアス法に応じたLCD駆動電圧の接続例を示します。

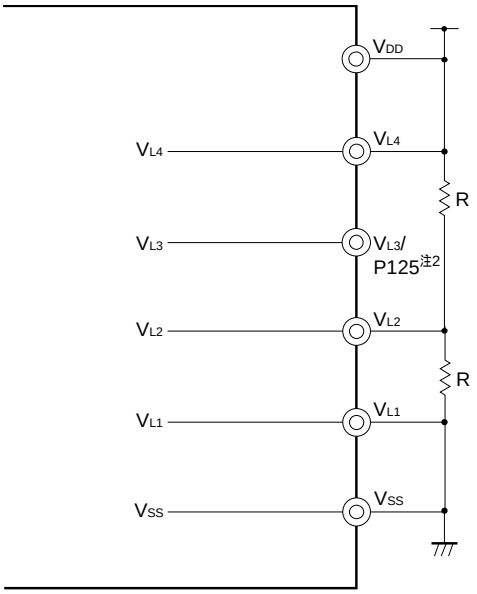
図16－21　LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）

（a）スタティック表示モード




$V_{L4} = V_{DD}$

（b）1/2バイアス法



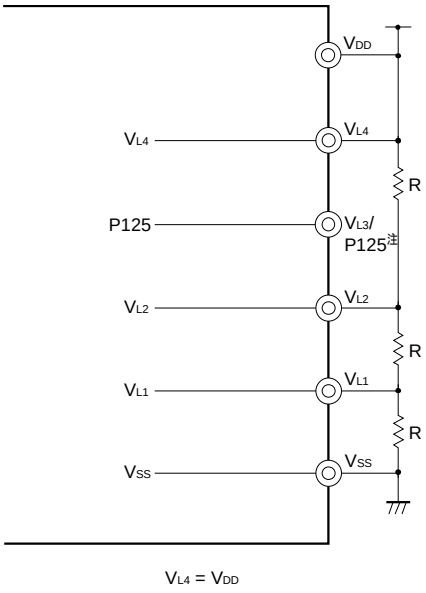

$V_{L4} = V_{DD}$

**注1.**　$V_{L1}$,$V_{L2}$は，GNDもしくはオープンにしてください。

**2.**　$V_{L3}$は，ポート（P125）として使用できます。

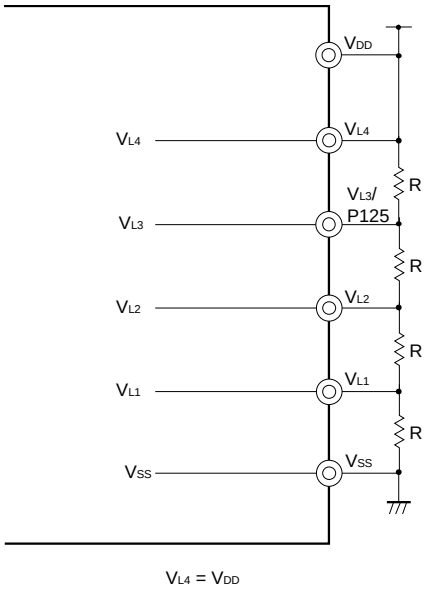
図16－21　LCD駆動用電源の接続例（外部抵抗分割方式）（2/2）

（c）1/3バイアス法




VL4 = VDD

（d）1/4バイアス法




VL4 = VDD

**注**　VL3は，ポート（P125）として使用できます。

**注意　外部抵抗分解用抵抗Rの参考値は、10 kΩ～1 MΩです。またVL1-VL4端子の電位を安定させる場合には，必要に応じて，VL1-VL4端子－GND間にコンデンサを接続してください。これらの参考値は，0.22 μF程度です。使用するLCDパネル，セグメント端子数，コモン端子数，フレーム周波数，使用環境に依存します。システムに合わせた評価を十分に行った上で，値を調整して決定してください。**

## 16. 8. 2　内部昇圧方式

RL78/L13は，LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ（0.47 μF ±30%）により，LCD駆動電圧を生成します。内部昇圧方式は，1/3バイアス法または1/4バイアス法のみ使用できます。

内部昇圧方式のLCD駆動電圧は，本体とは別の電源なので，VDDの変化に関わらず，一定の電圧を供給できます。

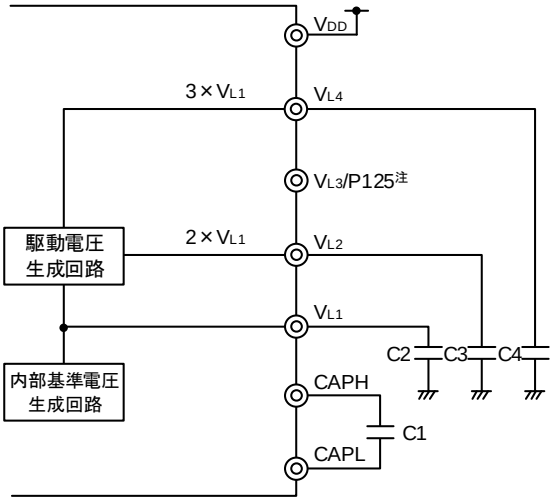
また，LCD昇圧制御レジスタ（VLCD）の設定により，コントラストを調整することができます。

表16－11　LCD駆動電圧（内部昇圧方式）

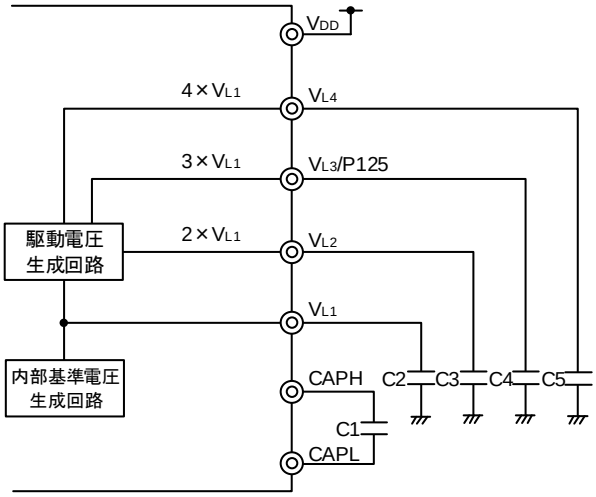
| 表示モード / LCD駆動用電源端子 | 1/3バイアス法 | 1/4バイアス法 |
|---|---|---|
| VL4 | 3×VL1 | 4×VL1 |
| VL3 | － | 3×VL1 |
| VL2 | 2×VL1 | 2×VL1 |
| VL1 | LCD基準電圧 | LCD基準電圧 |

図16－22　LCD駆動用電源の接続例（内部昇圧方式）

（a）1/3バイアス法




（b）1/4バイアス法




**注**　$V_{L3}$は，ポート（P125）として使用できます。

**備考**　なるべくリークの少ないコンデンサをご使用ください。
なお，C1は無極性コンデンサにしてください。

## 16. 8. 3　容量分割方式

RL78/L13は, LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ（0.47 μF ±30%）により，LCD駆動電圧を生成します。容量分割方式は，1/3バイアス法のみ使用できます。

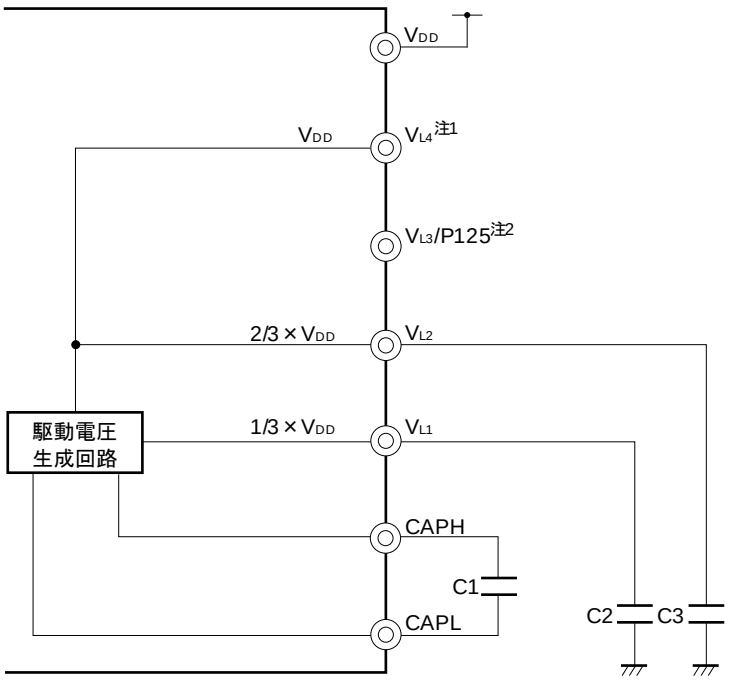
外部抵抗分割方式とは異なり，容量分割方式では常時電流が流れないため，消費電流を低減することができます。

表16－12　LCD駆動電圧（容量分割方式）

| 表示モード / LCD駆動用電源端子 | 1/3バイアス法 |
|---|---|
| $V_{L4}$ | $V_{DD}$ |
| $V_{L3}$ | － |
| $V_{L2}$ | $2/3 \times V_{L4}$ |
| $V_{L1}$ | $1/3 \times V_{L4}$ |

図16－23　LCD駆動用電源の接続例（容量分割方式）

・1/3バイアス法




**注1.**　内部昇圧方式に切り替えて使用する場合は，**図16－22　LCD駆動用電源の接続例（内部昇圧方式）**のようにコンデンサC4を接続してください。

**2.**　$V_{L3}$は，ポート（P125）として使用できます。

**備考**　なるべくリークの少ないコンデンサをご使用ください。
なお，C1は無極性コンデンサにしてください。

# 16. 9　コモン信号とセグメント信号

LCDパネルの各画素は，それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧$V_{LCD}$）以上になると点灯します。$V_{LCD}$以下の電位差になると消灯します。

LCDパネルは，コモン信号とセグメント信号にDC電圧が加えられると劣化するため，AC電圧によって駆動されます。

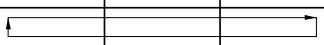
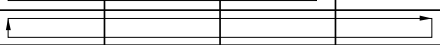
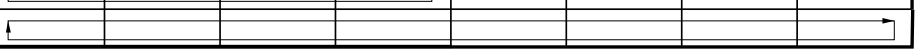
（1）コモン信号

コモン信号は，設定する時分割数に応じて表16－13に示す順序で選択タイミングとなり，それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお，2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は，オープンにして使用してください。

また，8時分割以外の場合のCOM4-COM7端子は，オープンまたはセグメント端子として使用してください。

表16－13　COM信号

| COM信号 / 時分割数 | COM0 | COM1 | COM2 | COM3 | COM4 | COM5 | COM6 | COM7 |
|---|---|---|---|---|---|---|---|---|
| スタティック |  |  |  |  | 注 | 注 | 注 | 注 |
| 2 時分割 |  | | オープン | オープン | 注 | 注 | 注 | 注 |
| 3 時分割 |  | | | オープン | 注 | 注 | 注 | 注 |
| 4 時分割 |  | | | | 注 | 注 | 注 | 注 |
| 8 時分割 |  | | | | | | | |

**注**　オープン，またはセグメント端子として使用してください。

（2）セグメント信号

セグメント信号は，LCD表示データ・レジスタ（**16. 4　LCD表示データ・レジスタ**参照）に対応しています。

8時分割方式で使用する場合，各表示データ・レジスタのビット0からビット7が，COM0からCOM7に対応します。コモン信号出力の各タイミングに同期して，データ・メモリのデータが読み出され，各ビットの内容が1なら選択電圧に変換され，0なら非選択電圧に変換されてセグメント端子（SEG4-SEG50）に出力されます。

8時分割方式以外で使用する場合，Aパターン領域では，各表示データ・レジスタのビット0からビット3がCOM0からCOM3に，Bパターン領域では，各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して，データ・メモリのデータが読み出され，各ビットの内容が1なら選択電圧に変換され，0なら非選択電圧に変換されてセグメント端子（SEG0-SEG50）に出力されます。

以上のことから，LCD表示データ・レジスタには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかを確認のうえ，表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

**備考**　搭載するセグメント端子は，製品により異なります。

・64ピン製品：　SEG0-SEG3，　SEG6-SEG8，　SEG11，　SEG12，　SEG16-SEG23，　SEG29，SEG33-SEG50

・80ピン製品：　SEG0-SEG50

（3）コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表16－14に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ±$V_{LCD}$の点灯電圧となり，それ以外の組み合わせでは消灯電圧となります。

表16－14　LCD駆動電圧

（a）スタティック表示モード

| コモン信号＼セグメント信号 | 選択信号レベル | 非選択信号レベル |
|---|---|---|
| | $V_{SS}/V_{L4}$ | $V_{L4}/V_{SS}$ |
| $V_{L4}/V_{SS}$ | $-V_{LCD}/+V_{LCD}$ | 0 V/0 V |

（b）1/2バイアス法

| コモン信号＼セグメント信号 | | 選択信号レベル | 非選択信号レベル |
|---|---|---|---|
| | | $V_{SS}/V_{L4}$ | $V_{L4}/V_{SS}$ |
| 選択信号レベル | $V_{L4}/V_{SS}$ | $-V_{LCD}/+V_{LCD}$ | 0 V/0 V |
| 非選択信号レベル | $V_{L2}$ | $-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$ | $+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$ |

（c）1/3バイアス法（A波形，B波形）

| コモン信号＼セグメント信号 | | 選択信号レベル | 非選択信号レベル |
|---|---|---|---|
| | | $V_{SS}/V_{L4}$ | $V_{L2}/V_{L1}$ |
| 選択信号レベル | $V_{L4}/V_{SS}$ | $-V_{LCD}/+V_{LCD}$ | $-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$ |
| 非選択信号レベル | $V_{L1}/V_{L2}$ | $-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$ | $+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$ |

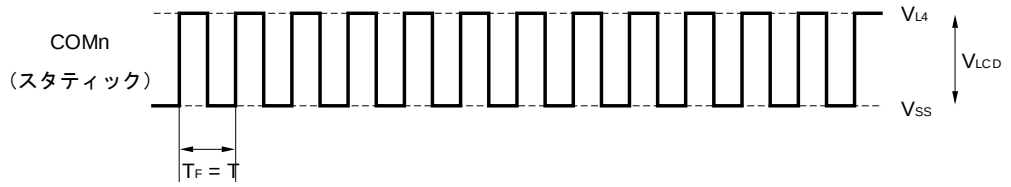
（d）1/4バイアス法（A波形，B波形）

| コモン信号＼セグメント信号 | | 選択信号レベル | 非選択信号レベル |
|---|---|---|---|
| | | $V_{SS}/V_{L4}$ | $V_{L2}$ |
| 選択信号レベル | $V_{L4}/V_{SS}$ | $-V_{LCD}/+V_{LCD}$ | $-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$ |
| 非選択信号レベル | $V_{L1}/V_{L3}$ | $-\frac{1}{4}V_{LCD}/+\frac{1}{4}V_{LCD}$ | $+\frac{1}{4}V_{LCD}/-\frac{1}{4}V_{LCD}$ |

図16－24にコモン信号波形を，図16－25にコモン信号とセグメント信号の電圧と位相を示します。

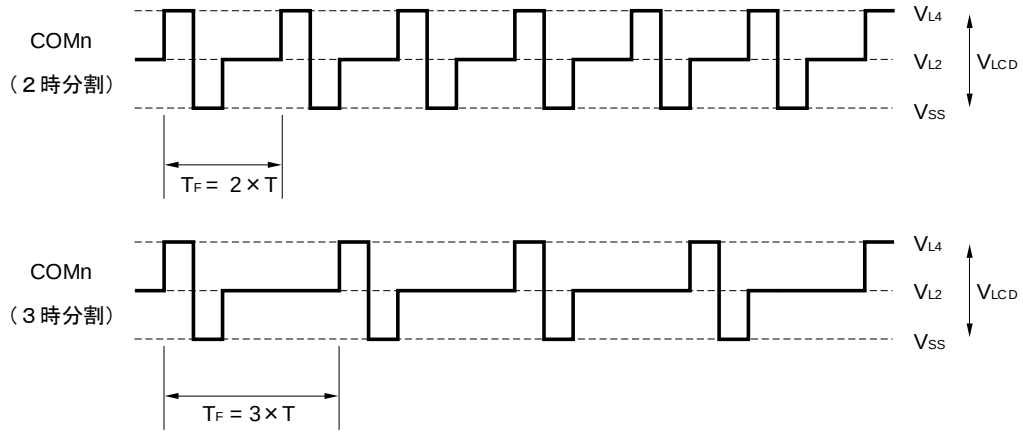
図16－24　コモン信号波形（1/2）

（a）スタティック表示モード




T：LCDクロックの1周期分　　TF：フレーム周波数

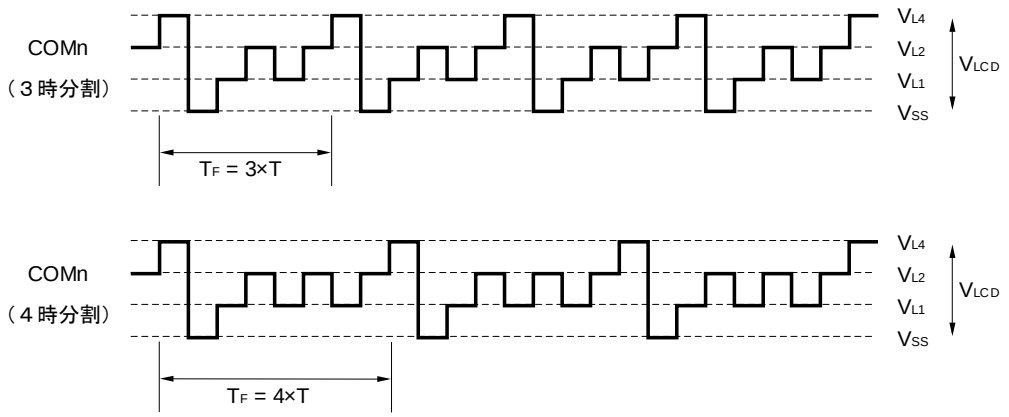
（b）1/2バイアス法




T：LCDクロックの1周期分　　TF：フレーム周波数

図16－24　コモン信号波形（2/2）

（c）1/3バイアス法



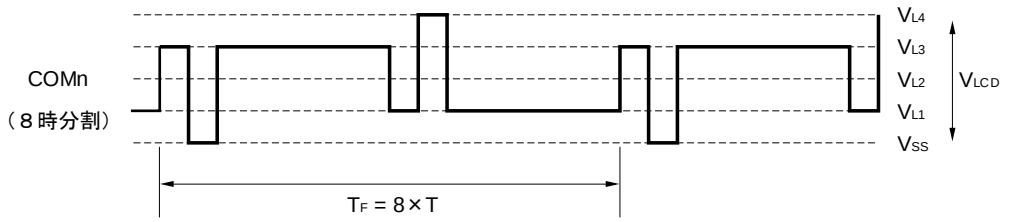

T：LCDクロックの1周期分　　$T_F$：フレーム周波数

＜LCDフレーム周波数の算出例（4時分割使用時）＞

LCDクロック　　：32768/$2^7$ = 256 Hz　（LCDC0 = 06H設定時）

LCDフレーム周波数　：64 Hz

（d）1/4バイアス法




T：LCDクロックの1周期分　　$T_F$：フレーム周波数

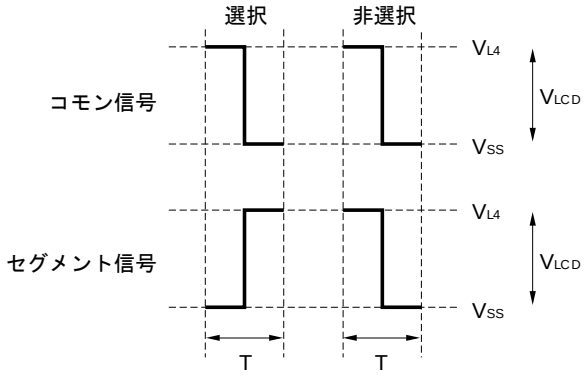
＜LCDフレーム周波数の算出例（8時分割使用時）＞

LCDクロック　　：32768/$2^7$ = 256 Hz　（LCDC0 = 06H設定時）

LCDフレーム周波数　：32 Hz

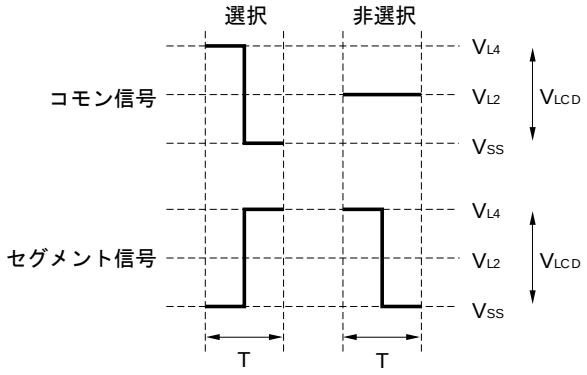
図16－25　コモン信号とセグメント信号の電圧と位相（1/3）

（a）スタティック表示モード（A波形）




T：LCDクロックの1周期分

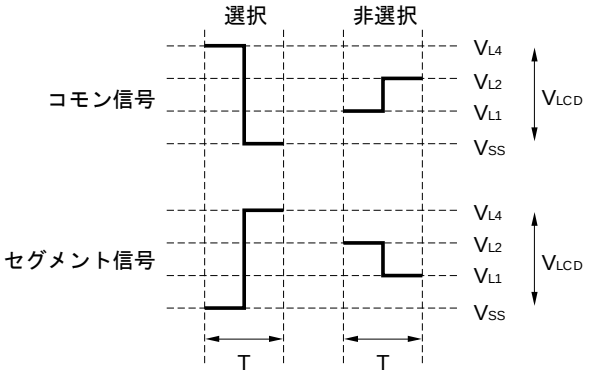
（b）1/2バイアス法（A波形）




T：LCDクロックの1周期分

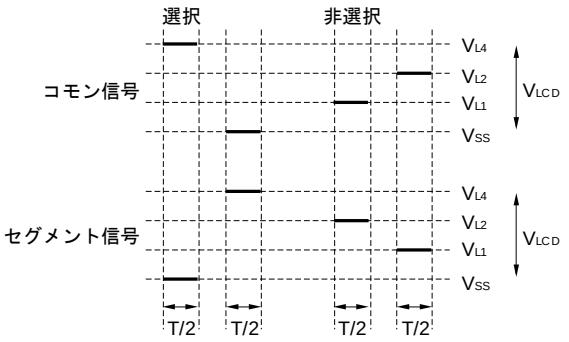
図16－25　コモン信号とセグメント信号の電圧と位相（2/3）

（c）1/3バイアス法（A波形）




T：LCDクロックの1周期分

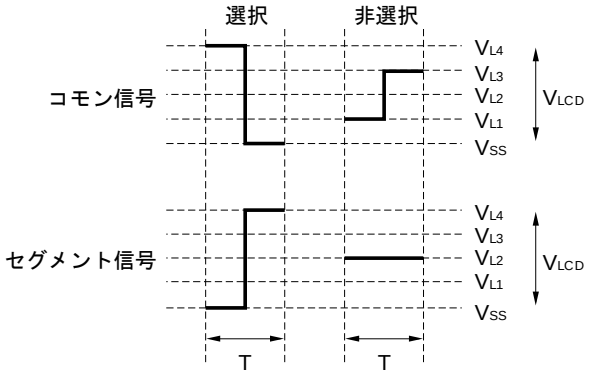
（d）1/3バイアス法（B波形）




T：LCDクロックの1周期分

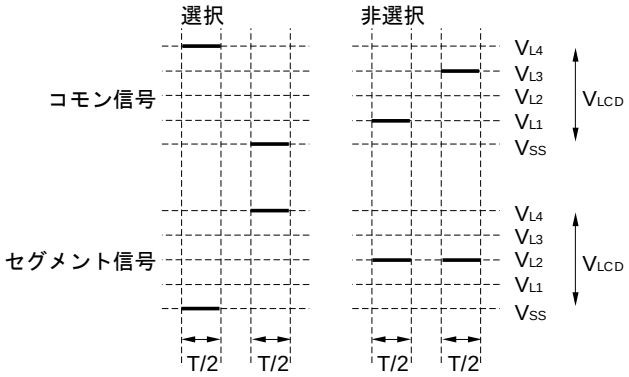
図16－25　コモン信号とセグメント信号の電圧と位相（3/3）

（e）1/4バイアス法（A波形）




T：LCDクロックの1周期分

（f）1/4バイアス法（B波形）




T：LCDクロックの1周期分

# 16. 10　表示モード

## 16. 10. 1　スタティック表示例

**図16－27**は，**図16－26**の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0）との接続を示します。表示例は12.3で，表示データ・レジスタ（F0400H-F0417H）の内容はこれに対応しています。

ここでは2桁目の2.（2.）を例にとって説明します。図16－26の表示パターンに従って，COM0のコモン信号のタイミングで表16－15に示すような選択，非選択電圧をSEG8-SEG15端子に出力する必要があります。

表16－15　選択，非選択電圧（COM0）

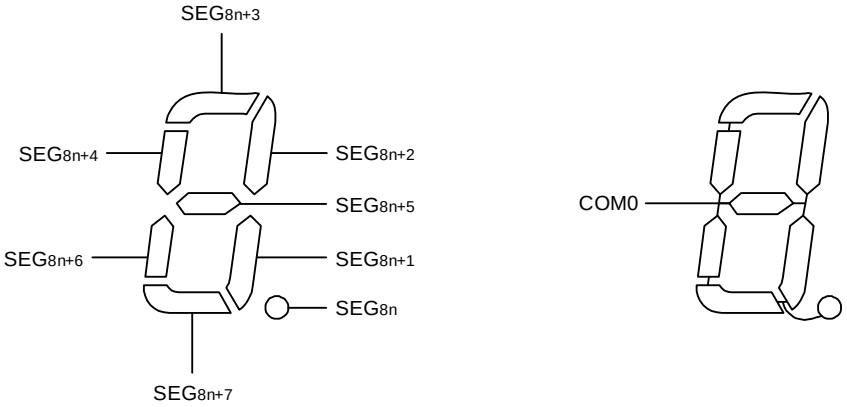
| セグメント／コモン | SEG8 | SEG9 | SEG10 | SEG11 | SEG12 | SEG13 | SEG14 | SEG15 |
|---|---|---|---|---|---|---|---|---|
| COM0 | 選 | 非 | 選 | 選 | 非 | 選 | 選 | 選 |

これによりSEG8-SEG15に対応する表示データ・レジスタ（F0408H-F040FH）のビット0には，10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を**図16－28**に示します。COM0との選択タイミングでSEG11が選択電圧になるときに，LCD点灯レベルである＋$V_{LCD}$/－$V_{LCD}$の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので，COM0-COM3を接続してドライブ能力を上げることができます。

図16－26　スタティックLCDの表示パターンと電極結線




**備考**　80ピン製品　　：n = 0-5

図16－27　スタティックLCDパネルの結線例

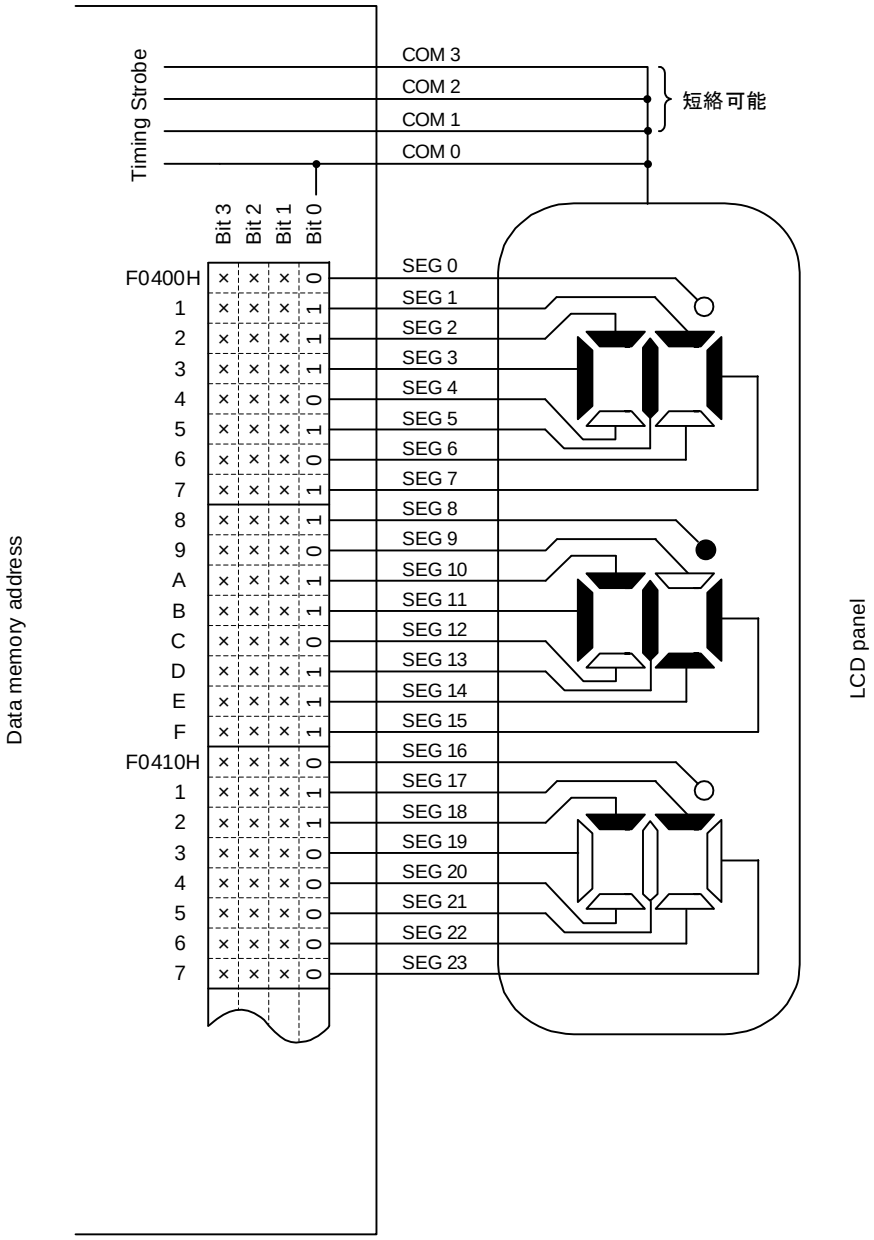
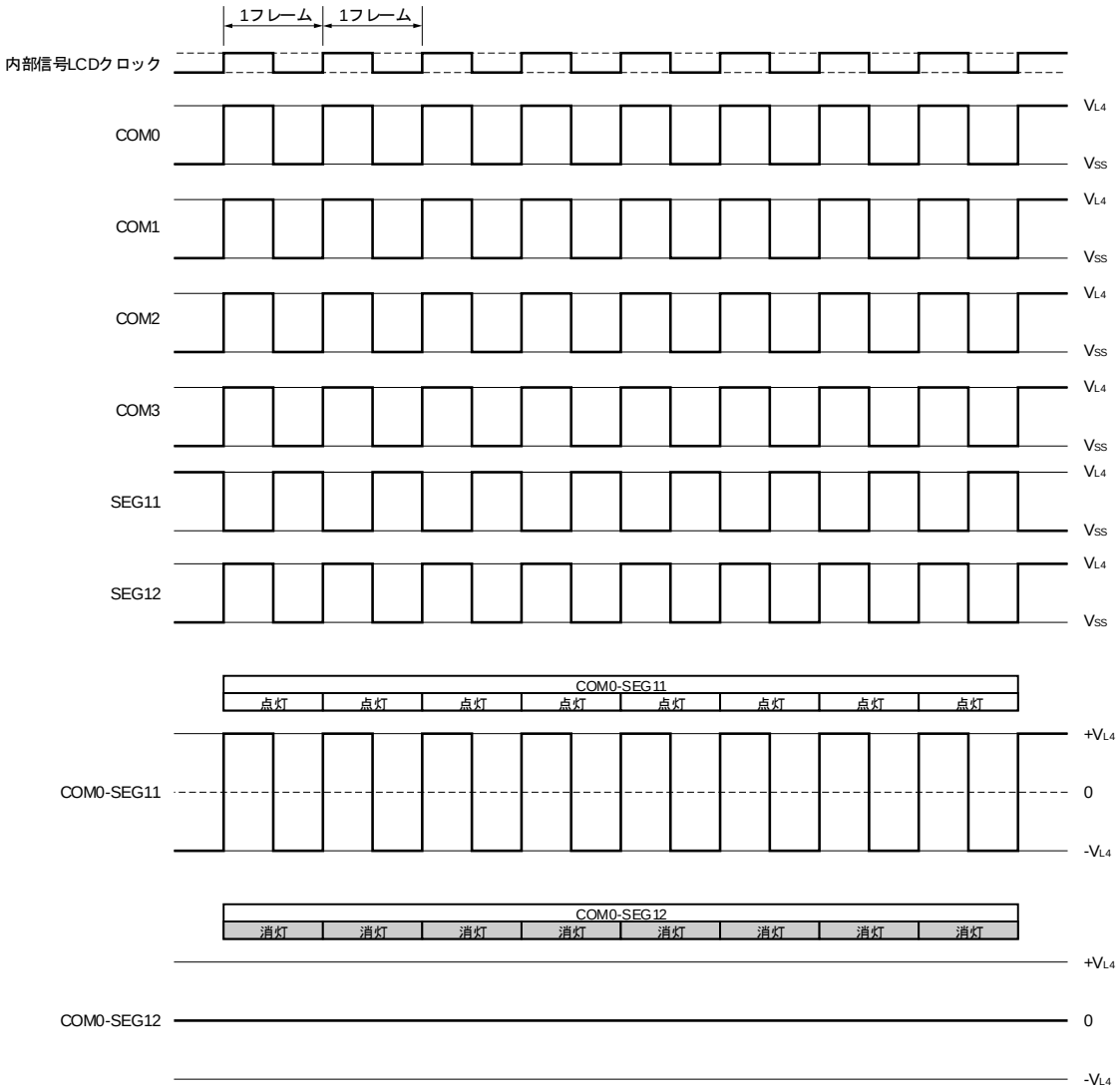


図16－28　SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



## 16. 10. 2　2時分割表示例

**図16－30**は，**図16－29**の表示パターンを持つ2時分割方式の6桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0, COM1）との接続を示します。表示例は12345.6で，表示データ・レジスタ（F0400H-F0417H）の内容はそれらに対応しています。

ここでは4桁目の3（3）を例にとって説明します。**図16－29**の表示パターンに従って，COM0, COM1の各コモン信号のタイミングで表16－16に示すような選択，非選択電圧をSEG12-SEG15端子に出力する必要があります。

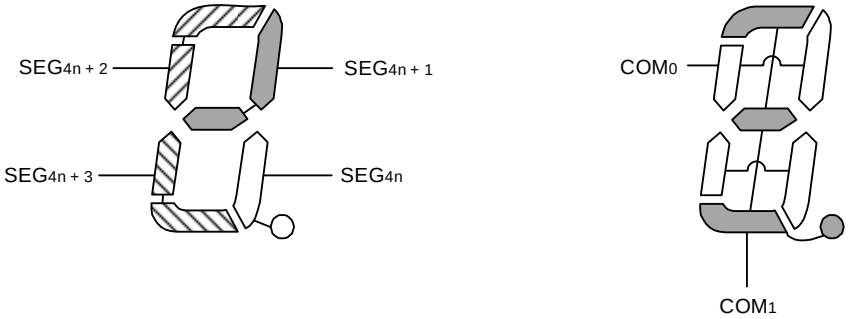
表16－16　選択，非選択電圧（COM0, COM1）

| セグメント／コモン | SEG12 | SEG13 | SEG14 | SEG15 |
|---|---|---|---|---|
| COM0 | 選 | 選 | 非 | 非 |
| COM1 | 非 | 選 | 選 | 選 |

これにより，たとえばSEG15に対応する表示データ・レジスタ（F040FH番地）には，××10を用意すればよいことが分かります。

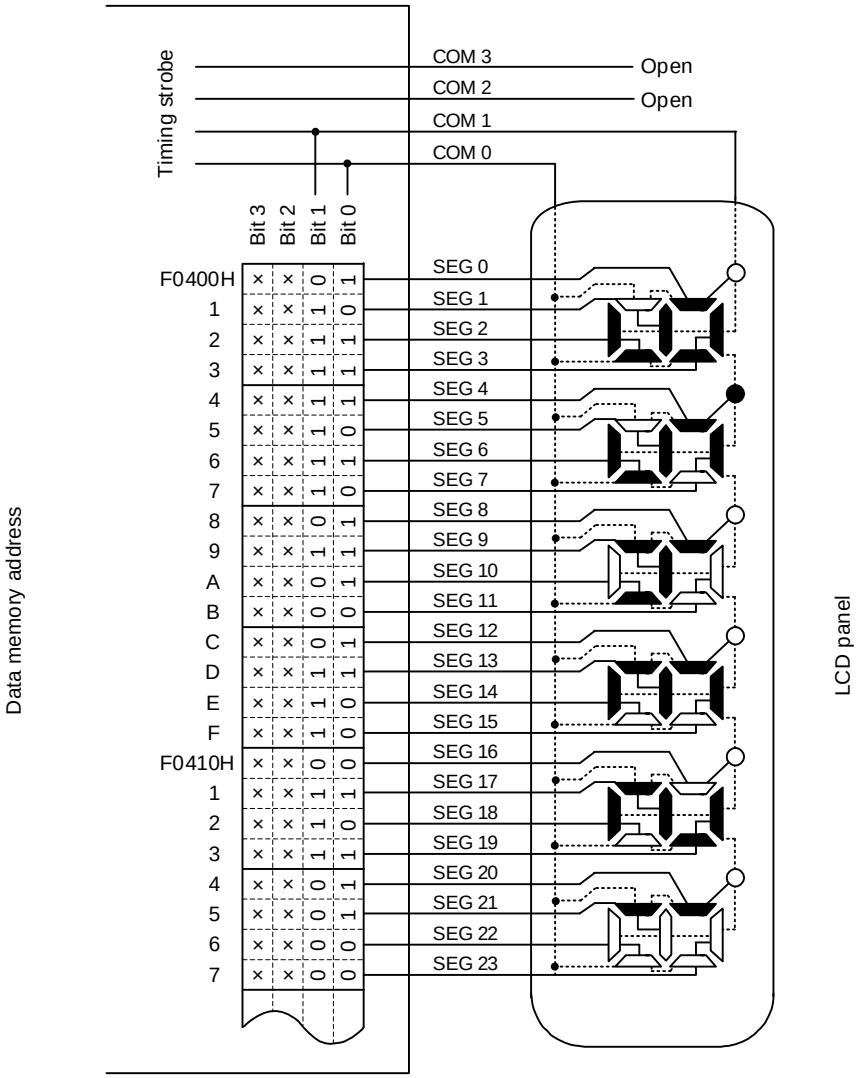
SEG15と各コモン信号間のLCD駆動波形例を**図16－31**に示します。COM1の選択タイミングでSEG15が選択電圧のときに，LCD点灯レベルである＋$V_{LCD}$/－$V_{LCD}$の交流矩形波が発生することが分かります。

図16－29　2時分割LCD表示パターンと電極結線



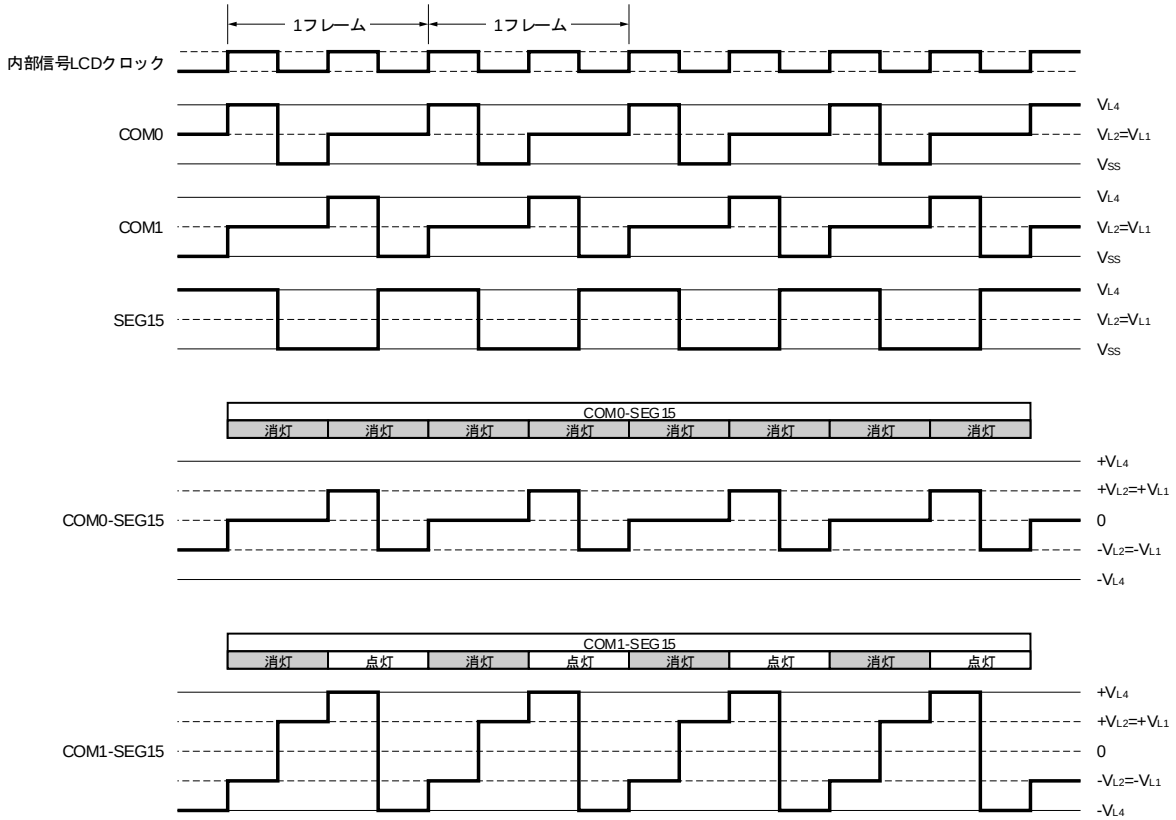

**備考**　80ピン製品　　：n = 0-12

図16－30　2時分割LCDパネルの結線例




×：2時分割表示のため，常に任意のデータをストア可能です。

図16－31　SEG15と各コモン信号間の2時分割LCD駆動波形例（1/2バイアス法）



## 16. 10. 3　3時分割表示例

**図16－33**は，**図16－32**の表示パターンを持つ3時分割方式の8桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0-COM2）との接続を示します。表示例は123456.78で，表示データ・レジスタ（F0400H-F0417H）の内容はこれに対応しています。

ここでは3桁目の6.（5.）を例にとって説明します。**図16－32**の表示パターンに従って，COM0-COM2の各コモン信号のタイミングで**表16－17**に示すような選択，非選択電圧をSEG6-SEG8端子に出力する必要があります。

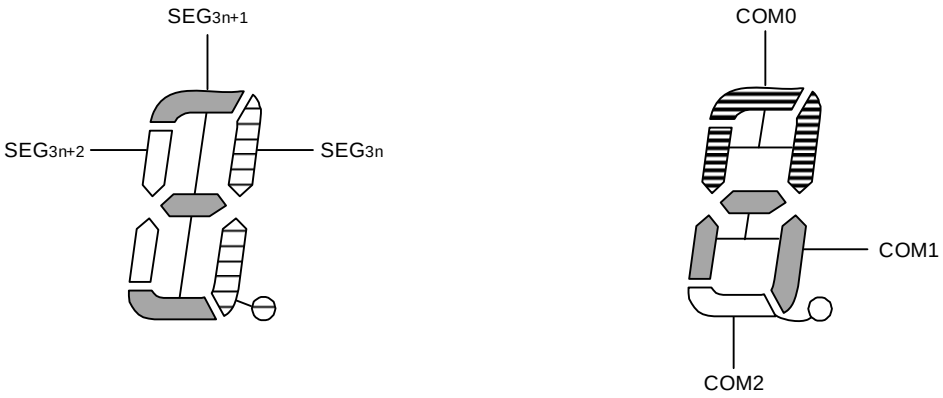
表16－17　選択，非選択電圧（COM0-COM2）

| セグメント／コモン | SEG6 | SEG7 | SEG8 |
|---|---|---|---|
| COM0 | 非 | 選 | 選 |
| COM1 | 選 | 選 | 選 |
| COM2 | 選 | 選 | — |

これによりSEG6に対応する表示データ・レジスタ（F0406H番地）には，×110を用意すればよいことが分かります。

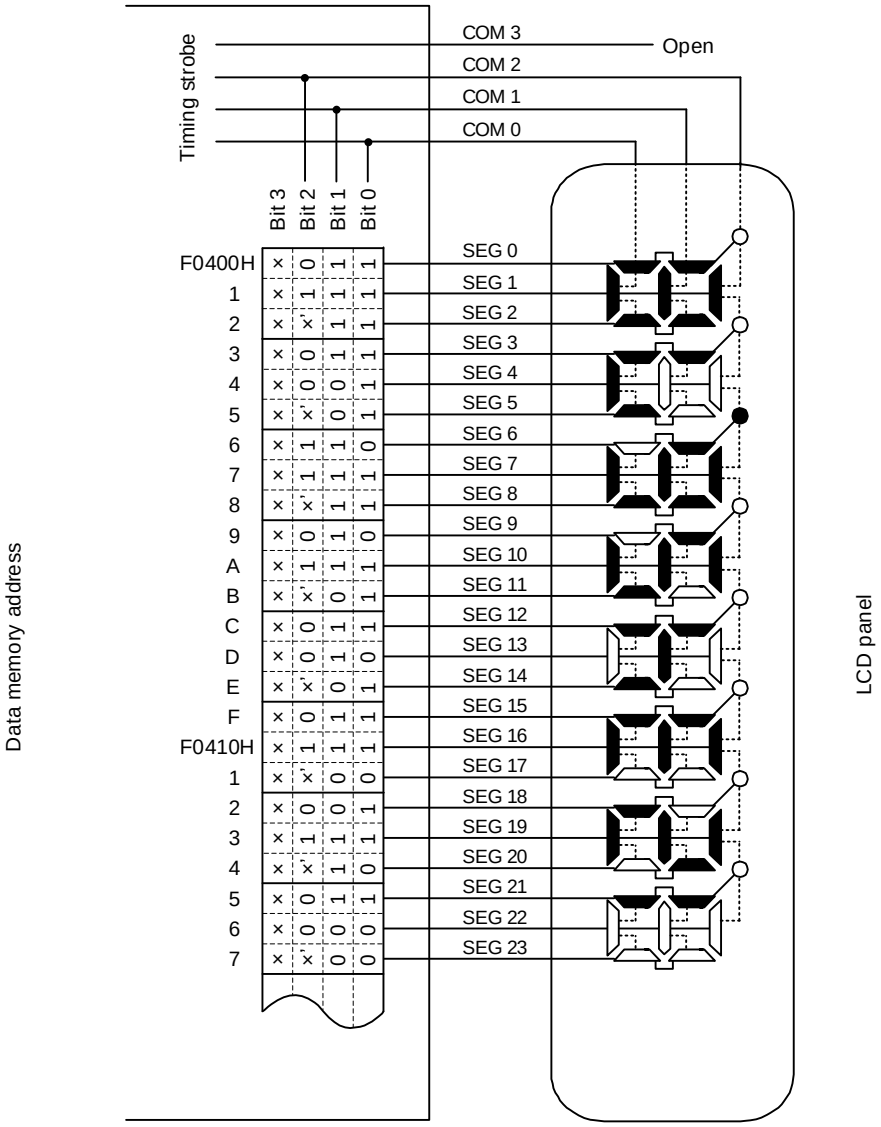
SEG6と各コモン信号間のLCD駆動波形例を**図16－34（1/2バイアス法）**，**図16－35（1/3バイアス法）**に示します。COM1の選択タイミングでSEG6が選択電圧のとき，およびCOM2の選択タイミングでSEG6が選択電圧のときに，LCD点灯レベルである＋$V_{LCD}$/－$V_{LCD}$の交流矩形波が発生することが分かります。

図16－32　3時分割LCD表示パターンと電極結線




**備考**　80ピン製品　　：n = 0-16

図16－33　3時分割LCDパネルの結線例




X′　：LCDパネルに対応セグメントがないため任意のデータをストア可能です。

×　：3時分割表示のため，常に任意のデータをストア可能です。

図16－34　SEG6と各コモン信号間の3時分割LCD駆動波形例（1/2バイアス法）

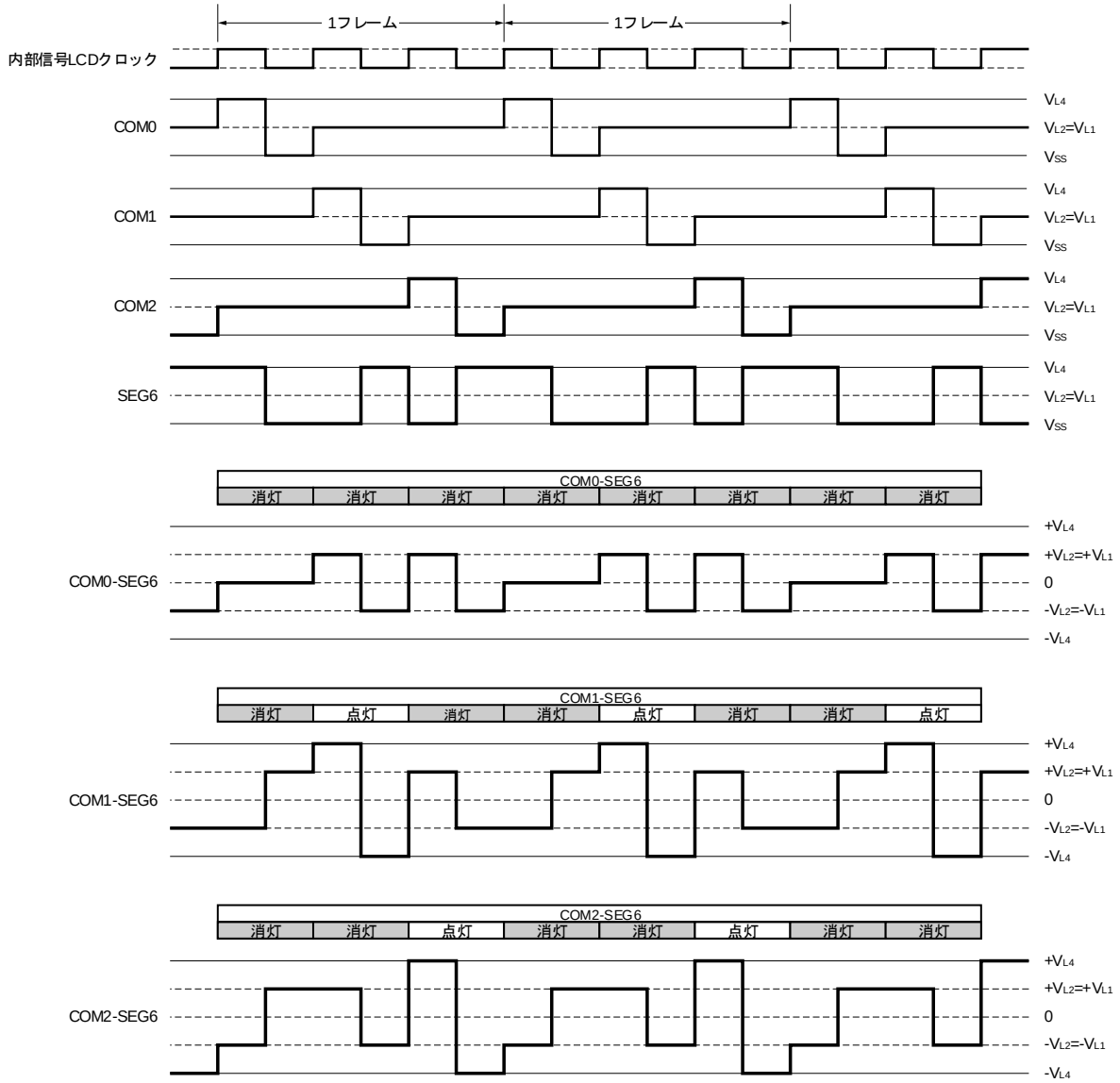
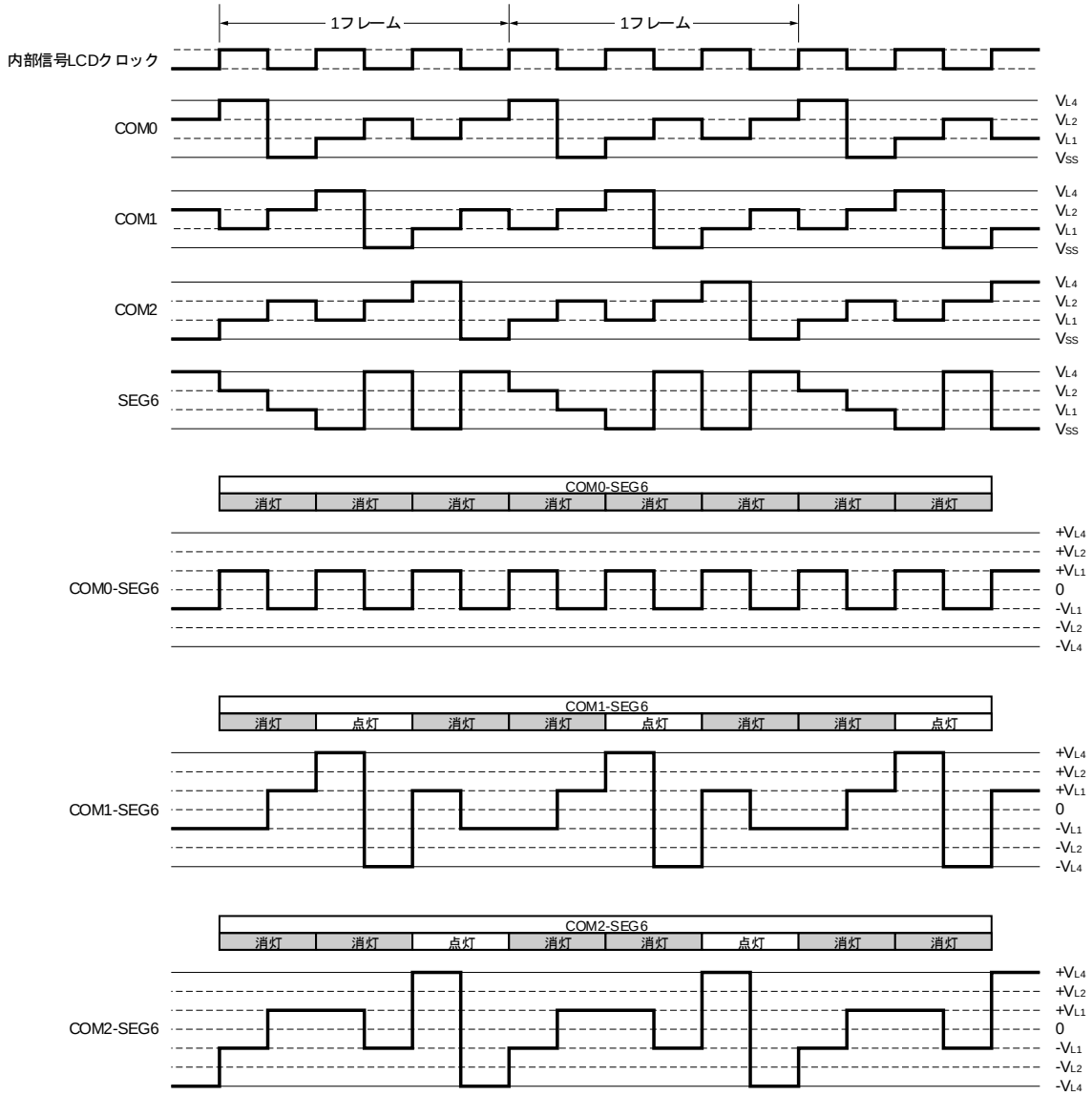


図16－35　SEG6と各コモン信号間の3時分割LCD駆動波形例（1/3バイアス法）



## 16. 10. 4　4時分割表示例

**図16－37**は，**図16－36**の表示パターンを持つ4時分割方式の12桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0-COM3）との接続を示します。表示例は123456.789012で，表示データ・レジスタ（F0400H-F0417H番地）の内容はこれに対応しています。

ここでは7桁目の6.（5.）を例にとって説明します。**図16－36**の表示パターンに従って，COM0-COM3の各コモン信号のタイミングで**表16－18**に示すような選択，非選択電圧をSEG12, SEG13端子に出力する必要があります。

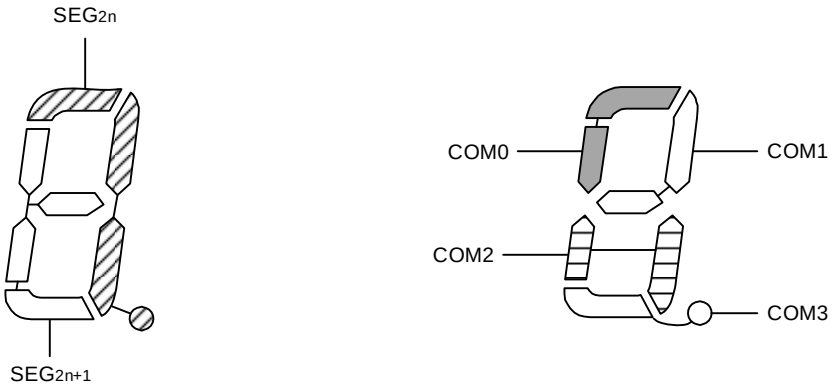
表16－18　選択，非選択電圧（COM0-COM3）

| セグメント／コモン | SEG12 | SEG13 |
|---|---|---|
| COM0 | 選 | 選 |
| COM1 | 非 | 選 |
| COM2 | 選 | 選 |
| COM3 | 選 | 選 |

これによりSEG12に対応する表示データ・レジスタ（F040CH番地）には，1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を**図16－38**に示します。COM0の選択タイミングでSEG12が選択電圧になるときに，LCD点灯レベルである＋$V_{LCD}$/－$V_{LCD}$の交流矩形波が発生することが分かります。

図16－36　4時分割LCD表示パターンと電極結線




**備考**　80ピン製品　　：n = 0-25

図16－37　4時分割LCDパネルの結線例

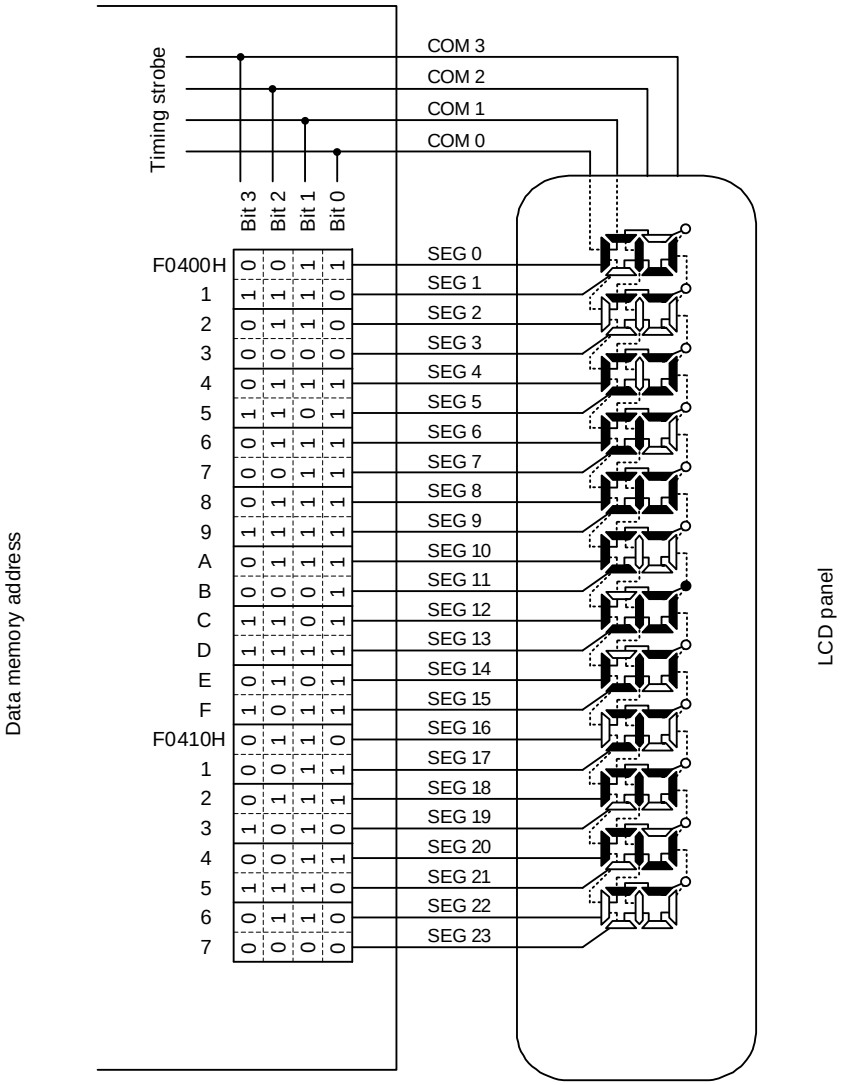


図16－38　SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（1/2）

（a）A波形の場合

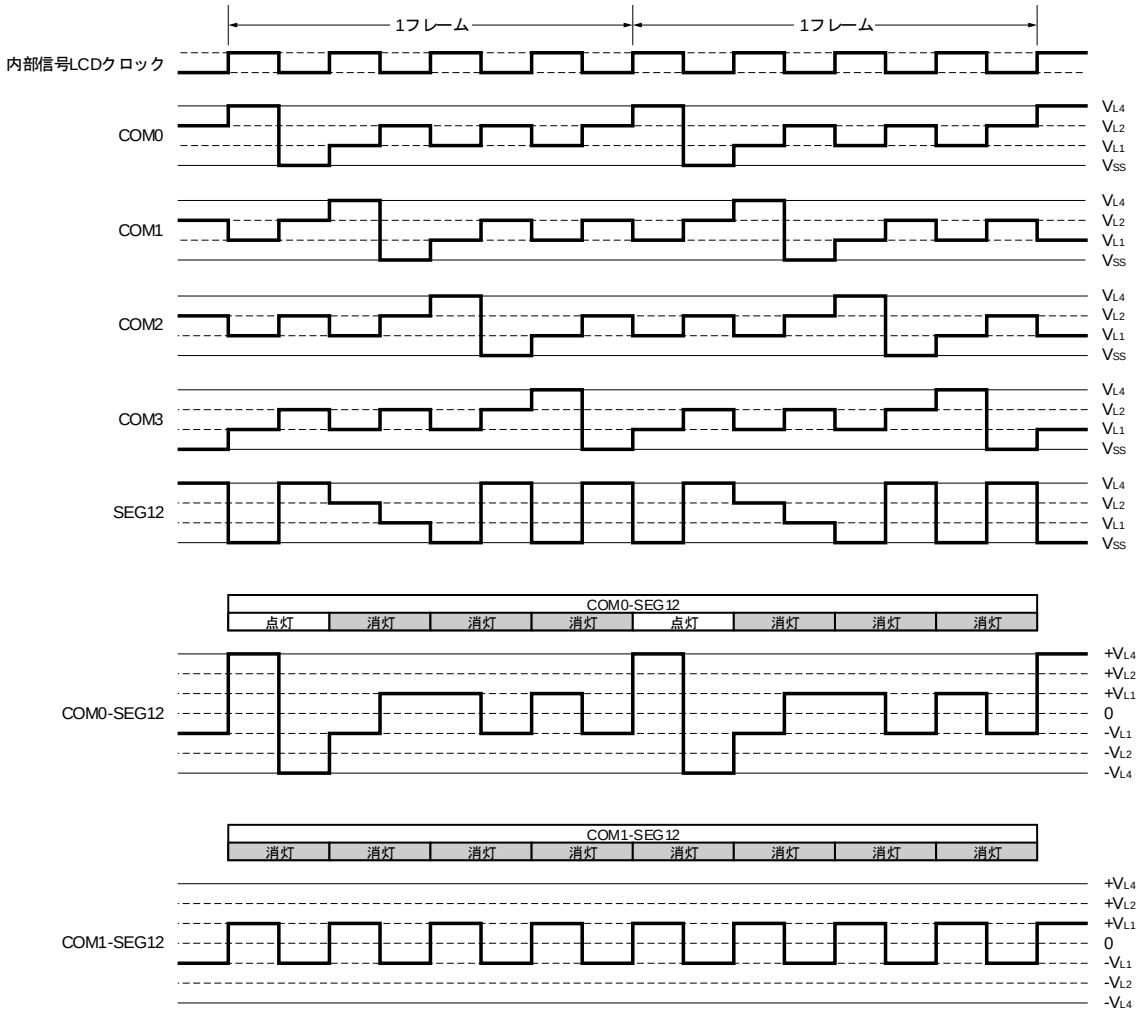
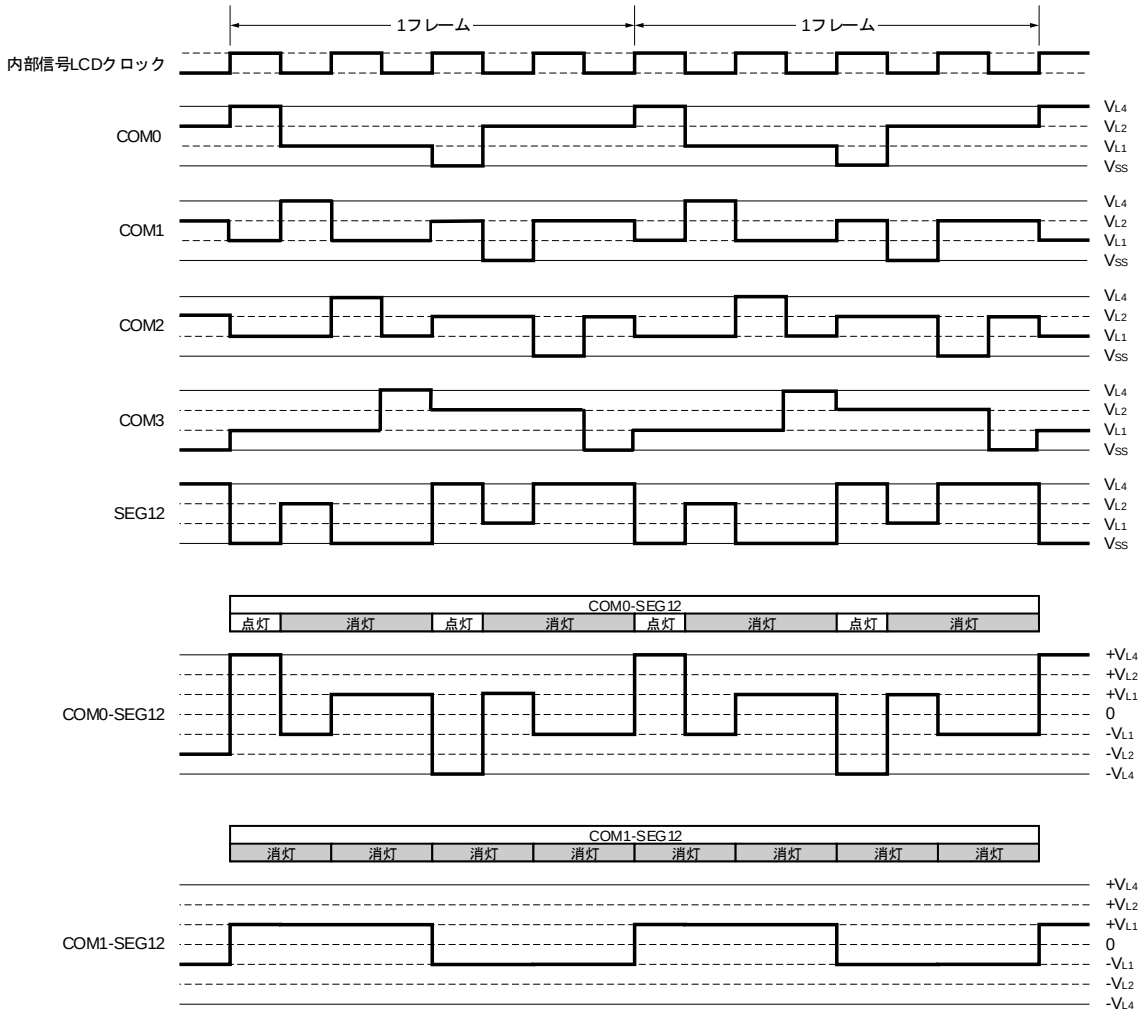


図16－38 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（2/2）

（b）B波形の場合



## 16. 10. 5　8時分割表示例

**図16－40**は，**図16－39**の表示パターンを持つ8時分割方式の15×8のドットLCDパネルとセグメント信号（SEG4-SEG18）およびコモン信号（COM0-COM7）との接続を示します。表示例は123で，表示データ・レジスタ（F0404H-F0412H番地）の内容はこれに対応しています。

ここでは1桁目の3（3）を例にとって説明します。**図16－39**の表示パターンに従って，COM0-COM7の各コモン信号のタイミングで**表16－19**に示すような選択，非選択電圧をSEG4-SEG8端子に出力する必要があります。

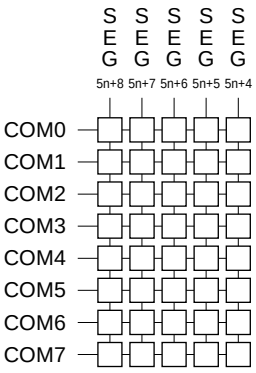
表16－19　選択，非選択電圧（COM0-COM7）

| セグメント／コモン | SEG4 | SEG5 | SEG6 | SEG7 | SEG8 |
|---|---|---|---|---|---|
| COM0 | 選 | 選 | 選 | 選 | 選 |
| COM1 | 非 | 選 | 非 | 非 | 非 |
| COM2 | 非 | 非 | 選 | 非 | 非 |
| COM3 | 非 | 選 | 非 | 非 | 非 |
| COM4 | 選 | 非 | 非 | 非 | 非 |
| COM5 | 選 | 非 | 非 | 非 | 選 |
| COM6 | 非 | 選 | 選 | 選 | 非 |
| COM7 | 非 | 非 | 非 | 非 | 非 |

これによりSEG4に対応する表示データ・レジスタ（F0404H番地）には，00110001を用意すればよいことが分かります。

SEG4と各コモン信号間のLCD駆動波形例を**図16－41**に示します。COM0の選択タイミングでSEG4が選択電圧になるときに，LCD点灯レベルの波形が発生することが分かります。

図16－39　8時分割LCD表示パターンと電極結線




**備考**　80ピン製品　　：n = 0-8

図16－40 8時分割LCDパネルの結線例

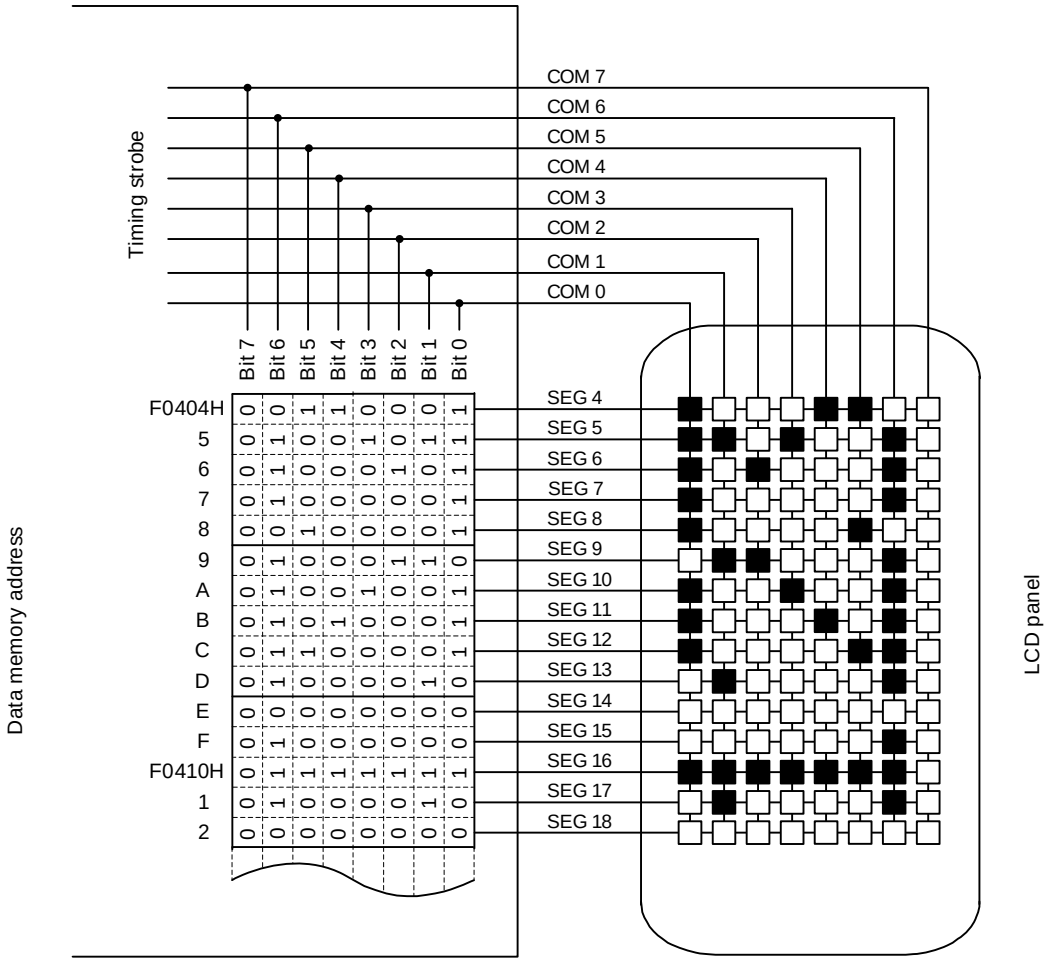


図16－41 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（1/2）

（a）A波形の場合

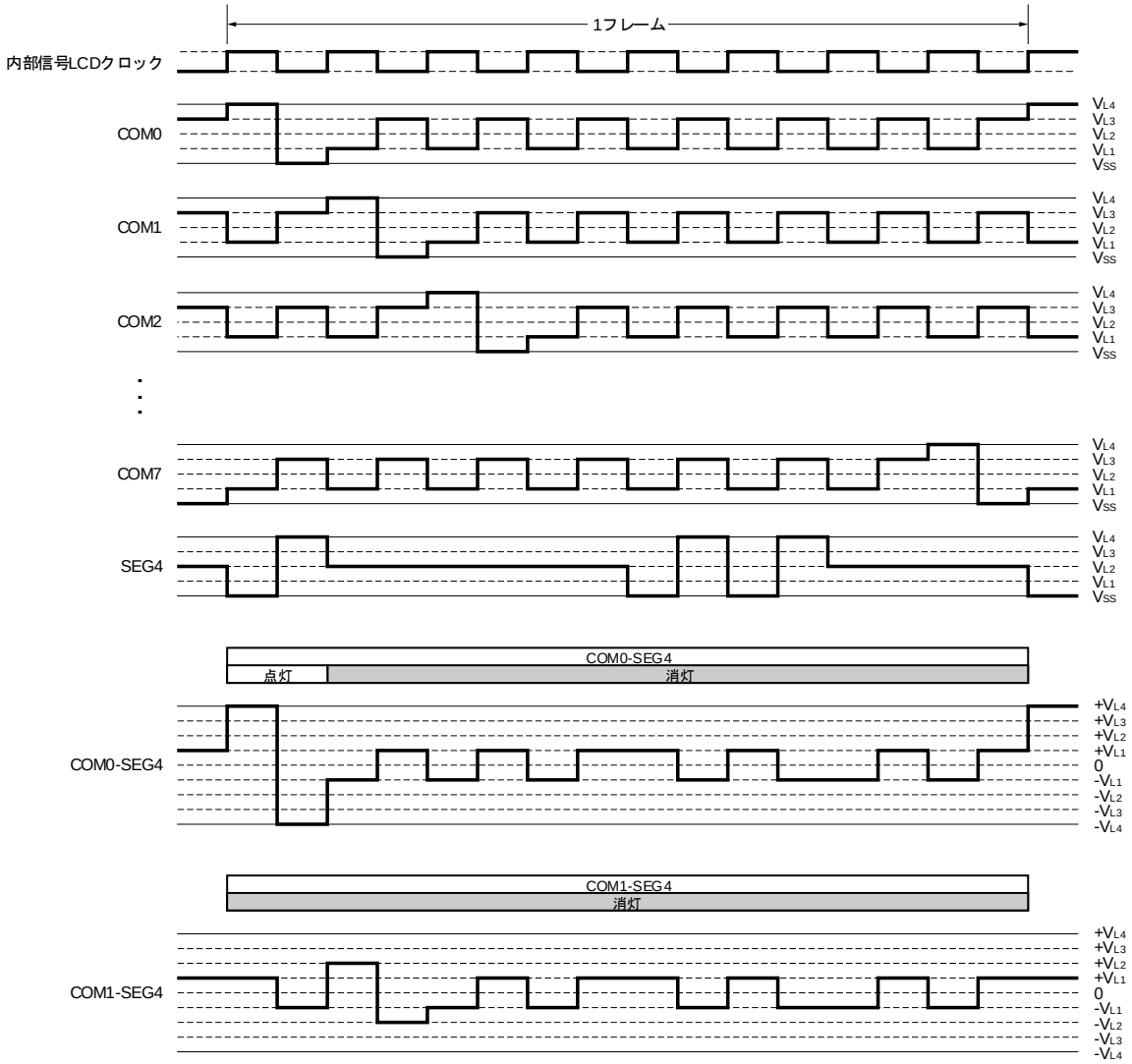
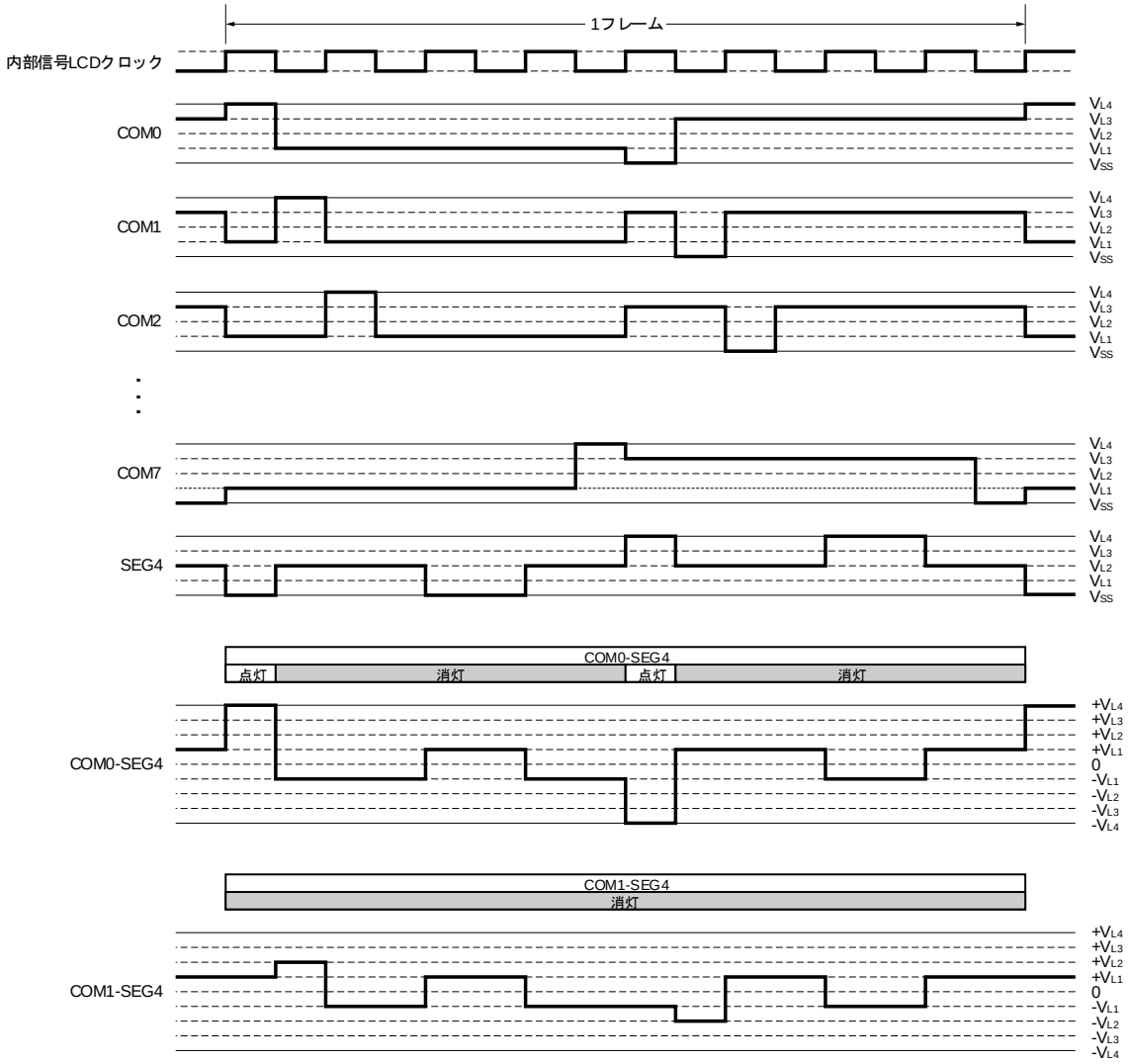


図16－41 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（2/2）

（b）B波形の場合



# 第17章　乗除積和算器

## 17.1　乗除積和算器の機能

乗除積和算器には，次のような機能があります。

・16ビット×16ビット ＝32ビット（符号なし）
・16ビット×16ビット ＝32ビット（符号付）
・16ビット×16ビット＋32ビット ＝32ビット（符号なし）
・16ビット×16ビット＋32ビット ＝32ビット（符号付）
・32ビット÷32ビット ＝32ビット 剰余32ビット（符号なし）

## 17.2　乗除積和算器の構成

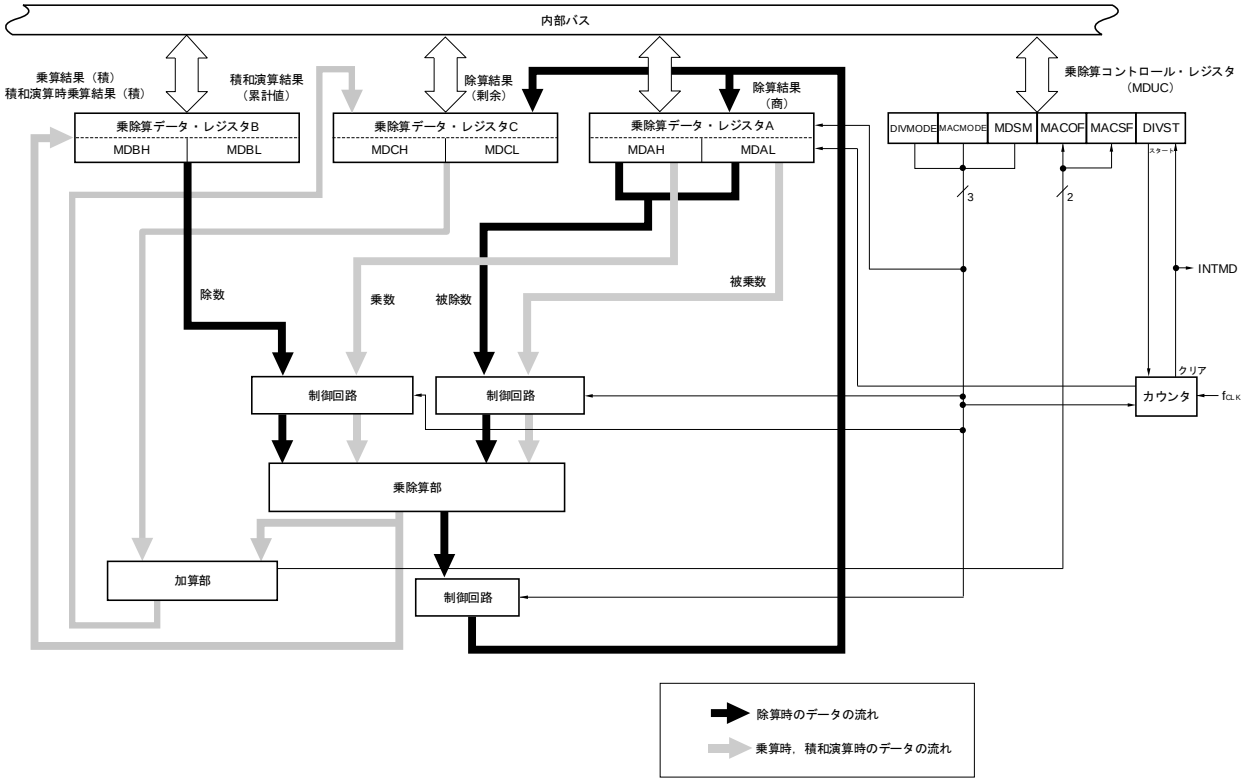
乗除積和算器は，次のハードウエアで構成されています。

表17－1　乗除積和算器の構成

| 項　　目 | 構　　成 |
|---|---|
| レジスタ | 乗除算データ・レジスタA（L）（MDAL）<br>乗除算データ・レジスタA（H）（MDAH）<br>乗除算データ・レジスタB（L）（MDBL）<br>乗除算データ・レジスタB（H）（MDBH）<br>乗除算データ・レジスタC（L）（MDCL）<br>乗除算データ・レジスタC（H）（MDCH） |
| 制御レジスタ | 乗除算コントロール・レジスタ（MDUC） |

乗除積和算器のブロック図を図17－1に示します。

図17－1　乗除積和算器のブロック図




備考　$f_{CLK}$：CPU／周辺ハードウエア・クロック周波数

### 17. 2. 1　乗除算データ・レジスタA（MDAH, MDAL）

MDAH，MDALレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し，除算モード時は被除数データを設定します。また，除算モード時は演算結果（商）がMDAH，MDALレジスタに格納されます。

MDAH, MDALレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図17－2　乗除算データ・レジスタA（MDAH, MDAL）のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H　リセット時：0000H, 0000H　R/W

略号　FFFF3H　FFFF2H

| MDAH | MDAH 15 | MDAH 14 | MDAH 13 | MDAH 12 | MDAH 11 | MDAH 10 | MDAH 9 | MDAH 8 | MDAH 7 | MDAH 6 | MDAH 5 | MDAH 4 | MDAH 3 | MDAH 2 | MDAH 1 | MDAH 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|

略号　FFFF1H　FFFF0H

| MDAL | MDAL 15 | MDAL 14 | MDAL 13 | MDAL 12 | MDAL 11 | MDAL 10 | MDAL 9 | MDAL 8 | MDAL 7 | MDAL 6 | MDAL 5 | MDAL 4 | MDAL 3 | MDAL 2 | MDAL 1 | MDAL 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|

**注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDAH, MDALレジスタの値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定値となります。**

**2.　除算演算処理中（MDUCレジスタが81H, C1Hのとき）にMDAH, MDALレジスタの値を読み出した場合，その値は保証しません。**

**3.　乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。**

MDAH, MDALレジスタの演算実行時の機能を次に示します。

表17－2　MDAH, MDALレジスタの演算実行時の機能

| 演算モード | 設定 | 演算結果 |
|---|---|---|
| 乗算モード（符号なし）<br>積和演算モード（符号なし） | MDAH：乗数（符号なし）<br>MDAL：被乗数（符号なし） | － |
| 乗算モード（符号付）<br>積和演算モード（符号付） | MDAH：乗数（符号付）<br>MDAL：被乗数（符号付） | － |
| 除算モード（符号なし） | MDAH：被除数（符号なし）<br>（上位16ビット）<br>MDAL：被除数（符号なし）<br>（下位16ビット） | MDAH：除算結果（商）（符号なし）<br>上位16ビット<br>MDAL：除算結果（商）（符号なし）<br>下位16ビット |

## 17. 2. 2　乗除算データ・レジスタB（MDBL, MDBH）

MDBH, MDBLレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し，除算モード時は除数データを設定します。

MDBH, MDBLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図17－3　乗除算データ・レジスタB（MDBH, MDBL）のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H　リセット時：0000H, 0000H　R/W

略号　FFFF7H　FFFF6H

| MDBH | MDBH 15 | MDBH 14 | MDBH 13 | MDBH 12 | MDBH 11 | MDBH 10 | MDBH 9 | MDBH 8 | MDBH 7 | MDBH 6 | MDBH 5 | MDBH 4 | MDBH 3 | MDBH 2 | MDBH 1 | MDBH 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|

略号　FFFF5H　FFFF4H

| MDBL | MDBL 15 | MDBL 14 | MDBL 13 | MDBL 12 | MDBL 11 | MDBL 10 | MDBL 9 | MDBL 8 | MDBL 7 | MDBL 6 | MDBL 5 | MDBL 4 | MDBHL 3 | MDBL 2 | MDBL 1 | MDBL 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|

**注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）または積和演算処理中に，MDBH, MDBLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。**

**2.　除算モード時は，MDBH, MDBLレジスタに0000Hを設定しないでください。設定した場合，演算結果が不定値となります。**

**3.　乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。**

MDBH, MDBLレジスタの演算実行時の機能を次に示します。

表17－3　MDBH, MDBLレジスタの演算実行時の機能

| 演算モード | 設定 | 演算結果 |
|---|---|---|
| 乗算モード（符号なし）<br>積和演算モード（符号なし） | － | MDBH：乗算結果（積）（符号なし）上位16ビット<br>MDBL：乗算結果（積）（符号なし）下位16ビット |
| 乗算モード（符号付）<br>積和演算モード（符号付） | － | MDBH：乗算結果（積）（符号付）上位16ビット<br>MDBL：乗算結果（積）（符号付）下位16ビット |
| 除算モード（符号なし） | MDBH：除数（符号なし）（上位16ビット）<br>MDBL：除数（符号なし）（下位16ビット） | － |

## 17. 2. 3　乗除算データ・レジスタC（MDCL, MDCH）

MDCH, MDCLレジスタは，積和演算モード時は累計結果の値を格納し，除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図17－4　乗除算データ・レジスタC（MDCH, MDCL）のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H　リセット時：0000H, 0000H　R/W

略号　F00E3H　F00E2H

| MDCH | MDCH 15 | MDCH 14 | MDCH 13 | MDCH 12 | MDCH 11 | MDCH 10 | MDCH 9 | MDCH 8 | MDCH 7 | MDCH 6 | MDCH 5 | MDCH 4 | MDCH 3 | MDCH 2 | MDCH 1 | MDCH 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|

略号　F00E1H　F00E0H

| MDCL | MDCL 15 | MDCL 14 | MDCL 13 | MDCL 12 | MDCL 11 | MDCL 10 | MDCL 9 | MDCL 8 | MDCL 7 | MDCL 6 | MDCL 5 | MDCL 4 | MDCL 3 | MDCL 2 | MDCL 1 | MDCL 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDCH, MDCLレジスタの値を読み出した場合，その値は保証されません。

2.　積和演算処理中に，MDCH，MDCLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。

3.　積和演算モード（符号付）の場合，データは2の補数形式になります。

表17－4　MDCH, MDCLレジスタの演算実行時の機能

| 演算モード | 設定 | 演算結果 |
|---|---|---|
| 乗算モード<br>（符号付／符号なし） | － | － |
| 積和演算モード（符号なし） | MDCH：累計初期値（符号なし）（上位16ビット）<br>MDCL：累計初期値（符号なし）（下位16ビット） | MDCH：累計値（符号なし）（上位16ビット）<br>MDCL：累計値（符号なし）（下位16ビット） |
| 積和演算モード（符号付） | MDCH：累計初期値（符号付）（上位16ビット）<br>MDCL：累計初期値（符号付）（下位16ビット） | MDCH：累計値（符号付）（上位16ビット）<br>MDCL：累計値（符号付）（下位16ビット） |
| 除算モード（符号なし） | － | MDCH：剰余（符号なし）（上位16ビット）<br>MDCL：剰余（符号なし）（下位16ビット） |

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A＞　＜乗数B＞　＜積＞

MDAL（ビット15-0）×MDAH（ビット15-0）=［MDBH（ビット15-0），MDBL（ビット15-0）］

・積和演算時のレジスタ構成

＜乗数A＞　＜乗数B＞　＜累計値＞

MDAL（ビット15-0）×MDAH（ビット15-0）＋MDC（ビット31-0）=

＜累計結果＞

［MDCH（ビット15-0），MDCL（ビット15-0）］

（MDBH（ビット15-0），MDBL（ビット15-0）には乗算結果が格納されます。）

・除算時のレジスタ構成

＜被除数＞　＜除数＞

［MDAH（ビット15-0），MDAL（ビット15-0）］÷［MDBH（ビット15-0），MDBL（ビット15-0）］=

＜商＞　＜剰余＞

［MDAH（ビット15-0），MDAL（ビット15-0）］…［MDCH（ビット15-0），MDCL（ビット15-0）］

# 17. 3　乗除積和算器を制御するレジスタ

乗除積和算器は，乗除算コントロール・レジスタ（MDUC）で制御します。

## 17. 3. 1　乗除算コントロール・レジスタ0（MDUC）

MDUCレジスタは，乗除積和算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし，積和演算結果（累計値）のオーバフロー・フラグ（MACOF），積和演算結果（累計値）のサイン・フラグ（MACSF）は読み出しのみ可能です。

リセット信号の発生により，00Hになります。

図17−5　乗除算コントロール・レジスタ（MDUC）のフォーマット

アドレス：F00E8H　リセット時：00H　R/W[注1]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MDUC | DIVMODE | MACMODE | 0 | 0 | MDSM | MACOF | MACSF | DIVST |

| DIVMODE | MACMODE | MDSM | 演算モードの選択 |
|---|---|---|---|
| 0 | 0 | 0 | 乗算モード（符号なし）（デフォルト） |
| 0 | 0 | 1 | 乗算モード（符号付） |
| 0 | 1 | 0 | 積和演算モード（符号なし） |
| 0 | 1 | 1 | 積和演算モード（符号付） |
| 1 | 0 | 0 | 除算モード（符号なし），除算完了割り込み（INTMD）発生 |
| 1 | 1 | 0 | 除算モード（符号なし），除算完了割り込み（INTMD）発生しない |
| 上記以外 | | | 設定禁止 |

| MACOF | 積和演算結果（累計値）のオーバフロー・フラグ |
|---|---|
| 0 | オーバフローなし |
| 1 | オーバフローあり |
| ［セット条件］<br>・積和演算モード（符号なし）の場合<br>累計値が00000000h-FFFFFFFFhを超える場合<br>・積和演算モード（符号付）の場合<br>正の累計値に正の積を加算した結果が7FFFFFFFhを越え結果が負となる場合<br>負の累計値に負の積を加算した結果が80000000hを越え結果が正となる場合 | |

| MACSF | 積和演算結果（累計値）のサイン・フラグ |
|---|---|
| 0 | 累計値が正 |
| 1 | 累計値が負 |
| 積和演算モード（符号なし）の場合：常に0<br>積和演算モード（符号付）の場合　：累計値の符号ビットを表示 | |

| DIVST[注2] | 除算演算動作の開始／停止 |
|---|---|
| 0 | 除算演算処理完了 |
| 1 | 除算演算開始／除算演算処理中 |

（注，注意は次ページにあります）

**注 1.** ビット1，2はRead onlyです。

**2.** DIVSTビットは除算モード時にのみセット（1）可能です。除算モード時，DIVSTビットをセット（1）すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア（0）されます。乗算モード時は，乗除算データ・レジスタA（MDAH, MDAL）に乗数，被乗数を設定することにより自動的に演算が開始されます。

**注意1. 演算処理中（DIVSTビットが1のとき）に，DIVMODE，MDSMビットを書き換えないでください。書き換えた場合，演算結果が不定値となります。**

**2. 除算演算処理中（DIVSTビットが1のとき）にDIVSTビットをソフトウエアでクリア（0）することはできません。**

# 17. 4　乗除積和算器の動作

## 17. 4. 1　乗算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を00Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

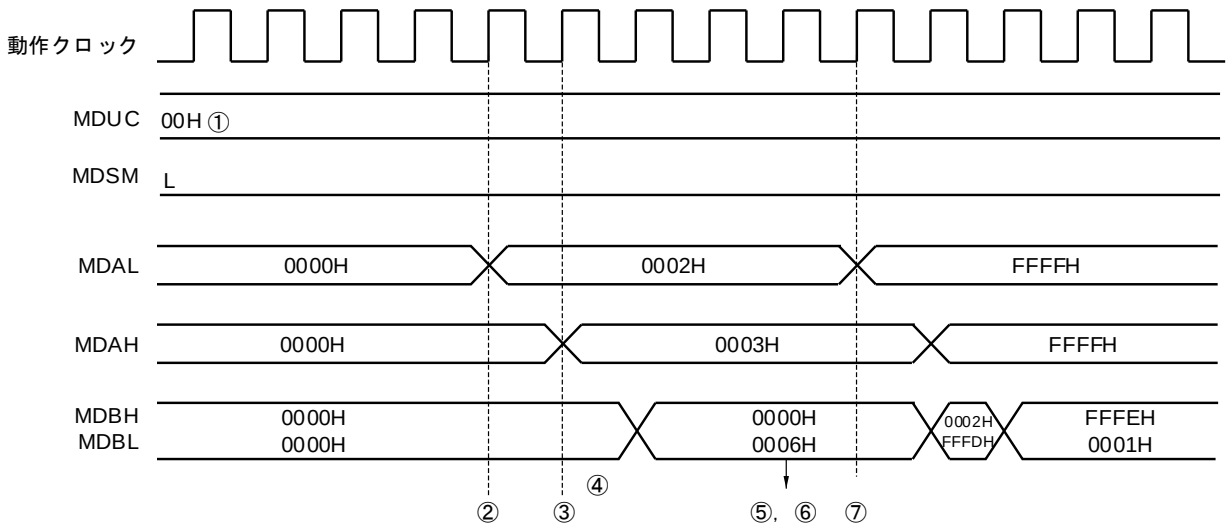
・次回演算

⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

**備考**　手順の①～⑦は，図17－6の①～⑦に対応しています。

図17－6　乗算（符号なし）動作のタイミング図（2×3 = 6）



## 17. 4. 2　乗算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を08Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

・次回演算

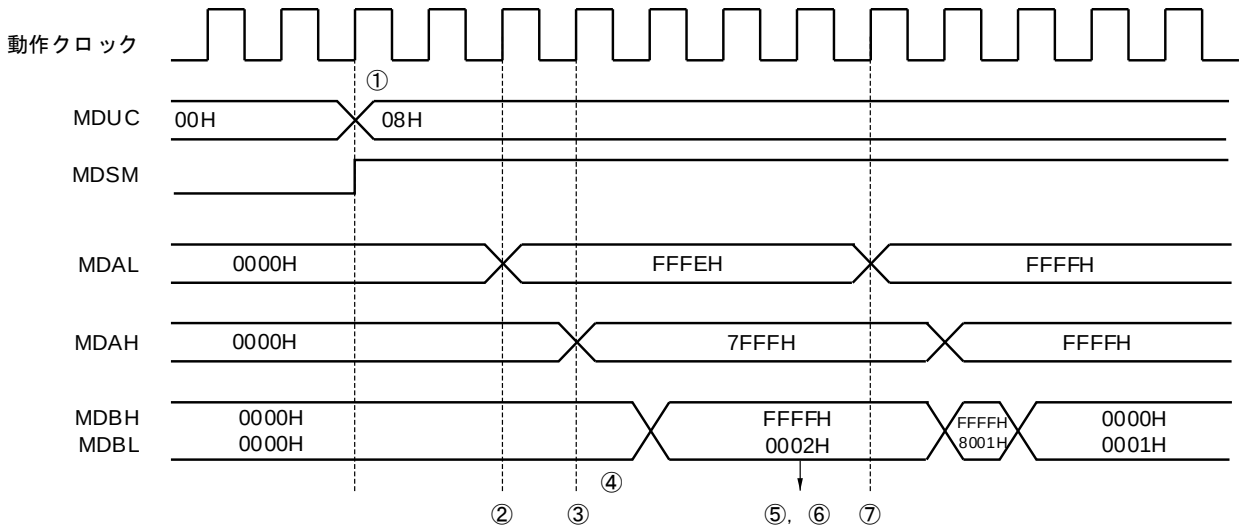
⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

**注意　乗算モード（符号付）の場合，データは2の補数形式になります。**

**備考**　手順の①～⑦は，図17－7の①～⑦に対応しています。

図17－7　乗算（符号付）動作のタイミング図（－2×32767 = －65534）



### 17. 4. 3　積和演算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を40Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

③ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

④ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑤ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③，④のセットの順はどれが先でも問題ありません。⑤のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑥　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑦ ⑥からさらに1クロックで，積和演算が終了します（初期設定完了（⑤）からは，2クロック以上ウエイト）。

・演算終了

⑧ 乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。

⑨ 乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。

（⑧，⑨の読み出しの順はどちらが先でも問題ありません。）

（⑩ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

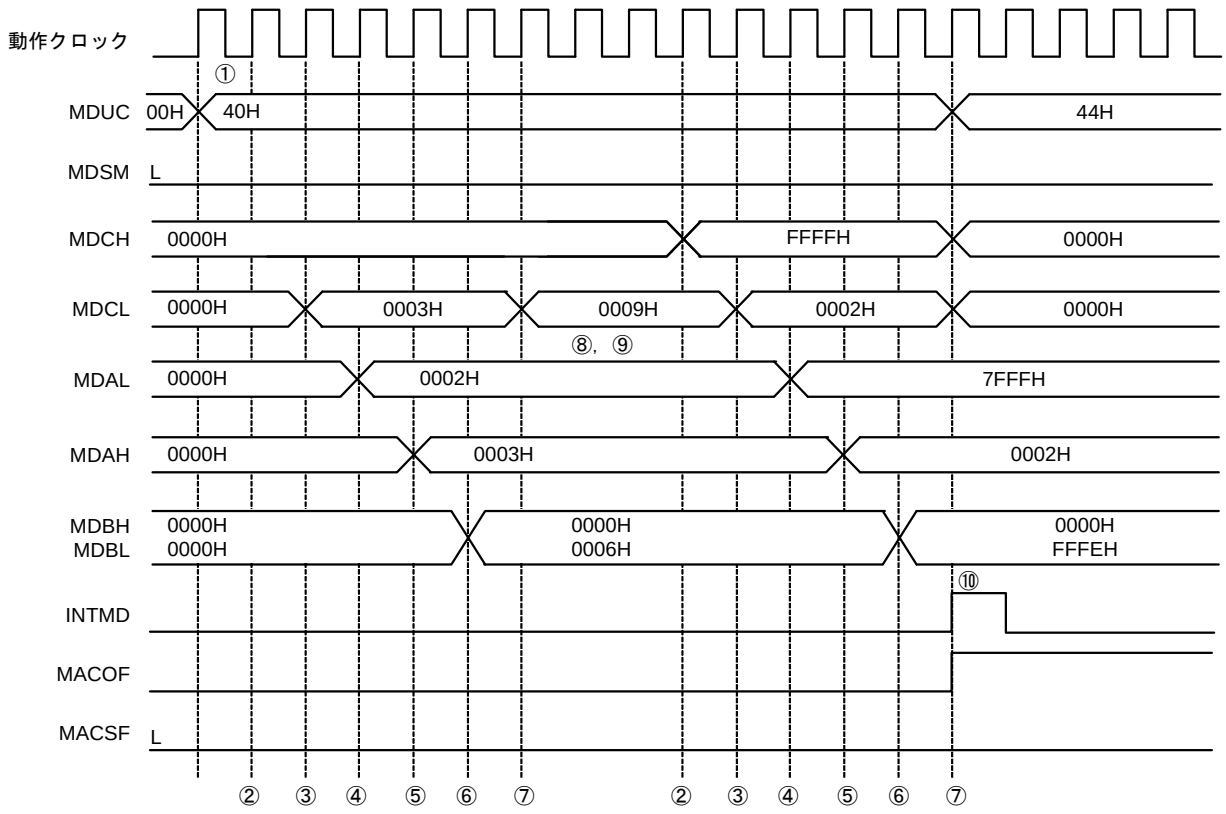
⑪ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～④の設定は省略できます。

**備考**　手順の①～⑩は，図17－8の①～⑩に対応しています。

図17－8　積和演算（符号なし）動作のタイミング図

（2×3＋3＝9 → 32767×2＋4294901762＝0（オーバフロー発生））



### 17. 4. 4　積和演算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を48Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

（③ MDCHレジスタの累計値が負の値の場合は，MACSFビットが1にセットされます。）

④ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

⑤ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑥ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，④，⑤のセットの順はどちらが先でも問題ありません。⑥のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑦　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑧ ⑦からさらに1クロックで，積和演算が終了します（初期設定完了（⑥）からは，2クロック以上ウエイト）。

・演算終了

⑨ MDCL, MDCHレジスタに格納された累計値が正の値の場合は，MACSFビットが0にクリアされます。

⑩ MDCLレジスタから累計値（下位16ビット）を読み出します。

⑪ MDCHレジスタから累計値（上位16ビット）を読み出します。

（⑩，⑪の読み出しの順はどちらが先でも問題ありません。）

（⑫ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

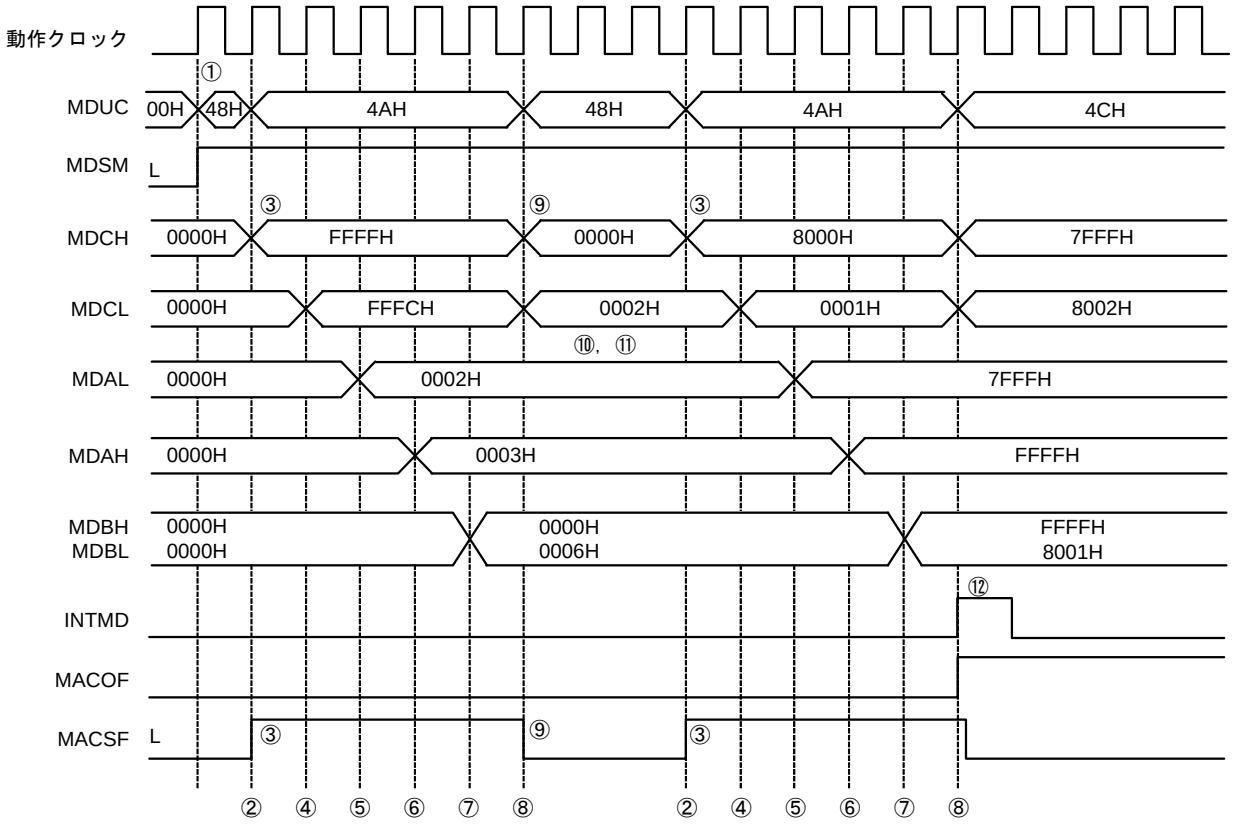
続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

**注意　積和演算モード（符号付）の場合，データは2の補数形式になります。**

**備考**　手順の①～⑫は，**図17－9**の①～⑫に対応しています。

図17－9　積和演算（符号付）動作のタイミング図

（2×3＋（－4）　= 2 → 32767×（－1）＋（－2147483647）　= －2147516414（オーバフロー発生））



## 17. 4. 5　除算動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）に80Hをセットする。

② 乗除算データ・レジスタA（H）（MDAH）に被除数（上位16ビット）をセット

③ 乗除算データ・レジスタA（L）（MDAL）に被除数（下位16ビット）をセット

④ 乗除算データ・レジスタB（H）（MDBH）に除数（上位16ビット）をセット

⑤ 乗除算データ・レジスタB（L）（MDBL）に除数（下位16ビット）をセット

⑥ MDUCレジスタのビット0（DIVST）に1をセット

（②～⑤の順はどれからセットしても問題ありません。）

・演算処理中

⑦ 次のいずれかの処理が完了すれば演算が終了します。

・16クロック以上ウエイト（16クロックで演算は終了します。）

・DIVSTビットがクリアされたことを確認

（演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。）

・演算終了

⑧ DIVSTビットがクリア（0）され，演算が終了します。このとき，MACMODE = 0での演算なら，割り込み要求信号（INTMD）が発生します。

⑨ MDALレジスタから商（下位16ビット）を読み出します。

⑩ MDAHジスタから商（上位16ビット）を読み出します。

⑪ 乗除算データ・レジスタC（L）（MDCL）から剰余（下位16ビット）を読み出します。

⑫ 乗除算データ・レジスタC（H）（MDCH）から剰余（上位16ビット）を読み出します。

（⑨～⑫の順はどれから読み出しても問題ありません。）

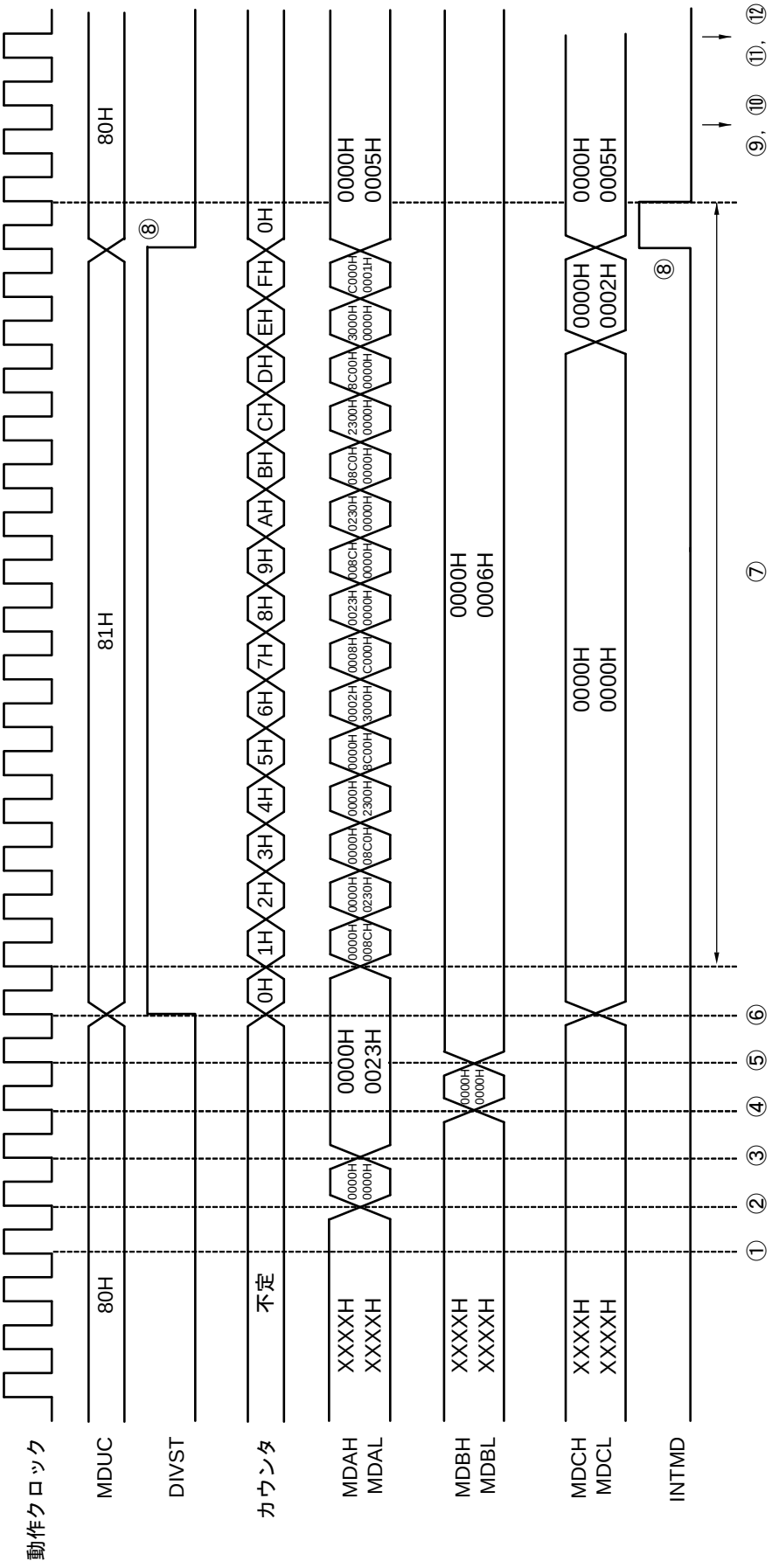
・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

**備考**　手順の①～⑫は，**図17－10**の①～⑫に対応しています。

図17－10 除算動作のタイミング図（例：35÷6＝5 余5）



# 第18章　DMAコントローラ

RL78/L13は，DMA（Direct Memory Access）コントローラを内蔵しています。

DMAに対応している周辺ハードウエアのSFRと内蔵RAMの間は，CPUを介さずに自動でデータのやり取りをすることができます。

これにより，SFR⇔内蔵RAM間の転送を，通常のCPU内部の演算やデータ転送をしながら行えるため，大容量データの処理も可能になります。また，通信やタイマ，A/Dを駆使したリアルタイム制御も実現できます。

## 18. 1　DMAコントローラの機能

〇DMAチャネル数：4チャネル

〇転送単位：8ビット／16ビット

〇最大転送単位：1024回

〇転送タイプ：2サイクル転送（1回の転送を2クロックで処理し，その間はCPU動作が停止します）

〇転送モード：シングル転送モード

〇転送要求：以下の周辺ハードウエア割り込みから選択

・A/Dコンバータ

・シリアル・インタフェース（CSI00, CSI10, UART0-UART3）

・タイマ・アレイ・ユニット（チャネル0, 1, 2, 3）

・16ビット・タイマKB20

〇転送対象：SFR⇔内蔵RAM

DMAを使った機能例は，次のようなものが考えられます。

・シリアル・インタフェースの連続転送

・AD変換結果の連続取り込み

・一定時間ごとにポートの値を取りこむ

# 18. 2　DMAコントローラの構成

DMAコントローラは，次のハードウエアで構成されています。

表18－1　DMAコントローラの構成

| 項　　目 | 構　　成 |
|---|---|
| アドレス・レジスタ | ・DMA SFRアドレス・レジスタ0-3（DSA0-DSA3）<br>・DMA RAMアドレス・レジスタ0-3（DRA0-DRA3） |
| カウント・レジスタ | ・DMAバイト・カウント・レジスタ0-3（DBC0-DBC3） |
| 制御レジスタ | ・DMAモード・コントロール・レジスタ0-3（DMC0-DMC3）<br>・DMA動作コントロール・レジスタ0-3（DRC0-DRC3） |

## 18. 2. 1　DMA SFRアドレス・レジスタn（DSAn）

DMAチャネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H-FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず，固定値となります。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DSAnレジスタは8ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，00Hになります。

図18－1　DMA SFRアドレス・レジスタn（DSAn）のフォーマット

アドレス：FFFB0H（DSA0），FFFB1H（DSA1），F0200H（DSA2），F0201H（DSA3）　リセット時：00H　R/W

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DSAn | | | | | | | | |

**備考**　n：DMAチャネル番号（n = 0-3）

## 18. 2. 2　DMA RAMアドレス・レジスタn（DRAn）

DMAチャネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域（**表18－2**参照）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると，自動的にインクリメントされます。8ビット転送モード時には＋1され，16ビット転送モード時には＋2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し，最終アドレスまで転送し終わると，DRAnレジスタは8ビット転送モード時には最終アドレス＋1，16ビット転送モード時には最終アドレス＋2になって停止します。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図18－2　DMA RAMアドレス・レジスタn（DRAn）のフォーマット

アドレス：FFFB2H, FFFB3H（DRA0）, FFFB4H, FFFB5H（DRA1），リセット時：0000H　R/W
F0202H, F0203H（DRA2）, F0204H, F0205H（DRA3）

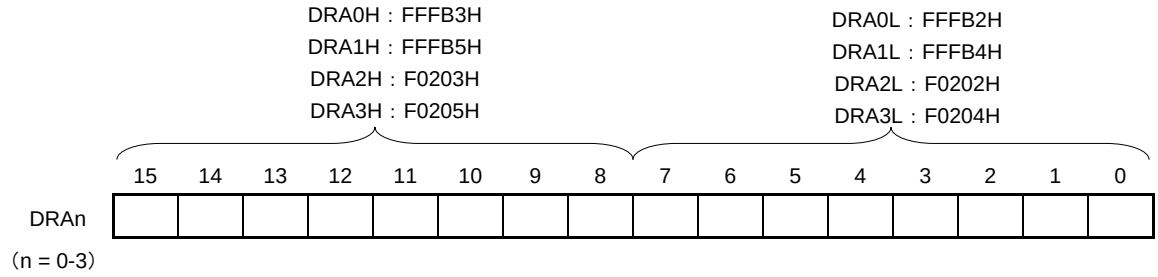



表18－2　汎用レジスタ以外の内蔵RAM領域

| 製　　品 | 汎用レジスタ以外の内蔵RAM領域 |
|---|---|
| R5F10WLA, R5F10WMA | FFB00H-FFEDFH |
| R5F10WLC, R5F10WMC | FF900H-FFEDFH |
| R5F10WLD, R5F10WMD | FF700H-FFEDFH |
| R5F10WLE, R5F10WME | FEF00H-FFEDFH |
| R5F10WLF, R5F10WMF | FF700H-FFEDFH |
| R5F10WLG, R5F10WMG | FDF00H-FFEDFH |

**備考**　n：DMAチャネル番号（n = 0-3）

## 18. 2. 3　DMAバイト・カウント・レジスタn（DBCn）

DMAチャネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

DMA転送が1回実行されるたびに，自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで，残りの連続転送回数を知ることができます。

DBCnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図18－3　DMAバイト・カウント・レジスタn（DBCn）のフォーマット

アドレス：FFFB6H, FFFB7H（DBC0）, FFFB8H, FFFB9H（DBC1），リセット時：0000H　R/W
F0206H, F0207H（DBC2）, F0208H, F0209H（DBC3）

DBC0H：FFFB7H
DBC1H：FFFB9H
DBC2H：F0207H
DBC3H：F0209H

DBC0L：FFFB6H
DBC1L：FFFB8H
DBC2L：F0206H
DBC3L：F0208H

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DBCn（n = 0-3） | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | |

| DBCn[9:0] | 転送回数設定（DBCnライト時） | 残りの転送回数（DBCnリード時） |
|---|---|---|
| 000H | 1024回 | 転送完了または1024回のDMA転送待ち |
| 001H | 1回 | 残り1回のDMA転送待ち |
| 002H | 2回 | 残り2回のDMA転送待ち |
| 003H | 3回 | 残り3回のDMA転送待ち |
| ・<br>・<br>・ | ・<br>・<br>・ | ・<br>・<br>・ |
| 3FEH | 1022回 | 残り1022回のDMA転送待ち |
| 3FFH | 1023回 | 残り1023回のDMA転送待ち |

**注意1.　ビット15-10は，必ず0を設定してください。**

**2.　連続転送の結果，汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は，汎用レジスタやSFR空間へ書き込み／読み出しを行って，データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。**

**備考**　n：DMAチャネル番号（n = 0-3）

## 18. 3　DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

・DMAモード・コントロール・レジスタn（DMCn）
・DMA動作コントロール・レジスタn（DRCn）

**備考**　n：DMAチャネル番号（n = 0-3）

### 18. 3. 1 DMAモード・コントロール・レジスタn（DMCn）

DMCnレジスタは，DMAチャネルnの転送モード設定レジスタです。転送方向，データ・サイズ，保留設定，起動要因の選択を行います。ビット7（STGn）はDMA起動のソフトウエア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DMCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（1/3）

アドレス：FFFBAH（DMC0），FFFBBH（DMC1），F020AH（DMC2），F020BH（DMC3） リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DMCn | STGn | DRSn | DSn | DWAITn | IFCn3 | IFCn2 | IFCn1 | IFCn0 |

| STGn[注1] | DMA転送開始ソフトウエア・トリガ |
|---|---|
| 0 | ソフトウエア・トリガ動作しない |
| 1 | DMA動作許可（DENn = 1）時に，DMA転送を開始する |
| DMA動作許可（DENn = 1）時に，STGnビットに1を書き込むことでDMA転送を1回します。<br>このビットの読み出し値は常に0となります。 | |

| DRSn | DMA転送方向の選択 |
|---|---|
| 0 | SFR → 内蔵RAM |
| 1 | 内蔵RAM → SFR |

| DSn | DMA転送での転送データ・サイズの指定 |
|---|---|
| 0 | 8ビット |
| 1 | 16ビット |

| DWAITn[注2] | DMA転送の保留 |
|---|---|
| 0 | DMA起動要求によりDMA転送を行う（保留しない） |
| 1 | DMA起動要求が来ても保留する |
| DWAITnビットの値を1→0にすることで，保留されているDMA転送を開始することができます。<br>また，DWAITnビットの値を0→1に設定してから，実際に転送が保留されるまでは2クロック必要となります。 | |

**注1.** ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

**2.** DMAを2チャネル以上使用中でDMA転送を保留する場合は，必ず全てのチャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1）。

**備考** n：DMAチャネル番号（n = 0-3）

図18－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（2/3）

アドレス：FFFBAH（DMC0）, FFFBBH（DMC1） リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DMCn | STGn | DRSn | DSn | DWAITn | IFCn3 | IFCn2 | IFCn1 | IFCn0 |

（n = 0, 1の場合）

| IFCn 3 | IFCn 2 | IFCn 1 | IFCn 0 | DMA起動要因の選択[注] | |
|---|---|---|---|---|---|
| | | | | トリガ信号 | トリガ内容 |
| 0 | 0 | 0 | 0 | － | 割り込みによるDMA転送禁止<br>（ソフトウエア・トリガのみ可） |
| 0 | 0 | 0 | 1 | INTAD | A/D変換終了割り込み |
| 0 | 0 | 1 | 0 | INTTM00 | タイマ・チャネル00のカウント完了またはキャプチャ割り込み |
| 0 | 0 | 1 | 1 | INTTM01 | タイマ・チャネル01のカウント完了またはキャプチャ割り込み |
| 0 | 1 | 0 | 0 | INTTM02 | タイマ・チャネル02のカウント完了またはキャプチャ割り込み |
| 0 | 1 | 0 | 1 | INTTM03 | タイマ・チャネル03のカウント完了またはキャプチャ割り込み |
| 0 | 1 | 1 | 0 | INTST0/INTCSI00 | UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み |
| 0 | 1 | 1 | 1 | INTSR0 | UART0受信の転送完了割り込み |
| 1 | 0 | 0 | 0 | INTST1/INTCSI10 | UART1送信の転送完了，バッファ空き割り込み／CSI10の転送完了，バッファ空き割り込み |
| 1 | 0 | 0 | 1 | INTSR1 | UART1受信の転送完了割り込み |
| 1 | 0 | 1 | 0 | INTST2 | UART2送信の転送完了，バッファ空き割り込み |
| 1 | 0 | 1 | 1 | INTSR2 | UART2受信の転送完了割り込み |
| 上記以外 | | | | 設定禁止 | |

**注** ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

**備考** n：DMAチャネル番号（n = 0, 1）

図18－4　DMAモード・コントロール・レジスタn（DMCn）のフォーマット（3/3）

アドレス：F020AH（DMC2），F020BH（DMC3）　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DMCn | STGn | DRSn | DSn | DWAITn | IFCn3 | IFCn2 | IFCn1 | IFCn0 |

（n = 2, 3の場合）

| IFCn 3 | IFCn 2 | IFCn 1 | IFCn 0 | DMA起動要因の選択[注1] | |
|---|---|---|---|---|---|
| | | | | トリガ信号 | トリガ内容 |
| 0 | 0 | 0 | 0 | － | 割り込みによるDMA転送禁止<br>（ソフトウエア・トリガのみ可） |
| 0 | 0 | 0 | 1 | INTAD | A/D変換終了割り込み |
| 0 | 0 | 1 | 0 | INTTKB2 | タイマKB20カウント完了割り込み |
| 0 | 1 | 1 | 0 | INTST3[注2] | UART3送信の転送完了，バッファ空き割り込み |
| 0 | 1 | 1 | 1 | INTSR3[注2] | UART3受信の転送完了割り込み |
| 1 | 0 | 0 | 0 | INTST1/INTCSI10 | UART1送信の転送完了，バッファ空き割り込み／<br>CSI10の転送完了，バッファ空き割り込み |
| 1 | 0 | 0 | 1 | INTSR1 | UART1受信の転送完了割り込み |
| 1 | 0 | 1 | 0 | INTST2 | UART2送信の転送完了，バッファ空き割り込み |
| 1 | 0 | 1 | 1 | INTSR2 | UART2受信の転送完了割り込み |
| 上記以外 | | | | 設定禁止 | |

**注1.**　ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

**2.**　80ピン製品のみ。

**備考**　n：DMAチャネル番号（n = 2, 3）

## 18. 3. 2　DMA動作コントロール・レジスタn（DRCn）

DRCnレジスタは，DMAチャネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7（DENn）は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DRCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18－5　DMA動作コントロール・レジスタn（DRCn）のフォーマット

アドレス：FFFBCH（DRC0），FFFBDH（DRC1），F020CH（DRC2），F020DH（DRC3）　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DRCn | DENn | 0 | 0 | 0 | 0 | 0 | 0 | DSTn |

| DENn | DMA動作許可フラグ |
|---|---|
| 0 | DMAチャネルnの動作禁止（DMAの動作クロック停止） |
| 1 | DMAチャネルnの動作許可 |
| DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。 | |

| DSTn | DMA転送モード・フラグ |
|---|---|
| 0 | DMAチャネルnのDMA転送終了 |
| 1 | DMAチャネルnのDMA転送未終了（転送中） |
| DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。<br>そしてソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。<br>その後，DMA転送が終了すると自動的に0にクリアされます。<br>DMA転送中に強制終了したい場合は，0を書き込みます。 | |

**注意　DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。**
**DENnフラグはDSTn = 0のときのみ書き込み許可となるため，DMAnの割り込み（INTDMAn）発生を待たずに終了する場合は，DSTn = 0に設定してからDENn = 0としてください（詳細は18. 5. 5　ソフトウエアでの強制終了参照）。**

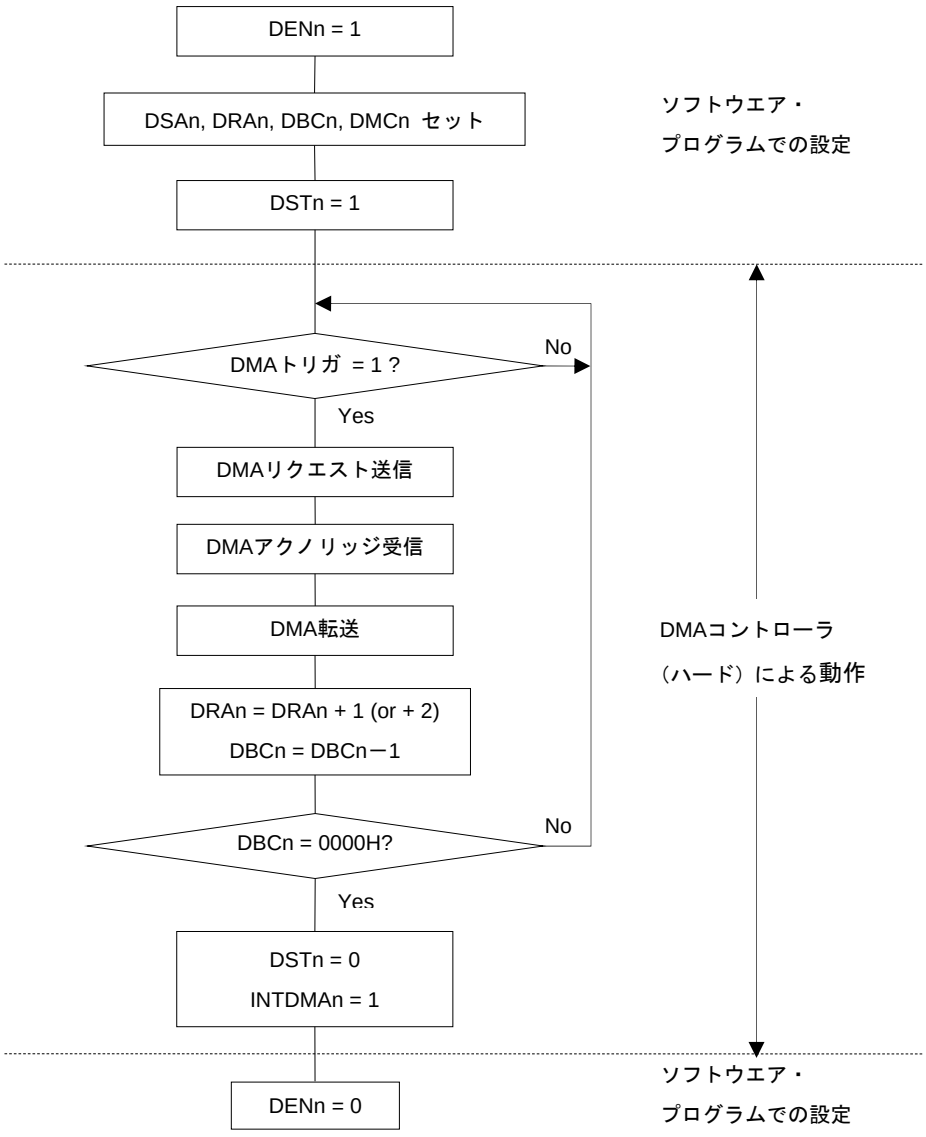
**備考**　n：DMAチャネル番号（n = 0-3）

# 18. 4　DMAコントローラの動作

## 18. 4. 1　動作手順

① DENn = 1により，DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は，80Hを書き込みます。
② DMA SFRアドレス・レジスタn（DSAn），DMA RAMアドレス・レジスタn（DRAn），DMAバイト・カウント・レジスタn（DBCn），DMAモード・コントロール・レジスタn（DMCn）にDMA転送のSFRアドレス，RAMアドレス，転送回数，転送モードを設定します。
③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は，81Hを書き込みます。
④ ソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。
⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し，割り込み（INTDMAn）の発生により自動的に転送が終了します。
⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図18－6　動作手順




**備考**　n：DMAチャネル番号（n = 0-3）

## 18. 4. 2　転送モード

DMA転送には，DMAモード・コントロール・レジスタn（DMCn）のビット6, 5（DRSn, DSn）の設定により，次の4つの転送モードを選択できます。

| DRSn | DSn | DMA転送モード |
|---|---|---|
| 0 | 0 | 1バイト・データのSFR（アドレス固定）からRAM（アドレスは＋1のインクリメント）への転送 |
| 0 | 1 | 2バイト・データのSFR（アドレス固定）からRAM（アドレスは＋2のインクリメント）への転送 |
| 1 | 0 | 1バイト・データのRAM（アドレスは＋1のインクリメント）からSFR（アドレス固定）への転送 |
| 1 | 1 | 2バイト・データのRAM（アドレスは＋2のインクリメント）からSFR（アドレス固定）への転送 |

この転送モードを使用することによって，シリアル・インタフェースを使った最大1024バイトの連続データ転送，A/D変換結果の連続データ転送，タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

## 18. 4. 3　DMA転送の終了

DBCn = 00HとなりDMA転送が完了すると，自動的にDSTnビットがクリア（0）されます。そして割り込み要求（INTDMAn）の発生により転送が終了します。

強制終了するためにDSTnビットをクリア（0）すると，DMAバイト・カウント・レジスタn（DBCn）と DMA RAMアドレス・レジスタn（DRAn）は停止したときの値を保持します。

また，強制終了した場合は割り込み要求（INTDMAn）は発生しません。

**備考**　n：DMAチャネル番号（n = 0-3）

# 18. 5　DMAコントローラの設定例

## 18. 5. 1　簡易SPI（CSI）連続送信

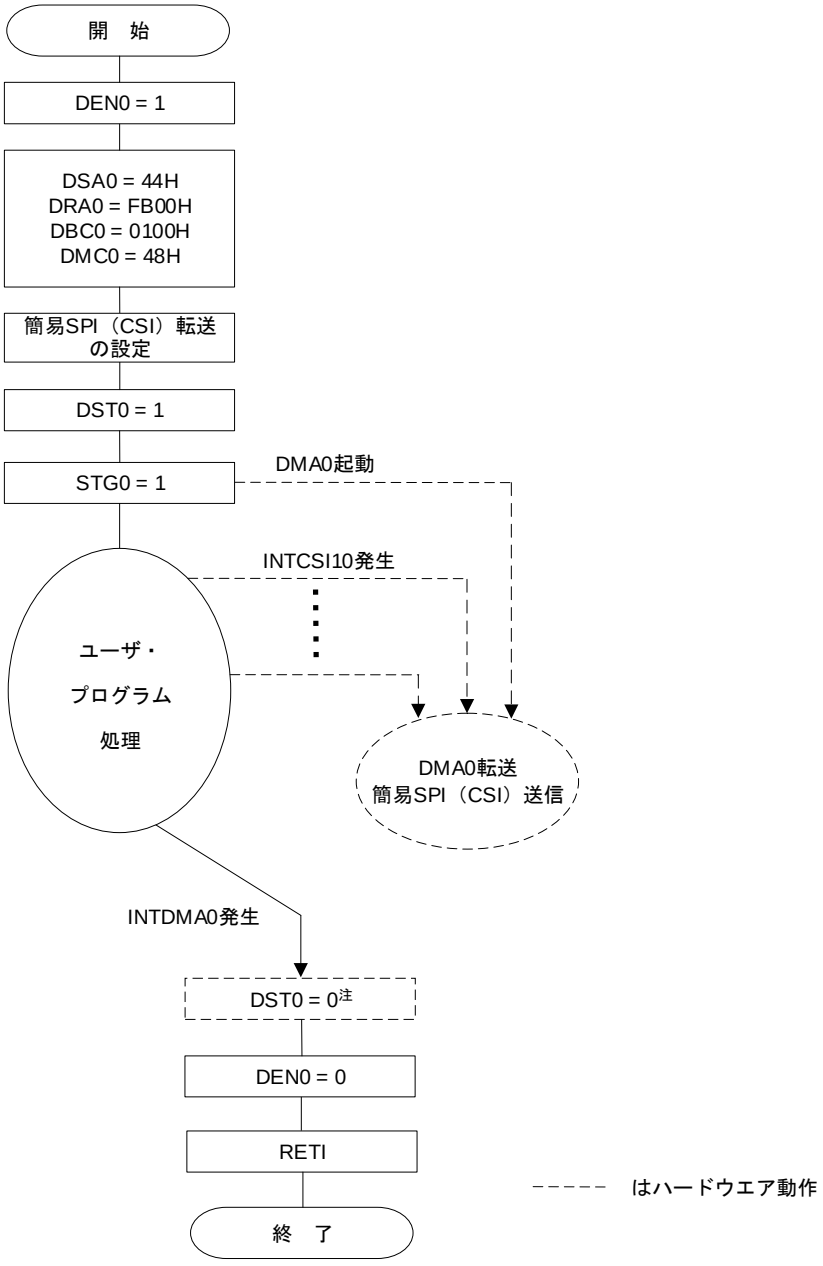
簡易SPI（CSI[注]）連続送信の設定例のフロー・チャートを次に示します。

- CSI10の連続送信（256バイト）
- DMAのチャネル0をDMA転送に使用
- DMA起動要因：INTCSI10（最初の起動要因のみソフトウエア・トリガ（STG0））
- CSI10の割り込みはIFC03-IFC00 = 1000Bに割り当て
- RAMのFFB00H-FFBFFH（256バイト）を簡易SPI（CSI）のデータ・レジスタ（SIO10）のFFF44Hに転送

**備考**　IFC03-IFC00：DMAモード・コントロール・レジスタ0（DMC0）のビット3-0

★ **注**　一般的にはSPIと呼ばれる機能ですが，本製品ではCSIとも呼称しているため，本マニュアルでは併記します。

図18－7　簡易SPI（CSI）連続送信の設定例




**注**　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は**18. 5. 5　ソフトウエアでの強制終了**参照）。

連続送信の場合は1回目のトリガは簡易SPI（CSI）の割り込みでは起動されません。この例ではソフトウエア・トリガにて起動しています。

2回目以降の簡易SPI（CSI）送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で，DMA割り込み（INTDMA0）が発生します。

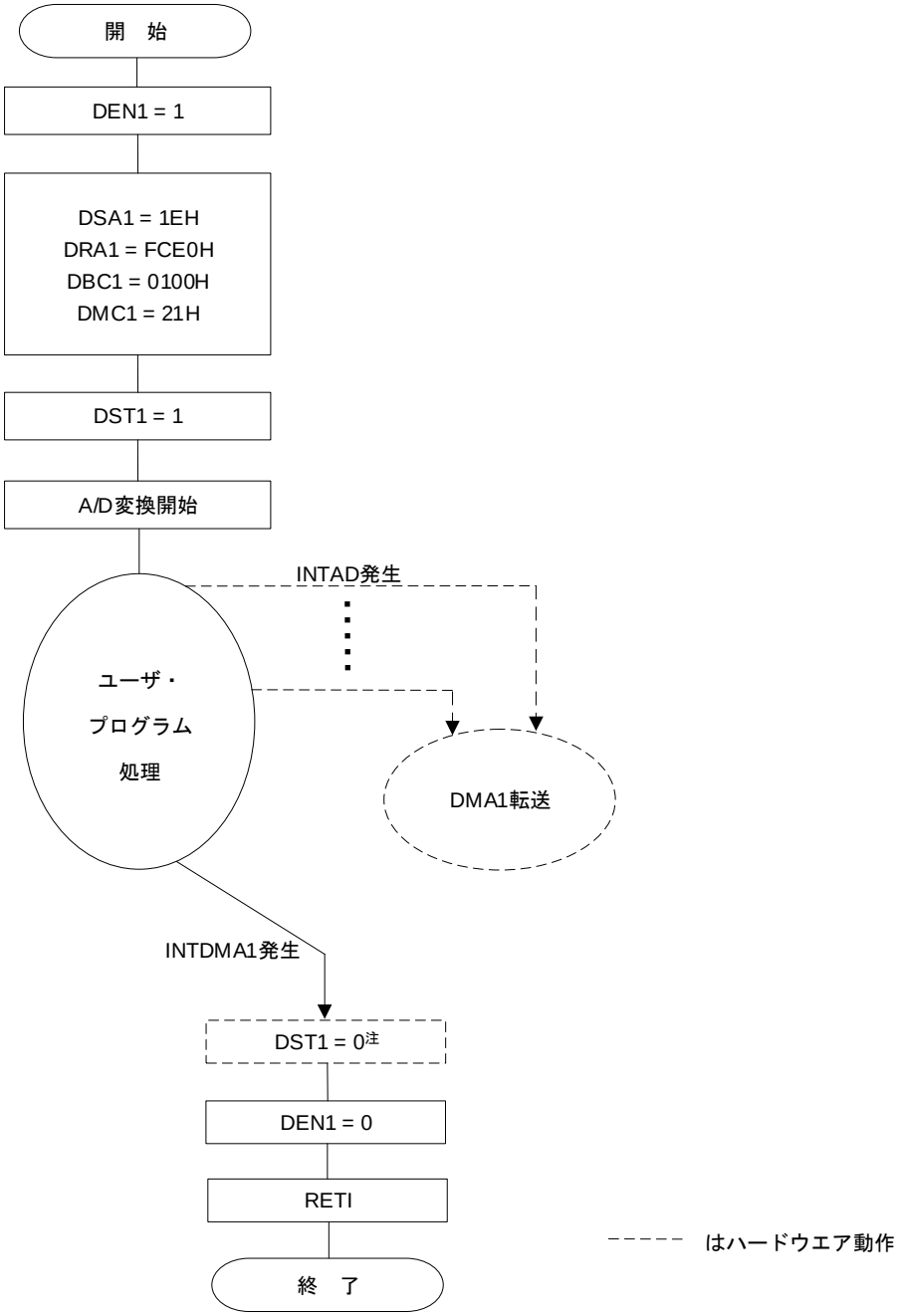
## 18. 5. 2　A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャネル1をDMA転送に使用
- DMA起動要因：INTAD
- A/Dの割り込みはIFC13-IFC10 = 0001Bに割り当て
- 10ビットA/D変換結果レジスタ（ADCR）のFFF1EHとFFF1FH（2バイト）をRAMのFFCE0H-FFEDFHの512バイトに転送

**備考**　IFC13-IFC10：DMAモード・コントロール・レジスタ1（DMC1）のビット3-0

図18－8　A/D変換結果の連続取り込みの設定例




**注**　DST1フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため，DMA1の割り込み（INTDMA1）発生を待たずに終了する場合は，DST1 = 0に設定してからDEN1 = 0としてください（詳細は**18. 5. 5　ソフトウエアでの強制終了**参照）。

### 18. 5. 3　UART連続受信＋ACK送信

UART連続受信＋ACK送信の設定例のフロー・チャートを次に示します。

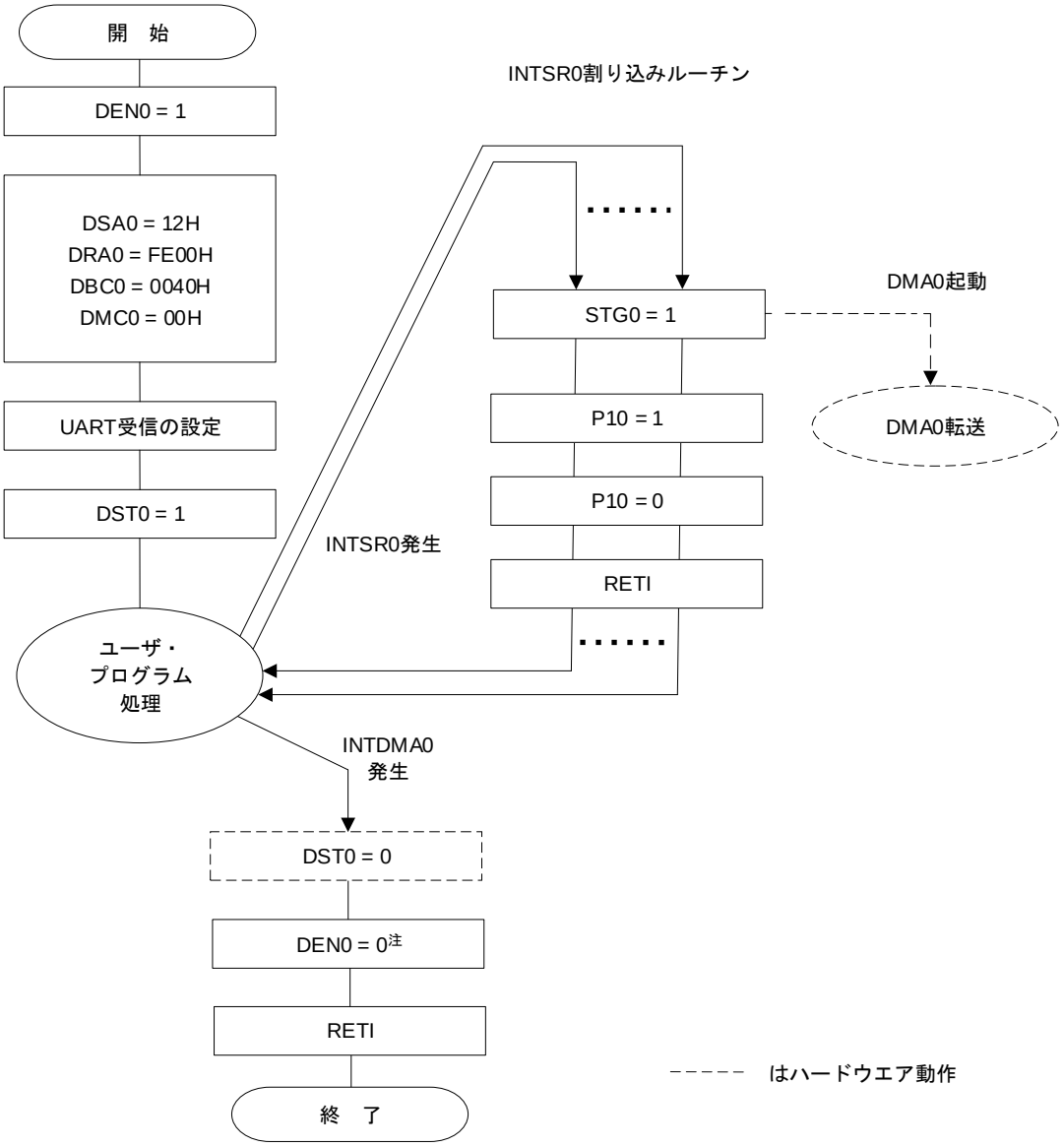
・UART0の連続受信を行い，P10に受信完了のACKを出力

・DMAのチャネル0をDMA転送に使用

・DMA起動要因：ソフトウエア・トリガ（割り込みによるDMA転送禁止）

・UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図18－9　UART連続受信＋ACK送信の設定例




**注**　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は**18. 5. 5　ソフトウエアでの強制終了**参照）。

**備考**　DMA起動要因にソフトウエア・トリガを使用した例です。
ACKを送信せずに，UART連続受信だけであれば，UART受信完了割り込み（INTSR0）をDMA起動要因に設定して，受信することもできます。

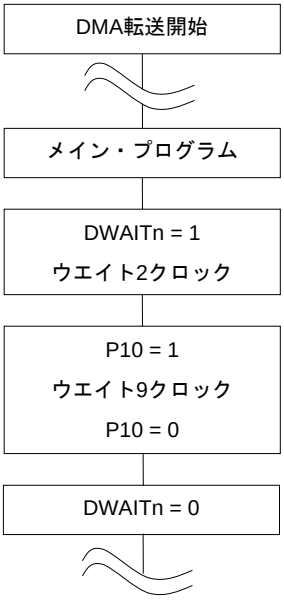
### 18. 5. 4　DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため，そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は，DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は，保留を解除後に実行されます。ただし，保留できる転送トリガは各チャネル1つなので，保留中に同一チャネルの転送トリガが2回以上発生しても，保留解除後に実行されるDMA転送は1回です。

一例として，P10端子より動作周波数の10クロック幅のパルスを出力する場合，DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後，DMA転送が保留されるまで2クロック必要となります。

図18－10　DWAITnビットによるDMA転送保留の設定例




**注意　DMAを2チャネル以上使用中でDMA転送を保留したい場合は，必ずすべてのチャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1）。他チャネルのDMAが保留中に一つのチャネルのDMA転送が実行されると，その他のチャネルも保留されない場合があります。**

**備考1.**　n：DMAチャネル番号（n = 0-3）

**2.**　1クロック：1/$f_{CLK}$（$f_{CLK}$：CPUクロック）

### 18. 5. 5　ソフトウエアでの強制終了

ソフトウエアでDSTn = 0に設定してから，実際にDMA転送が停止し，DSTn = 0となるまでには最大で2クロックが必要となります。そのため，DMAnの割り込み（INTDMAn）発生を待たずにソフトウエアで強制的にDMA転送を終了する場合は，次のいずれかの処理をしてください。

<DMAを1チャネル使用しているとき>

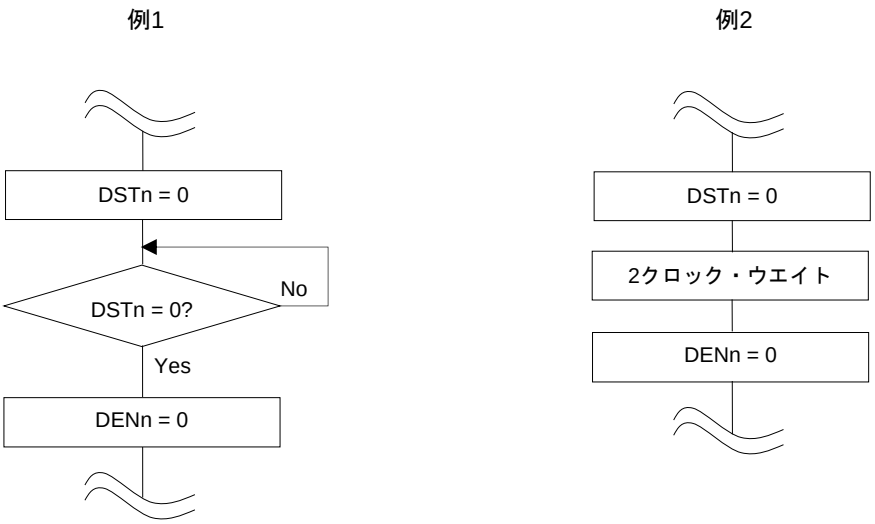
・ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，実際にDSTn ビットが0になったことをポーリングで確認後，DENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

・ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，2クロック経過後にDENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

<DMAを2チャネル以上使用しているとき>

・DMAを2チャネル以上使用しているときにソフトウエアで強制終了（DSTn = 0）する場合は，使用している全チャネルのDWAITnビットをセット（1）してDMA転送を保留してから，DSTnビットをクリア（0）する。その後，使用している全チャネルのDWAITnビットをクリア（0）し保留を解除してから，DENnビットをクリア（0）とする

図18－11　DMA転送の強制終了（1/2）



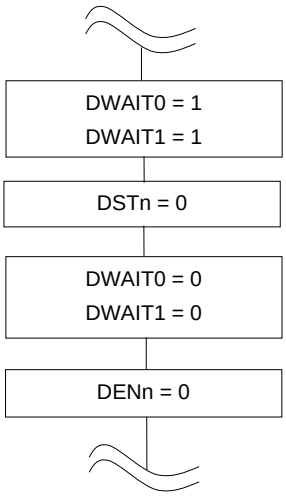

**備考1.**　n：DMAチャネル番号（n = 0-3）

**2.**　1クロック：1/$f_{CLK}$（$f_{CLK}$：CPUクロック）

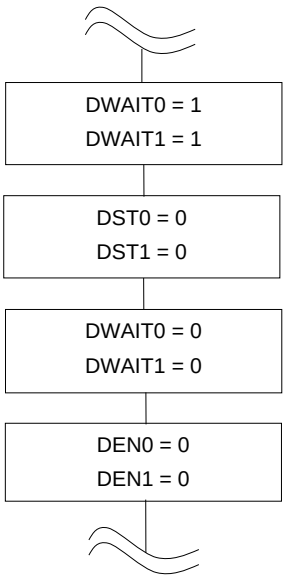
図18－11　DMA転送の強制終了（2/2）

例3

・2チャネルをともに使用時にどちらかのチャネルを強制終了する手順




・2チャネルをともに使用時に2チャネルともに強制終了する手順




**注意　例3では，DWAITnビットのセット（1）後のウエイト2クロックは必要ありません。また，DSTnビットをクリア（0）してからDENnビットをクリア（0）するまで2クロック以上経過しているため，DSTnビットのクリア（0）後にウエイト2クロックする必要はありません。**

**備考1.**　n：DMAチャネル番号（n = 0, 1）

**2.**　1クロック：1/$f_{CLK}$（$f_{CLK}$：CPUクロック）

# 18. 6　DMAコントローラの注意事項

（1）DMAの優先順位

DMA転送中は，他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に，保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は，DMAチャネル0＞DMAチャネル1＞DMAチャネル2＞DMAチャネル3の優先順位になります。

また，DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され，そのあとに割り込み処理が実行されます。

（2）DMA応答時間

DMA転送における応答時間は，次のようになります。

表18－3　DMA転送における応答時間

| | 最小時間 | 最大時間 |
|---|---|---|
| 応答時間 | 3クロック | 10クロック[注] |

**注**　内部RAMからの命令実行の場合は，最大時間が16クロックになります。

**注意1.　上記の応答時間には，DMA転送の2クロック分は含まれていません。**

**2.　DMA保留命令（18. 6（4）参照）実行の場合は，各条件の最大応答時間に，その条件で保留する命令の実行時間を足した時間となります。**

**3.　最大応答時間＋1クロック以内での同一チャネルへの連続する転送トリガは，無視される可能性があるため設定しないでください。**

**備考**　1クロック：1/$f_{CLK}$（$f_{CLK}$：CPUクロック）

（3）スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は，次のようになります。

表18－4　スタンバイ・モード時のDMA動作

| 状態 | DMA動作 |
|---|---|
| HALTモード | 通常動作。 |
| STOPモード | 動作停止。<br>DMA転送とSTOP命令が競合した場合，DMA転送が壊れることがありますので，STOP命令実行前にDMAを停止してください。 |

（4）DMA転送の保留命令

DMA要求が発生しても，次の命令直後ではDMA転送は保留されます。

- CALL !addr16
- CALL $!addr20
- CALL !!addr20
- CALL rp
- CALLT [addr5]
- BRK
- MOV PSW，#byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令
- データ・フラッシュにアクセスする命令

（5）汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn（DRAn）で示すアドレスがインクリメントされていき，汎用レジスタ領域内に入ってしまったり，内蔵RAMの領域を越えてしまった場合，以下に示す動作になります。

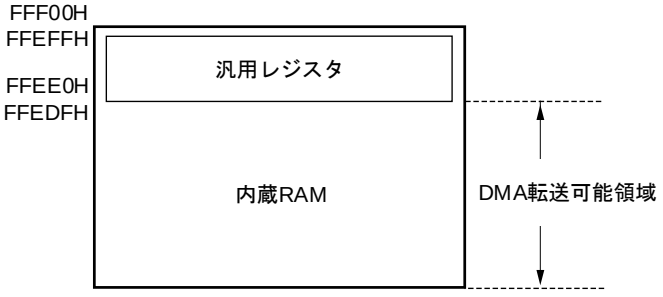
● SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

● RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も，誤動作やシステム破壊の原因となりますので，アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう，十分ご注意ください。



（6）データ・フラッシュ空間にアクセスする場合の動作

DMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合，間の命令に3クロック分のウエイトが入ります

命令1

DMA転送

命令2 ← 3クロック分のウエイト発生

MOV A, ！DataFlash空間

# 第19章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

| | | 64ピン | 80ピン |
|---|---|---|---|
| マスカブル割り込み | 外部 | 11 | |
| | 内部 | 32 | 35 |

## 19. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L，PR00H，PR01L，PR01H，PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては**表19－1**を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

## 19. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計7要因あります（**表19－1**参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表19－1 割り込み要因一覧（1/3）

| 割り込みの処理 | デフォルト・プライオリティ注1 | 割り込み要因 名称 | 割り込み要因 トリガ | 内部／外部 | ベクタ・テーブル・アドレス | 基本構成タイプ注2 | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| マスカブル | 0 | INTWDTI | ウォッチドッグ・タイマのインターバル注3（オーバフロー時間の75%＋1/2$f_{IL}$） | 内部 | 00004H | (A) | ○ | ○ |
| | 1 | INTLVI | 電圧検出注4 | | 00006H | | ○ | ○ |
| | 2 | INTP0 | 端子入力エッジ検出 | 外部 | 00008H | (B) | ○ | ○ |
| | 3 | INTP1 | | | 0000AH | | ○ | ○ |
| | 4 | INTP2 | | | 0000CH | | ○ | ○ |
| | 5 | INTP3 | | | 0000EH | | ○ | ○ |
| | 6 | INTP4 | | | 00010H | | ○ | ○ |
| | 7 | INTP5 | | | 00012H | | ○ | ○ |
| | 8 | INTST2 | UART2送信の転送完了，バッファ空き割り込み | 内部 | 00014H | (A) | ○ | ○ |
| | 9 | INTSR2 | UART2受信の転送完了 | | 00016H | | ○ | ○ |
| | 10 | INTSRE2 | UART2受信の通信エラー発生 | | 00018H | | ○ | ○ |
| | 11 | INTDMA0 | DMA0の転送完了 | | 0001AH | | ○ | ○ |
| | 12 | INTDMA1 | DMA1の転送完了 | | 0001CH | | ○ | ○ |
| | 13 | INTST0 /INTCSI00 /INTIIC00 | UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了 | | 0001EH | | ○ | ○ |
| | 14 | INTTM00 | タイマ・チャネル00のカウント完了またはキャプチャ完了 | | 00020H | | ○ | ○ |
| | 15 | INTSR0 | UART0受信の転送完了 | | 00022H | | ○ | ○ |
| | 16 | INTSRE0 | UART0受信の通信エラー発生 | | 00024H | | ○ | ○ |
| | | INTTM01H | タイマ・チャネル01のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時） | | | | ○ | ○ |
| | 17 | INTST1 /INTCSI10 /INTIIC10 | UART1送信の転送完了，バッファ空き割り込み／CSI10の転送完了，バッファ空き割り込み／IIC10の転送完了 | | 00026H | | ○ | ○ |
| | 18 | INTSR1 | UART1受信の転送完了 | | 00028H | | ○ | ○ |
| | 19 | INTSRE1 | UART1受信の通信エラー発生 | | 0002AH | | ○ | ○ |
| | | INTTM03H | タイマ・チャネル03のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時） | | | | ○ | ○ |
| | 20 | INTIICA0 | IICA0通信完了 | | 0002CH | | ○ | ○ |

**注 1.** デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，44が最低順位です。

**2.** 基本構成タイプの（A）-（D）は，それぞれ**図19－1の**（A）-（D）に対応しています。

**3.** オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。

**4.** 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

表19－1　割り込み要因一覧（2/3）

| 割り込みの処理 | デフォルト・プライオリティ注1 | 割り込み要因 名称 | 割り込み要因 トリガ | 内部／外部 | ベクタ・テーブル・アドレス | 基本構成タイプ注2 | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| マスカブル | 21 | INTRTIT | RTC補正タイミング | 内部 | 0002EH | (A) | ○ | ○ |
| | 22 | INTTM01 | タイマ・チャネル01のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時） | | 00032H | | ○ | ○ |
| | 23 | INTTM02 | タイマ・チャネル02のカウント完了またはキャプチャ完了 | | 00034H | | ○ | ○ |
| | 24 | INTTM03 | タイマ・チャネル03のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時） | | 00036H | | ○ | ○ |
| | 25 | INTAD | A/D変換終了 | | 00038H | | ○ | ○ |
| | 26 | INTRTC | リアルタイム･クロック2の定周期信号／アラーム一致検出 | | 0003AH | | ○ | ○ |
| | 27 | INTIT | 12ビット・インターバル・タイマのインターバル信号検出 | | 0003CH | | ○ | ○ |
| | 28 | INTKR | キー・リターン信号検出 | 外部 | 0003EH | (C) | ○ | ○ |
| | 29 | INTST3 | UART3送信の転送完了，バッファ空き割り込み | 内部 | 00040H | (A) | ○ | － |
| | 30 | INTSR3 | UART3受信の転送完了 | | 00042H | | ○ | － |
| | 31 | INTTKB20 | タイマKB20のカウント完了 | | 00044H | | ○ | ○ |
| | 32 | INTTM04 | タイマ・チャネル04のカウント完了またはキャプチャ完了 | | 00046H | | ○ | ○ |
| | 33 | INTTM05 | タイマ・チャネル05のカウント完了またはキャプチャ完了 | | 00048H | | ○ | ○ |
| | 34 | INTP6 | 端子入力エッジ検出 | 外部 | 0004AH | (B) | ○ | ○ |
| | 35 | INTP7 | | | 0004CH | | ○ | ○ |
| | 36 | INTCMP0 | コンパレータ検出0 | | 00050H | | ○ | ○ |
| | 37 | INTCMP1 | コンパレータ検出1 | | 00052H | | ○ | ○ |
| | 38 | INTTM06 | タイマ・チャネル06のカウント完了またはキャプチャ完了 | 内部 | 00054H | (A) | ○ | ○ |
| | 39 | INTTM07 | タイマ・チャネル07のカウント完了またはキャプチャ完了 | | 00056H | | ○ | ○ |
| | 40 | INTSRE3 | UART3受信の通信エラー発生 | | 0005CH | | ○ | － |
| | 41 | INTMD | 除算演算終了／オーバフロー発生 | | 0005EH | | ○ | ○ |
| | 42 | INTFL | 予約注3 | | 00062H | | ○ | ○ |
| | 43 | INTDMA2 | DMA2の転送完了 | | 00064H | | ○ | ○ |
| | 44 | INTDMA3 | DMA3の転送完了 | | 00066H | | ○ | ○ |

**注 1.**　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，44が最低順位です。

**2.**　基本構成タイプの（A）-（D）は，それぞれ**図19－1の**（A）-（D）に対応しています。

**3.**　フラッシュ・セルフ・プログラミング・ライブラリ，データ・フラッシュ・ライブラリで使用します。

表19－1　割り込み要因一覧（3/3）

| 割り込みの処理 | デフォルト・プライオリティ[注1] | 割り込み要因 名称 | 割り込み要因 トリガ | 内部／外部 | ベクタ・テーブル・アドレス | 基本構成タイプ[注2] | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| ソフトウエア | － | BRK | BRK命令の実行 | － | 0007EH | (D) | ○ | ○ |
| リセット | － | RESET | $\overline{\text{RESET}}$端子入力 | － | 00000H | － | ○ | ○ |
| | | POR | パワーオン・リセット | | | | ○ | ○ |
| | | LVD | 電圧検出[注3] | | | | ○ | ○ |
| | | WDT | ウォッチドッグ・タイマのオーバフロー | | | | ○ | ○ |
| | | TRAP | 不正命令の実行[注4] | | | | ○ | ○ |
| | | IAW | 不正メモリ・アクセス | | | | ○ | ○ |
| | | RPE | RAMパリティ・エラー | | | | ○ | ○ |

**注 1.** デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，44が最低順位です。

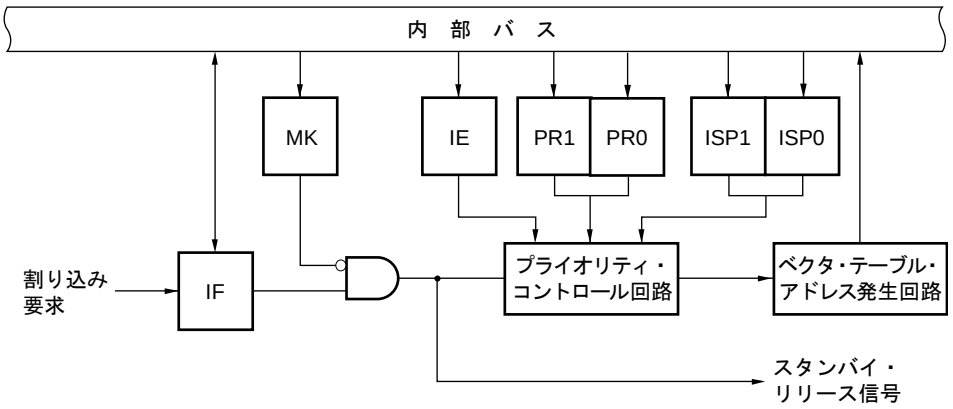
**2.** 基本構成タイプの（A）-（D）は，それぞれ**図19－1**の（A）-（D）に対応しています。

**3.** 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 1選択時。

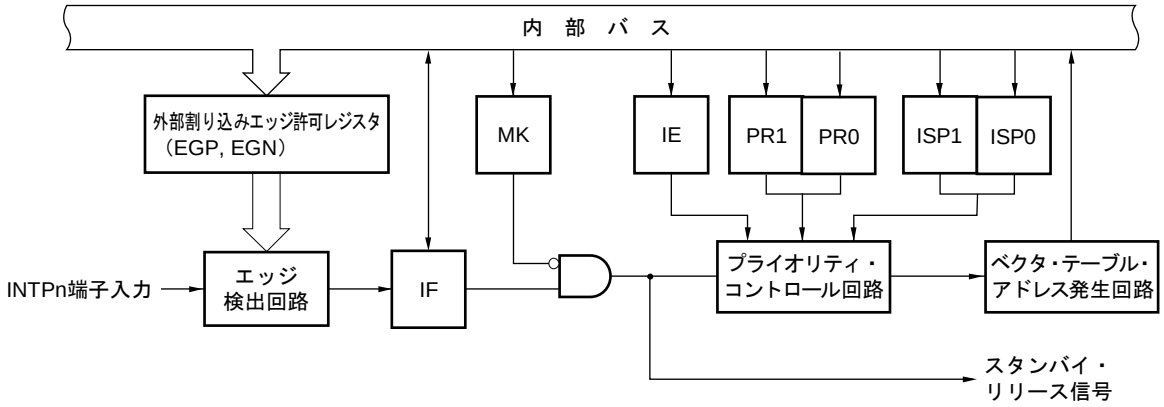
**4.** FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図19－1　割り込み機能の基本構成（1/2）

（A）内部マスカブル割り込み




（B）外部マスカブル割り込み（INTPn）

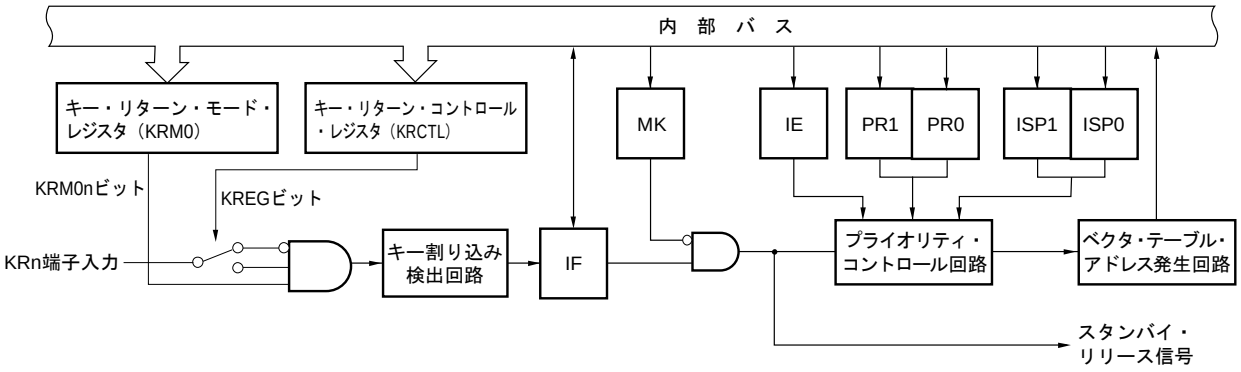



IF　　：割り込み要求フラグ
IE　　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　　：割り込みマスク・フラグ
PR0　　：優先順位指定フラグ0
PR1　　：優先順位指定フラグ1

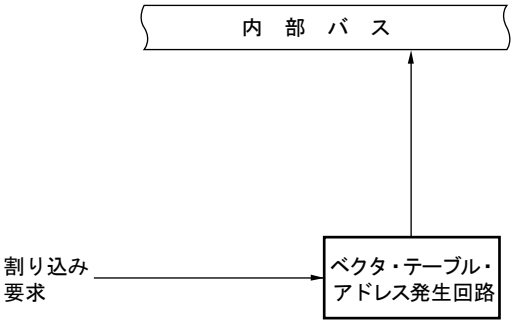
**備考**　n = 0-7

図19－1　割り込み機能の基本構成（2/2）

（C）外部マスカブル割り込み（INTKR）




（D）ソフトウエア割り込み




IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　：割り込みマスク・フラグ
PR0　：優先順位指定フラグ0
PR1　：優先順位指定フラグ1

**備考**　64ピン：n = 0-4, 7
80ピン：n = 0-7

## 19. 3　割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

・割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）
・割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）
・優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）
・外部割り込み立ち上がりエッジ許可レジスタ（EGP0）
・外部割り込み立ち下がりエッジ許可レジスタ（EGN0）
・プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を**表19－2**に示します。

表19－2　割り込み要求ソースに対応する各種フラグ（1/3）

| 割り込み要因 | 割り込み要求フラグ | レジスタ | 割り込みマスク・フラグ | レジスタ | 優先順位指定フラグ | レジスタ | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| INTWDTI | WDTIIF | IF0L | WDTIMK | MK0L | WDTIPR0, WDTIPR1 | PR00L, PR10L | ○ | ○ |
| INTLVI | LVIIF | | LVIMK | | LVIPR0, LVIPR1 | | ○ | ○ |
| INTP0 | PIF0 | | PMK0 | | PPR00, PPR10 | | ○ | ○ |
| INTP1 | PIF1 | | PMK1 | | PPR01, PPR11 | | ○ | ○ |
| INTP2 | PIF2 | | PMK2 | | PPR02, PPR12 | | ○ | ○ |
| INTP3 | PIF3 | | PMK3 | | PPR03, PPR13 | | ○ | ○ |
| INTP4 | PIF4 | | PMK4 | | PPR04, PPR14 | | ○ | ○ |
| INTP5 | PIF5 | | PMK5 | | PPR05, PPR15 | | ○ | ○ |
| INTST2 | STIF2 | IF0H | STMK2 | MK0H | STPR02, STPR12 | PR00H, PR10H | ○ | ○ |
| INTSR2 | SRIF2 | | SRMK2 | | SRPR02, SRPR12 | | ○ | ○ |
| INTSRE2 | SREIF2 | | SREMK2 | | SREPR02, SREPR12 | | ○ | ○ |
| INTDMA0 | DMAIF0 | | DMAMK0 | | DMAPR00, DMAPR10 | | ○ | ○ |
| INTDMA1 | DMAIF1 | | DMAMK1 | | DMAPR01, DMAPR11 | | ○ | ○ |
| INTST0注 | STIF0注 | | STMK0注 | | STPR00, STPR10注 | | ○ | ○ |
| INTCSI00注 | CSIIF00注 | | CSIMK00注 | | CSIPR000, CSIPR100注 | | ○ | ○ |
| INTIIC00注 | IICIF00注 | | IICMK00注 | | IICPR000, IICPR100注 | | ○ | ○ |
| INTTM00 | TMIF00 | | TMMK00 | | TMPR000, TMPR100 | | ○ | ○ |
| INTSR0 | SRIF0 | | SRMK0 | | SRPR00, SRPR10 | | ○ | ○ |

**注**　割り込み要因INTST0, INTCSI00, INTIIC00のうち，いずれかが発生したら，IF0Hレジスタのビット5はセット（1）されます。また，MK0H, PR00H, PR10Hレジスタのビット5は，3つすべての割り込み要因に対応しています。

表19－2 割り込み要求ソースに対応する各種フラグ（2/3）

| 割り込み要因 | 割り込み要求フラグ | レジスタ | 割り込みマスク・フラグ | レジスタ | 優先順位指定フラグ | レジスタ | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| INTSRE0[注1] | SREIF0[注1] | IF1L | SREMK0[注1] | MK1L | SREPR00, SREPR10[注1] | PR01L, PR11L | ○ | ○ |
| INTTM01H[注1] | TMIF01H[注1] | | TMMK01H[注1] | | TMPR001H, TMPR101H[注1] | | ○ | ○ |
| INTST1[注2] | STIF1[注2] | | STMK1[注2] | | STPR01, STPR11[注2] | | ○ | ○ |
| INTCSI10[注2] | CSIIF10[注2] | | CSIMK10[注2] | | CSIPR010, CSIPR110[注2] | | ○ | ○ |
| INTIIC10[注2] | IICIF10[注2] | | IICMK10[注2] | | IICPR010, IICPR110[注2] | | ○ | ○ |
| INTSR1 | SRIF1 | | SRMK1 | | SRPR01, SRPR11 | | ○ | ○ |
| INTSRE1[注3] | SREIF1[注3] | | SREMK1[注3] | | SREPR01, SREPR11[注3] | | ○ | ○ |
| INTTM03H[注3] | TMIF03H[注3] | | TMMK03H[注3] | | TMPR003H, TMPR103H[注3] | | ○ | ○ |
| INTIICA0 | IICAIF0 | | IICAMK0 | | IICAPR00, IICAPR10 | | ○ | ○ |
| INTRTIT | RTITIF | | RTITMK | | RTITPR0, RTITPR1 | | ○ | ○ |
| INTTM01 | TMIF01 | | TMMK01 | | TMPR001, TMPR101 | | ○ | ○ |
| INTTM02 | TMIF02 | IF1H | TMMK02 | MK1H | TMPR002, TMPR102 | PR01H, PR11H | ○ | ○ |
| INTTM03 | TMIF03 | | TMMK03 | | TMPR003, TMPR103 | | ○ | ○ |
| INTAD | ADIF | | ADMK | | ADPR0, ADPR1 | | ○ | ○ |
| INTRTC | RTCIF | | RTCMK | | RTCPR0, RTCPR1 | | ○ | ○ |
| INTIT | TMKAIF | | TMKAMK | | TMKAPR0, TMKAPR1 | | ○ | ○ |
| INTKR | KRIF | | KRMK | | KRPR0, KRPR1 | | ○ | ○ |
| INTST3 | STIF3 | | STMK3 | | STPR03, STPR13 | | ○ | － |
| INTSR3 | SRIF3 | | SRMK3 | | SRPR03, SRPR13 | | ○ | － |
| INTTKB20 | TKBIF20 | IF2L | TKBMK20 | MK2L | TKBPR020, TKBPR120 | PR02L, PR12L | ○ | ○ |
| INTTM04 | TMIF04 | | TMMK04 | | TMPR004, TMPR104 | | ○ | ○ |
| INTTM05 | TMIF05 | | TMMK05 | | TMPR005, TMPR105 | | ○ | ○ |
| INTP6 | PIF6 | | PMK6 | | PPR06, PPR16 | | ○ | ○ |
| INTP7 | PIF7 | | PMK7 | | PPR07, PPR17 | | ○ | ○ |
| INTCMP0 | CMPIF0 | | CMPMK0 | | CMPPR00, CMPPR10 | | ○ | ○ |
| INTCMP1 | CMPIF1 | | CMPMK1 | | CMPPR01, CMPPR11 | | ○ | ○ |

**注 1.** UART0の受信エラー割り込み，TAU0のチャネル1（上位8ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は，UART0, TAU0のチャネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち，どちらかが発生したら，IF1Lレジスタのビット0はセット（1）されます。また，MK1L, PR01L, PR11Lレジスタのビット0は，両方の割り込み要因に対応しています。

**2.** 割り込み要因INTST1，INTCSI10，INTIIC10のうち，いずれかが発生したら，IF1Lレジスタのビット1はセット（1）されます。また，MK1L, PR01L, PR11Lレジスタのビット1は，3つすべての割り込み要因に対応しています。

**3.** UART1の受信エラー割り込み，TAU0のチャネル3（上位8ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。UART1受信のエラー割り込みを使用しない（EOC03 = 0）場合は，UART1, TAU0のチャネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち，どちらかが発生したら，IF1Lレジスタのビット3はセット（1）されます。また，MK1L, PR01L, PR11Lレジスタのビット3は，両方の割り込み要因に対応しています。

表19－2　割り込み要求ソースに対応する各種フラグ（3/3）

| 割り込み要因 | 割り込み要求フラグ | レジスタ | 割り込みマスク・フラグ | レジスタ | 優先順位指定フラグ | レジスタ | 80ピン | 64ピン |
|---|---|---|---|---|---|---|---|---|
| INTTM06 | TMIF06 | IF2H | TMMK06 | MK2H | TMPR006, TMPR106 | PR02H, PR12H | ○ | ○ |
| INTTM07 | TMIF07 | | TMMK07 | | TMPR007, TMPR107 | | ○ | ○ |
| INTSRE3 | SREIF3 | | SREMK3 | | SREPR03, SREPR13 | | ○ | － |
| INTMD | MDIF | | MDMK | | MDPR0, MDPR1 | | ○ | ○ |
| INTFL | FLIF | | FLMK | | FLPR0, FLPR1 | | ○ | ○ |
| INTDMA2 | DMAIF2 | IF3L | DMAMK2 | MK3L | DMAPR02, DMAPR12 | PR03L, PR13L | ○ | ○ |
| INTDMA3 | DMAIF3 | | DMAMK3 | | DMAPR03, DMAPR13 | | ○ | ○ |

### 19. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタ，IF1LレジスタとIF1Hレジスタ，IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

**備考**　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図19－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（1/2）

アドレス：FFFE0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF0L | PIF5 | PIF4 | PIF3 | PIF2 | PIF1 | PIF0 | LVIIF | WDTIIF |

アドレス：FFFE1H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF0H | SRIF0 | TMIF00 | STIF0<br>CSIIF00<br>IICIF00 | DMAIF1 | DMAIF0 | SREIF2 | SRIF2 | STIF2 |

アドレス：FFFE2H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF1L | TMIF01 | 0 | RTITIF | IICAIF0 | SREIF1<br>TMIF03H | SRIF1 | STIF1<br>CSIIF10<br>IICIF10 | SREIF0<br>TMIF01H |

アドレス：FFFE3H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF1H | SRIF3 | STIF3 | KRIF | TMKAIF | RTCIF | ADIF | TMIF03 | TMIF02 |

アドレス：FFFD0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF2L | CMPIF1 | CMPIF0 | 0 | PIF7 | PIF6 | TMIF05 | TMIF04 | TKBIF20 |

アドレス：FFFD1H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF2H | FLIF | 0 | MDIF | SREIF3 | 0 | 0 | TMIF07 | TMIF06 |

図19－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（2/2）

アドレス：FFFD2H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF3L | 0 | 0 | 0 | 0 | 0 | 0 | DMAIF3 | DMAIF2 |

| XXIFX | 割り込み要求フラグ |
|---|---|
| 0 | 割り込み要求信号が発生していない |
| 1 | 割り込み要求信号が発生し，割り込み要求状態 |

**注意1.　製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表19－2を参照してください。また，搭載していないビットには必ず0を設定してください。**

**2.　割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm(“clr1 IF0L.0”);」のようなビット操作命令を使用してください。**

**なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。**

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

**この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。**

### 19. 3. 2 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）

割り込みマスク・フラグは，対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LレジスタとMK0Hレジスタ，MK1LレジスタとMK1Hレジスタ，MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

**備考** このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図19−3 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット（1/2）

アドレス：FFFE4H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK0L | PMK5 | PMK4 | PMK3 | PMK2 | PMK1 | PMK0 | LVIMK | WDTIMK |

アドレス：FFFE5H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK0H | SRMK0 | TMMK00 | STMK0<br>CSIMK00<br>IICMK00 | DMAMK1 | DMAMK0 | SREMK2 | SRMK2 | STMK2 |

アドレス：FFFE6H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK1L | TMMK01 | 1 | RTITMK | IICAMK0 | SREMK1<br>TMMK03H | SRMK1 | STMK1<br>CSIMK10<br>IICMK10 | SREMK0<br>TMMK01H |

アドレス：FFFE7H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK1H | SRMK3 | STMK3 | KRMK | TMKAMK | RTCMK | ADMK | TMMK03 | TMMK02 |

アドレス：FFFD4H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK2L | CMPMK1 | CMPMK0 | 1 | PMK7 | PMK6 | TMMK05 | TMMK04 | TKBMK20 |

アドレス：FFFD5H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK2H | FLMK | 1 | MDMK | SREMK3 | 1 | 1 | TMMK07 | TMMK06 |

図19－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）の
フォーマット（2/2）

アドレス：FFFD6H　　リセット時：FFH　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK3L | 1 | 1 | 1 | 1 | 1 | 1 | DMAMK3 | DMAMK2 |

| XXMKX | 割り込み処理の制御 |
|---|---|
| 0 | 割り込み処理許可 |
| 1 | 割り込み処理禁止 |

**注意　製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表19－2を参照してください。また，搭載していないビットには必ず1を設定してください。**

### 19. 3. 3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L）。

PR00L，PR00H，PR01L，PR01H，PR02L，PR02H，PR03L，PR10L，PR10H，PR11L，PR11H，PR12L，PR12H，PR13Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR00LレジスタとPR00Hレジスタ，PR01LレジスタとPR01Hレジスタ，PR02LレジスタとPR02Hレジスタ，PR10LレジスタとPR10Hレジスタ，PR11LレジスタとPR11Hレジスタ，PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

**備考** このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図19－4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット（1/3）

アドレス：FFFE8H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR00L | PPR05 | PPR04 | PPR03 | PPR02 | PPR01 | PPR00 | LVIPR0 | WDTIPR0 |

アドレス：FFFECH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR10L | PPR15 | PPR14 | PPR13 | PPR12 | PPR11 | PPR10 | LVIPR1 | WDTIPR1 |

アドレス：FFFE9H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR00H | SRPR00 | TMPR000 | STPR00<br>CSIPR000<br>IICPR000 | DMAPR01 | DMAPR00 | SREPR02 | SRPR02 | STPR02 |

アドレス：FFFEDH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR10H | SRPR10 | TMPR100 | STPR10<br>CSIPR100<br>IICPR100 | DMAPR11 | DMAPR10 | SREPR12 | SRPR12 | STPR12 |

アドレス：FFFEAH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR01L | TMPR001 | 1 | RTITPR0 | IICAPR00 | SREPR01<br>TMPR003H | SRPR01 | STPR01<br>CSIPR010<br>IICPR010 | SREPR00<br>TMPR001H |

図19－4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット（2/3）

アドレス：FFFEEH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR11L | TMPR101 | 1 | RTITPR1 | IICAPR10 | SREPR11<br>TMPR103H | SRPR11 | STPR11<br>CSIPR110<br>IICPR110 | SREPR10<br>TMPR101H |

アドレス：FFFEBH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR01H | SRPR03 | STPR03 | KRPR0 | TMKAPR0 | RTCPR0 | ADPR0 | TMPR003 | TMPR002 |

アドレス：FFFEFH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR11H | SRPR13 | STPR13 | KRPR1 | TMKAPR1 | RTCPR1 | ADPR1 | TMPR103 | TMPR102 |

アドレス：FFFD8H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR02L | CMPPR01 | CMPPR00 | 1 | PPR07 | PPR06 | TMPR005 | TMPR004 | TKBPR020 |

アドレス：FFFDCH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR12L | CMPPR11 | CMPPR10 | 1 | PPR17 | PPR16 | TMPR105 | TMPR104 | TKBPR120 |

アドレス：FFFD9H リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR02H | FLPR0 | 1 | MDPR0 | SREPR03 | 1 | 1 | TMPR007 | TMPR006 |

アドレス：FFFDDH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR12H | FLPR1 | 1 | MDPR1 | SREPR13 | 1 | 1 | TMPR107 | TMPR106 |

アドレス：FFFDAH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR03L | 1 | 1 | 1 | 1 | 1 | 1 | DMAPR03 | DMAPR02 |

アドレス：FFFDEH リセット時：FFH R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR13L | 1 | 1 | 1 | 1 | 1 | 1 | DMAPR13 | DMAPR12 |

図19－4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット（3/3）

| XXPR1X | XXPR0X | 優先順位レベルの選択 |
|---|---|---|
| 0 | 0 | レベル0を指定（高優先順位） |
| 0 | 1 | レベル1を指定 |
| 1 | 0 | レベル2を指定 |
| 1 | 1 | レベル3を指定（低優先順位） |

**注意　製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表19－2を参照してください。また，搭載していないビットには必ず1を設定してください。**

### 19. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP0，EGN0レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19－5　外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| EGP0 | EGP7 | EGP6 | EGP5 | EGP4 | EGP3 | EGP2 | EGP1 | EGP0 |

アドレス：FFF39H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| EGN0 | EGN7 | EGN6 | EGN5 | EGN4 | EGN3 | EGN2 | EGN1 | EGN0 |

| EGPn | EGNn | INTPn端子の有効エッジの選択（n = 0-7） |
|---|---|---|
| 0 | 0 | エッジ検出禁止 |
| 0 | 1 | 立ち下がりエッジ |
| 1 | 0 | 立ち上がりエッジ |
| 1 | 1 | 立ち上がり，立ち下がりの両エッジ |

EGPnビットとEGNnビットに対応するポートを表19－3に示します。

表19－3　EGPnビットとEGNnビットに対応する割り込み要求信号

| 検出許可ビット | | 割り込み要求信号 |
|---|---|---|
| EGP0 | EGN0 | INTP0 |
| EGP1 | EGN1 | INTP1 |
| EGP2 | EGN2 | INTP2 |
| EGP3 | EGN3 | INTP3 |
| EGP4 | EGN4 | INTP4 |
| EGP5 | EGN5 | INTP5 |
| EGP6 | EGN6 | INTP6 |
| EGP7 | EGN7 | INTP7 |

**注意　外部割り込み機能からポート機能に切り替える場合に，エッジ検出を行う可能性があるため，EGPnビットとEGNnビットを0に設定してからポート・モードに切り替えてください。**

**備考 1.**　エッジ検出ポートに関しては，**2. 1　ポート機能**を参照してください。

**2.**　n = 0-7

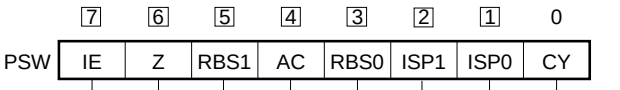
## 19. 3. 5　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグの内容が00以外は，“－1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図19－6　プログラム・ステータス・ワードの構成




| ISP1 | ISP0 | 現在処理中の割り込みの優先順位 |
|---|---|---|
| 0 | 0 | レベル0の割り込み許可<br>（レベル1または0の割り込み処理中） |
| 0 | 1 | レベル0～1の割り込み許可<br>（レベル2の割り込み処理中） |
| 1 | 0 | レベル0～2の割り込み許可<br>（レベル3の割り込み処理中） |
| 1 | 1 | すべての割り込み許可<br>（割り込み受け付け待ち） |

| IE | 割り込み要求受け付けの許可／禁止 |
|---|---|
| 0 | 禁止 |
| 1 | 許可 |

# 19. 4　割り込み処理動作

## 19. 4. 1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表19－4のようになります。

割り込み要求の受け付けタイミングについては，図19－8, 19－9を参照してください。

表19－4　マスカブル割り込み要求発生から処理までの時間

| | 最小時間 | 最大時間[注] |
|---|---|---|
| 処理時間 | 9クロック | 16クロック |

**注**　内部RAM領域からの命令実行時は除きます。

**備考**　1クロック：1/$f_{CLK}$（$f_{CLK}$：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

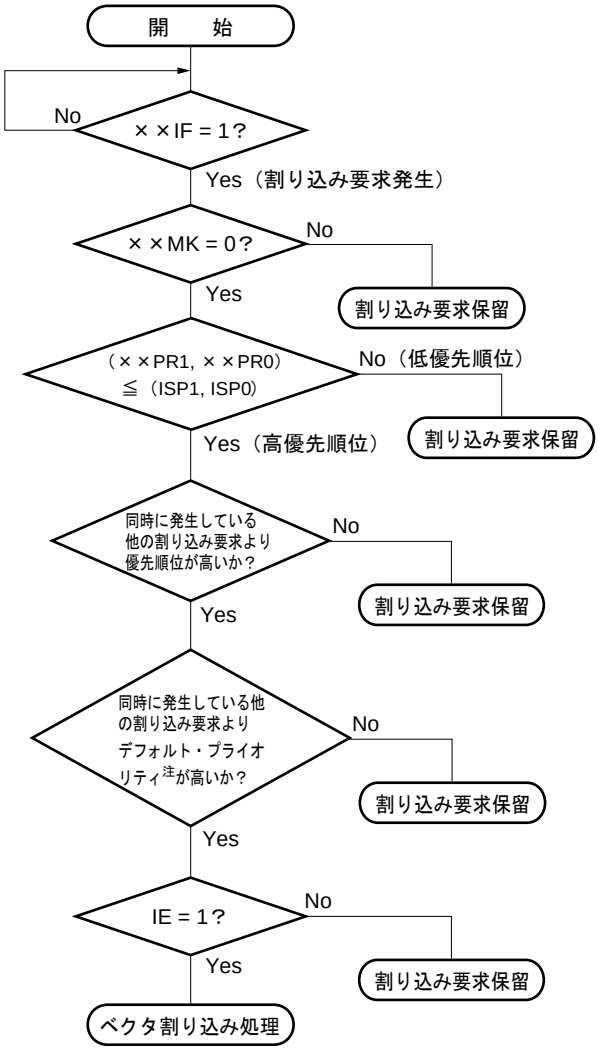
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図19－7に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1，ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図19－7　割り込み要求受け付け処理アルゴリズム




××IF　　：割り込み要求フラグ
××MK　　：割り込みマスク・フラグ
××PR0　　：優先順位指定フラグ0
××PR1　　：優先順位指定フラグ1
IE　　：マスカブル割り込み要求の受け付けを制御するフラグ（1＝ 許可，0＝ 禁止）
ISP0, ISP1　　：現在処理中の割り込みの優先順位を示すフラグ（図19－6参照）

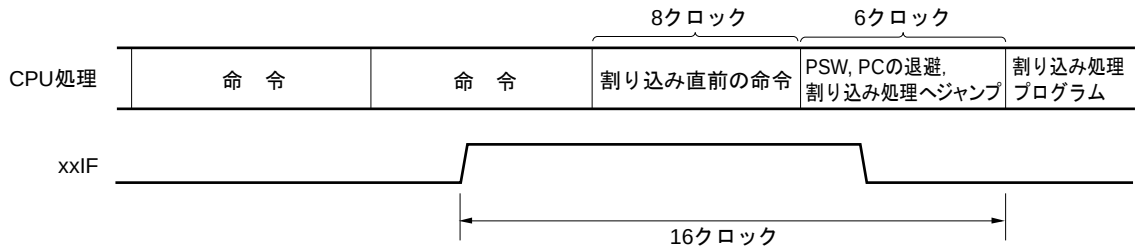
**注**　デフォルト・プライオリティは，**表19－1　割り込み要因一覧**を参照してください。

図19－8　割り込み要求の受け付けタイミング（最小時間）




**備考**　1クロック：1/$f_{CLK}$（$f_{CLK}$：CPUクロック）

図19－9　割り込み要求の受け付けタイミング（最大時間）




**備考**　1クロック：1/$f_{CLK}$（$f_{CLK}$：CPUクロック）

### 19. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

**注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。**

### 19. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

**表19－5**に多重割り込み可能な割り込み要求の関係を，**図19－10**に多重割り込みの例を示します。

表19－5　割り込み処理中に多重割り込み可能な割り込み要求の関係

| 多重割り込み要求 / 処理中の割り込み | | マスカブル割り込み要求 | | | | | | | | ソフトウエア割り込み要求 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | 優先順位レベル0（PR = 00） | | 優先順位レベル1（PR = 01） | | 優先順位レベル2（PR = 10） | | 優先順位レベル3（PR = 11） | | |
| | | IE = 1 | IE = 0 | IE = 1 | IE = 0 | IE = 1 | IE = 0 | IE = 1 | IE = 0 | |
| マスカブル割り込み | ISP1 = 0<br>ISP0 = 0 | ○ | × | × | × | × | × | × | × | ○ |
| | ISP1 = 0<br>ISP0 = 1 | ○ | × | ○ | × | × | × | × | × | ○ |
| | ISP1 = 1<br>ISP0 = 0 | ○ | × | ○ | × | ○ | × | × | × | ○ |
| | ISP1 = 1<br>ISP0 = 1 | ○ | × | ○ | × | ○ | × | ○ | × | ○ |
| ソフトウエア割り込み | | ○ | × | ○ | × | ○ | × | ○ | × | ○ |

**備考1.** ○：多重割り込み可能。

**2.** ×：多重割り込み不可能。

**3.** ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0　：レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1　：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0　：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1　：割り込み受け付け待ち（すべての割り込み許可）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

**4.** PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lジスタに含まれるフラグです。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定（高優先順位）

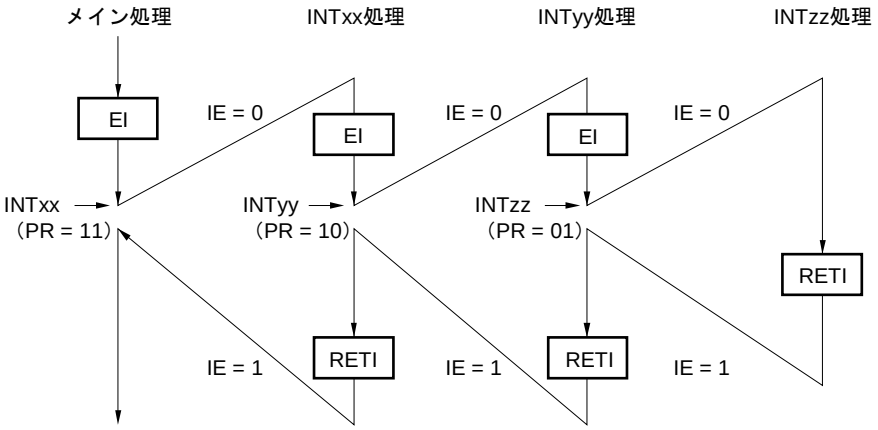
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定（低優先順位）

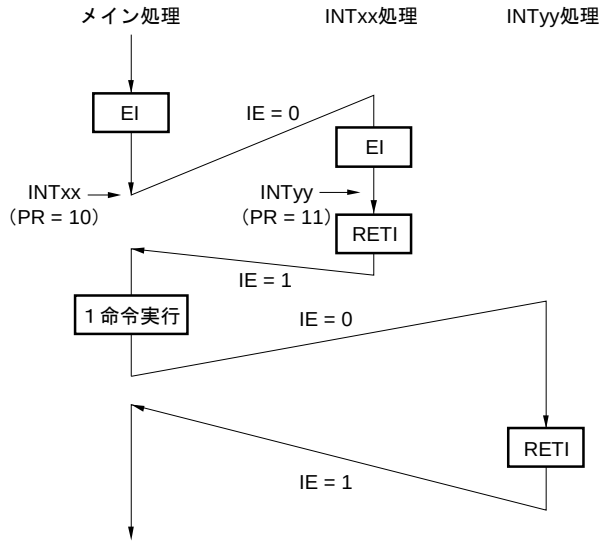
図19－10　多重割り込みの例（1/2）

例1. 多重割り込みが2回発生する例




割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により，多重割り込みが発生しない例

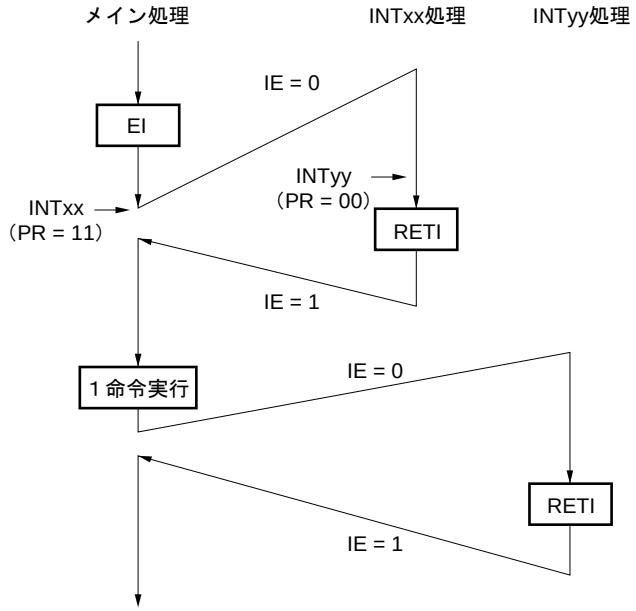



割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0，××PR0×= 0でレベル0を指定（高優先順位）
PR = 01：××PR1×= 0，××PR0×= 1でレベル1を指定
PR = 10：××PR1×= 1，××PR0×= 0でレベル2を指定
PR = 11：××PR1×= 1，××PR0×= 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

図19－10　多重割り込みの例（2/2）

例3. 割り込みが許可されてないため，多重割り込みが発生しない例




割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0，××PR0×= 0でレベル0を指定（高優先順位）
PR = 01：××PR1×= 0，××PR0×= 1でレベル1を指定
PR = 10：××PR1×= 1，××PR0×= 0でレベル2を指定
PR = 11：××PR1×= 1，××PR0×= 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

### 19. 4. 4　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図19－11に示します。

図19－11　割り込み要求の保留




**備考1.** 命令N：割り込み要求の保留命令

**2.** 命令M：割り込み要求の保留命令以外の命令

# 第20章　キー割り込み機能

キー割り込み入力チャネル数は，製品によって異なります。

| | 64ピン | 80ピン |
|---|---|---|
| キー割り込み入力チャネル | 5 ch | 8 ch |

## 20. 1　キー割り込みの機能

キー割り込み入力端子（KR0-KR7）に立ち上がり／立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表20－1　キー割り込み検出端子の割り当て

| キー割り込み端子 | キー･リターン･モード･レジスタ（KRM） |
|---|---|
| KR0 | KRM00 |
| KR1 | KRM01 |
| KR2 | KRM02 |
| KR3 | KRM03 |
| KR4 | KRM04 |
| KR5 | KRM05 |
| KR6 | KRM06 |
| KR7 | KRM07 |

**備考**　KR1-KR3：80ピン製品のみ

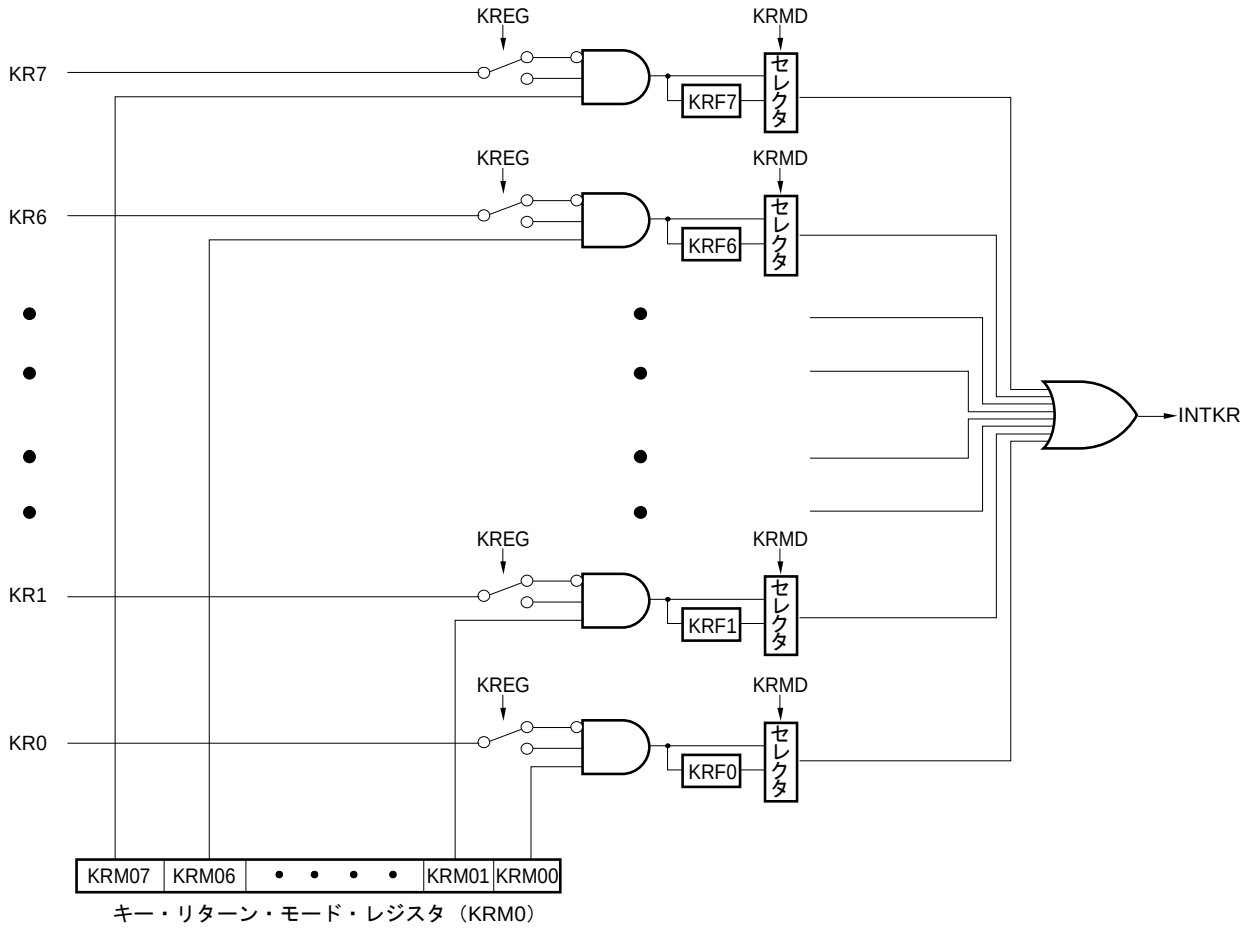
## 20. 2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表20－2　キー割り込みの構成

| 項　目 | 構　　成 |
|---|---|
| 入力 | KR0 – KR7 |
| 制御レジスタ | キー・リターン・コントロール・レジスタ（KRCTL）<br>キー・リターン・モード・レジスタ（KRM0）<br>キー・リターン・フラグ・レジスタ（KRF）<br>ポート・モード・レジスタ7（PM7）<br>ポート・レジスタ7（P7） |

図20－1　キー割り込みのブロック図



# 20. 3　キー割り込みを制御するレジスタ

キー割り込み機能は，次のレジスタで制御します。

・キー・リターン・コントロール・レジスタ（KRCTL）
・キー・リターン・モード・レジスタ（KRM0）
・キー・リターン・フラグ・レジスタ（KRF）
・ポート・モード・レジスタ7（PM7）
・ポート・レジスタ7（P7）

## 20. 3. 1　キー・リターン・コントロール・レジスタ（KRCTL）

キー・リターン・フラグ（KRF0-KRF7）の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－2　キー・リターン・コントロール・レジスタ（KRCTL）のフォーマット

アドレス：FFF34H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| KRCTL | KRMD | 0 | 0 | 0 | 0 | 0 | 0 | KREG |

| KRMD | キー・リターン・フラグ（KRF0-KRF7）の使用 |
|---|---|
| 0 | キー・リターン・フラグを使用しない |
| 1 | キー・リターン・フラグを使用する |

| KREG | 検出エッジの選択（KR0-KR7） |
|---|---|
| 0 | 立ち下がりエッジ |
| 1 | 立ち上がりエッジ |

## 20. 3. 2　キー・リターン・モード・レジスタ（KRM0）

キー割り込みモードを設定するレジスタです。

KRM0レジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－3　キー・リターン・モード・レジスタ（KRM0）のフォーマット

アドレス：FFF37H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| KRM0 | KRM07 | KRM06 | KRM05 | KRM04 | KRM03注 | KRM02注 | KRM01注 | KRM00 |

| KRM0n | キー割り込みモードの制御（n = 0-7） |
|---|---|
| 0 | キー割り込み信号を検出しない |
| 1 | キー割り込み信号を検出する |

**注**　80ピン製品のみ。

**注意1.　立ち下がりエッジの検出を選択する時は，キー割り込み入力端子のプルアップ抵抗オプション・レジスタ（PU7）のビット0-7（PU70-PU77）の対象となるビットに1を設定し，内蔵プルアップ抵抗を使用することができます。**

**2.　キー割り込み入力端子にロウ・レベル（キー・リターン・コントロール・レジスタ（KRCTL）のビット0（KREG）に0を設定時）／ハイ・レベル（キー・リターン・コントロール・レジスタ（KRCTL）のビット0（KREG）に1を設定時）が入力されている状態で，KRM0レジスタの対象ビットをセットすると，割り込みが発生します。**
**この割り込みを無視したい場合は，割り込みマスク・フラグで割り込み処理禁止にしてから，KRM0レジスタをセットしてください。その後，キー割り込み入力ハイ・レベル幅，ロウ・レベル幅（32. 4または33. 4　AC特性参照）を待ってから，割り込み要求フラグをクリアし，割り込み処理許可にしてください。**

**3.　キー割り込みモードで使用していないビットは通常ポートとして使用可能です。**

## 20. 3. 3　キー・リターン・フラグ・レジスタ（KRF）

キー・リターン・フラグ（KRF0-KRF7）を制御するレジスタです。

KRFレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－4　キー・リターン・フラグ・レジスタ（KRF）のフォーマット

アドレス：FFF35H　　リセット時：00H　　R/W[注1]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| KRF | KRF7 | KRF6 | KRF5 | KRF4 | KRF3[注2] | KRF2[注2] | KRF1[注2] | KRF0 |

| KRFn | キー割り込みフラグ（n = 0-7） |
|---|---|
| 0 | キー割り込み信号を未検出 |
| 1 | キー割り込み信号を検出 |

**注1.** 1の書き込みは無効です。KRFnをクリアするには，対象ビットに“0”，他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

**2.** 80ピン製品のみ。

**注意　キー・リターン・フラグを使用する（キー・リターン・コントロール・レジスタ（KRCTL）のビット7（KRMD）=1）場合，KRFnが1になった後KRFnをクリアする前に，他のKRFm（m≠n）が1になった場合，キー割り込みは発生しません。キー割り込み発生後，次のキー割り込みを受け付けたい場合は、必ず対応するKRFnをクリアしてください。**

## 20. 3. 4　ポート・モード・レジスタ7（PM7）

P70/KR0-P77/KR7をキー入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PM7）のビットに1を設定してください。このときP7nの出力ラッチは，0または1のどちらでもかまいません。

PM7レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PM7レジスタはFFHになります。

図20－5　ポート・モード・レジスタ0（PM7）のフォーマット（80ピン製品の場合）

アドレス：FFF27H　　リセット時：FFH　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PM7 | PM77 | PM76 | PM75 | PM74 | PM73 | PM72 | PM71 | PM70 |

| PM7n | P7n/KRn端子の入出力モードの選択（n = 7） |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

# 第21章　スタンバイ機能

## 21.1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

（1）HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータ，サブシステム・クロック発振回路が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

（2）STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

（3）SNOOZEモード

CSIp, UARTqのデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTRTC/INTIT））によるA/D変換要求により，STOPモードを解除し，CPUを動作させることなくCSIp, UARTqのデータ受信，A/D変換を行います。CPU／周辺ハードウエア・クロック（$f_{CLK}$）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

**注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは，STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。**

**2. STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。**

**3. CSIp, UARTq, A/Dコンバータ をSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタm（SSCm），A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，14.3　シリアル・アレイ・ユニットを制御するレジスタ，12.3　A/Dコンバータで使用するレジスタを参照してください。**

4. **A/Dコンバータ部の消費電力を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。**
5. **低速オンチップ・オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は第27章　オプション・バイトを参照してください。**

**備考**　p = 00;　q = 0, 2;　m = 0, 1

## 21. 2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

・サブシステム・クロック供給モード制御レジスタ（OSMC）
・発振安定時間カウンタ状態レジスタ（OSTC）
・発振安定時間選択レジスタ（OSTS）

**備考**　上記レジスタの詳細は，**第5章　クロック発生回路**を参照してください。また，SNOOZEモード機能を制御するレジスタは，**第12章　A/Dコンバータ**，**第14章　シリアル・アレイ・ユニット**を参照してください。

# 21. 3　スタンバイ機能の動作

## 21. 3. 1　HALTモード

（1）HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

**注意　割り込みマスク・フラグが”0”（割り込み処理許可）で且つ割り込み要求フラグが”1”（割り込み要求信号が発生）の場合，HALTモードの解除に割り込み要求信号が用いられるため，その状況下でHALT命令を実行しても，HALTモードに移行しません。**

表21－1　HALTモード時の動作状態（1/2）

| 項目 ＼ HALTモードの設定 | | | メイン・システム・クロックでCPU動作中のHALT命令実行時 | | |
|---|---|---|---|---|---|
| | | | 高速オンチップ・オシレータ・クロック（$f_{IH}$）でCPU動作時 | X1クロック（$f_X$）でCPU動作時 | 外部メイン・システム・クロック（$f_{EX}$）でCPU動作時 |
| システム・クロック | | | CPUへのクロック供給は停止 | | |
| | メイン・システム・クロック | $f_{IH}$ | 動作継続（停止不可） | 動作禁止 | |
| | | $f_X$ | 動作禁止 | 動作継続（停止不可） | 動作不可 |
| | | $f_{EX}$ | | 動作不可 | 動作継続（停止不可） |
| | サブシステム・クロック | $f_{XT}$ | HALTモード設定前の状態を継続 | | |
| | | $f_{EXS}$ | | | |
| | $f_{IL}$ | | オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定<br>・WUTMMCK0 = 1：発振<br>・WUTMMCK0 = 0かつWDTON = 0：停止<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止 | | |
| CPU | | | 動作停止 | | |
| コード・フラッシュ・メモリ | | | 動作停止 | | |
| データ・フラッシュ・メモリ | | | | | |
| RAM | | | | | |
| ポート（ラッチ） | | | HALTモード設定前の状態を保持 | | |
| タイマ・アレイ・ユニット | | | 動作可能 | | |
| タイマKB20 | | | | | |
| リアルタイム・クロック2 | | | | | |
| 12ビット・インターバル・タイマ | | | | | |
| ウォッチドッグ・タイマ | | | **第11章　ウォッチドッグ・タイマ**参照 | | |
| クロック出力／ブザー出力 | | | 動作可能 | | |
| A/Dコンバータ | | | | | |
| コンパレータ | | | | | |
| シリアル・アレイ・ユニット（SAU） | | | | | |
| シリアル・インタフェース（IICA） | | | | | |
| LCDコントローラ／ドライバ | | | 動作可能（ただし，LCDソース・クロックとして選択したクロックの状態にしたがう（選択クロックが動作中なら動作可能，停止中なら動作停止）） | | |
| 乗除算・積和演算器 | | | 動作可能 | | |
| DMAコントローラ | | | | | |
| パワーオン・リセット機能 | | | | | |
| 電圧検出機能 | | | | | |
| 外部割り込み | | | | | |
| キー割り込み機能 | | | | | |
| CRC演算機能 | 高速CRC | | | | |
| | 汎用CRC | | RAM領域の演算で，DMA実行時は動作可能 | | |
| RAMパリティ・エラー検出機能 | | | DMA実行時は動作可能 | | |
| RAMガード機能 | | | | | |
| SFRガード機能 | | | | | |
| 不正メモリ・アクセス検出機能 | | | | | |

（備考は次ページにあります。）

**備考**　動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる
$f_{IH}$　：高速オンチップ・オシレータ・クロック
$f_{IL}$　：低速オンチップ・オシレータ・クロック
$f_X$　：X1クロック
$f_{EX}$　：外部メイン・システム・クロック
$f_{XT}$　：XT1クロック
$f_{EXS}$　：外部サブシステム・クロック

表21－1　HALTモード時の動作状態（2/2）

| 項目 ＼ HALTモードの設定 | | | サブシステム・クロックでCPU動作中のHALT命令実行時 | |
|---|---|---|---|---|
| | | | XT1クロック（$f_{XT}$）でCPU動作時 | 外部サブシステム・クロック（$f_{EXS}$）でCPU動作時 |
| システム・クロック | | | CPUへのクロック供給は停止 | |
| | メイン・システム・クロック | $f_{IH}$ | 動作禁止 | |
| | | $f_X$ | | |
| | | $f_{EX}$ | | |
| | サブシステム・クロック | $f_{XT}$ | 動作継続（停止不可） | 動作不可 |
| | | $f_{EXS}$ | 動作不可 | 動作継続（停止不可） |
| | $f_{IL}$ | | オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定<br>・WUTMMCK0 = 1：発振<br>・WUTMMCK0 = 0かつWDTON = 0：停止<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止 | |
| CPU | | | 動作停止 | |
| コード・フラッシュ・メモリ | | | | |
| データ・フラッシュ・メモリ | | | | |
| RAM | | | | |
| ポート（ラッチ） | | | HALTモード設定前の状態を保持 | |
| タイマ・アレイ・ユニット | | | RTCLPC = 0のときは動作可能（それ以外は動作禁止） | |
| タイマKB20 | | | | |
| リアルタイム・クロック2 | | | 動作可能 | |
| 12ビット・インターバル・タイマ | | | | |
| ウォッチドッグ・タイマ | | | **第11章　ウォッチドッグ・タイマ**参照 | |
| クロック出力／ブザー出力 | | | 動作可能 | |
| A/Dコンバータ | | | 動作禁止 | |
| コンパレータ | | | コンパレータのリファレンス電圧は外部入力(IVREFn)選択時に動作可能 | |
| シリアル・アレイ・ユニット（SAU） | | | RTCLPC = 0のときは動作可能（それ以外は動作禁止）」 | |
| シリアル・インタフェース（IICA） | | | 動作禁止 | |
| LCDコントローラ／ドライバ | | | 動作可能（ただし，LCDソース・クロックとして選択したクロックの状態にしたがう（選択クロックが動作中なら動作可能，停止中なら動作停止）） | |
| 乗除算・積和演算器 | | | RTCLPC = 0のときは動作可能（それ以外は動作禁止） | |
| DMAコントローラ | | | | |
| パワーオン・リセット機能 | | | 動作可能 | |
| 電圧検出機能 | | | | |
| 外部割り込み | | | | |
| キー割り込み機能 | | | | |
| CRC演算機能 | 高速CRC | | 動作禁止 | |
| | 汎用CRC | | RAM領域の演算で，DMA実行時は動作可能 | |
| RAMパリティ・エラー検出機能 | | | DMA実行時は動作可能 | |
| RAMガード機能 | | | | |
| SFRガード機能 | | | | |
| 不正メモリ・アクセス検出機能 | | | | |

（備考は次ページにあります。）

**備考**　動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる
$f_{IH}$　：高速オンチップ・オシレータ・クロック
$f_{IL}$　：低速オンチップ・オシレータ・クロック
$f_X$　：X1クロック
$f_{EX}$　：外部メイン・システム・クロック
$f_{XT}$　：XT1クロック
$f_{EXS}$　：外部サブシステム・クロック

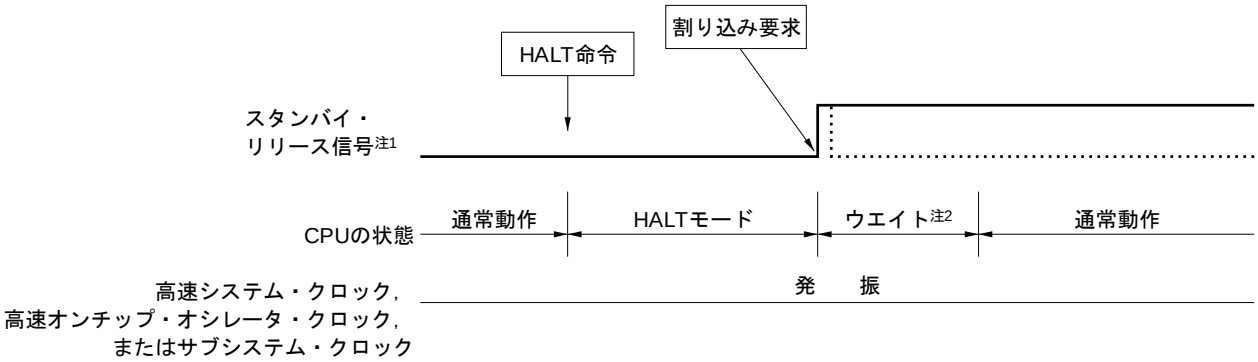
（2）HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図21－1　HALTモードの割り込み要求発生による解除




**注1.**　スタンバイ・リリース信号に関しての詳細は，**図19－1**を参照してください。

**2.**　HALTモード解除のウエイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時　：15～16クロック
サブシステム・クロック時（RTCLPC = 0）：10～11クロック
サブシステム・クロック時（RTCLPC = 1）：11～12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時　：9～10クロック
サブシステム・クロック時（RTCLPC = 0）：4～5クロック
サブシステム・クロック時（RTCLPC = 1）：5～6クロック

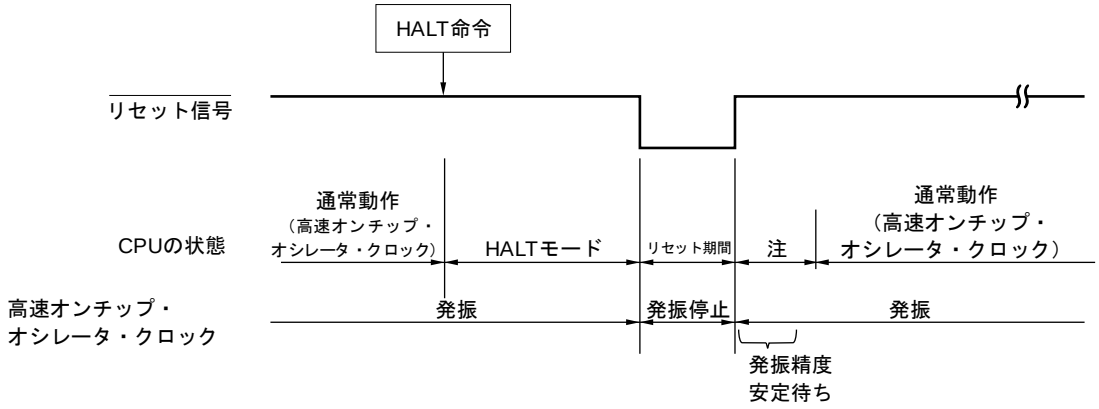
**備考**　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

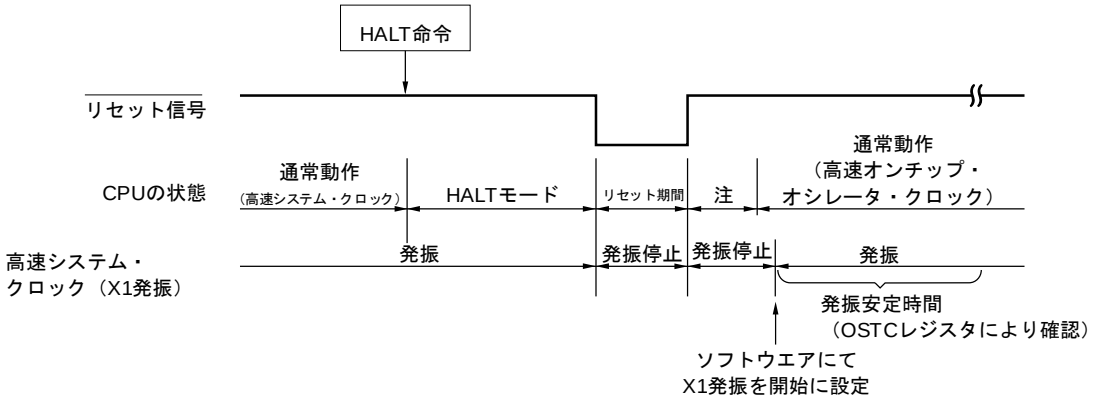
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図21－2　HALTモードのリセットによる解除（1/2）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



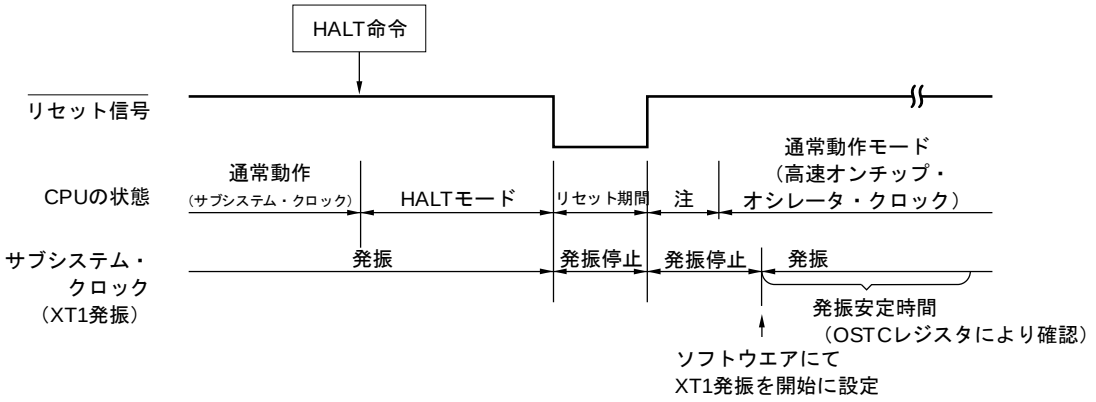

（2）CPUクロックが高速システム・クロックの場合




**注**　リセット処理時間は，**第22章　リセット機能**を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，**第23章　パワーオン・リセット回路**を参照してください。

図21－2　HALTモードのリセットによる解除（2/2）

（3）CPUクロックがサブシステム・クロックの場合




**注**　リセット処理時間は，**第22章　リセット機能**を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，**第23章　パワーオン・リセット回路**を参照してください。

## 21. 3. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

**注意　割り込みマスク・フラグが“0”（割り込み処理許可）で且つ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合，STOPモードの解除に割り込み要求信号が用いられるため，その状況でSTOP命令を実行すると，いったんSTOPモードに入ってただちに解除されます。したがって，STOP命令実行後，STOPモード解除時間を経過したあと動作モードに戻ります。**

次にSTOPモード時の動作状態を示します。

表21－2　STOPモード時の動作状態

| STOPモードの設定 / 項目 | | | メイン・システム・クロックでCPU動作中のSTOP命令実行時 | | |
|---|---|---|---|---|---|
| | | | 高速オンチップ・オシレータ・クロック（$f_{IH}$）でCPU動作時 | X1クロック（$f_X$）でCPU動作時 | 外部メイン・システム・クロック（$f_{EX}$）でCPU動作時 |
| システム・クロック | | | CPUへのクロック供給は停止 | | |
| | メイン・システム・クロック | $f_{IH}$ | 停止 | | |
| | | $f_X$ | | | |
| | | $f_{EX}$ | | | |
| | サブシステム・クロック | $f_{XT}$ | STOPモード設定前の状態を継続 | | |
| | | $f_{EXS}$ | | | |
| | $f_{IL}$ | | オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定<br>・WUTMMCK0 = 1：発振<br>・WUTMMCK0 = 0かつWDTON = 0：停止<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止 | | |
| CPU | | | 動作停止 | | |
| コード・フラッシュ・メモリ | | | | | |
| データ・フラッシュ・メモリ | | | 動作停止 | | |
| RAM | | | 動作停止 | | |
| ポート（ラッチ） | | | STOPモード設定前の状態を継続 | | |
| タイマ・アレイ・ユニット | | | 動作禁止 | | |
| タイマKB20 | | | | | |
| リアルタイム・クロック2 | | | 動作可能 | | |
| 12ビット・インターバル・タイマ | | | | | |
| ウォッチドッグ・タイマ | | | **第11章　ウォッチドッグ・タイマ**参照 | | |
| クロック出力／ブザー出力 | | | カウント・クロックにサブシステム・クロック選択時のみ動作可能 | | |
| A/Dコンバータ | | | ウエイク・アップ動作可能（SNOOZEモードへ移行） | | |
| コンパレータ | | | 動作可能(デジタルフィルタ未使用時かつコンパレータのリファレンス電圧は外部入力(IVREFn)選択時のみ) | | |
| シリアル・アレイ・ユニット（SAU） | | | CSIp, UARTqのみウエイク・アップ動作可能（SNOOZEモードへ移行）<br>CSIp, UARTq以外は動作禁止 | | |
| シリアル・インタフェース（IICA） | | | アドレス一致によるウエイク・アップ動作可能 | | |
| LCDコントローラ／ドライバ | | | 動作可能（ただし，LCDソース・クロックとして選択したクロックの状態にしたがう（選択クロックが動作中なら動作可能，停止中なら動作停止）） | | |
| 乗除積和算器 | | | 動作禁止 | | |
| DMAコントローラ | | | | | |
| パワーオン・リセット機能 | | | 動作可能 | | |
| 電圧検出機能 | | | | | |
| 外部割り込み | | | | | |
| キー割り込み機能 | | | | | |
| CRC演算機能 | 高速CRC | | 動作停止 | | |
| | 汎用CRC | | | | |
| RAMパリティ・エラー検出機能 | | | | | |
| RAMガード機能 | | | | | |
| SFRガード機能 | | | | | |
| 不正メモリ･アクセス検出機能 | | | | | |

（備考は次ページにあります。）

**備考1.** 動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる
$f_{IH}$　：高速オンチップ・オシレータ・クロック
$f_X$　：X1クロック
$f_{XT}$　：XT1クロック
$f_{IL}$　：低速オンチップ・オシレータ・クロック
$f_{EX}$　：外部メイン・システム・クロック
$f_{EXS}$　：外部サブシステム・クロック

**2.** p = 00;　q = 0, 2

（2）STOPモードの解除

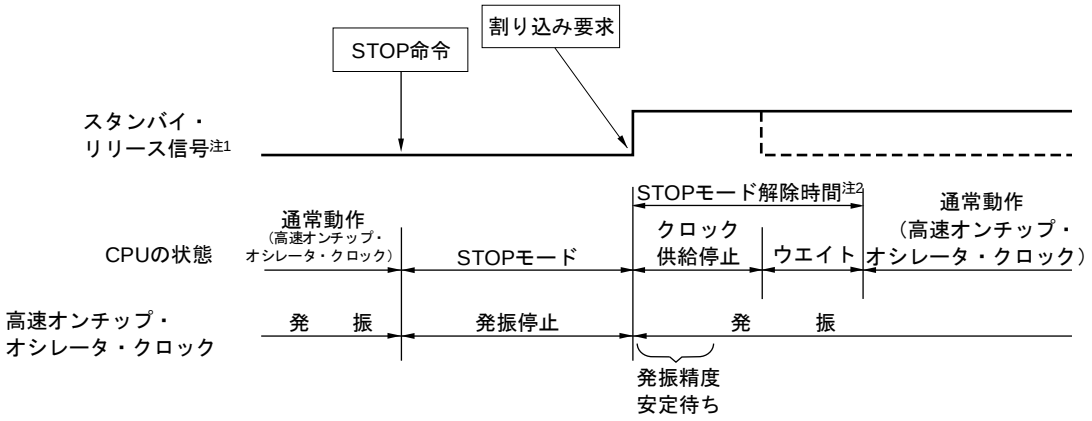
STOPモードは，次の2種類のソースによって解除することができます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図21－3　STOPモードの割り込み要求発生による解除（1/3）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合




**注1.**　スタンバイ・リリース信号に関しての詳細は，図19－1を参照してください。

**2.**　STOPモード解除時間

クロック供給停止：

・FRQSEL4 = 0の場合：18 μs～“65 μsまたは発振安定時間（OSTSで設定）の長い方”

・FRQSEL4 = 1の場合：18 μs～“80 μsまたは発振安定時間（OSTSで設定）の長い方”

ウエイト：

・ベクタ割り込み処理を行う場合　：7クロック

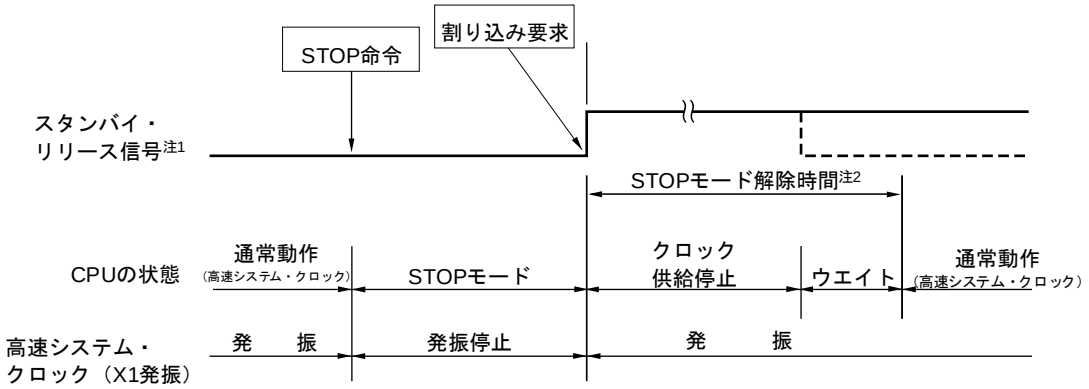
・ベクタ割り込み処理を行わない場合　：1クロック

**備考 1.** クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

**2.** 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図21－3　STOPモードの割り込み要求発生による解除（2/3）

（2）CPUクロックが高速システム・クロック（X1発振）の場合




**注1.**　スタンバイ・リリース信号に関しての詳細は，**図19－1**を参照してください。

**2.**　STOPモード解除時間

クロック供給停止：

・FRQSEL4 = 0の場合：18 μs～“65 μsまたは発振安定時間（OSTSで設定）の長い方”

・FRQSEL4 = 1の場合：18 μs～“80 μsまたは発振安定時間（OSTSで設定）の長い方”

ウエイト：

・ベクタ割り込み処理を行う場合　　：10～11クロック

・ベクタ割り込み処理を行わない場合　：4～5クロック

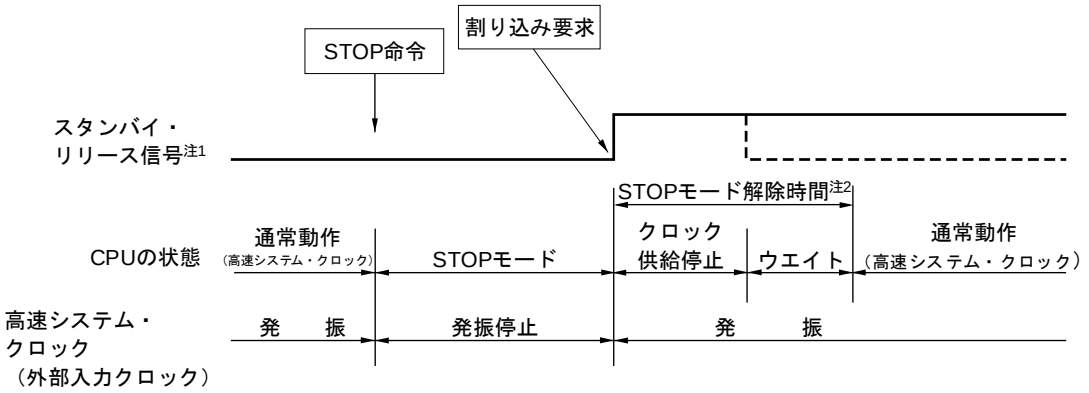
**注意　高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。**

**備考 1.** クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

**2.** 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図21－3　STOPモードの割り込み要求発生による解除（3/3）

（3）CPUクロックが高速システム・クロック（外部クロック入力）の場合




**注1.**　スタンバイ・リリース信号に関しての詳細は，**図19－1**を参照してください。

**2.**　STOPモード解除時間

クロック供給停止：

・FRQSEL4 = 0の場合：18 μs～“65 μsまたは発振安定時間（OSTSで設定）の長い方”

・FRQSEL4 = 1の場合：18 μs～“80 μsまたは発振安定時間（OSTSで設定）の長い方”

ウエイト：

・ベクタ割り込み処理を行う場合　　：7クロック

・ベクタ割り込み処理を行わない場合　：1クロック

**注意　高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。**

**備考 1.** クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

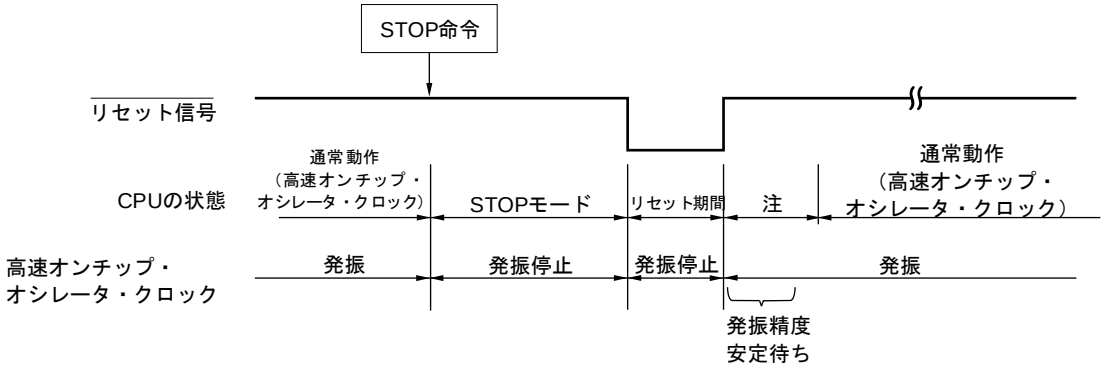
**2.** 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

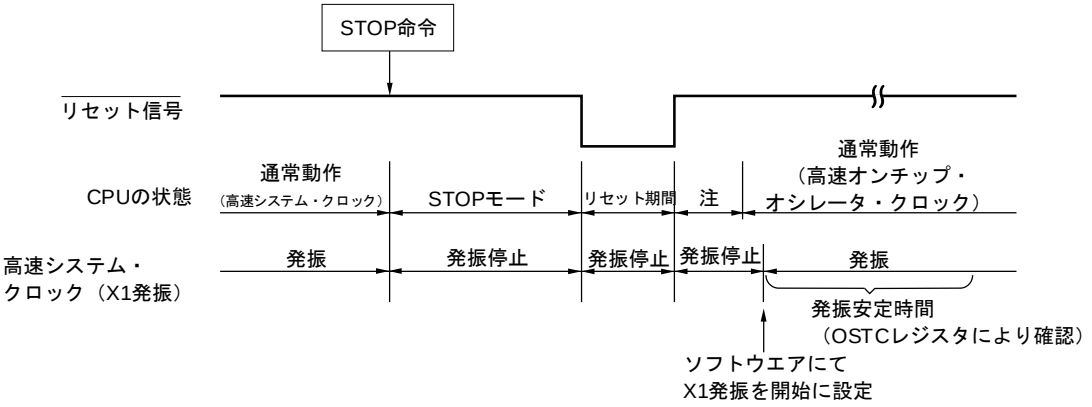
リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図21－4　STOPモードのリセットによる解除

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合




（2）CPUクロックが高速システム・クロックの場合




**注**　リセット処理時間は，**第22章　リセット機能**を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，**第23章　パワーオン・リセット回路**を参照してください。

## 21. 3. 3　SNOOZEモード

（1）SNOOZEモードの設定および動作状態

CSIp, UARTqまたは，A/Dコンバータのみ設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp，UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットを1に設定してください。詳細は，**14. 3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

A/DコンバータをSNOOZEモードで使用する場合は，STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを1に設定してください。詳細は，**12. 3　A/Dコンバータで使用するレジスタ**を参照してください。

**備考**　p = 00;　q = 0, 2;　m = 0, 1

SNOOZEモードの移行では，次の時間だけウエイト状態になります。

STOPモード→ SNOOZEモードの遷移時間：

FRQSEL4 = 0の場合：18 μs～65 μs

FRQSEL4 = 1の場合：18 μs～80 μs

SNOOZEモード→通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：　“4.99～9.44 μs” + 7クロック

LS（低速メイン）モード：　“1.10～5.08 μs” + 7クロック

LV（低電圧メイン）モード：　“16.58～25.40 μs” + 7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：　“4.99～9.44 μs” + 1クロック

LS（低速メイン）モード：　“1.10～5.08 μs” + 1クロック

LV（低電圧メイン）モード：　“16.58～25.40 μs” + 1クロック

次にSNOOZEモード時の動作状態を示します。

表21－3　SNOOZEモード時の動作状態

| 項目 ＼ STOPモードの設定 | | | STOPモード中にCSIp, UARTqのデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時<br>高速オンチップ・オシレータ・クロック（$f_{IH}$）でCPU動作時 |
|---|---|---|---|
| システム・クロック | | | CPUへのクロック供給は停止 |
| | メイン・システム・クロック | $f_{IH}$ | 動作開始 |
| | | $f_X$ | 停止 |
| | | $f_{EX}$ | |
| | サブシステム・クロック | $f_{XT}$ | STOPモード中の状態を継続 |
| | | $f_{EXS}$ | |
| | $f_{IL}$ | | オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定<br>・WUTMMCK0 = 1：発振<br>・WUTMMCK0 = 0かつWDTON = 0：停止<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振<br>・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止 |
| CPU | | | 動作停止 |
| コード・フラッシュ・メモリ | | | |
| データ・フラッシュ・メモリ | | | |
| RAM | | | |
| ポート（ラッチ） | | | STOPモード中の状態を継続 |
| タイマ・アレイ・ユニット | | | 動作禁止 |
| タイマKB20 | | | |
| リアルタイム・クロック2 | | | 動作可能 |
| 12ビット・インターバル・タイマ | | | |
| ウォッチドッグ・タイマ | | | **第11章　ウォッチドッグ・タイマ**参照 |
| クロック出力／ブザー出力 | | | カウント・クロックにサブシステム・クロック選択時のみ動作可能 |
| A/Dコンバータ | | | 動作可能 |
| コンパレータ | | | 動作可能（デジタルフィルタ未使用時のみ） |
| シリアル・アレイ・ユニット（SAU） | | | CSIp, UARTqのみ動作可能。CSIp, UARTq以外は動作禁止。 |
| シリアル・インタフェース（IICA） | | | 動作禁止 |
| LCDコントローラ／ドライバ | | | 動作可能（ただし，LCDソース・クロックとして選択したクロックの状態にしたがう（選択クロックが動作中なら動作可能，停止中なら動作停止）） |
| 乗除積和算器 | | | 動作禁止 |
| DMAコントローラ | | | |
| パワーオン・リセット機能 | | | 動作可能 |
| 電圧検出機能 | | | |
| 外部割り込み | | | |
| キー割り込み機能 | | | |
| CRC演算機能 | 高速CRC | | 動作停止 |
| | 汎用CRC | | |
| RAMパリティ・エラー検出機能 | | | |
| RAMガード機能 | | | |
| SFRガード機能 | | | |
| 不正メモリ・アクセス検出機能 | | | |

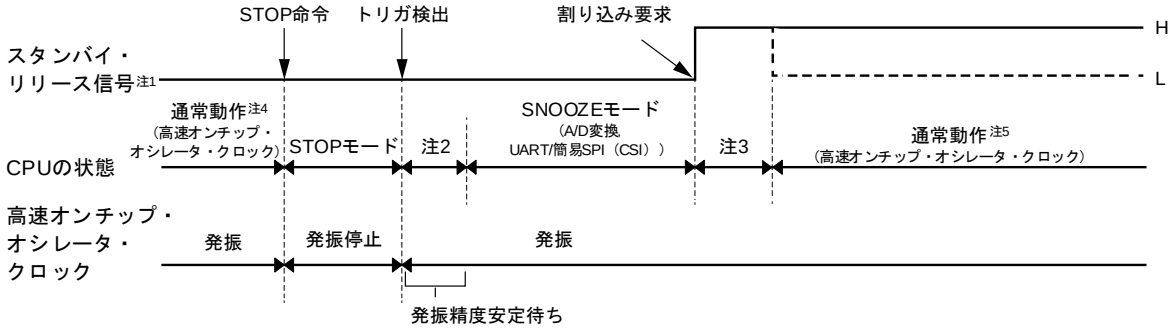
（備考は次ページにあります。）

**備考1.** 動作停止　：STOPモード移行時に自動的に動作停止　　$f_X$　　：X1クロック
動作禁止　：STOPモード移行前に動作を停止させる　　$f_{EX}$　　：外部メイン・システム・クロック
$f_{IH}$　　：高速オンチップ・オシレータ・クロック　　$f_{XT}$　　：XT1クロック
$f_{IL}$　　：低速オンチップ・オシレータ・クロック　　$f_{EXS}$　　：外部サブシステム・クロック

**2.** p = 00;　q = 0, 2

（2）SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図21－5　SNOOZEモードの割り込み要求が発生する場合




**注 1.** スタンバイ・リリース信号に関しての詳細は，**図19－1**を参照してください。

**2.** STOPモード→SNOOZEモードの遷移時間

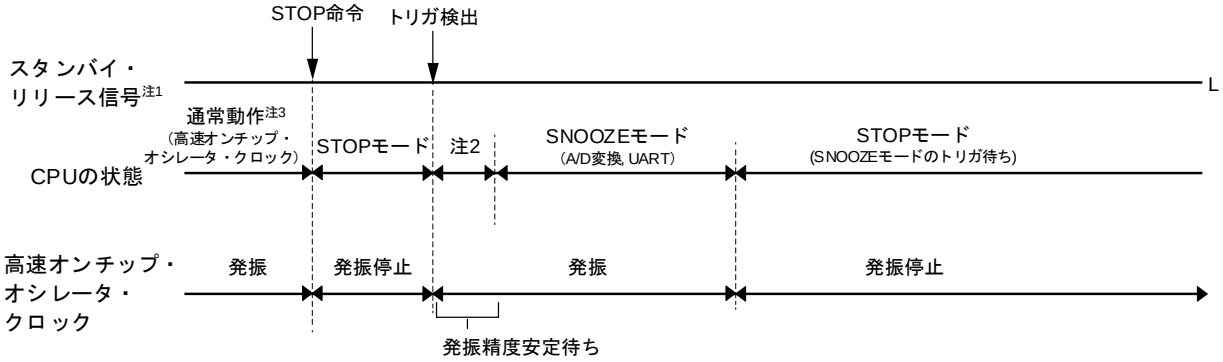
**3.** SNOOZEモード→通常動作の遷移時間

**4.** STOPモードへ移行する直前に，SNOOZEモード許可（AWC=1/SWC=1）に設定してください。

**5.** 通常動作に復帰後すぐに，　必ずSNOOZEモード解除（AWC=0/SWC=0）に設定してください。

（3）SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図21－6　SNOOZEモードの割り込み要求が発生しない場合




**注 1.** スタンバイ・リリース信号に関しての詳細は，**図19－1**を参照してください。

**2.** STOPモード→SNOOZEモードの遷移時間

**3.** STOPモードへ移行する直前に，SNOOZEモード許可（AWC=1/SWC=1）に設定してください。

**備考**　SNOOZEモード機能の詳細は，**第12章　A/Dコンバータ**，**第14章　シリアル・アレイ・ユニット**を参照してください。

# 第22章　リセット機能

リセット信号を発生させる方法には，次の7種類があります。

（1）$\overline{\text{RESET}}$端子による外部リセット入力
（2）ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
（3）パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
（4）電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
（5）不正命令の実行による内部リセット[注]
（6）RAMパリティ・エラーによる内部リセット
（7）不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，00000H，00001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，不正命令の実行[注]，RAMパリティ・エラーの発生，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは**表22－1**に示すような状態になります。

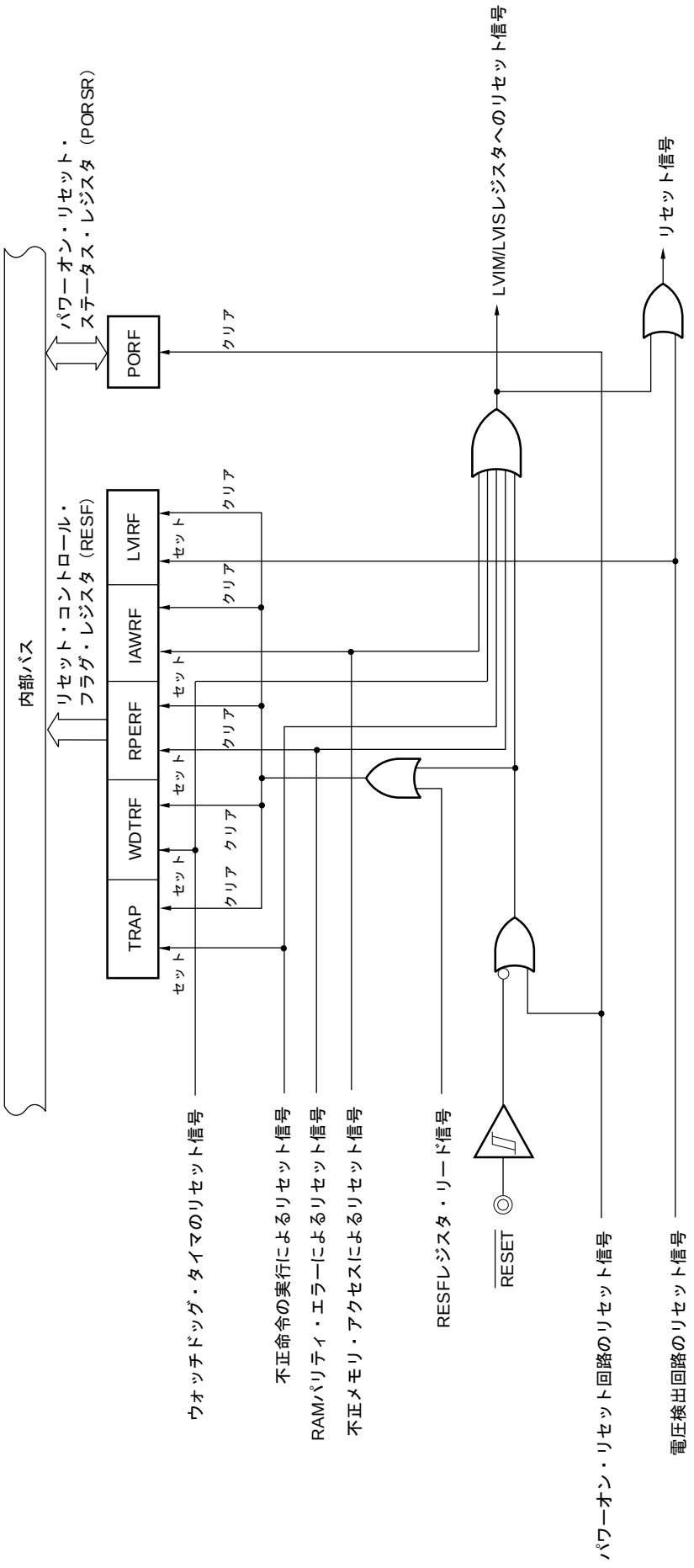
**注**　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

**注意1.　外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。**
**電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，32. 4または33. 4　AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。**

**2.　リセット信号発生中では，X1クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック，外部サブシステム・クロックの入力は無効となります。**

**3.　リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子はハイ・インピーダンスとなります。**
**・P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）**
**・P40以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス**

図22－1　リセット機能のブロック図




**注意　LVD回路の内部リセットの場合，LVD回路はリセットされません。**

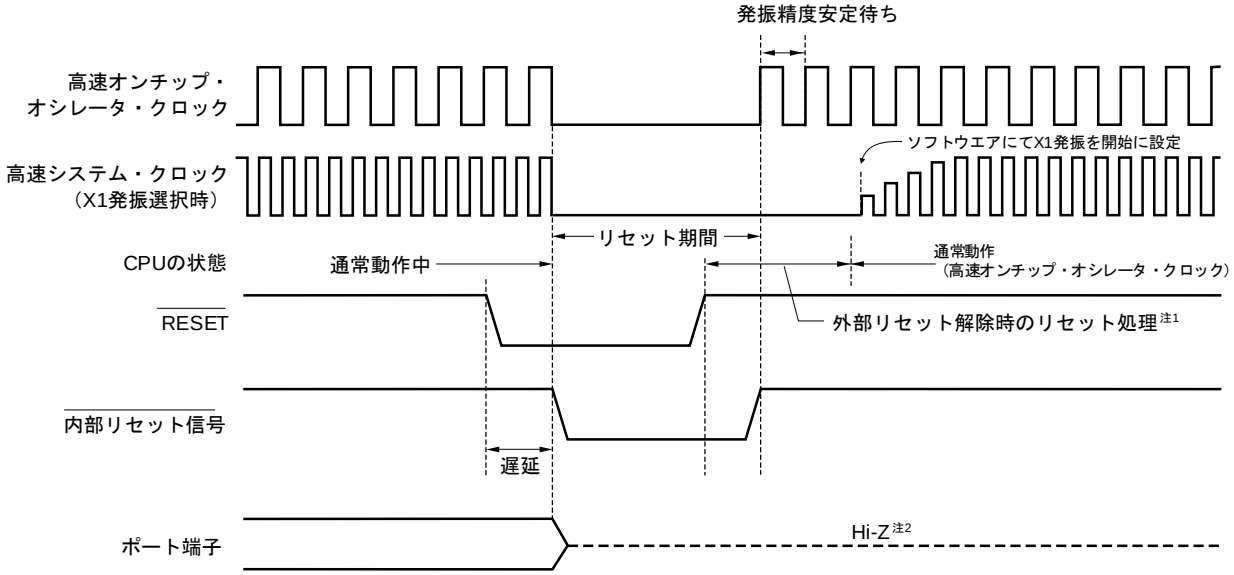
**備考1.**　LVIM：電圧検出レジスタ

**2.**　LVIS：電圧検出レベル・レジスタ

## 22.1　リセット動作のタイミング

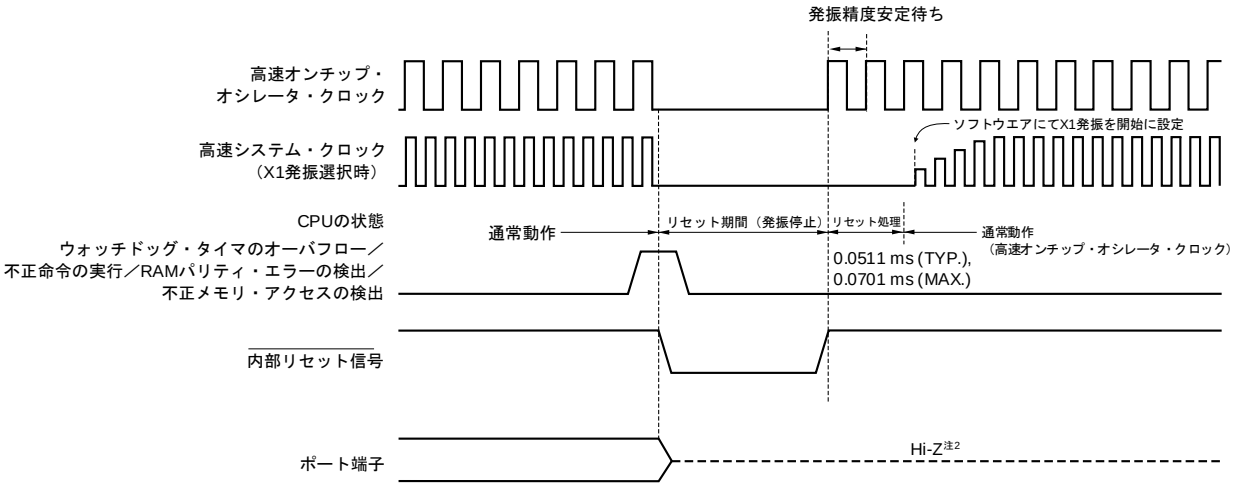
$\overline{\text{RESET}}$端子にロウ・レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図22－2　$\overline{\text{RESET}}$入力によるリセット・タイミング




ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図22－3　ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング




（注は，次ページにあります。）

**注1.** 外部リセット解除時のリセット時間：

POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.)（LVD使用時）
0.399 ms (TYP.), 0.519 ms (MAX.)（LVDオフ時）

POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.)（LVD使用時）
0.259 ms (TYP.), 0.362 ms (MAX.)（LVDオフ時）

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間0.99 ms (TYP.), 2.30 ms (MAX.) がかかります。

**2.** ポート端子P40は次の状態になります。

・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。

・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVD}$になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は，**第23章　パワーオン・リセット回路**または**第24章　電圧検出回路**を参照してください。

**備考** $V_{POR}$：POR電源立ち上がり検出電圧
$V_{LVD}$：LVD検出電圧

## 22. 2　リセット期間中の動作状態

表22－1にリセット期間中の動作状態を，表22－2にリセット受け付け後の各ハードウエアの状態を示します。

表22－1　リセット期間中の動作状態

| 項　　目 | | | リセット期間中 |
|---|---|---|---|
| システム・クロック | | | CPUへのクロック供給は停止 |
| | メイン・システム・クロック | $f_{IH}$ | 動作停止 |
| | | $f_X$ | 動作停止（X1, X2端子は入力ポート・モード） |
| | | $f_{EX}$ | クロックの入力無効（端子は入力ポート・モード） |
| | サブシステム・クロック | $f_{XT}$ | 動作可能 |
| | | $f_{EXS}$ | クロックの入力無効（端子は入力ポート・モード） |
| | $f_{IL}$ | | 動作停止 |
| CPU | | | 動作停止 |
| コード・フラッシュ・メモリ | | | 動作停止 |
| データ・フラッシュ・メモリ | | | 動作停止 |
| RAM | | | 動作停止 |
| ポート（ラッチ） | | | ハイ・インピーダンス注 |
| タイマ・アレイ・ユニット | | | 動作停止 |
| 16ビット・タイマKB20 | | | |
| リアルタイム・クロック2 | | | PORリセット以外：動作可能<br>PORリセット：カレンダー動作可能，RTCC0, RTCC1, SUBCUDレジスタは動作停止 |
| 12ビット・インターバル・タイマ | | | 動作停止 |
| ウォッチドッグ・タイマ | | | |
| クロック出力／ブザー出力 | | | |
| A/Dコンバータ | | | |
| コンパレータ | | | |
| シリアル・アレイ・ユニット（SAU） | | | |
| シリアル・インタフェース（IICA） | | | |
| LCDコントローラ／ドライバ | | | |
| 乗除算・積和演算器 | | | |
| DMAコントローラ | | | |
| パワーオン・リセット機能 | | | 検出動作可能 |
| 電圧検出機能 | | | LVDリセット時は動作可能。それ以外のリセット時は動作停止。 |
| 外部割り込み | | | 動作停止 |
| キー割り込み機能 | | | |
| CRC演算機能 | | 高速CRC | |
| | | 汎用CRC | |
| RAMパリティ・エラー検出機能 | | | |
| RAMガード機能 | | | |
| SFRガード機能 | | | |
| 不正メモリ・アクセス検出機能 | | | |

**注** 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内部プルアップ抵抗接続）。

（備考は，次ページにあります。）

**備考**　$f_{IH}$　：高速オンチップ・オシレータ・クロック
$f_X$　：X1発振クロック
$f_{EX}$　：外部メイン・システム・クロック
$f_{XT}$　：XT1発振クロック
$f_{EXS}$　：外部サブシステム・クロック周波数
$f_{IL}$　：低速オンチップ・オシレータ・クロック

表22－2　リセット受け付け後の各ハードウエアの状態

| ハードウエア | | リセット受け付け後の状態[注] |
|---|---|---|
| プログラム・カウンタ（PC） | | リセット・ベクタ・テーブル（00000H, 00001H）の内容がセットされる。 |
| スタック・ポインタ（SP） | | 不定 |
| プログラム・ステータス・ワード（PSW） | | 06H |
| RAM | データ・メモリ | 不定 |
| | 汎用レジスタ | 不定 |

**注**　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

**備考**　特殊機能レジスタ（SFR：Special Function Register）のリセット受け付け後の状態は，**3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域**，**3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域**を参照してください。

# 22. 3　リセット要因を確認するレジスタ

## 22. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図22－4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　リセット時：不定[注1]　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RESF | TRAP | 0 | 0 | WDTRF | 0 | RPERF | IAWRF | LVIRF |

| TRAP | 不正命令の実行による内部リセット要求[注2] |
|---|---|
| 0 | 内部リセット要求は発生していない，またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

| WDTRF | ウォッチドッグ・タイマ（WDT）による内部リセット要求 |
|---|---|
| 0 | 内部リセット要求は発生していない，またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

| RPERF | RAMパリティ・エラーによる内部リセット要求 |
|---|---|
| 0 | 内部リセット要求は発生していない，またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

| IAWRF | 不正メモリ・アクセスによる内部リセット要求 |
|---|---|
| 0 | 内部リセット要求は発生していない，またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

| LVIRF | 電圧検出（LVD）回路による内部リセット要求 |
|---|---|
| 0 | 内部リセット要求は発生していない，またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

**注1.**　リセット要因により異なります。**表22－3**を参照してください。

**2.**　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

**注意1.　1ビット・メモリ操作命令でデータを読み出さないでください。**

**2.　RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0) で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。**
**リセット発生により，RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は，25. 3. 3　RAMパリティ・エラー検出機能を参照してください。**

リセット要求時のRESFレジスタの状態を表22－3に示します。

表22－3　リセット要求時のRESFレジスタの状態

| リセット要因 / フラグ | $\overline{\text{RESET}}$入力 | PORによるリセット | 不正命令の実行によるリセット | WDTによるリセット | RAMパリティ・エラーによるリセット | 不正メモリ・アクセスによるリセット | LVDによるリセット |
|---|---|---|---|---|---|---|---|
| TRAP | クリア（0） | クリア（0） | セット（1） | 保持 | 保持 | 保持 | 保持 |
| WDTRF | | | 保持 | セット（1） | | | |
| RPERF | | | | 保持 | セット（1） | | |
| IAWRF | | | | | 保持 | セット（1） | |
| LVIRF | | | | | | 保持 | セット（1） |

RESFレジスタは，8ビット・メモリ操作命令で読み出すと，自動的にクリアされます。
リセット要因の確認手順を図22－6に示します。

## 22. 3. 2　パワーオン・リセット・ステータス・レジスタ（PORSR）

PORSRレジスタは，パワーオン・リセットの発生を確認するレジスタです。
PORSRレジスタのビット0（PORF）は“1”書き込み有効であり，“0”書き込みは無効です。
パワーオン・リセット発生の有無を確認するときは，あらかじめPORFビットに“1”を書き込んでおいてください。
PORSRレジスタは，8ビット・メモリ操作命令で設定します。
パワーオン・リセット信号の発生により，00Hになります。

**注意1.　PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します）。**

**2.　PORFが“1”のとき，パワーオン・リセットが発生していないことは保証されますが，RAMの値が保持されていることを保証するものではありません。**

図22－5　パワーオン・リセット・ステータス・レジスタ（PORSR）のフォーマット

アドレス：F00F9H　リセット時：00H　R/W

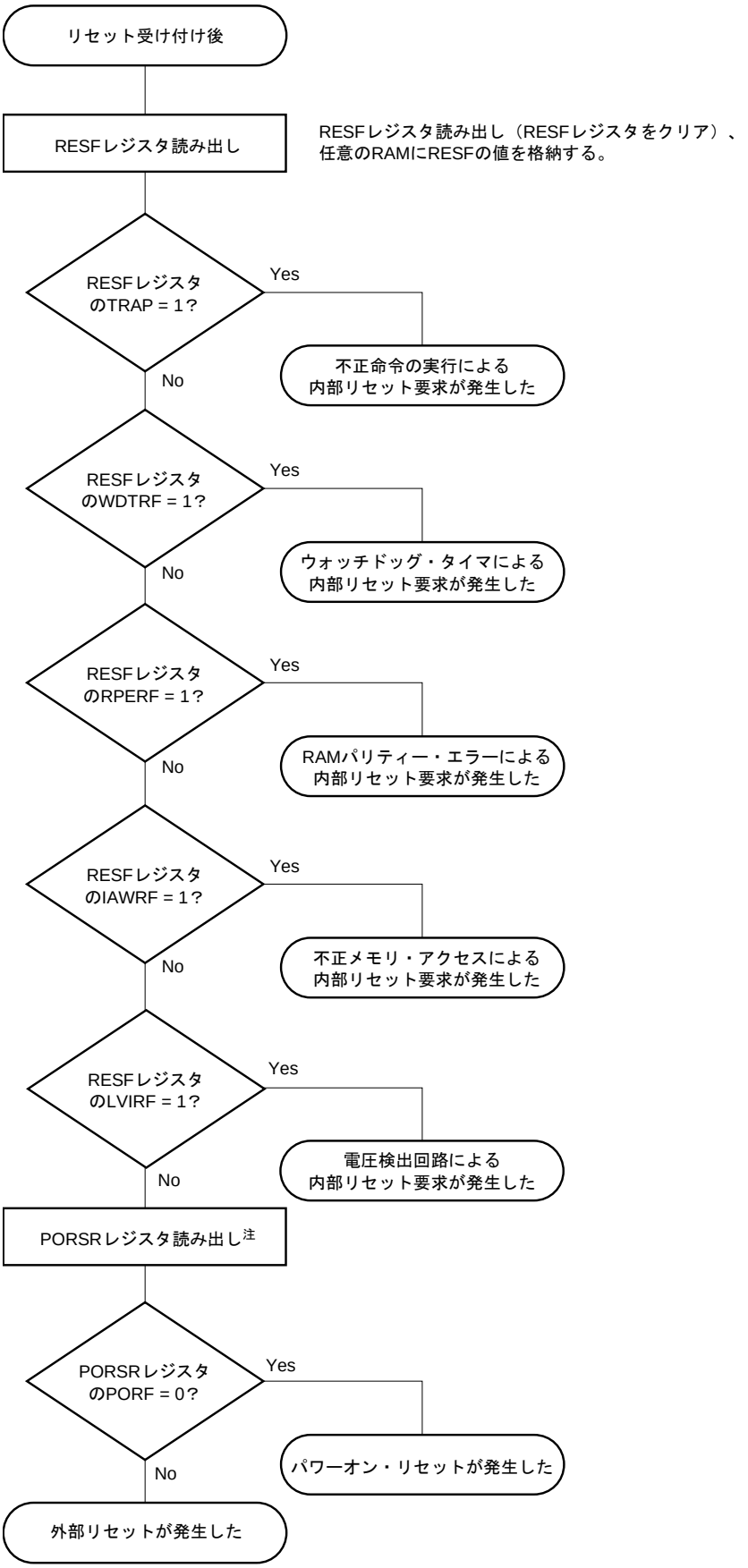
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PORSR | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PORF |

| PORF | パワーオン・リセット発生確認 |
|---|---|
| 0 | “1”書き込みが行われていない，またはパワーオン・リセットが発生 |
| 1 | パワーオン・リセットは発生していない |

リセット要因の確認手順を図22－6に示します。

図22－6　リセット要因の確認手順例

※本フローはお手本（例）であり，強制するものではございません。




**注**　リセット受け付け前に，PORSRレジスタのビット0（PORF）に“1”を書き込んでください。

# 第23章　パワーオン・リセット回路

## 23. 1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
電源電圧（$V_{DD}$）が検出電圧（$V_{POR}$）を越えた場合に，リセットを解除します。ただし，**32.4**または**33.4　AC特性**に示す動作電圧範囲まで，電圧検出機能か外部リセット端子でリセット状態を保ってください。

・電源電圧（$V_{DD}$）と検出電圧（$V_{PDR}$）を比較し，$V_{DD}$＜$V_{PDR}$になったとき内部リセット信号を発生します。ただし，電源立ち下がり時は，**32. 4**または**33. 4　AC特性**に示す動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

**注意　パワーオン・リセット回路で内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）およびパワーオン・リセット・ステータス・レジスタ（PORSR）がクリア（00H）されます。**

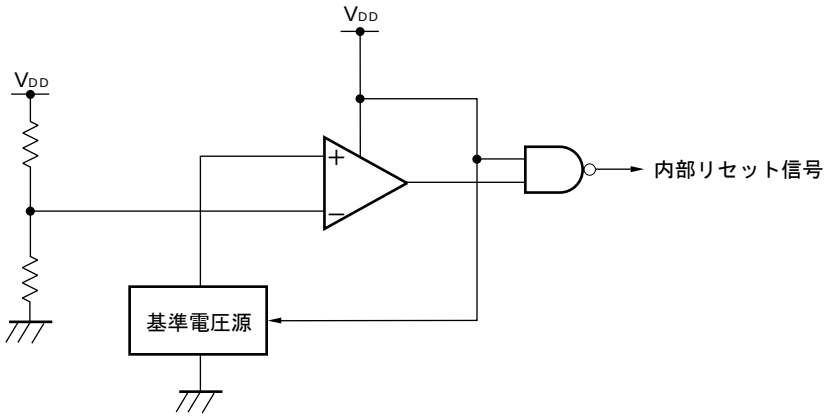
**備考1.** RL78/L13には内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については，第22章　リセット機能を参照してください。

**2.** パワーオン・リセット回路による内部リセットの発生は，パワーオン・リセット・ステータス・レジスタ（PORSR）で確認することができます。PORSRレジスタの詳細についいては，**第22章　リセット機能**を参照してください。

## 23. 2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を**図23－1**に示します。

図23－1　パワーオン・リセット回路のブロック図

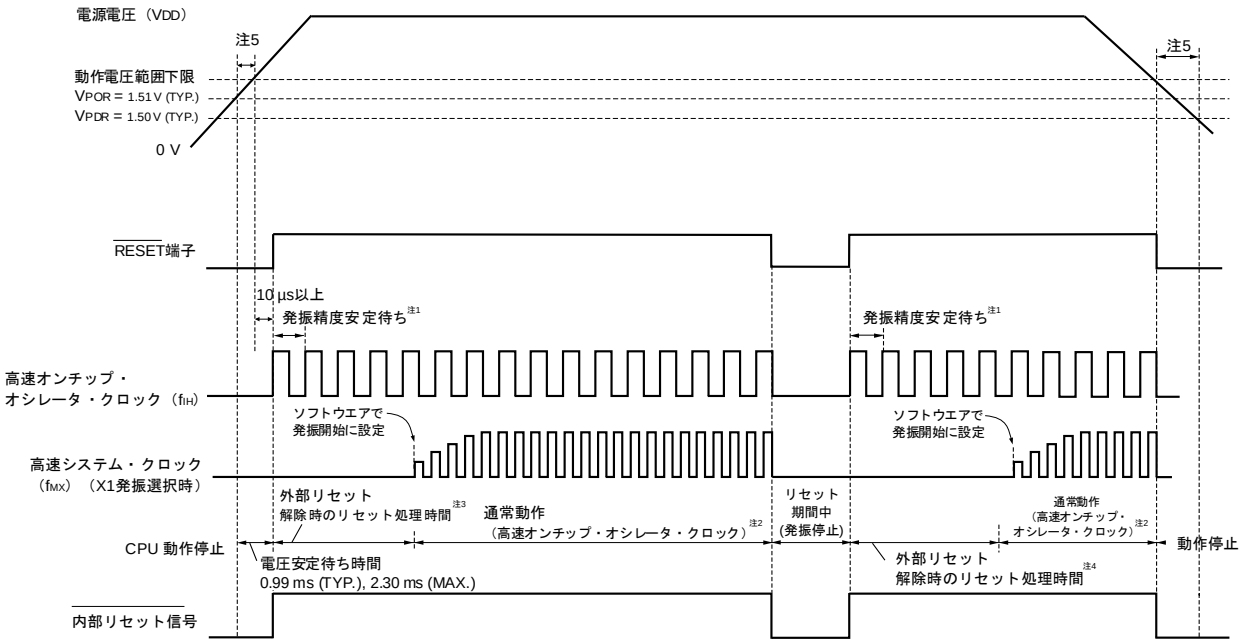



## 23. 3　パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）

（1）$\overline{\text{RESET}}$端子による外部リセット使用時




**注 1.**　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

**2.**　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。

**3.**　通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて，$\overline{\text{RESET}}$信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目：　0.672 ms (TYP.), 0.832 ms (MAX.)（LVD使用時）
0.399 ms (TYP.), 0.519 ms (MAX.)（LVDオフ時）

**4.**　POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降：　0.531 ms (TYP.), 0.675 ms (MAX.)（LVD使用時）
0.259 ms (TYP.), 0.362 ms (MAX.)（LVDオフ時）

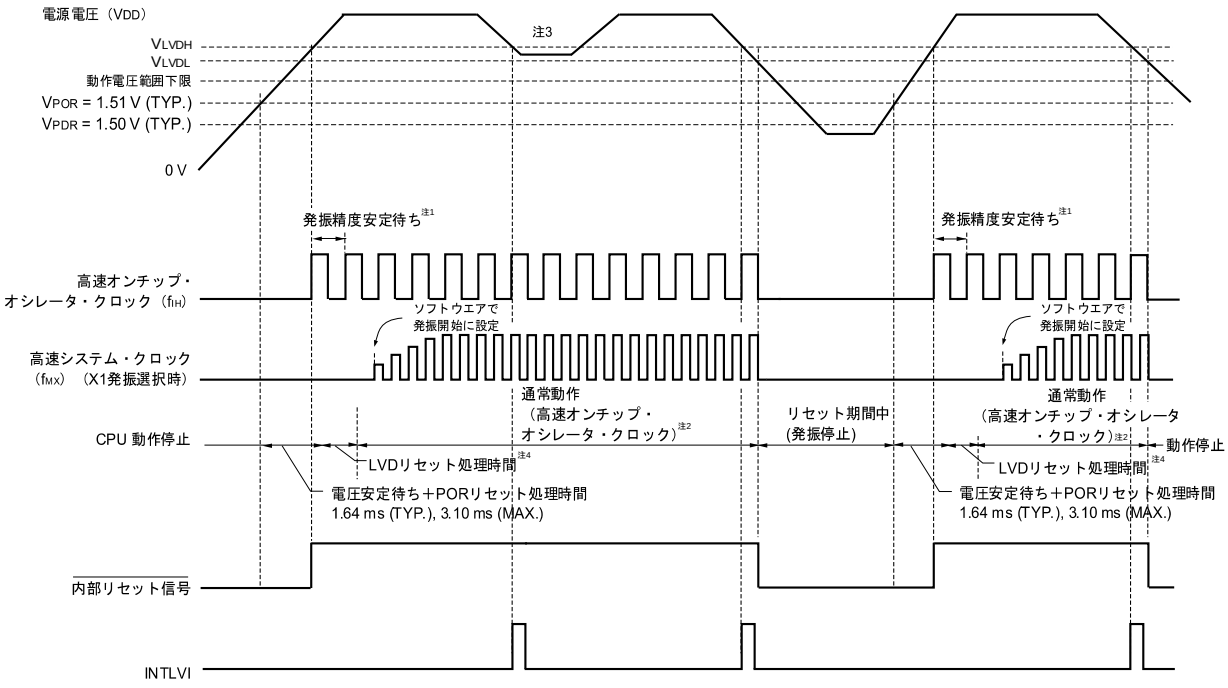
**5.**　電源立ち上がり時は，**32. 4** または**33. 4 AC特性**に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。

**注意 LVDオフ時は必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。詳細は，第24章　電圧検出回路を参照してください。**

**備考**　VPOR　：POR電源立ち上がり検出電圧
VPDR　：POR電源立ち下がり検出電圧

図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/3）

（2）LVD割り込み＆リセット・モード時　（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）




**注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

**2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

**3.** 割り込み要求信号（INTLVI）が発生したあと，電圧検出レベル・レジスタ（LVIS）のLVILV，LVIMDビットは自動的に1に設定されます。そのため，電源電圧が低電圧検出電圧（$V_{LVDL}$）を下回らずに，高電圧検出電圧（$V_{LVDH}$）以上に復帰する場合を考慮して，INTLVI発生後は，**“図24－8　動作電圧確認／リセットの設定手順”**と、**“図24－9　割り込み＆リセット・モードの初期設定の設定手順”**に従って設定をしてください。

**4.** 通常動作が開始されるまでの時間は，$V_{POR}$ (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（$V_{LVDH}$）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：　0 ms　～　0.0701 ms (MAX.)

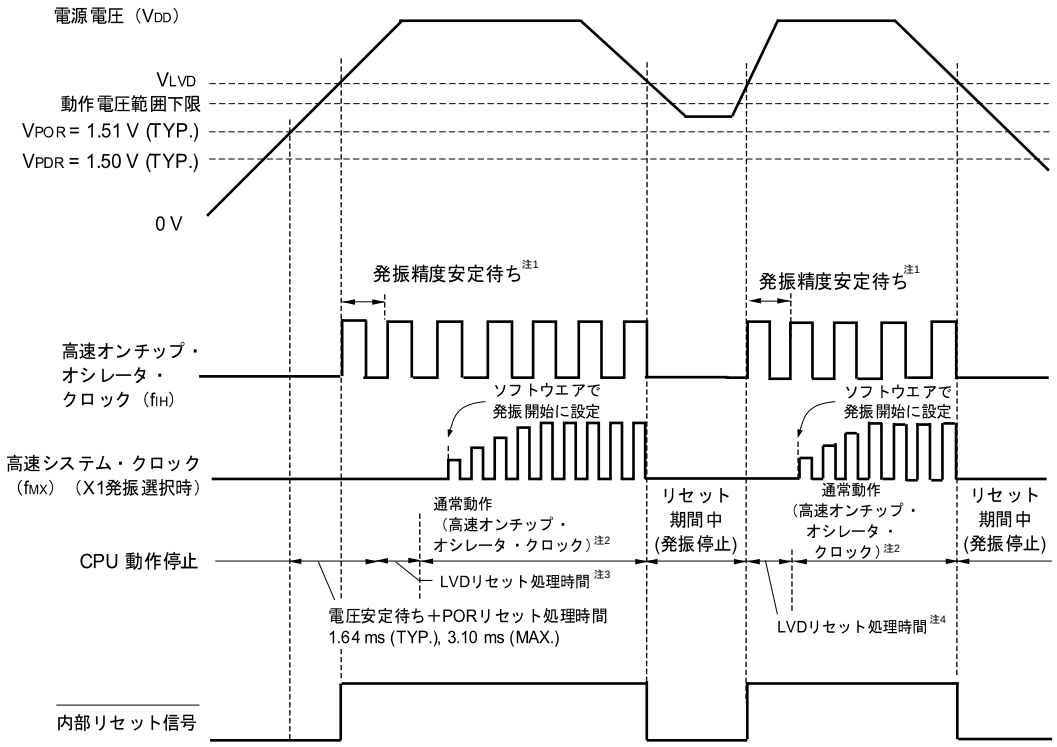
**備考**　$V_{LVDH}$, $V_{LVDL}$　：LVD検出電圧

$V_{POR}$　：POR電源立ち上がり検出電圧

$V_{PDR}$　：POR電源立ち下がり検出電圧

図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（3/3）

（3）LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)




**注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

**2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

**3.** 通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（VLVD）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0 ms ～ 0.0701 ms (MAX.)

**4.** 電源電圧降下時，電圧検出回路（LVD）による内部リセットのみ発生後に電源電圧が復帰した場合，LVD検出レベル（VLVD）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0.0511 ms (TYP.), 0.0701ms (MAX.)

**備考1.** VLVDH, VLVDL ：LVD検出電圧

VPOR ：POR電源立ち上がり検出電圧

VPDR ：POR電源立ち下がり検出電圧

**2.** LVD割り込みモード（オプション・バイト000C1HのLVIMD1，LVIMD0=0,1）を選択した場合，電源投入後に通常動作が開始されるまでの時間は，**図23－2（3）LVDリセット・モード時**の"注3"の時間と同じです。

# 第24章　電圧検出回路

## 24. 1　電圧検出回路の機能

電圧検出回路は，オプション・バイト（000C1H）で動作モードと検出電圧（$V_{LVDH}$, $V_{LVDL}$, $V_{LVD}$）を設定します。
電圧検出（LVD）回路は，次のような機能を持ちます。

- 電源電圧（$V_{DD}$）と検出電圧（$V_{LVDH}$, $V_{LVDL}$, $V_{LVD}$）を比較し，内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧（$V_{LVDH}$, $V_{LVDL}$, $V_{LVD}$）は，オプション・バイトにて検出レベルを14段階より選択できます（**第27章　オプション・バイト**参照）。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は，**32. 4**または**33. 4　AC特性**に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
  動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

（a）割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）

オプション・バイト000C1Hで2つの検出電圧（$V_{LVDH}$, $V_{LVDL}$）を選択します。高電圧検出レベル（$V_{LVDH}$）はリセット解除用／割り込み発生用として使用します。低電圧検出レベル（$V_{LVDL}$）はリセット発生用として使用します。

（b）リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（$V_{LVD}$）を，リセット発生／解除用として使用します。

（c）割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（$V_{LVD}$）を，リセット解除用／割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は，次のように発生します。

| 割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0） | リセット・モード（LVIMDS1, LVIMDS0 = 1, 1） | 割り込みモード（LVIMDS1, LVIMDS0 = 0, 1） |
|---|---|---|
| 動作電圧降下時に，$V_{DD}$＜$V_{LVDH}$を検出して割り込み要求信号を発生，$V_{DD}$＜$V_{LVDL}$を検出して内部リセットを発生。<br>$V_{DD}$≧$V_{LVDH}$を検出して内部リセットを解除。 | $V_{DD}$≧$V_{LVD}$を検出して内部リセットを解除。$V_{DD}$＜$V_{LVD}$を検出して内部リセットを解除。 | リセット発生直後、LVDの内部リセットは$V_{DD}$≧$V_{LVD}$になるまでリセット状態を継続します。$V_{DD}$≧$V_{LVD}$を検出してLVDの内部リセットは解除されます。<br>LVDの内部リセット解除後は，$V_{DD}$＜$V_{LVD}$または$V_{DD}$≧$V_{LVD}$を検出して割り込み要求信号（INTLVI）を発生します。 |

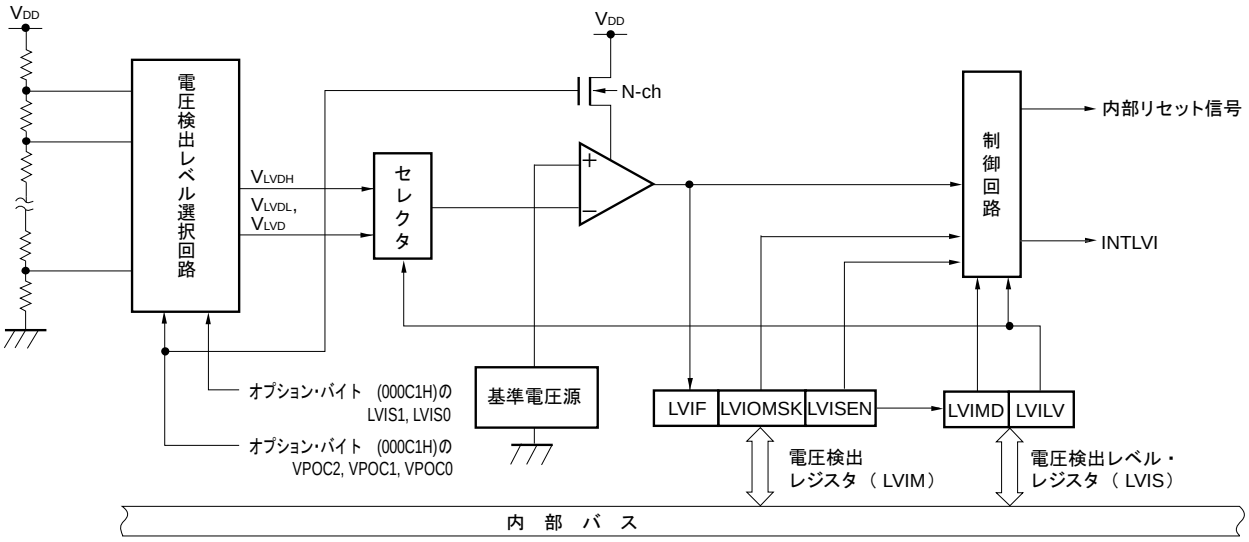
電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は，**第22章　リセット機能**を参照してください。

## 24. 2　電圧検出回路の構成

電圧検出回路のブロック図を**図24－1**に示します。

図24－1　電圧検出回路のブロック図




## 24. 3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

・電圧検出レジスタ（LVIM）
・電圧検出レベル・レジスタ（LVIS）

### 24. 3. 1　電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24－2　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　リセット時：00H[注1]　R/W[注2]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LVIM | LVISEN[注3] | 0 | 0 | 0 | 0 | 0 | LVIOMSK | LVIF |

| LVISEN[注3] | 電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定 |
|---|---|
| 0 | LVISレジスタの書き換え禁止（LVIOMSK=0（LVD出力マスク無効）になる） |
| 1 | LVISレジスタの書き換え許可（LVIOMSK=1（LVD出力マスク有効）になる） |

| LVIOMSK | LVD出力マスク状態フラグ |
|---|---|
| 0 | LVD出力マスク無効 |
| 1 | LVD出力マスク有効[注4] |

| LVIF | 電圧検出フラグ |
|---|---|
| 0 | 電源電圧（$V_{DD}$）≧検出電圧（$V_{LVD}$），またはLVDオフ時 |
| 1 | 電源電圧（$V_{DD}$）＜検出電圧（$V_{LVD}$） |

**注1.** リセット値は，リセット要因により変化します。
LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，LVISENは“0”にクリアされます。

**2.** ビット0, 1は，Read Onlyです。

**3.** 割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）選択時のみ設定できます。その他モードでは初期値から変更しないでください。

**4.** 割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）選択時のみ，LVIOMSKビットは以下の期間に自動で“1”となり，LVDによるリセットまたは割り込み発生がマスクされます。

・LVISEN = 1の期間
・LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間
・LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

## 24. 3. 2　電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H/01H/81H[注1]になります。

図24－3　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　リセット時：00H/01H/81H[注1]　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LVIS | LVIMD | 0 | 0 | 0 | 0 | 0 | 0 | LVILV |

| LVIMD[注2] | 電圧検出の動作モード |
|---|---|
| 0 | 割り込みモード |
| 1 | リセット・モード |

| LVILV[注2] | LVD検出レベル |
|---|---|
| 0 | 高電圧検出レベル（$V_{LVDH}$） |
| 1 | 低電圧検出レベル（$V_{LVDL}$または$V_{LVD}$） |

**注1.** リセット値は，リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は，クリア（00H）されません。

LVD以外のリセット時は，次のようになります。

・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき：00H

・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき：81H

・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：01H

**2.** 割り込み＆リセット・モード（オプション・バイトLVIMDS1，LVIMDS0 = 1, 0）選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み＆リセット・モードでのリセットまたは割り込み発生により，自動で値が切り替わります。

**注意1. LVISレジスタを書き換える場合は，図24－8の手順で行ってください。**

**2. LVDの動作モードと各モードの検出電圧（$V_{LVDH}$，$V_{LVDL}$，$V_{LVD}$）は，オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを図24－4に示します。オプション・バイトの詳細は第27章　オプション・バイトを参照してください。**

図24－4　ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（1/2）

アドレス：000C1H/010C1H[注]

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

・LVDの設定（割り込み＆リセット・モード）

| 検出電圧 | | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| $V_{LVDH}$ | | $V_{LVDL}$ | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 | モード設定 | |
| 立ち上がり | 立ち下がり | 立ち下がり | | | | | | LVIMDS1 | LVIMDS0 |
| 1.77 V | 1.73 V | 1.63 V | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1.88 V | 1.84 V | | | | | 0 | 1 | | |
| 2.92 V | 2.86 V | | | | | 0 | 0 | | |
| 1.98 V | 1.94 V | 1.84 V | | 0 | 1 | 1 | 0 | | |
| 2.09 V | 2.04 V | | | | | 0 | 1 | | |
| 3.13 V | 3.06 V | | | | | 0 | 0 | | |
| 2.61 V | 2.55 V | 2.45 V | | 1 | 0 | 1 | 0 | | |
| 2.71 V | 2.65 V | | | | | 0 | 1 | | |
| 3.75 V | 3.67 V | | | | | 0 | 0 | | |
| 2.92 V | 2.86 V | 2.75 V | | 1 | 1 | 1 | 0 | | |
| 3.02 V | 2.96 V | | | | | 0 | 1 | | |
| 4.06 V | 3.98 V | | | | | 0 | 0 | | |
| — | | | 上記以外は設定禁止 | | | | | | |

・LVDの設定（リセット・モード）

| 検出電圧 | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|
| $V_{LVD}$ | | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 | モード設定 | |
| 立ち上がり | 立ち下がり | | | | | | LVIMDS1 | LVIMDS0 |
| 1.67 V | 1.63 V | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1.77 V | 1.73 V | | 0 | 0 | 1 | 0 | | |
| 1.88 V | 1.84 V | | 0 | 1 | 1 | 1 | | |
| 1.98 V | 1.94 V | | 0 | 1 | 1 | 0 | | |
| 2.09 V | 2.04 V | | 0 | 1 | 0 | 1 | | |
| 2.50 V | 2.45 V | | 1 | 0 | 1 | 1 | | |
| 2.61 V | 2.55 V | | 1 | 0 | 1 | 0 | | |
| 2.71 V | 2.65 V | | 1 | 0 | 0 | 1 | | |
| 2.81 V | 2.75 V | | 1 | 1 | 1 | 1 | | |
| 2.92 V | 2.86 V | | 1 | 1 | 1 | 0 | | |
| 3.02 V | 2.96 V | | 1 | 1 | 0 | 1 | | |
| 3.13 V | 3.06 V | | 0 | 1 | 0 | 0 | | |
| 3.75 V | 3.67 V | | 1 | 0 | 0 | 0 | | |
| 4.06 V | 3.98 V | | 1 | 1 | 0 | 0 | | |
| — | | 上記以外は設定禁止 | | | | | | |

**注**　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

**備考**　検出電圧はTYP.値です。詳細は，**32. 6. 5**または**33. 6. 5　LVD回路特性**を参照してください。

図24－4　ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（2/2）

アドレス：000C1H/010C1H[注]

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

・LVDの設定（割り込みモード）

| 検出電圧 | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|
| $V_{LVD}$ | | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 | モード設定 | |
| 立ち上がり | 立ち下がり | | | | | | LVIMDS1 | LVIMDS0 |
| 1.67 V | 1.63 V | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1.77 V | 1.73 V | | 0 | 0 | 1 | 0 | | |
| 1.88 V | 1.84 V | | 0 | 1 | 1 | 1 | | |
| 1.98 V | 1.94 V | | 0 | 1 | 1 | 0 | | |
| 2.09 V | 2.04 V | | 0 | 1 | 0 | 1 | | |
| 2.50 V | 2.45 V | | 1 | 0 | 1 | 1 | | |
| 2.61 V | 2.55 V | | 1 | 0 | 1 | 0 | | |
| 2.71 V | 2.65 V | | 1 | 0 | 0 | 1 | | |
| 2.81 V | 2.75 V | | 1 | 1 | 1 | 1 | | |
| 2.92 V | 2.86 V | | 1 | 1 | 1 | 0 | | |
| 3.02 V | 2.96 V | | 1 | 1 | 0 | 1 | | |
| 3.13 V | 3.06 V | | 0 | 1 | 0 | 0 | | |
| 3.75 V | 3.67 V | | 1 | 0 | 0 | 0 | | |
| 4.06 V | 3.98 V | | 1 | 1 | 0 | 0 | | |
| — | | 上記以外は設定禁止 | | | | | | |

・LVDオフ（$\overline{\text{RESET}}$端子による外部リセットを使用）

| 検出電圧 | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|
| $V_{LVD}$ | | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 | モード設定 | |
| 立ち上がり | 立ち下がり | | | | | | LVIMDS1 | LVIMDS0 |
| — | — | 1 | × | × | × | × | × | 1 |
| — | | 上記以外は設定禁止 | | | | | | |

**注**　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

**注意1.　ビット4には，必ず1を書き込んでください。**
**2.　電源立ち上がり時は，32. 4または33. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。**
**動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。**

**備考　1.**　×：don’t care
**2.**　検出電圧はTYP.値です。詳細は，**32. 6. 5**または**33. 6. 5　LVD回路特性**を参照してください。

# 24. 4　電圧検出回路の動作

## 24. 4. 1　リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（$V_{LVD}$）の設定は，オプション・バイト000C1Hで設定しておきます。

リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，81Hに設定されます。

ビット7（LVIMD）は“1”（リセット・モード）

ビット0（LVILV）は“1”（低電圧検出レベル：$V_{LVD}$）

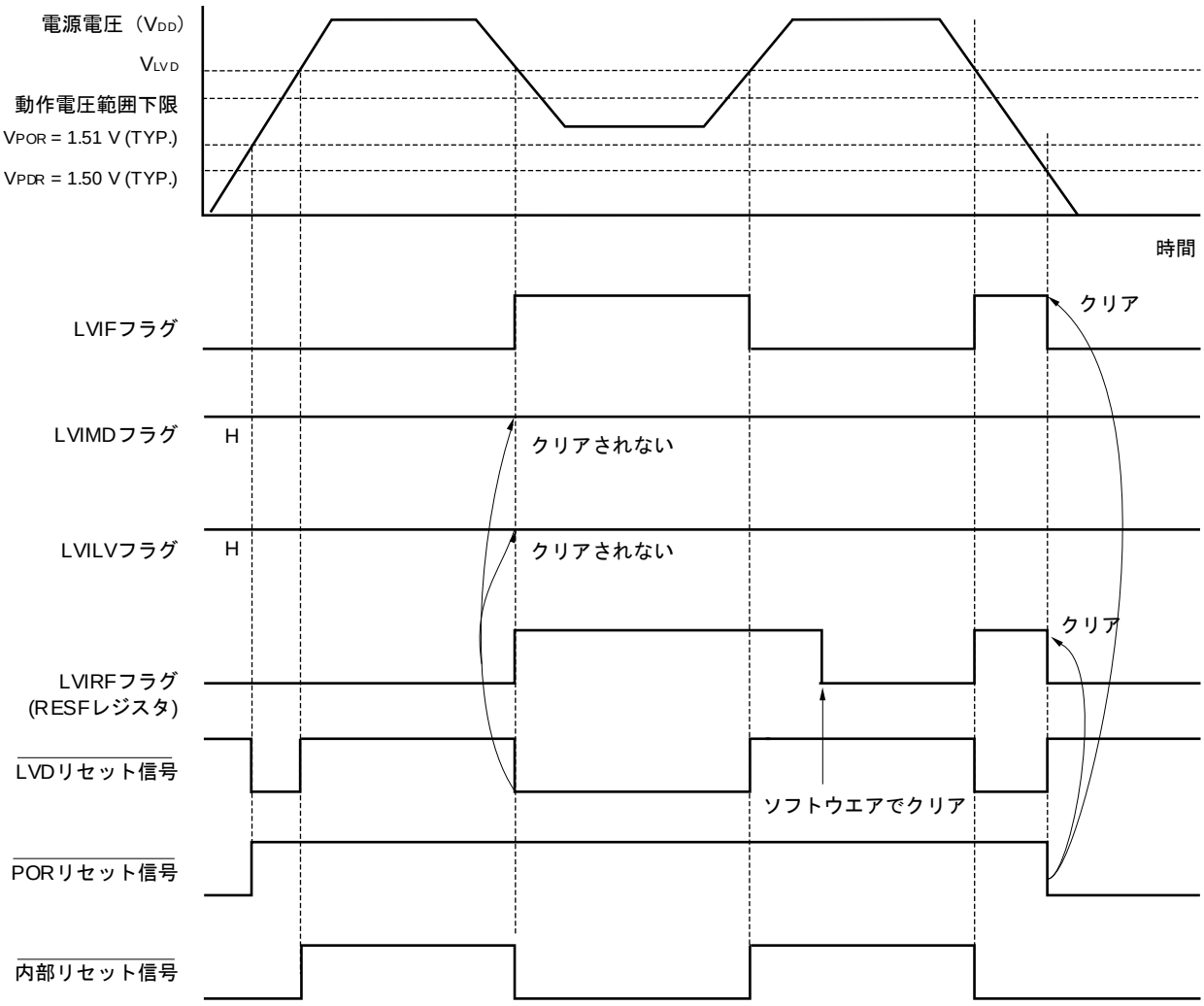
●LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は，電源投入時，電源電圧（$V_{DD}$）が電圧検出レベル（$V_{LVD}$）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（$V_{DD}$）が電圧検出レベル（$V_{LVD}$）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（$V_{DD}$）が電圧検出レベル（$V_{LVD}$）を下回るとLVDによる内部リセットが発生します。

**図24－5**に，LVDリセット・モードの内部リセット信号発生のタイミングを示します。

図24－5　内部リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）




**備考**　VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

## 24. 4. 2　割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（$V_{LVD}$）の設定は，オプション・バイト000C1Hで設定しておきます。

割り込みモードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，01Hに設定されます。

ビット7（LVIMD）は“0”（割り込みモード）

ビット0（LVILV）は“1”（低電圧検出レベル：$V_{LVD}$）

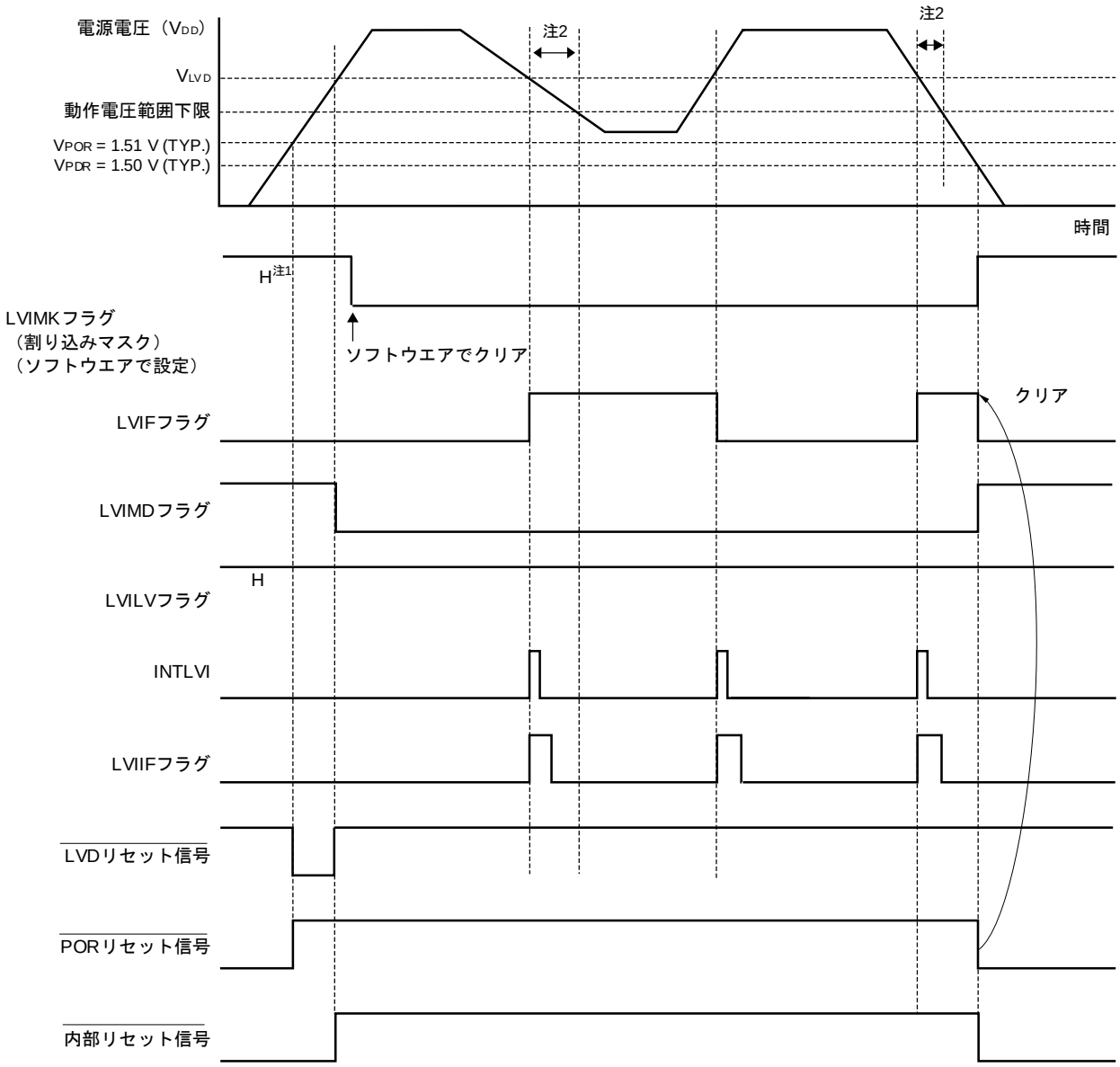
●LVD割り込みモードの動作

リセット発生直後，LVDの内部リセットは$V_{DD} \geqq V_{LVD}$になるまでリセット状態を継続します。$V_{DD} \geqq V_{LVD}$を検出してLVDの内部リセットは解除されます。

それ以降は，$V_{DD} < V_{LVD}$または$V_{DD} \geqq V_{LVD}$を検出して割り込み要求信号（INTLVI）を発生します。

**図24－6**に，LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図24－6　割り込み信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）




**注1.**　LVIMKフラグはリセット信号の発生により，“1”になっています。

**2.**　動作電圧降下時は，**32. 4**または**33. 4　AC特性**に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

**備考**　VPOR：POR電源立ち上がり検出電圧
VPDR：POR電源立ち下がり検出電圧

## 24. 4. 3　割り込み＆リセット・モードとして使用する場合の設定

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（$V_{LVDH}$, $V_{LVDL}$）の設定は，オプション・バイト000C1Hで設定しておきます。

割り込み＆リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
・電圧検出レベル・レジスタ（LVIS）の初期値は，00Hに設定されます。
　ビット7（LVIMD）は“0”（割り込みモード）
　ビット0（LVILV）は“0”（高電圧検出レベル：$V_{LVDH}$）

●LVD割り込み＆リセット・モードの動作

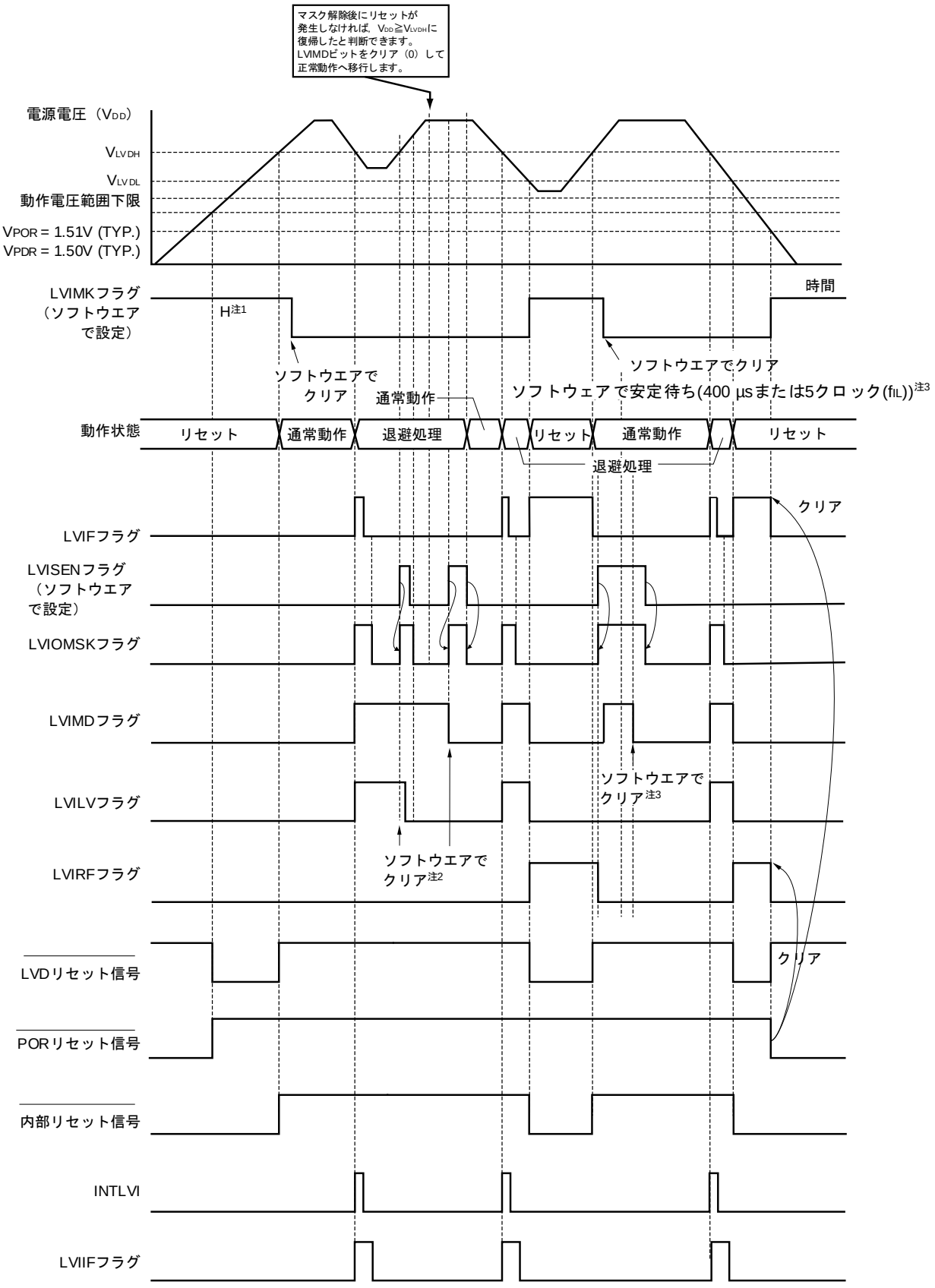
割り込み＆リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は，電源投入時，電源電圧（$V_{DD}$）が高電圧検出レベル（$V_{LVDH}$）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（$V_{DD}$）が高電圧検出レベル（$V_{LVDH}$）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（$V_{DD}$）が高電圧検出レベル（$V_{LVDH}$）を下回るとLVDによる割り込み要求信号（INTLVI）が発生し，任意の退避処理を行うことができます。その後，電源電圧（$V_{DD}$）が低電圧検出レベル（$V_{LVDL}$）を下回るとLVDによる内部リセットが発生します。ただし，INTLVI発生後，電源電圧（$V_{DD}$）が低電圧検出電圧（$V_{LVDL}$）を下回らずに高電圧検出電圧（$V_{LVDH}$）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み＆リセット・モードの使用する場合は，“**図24－8　動作電圧確認／リセットの設定手順**”と，“**図24－9　割り込み＆リセット・モードの初期設定**”に示すフローチャートの手順に従って設定をしてください。

図24－7に，LVD割り込み＆リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図24－7　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（1/2）




（注，備考は次ページにあります。）

**注 1.** LVIMKフラグはリセット信号の発生により，“1”になっています。

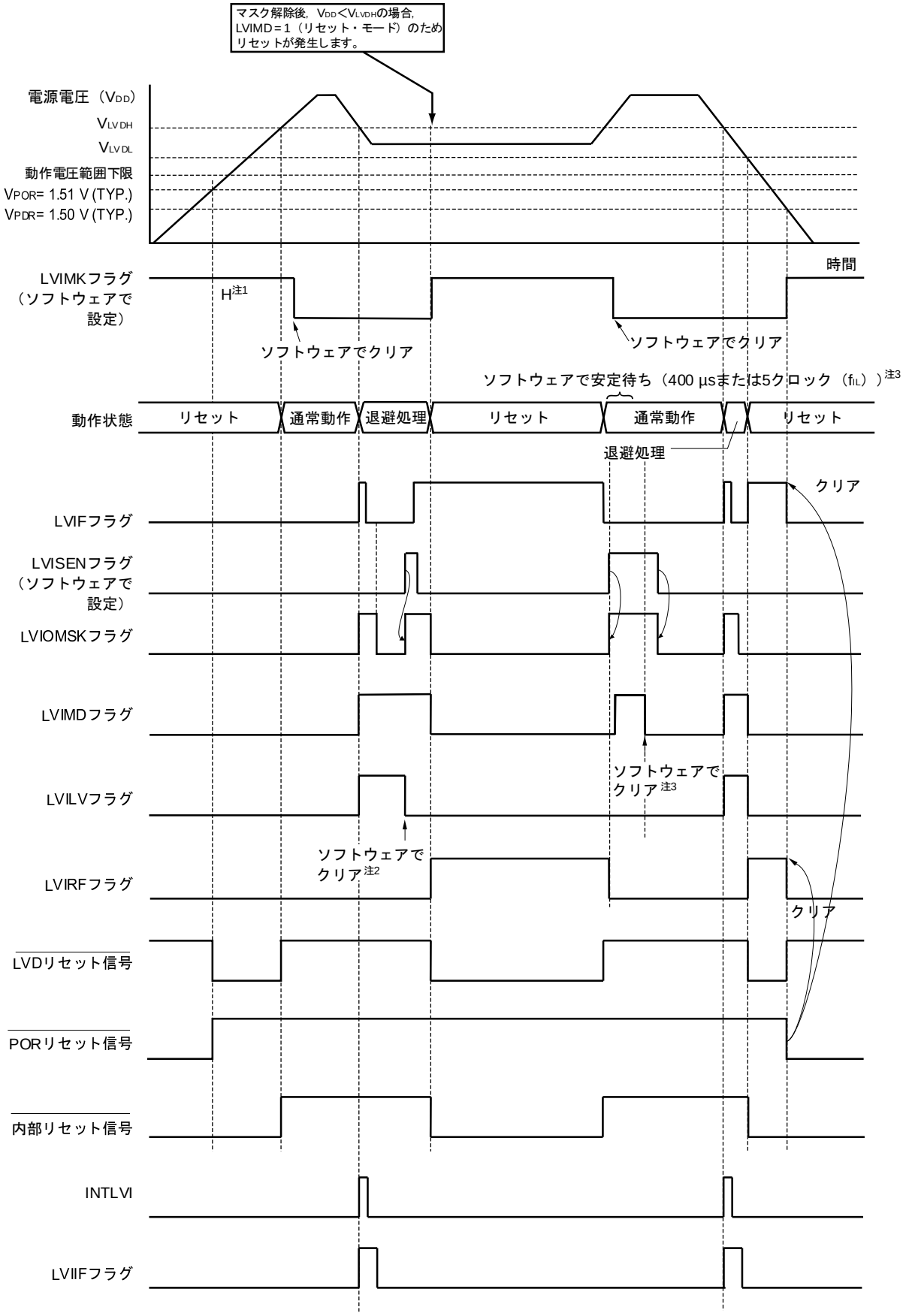
**2.** 割り込み＆リセット・モード使用時，割り込み発生後は，**図24－8　動作電圧確認／リセットの設定手順**に従って設定をしてください。

**3.** 割り込み＆リセット・モード使用時，リセット解除後は，**図24－9　割り込み＆リセット・モードの初期設定の設定手順**に従って設定をしてください。

**備考**　$V_{POR}$：POR電源立ち上がり検出電圧

$V_{PDR}$：POR電源立ち下がり検出電圧

図24－7　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（2/2）




（注，備考は次ページにあります。）

**注 1.** LVIMKフラグはリセット信号の発生により，“1”になっています。

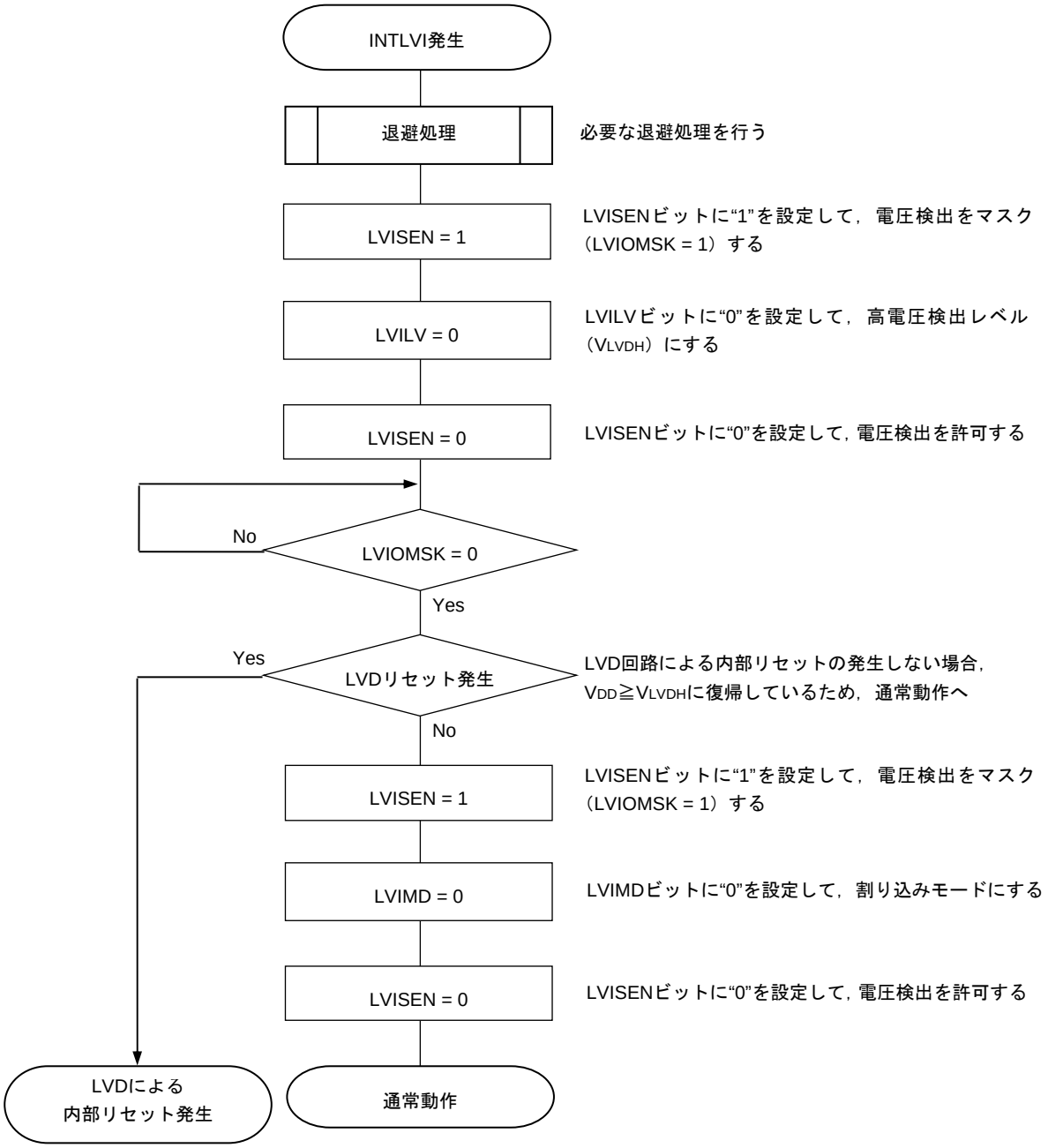
**2.** 割り込み＆リセット・モード使用時，割り込み発生後は，**図24－8　動作電圧確認／リセットの設定手順**に従って設定をしてください。

**3.** 割り込み＆リセット・モード使用時，リセット解除後は，**図24－9　割り込み＆リセット・モードの初期設定の設定手順**に従って設定をしてください。

**備考**　$V_{POR}$：POR電源立ち上がり検出電圧

$V_{PDR}$：POR電源立ち下がり検出電圧

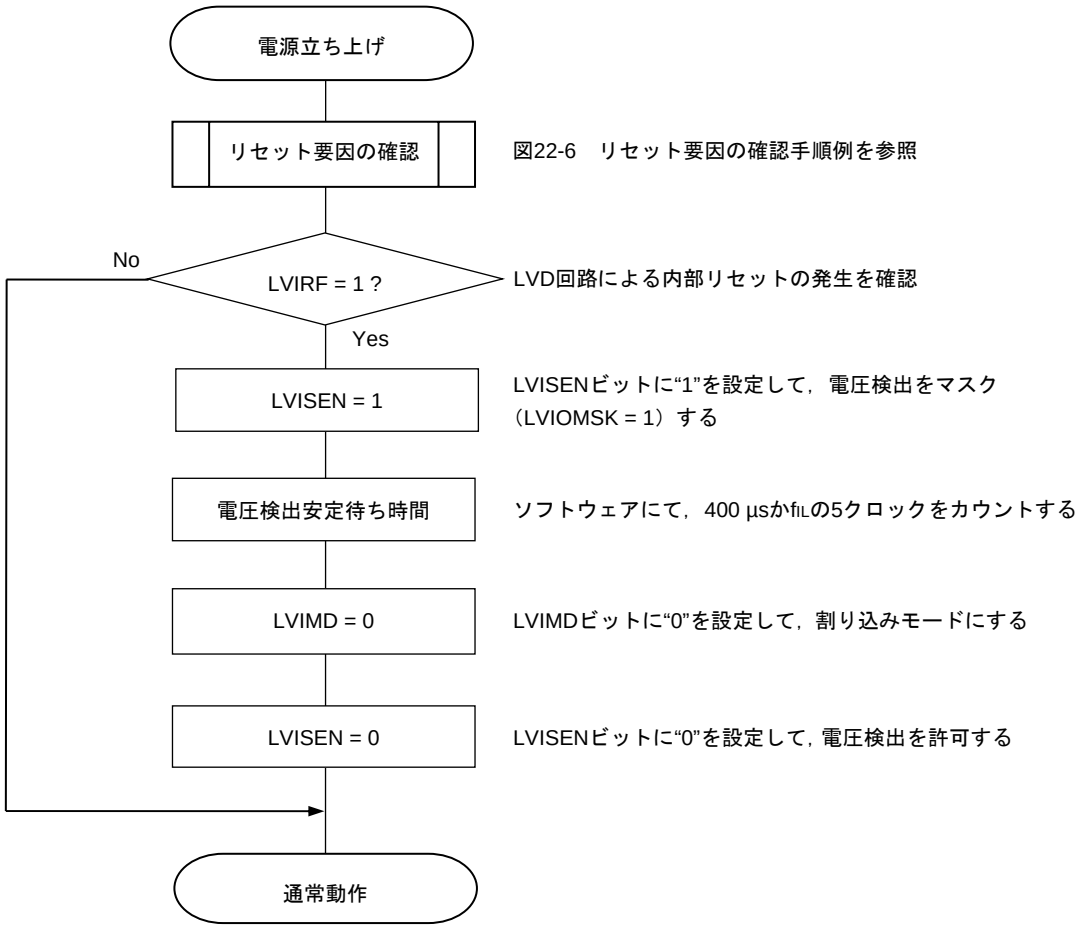
図24－8　動作電圧確認／リセットの設定手順



割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）を設定した場合、LVDリセット解除後（LVIRF = 1）から400 μsかfILの5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後、LVIMDビットをクリア（0）して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は、LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図24－9に割り込み＆リセット・モードの初期設定の手順を示します。

図24－9　割り込み＆リセット・モードの初期設定の設定手順




**備考**　fIL：低速オンチップ・オシレータ・クロック周波数

## 24. 5　電圧検出回路の注意事項

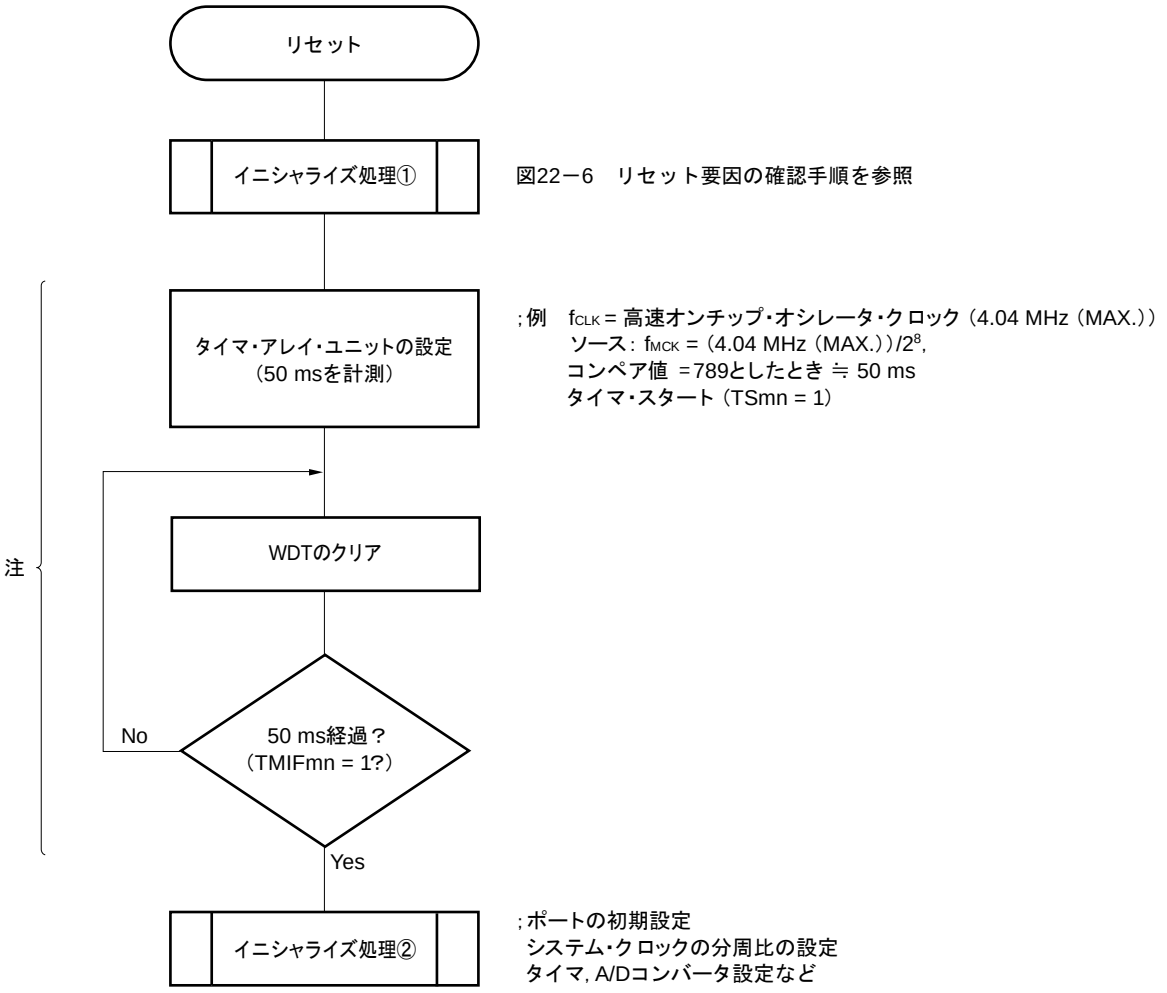
（1）電源投入時の電圧変動について

電源電圧（$V_{DD}$）がLVD検出電圧付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図24－10　LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



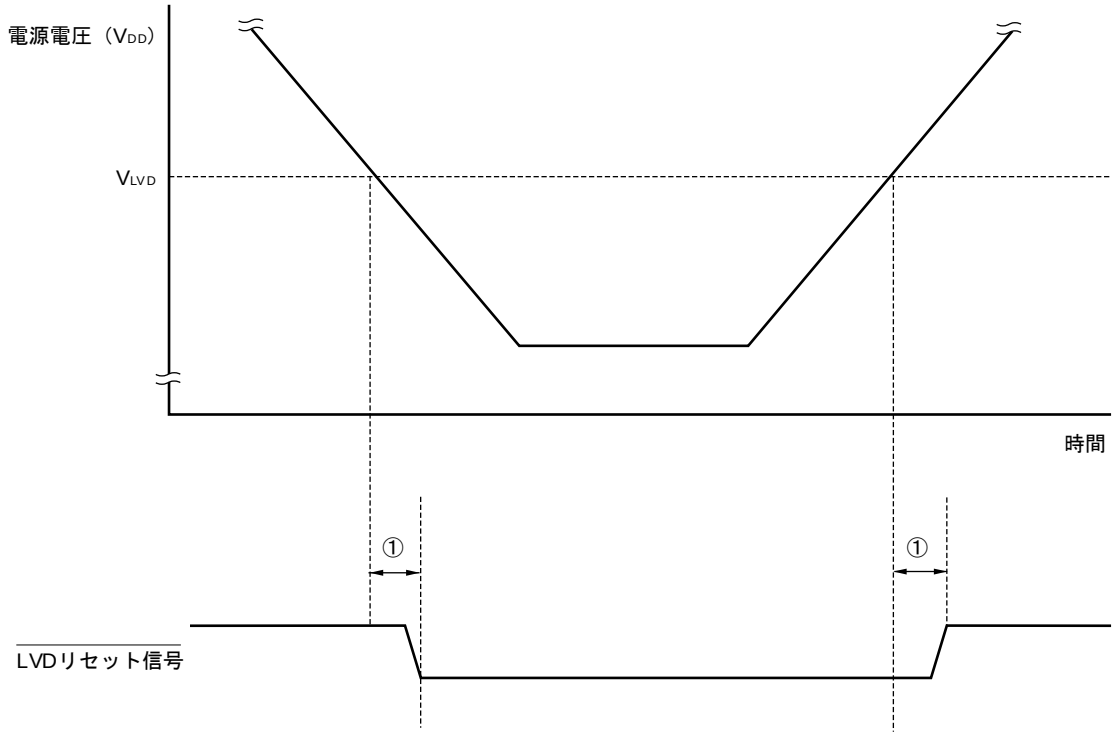

**注**　この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

**備考**　m = 0, n = 0-7

（2）LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（$V_{DD}$）＜LVD検出電圧（$V_{LVD}$）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（$V_{LVD}$）≦電源電圧（$V_{DD}$）になってから，LVDリセットが解除されるまでにも遅延が生じます（図24－10参照）。

図24－11　LVDリセット要因発生からLVDリセット発生または解除までの遅延




①：検出遅延（300 μs（MAX.））

（3）LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ずRESET端子による外部リセットを使用してください。

外部リセットを行う場合，RESET端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，RESET端子にロウ・レベルを入力してから電源を投入し，**32. 4**または**33. 4 AC特性**に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

（4）LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は，**32. 4**または**33. 4　AC特性**に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

# 第25章　安全機能

## 25. 1　安全機能の概要

安全規格IEC60730，IEC61508に対応するため，RL78/L13では以下の安全機能を搭載しています。
この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

（1）フラッシュ・メモリCRC演算機能（高速CRC，汎用CRC）

CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて，以下の2つのCRCを使い分けていただくことができます。

- 「高速CRC」… 初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用CRC」… CPU動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

（2）RAMパリティ・エラー検出機能

RAMをデータとして読み出すとき，パリティ・エラーを検出します。

（3）RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

（4）SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

（5）不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しない，アクセスが制限されている領域）への不正なアクセスを検出します。

（6）周波数検出機能

タイマ・アレイ・ユニットを使用して，CPU／周辺ハードウエア・クロック周波数の自己チェックができます。

（7）A/Dテスト機能

A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧をA/D変換することにより，A/Dコンバータの自己チェックができます。

（8）入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に，端子の出力レベルをリードすることができます。

**備考**　安全規格IEC60730に対応する安全機能の使用例は，RL78 MCUシリーズのIEC60730/60335セルフテスト・ライブラリ アプリケーションノート（R01AN1062, R01AN1296）を参照してください。

## 25. 2　安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

| レジスタ名 | 安全機能の各機能 |
|---|---|
| ・フラッシュ・メモリCRC制御レジスタ（CRC0CTL）<br>・フラッシュ・メモリCRC演算結果レジスタ（PGCRCL） | フラッシュ・メモリCRC演算機能<br>（高速CRC） |
| ・CRC入力レジスタ（CRCIN）<br>・CRCデータ・レジスタ（CRCD） | CRC演算機能<br>（汎用CRC） |
| ・RAMパリティ・エラー制御レジスタ（RPECTL） | RAMパリティ・エラー検出機能 |
| ・不正メモリ・アクセス検出制御レジスタ（IAWCTL） | RAMガード機能 |
| | SFRガード機能 |
| | 不正メモリ・アクセス検出機能 |
| ・タイマ入力選択レジスタ0（TIS0） | 周波数検出機能 |
| ・A/Dテスト・レジスタ（ADTES） | A/Dテスト機能 |
| ・ポート・モード選択レジスタ（PMS） | 入出力端子のデジタル出力信号レベル検出機能 |

各レジスタの内容については，**25. 3　安全機能の動作**の中で説明します。

## 25. 3　安全機能の動作

### 25. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。この高速CRCでは，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは，CPUを停止させて，フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です（例　フラッシュ・メモリ32 KB : 341 μs@24 MHz）。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

**注意　オンチップ・デバッグでは，モニタ・プログラムを配置するため，CRC演算結果が異なります。**

**備考**　汎用CRCはLSBファーストのため，演算結果は異なります。

25. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス：F02F0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CRC0CTL | CRC0EN | 0 | 0 | 0 | 0 | FEA2[注] | FEA1 | FEA0 |

| CRC0EN | 高速CRC演算器の動作制御 |
|---|---|
| 0 | 動作停止 |
| 1 | HALT命令実行により演算開始 |

| FEA2[注] | FEA1 | FEA0 | 高速CRC演算範囲 |
|---|---|---|---|
| 0 | 0 | 0 | 0000H-3FFBH（16 K−4バイト） |
| 0 | 0 | 1 | 00000H-7FFBH（32 K−4バイト） |
| 0 | 1 | 0 | 00000H-BFFBH（48 K−4バイト） |
| 0 | 1 | 1 | 00000H-FFFBH（64 K−4バイト） |
| 1 | 0 | 0 | 00000H-13FFBH（80 K−4バイト） |
| 1 | 0 | 1 | 00000H-17FFBH（96 K−4バイト） |
| 1 | 1 | 0 | 00000H-1BFFBH（112 K−4バイト） |
| 1 | 1 | 1 | 00000H-1FFFBH（128 K−4バイト） |

**注**　64 KB製品は，ビット2を必ず0に設定してください。

**備考**　フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

25. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図25－2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス：F02F2H　リセット時：0000H　R/W

| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---|---|---|---|---|---|---|---|---|
| PGCRCL | PGCRC15 | PGCRC14 | PGCRC13 | PGCRC12 | PGCRC11 | PGCRC10 | PGCRC9 | PGCRC8 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PGCRC7 | PGCRC6 | PGCRC5 | PGCRC4 | PGCRC3 | PGCRC2 | PGCRC1 | PGCRC0 |

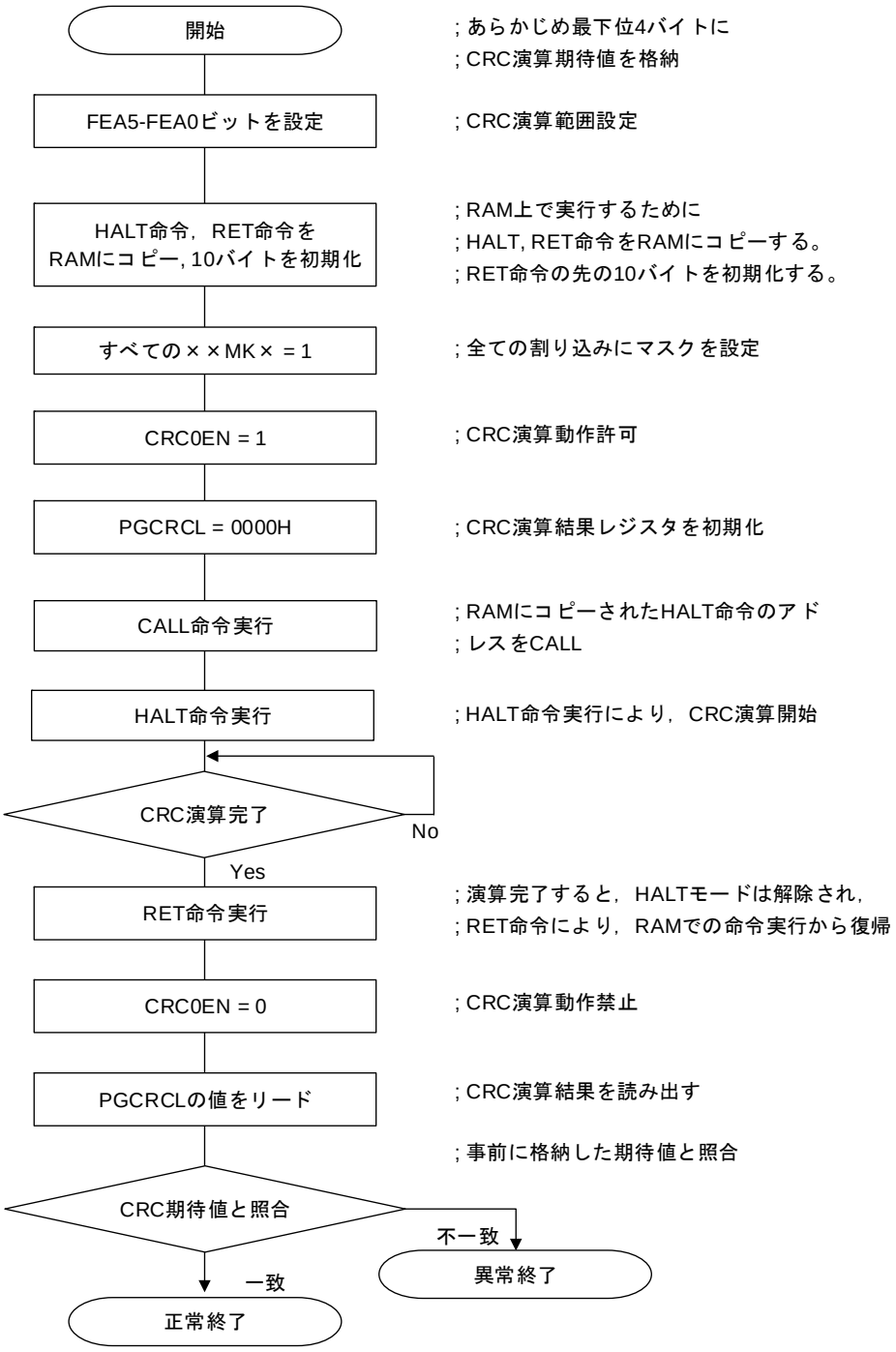
| PGCRC15-0 | 高速CRC演算結果 |
|---|---|
| 0000H-FFFFH | 高速CRC演算結果を格納 |

**注意　PGCRCLレジスタは，CRC0EN（CRC0CTLレジスタのビット7）= 1の場合のみライト可能です。**

フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを図25－3に示します。

＜動作フロー＞

図25－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート




**注意1.　CRC演算の対象は，コード・フラッシュのみです。**

**2.　CRC演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。**

**3.　RAM領域にて，HALT命令を実行することで，CRC演算が有効になります。**
**必ずRAM領域でHALT命令を実行してください。**

CRC演算の期待値は，総合開発環境CubeSuite+を使用して算出することができます。詳細は，CubeSuite+統合開発環境ユーザーズマニュアルを参照してください。

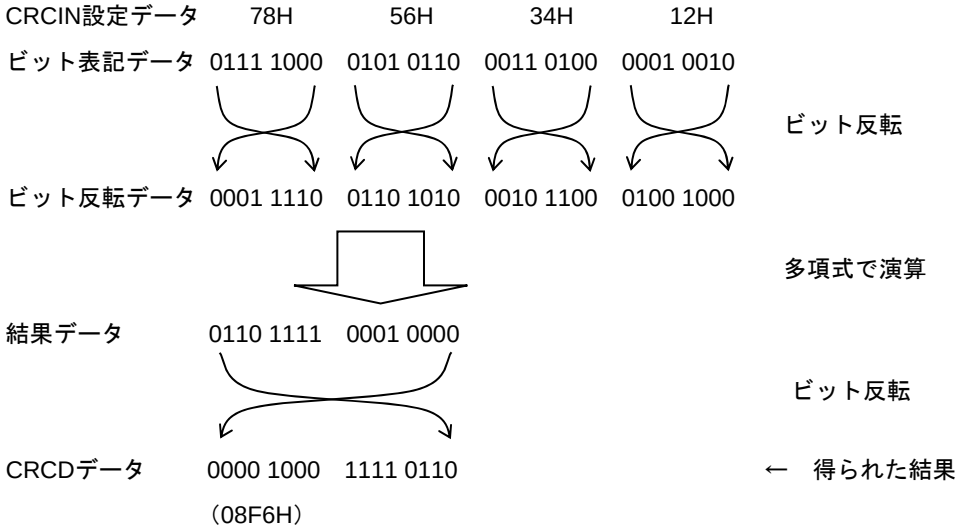
## 25. 3. 2　CRC演算機能（汎用CRC）

IEC61508では動作中の安全を保証しなければならないため，CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは，CPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は，DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^5+1$」を使用します。入力するデータはLSBファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ12345678HをLSBから送信する場合には78H, 56H, 34H, 12Hの順でCRCINレジスタに値を書き込むことで，CRCDレジスタから08F6Hの値が得られます。これは，データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。




**注意　プログラム実行中，デバッガはソフトウエア・ブレーク設定行をブレーク命令へ書き変えるため，CRC演算の対象領域にソフトウエア・ブレークを設定すると，CRC演算結果が異なります。**

### 25. 3. 2. 1　CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－4　CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CRCIN | | | | | | | | |

| ビット7-0 | 機　能 |
|---|---|
| 00H-FFH | データ入力 |

25. 3. 2. 2　CRCデータ・レジスタ（CRCD）

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は，0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック（$f_{CLK}$）の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図25－5　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

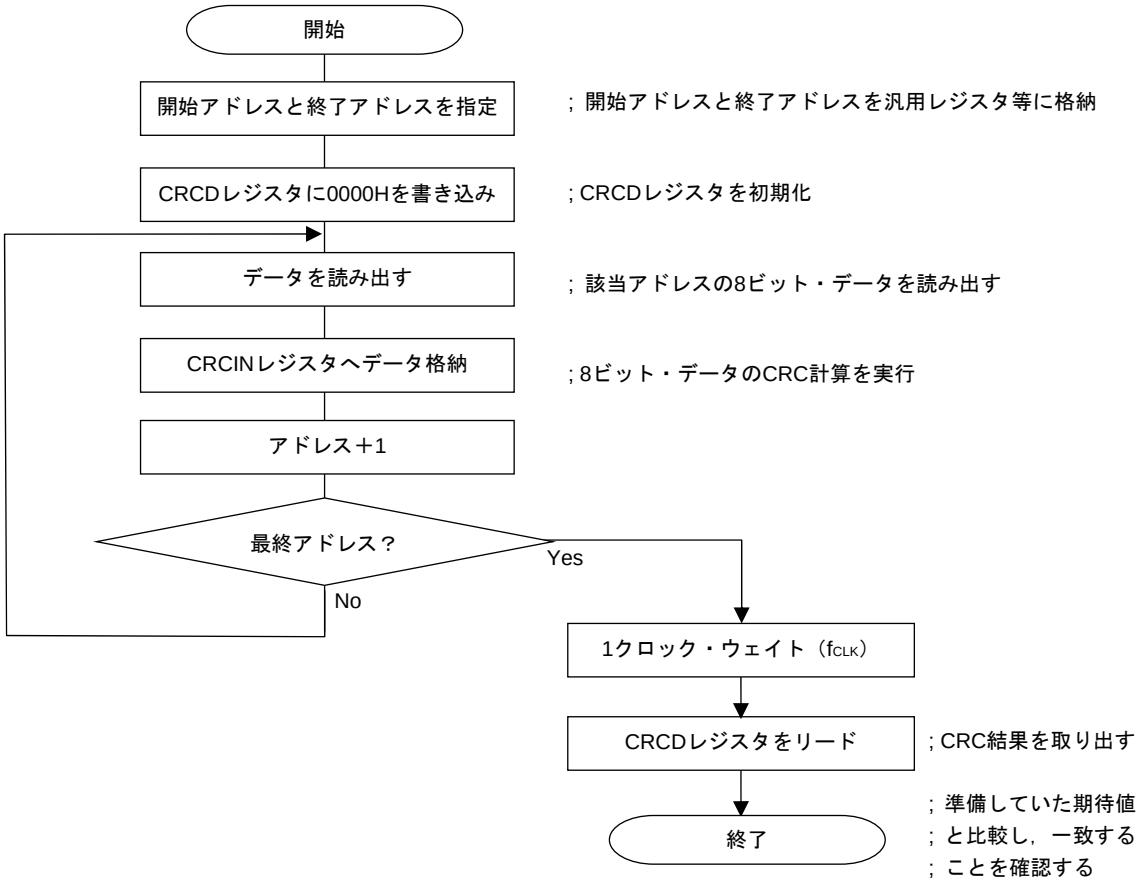
| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| CRCD | | | | | | | | | | | | | | | | |

**注意1.　CRCDレジスタに書き込まれた値を読み出す場合は，CRCINレジスタへの書き込みを行う前にリードしてください。**

**2.　CRCDレジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。**

＜動作フロー＞

図25－6　CRC演算機能（汎用CRC）のフロー・チャート



## 25. 3. 3　RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため，RL78/L13のRAMには，8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では，データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。また，パリティ・エラー発生時にリセットを発生することもできます。

### 25. 3. 3. 1　RAMパリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーの発生確認ビットと，パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－7　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス：F00F5H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RPECTL | RPERDIS | 0 | 0 | 0 | 0 | 0 | 0 | RPEF |

| RPERDIS | パリティ・エラー・リセット・マスク・フラグ |
|---|---|
| 0 | パリティ・エラー・リセット発生を許可 |
| 1 | パリティ・エラー・リセット発生を禁止 |

| RPEF | パリティ・エラー・ステータス・フラグ |
|---|---|
| 0 | パリティ・エラーが発生していない |
| 1 | パリティ・エラーが発生した |

**注意　データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。そのため，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。**
**また，RL78はパイプライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。したがって，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。**

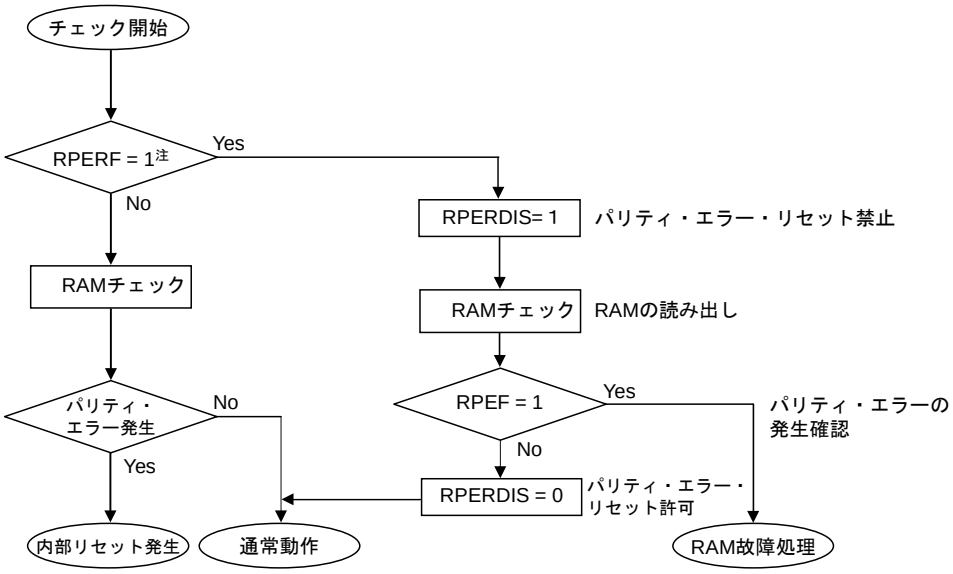
**備考1.** 初期状態では，パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。

**2.** パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に，パリティ・エラーが発生した場合も，RPEFフラグはセット（1）されます。なお，RPEF = 1の状態で，パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると，RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。

**3.** RPECTLレジスタのRPEFフラグは，パリティ・エラー発生時にセット（1）され，0の書き込み，またはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

**4.** 汎用レジスタは，RAMパリティ・エラー検出の範囲に含みません。

図25－8　RAMパリティ・チェックのフローチャート




**注**　RAMパリティ・エラーによる内部リセットの確認は，**第22章　リセット機能**を参照してください。

## 25. 3. 4　RAMガード機能

IEC61508では動作中の安全を保証しなければならないため, CPUが暴走してもRAMに格納されている重要なデータを保護する必要があります。

このRAMガード機能は，指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると，指定した空間へのRAM書き込みは無効になり，読み出しは通常通りに可能となります。

### 25. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では，GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－9　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IAWCTL | IAWEN | 0 | GRAM1 | GRAM0 | 0 | GPORT | GINT | GCSC |

| GRAM1 | GRAM0 | RAMガード空間注 |
|---|---|---|
| 0 | 0 | 無効。RAMへのライト可能 |
| 0 | 1 | RAM先頭アドレスから128バイト |
| 1 | 0 | RAM先頭アドレスから256バイト |
| 1 | 1 | RAM先頭アドレスから512バイト |

**注**　RAMの先頭アドレスは，製品の搭載RAMサイズにより変わります。

## 25. 3. 5　SFRガード機能

IEC61508では動作中の安全を保証しなければならないため，CPUが暴走しても重要なSFRが書き換わってしまわないように保護する必要があります。

SFRガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると，ガードされたSFRへの書き込みは無効になり，読み出しは通常通りに可能となります。

### 25. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－10　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IAWCTL | IAWEN | 0 | GRAM1 | GRAM0 | 0 | GPORT | GINT | GCSC |

| GPORT | ポート機能の制御レジスタのガード |
|---|---|
| 0 | 無効。ポート機能の制御レジスタのリード／ライト可能。 |
| 1 | 有効。ポート機能の制御レジスタのライト無効。リード可能。<br>［ガードされるSFR］PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR, PFSEGxx, ISCLCD[注] |

| GINT | 割り込み機能のレジスタのガード |
|---|---|
| 0 | 無効。割り込み機能の制御レジスタのリード／ライト可能。 |
| 1 | 有効。割り込み機能の制御レジスタのライト無効。リード可能。<br>［ガードされるSFR］IFxx, MKxx, PRxx, EGPx, EGNx |

| GCSC | クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのガード |
|---|---|
| 0 | 無効。クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのリード／ライト可能。 |
| 1 | 有効。クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのライト無効。リード可能。<br>［ガードされるSFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL |

**注**　Pxx（ポート・レジスタ）はガードされません。

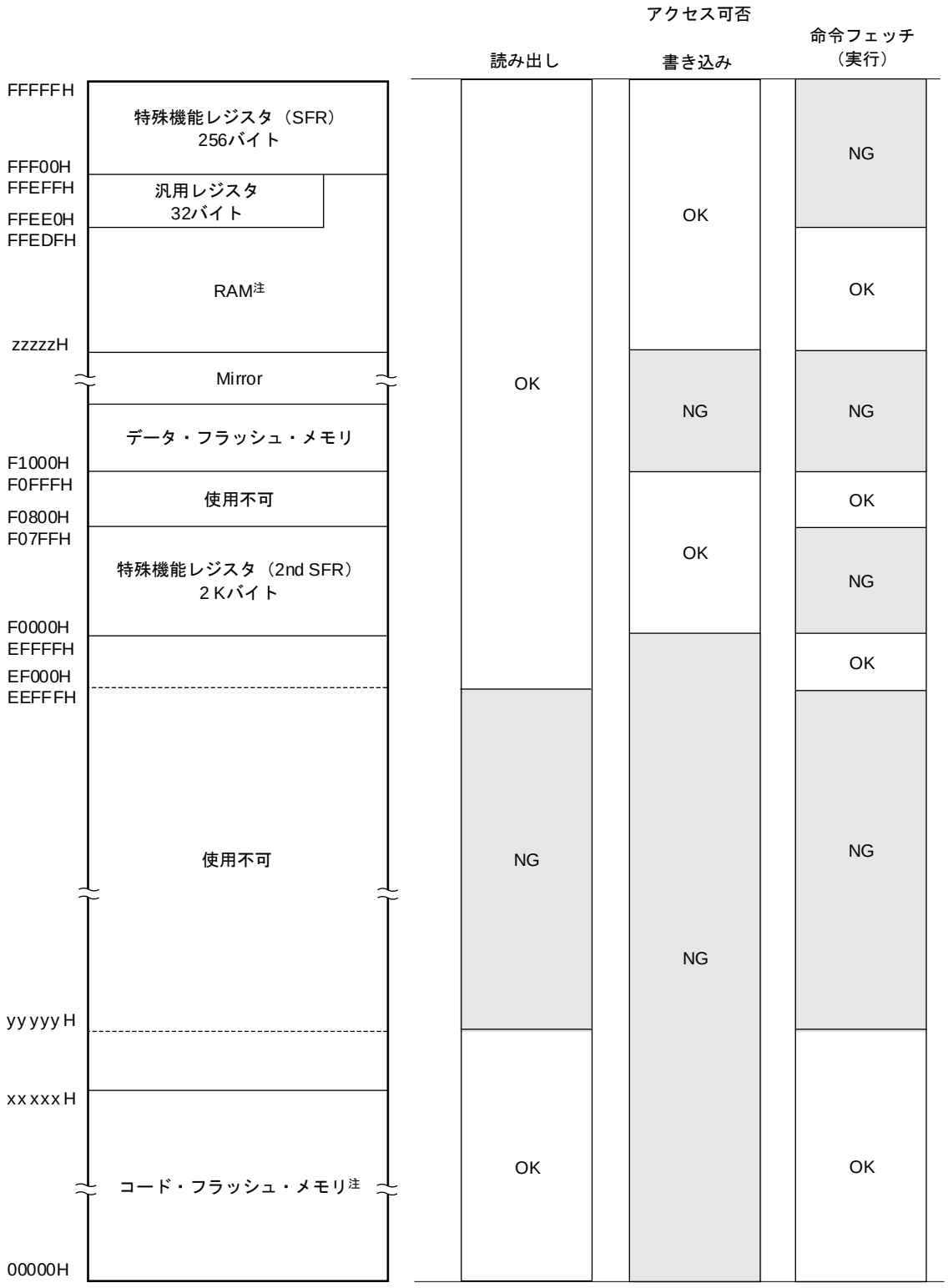
### 25. 3. 6　不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，**図25－11**で「NG」と記載した範囲になります。

図25－11　不正アクセス検出空間




**注**　各製品のコード・フラッシュ・メモリ，RAM，検出最下位アドレスを次に示します。

(説明は次のページにあります)

| 製　　品 | コード・フラッシュ・メモリ（00000H-xxxxxH） | RAM（zzzzzH-FFEFFH） | 読み出し／命令フェッチ（実行）時の検出最下位アドレス(yyyyyH) |
|---|---|---|---|
| R5F10WLA, R5F10WMA | 16384×8ビット（00000H-03FFFH） | 1024×8ビット（FFB00H-FFEFFH） | 10000H |
| R5F10WLC, R5F10WMC | 32768×8ビット（00000H-07FFFH） | 1536×8ビット（FF900H-FFEFFH） | 10000H |
| R5F10WLD, R5F10WMD | 49152×8ビット（00000H-0BFFFH） | 2048×8ビット（FF700H-FFEFFH） | 10000H |
| R5F10WLE, R5F10WME | 65536×8ビット（00000H-0FFFFH） | 4096×8ビット（FEF00H-FFEFFH） | 10000H |
| R5F10WLF, R5F10WMF | 98304×8ビット（00000H-17FFFH） | 6144×8ビット（FE700H-FFEFFH） | 20000H |
| R5F10WLG, R5F10WMG | 131072×8ビット（00000H-1FFFFH） | 8192×8ビット（FDF00H-FFEFFH） | 20000H |

### 25. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－12　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IAWCTL | IAWEN | 0 | GRAM1 | GRAM0 | 0 | GPORT | GINT | GCSC |

| IAWEN[注] | 不正メモリ・アクセスの検出制御 |
|---|---|
| 0 | 不正メモリ・アクセスの検出無効 |
| 1 | 不正メモリ・アクセスの検出有効 |

**注**　IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

**備考**　オプション・バイト（000C0H）のWDTON = 1（ウォッチドッグ・タイマ動作許可）のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

## 25. 3. 7　周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は，CPU/周辺ハードウエア・クロック周波数（$f_{CLK}$）を使用し，タイマ・アレイ・ユニット0(TAU0)のチャネル1の入力パルスを測定することで，2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

＜比較するクロック＞

①CPU/周辺ハードウエア・クロック周波数（$f_{CLK}$）：

・高速オンチップ・オシレータ・クロック（$f_{IH}$）

・高速システム・クロック（$f_{MX}$）

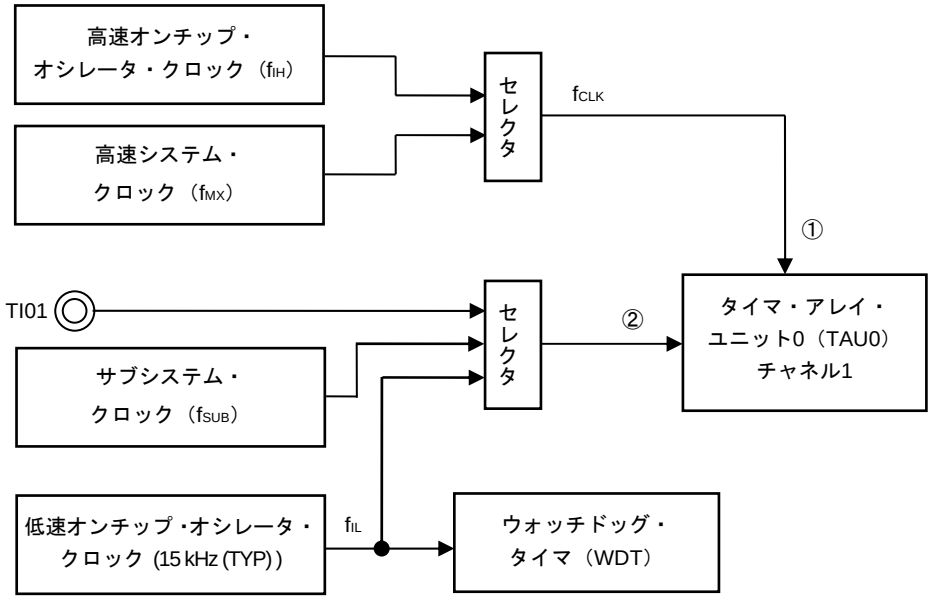
②タイマ・アレイ・ユニットのチャネル1入力：

・チャネル1のタイマ入力(TI01)

・低速オンチップ・オシレータ・クロック（$f_{IL}$：15 kHz（TYP.））

・サブシステム・クロック（$f_{SUB}$）

図25－13　周波数検出機能の構成




入力パルス間隔の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については，**6. 8. 3　入力パルス間隔測定としての動作**を参照してください。

25. 3. 7. 1　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，タイマ・アレイ・ユニット0(TAU0)のチャネル1のタイマ入力を選択するレジスタです。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－14　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TIS0 | 0 | 0 | 0 | 0 | 0 | TIS02 | TIS01 | TIS00 |

| TIS02 | TIS01 | TIS00 | チャネル1で使用するタイマ入力の選択 |
|---|---|---|---|
| 0 | 0 | 0 | タイマ入力端子（TI01）の入力信号 |
| 0 | 0 | 1 | |
| 0 | 1 | 0 | |
| 0 | 1 | 1 | |
| 1 | 0 | 0 | 低速オンチップ・オシレータ・クロック（$f_{IL}$） |
| 1 | 0 | 1 | サブシステム・クロック（$f_{SUB}$） |
| 上記以外 | | | 設定禁止 |

### 25. 3. 8　A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。確認方法の詳細は，安全機能（A/Dテスト）アプリケーションノート（R01AN0955）を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

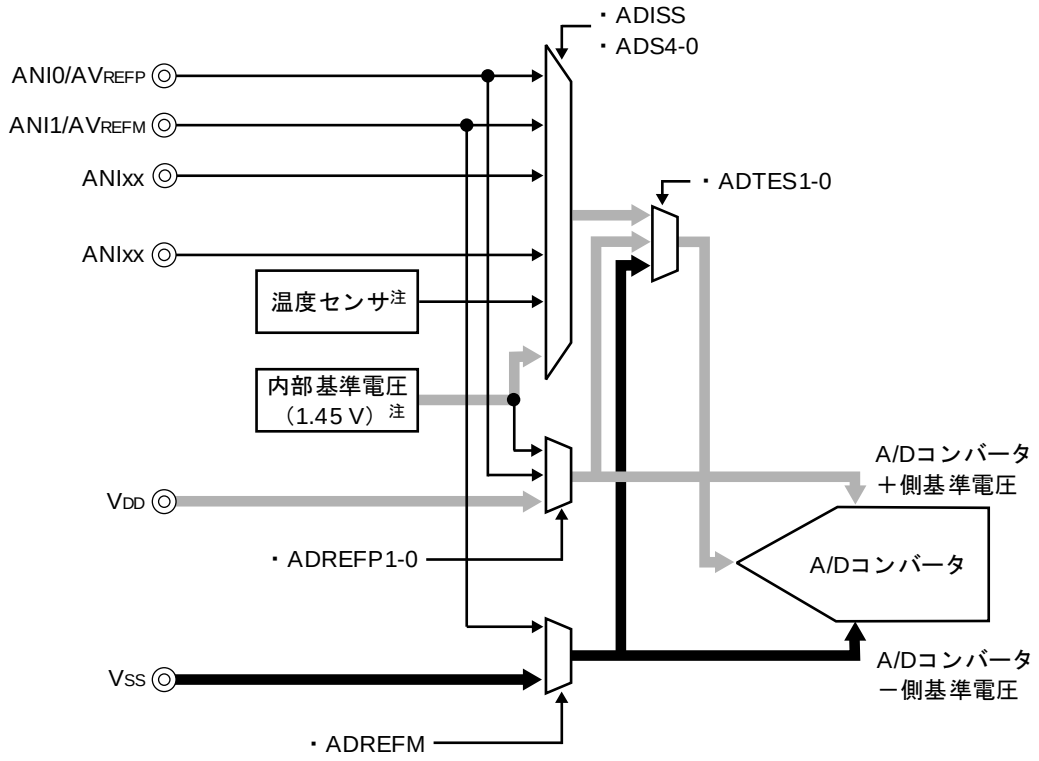
① ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
② ANIx端子のA/D変換を行う（変換結果1-1）。
③ ADTESレジスタでA/D変換対象にA/Dコンバータの－側基準電圧を選択（ADTES1, ADTES0=1,0）
④ A/Dコンバータの－側基準電圧のA/D変換を行う（変換結果2-1）
⑤ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑥ ANIx端子のA/D変換を行う（変換結果1-2）
⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの＋側基準電圧を選択（ADTES1, ADTES0=1,1）
⑧ A/Dコンバータの＋側基準電圧のA/D変換を行う（変換結果2-2）
⑨ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑩ ANIx端子のA/D変換を行う（変換結果1-3）
⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
⑫ 「変換結果2-1」のA/D変換結果がオール0，「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で，アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

**備考1.** ①～⑩の変換中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

**2.** 変換結果は誤差を含むので、変換結果を比較するときは，適切な誤差を考慮してください。

図25－15　A/Dテスト機能の構成




**注**　HS（高速メイン）モードでのみ選択可能です。

25. 3. 8. 1　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45 V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－16　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADTES | 0 | 0 | 0 | 0 | 0 | 0 | ADTES1 | ADTES0 |

| ADTES1 | ADTES0 | A/D変換対象 |
|---|---|---|
| 0 | 0 | ANIxx／温度センサ出力[注]／内部基準電圧出力（1.45 V）[注]<br>（アナログ入力チャネル指定レジスタ（ADS）で設定） |
| 1 | 0 | －側の基準電圧（ADM2レジスタのADREFMビットで選択） |
| 1 | 1 | ＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）[注] |
| 上記以外 | | 設定禁止 |

**注**　温度センサ出力電圧，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です。

25. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANIxx／温度センサ出力／内部基準電圧（1.45 V）を測定するときは，A/Dテスト・レジスタ（ADTES）を00Hに設定してください。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－17　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADS | ADISS | 0 | 0 | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 |

| ADISS | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 | アナログ入力チャネル | 入力ソース |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | ANI0 | P21/ANI0/$AV_{REFP}$端子 |
| 0 | 0 | 0 | 0 | 0 | 1 | ANI1 | P20/ANI1/$AV_{REFM}$端子 |
| 0 | 1 | 0 | 0 | 0 | 0 | ANI16 | P22/ANI16端子 |
| 0 | 1 | 0 | 0 | 0 | 1 | ANI17 | P23/ANI17端子 |
| 0 | 1 | 0 | 0 | 1 | 0 | ANI18 | P24/ANI18端子 |
| 0 | 1 | 0 | 0 | 1 | 1 | ANI19 | P25/ANI19端子 |
| 0 | 1 | 0 | 1 | 0 | 0 | ANI20 | P26/ANI20端子 |
| 0 | 1 | 0 | 1 | 0 | 1 | ANI21 | P27/ANI21端子 |
| 0 | 1 | 0 | 1 | 1 | 0 | ANI22 | P10/ANI22端子 |
| 0 | 1 | 0 | 1 | 1 | 1 | ANI23 | P11/ANI23端子 |
| 0 | 1 | 1 | 0 | 0 | 0 | ANI24 | P12/ANI24端子 |
| 0 | 1 | 1 | 0 | 0 | 1 | ANI25 | P13/ANI25端子 |
| 1 | 0 | 0 | 0 | 0 | 0 | － | 温度センサ出力電圧[注] |
| 1 | 0 | 0 | 0 | 0 | 1 | － | 内部基準電圧（1.45 V）[注] |
| 上記以外 | | | | | | 設定禁止 | |

**注**　HS（高速メイン）モードでのみ選択可能です。

**注意1.　ビット5, 6には必ず0を設定してください。**

**2.　ADPC，PMCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ1，2（PM1, PM2）で入力モードに選択してください。**

**3.　A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。**

**4.　ポート・モード・コントロール・レジスタ1, 2（PMC1, PMC2）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。**

**5.　ADISSビットを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。**

**6.　$AV_{REFP}$をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。**

**7.　$AV_{REFM}$をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。**

**8.　ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS = 1に設定後，1回目の変換結果は使用できません。詳細設定フローは，12. 7. 4 温度センサ使用時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）を参照してください。**

**9.　STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，32. 3. 2または33. 3. 2　電源電流特性に示すA/Dコンバータ基準電圧電流（$I_{ADREF}$）の電流値が加算されます。**

## 25. 3. 9　入出力端子のデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では，端子が出力モード時に，端子のデジタル出力レベルをリードすることができます。

### 25. 3. 9. 1　ポート・モード選択レジスタ（PMS）

端子が出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）時に，ポートの出力ラッチの値をリードするか，端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－18　ポート・モード選択レジスタ（PMS）のフォーマット

アドレス：F007BH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PMS | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PMS0 |

| PMS0 | ポートが出力モード時（PMmn = 0）にリードするデータの選択 |
|---|---|
| 0 | Pmnレジスタの値を読み出す |
| 1 | 端子のデジタル出力レベルを読み出す |

**備考**　m = 0-7, 12

n = 0-7

**注意1.　PMSレジスタのPMS0ビットを"1"に設定時は，リード・モディファイ命令でPxレジスタを書き換えないでください。Pxレジスタを書き換える場合は，8ビット・メモリ操作命令を使用してください。**

**2.　PMS制御は，LCD専用端子および入力専用端子（P121-P124, P137）については無効となります。**

**3.　SEG兼用端子をSEG出力として使用する場合には，PMS制御は無効となります（リード時は"L"固定）。**

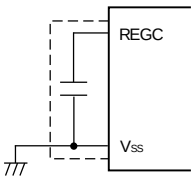
**4.　P74（TKBO00），P75（TKBO01-2），P76（TKBO01-1）P77（TKBO01-0）端子をTMKB2出力として使用するときに，強制出力停止機能が有効になった場合（Hi-Z時のみ）には，PMS制御は無効となります（リード時は"L"固定）。**

**5.　IICA0EN（PER0レジスタのビット4）= 0の場合，P61, P60端子はPMS制御が無効となります。**

# 第26章　レギュレータ

## 26. 1　レギュレータの概要

RL78/L13は，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC端子にはレギュレータ安定として，コンデンサ（0.47～1 μF）を介し，$V_{SS}$に接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。




注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は，**表26－1**のようになります。

表26－1　レギュレータ出力電圧条件

| モード | 出力電圧 | 条　　件 |
|---|---|---|
| LV（低電圧メイン）モード | 1.8 V | － |
| LS（低速メイン）モード | | |
| HS（高速メイン）モード | 1.8 V | STOPモード時 |
| | | サブシステム・クロック（$f_{XT}$）でCPU動作中で，高速システム・クロック（$f_{MX}$）と高速オンチップ・オシレータ・クロック（$f_{IH}$）が共に停止 |
| | | サブシステム・クロック（$f_{XT}$）でCPU動作設定時のHALTモード中で，高速システム・クロック（$f_{MX}$）と高速オンチップ・オシレータ・クロック（$f_{IH}$）が共に停止 |
| | 2.1 V | 上記以外（オンチップ・デバッグ中を含む）[注] |

**注**　オンチップ・デバッグ中に，サブシステム・クロック動作やSTOPモードに移行する場合は，レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

# 第27章　オプション・バイト

## 27.1　オプション・バイトの機能

RL78/L13のフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお，機能が配置されていないビットは，初期値から変更しないでください。

また，セルフ・プログラミング時にブート・スワップ動作を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わるので，010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

**注意　オプション・バイトは，各機能の使用の有無にかかわらず必ず設定してください。**

### 27.1.1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）

（1）000C0H/010C0H

〇ウォッチドッグ・タイマの動作
- ・カウンタの動作許可／禁止
- ・HALT/STOPモード時の動作停止／可能

〇ウォッチドッグ・タイマのオーバフロー時間の設定

〇ウォッチドッグ・タイマのウインドウ・オープン期間の設定

〇ウォッチドッグ・タイマのインターバル割り込みの設定
- ・インターバル割り込みを使用する／使用しない

**注意　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。**

（2）000C1H/010C1H

〇LVDの動作モード設定
- ・割り込み＆リセット・モード
- ・リセット・モード
- ・割り込みモード
- ・LVDオフ（RESET端子による外部リセットを使用）

〇LVD検出レベル（$V_{LVDH}$, $V_{LVDL}$, $V_{LVD}$）の設定

**注意1.　電源立ち上がり時は，32.4または33.4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。**
**動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。**

**2.　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください**

（3）000C2H/010C2H

〇フラッシュの動作モード設定

使用するメイン・システム・クロック周波数($f_{MAIN}$)，電源電圧($V_{DD}$)に応じて設定

・LV（低電圧メイン）モード

・LS（低速メイン）モード

・HS（高速メイン）モード

〇高速オンチップ・オシレータの周波数設定

・48 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz /3 MHz/2 MHz/1 MHz（TYP.）から選択

**注意　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。**

## 27. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）

〇オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止／許可

〇セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

**注意　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。**

# 27. 2　ユーザ・オプション・バイトのフォーマット

図27－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマット

アドレス：000C0H/010C0H[注1]

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| WDTINT | WINDOW1 | WINDOW0 | WDTON | WDCS2 | WDCS1 | WDCS0 | WDSTBYON |

| WDTINT | ウォッチドッグ・タイマのインターバル割り込みの使用／不使用 |
|---|---|
| 0 | インターバル割り込みを使用しない |
| 1 | オーバフロー時間の75%+1/2$f_{IL}$到達時にインターバル割り込みを発生する |

| WINDOW1 | WINDOW0 | ウォッチドッグ・タイマのウインドウ・オープン期間[注2] |
|---|---|---|
| 0 | 0 | 設定禁止 |
| 0 | 1 | 50 % |
| 1 | 0 | 75 %[注3] |
| 1 | 1 | 100 % |

| WDTON | ウォッチドッグ・タイマのカウンタの動作制御 |
|---|---|
| 0 | カウンタ動作禁止（リセット解除後，カウント停止） |
| 1 | カウンタ動作許可（リセット解除後，カウント開始） |

| WDCS2 | WDCS1 | WDCS0 | ウォッチドッグ・タイマのオーバフロー時間<br>（$f_{IL}$ = 17.25 kHz（MAX.）の場合） |
|---|---|---|---|
| 0 | 0 | 0 | $2^6/f_{IL}$（3.71 ms） |
| 0 | 0 | 1 | $2^7/f_{IL}$（7.42 ms） |
| 0 | 1 | 0 | $2^8/f_{IL}$（14.84 ms） |
| 0 | 1 | 1 | $2^9/f_{IL}$（29.68 ms） |
| 1 | 0 | 0 | $2^{11}/f_{IL}$（118.72 ms） |
| 1 | 0 | 1 | $2^{13}/f_{IL}$（474.89 ms） |
| 1 | 1 | 0 | $2^{14}/f_{IL}$（949.79 ms） |
| 1 | 1 | 1 | $2^{16}/f_{IL}$（3799.18 ms） |

| WDSTBYON | ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時） |
|---|---|
| 0 | HALT/STOPモード時，カウンタ動作停止[注2] |
| 1 | HALT/STOPモード時，カウンタ動作許可 |

**注1.** ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

**2.** WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

3. ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

| WDCS2 | WDCS1 | WDCS0 | ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.)の場合) | ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間 |
|---|---|---|---|---|
| 0 | 0 | 0 | $2^6/f_{IL}$（3.71 ms） | 1.85 ms～2.51 ms |
| 0 | 0 | 1 | $2^7/f_{IL}$（7.42 ms） | 3.71 ms～5.02 ms |
| 0 | 1 | 0 | $2^8/f_{IL}$（14.84 ms） | 7.42 ms～10.04 ms |
| 0 | 1 | 1 | $2^9/f_{IL}$（29.68 ms） | 14.84 ms～20.08 ms |
| 1 | 0 | 0 | $2^{11}/f_{IL}$（118.72 ms） | 56.36 ms～80.32 ms |
| 1 | 0 | 1 | $2^{13}/f_{IL}$（474.89 ms） | 237.44 ms～321.26 ms |
| 1 | 1 | 0 | $2^{14}/f_{IL}$（949.79 ms） | 474.89 ms～642.51 ms |
| 1 | 1 | 1 | $2^{16}/f_{IL}$（3799.18 ms） | 1899.59 ms～2570.04 ms |

**備考**　$f_{IL}$：低速内オンチップ・オシレータ・クロック周波数

図27－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

・LVDの設定（割り込み＆リセット・モード）

| 検出電圧 | | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| $V_{LVDH}$ | | $V_{LVDL}$ | モード設定 | | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 立ち上がり | 立ち下がり | 立ち下がり | LVIMDS1 | LVIMDS0 | | | | | |
| 1.77 V | 1.73 V | 1.63 V | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1.88 V | 1.84 V | | | | | | | 0 | 1 |
| 2.92 V | 2.86 V | | | | | | | 0 | 0 |
| 1.98 V | 1.94 V | 1.84 V | | | | 0 | 1 | 1 | 0 |
| 2.09 V | 2.04 V | | | | | | | 0 | 1 |
| 3.13 V | 3.06 V | | | | | | | 0 | 0 |
| 2.61 V | 2.55 V | 2.45 V | | | | 1 | 0 | 1 | 0 |
| 2.71 V | 2.65 V | | | | | | | 0 | 1 |
| 3.75 V | 3.67 V | | | | | | | 0 | 0 |
| 2.92 V | 2.86 V | 2.75 V | | | | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | | | | | 0 | 1 |
| 4.06 V | 3.98 V | | | | | | | 0 | 0 |
| 上記以外 | | | 設定禁止 | | | | | | |

・LVDの設定（リセット・モード）

| 検出電圧 | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|
| $V_{LVD}$ | | モード設定 | | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 立ち上がり | 立ち下がり | LVIMDS1 | LVIMDS0 | | | | | |
| 1.67 V | 1.63 V | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1.77 V | 1.73 V | | | | 0 | 0 | 1 | 0 |
| 1.88 V | 1.84 V | | | | 0 | 1 | 1 | 1 |
| 1.98 V | 1.94 V | | | | 0 | 1 | 1 | 0 |
| 2.09 V | 2.04 V | | | | 0 | 1 | 0 | 1 |
| 2.50 V | 2.45 V | | | | 1 | 0 | 1 | 1 |
| 2.61 V | 2.55 V | | | | 1 | 0 | 1 | 0 |
| 2.71 V | 2.65 V | | | | 1 | 0 | 0 | 1 |
| 2.81 V | 2.75 V | | | | 1 | 1 | 1 | 1 |
| 2.92 V | 2.86 V | | | | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | | 1 | 1 | 0 | 1 |
| 3.13 V | 3.06 V | | | | 0 | 1 | 0 | 0 |
| 3.75 V | 3.67 V | | | | 1 | 0 | 0 | 0 |
| 4.06 V | 3.98 V | | | | 1 | 1 | 0 | 0 |
| 上記以外 | | 設定禁止 | | | | | | |

**注**　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

**備考1.**　LVD回路の詳細は，**第24章　電圧検出回路**を参照してください。

**2.**　検出電圧はTYP.値です。詳細は，**32. 6. 5**または**33. 6. 5　LVD回路特性**を参照してください。

（注意は，次ページにあります。）

図27－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H[注]

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

・LVDの設定（割り込みモード）

| 検出電圧 | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|
| $V_{LVD}$ | | モード設定 | | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 立ち上がり | 立ち下がり | LVIMDS1 | LVIMDS0 | | | | | |
| 1.67 V | 1.63 V | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1.77 V | 1.73 V | | | | 0 | 0 | 1 | 0 |
| 1.88 V | 1.84 V | | | | 0 | 1 | 1 | 1 |
| 1.98 V | 1.94 V | | | | 0 | 1 | 1 | 0 |
| 2.09 V | 2.04 V | | | | 0 | 1 | 0 | 1 |
| 2.50 V | 2.45 V | | | | 1 | 0 | 1 | 1 |
| 2.61 V | 2.55 V | | | | 1 | 0 | 1 | 0 |
| 2.71 V | 2.65 V | | | | 1 | 0 | 0 | 1 |
| 2.81 V | 2.75 V | | | | 1 | 1 | 1 | 1 |
| 2.92 V | 2.86 V | | | | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | | 1 | 1 | 0 | 1 |
| 3.13 V | 3.06 V | | | | 0 | 1 | 0 | 0 |
| 3.75 V | 3.67 V | | | | 1 | 0 | 0 | 0 |
| 4.06 V | 3.98 V | | | | 1 | 1 | 0 | 0 |
| 上記以外 | | 設定禁止 | | | | | | |

・LVDの設定（LVDオフ）

| 検出電圧 | | オプション・バイト設定値 | | | | | | |
|---|---|---|---|---|---|---|---|---|
| $V_{LVD}$ | | モード設定 | | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 立ち上がり | 立ち下がり | LVIMDS1 | LVIMDS0 | | | | | |
| — | — | × | 1 | 1 | × | × | × | × |
| 上記以外 | | 設定禁止 | | | | | | |

**注**　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

**注意1.　ビット4には，必ず1を書き込んでください。**
**2.　電源立ち上がり時は，32. 4または33. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。**
**動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。**

**備考　1.**　×：don't care
**2.**　LVD回路の詳細は，**第24章　電圧検出回路**を参照してください。
**3.**　検出電圧はTYP.値です。詳細は，**32. 6. 5**または**33. 6. 5　LVD回路特性**を参照してください。

図27－3 ユーザ・オプション・バイト（000C2H/010C2H）のフォーマット

アドレス：000C2H/010C2H[注]

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CMODE1 | CMODE0 | 1 | FRQSEL4 | FRQSEL3 | FRQSEL2 | FRQSEL1 | FRQSEL0 |

| CMODE1 | CMODE0 | フラッシュの動作モード設定 | | |
|---|---|---|---|---|
| | | | 動作周波数範囲($f_{MAIN}$) | 動作電圧範囲($V_{DD}$) |
| 0 | 0 | LV（低電圧メイン）モード | 1 MHz～4 MHz | 1.6 V～5.5 V |
| 1 | 0 | LS（低速メイン）モード | 1 MHz～8 MHz | 1.8 V～5.5 V |
| 1 | 1 | HS（高速メイン）モード | 1 MHz～16 MHz | 2.4 V～5.5 V |
| | | | 1 MHz～24 MHz | 2.7 V～5.5 V |
| 上記以外 | | 設定禁止 | | |

| FRQSEL4 | FRQSEL3 | FRQSEL2 | FRQSEL1 | FRQSEL0 | 高速オンチップオシレータ・クロックの周波数 | |
|---|---|---|---|---|---|---|
| | | | | | $f_{HOCO}$ | $f_{IH}$ |
| 1 | 0 | 0 | 0 | 0 | 48 MHz | 24 MHz |
| 0 | 0 | 0 | 0 | 0 | 24 MHz | 24 MHz |
| 0 | 1 | 0 | 0 | 1 | 16 MHz | 16 MHz |
| 0 | 0 | 0 | 0 | 1 | 12 MHz | 12 MHz |
| 0 | 1 | 0 | 1 | 0 | 8 MHz | 8 MHz |
| 0 | 0 | 0 | 1 | 0 | 6 MHz | 6 MHz |
| 0 | 1 | 0 | 1 | 1 | 4 MHz | 4 MHz |
| 0 | 0 | 0 | 1 | 1 | 3 MHz | 3 MHz |
| 0 | 1 | 1 | 0 | 0 | 2 MHz | 2 MHz |
| 0 | 1 | 1 | 0 | 1 | 1 MHz | 1 MHz |
| 上記以外 | | | | | 設定禁止 | |

**注** ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

**注意1. ビット5には，必ず1を書き込んでください。**

**2. 動作周波数範囲と動作電圧範囲は，フラッシュの各動作モードによって異なります。詳細は，32. 4または33. 4 AC特性を参照してください。**

## 27.3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図27－4　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）のフォーマット

アドレス：000C3H/010C3H[注]

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| OCDENSET | 0 | 0 | 0 | 0 | 1 | 0 | OCDERSD |

| OCDENSET | OCDERSD | オンチップ・デバッグ動作制御 |
|---|---|---|
| 0 | 0 | オンチップ・デバッグ動作禁止 |
| 0 | 1 | 設定禁止 |
| 1 | 0 | オンチップ・デバッグ動作許可。<br>オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する |
| 1 | 1 | オンチップ・デバッグ動作許可。<br>オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない |

**注**　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

**注意**　**ビット7, 0（OCDENSET, OCDERSD）のみ，値を指定できます。**
**ビット6-1には，必ず000010Bを書き込んでください。**

**備考**　ビット3-1は，オンチップ・デバッグ機能使用時に値が書き変わるので，設定後は不定となります。
ただし，設定時にはビット3-1にも，必ず初期値（0, 1, 0）を設定してください。

## 27.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にリンク・オプションでも設定することができます。その場合，下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT   CSEG        OPT_BYTE
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          1AH     ; VLVDLに1.63 Vを選択
                          ; VLVDHに立ち上がり1.77 V，立ち下がり1.73 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          2DH     ; フラッシュの動作モードにLV（低電圧メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数1 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

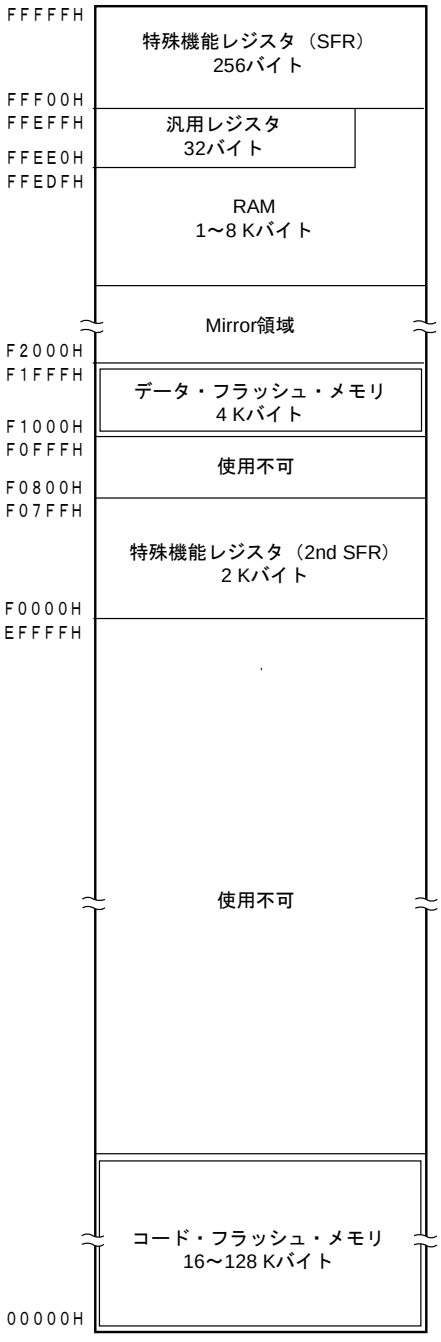
セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を，次のように記述してください。

```
OPT2  CSEG   AT   010C0H
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          1AH     ; VLVDLに1.63 Vを選択
                          ; VLVDHに立ち上がり1.77 V，立ち下がり1.73 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          2DH     ; フラッシュの動作モードにLV（低電圧メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数1 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

**注意 オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお，ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は，再配置属性ATを使用して絶対番地を指定してください。**

# 第28章　フラッシュ・メモリ

RL78マイクロコントローラは，プログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

・フラッシュ・メモリ・プログラマによるシリアル・プログラミング（**28. 1**参照）
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

・外部デバイス（UART通信）によるシリアル・プログラミング（**28. 2**参照）
外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。

・セルフ・プログラミング（**28.6**参照）
フラッシュ・セルフ・プログラミング・ライブラリを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。

データ・フラッシュ・メモリは，データ・フラッシュ・ライブラリを利用して，ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては，**28.8　データ・フラッシュ**を参照してください。

# 28. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5, PG-FP6
・E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表28－1　RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマの配線表

| 専用フラッシュ・メモリ・プログラマ接続端子 | | | | 端子名 | ピン番号 | |
|---|---|---|---|---|---|---|
| | | | | | 64ピン | 80ピン |
| 信号名 | | 入出力 | 端子機能 | | LQFP(12×12),<br>LFQFP(10×10) | LQFP(14×14),<br>LFQFP(12×12) |
| PG-FP5,<br>PG-FP6 | E1, E2, E2 Lite,<br>E20オンチップデバッギングエミュレータ | | | | | |
| － | TOOL0 | 入出力 | 送受信信号 | TOOL0/P40 | 5 | 9 |
| SI/RxD | － | 入出力 | 送受信信号 | | | |
| － | RESET_OUT | 出力 | リセット信号 | $\overline{\text{RESET}}$ | 6 | 10 |
| $\overline{\text{RESET}}$ | － | 出力 | | | | |
| $V_{DD}$[注1] | | 入出力 | $V_{DD}$電圧生成／<br>電源監視 | $V_{DD}$ | 14 | 18 |
| GND | | － | グランド | $V_{SS}$ | 13 | 17 |
| | | | | $EV_{SS}$ | － | － |
| | | | | REGC[注2] | 12 | 16 |
| FLMD1 | $EMV_{DD}$ | － | TOOL0端子<br>駆動電源 | $V_{DD}$ | 14 | 18 |

**注1.　PG-FP6の信号名はVCCです。**

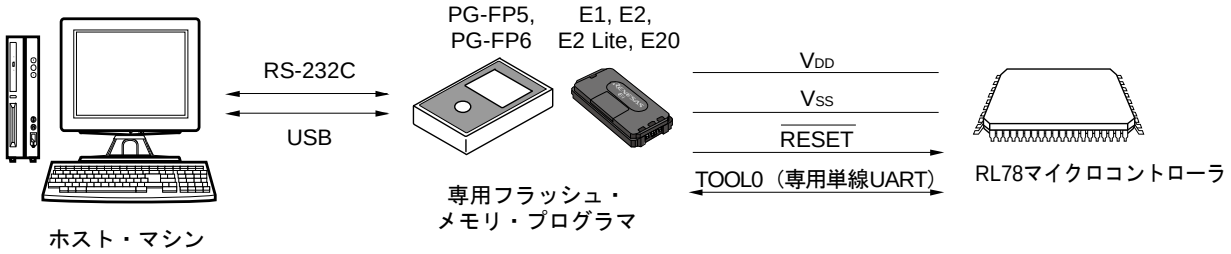
**2.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。**

**備考**　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

## 28. 1. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図28－1　フラッシュ・メモリにプログラムを書き込むための環境




専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

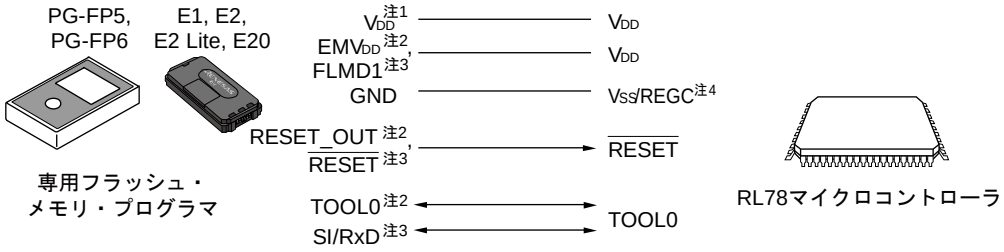
また，専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。

## 28. 1. 2　通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図28－2　専用フラッシュ・メモリ・プログラマとの通信




**注1.** PG-FP6の信号名はVCCです。

**2.** E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ使用時。

**3.** PG-FP5, PG-FP6使用時。

**4.** REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, PG-FP6またはE1, E2, E2 Lite, E20オンチップデバッギングエミュレータのマニュアルを参照してください。

表28－2　端子接続一覧

| 専用フラッシュ・メモリ・プログラマ | | | | RL78マイクロコントローラ |
|---|---|---|---|---|
| 信号名 | | 入出力 | 端子機能 | 端子名[注1] |
| PG-FP5, PG-FP6 | E1, E2, E2 Lite, E20 オンチップデバッギングエミュレータ | | | |
| VDD[注2] | | 入出力 | $V_{DD}$電圧生成／電圧監視 | $V_{DD}$ |
| GND | | － | グランド | $V_{SS}$, REGC[注3] |
| FLMD1 | $EMV_{DD}$ | － | TOOL0端子駆動電源 | $V_{DD}$ |
| $\overline{RESET}$ | － | 出力 | リセット信号 | $\overline{RESET}$ |
| － | RESET_OUT | 出力 | | |
| － | TOOL0 | 入出力 | 送受信信号 | TOOL0 |
| SI/RxD | － | 入出力 | 送受信信号 | |

**注1.　接続先端子は，製品によって異なります。詳細は，表28－1を参照してください。**

**2.　PG-FP6の信号名はVCCです。**

**3.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。**

## 28. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング

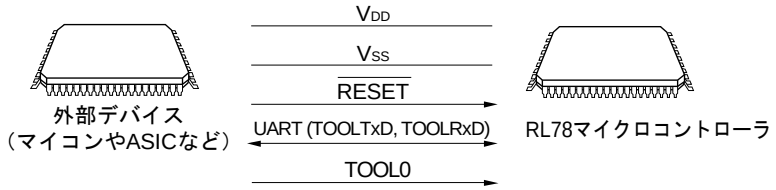
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC)を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

ユーザでのフラッシュ・メモリ・プログラマの開発については，**RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）**を参照してください。

### 28. 2. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図28－3　フラッシュ・メモリにプログラムを書き込むための環境



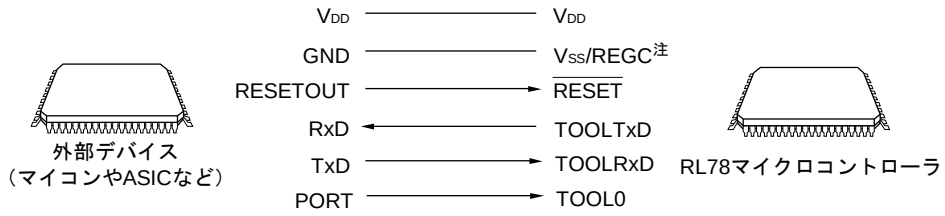

外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

## 28. 2. 2　通信方式

外部デバイスとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して，専用のUARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図28－4　外部デバイスとの通信




**注**　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表28－3　端子接続一覧

| 外部デバイス | | | RL78マイクロコントローラ |
|---|---|---|---|
| 信号名 | 入出力 | 端子機能 | 端子名 |
| $V_{DD}$ | 入出力 | $V_{DD}$電圧生成／電圧監視 | $V_{DD}$ |
| GND | － | グランド | $V_{SS}$, REGC[注] |
| RESETOUT | 出力 | リセット信号出力 | $\overline{RESET}$ |
| RxD | 入力 | 受信信号 | TOOLTxD |
| TxD | 出力 | 送信信号 | TOOLRxD |
| PORT | 出力 | モード信号 | TOOL0 |

**注**　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

# 28. 3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

**備考**　フラッシュ・メモリ・プログラミング・モードに関しては，**28. 4. 2　フラッシュ・メモリ・プログラミング・モード**を参照してください。

## 28. 3. 1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：外部リセット解除時から$t_{HD}$の期間はロウ・レベルを入力しないでください。また，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

**備考1.**　$t_{HD}$：フラッシュ・メモリ・プログラミング・モードに引き込むときに，外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。**32. 11**または**33. 11　フラッシュ・メモリ・プログラミング・モード引き込みタイミング**を参照してください。

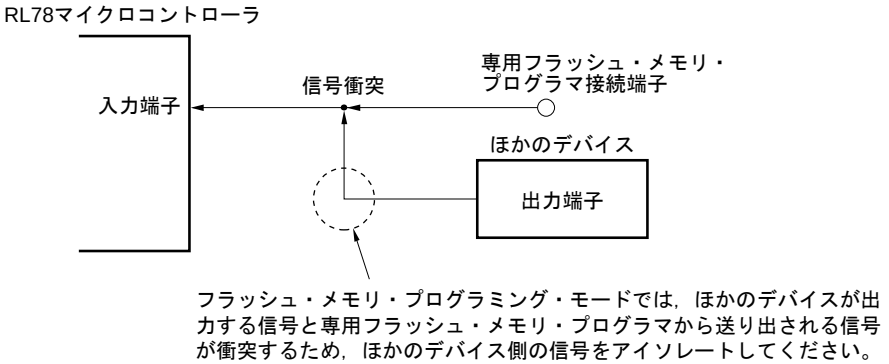
**2.**　RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

## 28. 3. 2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図28－5　信号の衝突（$\overline{\text{RESET}}$端子）




### 28. 3. 3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介して$V_{DD}$に接続するか，もしくは抵抗を介して$V_{SS}$に接続するなどの端子処理が必要です。

### 28. 3. 4　REGC端子

REGC端子は，通常動作時と同様に，特性の良いコンデンサ（0.47～1 μF）を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

### 28. 3. 5　X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

**備考**　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（$f_{IH}$）を使用します。

### 28. 3. 6　電　　源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，$V_{DD}$端子はフラッシュ・メモリ・プログラマの$V_{DD}$[注]に，$V_{SS}$端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，$V_{DD}$, $V_{SS}$端子はフラッシュ・メモリ・プログラマの$V_{DD}$[注], GNDと必ず接続してください。

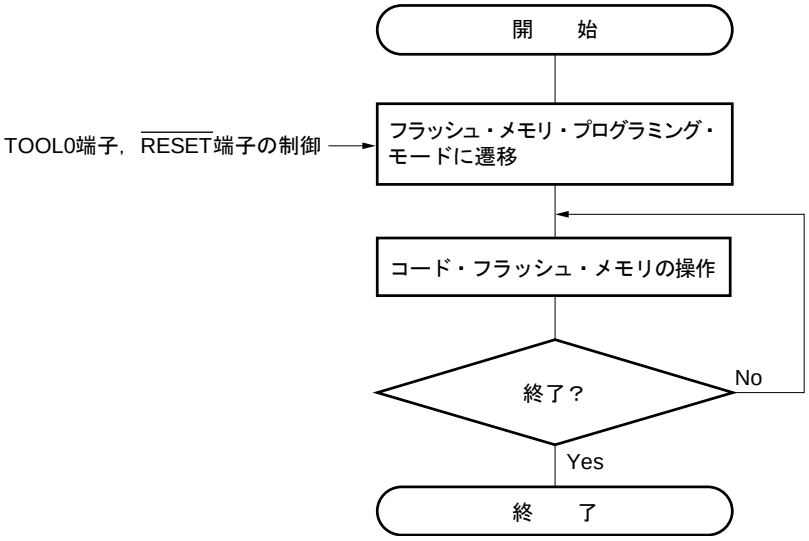
**注**　PG-FP6の信号名はVCCです。

# 28. 4　シリアル・プログラミング方法

## 28. 4. 1　シリアル・プログラミング制御

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図28－6　コード・フラッシュ・メモリの操作手順



## 28. 4. 2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してプログラミングする場合＞

専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

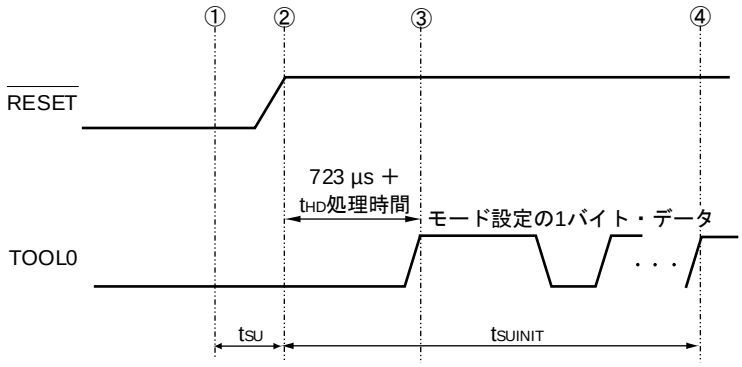
＜外部デバイス（UART通信）を使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後，リセットを解除します（表28－4　参照）。その後，図28－7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は，**RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）**を参照してください。

表28－4　リセット解除時のTOOL0端子の動作モードとの関係

| TOOL0 | 動作モード |
|---|---|
| $V_{DD}$ | 通常動作モード |
| 0 V | フラッシュ・メモリ・プログラミング・モード |

図28－7　フラッシュ・メモリ・プログラミング・モードへの引き込み




① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

**備考**　$t_{SUINIT}$　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

$t_{SU}$　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

$t_{HD}$　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は，**32. 11**または**33. 11　フラッシュ・メモリ・プログラミング・モード引き込みタイミング**を参照してください。

フラッシュ・メモリ・プログラミング・モードには，ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は，書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお，専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は，GUI上で電圧設定を行うことでモードが自動選択されます。

表28－5 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

| 電源電圧（$V_{DD}$） | フラッシュ・メモリ・プログラミング・モード引き込み時のオプション・バイトの設定 | | フラッシュ書き換えモード |
|---|---|---|---|
| | フラッシュ動作モード | 動作周波数 | |
| 2.7 V≦$V_{DD}$≦5.5 V | ブランク状態 | | フルスピード・モード |
| | HS（高速メイン）モード | 1 MHz～24 MHz | フルスピード・モード |
| | LS（低速メイン）モード | 1 MHz～8 MHz | ワイド・ボルテージ・モード |
| | LV（低電圧メイン）モード | 1 MHz～4 MHz | ワイド・ボルテージ・モード |
| 2.4 V≦$V_{DD}$＜2.7 V | ブランク状態 | | フルスピード・モード |
| | HS（高速メイン）モード | 1 MHz～16 MHz | フルスピード・モード |
| | LS（低速メイン）モード | 1 MHz～8 MHz | ワイド・ボルテージ・モード |
| | LV（低電圧メイン）モード | 1 MHz～4 MHz | ワイド・ボルテージ・モード |
| 1.8 V≦$V_{DD}$＜2.4 V | ブランク状態 | | ワイド・ボルテージ・モード |
| | LS（低速メイン）モード | 1 MHz～8 MHz | ワイド・ボルテージ・モード |
| | LV（低電圧メイン）モード | 1 MHz～4 MHz | ワイド・ボルテージ・モード |

**備考1.** ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

**2.** 通信コマンドの詳細は，**28. 4. 4 通信コマンド**を参照してください。

## 28. 4. 3 通信方式

RL78マイクロコントローラの通信方式は，次のようになります。

表28－6 通信方式

| 通信方式 | Standard設定[注1] | | | | 使用端子 |
|---|---|---|---|---|---|
| | Port | Speed[注2] | Frequency | Multiply Rate | |
| 単線UART（フラッシュ・メモリ・プログラマ使用時，または外部デバイス使用時） | UART | 115200 bps,<br>250000 bps,<br>500000 bps,<br>1 Mbps | － | － | TOOL0 |
| 専用UART（外部デバイス使用時） | UART | 115200 bps,<br>250000 bps,<br>500000 bps,<br>1 Mbps | － | － | TOOLTxD,<br>TOOLRxD |

**注1.** フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

**2.** UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

### 28. 4. 4　通信コマンド

RL78マイクロコントローラは，表28－7に示すコマンドを介してシリアル・プログラミングを実行します。専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，**RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）**を参照してください。

表28－7　フラッシュ・メモリ制御用コマンド

| 分　類 | コマンド名称 | 機　　能 |
|---|---|---|
| ベリファイ | Verify | フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。 |
| 消去 | Block Erase | 指定された領域のフラッシュ・メモリを消去します。 |
| ブランクチェック | Block Blank Check | 指定されたブロックのフラッシュ・メモリの消去状態をチェックします。 |
| 書き込み | Programming | フラッシュ・メモリの指定された領域にデータを書き込みます注。 |
| 情報取得 | Silicon Signature | RL78マイクロコントローラ情報（品名，フラッシュ・メモリ構成，プログラミング用ファームウエア・バージョンなど）を取得します。 |
| | Checksum | 指定された領域のチェックサム・データを取得します。 |
| セキュリティ | Security Set | セキュリティ情報を設定します。 |
| | Security Get | セキュリティ情報を取得します。 |
| | Security Release | 書き込み禁止設定を解除します。 |
| その他 | Reset | 通信の同期検出に使用します。 |
| | Baud Rate Set | UART選択時のボー・レートを設定します。 |

**注** 書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

“Silicon Signature”コマンドを実行することで製品情報（品名，ファームウエア・バージョン）を取得することができます。

**表28－8**にシグネチャ・データ一覧，**表28－9**にシグネチャ・データ例を示します。

表28－8　シグネチャ・データ一覧

| フィールド名 | 内容 | 送信バイト数 |
|---|---|---|
| デバイス・コード | デバイスに割り振られたシリアル番号 | 3バイト |
| デバイス名 | デバイス名（ASCIIコード） | 10バイト |
| コード・フラッシュ・メモリ領域最終アドレス | コード・フラッシュ・メモリ領域の最終アドレス<br>（アドレス下位から送信されます。<br>例．00000H-0FFFFH (64 KB) → FFH, FFH, 00H） | 3バイト |
| データ・フラッシュ・メモリ領域最終アドレス | データ・フラッシュ・メモリ領域の最終アドレス<br>（アドレス下位から送信されます。<br>例．F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH） | 3バイト |
| ファームウエア・バージョン | プログラミング用ファームウエアのバージョン情報<br>（バージョンの上位から送信されます。<br>例．Ver. 1. 23 → 01H, 02H, 03H） | 3バイト |

表28－9　シグネチャ・データ例

| フィールド名 | 内容 | 送信バイト数 | データ（16進数） |
|---|---|---|---|
| デバイス・コード | RL78プロトコルA | 3バイト | 10　00　06 |
| デバイス名 | R5F10WLE | 10バイト | 52 = “R”<br>35 = “5”<br>46 = “F”<br>31 = “1”<br>30 = “0”<br>57 = “W”<br>4C = “L”<br>45 = ”E”<br>20 = “　”<br>20 = “　” |
| コード・フラッシュ・メモリ領域最終アドレス | コード・フラッシュ・メモリ領域<br>00000H-0FFFFH (64 KB) | 3バイト | FF　FF　00 |
| データ・フラッシュ・メモリ領域最終アドレス | データ・フラッシュ・メモリ領域<br>F1000H-F1FFFH (4 KB) | 3バイト | FF　1F　0F |
| ファームウエア・バージョン | Ver. 1. 23 | 3バイト | 01　02　03 |

## 28.5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP6を使用した場合の各コマンド処理時間（参考値）を次に示します。

表28－10　PG-FP6使用時の各コマンド処理時間（参考値）

| PG-FP6のコマンド | コード・フラッシュ | | | | | |
|---|---|---|---|---|---|---|
| | 16 KB | 32 KB | 48 KB | 64 KB | 96 KB | 128 KB |
| 消去 | 0.7s | 0.8s | 0.9s | 1.0s | 1.2s | 1.4s |
| 書き込み | 0.8s | 1.3s | 1.9s | 2.2s | 3.0s | 3.7s |
| ベリファイ | 0.7s | 1.1s | 1.6s | 1.9s | 2.6s | 3.3s |
| 消去後，書き込み | 1.2s | 1.8s | 2.5s | 3.0s | 3.9s | 4.8s |

**備考**　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port　：TOOL0（単線UART）

Speed　：1,000,000 bps

Mode　：フルスピード・モード（フラッシュ動作モード：HS（高速メイン）モード）

## 28. 6　セルフ・プログラミング

RL78マイクロコントローラは，ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより，ユーザ･アプリケーションでコード･フラッシュ･メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

**注意1.　CPUがサブシステム・クロック動作時の場合，セルフ・プログラミング機能は使用できません。**

**2.　セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI命令によりIEフラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。**

**割り込みを許可する場合は，EI命令によりIEフラグがセット（1）されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア（0）して，フラッシュ・セルフ・プログラミング・ライブラリを実行してください。**

**3.　セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ･オシレータを停止させている場合は，高速オンチップ･オシレータ･クロック動作（HIOSTOP = 0）させ，ユーザ・オプション・バイト（000C2H）のFRQSEL4が0の場合は30 μs，FRQSEL4が1の場合は80 μs経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。**

**備考**　セルフ・プログラミング機能の詳細は，**RL78マイクロコントローラ　フラッシュ・セルフ・プログラミング・ライブラリ Type01　ユーザーズ・マニュアル（R01US0050）**を参照してください。

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション･バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて，いずれかのモードを設定してください。

HS（高速メイン）モード設定時はフルスピード・モードに，LS（低速メイン）モードおよびLV（低電圧メイン）モード設定時はワイド・ボルテージ・モードに設定してください。

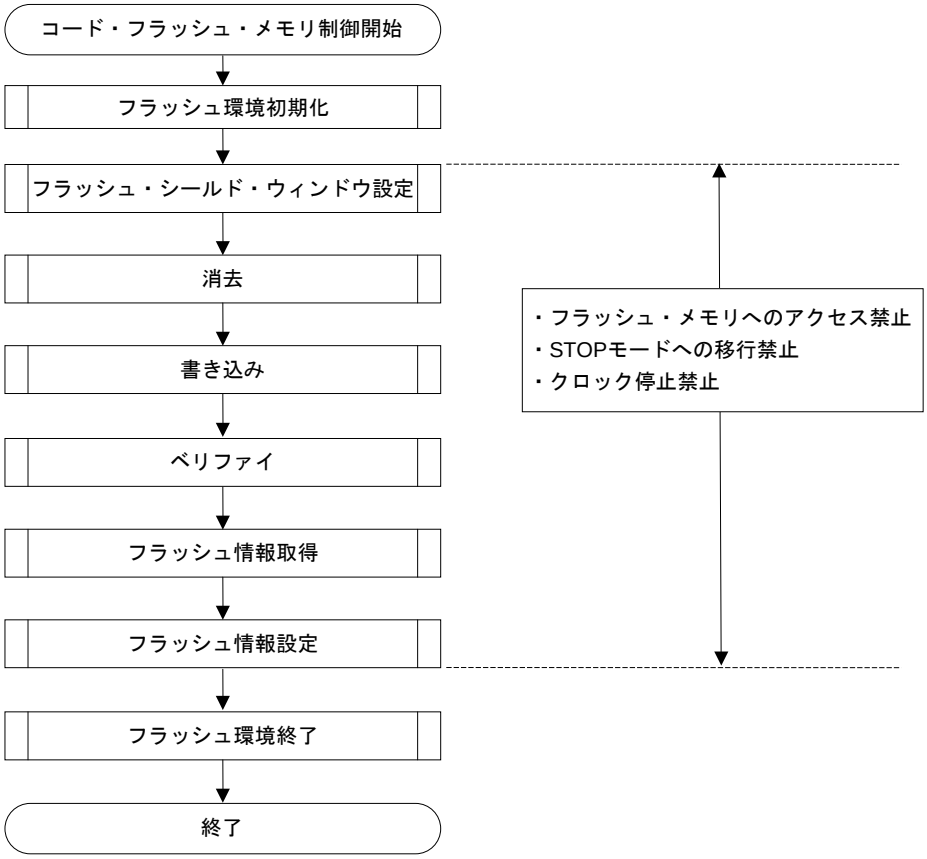
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数”FSL_Init”実行時に，引数である”fsl_flash_voltage_u08”が00Hであればフルスピード･モードに，00H以外であればワイド・ボルテージ・モードに設定されます。

**備考**　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

### 28. 6. 1　セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図28−8　セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



## 28. 6. 2　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，再書き込みができなくなります。

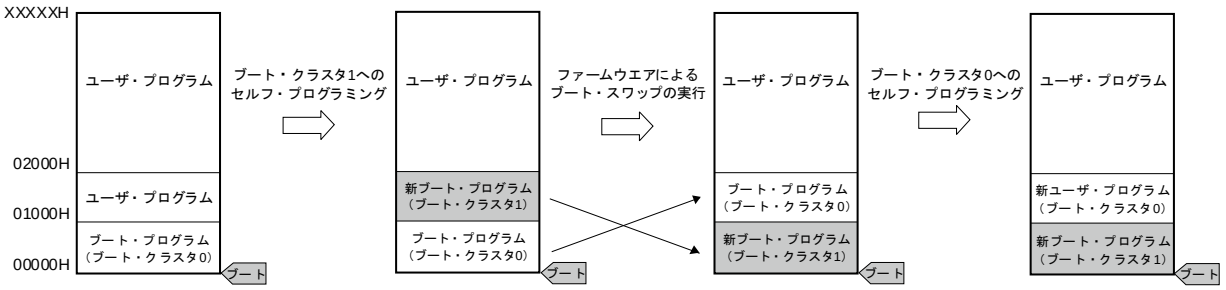
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0[注]の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら，RL78マイクロコントローラ内蔵のファームウエアのセット・インフォメーション機能で，このブート・クラスタ1とブート・クラスタ0をスワップし，ブート・クラスタ1をブート領域にします。このあと，本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ1からブートを行うため，正常にプログラムが動作します。

**注**　ブート・クラスタは4 Kバイトの領域で，ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図28－9　ブート・スワップ機能

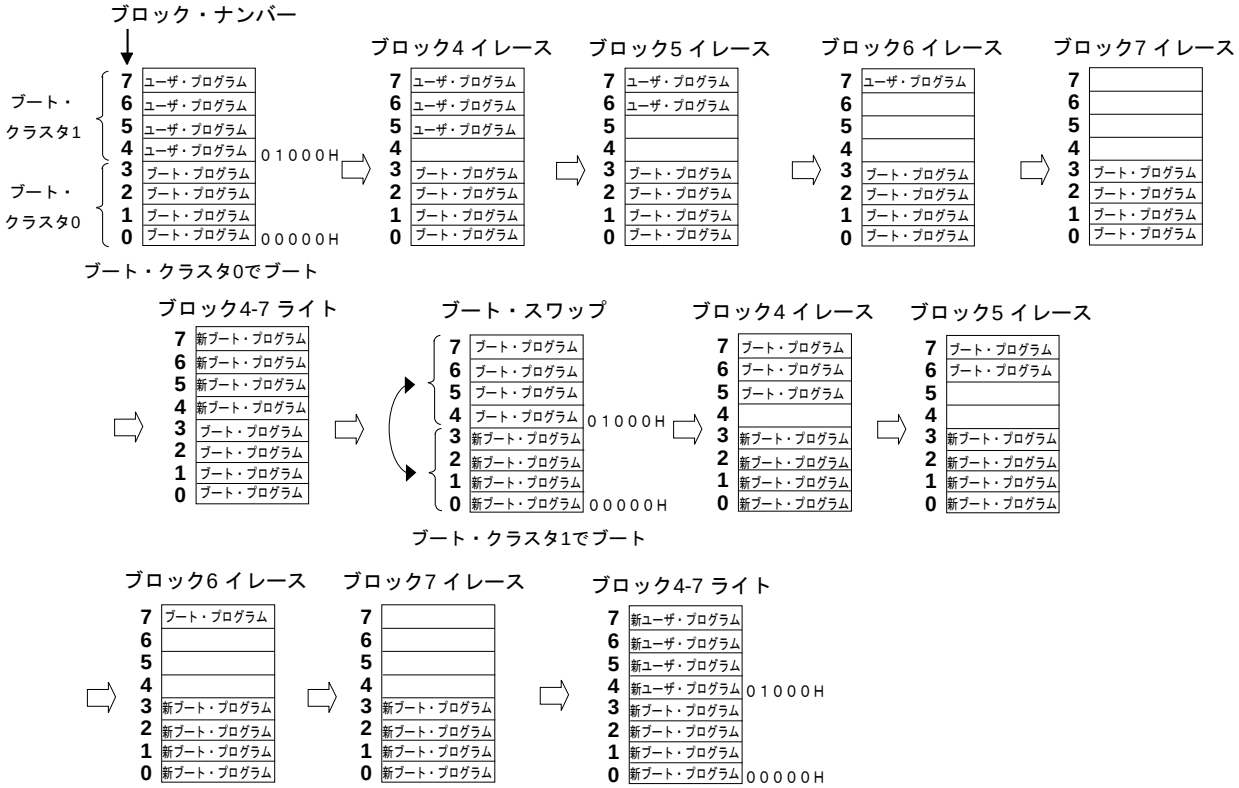



この図の例では，次のようになっています。

ブート・クラスタ0　：ブート・スワップ前のブート領域です。

ブート・クラスタ1　：ブート・スワップ後のブート領域です。

図28－10　ブート・スワップの実行例



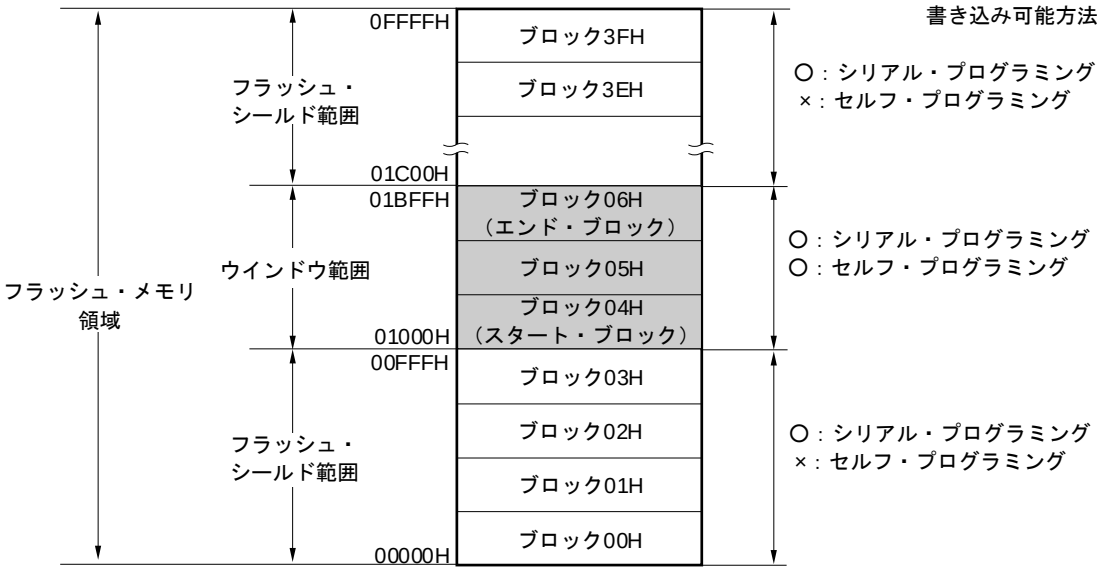
## 28. 6. 3　フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図28－11　フラッシュ・シールド・ウインドウの設定例
（対象デバイス：R5F10WLE，スタート・ブロック：04H，エンド・ブロック：06Hの場合）




**注意1.　フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は，ブート・クラスタ0の書き換え禁止が優先されます。**

**2.　フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。**

表28－11　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

| プログラミング条件 | ウインドウ範囲の設定／変更方法 | 実行コマンド | |
|---|---|---|---|
| | | ブロック消去 | 書き込み |
| セルフ・プログラミング時 | フラッシュ・セルフ・プログラミング・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する | ウインドウ範囲内のみブロック消去できる | ウインドウ範囲内のみ書き込みできる |
| シリアル・プログラミング時 | 専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する | ウインドウ範囲外もブロック消去可能 | ウインドウ範囲外も書き込み可能 |

**備考**　シリアル・プログラミング時の書き込み／消去を禁止したい場合には，**28. 7　セキュリティ設定**を参照してください。

## 28. 7　セキュリティ設定

RL78マイクロコントローラは，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。

・ブロック消去禁止

シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし，セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

シリアル・プログラミング時に，フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後，Security Releaseコマンドによる解除は，リセットで有効になります。

・ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは，シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表28－11に示します。

**注意　ただし，専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。**

**備考**　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は**28. 6. 3**を参照）。

表28－12 セキュリティ機能有効時とコマンドの関係

（1）シリアル・プログラミング時

| 有効なセキュリティ | 実行コマンド | |
|---|---|---|
| | ブロック消去 | 書き込み |
| ブロック消去禁止 | ブロック消去できない | 書き込みできる[注] |
| 書き込み禁止 | ブロック消去できる | 書き込みできない |
| ブート・クラスタ0の書き換え禁止 | ブート・クラスタ0は消去できない | ブート・クラスタ0は書き込みできない |

**注** 書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

（2）セルフ・プログラミング時

| 有効なセキュリティ | 実行コマンド | |
|---|---|---|
| | ブロック消去 | 書き込み |
| ブロック消去禁止 | ブロック消去できる | 書き込みできる |
| 書き込み禁止 | | |
| ブート・クラスタ0の書き換え禁止 | ブート・クラスタ0は消去できない | ブート・クラスタ0は書き込みできない |

**備考** セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は**28. 6. 3**を参照）。

表28－13 各プログラミング・モード時のセキュリティ設定方法

（1）シリアル・プログラミング時

| セキュリティ | セキュリティ設定方法 | セキュリティ設定を無効にする方法 |
|---|---|---|
| ブロック消去禁止 | 専用フラッシュ・メモリ・プログラマのGUI上などで設定する | 設定後，無効にできない |
| 書き込み禁止 | | 専用フラッシュ・メモリ・プログラマのGUI上などで設定する |
| ブート・クラスタ0の書き換え禁止 | | 設定後，無効にできない |

**注意 “書き込み禁止”設定の解除は，“ブロック消去禁止”，“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域，データ・フラッシュ領域がブランクの場合でのみ可能です。**

（2）セルフ・プログラミング時

| セキュリティ | セキュリティ設定方法 | セキュリティ設定を無効にする方法 |
|---|---|---|
| ブロック消去禁止 | フラッシュ・セルフ・プログラミング・ライブラリで設定する | 設定後，無効にできない |
| 書き込み禁止 | | セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に，専用フラッシュ・メモリ・プログラマのGUI上などで設定する） |
| ブート・クラスタ0の書き換え禁止 | | 設定後，無効にできない |

# 28. 8　データ・フラッシュ

## 28. 8. 1　データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

・データ・フラッシュ・ライブラリを利用することにより，ユーザ・プログラムでデータ・フラッシュ·メモリの書き換えが可能。詳細は、**RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアル**を参照してください。
・専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
・データ・フラッシュは，1ブロック ＝1 Kバイト単位で消去
・データ・フラッシュは，8ビット単位でのみアクセス可能
・データ・フラッシュは，CPU命令で直接読み出し可能
・データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
・データ・フラッシュは，データ専用領域のため，データ・フラッシュからの命令実行は禁止
・コード・フラッシュの書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止
・データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止
・データ・フラッシュの書き換え中に，HALT／STOPモード状態に遷移することは禁止

**注意1. リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。**

**2. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，ユーザ・オプション・バイト（000C2H）のFRQSEL4が0の場合は30 μs，FRQSEL4が1の場合は80 μs経過後にデータ・フラッシュ・ライブラリを実行してください。**

**備考**　フラッシュ・メモリ・プログラミング・モードに関しては，**28. 6　セルフ・プログラミング**を参照してください。

## 28. 8. 2　データ・フラッシュを制御するレジスタ

### 28. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28－12　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DFLCTL | 0 | 0 | 0 | 0 | 0 | 0 | 0 | DFLEN |

| DFLEN | データ・フラッシュのアクセス制御 |
|---|---|
| 0 | データ・フラッシュのアクセス禁止 |
| 1 | データ・フラッシュのアクセス許可 |

**注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。**

### 28. 8. 3　データ・フラッシュへのアクセス手順

リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには，以下の手順で初期設定を行う必要があります。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に“1”を書き込む。
② ソフトウエア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
＜各フラッシュの動作モードでのセットアップ時間＞
・HS（高速メイン）モード時　　：5 μs
・LS（低速メイン）モード時　　：720 ns
・LV（低電圧メイン）モード時　：10 μs
③ セットアップ時間のウエイト完了後，データ・フラッシュはアクセス可能となります。

**注意1. セットアップ時間中は，データ・フラッシュへのアクセス禁止です。**
**2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は，DFLEN = 0に設定してから，STOP命令を実行してください。**
**3. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，ユーザ・オプション・バイト（000C2H）のFRQSEL4が0の場合は30 μs, FRQSEL4が1の場合は80 μs経過後にデータ・フラッシュ・ライブラリを実行してください。**
**4. CPU／周辺ハードウエア・クロック周波数にサブシステム・クロックを選択した状態（CLS = 1）でデータ・フラッシュを読み出した場合は、CPU／周辺ハードウエア・クロックをサブシステム・クロックからメイン・システム・クロックに切り替え後、最初にデータ・フラッシュを読み出すときは以下の（1）～（3）の手順で読み出してください。**
**（1）メイン・システム・クロックに切り替わったこと（CLS = 0）確認します。**
**（2）次に任意のデータ・フラッシュを読み出します。（読み出し値は不正）**
**（3）最後に各動作モードに応じて、以下時間経過後に読み出しを行ってください。**
**HS（高速メイン）モード　：5 μs**
**LS（低速メイン）モード　：1 μs**
**LV（低電圧メイン）モード　：10 μs**

初期設定後は，CPU命令による読み出し，またはデータ・フラッシュ・ライブラリによる読み出し／書き換えが可能です。

ただし、データ・フラッシュ・アクセス時にDMAコントローラが動作する場合は、次のいずれかの手順に従って実施してください。

（A）　DMAの転送保留/強制終了

データ・フラッシュを読み出す前に，使用している全てのチャネルのDMA転送を保留してください。但し，DWAITnビットに1を設定後，データ・フラッシュの読み出し前までに3クロック（$f_{CLK}$）以上の間隔をあけてください。データ・フラッシュの読み出し後に，DWAITnビットを0に設定し転送保留を解除してください。

または，データ・フラッシュを読み出す前に，**18. 5. 5　ソフトウエアでの強制終了**の手順に従ってDMA転送を強制終了してください。DMA転送の再開はデータ・フラッシュ読み出し後に行ってください。

（B）　ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して，データ・フラッシュにアクセスしてください。

（C）　NOPの挿入

データ・フラッシュの読み出し命令の直前にNOP命令を挿入してください。

＜例＞

```
MOVW    HL, !addr16   ; RAMの読み出し
NOP                   ; データ・フラッシュのリード前にNOP命令を挿入
MOV   A,[DE]          ; データ・フラッシュの読み出し
```

但し，C言語などの高級言語を使用している場合，１コードに対してコンパイラが2命令を生成する場合があります。この場合、データ・フラッシュの読み出し命令の直前にNOP命令が挿入されないため，（A）または（B）にて，読み出してください。

**備考1.**　DWAITn：DMAモード・コントロール・レジスタn（DMCn）のビット4

**2.**　$f_{CLK}$：CPU/周辺ハードウエア・クロック周波数

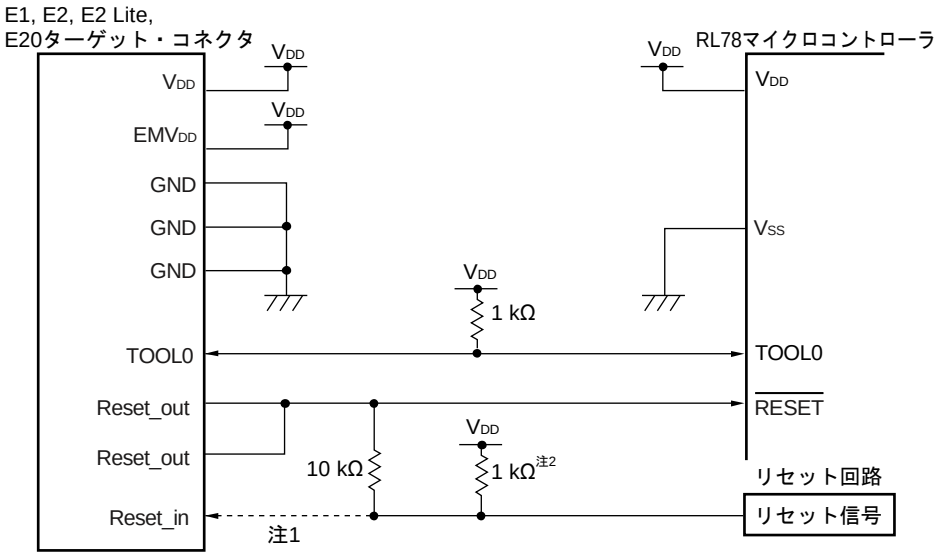
# 第29章　オンチップ・デバッグ機能

## 29. 1　E1, E2, E2 Lite, E20オンチップデバッギングエミュレータとの接続

RL78マイクロコントローラは，オンチップ・デバッグ対応のE1, E2, E2 Lite, E20オンチップデバッギングエミュレータを介して，ホスト・マシンとの通信を行う場合，$V_{DD}$, $\overline{RESET}$, TOOL0, $V_{SS}$端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

**注意　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。**

図29－1　E1, E2, E2 Lite, E20オンチップデバッギングエミュレータとの接続例




**注1.**　フラッシュ・プログラミング時，点線部の接続は必要ありません。

**2.**　ターゲット・システム上のリセット回路にバッファがなく，抵抗やコンデンサのみでリセット信号を生成する場合，このプルアップは必要ありません。

**注意　リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。**

## 29. 2　オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ･デバッグ動作制御ビット（**第27章　オプション･バイト**を参照）を，000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので，あらかじめ010C3H, 010C4H-010CDHにも同じ値を設定してください。

表29－1　オンチップ・デバッグ・セキュリティID

| アドレス | オンチップ・デバッグ・セキュリティIDコード |
|---|---|
| 000C4H-000CDH | 10バイトの任意のIDコード注（All FFHを除く） |
| 010C4H-010CDH | |

注　“FFFFFFFFFFFFFFFFFFFFH”は設定できません。

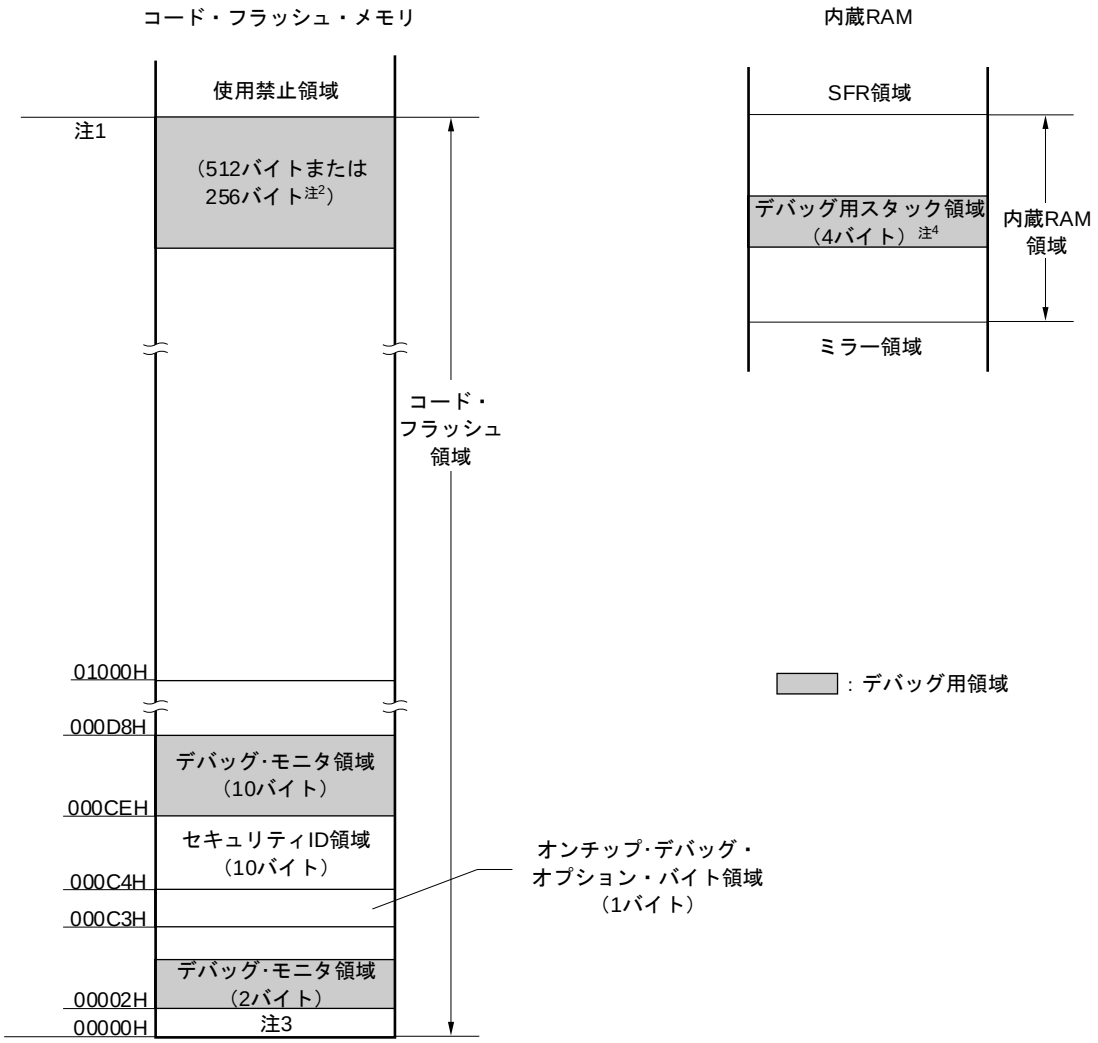
## 29. 3　ユーザ資源の確保

RL78マイクロコントローラとE1, E2, E2 Lite, E20オンチップデバッギングエミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンク・オプションで設定することもできます。

（1）メモリ空間の確保

図29－2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図29－2　デバッグ用モニタ・プログラムが配置されるメモリ空間




**注1.** 製品によって，次のようにアドレスが異なります。

| 製品名 | 注1のアドレス |
|---|---|
| R5F10WLA, R5F10WMA | 03FFFH |
| R5F10WLC, R5F10WMC | 07FFFH |
| R5F10WLD, R5F10WMD | 0BFFFH |
| R5F10WLE, R5F10WME | 0FFFFH |
| R5F10WLF, R5F10WMF | 17FFFH |
| R5F10WLG, R5F10WMG | 1FFFFH |

**2.** リアルタイムRAMモニタ（RRM）機能，Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。

**3.** デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

**4.** この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，4バイト余分に消費します。
セルフ・プログラミングを行う場合は，12バイト余分に消費します。

# 第30章　10進補正（BCD）回路

## 30. 1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

## 30. 2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

### 30. 2. 1　BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図30－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| BCDADJ | | | | | | | | |

## 30.3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

**注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。**

例を次に示します。

例1　99＋89 = 188

| 命　令 | A レジスタ | CY フラグ | AC フラグ | BCDADJ レジスタ |
|---|---|---|---|---|
| MOV　A, #99H　; ① | 99H | － | － | － |
| ADD　A, #89H　; ② | 22H | 1 | 1 | 66H |
| ADD　A, !BCDADJ　; ③ | 88H | 1 | 0 | － |

例2　85＋15 = 100

| 命　令 | A レジスタ | CY フラグ | AC フラグ | BCDADJ レジスタ |
|---|---|---|---|---|
| MOV　A, #85H　; ① | 85H | － | － | － |
| ADD　A, #15H　; ② | 9AH | 0 | 0 | 66H |
| ADD　A, !BCDADJ　; ③ | 00H | 1 | 1 | － |

例3　80＋80 = 160

| 命　令 | A レジスタ | CY フラグ | AC フラグ | BCDADJ レジスタ |
|---|---|---|---|---|
| MOV　A, #80H　; ① | 80H | － | － | － |
| ADD　A, #80H　; ② | 00H | 1 | 0 | 60H |
| ADD　A, !BCDADJ　; ③ | 60H | 1 | 0 | － |

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

**注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。**

例を次に示します。

例　91－52 = 39

| 命　令 | A<br>レジスタ | CY<br>フラグ | AC<br>フラグ | BCDADJ<br>レジスタ |
|---|---|---|---|---|
| MOV　A, #91H　; ① | 91H | － | － | － |
| SUB　A, #52H　; ② | 3FH | 0 | 1 | 06H |
| SUB　A, !BCDADJ　; ③ | 39H | 0 | 0 | － |

# 第31章　命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，**RL78ファミリ　ユーザーズ・マニュアル　ソフトウエア編（R01US0015）**を参照してください。

# 31. 1　凡　　例

## 31. 1. 1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- ・#　　：イミーディエト・データ指定
- ・!　　：16ビット絶対アドレス指定
- ・!!　　：20ビット絶対アドレス指定
- ・$　　：8ビット相対アドレス指定
- ・$!　　：16ビット相対アドレス指定
- ・[ ]　　：間接アドレス指定
- ・ES:　　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（表31－1の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表31－1　オペランドの表現形式と記述方法

| 表現形式 | 記述方法 |
|---|---|
| r | X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7) |
| rp | AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3) |
| sfr | 特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH |
| sfrp | 特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ[注]）FFF00H-FFFFFH |
| saddr | FFE20H-FFF1FH　イミーディエト・データまたはラベル |
| saddrp | FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ[注]） |
| addr20 | 00000H-FFFFFH　イミーディエト・データまたはラベル |
| addr16 | 0000H-FFFFH　イミーディエト・データまたはラベル<br>（16ビット・データ時は偶数アドレスのみ[注]） |
| addr5 | 0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ） |
| word | 16ビット・イミーディエト・データまたはラベル |
| byte | 8ビット・イミーディエト・データまたはラベル |
| bit | 3ビット・イミーディエト・データまたはラベル |
| RBn | RB0-RB3 |

**注**　奇数アドレスを指定した場合はビット0が“0”になります。

**備考**　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は**表3－5 SFR一覧**を参照してください。

拡張特殊機能レジスタは，オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は**表3－6　拡張SFR（2nd SFR）一覧**を参照してください。

## 31. 1. 2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表31－2　オペレーション欄の記号

| 記　　号 | 機　　能 |
|---|---|
| A | Aレジスタ：8ビット・アキュムレータ |
| X | Xレジスタ |
| B | Bレジスタ |
| C | Cレジスタ |
| D | Dレジスタ |
| E | Eレジスタ |
| H | Hレジスタ |
| L | Lレジスタ |
| ES | ESレジスタ |
| CS | CSレジスタ |
| AX | AXレジスタ・ペア：16ビット・アキュムレータ |
| BC | BCレジスタ・ペア |
| DE | DEレジスタ・ペア |
| HL | HLレジスタ・ペア |
| PC | プログラム・カウンタ |
| SP | スタック・ポインタ |
| PSW | プログラム・ステータス・ワード |
| CY | キャリー・フラグ |
| AC | 補助キャリー・フラグ |
| Z | ゼロ・フラグ |
| RBS | レジスタ・バンク選択フラグ |
| IE | 割り込み要求許可フラグ |
| () | () 内のアドレスまたはレジスタの内容で示されるメモリの内容 |
| $X_H$，$X_L$ | 16ビット・レジスタの場合は$X_H$ =上位8ビット，$X_L$ =下位8ビット |
| $X_S$，$X_H$，$X_L$ | 20ビット・レジスタの場合は$X_S$(ビット19-16)，$X_H$(ビット15-8)，$X_L$(ビット7-0) |
| ∧ | 論理積（AND） |
| ∨ | 論理和（OR） |
| ∀ | 排他的論理和（exclusive OR） |
| ― | 反転データ |
| addr5 | 16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ） |
| addr16 | 16ビット・イミーディエト・データ |
| addr20 | 20ビット・イミーディエト・データ |
| jdisp8 | 符号付き8ビット・データ（ディスプレースメント値） |
| jdisp16 | 符号付き16ビット・データ（ディスプレースメント値） |

### 31. 1. 3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表31－3　フラグ欄の記号

| 記号 | フラグ変化 |
|---|---|
| （ブランク） | 変化なし |
| 0 | 0にクリアされる |
| 1 | 1にセットされる |
| × | 結果にしたがってセット／リセットされる |
| R | 以前に退避した値がリストアされる |

### 31. 1. 4　PREFIX命令

ES:で示される命令は，PREFIX命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表31－4　PREFIX命令コードの使用例

| 命令 | 命令コード | | | | |
|---|---|---|---|---|---|
| | 1 | 2 | 3 | 4 | 5 |
| MOV !addr16, #byte | CFH | !addr16 | | #byte | － |
| MOV ES:!addr16, #byte | 11H | CFH | !addr16 | | #byte |
| MOV A, [HL] | 8BH | － | － | － | － |
| MOV A, ES:[HL] | 11H | 8BH | － | － | － |

**注意　ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。**

# 31. 2 オペレーション一覧

表31－5 オペレーション一覧（1/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 8ビット・データ転送 | MOV | r, #byte | 2 | 1 | － | r ← byte | |
| | | PSW, #byte | 3 | 3 | － | PSW ← byte | × × × |
| | | CS, #byte | 3 | 1 | － | CS ← byte | |
| | | ES, #byte | 2 | 1 | － | ES ← byte | |
| | | !addr16, #byte | 4 | 1 | － | (addr16) ← byte | |
| | | ES:!addr16, #byte | 5 | 2 | － | (ES, addr16) ← byte | |
| | | saddr, #byte | 3 | 1 | － | (saddr) ← byte | |
| | | sfr, #byte | 3 | 1 | － | sfr ← byte | |
| | | [DE+byte], #byte | 3 | 1 | － | (DE＋byte) ← byte | |
| | | ES:[DE+byte],#byte | 4 | 2 | － | ((ES, DE)＋byte) ← byte | |
| | | [HL+byte], #byte | 3 | 1 | － | (HL＋byte) ← byte | |
| | | ES:[HL+byte],#byte | 4 | 2 | － | ((ES, HL)＋byte) ← byte | |
| | | [SP+byte], #byte | 3 | 1 | － | (SP＋byte) ← byte | |
| | | word[B], #byte | 4 | 1 | － | (B＋word) ← byte | |
| | | ES:word[B], #byte | 5 | 2 | － | ((ES, B)＋word) ← byte | |
| | | word[C], #byte | 4 | 1 | － | (C＋word) ← byte | |
| | | ES:word[C], #byte | 5 | 2 | － | ((ES, C)＋word) ← byte | |
| | | word[BC], #byte | 4 | 1 | － | (BC＋word) ← byte | |
| | | ES:word[BC], #byte | 5 | 2 | － | ((ES, BC)＋word) ← byte | |
| | | A, r 注3 | 1 | 1 | － | A ← r | |
| | | r, A 注3 | 1 | 1 | － | r ← A | |
| | | A, PSW | 2 | 1 | － | A ← PSW | |
| | | PSW, A | 2 | 3 | － | PSW ← A | × × × |
| | | A, CS | 2 | 1 | － | A ← CS | |
| | | CS, A | 2 | 1 | － | CS ← A | |
| | | A, ES | 2 | 1 | － | A ← ES | |
| | | ES, A | 2 | 1 | － | ES ← A | |
| | | A, !addr16 | 3 | 1 | 4 | A ← (addr16) | |
| | | A, ES:!addr16 | 4 | 2 | 5 | A ← (ES, addr16) | |
| | | !addr16, A | 3 | 1 | － | (addr16) ← A | |
| | | ES:!addr16, A | 4 | 2 | － | (ES, addr16) ← A | |
| | | A, saddr | 2 | 1 | － | A ← (saddr) | |
| | | saddr, A | 2 | 1 | － | (saddr) ← A | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** r = Aを除く。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（2/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 8ビット・データ転送 | MOV | A, sfr | 2 | 1 | － | A ← sfr | |
| | | sfr, A | 2 | 1 | － | sfr ← A | |
| | | A, [DE] | 1 | 1 | 4 | A ← (DE) | |
| | | [DE], A | 1 | 1 | － | (DE) ← A | |
| | | A, ES:[DE] | 2 | 2 | 5 | A ← (ES, DE) | |
| | | ES:[DE], A | 2 | 2 | － | (ES, DE) ← A | |
| | | A, [HL] | 1 | 1 | 4 | A ← (HL) | |
| | | [HL], A | 1 | 1 | － | (HL) ← A | |
| | | A, ES:[HL] | 2 | 2 | 5 | A ← (ES, HL) | |
| | | ES:[HL], A | 2 | 2 | － | (ES, HL) ← A | |
| | | A, [DE+byte] | 2 | 1 | 4 | A ← (DE＋byte) | |
| | | [DE+byte], A | 2 | 1 | － | (DE＋byte) ← A | |
| | | A, ES:[DE+byte] | 3 | 2 | 5 | A ← ((ES, DE)＋byte) | |
| | | ES:[DE+byte], A | 3 | 2 | － | ((ES, DE)＋byte) ← A | |
| | | A, [HL+byte] | 2 | 1 | 4 | A ← (HL＋byte) | |
| | | [HL+byte], A | 2 | 1 | － | (HL＋byte) ← A | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A ← ((ES, HL)＋byte) | |
| | | ES:[HL+byte], A | 3 | 2 | － | ((ES, HL)＋byte) ← A | |
| | | A, [SP+byte] | 2 | 1 | － | A ← (SP＋byte) | |
| | | [SP+byte], A | 2 | 1 | － | (SP＋byte) ← A | |
| | | A, word[B] | 3 | 1 | 4 | A ← (B＋word) | |
| | | word[B], A | 3 | 1 | － | (B＋word) ← A | |
| | | A, ES:word[B] | 4 | 2 | 5 | A ← ((ES, B)＋word) | |
| | | ES:word[B], A | 4 | 2 | － | ((ES, B)＋word) ← A | |
| | | A, word[C] | 3 | 1 | 4 | A ← (C＋word) | |
| | | word[C], A | 3 | 1 | － | (C＋word) ← A | |
| | | A, ES:word[C] | 4 | 2 | 5 | A ← ((ES, C)＋word) | |
| | | ES:word[C], A | 4 | 2 | － | ((ES, C)＋word) ← A | |
| | | A, word[BC] | 3 | 1 | 4 | A ← (BC＋word) | |
| | | word[BC], A | 3 | 1 | － | (BC＋word) ← A | |
| | | A, ES:word[BC] | 4 | 2 | 5 | A ← ((ES, BC)＋word) | |
| | | ES:word[BC], A | 4 | 2 | － | ((ES, BC)＋word) ← A | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（3/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 8ビット・データ転送 | MOV | A, [HL+B] | 2 | 1 | 4 | A ← (HL＋B) | |
| | | [HL+B], A | 2 | 1 | － | (HL＋B) ← A | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A ← ((ES, HL)＋B) | |
| | | ES:[HL+B], A | 3 | 2 | － | ((ES, HL)＋B) ← A | |
| | | A, [HL+C] | 2 | 1 | 4 | A ← (HL＋C) | |
| | | [HL+C], A | 2 | 1 | － | (HL＋C) ← A | |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A ← ((ES, HL)＋C) | |
| | | ES:[HL+C], A | 3 | 2 | － | ((ES, HL)＋C) ← A | |
| | | X, !addr16 | 3 | 1 | 4 | X ← (addr16) | |
| | | X, ES:!addr16 | 4 | 2 | 5 | X ← (ES, addr16) | |
| | | X, saddr | 2 | 1 | － | X ← (saddr) | |
| | | B, !addr16 | 3 | 1 | 4 | B ← (addr16) | |
| | | B, ES:!addr16 | 4 | 2 | 5 | B ← (ES, addr16) | |
| | | B, saddr | 2 | 1 | － | B ← (saddr) | |
| | | C, !addr16 | 3 | 1 | 4 | C ← (addr16) | |
| | | C, ES:!addr16 | 4 | 2 | 5 | C ← (ES, addr16) | |
| | | C, saddr | 2 | 1 | － | C ← (saddr) | |
| | | ES, saddr | 3 | 1 | － | ES ← (saddr) | |
| | XCH | A, r 注3 | 1 (r = X)<br>2 (r = X以外) | 1 | － | A ⟷ r | |
| | | A, !addr16 | 4 | 2 | － | A ⟷ (addr16) | |
| | | A, ES:!addr16 | 5 | 3 | － | A ⟷ (ES, addr16) | |
| | | A, saddr | 3 | 2 | － | A ⟷ (saddr) | |
| | | A, sfr | 3 | 2 | － | A ⟷ sfr | |
| | | A, [DE] | 2 | 2 | － | A ⟷ (DE) | |
| | | A, ES:[DE] | 3 | 3 | － | A ⟷ (ES, DE) | |
| | | A, [HL] | 2 | 2 | － | A ⟷ (HL) | |
| | | A, ES:[HL] | 3 | 3 | － | A ⟷ (ES, HL) | |
| | | A, [DE+byte] | 3 | 2 | － | A ⟷ (DE＋byte) | |
| | | A, ES:[DE+byte] | 4 | 3 | － | A ⟷ ((ES, DE)＋byte) | |
| | | A, [HL+byte] | 3 | 2 | － | A ⟷ (HL＋byte) | |
| | | A, ES:[HL+byte] | 4 | 3 | － | A ⟷ ((ES, HL)＋byte) | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** r = Aを除く。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（4/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 8ビット・データ転送 | XCH | A, [HL+B] | 2 | 2 | － | A ⟷ (HL＋B) | |
| | | A, ES:[HL+B] | 3 | 3 | － | A ⟷ ((ES, HL)＋B) | |
| | | A, [HL+C] | 2 | 2 | － | A ⟷ (HL＋C) | |
| | | A, ES:[HL+C] | 3 | 3 | － | A ⟷ ((ES, HL)＋C) | |
| | ONEB | A | 1 | 1 | － | A ← 01H | |
| | | X | 1 | 1 | － | X ← 01H | |
| | | B | 1 | 1 | － | B ← 01H | |
| | | C | 1 | 1 | － | C ← 01H | |
| | | !addr16 | 3 | 1 | － | (addr16) ← 01H | |
| | | ES:!addr16 | 4 | 2 | － | (ES, addr16) ← 01H | |
| | | saddr | 2 | 1 | － | (saddr) ← 01H | |
| | CLRB | A | 1 | 1 | － | A ← 00H | |
| | | X | 1 | 1 | － | X ← 00H | |
| | | B | 1 | 1 | － | B ← 00H | |
| | | C | 1 | 1 | － | C ← 00H | |
| | | !addr16 | 3 | 1 | － | (addr16) ← 00H | |
| | | ES:!addr16 | 4 | 2 | － | (ES,addr16) ← 00H | |
| | | saddr | 2 | 1 | － | (saddr) ← 00H | |
| | MOVS | [HL+byte], X | 3 | 1 | － | (HL＋byte) ← X | × × |
| | | ES:[HL+byte], X | 4 | 2 | － | (ES, HL＋byte) ← X | × × |
| 16ビット・データ転送 | MOVW | rp, #word | 3 | 1 | － | rp ← word | |
| | | saddrp, #word | 4 | 1 | － | (saddrp) ← word | |
| | | sfrp, #word | 4 | 1 | － | sfrp ← word | |
| | | AX, rp 注3 | 1 | 1 | － | AX ← rp | |
| | | rp, AX 注3 | 1 | 1 | － | rp ← AX | |
| | | AX, !addr16 | 3 | 1 | 4 | AX ←（addr16） | |
| | | !addr16, AX | 3 | 1 | － | （addr16）← AX | |
| | | AX, ES:!addr16 | 4 | 2 | 5 | AX ← (ES, addr16) | |
| | | ES:!addr16, AX | 4 | 2 | － | (ES, addr16) ← AX | |
| | | AX, saddrp | 2 | 1 | － | AX ← (saddrp) | |
| | | saddrp, AX | 2 | 1 | － | (saddrp) ← AX | |
| | | AX, sfrp | 2 | 1 | － | AX ← sfrp | |
| | | sfrp, AX | 2 | 1 | － | sfrp ← AX | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** rp = AXを除く。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（5/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 16ビット・データ転送 | MOVW | AX, [DE] | 1 | 1 | 4 | AX ← (DE) | |
| | | [DE], AX | 1 | 1 | － | (DE) ← AX | |
| | | AX, ES:[DE] | 2 | 2 | 5 | AX ← (ES, DE) | |
| | | ES:[DE], AX | 2 | 2 | － | (ES, DE) ← AX | |
| | | AX, [HL] | 1 | 1 | 4 | AX ← (HL) | |
| | | [HL], AX | 1 | 1 | － | (HL) ← AX | |
| | | AX, ES:[HL] | 2 | 2 | 5 | AX ← (ES, HL) | |
| | | ES:[HL], AX | 2 | 2 | － | (ES, HL) ← AX | |
| | | AX, [DE+byte] | 2 | 1 | 4 | AX ← (DE＋byte) | |
| | | [DE+byte], AX | 2 | 1 | － | (DE＋byte) ← AX | |
| | | AX, ES:[DE+byte] | 3 | 2 | 5 | AX ← ((ES, DE)＋byte) | |
| | | ES:[DE+byte], AX | 3 | 2 | － | ((ES, DE)＋byte) ← AX | |
| | | AX, [HL+byte] | 2 | 1 | 4 | AX ← (HL＋byte) | |
| | | [HL+byte], AX | 2 | 1 | － | (HL＋byte) ← AX | |
| | | AX, ES:[HL+byte] | 3 | 2 | 5 | AX ← ((ES, HL)＋byte) | |
| | | ES:[HL+byte], AX | 3 | 2 | － | ((ES, HL)＋byte) ← AX | |
| | | AX, [SP+byte] | 2 | 1 | － | AX ← (SP＋byte) | |
| | | [SP+byte], AX | 2 | 1 | － | (SP＋byte) ← AX | |
| | | AX, word[B] | 3 | 1 | 4 | AX ← (B＋word) | |
| | | word[B], AX | 3 | 1 | － | (B＋word) ← AX | |
| | | AX, ES:word[B] | 4 | 2 | 5 | AX ← ((ES, B)＋word) | |
| | | ES:word[B], AX | 4 | 2 | － | ((ES, B)＋word) ← AX | |
| | | AX, word[C] | 3 | 1 | 4 | AX ← (C＋word) | |
| | | word[C], AX | 3 | 1 | － | (C＋word) ← AX | |
| | | AX, ES:word[C] | 4 | 2 | 5 | AX ← ((ES, C)＋word) | |
| | | ES:word[C], AX | 4 | 2 | － | ((ES, C)＋word) ← AX | |
| | | AX, word[BC] | 3 | 1 | 4 | AX ← (BC＋word) | |
| | | word[BC], AX | 3 | 1 | － | (BC＋word) ← AX | |
| | | AX, ES:word[BC] | 4 | 2 | 5 | AX ← ((ES, BC)＋word) | |
| | | ES:word[BC], AX | 4 | 2 | － | ((ES, BC)＋word) ← AX | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（6/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 16ビット・データ転送 | MOVW | BC, !addr16 | 3 | 1 | 4 | BC ← (addr16) | |
| | | BC, ES:!addr16 | 4 | 2 | 5 | BC ← (ES, addr16) | |
| | | DE, !addr16 | 3 | 1 | 4 | DE ← (addr16) | |
| | | DE, ES:!addr16 | 4 | 2 | 5 | DE ← (ES, addr16) | |
| | | HL, !addr16 | 3 | 1 | 4 | HL ← (addr16) | |
| | | HL, ES:!addr16 | 4 | 2 | 5 | HL ← (ES, addr16) | |
| | | BC, saddrp | 2 | 1 | － | BC ← (saddrp) | |
| | | DE, saddrp | 2 | 1 | － | DE ← (saddrp) | |
| | | HL, saddrp | 2 | 1 | － | HL ← (saddrp) | |
| | XCHW | AX, rp 注3 | 1 | 1 | － | AX ⟷ rp | |
| | ONEW | AX | 1 | 1 | － | AX ← 0001H | |
| | | BC | 1 | 1 | － | BC ← 0001H | |
| | CLRW | AX | 1 | 1 | － | AX ← 0000H | |
| | | BC | 1 | 1 | － | BC ← 0000H | |
| 8ビット演算 | ADD | A, #byte | 2 | 1 | － | A, CY ← A＋byte | × × × |
| | | saddr, #byte | 3 | 2 | － | (saddr), CY ← (saddr)＋byte | × × × |
| | | A, r 注4 | 2 | 1 | － | A, CY ← A＋r | × × × |
| | | r, A | 2 | 1 | － | r, CY ← r＋A | × × × |
| | | A, !addr16 | 3 | 1 | 4 | A, CY ← A＋(addr16) | × × × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A, CY ← A＋(ES, addr16) | × × × |
| | | A, saddr | 2 | 1 | － | A, CY ← A＋(saddr) | × × × |
| | | A, [HL] | 1 | 1 | 4 | A, CY ← A＋(HL) | × × × |
| | | A, ES:[HL] | 2 | 2 | 5 | A,CY ← A＋(ES, HL) | × × × |
| | | A, [HL+byte] | 2 | 1 | 4 | A, CY ← A＋(HL＋byte) | × × × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A,CY ← A＋((ES, HL)＋byte) | × × × |
| | | A, [HL+B] | 2 | 1 | 4 | A, CY ← A＋(HL＋B) | × × × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A,CY ← A＋((ES, HL)＋B) | × × × |
| | | A, [HL+C] | 2 | 1 | 4 | A, CY ← A＋(HL＋C) | × × × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A,CY ← A＋((ES, HL)＋C) | × × × |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** rp = AXを除く。

**4.** r = Aを除く。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（7/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | ADDC | A, #byte | 2 | 1 | － | A, CY ← A＋byte＋CY | × | × | × |
| | | saddr, #byte | 3 | 2 | － | (saddr), CY ← (saddr)＋byte＋CY | × | × | × |
| | | A, r 注3 | 2 | 1 | － | A, CY ← A＋r＋CY | × | × | × |
| | | r, A | 2 | 1 | － | r, CY ← r＋A＋CY | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | A, CY ← A＋(addr16)＋CY | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A, CY ← A＋(ES, addr16)＋CY | × | × | × |
| | | A, saddr | 2 | 1 | － | A, CY ← A＋(saddr)＋CY | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | A, CY ← A＋(HL)＋CY | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A,CY ← A＋(ES, HL)＋CY | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A, CY ← A＋(HL＋byte)＋CY | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A,CY ← A＋((ES, HL)＋byte)＋CY | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | A, CY ← A＋(HL＋B)＋CY | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A,CY ← A＋((ES, HL)＋B)＋CY | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | A, CY ← A＋(HL＋C)＋CY | × | × | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A,CY ← A＋((ES, HL)＋C)＋CY | × | × | × |
| | SUB | A, #byte | 2 | 1 | － | A, CY ← A－byte | × | × | × |
| | | saddr, #byte | 3 | 2 | － | (saddr), CY ← (saddr) －byte | × | × | × |
| | | A, r 注3 | 2 | 1 | － | A, CY ← A－r | × | × | × |
| | | r, A | 2 | 1 | － | r, CY ← r－A | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | A, CY ← A－(addr16) | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A, CY ← A－(ES, addr16) | × | × | × |
| | | A, saddr | 2 | 1 | － | A, CY ← A－(saddr) | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | A, CY ← A－(HL) | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A,CY ← A－(ES, HL) | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A, CY ← A－(HL＋byte) | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A,CY ← A－((ES, HL)＋byte) | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | A, CY ← A－(HL＋B) | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A,CY ← A－((ES, HL)＋B) | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | A, CY ← A－(HL＋C) | × | × | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A,CY ← A－((ES, HL)＋C) | × | × | × |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** r = Aを除く。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5　オペレーション一覧（8/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | SUBC | A, #byte | 2 | 1 | － | A, CY ← A－byte－CY | × | × | × |
| | | saddr, #byte | 3 | 2 | － | (saddr), CY ← (saddr)－byte－CY | × | × | × |
| | | A, r 注3 | 2 | 1 | － | A, CY ← A－r－CY | × | × | × |
| | | r, A | 2 | 1 | － | r, CY ← r－A－CY | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | A, CY ← A－(addr16)－CY | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A, CY ← A－(ES, addr16)－CY | × | × | × |
| | | A, saddr | 2 | 1 | － | A, CY ← A－(saddr)－CY | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | A, CY ← A－(HL)－CY | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A,CY ← A－(ES, HL)－CY | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A, CY ← A－(HL＋byte)－CY | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A,CY ← A－((ES, HL)＋byte)－CY | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | A, CY ← A－(HL＋B)－CY | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A,CY ← A－((ES, HL)＋B)－CY | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | A, CY ← A－(HL＋C)－CY | × | × | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A, CY ← A－((ES:HL)＋C)－CY | × | × | × |
| | AND | A, #byte | 2 | 1 | － | A ← A∧byte | × | | |
| | | saddr, #byte | 3 | 2 | － | (saddr) ← (saddr)∧byte | × | | |
| | | A, r 注3 | 2 | 1 | － | A ← A∧r | × | | |
| | | r, A | 2 | 1 | － | r ← r∧A | × | | |
| | | A, !addr16 | 3 | 1 | 4 | A ← A∧(addr16) | × | | |
| | | A, ES:!addr16 | 4 | 2 | 5 | A ← A∧(ES:addr16) | × | | |
| | | A, saddr | 2 | 1 | － | A ← A∧(saddr) | × | | |
| | | A, [HL] | 1 | 1 | 4 | A ← A∧(HL) | × | | |
| | | A, ES:[HL] | 2 | 2 | 5 | A ← A∧(ES:HL) | × | | |
| | | A, [HL+byte] | 2 | 1 | 4 | A ← A∧(HL＋byte) | × | | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A ← A∧((ES:HL)＋byte) | × | | |
| | | A, [HL+B] | 2 | 1 | 4 | A ← A∧(HL＋B) | × | | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A ← A∧((ES:HL)＋B) | × | | |
| | | A, [HL+C] | 2 | 1 | 4 | A ← A∧(HL＋C) | × | | |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A ← A∧((ES:HL)＋C) | × | | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** r = Aを除く。

**備考**　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（9/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 8ビット演算 | OR | A, #byte | 2 | 1 | － | A ← A∨byte | × |
| | | saddr, #byte | 3 | 2 | － | (saddr) ← (saddr)∨byte | × |
| | | A, r 注3 | 2 | 1 | － | A ← A∨r | × |
| | | r, A | 2 | 1 | － | r ← r∨A | × |
| | | A, !addr16 | 3 | 1 | 4 | A ← A∨(addr16) | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A ← A∨(ES:addr16) | × |
| | | A, saddr | 2 | 1 | － | A ← A∨(saddr) | × |
| | | A, [HL] | 1 | 1 | 4 | A ← A∨(HL) | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A ← A∨(ES:HL) | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A ← A∨(HL＋byte) | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A ← A∨((ES:HL)＋byte) | × |
| | | A, [HL+B] | 2 | 1 | 4 | A ← A∨(HL＋B) | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A ← A∨((ES:HL)＋B) | × |
| | | A, [HL+C] | 2 | 1 | 4 | A ← A∨(HL＋C) | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A ← A∨((ES:HL)＋C) | × |
| | XOR | A, #byte | 2 | 1 | － | A ← A⊻byte | × |
| | | saddr, #byte | 3 | 2 | － | (saddr) ← (saddr)⊻byte | × |
| | | A, r 注3 | 2 | 1 | － | A ← A⊻r | × |
| | | r, A | 2 | 1 | － | r ← r⊻A | × |
| | | A, !addr16 | 3 | 1 | 4 | A ← A⊻(addr16) | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A ← A⊻(ES:addr16) | × |
| | | A, saddr | 2 | 1 | － | A ← A⊻(saddr) | × |
| | | A, [HL] | 1 | 1 | 4 | A ← A⊻(HL) | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A ← A⊻(ES:HL) | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A ← A⊻(HL＋byte) | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A ← A⊻((ES:HL)＋byte) | × |
| | | A, [HL+B] | 2 | 1 | 4 | A ← A⊻(HL＋B) | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A ← A⊻((ES:HL)＋B) | × |
| | | A, [HL+C] | 2 | 1 | 4 | A ← A⊻(HL＋C) | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A ← A⊻((ES:HL)＋C) | × |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** r = Aを除く。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（10/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | CMP | A, #byte | 2 | 1 | － | A－byte | × | × | × |
| | | !addr16, #byte | 4 | 1 | 4 | (addr16)－byte | × | × | × |
| | | ES:!addr16, #byte | 5 | 2 | 5 | (ES:addr16)－byte | × | × | × |
| | | saddr, #byte | 3 | 1 | － | (saddr)－byte | × | × | × |
| | | A, r 注3 | 2 | 1 | － | A－r | × | × | × |
| | | r, A | 2 | 1 | － | r－A | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | A－(addr16) | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A－(ES:addr16) | × | × | × |
| | | A, saddr | 2 | 1 | － | A－(saddr) | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | A－(HL) | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A－(ES:HL) | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A－(HL＋byte) | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A－((ES:HL)＋byte) | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | A－(HL＋B) | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A－((ES:HL)＋B) | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | A－(HL＋C) | × | × | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A－((ES:HL)＋C) | × | × | × |
| | CMP0 | A | 1 | 1 | － | A－00H | × | 0 | 0 |
| | | X | 1 | 1 | － | X－00H | × | 0 | 0 |
| | | B | 1 | 1 | － | B－00H | × | 0 | 0 |
| | | C | 1 | 1 | － | C－00H | × | 0 | 0 |
| | | !addr16 | 3 | 1 | 4 | (addr16)－00H | × | 0 | 0 |
| | | ES:!addr16 | 4 | 2 | 5 | (ES:addr16)－00H | × | 0 | 0 |
| | | saddr | 2 | 1 | － | (saddr)－00H | × | 0 | 0 |
| | CMPS | X, [HL+byte] | 3 | 1 | 4 | X－(HL＋byte) | × | × | × |
| | | X, ES:[HL+byte] | 4 | 2 | 5 | X－((ES:HL)＋byte) | × | × | × |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** r = Aを除く。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（11/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 16ビット演算 | ADDW | AX, #word | 3 | 1 | － | AX, CY ← AX＋word | × | × | × |
| | | AX, AX | 1 | 1 | － | AX, CY ← AX＋AX | × | × | × |
| | | AX, BC | 1 | 1 | － | AX, CY ← AX＋BC | × | × | × |
| | | AX, DE | 1 | 1 | － | AX, CY ← AX＋DE | × | × | × |
| | | AX, HL | 1 | 1 | － | AX, CY ← AX＋HL | × | × | × |
| | | AX, !addr16 | 3 | 1 | 4 | AX, CY ← AX＋(addr16) | × | × | × |
| | | AX, ES:!addr16 | 4 | 2 | 5 | AX, CY ← AX＋(ES:addr16) | × | × | × |
| | | AX, saddrp | 2 | 1 | － | AX, CY ← AX＋(saddrp) | × | × | × |
| | | AX, [HL+byte] | 3 | 1 | 4 | AX, CY ← AX＋(HL＋byte) | × | × | × |
| | | AX, ES: [HL+byte] | 4 | 2 | 5 | AX, CY ← AX＋((ES:HL)＋byte) | × | × | × |
| | SUBW | AX, #word | 3 | 1 | － | AX, CY ← AX－word | × | × | × |
| | | AX, BC | 1 | 1 | － | AX, CY ← AX－BC | × | × | × |
| | | AX, DE | 1 | 1 | － | AX, CY ← AX－DE | × | × | × |
| | | AX, HL | 1 | 1 | － | AX, CY ← AX－HL | × | × | × |
| | | AX, !addr16 | 3 | 1 | 4 | AX, CY ← AX－(addr16) | × | × | × |
| | | AX, ES:!addr16 | 4 | 2 | 5 | AX, CY ← AX－(ES:addr16) | × | × | × |
| | | AX, saddrp | 2 | 1 | － | AX, CY ← AX－(saddrp) | × | × | × |
| | | AX, [HL+byte] | 3 | 1 | 4 | AX, CY ← AX－(HL＋byte) | × | × | × |
| | | AX, ES: [HL+byte] | 4 | 2 | 5 | AX, CY ← AX－((ES:HL)＋byte) | × | × | × |
| | CMPW | AX, #word | 3 | 1 | － | AX－word | × | × | × |
| | | AX, BC | 1 | 1 | － | AX－BC | × | × | × |
| | | AX, DE | 1 | 1 | － | AX－DE | × | × | × |
| | | AX, HL | 1 | 1 | － | AX－HL | × | × | × |
| | | AX, !addr16 | 3 | 1 | 4 | AX－(addr16) | × | × | × |
| | | AX, ES:!addr16 | 4 | 2 | 5 | AX－(ES:addr16) | × | × | × |
| | | AX, saddrp | 2 | 1 | － | AX－(saddrp) | × | × | × |
| | | AX, [HL+byte] | 3 | 1 | 4 | AX－(HL＋byte) | × | × | × |
| | | AX, ES: [HL+byte] | 4 | 2 | 5 | AX－((ES:HL)＋byte) | × | × | × |
| 乗算 | MULU | X | 1 | 1 | － | AX ← A×X | | | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**注意. 割り込み処理中にDIVHU、DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。**
**但し、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU、DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU、DIVWU命令を実行する事ができます。下記のコンパイラはビルド時にDIVHU、DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。**

- **CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース**
- **EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース**

- **GNURL78 (KPIT社 コンパイラ)のC言語ソース**

**備考**　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31−5 オペレーション一覧（12/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 増減 | INC | r | 1 | 1 | − | r ← r+1 | × × |
| | | !addr16 | 3 | 2 | − | (addr16) ← (addr16)+1 | × × |
| | | ES:!addr16 | 4 | 3 | − | (ES, addr16) ← (ES, addr16)+1 | × × |
| | | saddr | 2 | 2 | − | (saddr) ← (saddr)+1 | × × |
| | | [HL+byte] | 3 | 2 | − | (HL+byte) ← (HL+byte)+1 | × × |
| | | ES: [HL+byte] | 4 | 3 | − | ((ES:HL)+byte) ← ((ES:HL)+byte)+1 | × × |
| | DEC | r | 1 | 1 | − | r ← r−1 | × × |
| | | !addr16 | 3 | 2 | − | (addr16) ← (addr16)−1 | × × |
| | | ES:!addr16 | 4 | 3 | − | (ES, addr16) ← (ES, addr16) −1 | × × |
| | | saddr | 2 | 2 | − | (saddr) ← (saddr)−1 | × × |
| | | [HL+byte] | 3 | 2 | − | (HL+byte) ← (HL+byte) −1 | × × |
| | | ES: [HL+byte] | 4 | 3 | − | ((ES:HL)+byte) ← ((ES:HL)+byte) −1 | × × |
| | INCW | rp | 1 | 1 | − | rp ← rp+1 | |
| | | !addr16 | 3 | 2 | − | (addr16) ← (addr16)+1 | |
| | | ES:!addr16 | 4 | 3 | − | (ES, addr16) ← (ES, addr16)+1 | |
| | | saddrp | 2 | 2 | − | (saddrp) ← (saddrp)+1 | |
| | | [HL+byte] | 3 | 2 | − | (HL+byte) ← (HL+byte)+1 | |
| | | ES: [HL+byte] | 4 | 3 | − | ((ES:HL)+byte) ← ((ES:HL)+byte)+1 | |
| | DECW | rp | 1 | 1 | − | rp ← rp−1 | |
| | | !addr16 | 3 | 2 | − | (addr16) ← (addr16)−1 | |
| | | ES:!addr16 | 4 | 3 | − | (ES, addr16) ← (ES, addr16)−1 | |
| | | saddrp | 2 | 2 | − | (saddrp) ← (saddrp)−1 | |
| | | [HL+byte] | 3 | 2 | − | (HL+byte) ← (HL+byte) −1 | |
| | | ES: [HL+byte] | 4 | 3 | − | ((ES:HL)+byte) ← ((ES:HL)+byte) −1 | |
| シフト | SHR | A, cnt | 2 | 1 | − | (CY ← $A_0$, $A_{m-1}$ ← $A_m$, $A_7$ ← 0) ×cnt | × |
| | SHRW | AX, cnt | 2 | 1 | − | (CY ← $AX_0$, $AX_{m-1}$ ← $AX_m$, $AX_{15}$ ← 0) ×cnt | × |
| | SHL | A, cnt | 2 | 1 | − | (CY ← $A_7$, $A_m$ ← $A_{m-1}$, $A_0$ ← 0) ×cnt | × |
| | | B, cnt | 2 | 1 | − | (CY ← $B_7$, $B_m$ ← $B_{m-1}$, $B_0$ ← 0) ×cnt | × |
| | | C, cnt | 2 | 1 | − | (CY ← $C_7$, $C_m$ ← $C_{m-1}$, $C_0$ ← 0) ×cnt | × |
| | SHLW | AX, cnt | 2 | 1 | − | (CY ← $AX_{15}$, $AX_m$ ← $AX_{m-1}$, $AX_0$ ← 0) ×cnt | × |
| | | BC, cnt | 2 | 1 | − | (CY ← $BC_{15}$, $BC_m$ ← $BC_{m-1}$, $BC_0$ ← 0) ×cnt | × |
| | SAR | A, cnt | 2 | 1 | − | (CY ← $A_0$, $A_{m-1}$ ← $A_m$, $A_7$ ← $A_7$) ×cnt | × |
| | SARW | AX, cnt | 2 | 1 | − | (CY ← $AX_0$, $AX_{m-1}$ ← $AX_m$, $AX_{15}$ ← $AX_{15}$) ×cnt | × |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**備考1.** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍+3クロックになります。

**2.** cntはビット・シフト数です。

表31－5 オペレーション一覧（13/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| ローテート | ROR | A, 1 | 2 | 1 | － | (CY, $A_7$ ← $A_0$, $A_{m-1}$ ← $A_m$) × 1 | × |
| | ROL | A, 1 | 2 | 1 | － | (CY, $A_0$ ← $A_7$, $A_{m+1}$ ← $A_m$) × 1 | × |
| | RORC | A, 1 | 2 | 1 | － | (CY ← $A_0$, $A_7$ ← CY, $A_{m-1}$ ← $A_m$) × 1 | × |
| | ROLC | A, 1 | 2 | 1 | － | (CY ← $A_7$, $A_0$ ← CY, $A_{m+1}$ ← $A_m$) × 1 | × |
| | ROLWC | AX,1 | 2 | 1 | － | (CY ← $AX_{15}$, $AX_0$ ← CY, $AX_{m+1}$ ← $AX_m$) ×1 | × |
| | | BC,1 | 2 | 1 | － | (CY ← $BC_{15}$, $BC_0$ ← CY, $BC_{m+1}$ ← $BC_m$) ×1 | × |
| ビット操作 | MOV1 | CY, A.bit | 2 | 1 | － | CY ← A.bit | × |
| | | A.bit, CY | 2 | 1 | － | A.bit ← CY | |
| | | CY, PSW.bit | 3 | 1 | － | CY ← PSW.bit | × |
| | | PSW.bit, CY | 3 | 4 | － | PSW.bit ← CY | × × |
| | | CY, saddr.bit | 3 | 1 | － | CY ← (saddr).bit | × |
| | | saddr.bit, CY | 3 | 2 | － | (saddr).bit ← CY | |
| | | CY, sfr.bit | 3 | 1 | － | CY ← sfr.bit | × |
| | | sfr.bit, CY | 3 | 2 | － | sfr.bit ← CY | |
| | | CY,[HL].bit | 2 | 1 | 4 | CY ← (HL).bit | × |
| | | [HL].bit, CY | 2 | 2 | － | (HL).bit ← CY | |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | CY ← (ES, HL).bit | × |
| | | ES:[HL].bit, CY | 3 | 3 | － | (ES, HL).bit ← CY | |
| | AND1 | CY, A.bit | 2 | 1 | － | CY ← CY∧A.bit | × |
| | | CY, PSW.bit | 3 | 1 | － | CY ← CY∧PSW.bit | × |
| | | CY, saddr.bit | 3 | 1 | － | CY ← CY∧(saddr).bit | × |
| | | CY, sfr.bit | 3 | 1 | － | CY ← CY∧sfr.bit | × |
| | | CY,[HL].bit | 2 | 1 | 4 | CY ← CY∧(HL).bit | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | CY ← CY∧(ES, HL).bit | × |
| | OR1 | CY, A.bit | 2 | 1 | － | CY ← CY∨A.bit | × |
| | | CY, PSW.bit | 3 | 1 | － | CY ← CY∨PSW.bit | × |
| | | CY, saddr.bit | 3 | 1 | － | CY ← CY∨(saddr).bit | × |
| | | CY, sfr.bit | 3 | 1 | － | CY ← CY∨sfr.bit | × |
| | | CY, [HL].bit | 2 | 1 | 4 | CY ← CY∨(HL).bit | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | CY ← CY∨(ES, HL).bit | × |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（14/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| ビット操作 | XOR1 | CY, A.bit | 2 | 1 | － | CY ← CY∀A.bit | × |
| | | CY, PSW.bit | 3 | 1 | － | CY ← CY∀PSW.bit | × |
| | | CY, saddr.bit | 3 | 1 | － | CY ← CY∀(saddr).bit | × |
| | | CY, sfr.bit | 3 | 1 | － | CY ← CY∀sfr.bit | × |
| | | CY, [HL].bit | 2 | 1 | 4 | CY ← CY∀(HL).bit | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | CY ← CY∀(ES, HL).bit | × |
| | SET1 | A.bit | 2 | 1 | － | A.bit ← 1 | |
| | | PSW.bit | 3 | 4 | － | PSW.bit ← 1 | × × × |
| | | !addr16.bit | 4 | 2 | － | (addr16).bit ← 1 | |
| | | ES:!addr16.bit | 5 | 3 | － | (ES, addr16).bit ← 1 | |
| | | saddr.bit | 3 | 2 | － | (saddr).bit ← 1 | |
| | | sfr.bit | 3 | 2 | － | sfr.bit ← 1 | |
| | | [HL].bit | 2 | 2 | － | (HL).bit ← 1 | |
| | | ES:[HL].bit | 3 | 3 | － | (ES, HL).bit ← 1 | |
| | CLR1 | A.bit | 2 | 1 | － | A.bit ← 0 | |
| | | PSW.bit | 3 | 4 | － | PSW.bit ← 0 | × × × |
| | | !addr16.bit | 4 | 2 | － | (addr16).bit ← 0 | |
| | | ES:!addr16.bit | 5 | 3 | － | (ES, addr16).bit ← 0 | |
| | | saddr.bit | 3 | 2 | － | (saddr).bit ← 0 | |
| | | sfr.bit | 3 | 2 | － | sfr.bit ← 0 | |
| | | [HL].bit | 2 | 2 | － | (HL).bit ← 0 | |
| | | ES:[HL].bit | 3 | 3 | － | (ES, HL).bit ← 0 | |
| | SET1 | CY | 2 | 1 | － | CY ← 1 | 1 |
| | CLR1 | CY | 2 | 1 | － | CY ← 0 | 0 |
| | NOT1 | CY | 2 | 1 | － | CY ← CY | × |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（15/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| コール・リターン | CALL | rp | 2 | 3 | － | (SP－2) ← (PC＋2)S, (SP－3) ← (PC＋2)H,<br>(SP－4) ← (PC＋2)L, PC ← CS, rp,<br>SP ← SP－4 | |
| | | $!addr20 | 3 | 3 | － | (SP－2) ← (PC＋3)S, (SP－3) ← (PC＋3)H,<br>(SP－4) ← (PC＋3)L, PC ← PC＋3＋jdisp16,<br>SP ← SP－4 | |
| | | !addr16 | 3 | 3 | － | (SP－2) ← (PC＋3)S, (SP－3) ← (PC＋3)H,<br>(SP－4) ← (PC＋3)L, PC ← 0000, addr16,<br>SP ← SP－4 | |
| | | !!addr20 | 4 | 3 | － | (SP－2) ← (PC＋4)S, (SP－3) ← (PC＋4)H,<br>(SP－4) ← (PC＋4)L, PC ← addr20,<br>SP ← SP－4 | |
| | CALLT | [addr5] | 2 | 5 | － | (SP－2) ← (PC＋2)S , (SP－3) ← (PC＋2)H,<br>(SP－4) ← (PC＋2)L , PCS ← 0000,<br>PCH ← (0000, addr5＋1),<br>PCL ← (0000, addr5),<br>SP ← SP－4 | |
| | BRK | － | 2 | 5 | － | (SP－1) ← PSW, (SP－2) ← (PC＋2)S,<br>(SP－3) ← (PC＋2)H, (SP－4) ← (PC＋2)L,<br>PCS ← 0000,<br>PCH ← (0007FH), PCL ← (0007EH),<br>SP ← SP－4, IE ← 0 | |
| | RET | － | 1 | 6 | － | PCL ← (SP), PCH ← (SP＋1),<br>PCS ← (SP＋2), SP ← SP＋4 | |
| | RETI | － | 2 | 6 | － | PCL ← (SP), PCH ← (SP＋1),<br>PCS ← (SP＋2), PSW ← (SP＋3),<br>SP ← SP＋4 | R R R |
| | RETB | － | 2 | 6 | － | PCL ← (SP), PCH ← (SP＋1),<br>PCS ← (SP＋2), PSW ← (SP＋3),<br>SP ← SP＋4 | R R R |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（fCLK）数。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－5 オペレーション一覧（16/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| スタック操作 | PUSH | PSW | 2 | 1 | － | （SP－1）← PSW, (SP－2) ← 00H, SP ← SP－2 | |
| | | rp | 1 | 1 | － | （SP－1）← $rp_H$,（SP－2）← $rp_L$, SP ← SP－2 | |
| | POP | PSW | 2 | 3 | － | PSW ←（SP＋1）, SP ← SP＋2 | R R R |
| | | rp | 1 | 1 | － | $rp_L$ ←（SP）, $rp_H$ ←（SP＋1）, SP ← SP＋2 | |
| | MOVW | SP, #word | 4 | 1 | － | SP ← word | |
| | | SP, AX | 2 | 1 | － | SP ← AX | |
| | | AX, SP | 2 | 1 | － | AX ← SP | |
| | | HL, SP | 3 | 1 | － | HL ← SP | |
| | | BC, SP | 3 | 1 | － | BC ← SP | |
| | | DE, SP | 3 | 1 | － | DE ← SP | |
| | ADDW | SP, #byte | 2 | 1 | － | SP ← SP＋byte | |
| | SUBW | SP, #byte | 2 | 1 | － | SP ← SP－byte | |
| 無条件分岐 | BR | AX | 2 | 3 | － | PC ← CS, AX | |
| | | $addr20 | 2 | 3 | － | PC ← PC＋2＋jdisp8 | |
| | | $!addr20 | 3 | 3 | － | PC ← PC＋3＋jdisp16 | |
| | | !addr16 | 3 | 3 | － | PC ← 0000, addr16 | |
| | | !!addr20 | 4 | 3 | － | PC ← addr20 | |
| 条件付き分岐 | BC | $addr20 | 2 | 2/4[注3] | － | PC ← PC＋2＋jdisp8 if CY = 1 | |
| | BNC | $addr20 | 2 | 2/4[注3] | － | PC ← PC＋2＋jdisp8 if CY = 0 | |
| | BZ | $addr20 | 2 | 2/4[注3] | － | PC ← PC＋2＋jdisp8 if Z = 1 | |
| | BNZ | $addr20 | 2 | 2/4[注3] | － | PC ← PC＋2＋jdisp8 if Z = 0 | |
| | BH | $addr20 | 3 | 2/4[注3] | － | PC ← PC+3+jdisp8 if (Z∨CY)=0 | |
| | BNH | $addr20 | 3 | 2/4[注3] | － | PC ← PC+3+jdisp8 if (Z∨CY)=1 | |
| | BT | saddr.bit, $addr20 | 4 | 3/5[注3] | － | PC ← PC＋4＋jdisp8 if (saddr).bit = 1 | |
| | | sfr.bit, $addr20 | 4 | 3/5[注3] | － | PC ← PC＋4＋jdisp8 if sfr.bit = 1 | |
| | | A.bit, $addr20 | 3 | 3/5[注3] | － | PC ← PC＋3＋jdisp8 if A.bit = 1 | |
| | | PSW.bit, $addr20 | 4 | 3/5[注3] | － | PC ← PC＋4＋jdisp8 if PSW.bit = 1 | |
| | | [HL].bit, $addr20 | 3 | 3/5[注3] | 6/7 | PC ← PC＋3＋jdisp8 if (HL).bit = 1 | |
| | | ES:[HL].bit, $addr20 | 4 | 4/6[注3] | 7/8 | PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** クロック数は“条件不成立時／条件成立時”を表しています。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31−5 オペレーション一覧（17/17）

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 条件付き分岐 | BF | saddr.bit, $addr20 | 4 | 3/5[注3] | − | PC ← PC＋4＋jdisp8 if (saddr).bit = 0 | |
| | | sfr.bit, $addr20 | 4 | 3/5[注3] | − | PC ← PC＋4＋jdisp8 if sfr.bit = 0 | |
| | | A.bit, $addr20 | 3 | 3/5[注3] | − | PC ← PC＋3＋jdisp8 if A.bit = 0 | |
| | | PSW.bit, $addr20 | 4 | 3/5[注3] | − | PC ← PC＋4＋jdisp8 if PSW.bit = 0 | |
| | | [HL].bit, $addr20 | 3 | 3/5[注3] | 6/7 | PC ← PC＋3＋jdisp8 if (HL).bit = 0 | |
| | | ES:[HL].bit, $addr20 | 4 | 4/6[注3] | 7/8 | PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0 | |
| | BTCLR | saddr.bit, $addr20 | 4 | 3/5[注3] | − | PC ← PC＋4＋jdisp8 if (saddr).bit = 1<br>then reset (saddr).bit | |
| | | sfr.bit, $addr20 | 4 | 3/5[注3] | − | PC ← PC＋4＋jdisp8 if sfr.bit = 1<br>then reset sfr.bit | |
| | | A.bit, $addr20 | 3 | 3/5[注3] | − | PC ← PC＋3＋jdisp8 if A.bit = 1<br>then reset A.bit | |
| | | PSW.bit, $addr20 | 4 | 3/5[注3] | − | PC ← PC＋4＋jdisp8 if PSW.bit = 1<br>then reset PSW.bit | × × × |
| | | [HL].bit, $addr20 | 3 | 3/5[注3] | − | PC ← PC＋3＋jdisp8 if (HL).bit = 1<br>then reset (HL).bit | |
| | | ES:[HL].bit, $addr20 | 4 | 4/6[注3] | − | PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1<br>then reset (ES, HL).bit | |
| 条件付きスキップ | SKC | − | 2 | 1 | − | Next instruction skip if CY = 1 | |
| | SKNC | − | 2 | 1 | − | Next instruction skip if CY = 0 | |
| | SKZ | − | 2 | 1 | − | Next instruction skip if Z = 1 | |
| | SKNZ | − | 2 | 1 | − | Next instruction skip if Z = 0 | |
| | SKH | − | 2 | 1 | − | Next instruction skip if (Z∨CY)=0 | |
| | SKNH | − | 2 | 1 | − | Next instruction skip if (Z∨CY)=1 | |
| CPU制御 | SEL[注4] | RBn | 2 | 1 | − | RBS[1:0] ← n | |
| | NOP | − | 1 | 1 | − | No Operation | |
| | EI | − | 3 | 4 | − | IE ← 1(Enable Interrupt) | |
| | DI | − | 3 | 4 | − | IE ← 0(Disable Interrupt) | |
| | HALT | − | 2 | 3 | − | Set HALT Mode | |
| | STOP | − | 2 | 3 | − | Set STOP Mode | |

**注1.** 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（$f_{CLK}$）数。

**2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（$f_{CLK}$）数。

**3.** クロック数は“条件不成立時／条件成立時”を表しています。

**4.** nはレジスタ・バンク番号です（n = 0-3）。

**備考** クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

# 第32章　電気的特性（$T_A$ = －40～＋85℃）

対象製品　A：民生用途 $T_A$ = －40～＋85℃

R5F10WLAAFA, R5F10WLCAFA, R5F10WLDAFA,
R5F10WLEAFA, R5F10WLFAFA, R5F10WLGAFA,
R5F10WLAAFB, R5F10WLCAFB, R5F10WLDAFB,
R5F10WLEAFB, R5F10WLFAFB, R5F10WLGAFB,
R5F10WMAAFA, R5F10WMCAFA, R5F10WMDAFA,
R5F10WMEAFA, R5F10WMFAFA, R5F10WMGAFA,
R5F10WMAAFB, R5F10WMCAFB, R5F10WMDAFB,
R5F10WMEAFB, R5F10WMFAFB, R5F10WMGAFB

G：産業用途 $T_A$ = －40～＋105℃品を$T_A$ = －40～＋85℃の範囲で使用する場合

R5F10WLAGFB, R5F10WLCGFB, R5F10WLDGFB,
R5F10WLEGFB, R5F10WLFGFB, R5F10WLGGFB
R5F10WMAGFB, R5F10WMCGFB, R5F10WMDGFB,
R5F10WMEGFB, R5F10WMFGFB, R5F10WMGGFB

**注意1.　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。**

**2.　製品により搭載している端子が異なります。2. 1　ポート機能 ～2. 2. 1　製品別の搭載機能を参照してください。**

# 32. 1　絶対最大定格

絶対最大定格（1/3）

| 項　　目 | 略　号 | 条　　件 | 定　　格 | 単　位 |
|---|---|---|---|---|
| 電源電圧 | $V_{DD}$ | | −0.5～+6.5 | V |
| REGC端子入力電圧 | $V_{IREGC}$ | REGC | −0.3～+2.8<br>かつ−0.3～$V_{DD}$+0.3[注1] | V |
| 入力電圧 | $V_{I1}$ | P00-P07, P10-P17, P20-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P121-P127, P130, P137 | −0.3～$V_{DD}$+0.3[注2] | V |
| | $V_{I2}$ | P60, P61（N-chオープン・ドレイン） | −0.3～+6.5 | V |
| | $V_{I3}$ | EXCLK, EXCLKS, $\overline{\text{RESET}}$ | −0.3～$V_{DD}$+0.3[注2] | V |
| 出力電圧 | $V_{O1}$ | P00-P07, P10-P17, P20-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P121-P127, P130, P137 | −0.3～$V_{DD}$+0.3[注2] | V |
| アナログ入力電圧 | $V_{AI1}$ | ANI0, ANI1, ANI16-ANI25 | −0.3～$V_{DD}$+0.3<br>かつ−0.3～$AV_{REF(+)}$+0.3[注2, 3] | V |

**注1.** REGC端子にはコンデンサ（0.47～1 μF）を介して$V_{SS}$に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

**2.** 6.5 V以下であること。

**3.** A/D変換対象の端子は，$AV_{REF(+)}$+0.3を越えないでください。

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

**備考 1.** 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

**2.** $AV_{REF(+)}$：A/Dコンバータの＋側基準電圧

**3.** $V_{SS}$を基準電圧とする。

絶対最大定格（2/3）

| 項　目 | 略　号 | 条　件 | | 定　格 | 単　位 |
|---|---|---|---|---|---|
| LCD電圧 | $V_{L1}$ | $V_{L1}$電圧[注1] | | −0.3～+2.8かつ −0.3～$V_{L4}$+0.3 | V |
| | $V_{L2}$ | $V_{L2}$電圧[注1] | | −0.3～$V_{L4}$+0.3[注2] | V |
| | $V_{L3}$ | $V_{L3}$電圧[注1] | | −0.3～$V_{L4}$+0.3[注2] | V |
| | $V_{L4}$ | $V_{L4}$電圧[注1] | | −0.3～+6.5 | V |
| | $V_{LCAP}$ | CAPL, CAPH電圧[注1] | | −0.3～$V_{L4}$+0.3[注2] | V |
| | $V_{OUT}$ | COM0-COM7 | 外部抵抗分割方式 | −0.3～$V_{DD}$+0.3[注2] | V |
| | | SEG0-SEG50 | 容量分割方式 | −0.3～$V_{DD}$+0.3[注2] | V |
| | | 出力電圧 | 内部昇圧方式 | −0.3～$V_{L4}$+0.3[注2] | V |

**注1.** この値は，$V_{L1}$, $V_{L2}$, $V_{L3}$, $V_{L4}$端子への電圧印加する場合の絶対最大定格を規定するものであり，電圧印加して使用することを推奨しているわけではありません。内部昇圧方式，容量分割方式の場合，$V_{L1}$, $V_{L2}$, $V_{L3}$, $V_{L4}$端子にはコンデンサ（0.47 μF±30 %）を介して$V_{SS}$に接続し，CAPL端子，CAPH端子間にもコンデンサ（0.47 μF±30 %）を接続してください。

**2.** 6.5 V以下であること。

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

**備考**　$V_{SS}$を基準電圧とする。

絶対最大定格（3/3）

| 項　目 | 略　号 | 条　件 | | 定　格 | 単　位 |
|---|---|---|---|---|---|
| ハイ・レベル出力電流 | $I_{OH1}$ | 1端子 | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130 | −40 | mA |
| | | 端子合計<br>−170 mA | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130 | −170 | mA |
| | $I_{OH2}$ | 1端子 | P20-P21 | −0.5 | mA |
| | | 端子合計 | | −1 | mA |
| ロウ・レベル出力電流 | $I_{OL1}$ | 1端子 | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130 | 40 | mA |
| | | 端子合計<br>170 mA | P40-P47, P130 | 70 | mA |
| | | | P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P60, P61, P70-P77, P125-P127 | 100 | mA |
| | $I_{OL2}$ | 1端子 | P20-P21 | 1 | mA |
| | | 端子合計 | | 2 | mA |
| 動作周囲温度 | $T_A$ | 通常動作時 | | −40～+85 | ℃ |
| | | フラッシュ・メモリ・プログラミング時 | | | |
| 保存温度 | $T_{stg}$ | | | −65～+150 | ℃ |

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

**備考**　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

# 32. 2　発振回路特性

## 32. 2. 1　X1, XT1発振回路特性

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 発振子 | 条　　件 | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|
| X1クロック発振周波数（$f_X$）注 | セラミック発振子／水晶振動子 | 2.7 V≦$V_{DD}$≦5.5 V | 1.0 | | 20.0 | MHz |
| | | 2.4 V≦$V_{DD}$＜2.7 V | 1.0 | | 16.0 | |
| | | 1.8 V≦$V_{DD}$＜2.4 V | 1.0 | | 8.0 | |
| | | 1.6 V≦$V_{DD}$＜1.8 V | 1.0 | | 4.0 | |
| XT1クロック発振周波数（$f_{XT}$）注 | 水晶振動子 | | 32 | 32.768 | 35 | kHz |

**注**　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

**注意 リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。**

**備考**　X1, XT1発振回路を使用する場合は，**5. 4　システム・クロック発振回路**を参照してください。

## 32. 2. 2　オンチップ・オシレータ特性

（$T_A$ = −40〜+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|
| 高速オンチップ・オシレータ・クロック周波数[注1, 2] | $f_{IH}$ | | | 1 | | 24 | MHz |
| 高速オンチップ・オシレータ・クロック周波数精度 | | −20〜+85 ℃ | 1.8 V≦$V_{DD}$≦5.5 V | −1.0 | | +1.0 | % |
| | | | 1.6 V≦$V_{DD}$<1.8 V | −5.0 | | +5.0 | % |
| | | −40〜−20 ℃ | 1.8 V≦$V_{DD}$≦5.5 V | −1.5 | | +1.5 | % |
| | | | 1.6 V≦$V_{DD}$<1.8 V | −5.5 | | +5.5 | % |
| 低速オンチップ・オシレータ・クロック周波数 | $f_{IL}$ | | | | 15 | | kHz |
| 低速オンチップ・オシレータ・クロック周波数精度 | | | | −15 | | +15 | % |

**注1.**　高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/010C2H）のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

**2.**　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

# 32. 3　DC特性

## 32. 3. 1　端子特性

（$T_A$ = −40〜+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル出力電流[注1] | $I_{OH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130<br>1端子 | 1.6 V≦$V_{DD}$≦5.5 V | | | −10.0[注2] | mA |
| | | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130<br>合計<br>（デューティ = 70 %時[注3]） | 4.0 V≦$V_{DD}$≦5.5 V | | | −90.0 | mA |
| | | | 2.7 V≦$V_{DD}$＜4.0 V | | | −15.0 | mA |
| | | | 1.8 V≦$V_{DD}$＜2.7 V | | | −7.0 | mA |
| | | | 1.6 V≦$V_{DD}$＜1.8 V | | | −3.0 | mA |
| | $I_{OH2}$ | P20, P21<br>1端子 | 1.6 V≦$V_{DD}$≦5.5 V | | | −0.1[注2] | mA |
| | | 全端子合計<br>（デューティ = 70 %時[注3]） | 1.6 V≦$V_{DD}$≦5.5 V | | | −0.2 | mA |

**注1.** $V_{DD}$端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

**2.** ただし，合計の電流値を超えないでください。

**3.** デューティ≦70%の条件での出力電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（$I_{OH}$ × 0.7）／（n × 0.01）
＜計算例＞ $I_{OH}$ =−90.0 mAの場合，n = 80%
端子合計の出力電流 =（−90.0 × 0.7）／（80 × 0.01）≒ −78.75 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

**注意　P00, P04-P07, P16, P17, P35, P42-P44, P46, P47, P53-P56, P130は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。**

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40～+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ロウ・レベル出力電流[注1] | $I_{OL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子 | | | | 20.0[注2] | mA |
| | | P60, P61 1端子 | | | | 15.0[注2] | mA |
| | | P40-P47, P130　合計（デューティ　= 70 %時[注3]） | 4.0 V≦$V_{DD}$≦5.5 V | | | 70.0 | mA |
| | | | 2.7 V≦$V_{DD}$＜4.0 V | | | 15.0 | mA |
| | | | 1.8 V≦$V_{DD}$＜2.7 V | | | 9.0 | mA |
| | | | 1.6 V≦$V_{DD}$＜1.8 V | | | 4.5 | mA |
| | | P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P70-P77, P125-P127　合計（デューティ　= 70 %時[注3]） | 4.0 V≦$V_{DD}$≦5.5 V | | | 90.0 | mA |
| | | | 2.7 V≦$V_{DD}$＜4.0 V | | | 35.0 | mA |
| | | | 1.8 V≦$V_{DD}$＜2.7 V | | | 20.0 | mA |
| | | | 1.6 V≦$V_{DD}$＜1.8 V | | | 10.0 | mA |
| | | 全端子合計（デューティ　= 70 %時[注3]） | | | | 160.0 | mA |
| | $I_{OL2}$ | P20, P21 1端子 | | | | 0.4[注2] | mA |
| | | 全端子合計（デューティ　= 70 %時[注3]） | 1.6 V≦$V_{DD}$≦5.5 V | | | 0.8 | mA |

**注1.**　出力端子から$V_{SS}$端子に流れ込んでも，デバイスの動作を保証する電流値です。

**2.**　合計の電流値を超えないでください。

**3.**　デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（$I_{OL}$×0.7）／（n×0.01）

＜計算例＞ $I_{OL}$ = 70.0 mAの場合，n = 80%

端子合計の出力電流 =（70.0×0.7）／（80×0.01）≒ 61.25 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル入力電圧 | $V_{IH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130, P137 | 通常入力バッファ | 0.8$V_{DD}$ | | $V_{DD}$ | V |
| | $V_{IH2}$ | P03, P05, P06, P16, P17, P34, P43, P44, P46, P47, P53, P55 | TTL入力バッファ 4.0 V≦$V_{DD}$≦5.5 V | 2.2 | | $V_{DD}$ | V |
| | | | TTL入力バッファ 3.3 V≦$V_{DD}$＜4.0 V | 2.0 | | $V_{DD}$ | V |
| | | | TTL入力バッファ 1.6 V≦$V_{DD}$＜3.3 V | 1.5 | | $V_{DD}$ | V |
| | $V_{IH3}$ | P20, P21 | | 0.7$V_{DD}$ | | $V_{DD}$ | V |
| | $V_{IH4}$ | P60, P61 | | 0.7$V_{DD}$ | | 6.0 | V |
| | $V_{IH5}$ | P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$ | | 0.8$V_{DD}$ | | $V_{DD}$ | V |
| ロウ・レベル入力電圧 | $V_{IL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130, P137 | 通常入力バッファ | 0 | | 0.2$V_{DD}$ | V |
| | $V_{IL2}$ | P03, P05, P06, P16, P17, P34, P43, P44, P46, P47, P53, P55 | TTL入力バッファ 4.0 V≦$V_{DD}$≦5.5 V | 0 | | 0.8 | V |
| | | | TTL入力バッファ 3.3 V≦$V_{DD}$＜4.0 V | 0 | | 0.5 | V |
| | | | TTL入力バッファ 1.6 V≦$V_{DD}$＜3.3 V | 0 | | 0.32 | V |
| | $V_{IL3}$ | P20, P21 | | 0 | | 0.3$V_{DD}$ | V |
| | $V_{IL4}$ | P60, P61 | | 0 | | 0.3$V_{DD}$ | V |
| | $V_{IL5}$ | P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$ | | 0 | | 0.2$V_{DD}$ | V |

**注意　P00, P04-P07, P16, P17, P35, P42-P44, P46, P47, P53-P56, P130は，N-chオープン・ドレイン・モード時でも$V_{IH}$の最大値（MAX.）は$V_{DD}$です。**

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40～+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル出力電圧 | $V_{OH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −10.0 mA | $V_{DD}$−1.5 | | | V |
| | | | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −3.0 mA | $V_{DD}$−0.7 | | | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −2.0 mA | $V_{DD}$−0.6 | | | V |
| | | | 1.8 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −1.5 mA | $V_{DD}$−0.5 | | | V |
| | | | 1.6 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −1.0 mA | $V_{DD}$−0.5 | | | V |
| | $V_{OH2}$ | P20, P21 | 1.6 V≦$V_{DD}$≦5.5 V, $I_{OH2}$ = −100 μA | $V_{DD}$−0.5 | | | V |
| ロウ・レベル出力電圧 | $V_{OL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 20.0 mA | | | 1.3 | V |
| | | | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 8.5 mA | | | 0.7 | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 3.0 mA | | | 0.6 | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 1.5 mA | | | 0.4 | V |
| | | | 1.8 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 0.6 mA | | | 0.4 | V |
| | | | 1.6 V≦$V_{DD}$<1.8 V, $I_{OL1}$ = 0.3 mA | | | 0.4 | V |
| | $V_{OL2}$ | P20, P21 | 1.6 V≦$V_{DD}$≦5.5 V, $I_{OL2}$ = 400 μA | | | 0.4 | V |
| | $V_{OL3}$ | P60, P61 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 15.0 mA | | | 2.0 | V |
| | | | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 5.0 mA | | | 0.4 | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 3.0 mA | | | 0.4 | V |
| | | | 1.8 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 2.0 mA | | | 0.4 | V |
| | | | 1.6 V≦$V_{DD}$<1.8 V, $I_{OL3}$ = 1.0 mA | | | 0.4 | V |

**注意　P00, P04-P07, P16, P17, P35, P42-P44, P46, P47, P53-P56, P130は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。**

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40～+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|---|
| ハイ・レベル入力リーク電流 | $I_{LIH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130, P137 | $V_I = V_{DD}$ | | | | 1 | μA |
| | $I_{LIH2}$ | P20, P21, $\overline{\text{RESET}}$ | $V_I = V_{DD}$ | | | | 1 | μA |
| | $I_{LIH3}$ | P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS） | $V_I = V_{DD}$ | 入力ポート時，外部クロック入力時 | | | 1 | μA |
| | | | | 発振子接続時 | | | 10 | μA |
| ロウ・レベル入力リーク電流 | $I_{LIL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130, P137 | $V_I = V_{SS}$ | | | | −1 | μA |
| | $I_{LIL2}$ | P20, P21, $\overline{\text{RESET}}$ | $V_I = V_{SS}$ | | | | −1 | μA |
| | $I_{LIL3}$ | P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS） | $V_I = V_{SS}$ | 入力ポート時，外部クロック入力時 | | | −1 | μA |
| | | | | 発振子接続時 | | | −10 | μA |
| 内蔵プルアップ抵抗 | $R_{U1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P45-P47, P50-P57, P70-P77, P125-P127, P130 | $V_I = V_{SS}$ | 2.4 V≦$V_{DD}$<5.5 V | 10 | 20 | 100 | kΩ |
| | | | | 1.6 V≦$V_{DD}$<2.4 V | 10 | 30 | 100 | kΩ |
| | $R_{U2}$ | P40-P44 | $V_I = V_{SS}$ | | 10 | 20 | 100 | kΩ |

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

## 32. 3. 2　電源電流特性

（$T_A$ = −40～+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）　　（1/2）

| 項　目 | 略号 | 条　件 | | | | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|---|---|---|
| 電源電流[注1] | $I_{DD1}$ | 動作モード | HS（高速メイン）モード[注5] | $f_{HOCO}$ = 48 MHz[注3], $f_{IH}$ = 24 MHz[注3] | 基本動作 | $V_{DD}$ = 5.0 V | | 2.0 | | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 2.0 | | |
| | | | | | 通常動作 | $V_{DD}$ = 5.0 V | | 3.8 | 6.5 | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 3.8 | 6.5 | |
| | | | | $f_{HOCO}$ = 24 MHz[注3], $f_{IH}$ = 24 MHz[注3] | 基本動作 | $V_{DD}$ = 5.0 V | | 1.7 | | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 1.7 | | |
| | | | | | 通常動作 | $V_{DD}$ = 5.0 V | | 3.6 | 6.1 | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 3.6 | 6.1 | |
| | | | | $f_{HOCO}$ = 16 MHz[注3], $f_{IH}$ = 16 MHz[注3] | 通常動作 | $V_{DD}$ = 5.0 V | | 2.7 | 4.7 | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 2.7 | 4.7 | |
| | | | LS（低速メイン）モード[注5] | $f_{HOCO}$ = 8 MHz[注3], $f_{IH}$ = 8 MHz[注3] | 通常動作 | $V_{DD}$ = 3.0 V | | 1.2 | 2.1 | mA |
| | | | | | | $V_{DD}$ = 2.0 V | | 1.2 | 2.1 | |
| | | | LV（低電圧メイン）モード[注5] | $f_{HOCO}$ = 4 MHz[注3], $f_{IH}$ = 4 MHz[注3] | 通常動作 | $V_{DD}$ = 3.0 V | | 1.2 | 1.8 | mA |
| | | | | | | $V_{DD}$ = 2.0 V | | 1.2 | 1.8 | |
| | | | HS（高速メイン）モード[注5] | $f_{MX}$ = 20 MHz[注2], $V_{DD}$ = 5.0 V | 通常動作 | 方形波入力 | | 3.0 | 5.1 | mA |
| | | | | | | 発振子接続 | | 3.2 | 5.2 | |
| | | | | $f_{MX}$ = 20 MHz[注2], $V_{DD}$ = 3.0 V | 通常動作 | 方形波入力 | | 2.9 | 5.1 | mA |
| | | | | | | 発振子接続 | | 3.2 | 5.2 | |
| | | | | $f_{MX}$ = 16 MHz[注2], $V_{DD}$ = 5.0 V | 通常動作 | 方形波入力 | | 2.5 | 4.4 | mA |
| | | | | | | 発振子接続 | | 2.7 | 4.5 | |
| | | | | $f_{MX}$ = 16 MHz[注2], $V_{DD}$ = 3.0 V | 通常動作 | 方形波入力 | | 2.5 | 4.4 | mA |
| | | | | | | 発振子接続 | | 2.7 | 4.5 | |
| | | | | $f_{MX}$ = 10 MHz[注2], $V_{DD}$ = 5.0 V | 通常動作 | 方形波入力 | | 1.9 | 3.0 | mA |
| | | | | | | 発振子接続 | | 1.9 | 3.0 | |
| | | | | $f_{MX}$ = 10 MHz[注2], $V_{DD}$ = 3.0 V | 通常動作 | 方形波入力 | | 1.9 | 3.0 | mA |
| | | | | | | 発振子接続 | | 1.9 | 3.0 | |
| | | | LS（低速メイン）モード[注5] | $f_{MX}$ = 8 MHz[注2], $V_{DD}$ = 3.0 V | 通常動作 | 方形波入力 | | 1.1 | 2.0 | mA |
| | | | | | | 発振子接続 | | 1.1 | 2.0 | |
| | | | | $f_{MX}$ = 8 MHz[注2], $V_{DD}$ = 2.0 V | 通常動作 | 方形波入力 | | 1.1 | 2.0 | mA |
| | | | | | | 発振子接続 | | 1.1 | 2.0 | |
| | | | サブ・クロック動作 | $f_{SUB}$ = 32.768 kHz[注4] $T_A$ = −40℃ | 通常動作 | 方形波入力 | | 4.0 | 5.4 | μA |
| | | | | | | 発振子接続 | | 4.3 | 5.4 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注4] $T_A$ = +25℃ | 通常動作 | 方形波入力 | | 4.0 | 5.4 | μA |
| | | | | | | 発振子接続 | | 4.3 | 5.4 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注4] $T_A$ = +50℃ | 通常動作 | 方形波入力 | | 4.1 | 7.1 | μA |
| | | | | | | 発振子接続 | | 4.4 | 7.1 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注4] $T_A$ = +70℃ | 通常動作 | 方形波入力 | | 4.3 | 8.7 | μA |
| | | | | | | 発振子接続 | | 4.7 | 8.7 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注4] $T_A$ = +85℃ | 通常動作 | 方形波入力 | | 4.7 | 12.0 | μA |
| | | | | | | 発振子接続 | | 5.2 | 12.0 | |

（注，備考は次ページにあります。）

★ **注1.** $V_{DD}$に流れるトータル電流です。入力端子を$V_{DD}$または$V_{SS}$に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード，LS（低速メイン）モード，LV（低電圧メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，LCDコントローラ／ドライバ，A/Dコンバータ，LVD回路，コンパレータ，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時，電源電流の TYP.値と MAX.値は周辺動作電流を含みません。ただし，HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

**2.** 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

**3.** 高速システム・クロック，サブシステム・クロックは停止時。

★ **4.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。

**5.** 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦$V_{DD}$≦5.5 V@1 MHz～24 MHz

2.4 V≦$V_{DD}$≦5.5 V@1 MHz～16 MHz

LS（低速メイン）モード　：1.8 V≦$V_{DD}$≦5.5 V@1 MHz～8 MHz

LV（低電圧メイン）モード：1.6 V≦$V_{DD}$≦5.5 V@1 MHz～4 MHz

**備考1.** $f_{MX}$　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

**2.** $f_{HOCO}$：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

**3.** $f_{IH}$　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）

**4.** $f_{SUB}$　：サブシステム・クロック周波数（XT1クロック発振周波数）

**5.** 「サブシステム・クロック動作」以外のTYP.値の温度条件は，$T_A$ = 25 ℃です。

（$T_A$ = −40～+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）　　（2/2）

| 項　目 | 略号 | 条　件 | | | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|---|---|
| 電源電流[注1] | $I_{DD2}$[注2] | HALT モード | HS（高速メイン）モード[注6] | $f_{HOCO}$ = 48 MHz[注4], $f_{IH}$ = 24 MHz[注4] | $V_{DD}$ = 5.0 V | | 0.71 | 1.95 | mA |
| | | | | | $V_{DD}$ = 3.0 V | | 0.71 | 1.95 | |
| | | | | $f_{HOCO}$ = 24 MHz[注4], $f_{IH}$ = 24 MHz[注4] | $V_{DD}$ = 5.0 V | | 0.49 | 1.64 | mA |
| | | | | | $V_{DD}$ = 3.0 V | | 0.49 | 1.64 | |
| | | | | $f_{HOCO}$ = 16 MHz[注4], $f_{IH}$ = 16 MHz[注4] | $V_{DD}$ = 5.0 V | | 0.43 | 1.11 | mA |
| | | | | | $V_{DD}$ = 3.0 V | | 0.43 | 1.11 | |
| | | | LS（低速メイン）モード[注6] | $f_{HOCO}$ = 8 MHz[注4], $f_{IH}$ = 8 MHz[注4] | $V_{DD}$ = 3.0 V | | 280 | 770 | μA |
| | | | | | $V_{DD}$ = 2.0 V | | 280 | 770 | |
| | | | LV（低電圧メイン）モード[注6] | $f_{HOCO}$ = 4 MHz[注4], $f_{IH}$ = 4 MHz[注4] | $V_{DD}$ = 3.0 V | | 430 | 700 | μA |
| | | | | | $V_{DD}$ = 2.0 V | | 430 | 700 | |
| | | | HS（高速メイン）モード[注6] | $f_{MX}$ = 20 MHz[注3], $V_{DD}$ = 5.0 V | 方形波入力 | | 0.31 | 1.42 | mA |
| | | | | | 発振子接続 | | 0.48 | 1.42 | |
| | | | | $f_{MX}$ = 20 MHz[注3], $V_{DD}$ = 3.0 V | 方形波入力 | | 0.29 | 1.42 | mA |
| | | | | | 発振子接続 | | 0.48 | 1.42 | |
| | | | | $f_{MX}$ = 16 MHz[注3], $V_{DD}$ = 5.0 V | 方形波入力 | | 0.26 | 0.86 | mA |
| | | | | | 発振子接続 | | 0.45 | 1.15 | |
| | | | | $f_{MX}$ = 16 MHz[注3], $V_{DD}$ = 3.0 V | 方形波入力 | | 0.25 | 0.86 | mA |
| | | | | | 発振子接続 | | 0.44 | 1.15 | |
| | | | | $f_{MX}$ = 10 MHz[注3], $V_{DD}$ = 5.0 V | 方形波入力 | | 0.20 | 0.63 | mA |
| | | | | | 発振子接続 | | 0.28 | 0.71 | |
| | | | | $f_{MX}$ = 10 MHz[注3], $V_{DD}$ = 3.0 V | 方形波入力 | | 0.19 | 0.63 | mA |
| | | | | | 発振子接続 | | 0.28 | 0.71 | |
| | | | LS（低速メイン）モード[注6] | $f_{MX}$ = 8 MHz[注3], $V_{DD}$ = 3.0 V | 方形波入力 | | 100 | 560 | μA |
| | | | | | 発振子接続 | | 160 | 560 | |
| | | | | $f_{MX}$ = 8 MHz[注3], $V_{DD}$ = 2.0 V | 方形波入力 | | 100 | 560 | μA |
| | | | | | 発振子接続 | | 160 | 560 | |
| | | | サブ・クロック動作 | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = −40℃ | 方形波入力 | | 0.34 | 0.62 | μA |
| | | | | | 発振子接続 | | 0.51 | 0.80 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +25℃ | 方形波入力 | | 0.38 | 0.62 | μA |
| | | | | | 発振子接続 | | 0.57 | 0.80 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +50℃ | 方形波入力 | | 0.46 | 2.30 | μA |
| | | | | | 発振子接続 | | 0.67 | 2.49 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +70℃ | 方形波入力 | | 0.65 | 4.03 | μA |
| | | | | | 発振子接続 | | 0.91 | 4.22 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +85℃ | 方形波入力 | | 1.00 | 8.04 | μA |
| | | | | | 発振子接続 | | 1.31 | 8.23 | |
| | $I_{DD3}$ | STOP モード[注7] | $T_A$ = −40℃ | | | | 0.18 | 0.52 | μA |
| | | | $T_A$ = +25℃ | | | | 0.24 | 0.52 | |
| | | | $T_A$ = +50℃ | | | | 0.33 | 2.21 | |
| | | | $T_A$ = +70℃ | | | | 0.53 | 3.94 | |
| | | | $T_A$ = +85℃ | | | | 0.93 | 7.95 | |

（注，備考は次ページにあります。）

★ **注1.** $V_{DD}$に流れるトータル電流です。入力端子を$V_{DD}$または$V_{SS}$に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード, LS（低速メイン）モード, LV（低電圧メイン）モード時，電源電流の TYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，LCDコントローラ／ドライバ，A/Dコンバータ，LVD回路，コンパレータ，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時，電源電流の TYP.値と MAX.値は周辺動作電流を含みません。ただし，HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

STOPモード時，電源電流の TYP.値とMAX.値は周辺動作電流を含みません。

**2.** フラッシュ・メモリでのHALT命令実行時。

**3.** 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

**4.** 高速システム・クロック，サブシステム・クロックは停止時。

**5.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。

★ RTCLPC = 1，かつ超低消費発振（AMPHS1 = 1）設定時。

**6.** 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦$V_{DD}$≦5.5 V@1 MHz〜24 MHz

2.4 V≦$V_{DD}$≦5.5 V@1 MHz〜16 MHz

LS（低速メイン）モード　：1.8 V≦$V_{DD}$≦5.5 V@1 MHz〜8 MHz

LV（低電圧メイン）モード：1.6 V≦$V_{DD}$≦5.5 V@1 MHz〜4 MHz

**7.** STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

**備考1.** $f_{MX}$　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

**2.** $f_{HOCO}$：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

**3.** $f_{IH}$　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）

**4.** $f_{SUB}$　：サブシステム・クロック周波数（XT1クロック発振周波数）

**5.** 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，$T_A$ = 25 ℃です。

（$T_A$ = −40～+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略号 | 条　件 | | | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|---|---|
| 低速オンチップ・オシレータ動作電流 | $I_{FIL}$ 注1 | | | | | | 0.20 | | μA |
| RTC2動作電流 | $I_{RTC}$ 注1, 2, 3 | $f_{SUB}$ = 32.768 kHz | | | | | 0.02 | | μA |
| 12ビット・インターバル・タイマ動作電流 | $I_{TMKA}$ 注1, 2, 4 | | | | | | 0.04 | | μA |
| ウォッチドッグ・タイマ動作電流 | $I_{WDT}$ 注1, 2, 5 | $f_{IL}$ = 15 kHz | | | | | 0.22 | | μA |
| A/Dコンバータ動作電流 | $I_{ADC}$ 注1, 6 | 最高速変換時 | 標準モード，$AV_{REFP}$ = $V_{DD}$ = 5.0 V | | | | 1.3 | 1.7 | mA |
| | | | 低電圧モード，$AV_{REFP}$ = $V_{DD}$ = 3.0 V | | | | 0.5 | 0.7 | mA |
| A/Dコンバータ基準電圧電流 | $I_{ADREF}$ 注1 | | | | | | 75.0 | | μA |
| 温度センサ動作電流 | $I_{TMPS}$ 注1 | | | | | | 75.0 | | μA |
| LVD動作電流 | $I_{LVD}$ 注1, 7 | | | | | | 0.08 | | μA |
| コンパレータ動作電流 | $I_{CMP}$ 注1, 11 | $V_{DD}$ = 5.0 V, レギュレータ出力電圧 = 2.1 V | ウィンドウモード | | | | 12.5 | | μA |
| | | | コンパレータ高速モード | | | | 6.5 | | |
| | | | コンパレータ低速モード | | | | 1.7 | | |
| | | $V_{DD}$ = 5.0 V, レギュレータ出力電圧 = 1.8 V | ウィンドウモード | | | | 8.0 | | μA |
| | | | コンパレータ高速モード | | | | 4.0 | | |
| | | | コンパレータ低速モード | | | | 1.3 | | |
| セルフ・プログラミング動作電流 | $I_{FSP}$ 注1, 9 | | | | | | 2.00 | 12.20 | mA |
| BGO電流 | $I_{BGO}$ 注1, 8 | | | | | | 2.00 | 12.20 | mA |
| SNOOZE動作電流 | $I_{SNOZ}$ 注1 | ADC動作 | モード遷移中 注10 | | | | 0.50 | 0.60 | mA |
| | | | 変換動作中, 低電圧モード, $AV_{REFP}$ = $V_{DD}$ = 3.0 V | | | | 1.20 | 1.44 | |
| | | 簡易SPI（CSI）/UART動作 | | | | | 0.70 | 0.84 | mA |
| LCD動作電流 | $I_{LCD1}$ 注1, 12, 13 | 外部抵抗分割方式 | $f_{LCD}$ = $f_{SUB}$ LCDクロック = 128 Hz | 1/3バイアス, 4時分割 | $V_{DD}$ = 5.0 V, $V_{L4}$ = 5.0 V | | 0.04 | 0.20 | μA |
| | $I_{LCD2}$ 注1,12 | 内部昇圧方式 | $f_{LCD}$ = $f_{SUB}$ LCDクロック = 128 Hz | 1/3バイアス, 4時分割 | $V_{DD}$ = 3.0 V, $V_{L4}$ = 3.0 V (VLCD = 04H) | | 0.85 | 2.20 | μA |
| | | | | | $V_{DD}$ = 5.0 V, $V_{L4}$ = 5.1 V (VLCD = 12H) | | 1.55 | 3.70 | |
| | $I_{LCD3}$ 注1,12 | 容量分割方式 | $f_{LCD}$ = $f_{SUB}$ LCDクロック = 128 Hz | 1/3バイアス, 4時分割 | $V_{DD}$ = 3.0 V, $V_{L4}$ = 3.0 V | | 0.20 | 0.50 | |

（注，備考は次ページにあります。）

**注 1.** $V_{DD}$に流れる電流です。

**2.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。

**3.** リアルタイム・クロック2にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は，$I_{DD1}$または$I_{DD2}$に$I_{RTC}$を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時は$I_{FIL}$を加算してください。$I_{DD2}$のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。

**4.** 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，$I_{DD1}$または$I_{DD2}$に$I_{TMKA}$を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時は$I_{FIL}$を加算してください。

**5.** ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は，$I_{DD1}$，$I_{DD2}$または$I_{DD3}$に$I_{WDT}$を加算した値が，RL78マイクロコントローラの電流値となります。

**6.** A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時は$I_{DD1}$または$I_{DD2}$に$I_{ADC}$を加算した値が，RL78マイクロコントローラの電流値となります。

**7.** LVD 回路にのみ流れる電流です。LVD回路の動作時は，$I_{DD1}$，$I_{DD2}$または$I_{DD3}$に$I_{LVD}$を加算した値がRL78マイクロコントローラの電流値となります。

**8.** データ・フラッシュ書き換え時に流れる電流です。

**9.** セルフ・プログラミング時に流れる電流です。

**10.** SNOOZEモードへの移行時間は，**21. 3. 3　SNOOZEモード**を参照してください。

**11.** コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は，$I_{DD1}$，$I_{DD2}$または$I_{DD3}$に$I_{CMP}$を加算した値が，RL78マイクロコントローラの電流値となります。

**12.** LCDコントローラ／ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ／ドライバが動作中の場合，電源電流（$I_{DD1}$または$I_{DD2}$）にLCD動作電流（$I_{LCD1}$または$I_{LCD2}$または$I_{LCD3}$）を加算した値が，RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。TYP.値，MAX.値は以下の条件の値になります。

- 20端子をセグメント機能として設定し，全点灯
- システム・クロックに$f_{SUB}$選択，LCDクロック = 128 Hz時（LCDC0 = 07H）
- 4時分割，1/3バイアス設定

**13.** 外部抵抗分割方式使用時の外部分割抵抗に流れる電流は含みません。

**備考1.** $f_{IL}$　：低速オンチップ・オシレータ・クロック周波数

**2.** $f_{SUB}$　：サブシステム・クロック周波数（XT1クロック発振周波数）

**3.** $f_{CLK}$　：CPU／周辺ハードウエア・クロック周波数

**4.** TYP.値の温度条件は，$T_A$ = 25 ℃です。

## 32. 4　AC特性

（$T_A$ = −40〜+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|---|
| 命令サイクル（最小命令実行時間） | $T_{CY}$ | メイン・システム・クロック（$f_{MAIN}$）動作 | HS（高速メイン）モード | 2.7 V≦$V_{DD}$≦5.5 V | 0.0417 | | 1 | μs |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | 0.0625 | | 1 | μs |
| | | | LS（低速メイン）モード | 1.8 V≦$V_{DD}$≦5.5 V | 0. 125 | | 1 | μs |
| | | | LV（低電圧メイン)モード | 1.6 V≦$V_{DD}$≦5.5 V | 0.25 | | 1 | μs |
| | | サブシステム・クロック（$f_{SUB}$）動作[注] | | 1.8 V≦$V_{DD}$≦5.5 V | 28.5 | 30.5 | 31.3 | μs |
| | | セルフ・プログラミング時 | HS（高速メイン）モード | 2.7 V≦$V_{DD}$≦5.5 V | 0.0417 | | 1 | μs |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | 0.0625 | | 1 | μs |
| | | | LS（低速メイン）モード | 1.8 V≦$V_{DD}$≦5.5 V | 0.125 | | 1 | μs |
| | | | LV（低電圧メイン)モード | 1.8 V≦$V_{DD}$≦5.5 V | 0.25 | | 1 | μs |
| 外部システム・クロック周波数 | $f_{EX}$ | 2.7 V≦$V_{DD}$≦5.5 V | | | 1.0 | | 20.0 | MHz |
| | | 2.4 V≦$V_{DD}$<2.7 V | | | 1.0 | | 16.0 | MHz |
| | | 1.8 V≦$V_{DD}$<2.4 V | | | 1.0 | | 8.0 | MHz |
| | | 1.6 V≦$V_{DD}$<1.8 V | | | 1.0 | | 4.0 | MHz |
| | $f_{EXS}$ | | | | 32 | | 35 | kHz |
| 外部システム・クロック入力ハイ，ロウ・レベル幅 | $t_{EXH}$, $t_{EXL}$ | 2.7 V≦$V_{DD}$≦5.5 V | | | 24 | | | ns |
| | | 2.4 V≦$V_{DD}$<2.7 V | | | 30 | | | ns |
| | | 1.8 V≦$V_{DD}$<2.4 V | | | 60 | | | ns |
| | | 1.6 V≦$V_{DD}$<1.8 V | | | 120 | | | ns |
| | $t_{EXHS}$, $t_{EXLS}$ | | | | 13.7 | | | μs |
| TI00-TI07入力ハイ・レベル幅，ロウ・レベル幅 | $t_{TIH}$, $t_{TIL}$ | | | | 1/$f_{MCK}$＋10 | | | ns |
| TO00-TO07, TKBO00, TKBO01-0-TKBO01-2出力周波数 | $f_{TO}$ | HS（高速メイン）モード | | 4.0 V≦$V_{DD}$≦5.5 V | | | 12 | MHz |
| | | | | 2.7 V≦$V_{DD}$<4.0 V | | | 8 | MHz |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | | | 4 | MHz |
| | | LV（低電圧メイン)モード | | 1.6 V≦$V_{DD}$≦5.5 V | | | 2 | MHz |
| | | LS（低速メイン）モード | | 1.8 V≦$V_{DD}$≦5.5 V | | | 4 | MHz |
| PCLBUZ0, PCLBUZ1出力周波数 | $f_{PCL}$ | HS（高速メイン）モード | | 4.0 V≦$V_{DD}$≦5.5 V | | | 16 | MHz |
| | | | | 2.7 V≦$V_{DD}$<4.0 V | | | 8 | MHz |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | | | 4 | MHz |
| | | LV（低電圧メイン)モード | | 1.8 V≦$V_{DD}$≦5.5 V | | | 4 | MHz |
| | | | | 1.6 V≦$V_{DD}$<1.8 V | | | 2 | MHz |
| | | LS（低速メイン）モード | | 1.8 V≦$V_{DD}$≦5.5 V | | | 4 | MHz |
| 割り込み入力ハイ・レベル幅，ロウ・レベル幅 | $t_{INTH}$, $t_{INTL}$ | INTP0-INTP7 | | 1.6 V≦$V_{DD}$≦5.5 V | 1 | | | μs |
| キー割り込み入力ハイ・レベル幅，ロウ・レベル幅 | $t_{KRH}$, $t_{KRL}$ | KR0-KR7 | | 1.8 V≦$V_{DD}$≦5.5 V | 250 | | | ns |
| | | | | 1.6 V≦$V_{DD}$<1.8 V | 1 | | | μs |
| IH-PWM出力リスタート入力ハイ・レベル幅 | $t_{IHR}$ | INTP0-INTP7 | | | 2 | | | $f_{CLK}$ |
| TMKB2強制出力停止入力ハイ・レベル幅 | $t_{IHR}$ | INTP0-INTP2 | | | 2 | | | $f_{CLK}$ |
| $\overline{\text{RESET}}$ロウ・レベル幅 | $t_{RSL}$ | | | | 10 | | | μs |

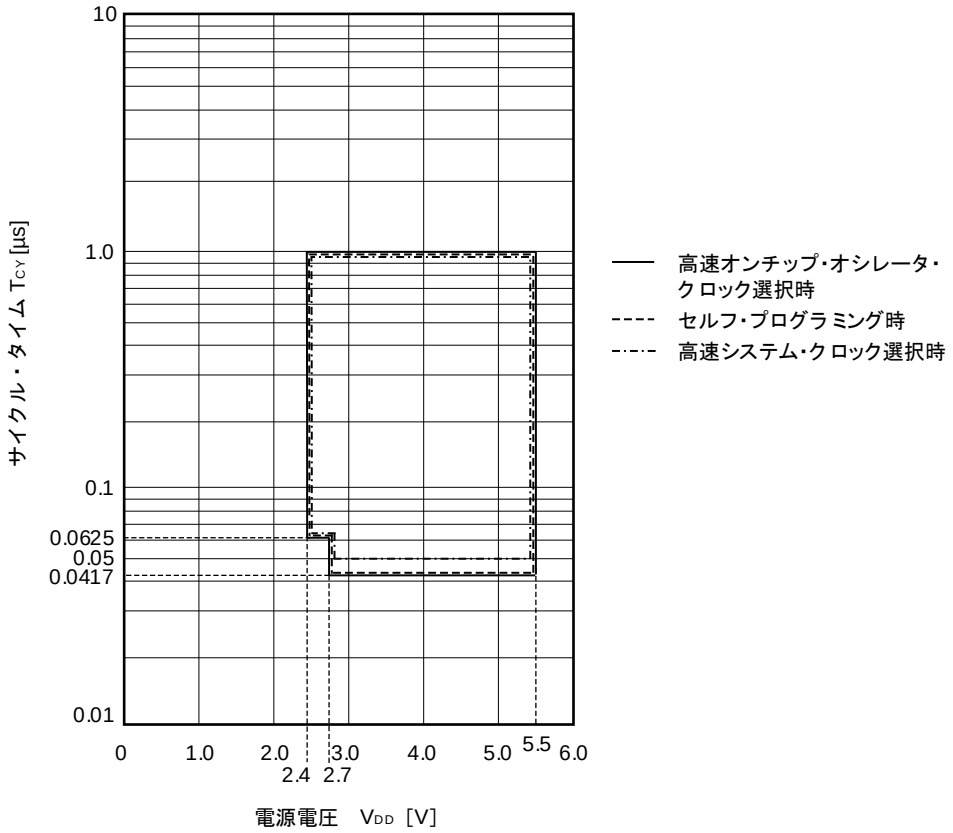
（注，備考は次ページにあります。）

**注**　サブシステム・クロック動作，LV（低電圧メイン）モード時の1.6 V≦$V_{DD}$<1.8 Vは動作不可です。

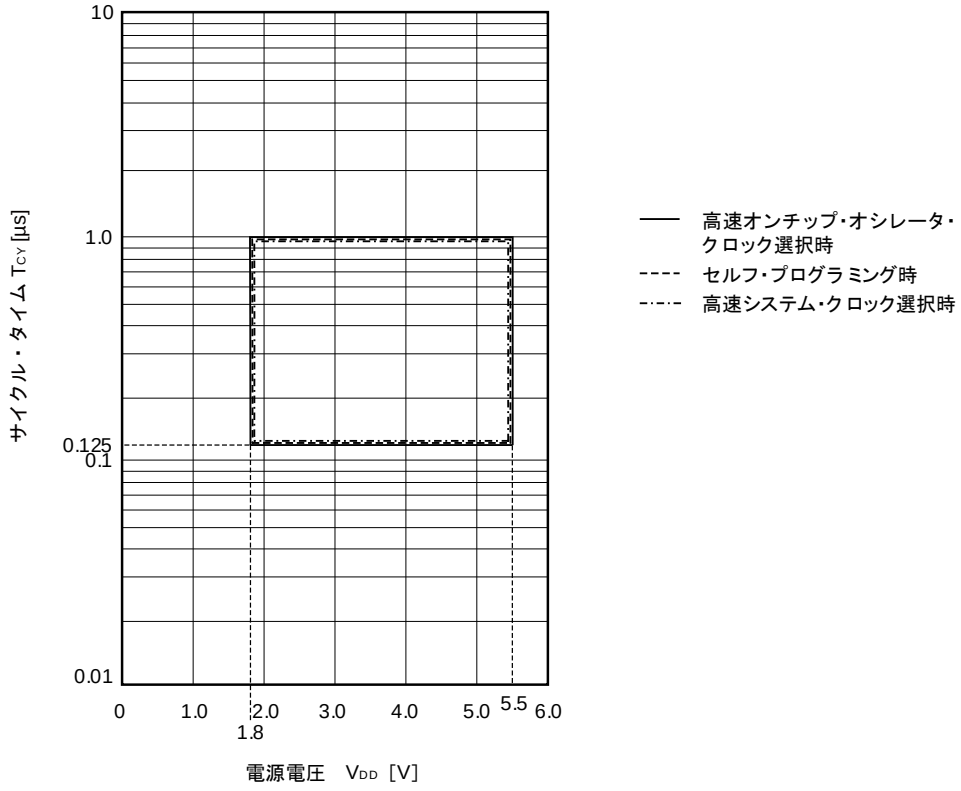
**備考**　$f_{MCK}$：タイマ・アレイ·ユニットの動作クロック周波数。
（タイマ・モード・レジスタmn（TMRmn）のCKSmn0, CKSmn1ビットで設定する動作クロック。
m：ユニット番号(m = 0)，n：チャネル番号（n = 0-7））

メイン・システム・クロック動作時の最小命令実行時間

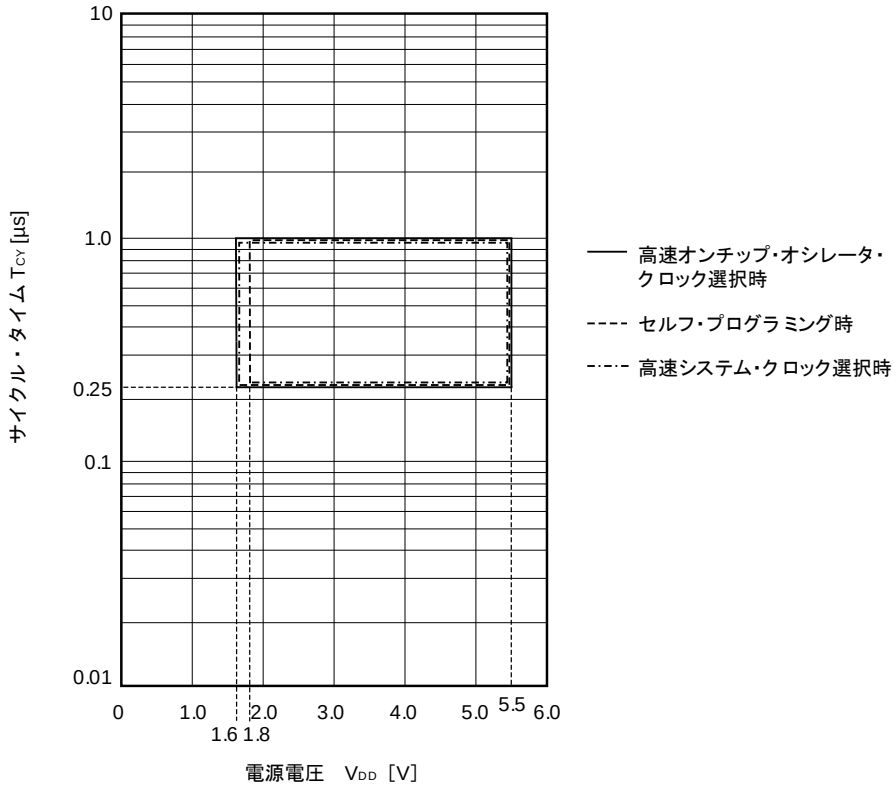
$T_{CY}$ vs $V_{DD}$（HS（高速メイン）モード）



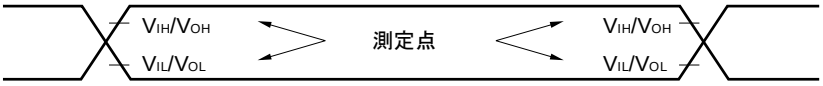
$T_{CY}$ vs $V_{DD}$（LS（低速メイン）モード）



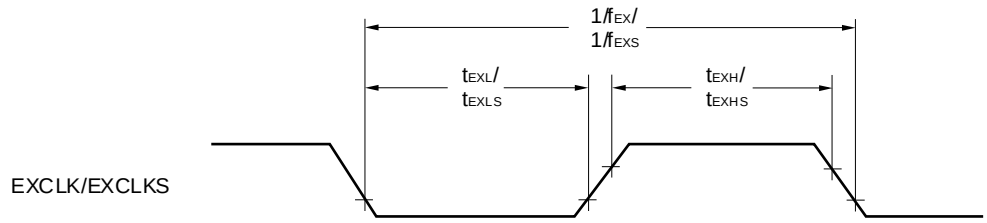

$T_{CY}$ vs $V_{DD}$（LV（低電圧メイン）モード）



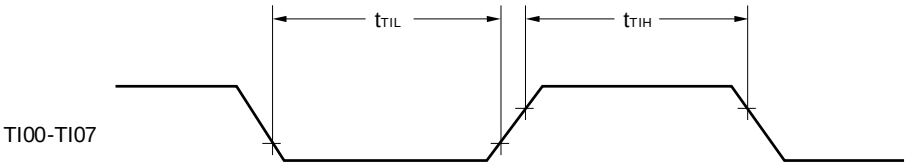
ACタイミング測定点

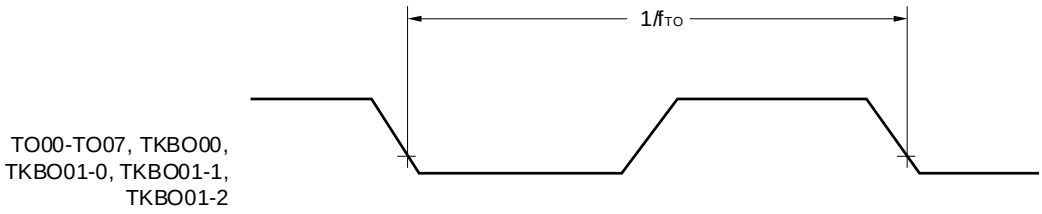



外部システム・クロック・タイミング

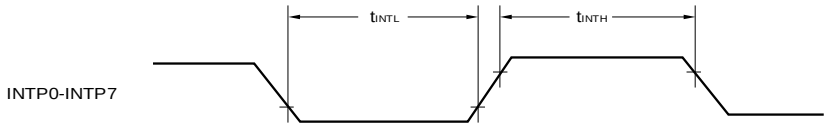



TI/TOタイミング

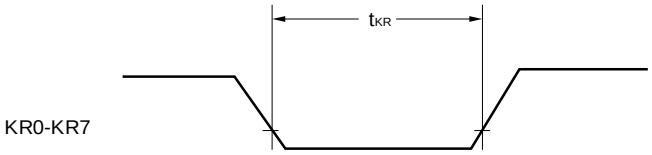


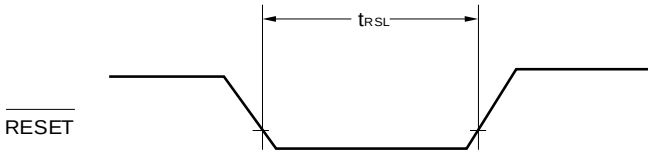
割り込み要求入力タイミング




キー割り込み入力タイミング

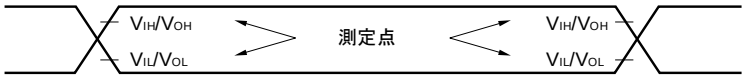



$\overline{\text{RESET}}$入力タイミング



# 32. 5　周辺機能特性

ACタイミング測定点




## 32. 5. 1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| 転送レート注1 | | 2.4 V≦$V_{DD}$≦5.5 V | | $f_{MCK}$/6 | | $f_{MCK}$/6 | | $f_{MCK}$/6 | bps |
| | | 最大転送レート理論値 $f_{MCK}$ = $f_{CLK}$注2 | | 4.0 | | 1.3 | | 0.6 | Mbps |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | $f_{MCK}$/6 | | $f_{MCK}$/6 | bps |
| | | 最大転送レート理論値 $f_{MCK}$ = $f_{CLK}$注2 | | – | | 1.3 | | 0.6 | Mbps |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | $f_{MCK}$/6 | bps |
| | | 最大転送レート理論値 $f_{MCK}$ = $f_{CLK}$注2 | | – | | – | | 0.6 | Mbps |

**注 1.**　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

**2.**　CPU／周辺ハードウエア・クロック（$f_{CLK}$）の最高動作周波数を次に示します。

HS（高速メイン）モード　：24 MHz（2.7 V≦$V_{DD}$≦5.5 V）

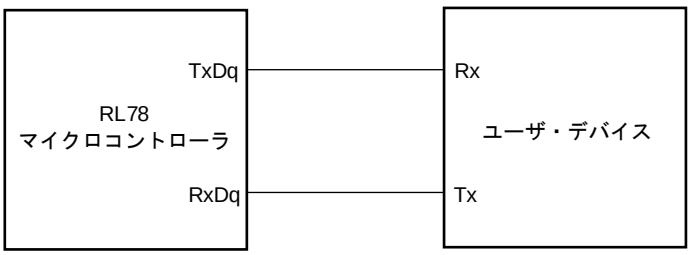
16 MHz（2.4 V≦$V_{DD}$≦5.5 V）

LS（低速メイン）モード　：8 MHz（1.8 V≦$V_{DD}$≦5.5 V）

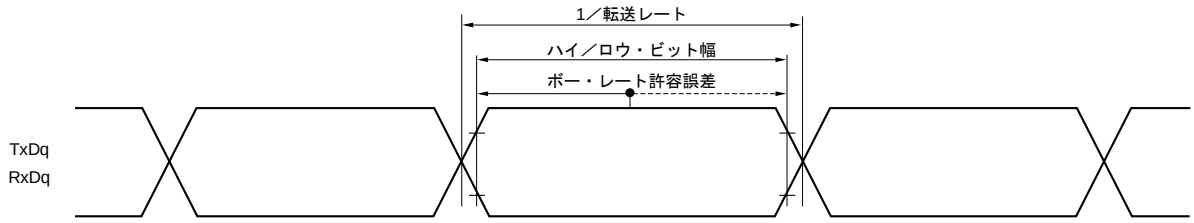
LV（低電圧メイン）モード　：4 MHz（1.6 V≦$V_{DD}$≦5.5 V）

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファ，TxDq端子は通常出力モードを選択。**

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）




**備考1.** q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3）

**2.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（2）同電位通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力）

（$T_A$ = −40〜+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCKpサイクル・タイム | $t_{KCY1}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 167注1 | | 500注1 | | 1000注1 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | 250注1 | | 500注1 | | 1000注1 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 500注1 | | 1000注1 | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | 1000注1 | | ns |
| SCKpハイ，ロウ・レベル幅 | $t_{KH1}$, $t_{KL1}$ | 4.0 V≦$V_{DD}$≦5.5 V | | $t_{KCY1}$/2−12 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 2.7 V≦$V_{DD}$≦5.5 V | | $t_{KCY1}$/2−18 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | $t_{KCY1}$/2−38 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | $t_{KCY1}$/2−100 | | ns |
| SIpセットアップ時間（対SCKp↑）注2 | $t_{SIK1}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 44 | | 110 | | 110 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | 75 | | 110 | | 110 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 110 | | 110 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | – | | 220 | | ns |
| SIpホールド時間（対SCKp↑）注2 | $t_{KSI1}$ | 2.4 V≦$V_{DD}$≦5.5 V | | 19 | | 19 | | 19 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 19 | | 19 | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | 19 | | ns |
| SCKp↓→SOp出力遅延時間注3 | $t_{KSO1}$ | C = 30 pF 注4 | 2.4 V≦$V_{DD}$≦5.5 V | | 25 | | 25 | | 25 | ns |
| | | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 25 | | 25 | ns |
| | | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | 25 | ns |

**注 1.** かつCSI00は2/$f_{CLK}$，CSI10は4/$f_{CLK}$以上に設定してください。

**2.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

**3.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

**4.** Cは，SCKp, SOp出力ラインの負荷容量です。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファ，SOp端子とSCKp端子は通常出力モードを選択。**

**備考 1.** p：CSI番号（p = 00, 10），m：ユニット番号（m = 0），
n：チャネル番号（n = 0, 2），g：PIM, POM番号（g = 0, 1）

**2.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 02））

（3）同電位通信時（簡易SPI（CSI）モード）（スレーブ・モード，SCKp…外部クロック入力）

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCKpサイクル・タイム[注4] | $t_{KCY2}$ | 4.0 V≦$V_{DD}$≦5.5 V | $f_{MCK}$＞20 MHz | 8/$f_{MCK}$ | | – | | – | | ns |
| | | | $f_{MCK}$≦20 MHz | 6/$f_{MCK}$ | | 6/$f_{MCK}$ | | 6/$f_{MCK}$ | | ns |
| | | 2.7 V≦$V_{DD}$≦5.5 V | $f_{MCK}$＞16 MHz | 8/$f_{MCK}$ | | – | | – | | ns |
| | | | $f_{MCK}$≦16 MHz | 6/$f_{MCK}$ | | 6/$f_{MCK}$ | | 6/$f_{MCK}$ | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | 6/$f_{MCK}$ かつ500 | | 6/$f_{MCK}$ | | 6/$f_{MCK}$ | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 6/$f_{MCK}$ | | 6/$f_{MCK}$ | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | 6/$f_{MCK}$ | | ns |
| SCKpハイ，ロウ・レベル幅 | $t_{KH2}$, $t_{KL2}$ | 4.0 V≦$V_{DD}$≦5.5 V | | $t_{KCY2}$/2−7 | | $t_{KCY2}$/2−7 | | $t_{KCY2}$/2−7 | | ns |
| | | 2.7 V≦$V_{DD}$≦5.5 V | | $t_{KCY2}$/2−8 | | $t_{KCY2}$/2−8 | | $t_{KCY2}$/2−8 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | $t_{KCY2}$/2−18 | | $t_{KCY2}$/2−18 | | $t_{KCY2}$/2−18 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | $t_{KCY2}$/2−18 | | $t_{KCY2}$/2−18 | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | $t_{KCY2}$/2−66 | | ns |
| SIpセットアップ時間（対SCKp↑）[注1] | $t_{SIK2}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 1/$f_{MCK}$+20 | | 1/$f_{MCK}$+30 | | 1/$f_{MCK}$+30 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | 1/$f_{MCK}$+30 | | 1/$f_{MCK}$+30 | | 1/$f_{MCK}$+30 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 1/$f_{MCK}$+30 | | 1/$f_{MCK}$+30 | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | 1/$f_{MCK}$+40 | | ns |
| SIpホールド時間（対SCKp↑）[注1] | $t_{KSI2}$ | 2.4 V≦$V_{DD}$≦5.5 V | | 1/$f_{MCK}$+31 | | 1/$f_{MCK}$+31 | | 1/$f_{MCK}$+31 | | ns |
| | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 1/$f_{MCK}$+31 | | 1/$f_{MCK}$+31 | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | 1/$f_{MCK}$+250 | | ns |
| SCKp↓→SOp出力遅延時間[注2] | $t_{KSO2}$ | C = 30 pF[注3] | 2.7 V≦$V_{DD}$≦5.5 V | | 2/$f_{MCK}$+44 | | 2/$f_{MCK}$+110 | | 2/$f_{MCK}$+110 | ns |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | | 2/$f_{MCK}$+75 | | 2/$f_{MCK}$+110 | | 2/$f_{MCK}$+110 | ns |
| | | | 1.8 V≦$V_{DD}$≦5.5 V | | – | | 2/$f_{MCK}$+110 | | 2/$f_{MCK}$+110 | ns |
| | | | 1.6 V≦$V_{DD}$≦5.5 V | | – | | – | | 2/$f_{MCK}$+220 | ns |

**注1.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

**2.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

**3.** Cは，SOp出力ラインの負荷容量です。

**4.** SNOOZEモードでの転送レートは，MAX.：1 Mbps

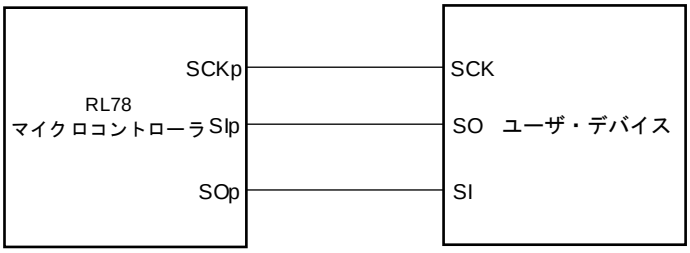
**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファ，SOp端子は通常出力モードを選択。**

**備考1.** p：CSI番号（p = 00, 10），m：ユニット番号（m = 0），n：チャネル番号（n = 0, 2），g：PIM, POM番号（g = 0, 1）

**2.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数

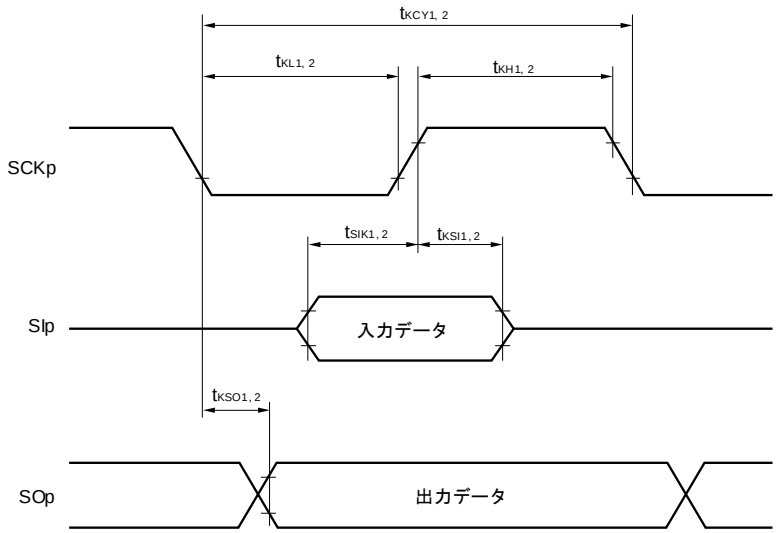
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 02））

簡易SPI（CSI）モード接続図（同電位通信時）



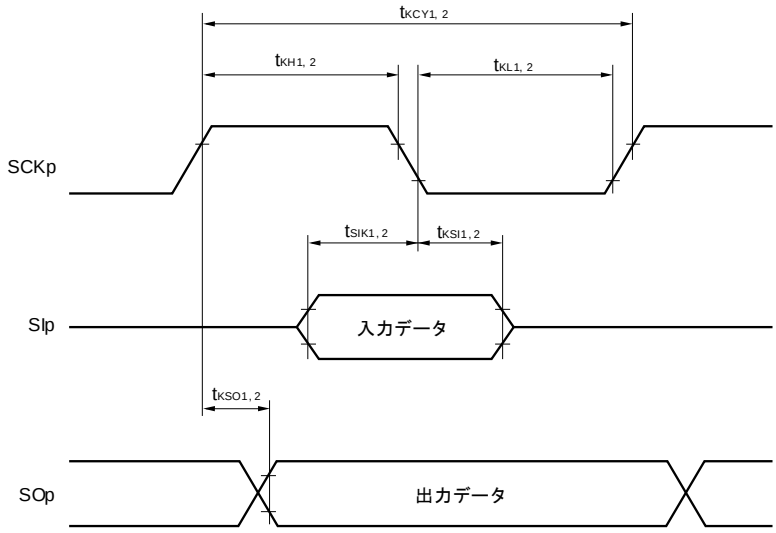

簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）




簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）




**備考1.**　p：CSI番号（p = 00, 10）

**2.**　m：ユニット番号，n：チャネル番号（mn = 00, 02）

（4）同電位通信時（簡易$I^2C$モード）

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCLrクロック周波数 | $f_{SCL}$ | 2.7 V≦$V_{DD}$≦5.5 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | | 1000注1 | | 400注1 | | 400注1 | kHz |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$≦5.5 V,<br>$C_b$ = 100 pF, $R_b$ = 3 kΩ | | 400注1 | | 400注1 | | 400注1 | kHz |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$＜2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | | 300注1 | | 300注1 | | 300注1 | kHz |
| | | 1.6 V≦$V_{DD}$＜1.8 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | | – | | – | | 250注1 | kHz |
| SCLr = ”L”のホールド・タイム | $t_{LOW}$ | 2.7 V≦$V_{DD}$≦5.5 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 475 | | 1150 | | 1150 | | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$≦5.5 V,<br>$C_b$ = 100 pF, $R_b$ = 3 kΩ | 1150 | | 1150 | | 1150 | | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$＜2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | 1550 | | 1550 | | 1550 | | ns |
| | | 1.6 V≦$V_{DD}$＜1.8 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | – | | – | | 1850 | | ns |
| SCLr = ”H”のホールド・タイム | $t_{HIGH}$ | 2.7 V≦$V_{DD}$≦5.5 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 475 | | 1150 | | 1150 | | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$≦5.5 V,<br>$C_b$ = 100 pF, $R_b$ = 3 kΩ | 1150 | | 1150 | | 1150 | | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$＜2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | 1550 | | 1550 | | 1550 | | ns |
| | | 1.6 V≦$V_{DD}$＜1.8 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | – | | – | | 1850 | | ns |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$＋85注2 | | 1/$f_{MCK}$＋145注2 | | 1/$f_{MCK}$＋145注2 | | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$≦5.5 V,<br>$C_b$ = 100 pF, $R_b$ = 3 kΩ | 1/$f_{MCK}$＋145注2 | | 1/$f_{MCK}$＋145注2 | | 1/$f_{MCK}$＋145注2 | | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$＜2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | 1/$f_{MCK}$＋230注2 | | 1/$f_{MCK}$＋230注2 | | 1/$f_{MCK}$＋230注2 | | ns |
| | | 1.6 V≦$V_{DD}$＜1.8 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | – | | – | | 1/$f_{MCK}$＋290注2 | | ns |
| データ・ホールド時間（送信時） | $t_{HD:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 0 | 305 | 0 | 305 | 0 | 305 | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$≦5.5 V,<br>$C_b$ = 100 pF, $R_b$ = 3 kΩ | 0 | 355 | 0 | 355 | 0 | 355 | ns |
| | | 1.8 V (2.4 V注3)≦$V_{DD}$＜2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | 0 | 405 | 0 | 405 | 0 | 405 | ns |
| | | 1.6 V≦$V_{DD}$＜1.8 V,<br>$C_b$ = 100 pF, $R_b$ = 5 kΩ | – | – | – | – | 0 | 405 | ns |

（注，注意，備考は次ページにあります。）

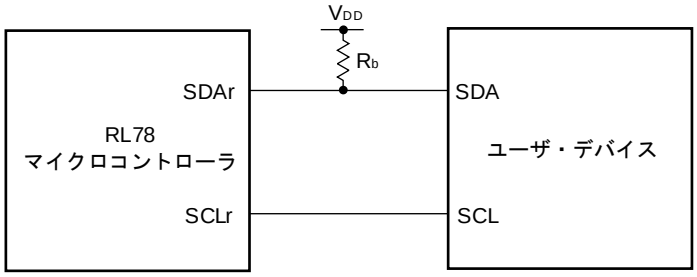
**注1.** かつ$f_{MCK}$/4以下に設定してください。

**2.** $f_{MCK}$値は，SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

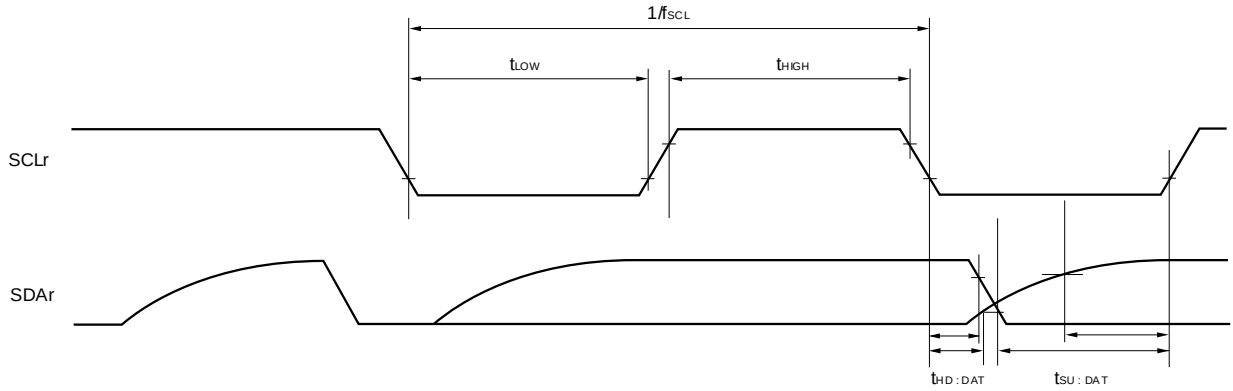
**3.** HS（高速メイン）モード時の条件です。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArは通常入力バッファ，N-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択，SCLrは通常出力モードを選択。**

簡易I²Cモード接続図（同電位通信時）




簡易I²Cモード・シリアル転送タイミング（同電位通信時）




**備考1.** $R_b$ [Ω]：通信ライン（SDAr）プルアップ抵抗値，$C_b$ [F]：通信ライン（SCLr, SDAr）負荷容量値

**2.** r：IIC番号（r = 00, 10），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0），n：チャネル番号（n = 0-3），mn = 00-03, 10-13）

（5）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（1/2）

（$T_A$ = −40～+85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| 転送レート | | 受信 | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | | $f_{MCK}$/6 注1 | | $f_{MCK}$/6 注1 | | $f_{MCK}$/6 注1 | bps |
| | | | 最大転送レート理論値<br>$f_{MCK}$ = $f_{CLK}$ 注3 | | 4.0 | | 1.3 | | 0.6 | Mbps |
| | | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | | $f_{MCK}$/6 注1 | | $f_{MCK}$/6 注1 | | $f_{MCK}$/6 注1 | bps |
| | | | 最大転送レート理論値<br>$f_{MCK}$ = $f_{CLK}$ 注3 | | 4.0 | | 1.3 | | 0.6 | Mbps |
| | | | 1.8 V (2.4 V 注4)≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | | $f_{MCK}$/6 注1, 2 | | $f_{MCK}$/6 注1, 2 | | $f_{MCK}$/6 注1, 2 | bps |
| | | | 最大転送レート理論値<br>$f_{MCK}$ = $f_{CLK}$ 注3 | | 4.0 | | 1.3 | | 0.6 | Mbps |

**注1.** SNOOZEモードでの転送レートは，4800 bpsのみとなります。

**2.** $V_{DD}$≧$V_b$で使用してください。

**3.** CPU／周辺ハードウエア・クロック（$f_{CLK}$）の最高動作周波数を次に示します。

HS（高速メイン）モード：　24 MHz（2.7 V≦$V_{DD}$≦5.5 V）

16 MHz（2.4 V≦$V_{DD}$≦5.5 V）

LS（低速メイン）モード：　8 MHz（1.8 V≦$V_{DD}$≦5.5 V）

LV（低電圧メイン）モード：4 MHz（1.6 V≦$V_{DD}$≦5.5 V）

**4.** HS（高速メイン）モード時の条件です。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

**備考1.** $V_b$ [V]：通信ライン電圧

**2.** q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（5）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（2/2）

（$T_A$ = −40～+85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| 転送レート | | 送信 | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | | 注1 | | 注1 | | 注1 | bps |
| | | | 最大転送レート理論値<br>（$C_b$ = 50 pF, $R_b$ = 1.4 kΩ, $V_b$ = 2.7 V） | | 2.8注2 | | 2.8注2 | | 2.8注2 | Mbps |
| | | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | | 注3 | | 注3 | | 注3 | bps |
| | | | 最大転送レート理論値<br>（$C_b$ = 50 pF, $R_b$ = 2.7 kΩ, $V_b$ = 2.3 V） | | 1.2注4 | | 1.2注4 | | 1.2注4 | Mbps |
| | | | 1.8V (2.4 V注8)≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | | 注5, 6 | | 注5, 6 | | 注5, 6 | bps |
| | | | 最大転送レート理論値<br>（$C_b$ = 50 pF, $R_b$ = 5.5 kΩ, $V_b$ = 1.6 V） | | 0.43注7 | | 0.43注7 | | 0.43注7 | Mbps |

**注1.** $f_{MCK}$/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

**2.** この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

**3.** $f_{MCK}$/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

**4.** この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

**5.** $V_{DD}$≧$V_b$で使用してください。

**注6.** $f_{MCK}$/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

1.8 V (2.4 V[注8])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

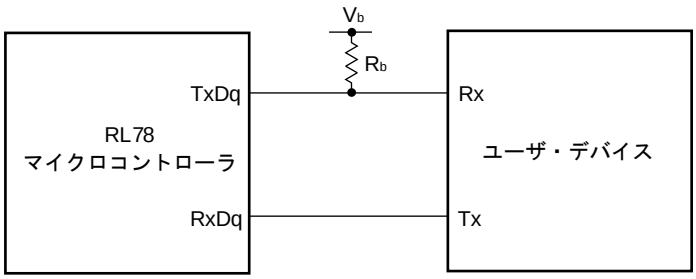
※この値は送信側と受信側の相対差の理論値となります。

**7.** この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

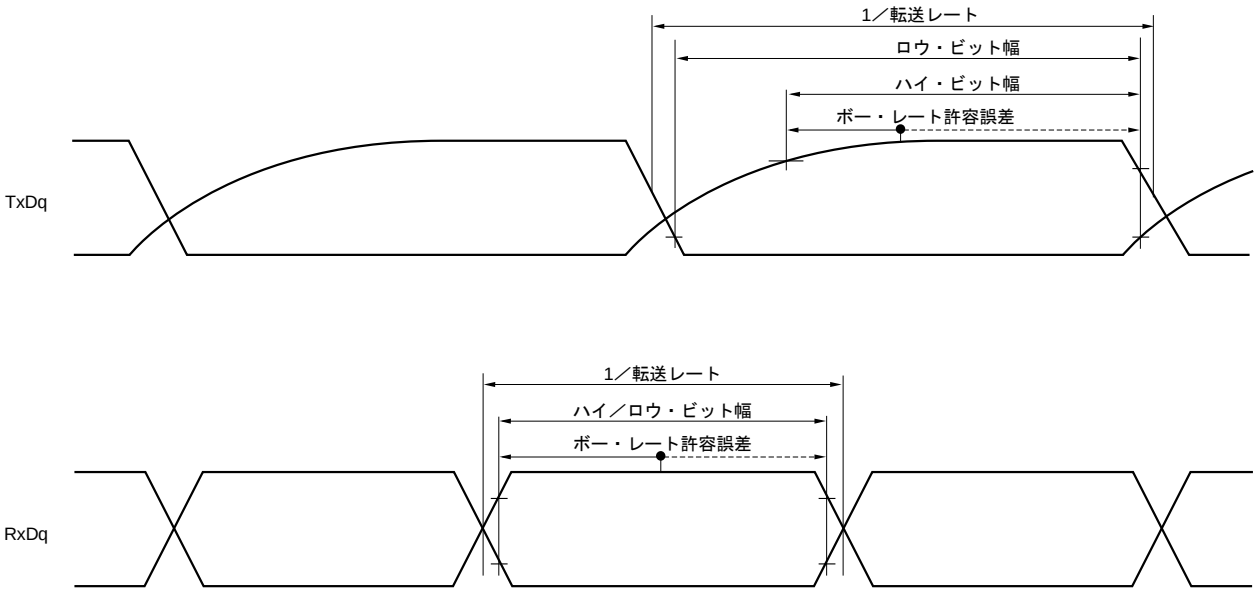
**8.** HS（高速メイン）モード時の条件です。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）




**備考1.** $R_b$ [Ω]：通信ライン（TxDq）プルアップ抵抗値，$C_b$ [F]：通信ライン（TxDq）負荷容量値，$V_b$ [V]：通信ライン電圧

**2.** q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（6）異電位（2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）

（$T_A$ = −40～+85 ℃，2.7 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCKpサイクル・タイム | $t_{KCY1}$ | $t_{KCY1}$≧2/$f_{CLK}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | 200 | | 1150 | | 1150 | | ns |
| | | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | 300 | | 1150 | | 1150 | | ns |
| SCKpハイ・レベル幅 | $t_{KH1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | $t_{KCY1}$/2−120 | | $t_{KCY1}$/2−120 | | $t_{KCY1}$/2−120 | | ns |
| SCKpロウ・レベル幅 | $t_{KL1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | $t_{KCY1}$/2−7 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | $t_{KCY1}$/2−10 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| SIpセットアップ時間（対SCKp↑）注1 | $t_{SIK1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | 58 | | 479 | | 479 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | 121 | | 479 | | 479 | | ns |
| SIpホールド時間（対SCKp↑）注1 | $t_{KSI1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | 10 | | 10 | | 10 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | 10 | | 10 | | 10 | | ns |
| SCKp↓→SOp出力遅延時間注1 | $t_{KSO1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | | 60 | | 60 | | 60 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | | 130 | | 130 | | 130 | ns |
| SIpセットアップ時間（対SCKp↓）注2 | $t_{SIK1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | 23 | | 110 | | 110 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | 33 | | 110 | | 110 | | ns |
| SIpホールド時間（対SCKp↓）注2 | $t_{KSI1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | 10 | | 10 | | 10 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | 10 | | 10 | | 10 | | ns |
| SCKp↑→SOp出力遅延時間注2 | $t_{KSO1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 20 pF, $R_b$ = 1.4 kΩ | | | 10 | | 10 | | 10 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 20 pF, $R_b$ = 2.7 kΩ | | | 10 | | 10 | | 10 | ns |

（注，注意，備考は次ページにあります。）

**注1.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

**2.** DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

**備考1.** $R_b$ [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，$C_b$ [F]：通信ライン（SCKp, SOp）負荷容量値，$V_b$ [V]：通信ライン電圧

**2.** p：CSI番号（p = 00），m：ユニット番号（m = 0），n：チャネル番号（n = 0），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

**4.** このスペックは，CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

（7）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力）（1/2）

（$T_A$ = −40～+85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCKp サイクル・タイム | $t_{KCY1}$ | $t_{KCY1}$≧4/$f_{CLK}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 300 | | 1150 | | 1150 | | ns |
| | | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 500 | | 1150 | | 1150 | | ns |
| | | | 1.8 V (2.4 V[注1])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦1.8 V[注2], $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 1150 | | 1150 | | 1150 | | ns |
| SCKpハイ・レベル幅 | $t_{KH1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | $t_{KCY1}$/2−75 | | $t_{KCY1}$/2−75 | | $t_{KCY1}$/2−75 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | $t_{KCY1}$/2−170 | | $t_{KCY1}$/2−170 | | $t_{KCY1}$/2−170 | | ns |
| | | 1.8 V (2.4 V[注1])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注2], $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | $t_{KCY1}$/2−458 | | $t_{KCY1}$/2−458 | | $t_{KCY1}$/2−458 | | ns |
| SCKpロウ・レベル幅 | $t_{KL1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | $t_{KCY1}$/2−12 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | $t_{KCY1}$/2−18 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| | | 1.8 V (2.4 V[注1])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注2], $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | $t_{KCY1}$/2−50 | | ns |
| SIpセットアップ時間（対SCKp↑）[注3] | $t_{SIK1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | 81 | | 479 | | 479 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | 177 | | 479 | | 479 | | ns |
| | | 1.8 V (2.4 V[注1])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注2], $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | 479 | | 479 | | 479 | | ns |
| SIpホールド時間（対SCKp↑）[注3] | $t_{KSI1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | 19 | | 19 | | 19 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | 19 | | 19 | | 19 | | ns |
| | | 1.8 V (2.4 V[注1])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注2], $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | 19 | | 19 | | 19 | | ns |
| SCKp↓→SOp出力遅延時間[注3] | $t_{KSO1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | | 100 | | 100 | | 100 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | | 195 | | 195 | | 195 | ns |
| | | 1.8 V (2.4 V[注1])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注2], $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | | 483 | | 483 | | 483 | ns |

（注，注意，備考は次ページにあります。）

（7）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力）（2/2）

（$T_A$ = −40〜+85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SIpセットアップ時間（対SCKp↓）注4 | $t_{SIK1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 44 | | 110 | | 110 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 44 | | 110 | | 110 | | ns |
| | | 1.8 V (2.4 V注1)≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V注2, $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 110 | | 110 | | 110 | | ns |
| SIpホールド時間（対SCKp↓）注4 | $t_{KSI1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 19 | | 19 | | 19 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 19 | | 19 | | 19 | | ns |
| | | 1.8 V (2.4 V注1)≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V注2, $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 19 | | 19 | | 19 | | ns |
| SCKp↑→SOp出力遅延時間注4 | $t_{KSO1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | 25 | | 25 | | 25 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | 25 | | 25 | | 25 | ns |
| | | 1.8 V (2.4 V注1)≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V注2, $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | 25 | | 25 | | 25 | ns |

**注1.** HS（高速メイン）モード時の条件です。

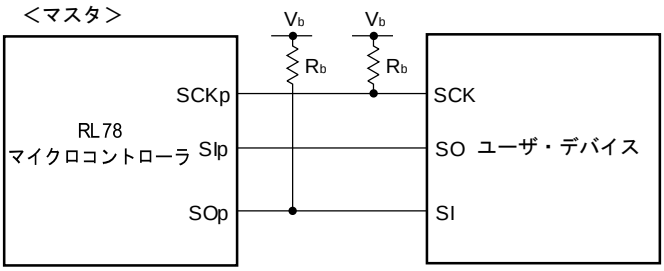
**2.** $V_{DD}$≧$V_b$で使用してください。

**3.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

**4.** DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

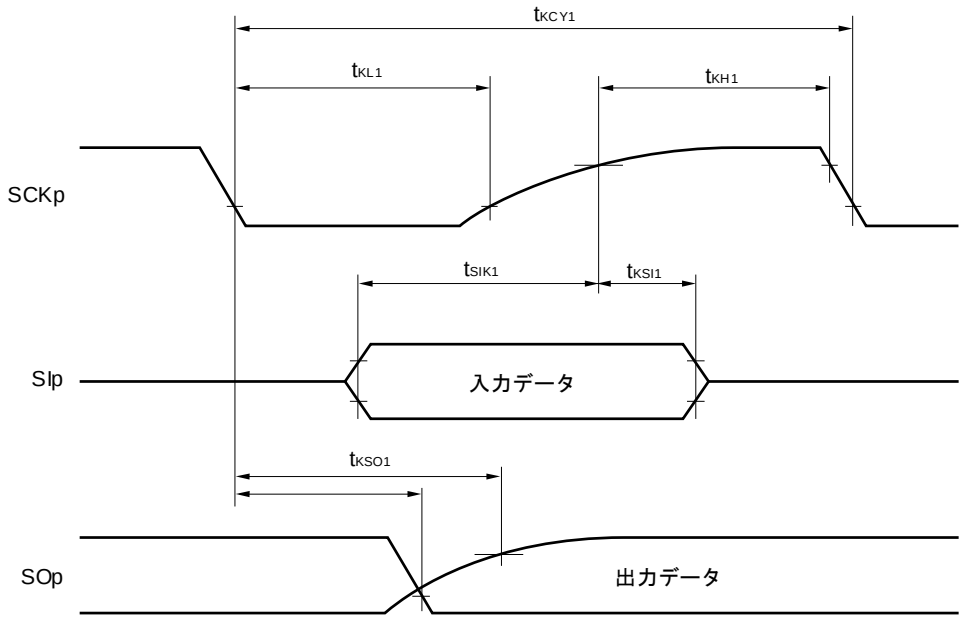
**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

簡易SPI（CSI）モード接続図（異電位通信時）



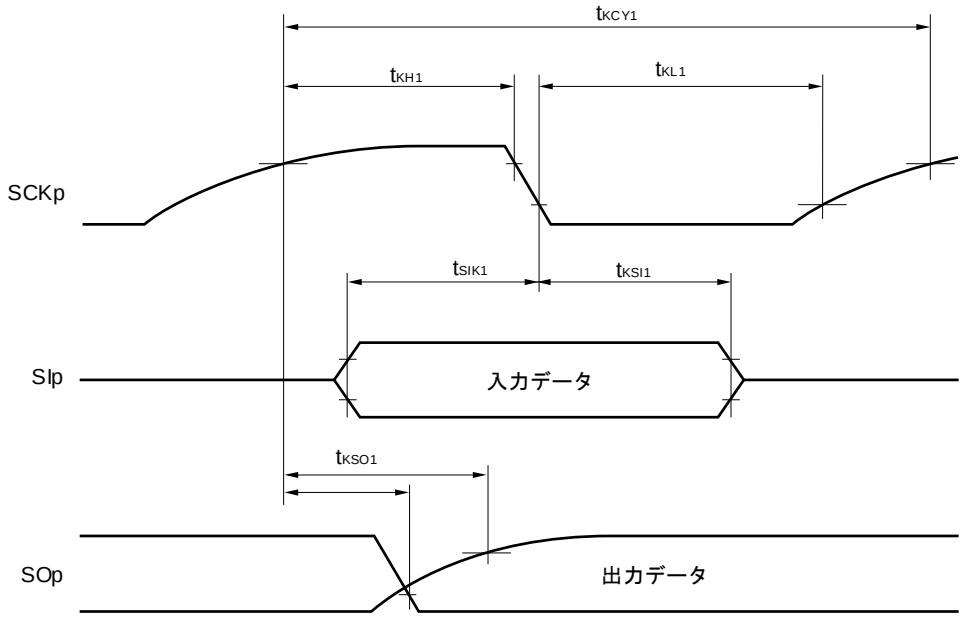
簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）




簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）




**備考1.** $R_b$ [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，$C_b$ [F]：通信ライン（SCKp, SOp）負荷容量値，$V_b$ [V]：通信ライン電圧

**2.** p：CSI番号（p = 00, 10），m：ユニット番号，n：チャネル番号（mn = 00, 02），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（8）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（スレーブ・モード，SCKp…外部クロック入力）

（$T_A$ = −40～+85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCKp サイクル・タイム[注1] | $t_{KCY2}$ | 4.0 V ≦ $V_{DD}$ ≦ 5.5 V, 2.7 V≦$V_b$≦4.0 V | 20 MHz＜$f_{MCK}$ | 12/$f_{MCK}$ | | – | | – | | ns |
| | | | 8 MHz＜$f_{MCK}$≦20 MHz | 10/$f_{MCK}$ | | – | | – | | ns |
| | | | 4 MHz＜$f_{MCK}$≦8 MHz | 8/$f_{MCK}$ | | 16/$f_{MCK}$ | | – | | ns |
| | | | $f_{MCK}$≦4 MHz | 6/$f_{MCK}$ | | 10/$f_{MCK}$ | | 10/$f_{MCK}$ | | ns |
| | | 2.7 V ≦ $V_{DD}$ ＜ 4.0 V, 2.3 V≦$V_b$≦2.7 V | 20 MHz＜$f_{MCK}$ | 16/$f_{MCK}$ | | – | | – | | ns |
| | | | 16 MHz＜$f_{MCK}$≦20 MHz | 14/$f_{MCK}$ | | – | | – | | ns |
| | | | 8 MHz＜$f_{MCK}$≦16 MHz | 12/$f_{MCK}$ | | – | | – | | ns |
| | | | 4 MHz＜$f_{MCK}$≦8 MHz | 8/$f_{MCK}$ | | 16/$f_{MCK}$ | | – | | ns |
| | | | $f_{MCK}$≦4 MHz | 6/$f_{MCK}$ | | 10/$f_{MCK}$ | | 10/$f_{MCK}$ | | ns |
| | | 1.8 V (2.4 V[注2]) ≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注3] | 20 MHz＜$f_{MCK}$ | 36/$f_{MCK}$ | | – | | – | | ns |
| | | | 16 MHz＜$f_{MCK}$≦20 MHz | 32/$f_{MCK}$ | | – | | – | | ns |
| | | | 8 MHz＜$f_{MCK}$≦16 MHz | 26/$f_{MCK}$ | | – | | – | | ns |
| | | | 4 MHz＜$f_{MCK}$≦8 MHz | 16/$f_{MCK}$ | | 16/$f_{MCK}$ | | – | | ns |
| | | | $f_{MCK}$≦4 MHz | 10/$f_{MCK}$ | | 10/$f_{MCK}$ | | 10/$f_{MCK}$ | | ns |
| SCKpハイ，ロウ・レベル幅 | $t_{KH2}$, $t_{KL2}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V | | $t_{KCY2}$/2 −12 | | $t_{KCY2}$/2 −50 | | $t_{KCY2}$/2 −50 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V | | $t_{KCY2}$/2 −18 | | $t_{KCY2}$/2 −50 | | $t_{KCY2}$/2 −50 | | ns |
| | | 1.8 V(2.4 V[注2])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注3] | | $t_{KCY2}$/2 −50 | | $t_{KCY2}$/2 −50 | | $t_{KCY2}$/2 −50 | | ns |
| Slpセットアップ時間（対SCKp↑）[注4] | $t_{SIK2}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V | | 1/$f_{MCK}$ +20 | | 1/$f_{MCK}$ +30 | | 1/$f_{MCK}$ +30 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V | | 1/$f_{MCK}$ +20 | | 1/$f_{MCK}$ +30 | | 1/$f_{MCK}$ +30 | | ns |
| | | 1.8 V(2.4 V[注2])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注3] | | 1/$f_{MCK}$ +30 | | 1/$f_{MCK}$ +30 | | 1/$f_{MCK}$ +30 | | ns |
| Slpホールド時間（対SCKp↑）[注4] | $t_{KSI2}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V | | 1/$f_{MCK}$ +31 | | 1/$f_{MCK}$ +31 | | 1/$f_{MCK}$ +31 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V | | 1/$f_{MCK}$ +31 | | 1/$f_{MCK}$ +31 | | 1/$f_{MCK}$ +31 | | ns |
| | | 1.8 V(2.4 V[注2])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注3] | | 1/$f_{MCK}$ +31 | | 1/$f_{MCK}$ +31 | | 1/$f_{MCK}$ +31 | | ns |
| SCKp↓→SOp出力遅延時間[注5] | $t_{KSO2}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | | 2/$f_{MCK}$+ 120 | | 2/$f_{MCK}$+ 573 | | 2/$f_{MCK}$+ 573 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | | 2/$f_{MCK}$+ 214 | | 2/$f_{MCK}$+ 573 | | 2/$f_{MCK}$+ 573 | ns |
| | | 1.8 V(2.4 V[注2])≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V[注3], $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | | 2/$f_{MCK}$+ 573 | | 2/$f_{MCK}$+ 573 | | 2/$f_{MCK}$+ 573 | ns |

（注，注意，備考は次ページにあります。）

**注1.** SNOOZEモードでの転送レートは，MAX.：1 Mbps

**2.** HS（高速メイン）モード時の条件です。

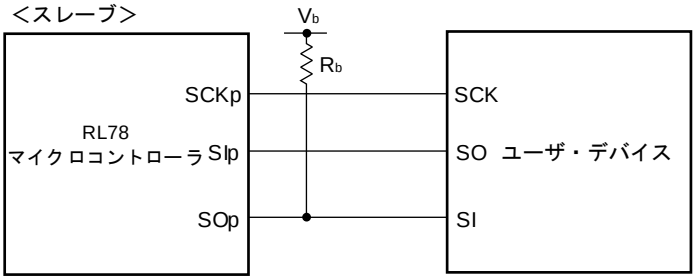
**3.** $V_{DD} \geqq V_b$で使用してください。

**4.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

**5.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

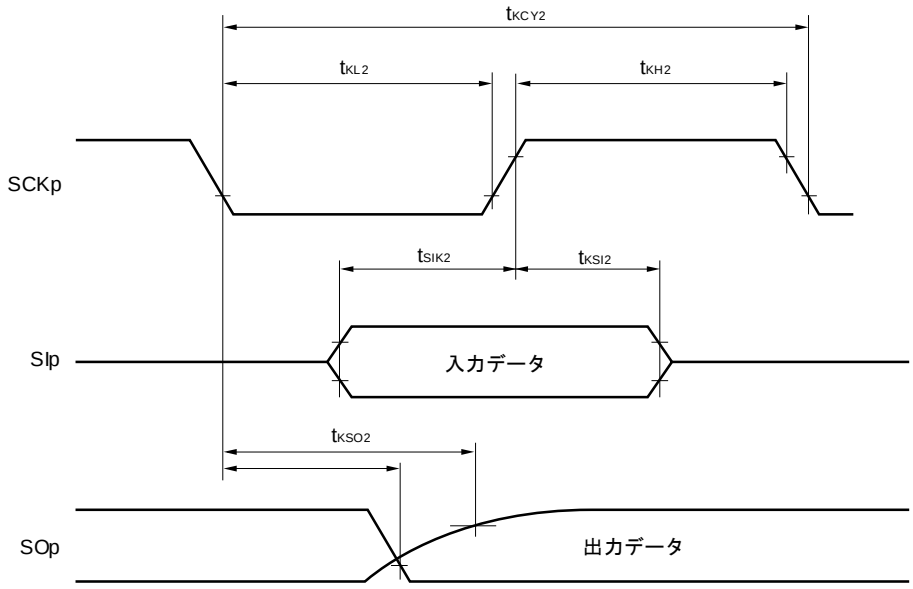
**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子はTTL入力バッファ，SOp端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

簡易SPI（CSI）モード接続図（異電位通信時）



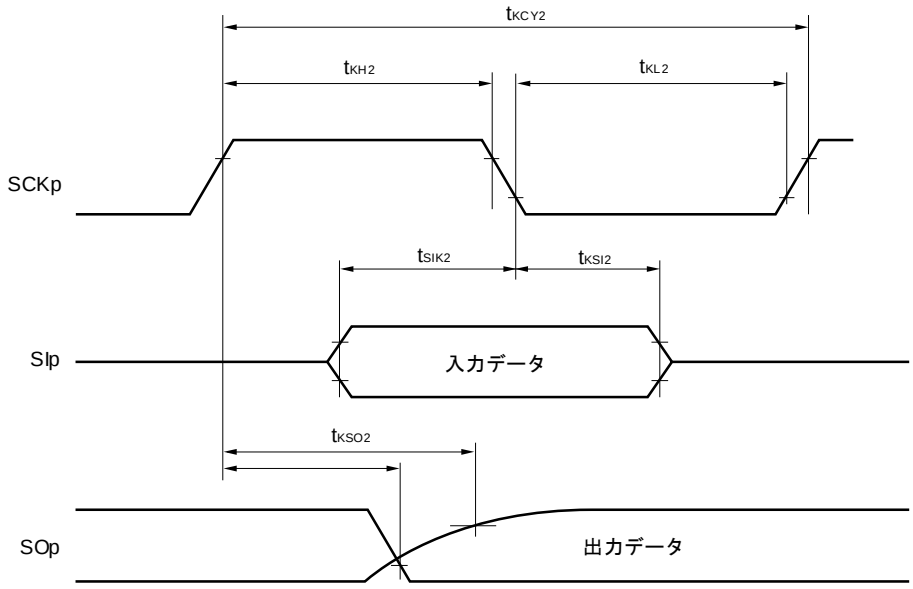
簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）




簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）




**備考1.** $R_b$ [Ω]：通信ライン（SOp）プルアップ抵抗値，$C_b$ [F]：通信ライン（SOp）負荷容量値，
Vb [V]：通信ライン電圧

**2.** p：CSI番号（p = 00, 10），m：ユニット番号，n：チャネル番号（mn = 00, 02），
g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号（mn = 00, 02））

（9）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易$I^2C$モード）（1/2）

（$T_A$ = −40～+85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCLrクロック周波数 | $f_{SCL}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | | 1000注1 | | 300注1 | | 300注1 | kHz |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | | 1000注1 | | 300注1 | | 300注1 | kHz |
| | | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 100 pF, $R_b$ = 2.8 kΩ | | 400注1 | | 300注1 | | 300注1 | kHz |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 2.7 kΩ | | 400注1 | | 300注1 | | 300注1 | kHz |
| | | 1.8 V (2.4 V注2) ≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V注3,<br>$C_b$ = 100 pF, $R_b$ = 5.5 kΩ | | 300注1 | | 300注1 | | 300注1 | kHz |
| SCLr = "L"のホールド・タイム | $t_{LOW}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 475 | | 1550 | | 1550 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 475 | | 1550 | | 1550 | | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 1150 | | 1550 | | 1550 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 1150 | | 1550 | | 1550 | | ns |
| | | 1.8 V (2.4 V注2) ≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V注3,<br>$C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 1550 | | 1550 | | 1550 | | ns |
| SCLr = "H"のホールド・タイム | $t_{HIGH}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 245 | | 610 | | 610 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 200 | | 610 | | 610 | | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 675 | | 610 | | 610 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 600 | | 610 | | 610 | | ns |
| | | 1.8 V (2.4 V注2) ≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V注3,<br>$C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 610 | | 610 | | 610 | | ns |

（注，注意は次ページ，備考は次々ページにあります。）

（9）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易$I^2C$モード）（2/2）

（$T_A$ = −40～+85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$＋135[注4] | | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$＋135[注4] | | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | ns |
| | | 1.8 V (2.4 V[注2]) ≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V[注3],<br>$C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | 1/$f_{MCK}$＋190[注4] | | ns |
| データ・ホールド時間（送信時） | $t_{HD:DAT}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 0 | 305 | 0 | 305 | 0 | 305 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 0 | 305 | 0 | 305 | 0 | 305 | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 0 | 355 | 0 | 355 | 0 | 355 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 0 | 355 | 0 | 355 | 0 | 355 | ns |
| | | 1.8 V (2.4 V[注2]) ≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V[注3],<br>$C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 0 | 405 | 0 | 405 | 0 | 405 | ns |

**注 1.**　かつ$f_{MCK}$/4以下に設定してください。

**2.**　HS（高速メイン）モード時の条件です。

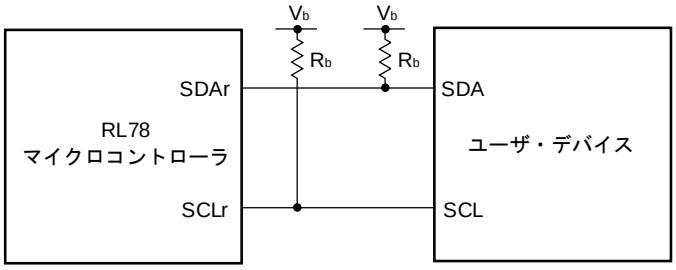
**3.**　$V_{DD}$≧$V_b$で使用してください。

**4.**　$f_{MCK}$値は，SCLr = “L”とSCLr = “H”のホールド・タイムを超えない設定にしてください。

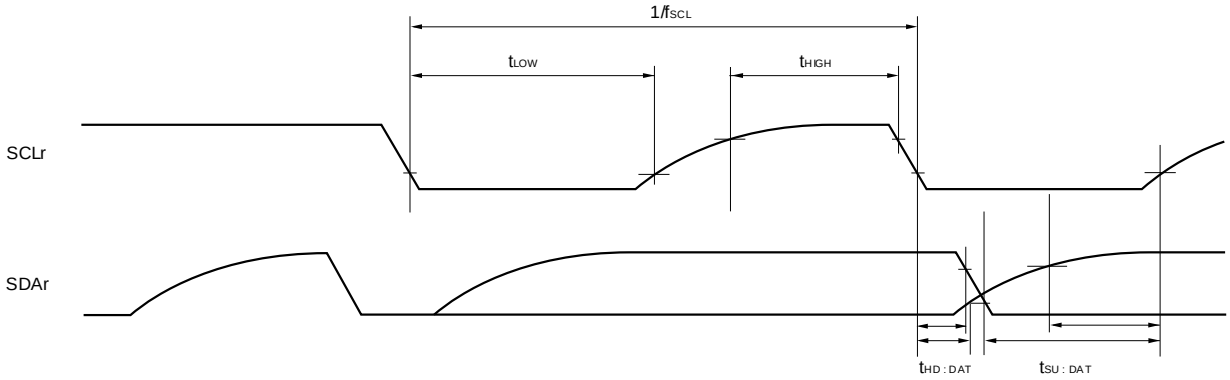
**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択，SCLrはN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

（備考は次ページにあります。）

簡易$I^2C$モード接続図（異電位通信時）




簡易$I^2C$モード・シリアル転送タイミング（異電位通信時）




**備考1.** $R_b$ [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，$C_b$ [F]：通信ライン（SDAr, SCLr）負荷容量値，$V_b$ [V]：通信ライン電圧

**2.** r：IIC番号（r = 00, 10），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数

（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 02））

## 32. 5. 2 シリアル・インタフェースIICA

（1）I²C標準モード（1/2）

（$T_A$ = −40～+85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項目 | 略号 | 条件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCLA0クロック周波数 | $f_{SCL}$ | 標準モード：$f_{CLK}$≧1 MHz | 2.7 V≦$V_{DD}$≦5.5 V | 0 | 100 | 0 | 100 | 0 | 100 | kHz |
| | | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | 0 | 100 | 0 | 100 | 0 | 100 | kHz |
| | | | 1.6 V≦$V_{DD}$≦5.5 V | – | – | – | – | 0 | 100 | kHz |
| リスタート・コンディションのセットアップ時間 | $t_{SU:STA}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 4.7 | | 4.7 | | 4.7 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 4.7 | | 4.7 | | 4.7 | | μs |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | – | – | – | 4.7 | | μs |
| ホールド時間[注1] | $t_{HD:STA}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 4.0 | | 4.0 | | 4.0 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 4.0 | | 4.0 | | 4.0 | | μs |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | – | – | – | 4.0 | | μs |
| SCLA0 = ”L”のホールド・タイム | $t_{LOW}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 4.7 | | 4.7 | | 4.7 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 4.7 | | 4.7 | | 4.7 | | μs |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | – | – | – | 4.7 | | μs |
| SCLA0 = ”H”のホールド・タイム | $t_{HIGH}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 4.0 | | 4.0 | | 4.0 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 4.0 | | 4.0 | | 4.0 | | μs |
| | | 1.6 V≦$V_{DD}$≦5.5 V | | – | – | – | – | 4.0 | | μs |

（注，注意，備考は次ページにあります。）

（1）I²C標準モード（2/2）

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V | 250 | | 250 | | 250 | | ns |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | 250 | | 250 | | 250 | | ns |
| | | 1.6 V≦$V_{DD}$≦5.5 V | – | – | – | – | 250 | | ns |
| データ・ホールド時間（送信時）[注2] | $t_{HD:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V | 0 | 3.45 | 0 | 3.45 | 0 | 3.45 | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | 0 | 3.45 | 0 | 3.45 | 0 | 3.45 | μs |
| | | 1.6 V≦$V_{DD}$≦5.5 V | – | – | – | – | 0 | 3.45 | μs |
| ストップ・コンディションのセットアップ時間 | $t_{SU:STO}$ | 2.7 V≦$V_{DD}$≦5.5 V | 4.0 | | 4.0 | | 4.0 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | 4.0 | | 4.0 | | 4.0 | | μs |
| | | 1.6 V≦$V_{DD}$≦5.5 V | – | – | – | – | 4.0 | | μs |
| パス・フリー時間 | $t_{BUF}$ | 2.7 V≦$V_{DD}$≦5.5 V | 4.7 | | 4.7 | | 4.7 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | 4.7 | | 4.7 | | 4.7 | | μs |
| | | 1.6 V≦$V_{DD}$≦5.5 V | – | – | – | – | 4.7 | | μs |

**注1.** スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

**2.** $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

**3.** HS（高速メイン）モード時の条件です。

**注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット2（PIOR2）が1の場合も，上記の値を適用できます。ただし，端子特性（$I_{OH1}$, $I_{OL1}$, $V_{OH1}$, $V_{OL1}$）はリダイレクト先の値を満たしてください。**

**備考**　各モードにおける$C_b$（通信ライン容量）のMAX.値と，そのときの$R_b$（通信ライン・プルアップ抵抗値）の値は次のとおりです。

標準モード：$C_b$ = 400 pF, $R_b$ = 2.7 kΩ

（2）I²Cファースト・モード

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCLA0クロック周波数 | $f_{SCL}$ | ファースト・モード：$f_{CLK}$≧3.5 MHz | 2.7 V≦$V_{DD}$≦5.5 V | 0 | 400 | 0 | 400 | 0 | 400 | kHz |
| | | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | 0 | 400 | 0 | 400 | 0 | 400 | kHz |
| リスタート・コンディションのセットアップ時間 | $t_{SU:STA}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| ホールド時間[注1] | $t_{HD:STA}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| SCLA0 = "L"のホールド・タイム | $t_{LOW}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 1.3 | | 1.3 | | 1.3 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 1.3 | | 1.3 | | 1.3 | | μs |
| SCLA0 = "H"のホールド・タイム | $t_{HIGH}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 100 | | 100 | | 100 | | ns |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 100 | | 100 | | 100 | | ns |
| データ・ホールド時間（送信時）[注2] | $t_{HD:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0 | 0.9 | 0 | 0.9 | 0 | 0.9 | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 0 | 0.9 | 0 | 0.9 | 0 | 0.9 | μs |
| ストップ・コンディションのセットアップ時間 | $t_{SU:STO}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 0.6 | | 0.6 | | 0.6 | | μs |
| バス・フリー時間 | $t_{BUF}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 1.3 | | 1.3 | | 1.3 | | μs |
| | | 1.8 V (2.4 V[注3])≦$V_{DD}$≦5.5 V | | 1.3 | | 1.3 | | 1.3 | | μs |

**注1.** スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

**2.** $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

**3.** HS（高速メイン）モード時の条件です。

**注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット2（PIOR2）が1の場合も，上記の値を適用できます。ただし，端子特性（$I_{OH1}$, $I_{OL1}$, $V_{OH1}$, $V_{OL1}$）はリダイレクト先の値を満たしてください。**

**備考**　各モードにおける$C_b$（通信ライン容量）のMAX.値と，そのときの$R_b$（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード：$C_b$ = 320 pF, $R_b$ = 1.1 kΩ

（3）I²Cファースト・モード・プラス

（$T_A$ = −40〜+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | LS（低速メイン）モード | | LV（低電圧メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | MIN. | MAX. | MIN. | MAX. | |
| SCLA0クロック周波数 | $f_{SCL}$ | ファースト・モード・プラス：$f_{CLK}$≧10 MHz | 2.7 V≦$V_{DD}$≦5.5 V | 0 | 1000 | – | | – | | kHz |
| リスタート・コンディションのセットアップ時間 | $t_{SU:STA}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.26 | | – | | – | | μs |
| ホールド時間[注1] | $t_{HD:STA}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.26 | | – | | – | | μs |
| SCLA0 = ”L”のホールド・タイム | $t_{LOW}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.5 | | – | | – | | μs |
| SCLA0 = ”H”のホールド・タイム | $t_{HIGH}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.26 | | – | | – | | μs |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 50 | | – | | – | | ns |
| データ・ホールド時間（送信時）[注2] | $t_{HD:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0 | 0.45 | – | | – | | μs |
| ストップ・コンディションのセットアップ時間 | $t_{SU:STO}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.26 | | – | | – | | μs |
| バス・フリー時間 | $t_{BUF}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 0.5 | | – | | – | | μs |

**注1.** スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

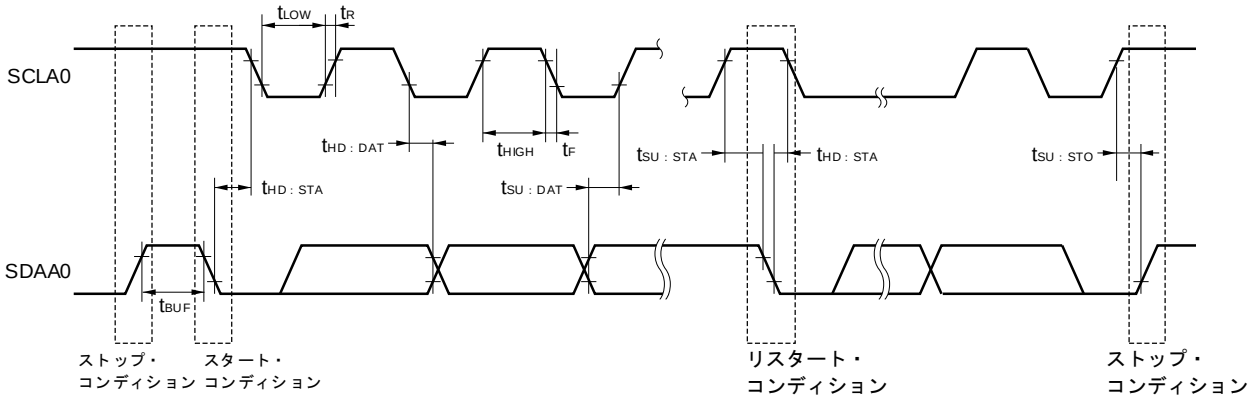
**2.** $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

**注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット2（PIOR2）が1の場合も，上記の値を適用できます。ただし，端子特性（$I_{OH1}$, $I_{OL1}$, $V_{OH1}$, $V_{OL1}$）はリダイレクト先の値を満たしてください。**

**備考**　各モードにおける$C_b$（通信ライン容量）のMAX.値と，そのときの$R_b$（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード：$C_b$ = 120 pF, $R_b$ = 1.1 kΩ

IICAシリアル転送タイミング



# 32. 6　アナログ特性

## 32. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

| 基準電圧 / 入力チャネル | 基準電圧（+）= $AV_{REFP}$<br>基準電圧（−）= $AV_{REFM}$ | 基準電圧（+）= $V_{DD}$<br>基準電圧（−）= $V_{SS}$ | 基準電圧（+）= $V_{BGR}$<br>基準電圧（−）= $AV_{REFM}$ |
|---|---|---|---|
| ANI0, ANI1 | – | 32. 6. 1（2）参照 | 32. 6. 1（3）参照 |
| ANI16-ANI25 | 32. 6. 1（1）参照 | | |
| 内部基準電圧<br>温度センサ出力電圧 | 32. 6. 1（1）参照 | | – |

（1）基準電圧（+）= $AV_{REFP}$/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（−）= $AV_{REFM}$/ANI1（ADREFM = 1）選択時，変換対象：ANI16-ANI25，内部基準電圧，温度センサ出力電圧

（$T_A$ = −40〜+85 ℃，1.6 V≦$AV_{REFP}$≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V，基準電圧（+）= $AV_{REFP}$，基準電圧（−）= $AV_{REFM}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 分解能 | RES | | | 8 | | 10 | bit |
| 総合誤差[注1] | AINL | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 1.8 V≦$AV_{REFP}$≦5.5 V | | 1.2 | ±5.0 | LSB |
| | | | 1.6 V≦$AV_{REFP}$≦5.5 V[注4] | | 1.2 | ±8.5 | LSB |
| 変換時間 | $t_{CONV}$ | 10ビット分解能<br>変換対象：ANI16-ANI25 | 3.6 V≦$V_{DD}$≦5.5 V | 2.125 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.1875 | | 39 | μs |
| | | | 1.8 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| | | | 1.6 V≦$V_{DD}$≦5.5 V | 57 | | 95 | μs |
| | | 10bit分解能<br>変換対象：内部基準電圧，<br>温度センサ出力電圧<br>（HS（高速メイン）モード） | 3.6 V≦$V_{DD}$≦5.5 V | 2.375 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.5625 | | 39 | μs |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| ゼロスケール誤差[注1, 2] | $E_{ZS}$ | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 1.8 V≦$AV_{REFP}$≦5.5 V | | | ±0.35 | %FSR |
| | | | 1.6 V≦$AV_{REFP}$≦5.5 V[注4] | | | ±0.60 | %FSR |
| フルスケール誤差[注1, 2] | $E_{FS}$ | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 1.8 V≦$AV_{REFP}$≦5.5 V | | | ±0.35 | %FSR |
| | | | 1.6 V≦$AV_{REFP}$≦5.5 V[注4] | | | ±0.60 | %FSR |
| 積分直線性誤差[注1] | ILE | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 1.8 V≦$AV_{REFP}$≦5.5 V | | | ±3.5 | LSB |
| | | | 1.6 V≦$AV_{REFP}$≦5.5 V[注4] | | | ±6.0 | LSB |
| 微分直線性誤差[注1] | DLE | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 1.8 V≦$AV_{REFP}$≦5.5 V | | | ±2.0 | LSB |
| | | | 1.6 V≦$AV_{REFP}$≦5.5 V[注4] | | | ±2.5 | LSB |
| アナログ入力電圧 | $V_{AIN}$ | ANI16-ANI25 | | 0 | | $AV_{REFP}$ | V |
| | | 内部基準電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード) | | $V_{BGR}$[注5] | | | V |
| | | 温度センサ出力電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード) | | $V_{TMPS25}$[注5] | | | V |

（注は次ページにあります。）

**注1.** 量子化誤差（±1/2 LSB）を含みません。

**2.** フルスケール値に対する比率（%FSR）で表します。

**3.** $AV_{REFP}$＜$V_{DD}$の場合、MAX.値は次のようになります。

・総合誤差　：$AV_{REFP}$ = $V_{DD}$のMAX.値に±4LSBを加算してください。

・ゼロスケール誤差/フルスケール誤差　：$AV_{REFP}$ = $V_{DD}$のMAX.値に±0.2%FSRを加算してください。

・積分直線性誤差/微分直線性誤差　：$AV_{REFP}$ = $V_{DD}$のMAX.値に±2LSBを加算してください。

**4.** 変換時間をMIN.57 μs，MAX.95 μsに設定した場合の値です。

**5.** **32. 6. 2　温度センサ／内部基準電圧特性**を参照してください。

（2）基準電圧（+）= $V_{DD}$（ADREFP1 = 0, ADREFP0 = 0），基準電圧（−）= $V_{SS}$（ADREFM = 0）選択時，
変換対象：ANI0，ANI1，ANI16-ANI25，内部基準電圧，温度センサ出力電圧

（$T_A$ = −40〜+85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V，基準電圧（+）= $V_{DD}$，基準電圧（−）= $V_{SS}$）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 分解能 | RES | | | 8 | | 10 | bit |
| 総合誤差[注1, 2] | AINL | 10ビット分解能 | 1.8 V≦$V_{DD}$≦5.5 V | | 1.2 | ±7.0 | LSB |
| | | | 1.6 V≦$V_{DD}$≦5.5 V[注3] | | 1.2 | ±10.5 | LSB |
| 変換時間 | $t_{CONV}$ | 10ビット分解能<br>変換対象：<br>ANI0, ANI1,<br>ANI16-ANI25[注3] | 3.6 V≦$V_{DD}$≦5.5 V | 2.125 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.1875 | | 39 | μs |
| | | | 1.8 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| | | | 1.6 V≦$V_{DD}$≦5.5 V | 57 | | 95 | μs |
| | | 10ビット分解能<br>変換対象：内部基準電圧，<br>温度センサ出力電圧<br>（HS（高速メイン）モード） | 3.6 V≦$V_{DD}$≦5.5 V | 2.375 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.5625 | | 39 | μs |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| ゼロスケール誤差[注1, 2] | $E_{ZS}$ | 10ビット分解能 | 1.8 V≦$V_{DD}$≦5.5 V | | | ±0.60 | %FSR |
| | | | 1.6 V≦$V_{DD}$≦5.5 V[注3] | | | ±0.85 | %FSR |
| フルスケール誤差[注1, 2] | $E_{FS}$ | 10ビット分解能 | 1.8 V≦$V_{DD}$≦5.5 V | | | ±0.60 | %FSR |
| | | | 1.6 V≦$V_{DD}$≦5.5 V[注3] | | | ±0.85 | %FSR |
| 積分直線性誤差[注1] | ILE | 10ビット分解能 | 1.8 V≦$V_{DD}$≦5.5 V | | | ±4.0 | LSB |
| | | | 1.6 V≦$V_{DD}$≦5.5 V[注3] | | | ±6.5 | LSB |
| 微分直線性誤差[注1] | DLE | 10ビット分解能 | 1.8 V≦$V_{DD}$≦5.5 V | | | ±2.0 | LSB |
| | | | 1.6 V≦$V_{DD}$≦5.5 V[注3] | | | ±2.5 | LSB |
| アナログ入力電圧 | $V_{AIN}$ | ANI0, ANI1, ANI16-ANI25 | | 0 | | $V_{DD}$ | V |
| | | 内部基準電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード) | | $V_{BGR}$[注4] | | | V |
| | | 温度センサ出力電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード) | | $V_{TMPS25}$[注4] | | | V |

**注1.** 量子化誤差（±1/2 LSB）を含みません。

**2.** フルスケール値に対する比率（%FSR）で表します。

**3.** 変換時間をMIN.57 μs，MAX.95 μsに設定した場合の値です。

**4.** **32. 6. 2　温度センサ／内部基準電圧特性**を参照してください。

（3）基準電圧（＋）= 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－）= AVREFM/ANI1（ADREFM = 1）選択時，変換対象：ANI0, ANI16-ANI25

（$T_A$ = －40～＋85 ℃，2.4 V≦$V_{DD}$≦5.5 V，$V_{SS}$ = 0 V，基準電圧（＋）= $V_{BGR}$[注3]，
基準電圧（－）= $AV_{REFM}$[注4] = 0 V，HS（高速メイン）モード）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 分解能 | RES | | | | 8 | | bit |
| 変換時間 | $t_{CONV}$ | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| ゼロスケール誤差[注1, 2] | $E_{ZS}$ | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±0.60 | %FSR |
| 積分直線性誤差[注1] | ILE | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±2.0 | LSB |
| 微分直線性誤差[注1] | DLE | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±1.0 | LSB |
| アナログ入力電圧 | $V_{AIN}$ | | | 0 | | $V_{BGR}$[注3] | V |

**注1.** 量子化誤差（±1/2 LSB）を含みません。

**2.** フルスケール値に対する比率（%FSR）で表します。

**3.** **32. 6. 2　温度センサ／内部基準電圧特性**を参照してください。

**4.** 基準電圧（－）=$V_{SS}$の場合，MAX.値は次のようになります。

・ゼロスケール誤差　：基準電圧（－）= $AV_{REFM}$のMAX.値に±0.35%FSRを加算してください。

・積分直線性誤差　　：基準電圧（－）= $AV_{REFM}$のMAX.値に±0.5LSBを加算してください。

・微分直線性誤差　　：基準電圧（－）= $AV_{REFM}$のMAX.値に±0.2LSBを加算してください。

## 32. 6. 2 温度センサ／内部基準電圧特性

（$T_A$ = −40～+85 ℃，2.4 V≦$V_{DD}$≦5.5 V，$V_{SS}$ = 0 V，HS（高速メイン）モード）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 温度センサ出力電圧 | $V_{TMPS25}$ | ADSレジスタ = 80H設定，$T_A$ = +25℃ | | 1.05 | | V |
| 内部基準電圧 | $V_{BGR}$ | ADSレジスタ = 81H設定 | 1.38 | 1.45 | 1.5 | V |
| 温度係数 | $F_{VTMPS}$ | 温度センサ電圧の温度依存 | | −3.6 | | mV/℃ |
| 動作安定待ち時間 | $t_{AMP}$ | | 5 | | | μs |

## 32. 6. 3 コンパレータ

（$T_A$ = −40～+85 ℃，1.6 V≦$V_{DD}$≦5.5 V，$V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 入力電圧範囲 | Ivref | | | 0 | | $V_{DD}$− 1.4 | V |
| | Ivcmp | | | −0.3 | | $V_{DD}$+ 0.3 | V |
| 出力遅延 | td | $V_{DD}$ = 3.0 V<br>入力スルーレート＞50 mV/μs | コンパレータ高速モード，基本モード | | | 1.2 | μs |
| | | | コンパレータ高速モード，ウィンドウモード | | | 2.0 | μs |
| | | | コンパレータ低速モード，基本モード | | 3.0 | 5.0 | μs |
| 高電位側リファレンス電圧 | VTW+ | コンパレータ高速モード，ウィンドウモード | | 0.66$V_{DD}$ | 0.76$V_{DD}$ | 0.86$V_{DD}$ | V |
| 低電位側リファレンス電圧 | VTW- | コンパレータ高速モード，ウィンドウモード | | 0.14$V_{DD}$ | 0.24$V_{DD}$ | 0.34$V_{DD}$ | V |
| 動作安定待ち時間 | $t_{CMP}$ | | | 100 | | | μs |
| 内部基準電圧[注] | $V_{BGR}$ | 2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード | | 1.38 | 1.45 | 1.50 | V |

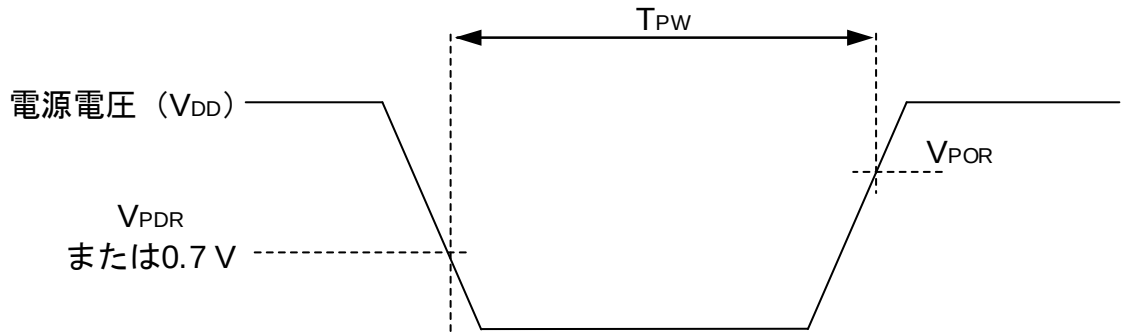
**注** LS（低速メイン）モード，LV（低電圧メイン）モード，サブ・クロック動作，STOPモード時は使用できません。

## 32. 6. 4　POR回路特性

（$T_A$ = −40〜+85 ℃, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 検出電圧 | $V_{POR}$ | 電源立ち上がり時 | 1.47 | 1.51 | 1.55 | V |
| | $V_{PDR}$ | 電源立ち下がり時 | 1.46 | 1.50 | 1.54 | V |
| 最小パルス幅[注] | $T_{PW}$ | | 300 | | | μs |

**注**　$V_{DD}$が$V_{PDR}$を下回った場合に，PORによるリセット動作に必要な時間です。また，STOPモードに移行時およびクロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（$f_{MAIN}$）を停止時は，$V_{DD}$が0.7 Vを下回ってから，$V_{POR}$を上回るまでのPORによるリセット動作に必要な時間です。



## 32. 6. 5　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（$T_A$ = −40〜+85 ℃，$V_{PDR} \leqq V_{DD} \leqq 5.5$ V，$V_{SS}$ = 0 V）

| 項　目 | | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 検出電圧 | 電源電圧レベル | $V_{LVD0}$ | 電源立ち上がり時 | 3.98 | 4.06 | 4.14 | V |
| | | | 電源立ち下がり時 | 3.90 | 3.98 | 4.06 | V |
| | | $V_{LVD1}$ | 電源立ち上がり時 | 3.68 | 3.75 | 3.82 | V |
| | | | 電源立ち下がり時 | 3.60 | 3.67 | 3.74 | V |
| | | $V_{LVD2}$ | 電源立ち上がり時 | 3.07 | 3.13 | 3.19 | V |
| | | | 電源立ち下がり時 | 3.00 | 3.06 | 3.12 | V |
| | | $V_{LVD3}$ | 電源立ち上がり時 | 2.96 | 3.02 | 3.08 | V |
| | | | 電源立ち下がり時 | 2.90 | 2.96 | 3.02 | V |
| | | $V_{LVD4}$ | 電源立ち上がり時 | 2.86 | 2.92 | 2.97 | V |
| | | | 電源立ち下がり時 | 2.80 | 2.86 | 2.91 | V |
| | | $V_{LVD5}$ | 電源立ち上がり時 | 2.76 | 2.81 | 2.87 | V |
| | | | 電源立ち下がり時 | 2.70 | 2.75 | 2.81 | V |
| | | $V_{LVD6}$ | 電源立ち上がり時 | 2.66 | 2.71 | 2.76 | V |
| | | | 電源立ち下がり時 | 2.60 | 2.65 | 2.70 | V |
| | | $V_{LVD7}$ | 電源立ち上がり時 | 2.56 | 2.61 | 2.66 | V |
| | | | 電源立ち下がり時 | 2.50 | 2.55 | 2.60 | V |
| | | $V_{LVD8}$ | 電源立ち上がり時 | 2.45 | 2.50 | 2.55 | V |
| | | | 電源立ち下がり時 | 2.40 | 2.45 | 2.50 | V |
| | | $V_{LVD9}$ | 電源立ち上がり時 | 2.05 | 2.09 | 2.13 | V |
| | | | 電源立ち下がり時 | 2.00 | 2.04 | 2.08 | V |
| | | $V_{LVD10}$ | 電源立ち上がり時 | 1.94 | 1.98 | 2.02 | V |
| | | | 電源立ち下がり時 | 1.90 | 1.94 | 1.98 | V |
| | | $V_{LVD11}$ | 電源立ち上がり時 | 1.84 | 1.88 | 1.91 | V |
| | | | 電源立ち下がり時 | 1.80 | 1.84 | 1.87 | V |
| | | $V_{LVD12}$ | 電源立ち上がり時 | 1.74 | 1.77 | 1.81 | V |
| | | | 電源立ち下がり時 | 1.70 | 1.73 | 1.77 | V |
| | | $V_{LVD13}$ | 電源立ち上がり時 | 1.64 | 1.67 | 1.70 | V |
| | | | 電源立ち下がり時 | 1.60 | 1.63 | 1.66 | V |
| 最小パルス幅 | | $t_{LW}$ | | 300 | | | μs |
| 検出遅延 | | | | | | 300 | μs |

割り込み＆リセット・モードのLVD検出電圧

（$T_A$ = −40〜+85 ℃, $V_{PDR} \leqq V_{DD} \leqq 5.5$ V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 割り込み＆リセット・モード | $V_{LVD13}$ | $V_{POC2}$, $V_{POC1}$, $V_{POC0}$ = 0, 0, 0, 立ち下がりリセット電圧 | | 1.60 | 1.63 | 1.66 | V |
| | $V_{LVD12}$ | LVIS1, LVIS0 = 1, 0 | 立ち上がりリセット解除電圧 | 1.74 | 1.77 | 1.81 | V |
| | | | 立ち下がり割り込み電圧 | 1.70 | 1.73 | 1.77 | V |
| | $V_{LVD11}$ | LVIS1, LVIS0 = 0, 1 | 立ち上がりリセット解除電圧 | 1.84 | 1.88 | 1.91 | V |
| | | | 立ち下がり割り込み電圧 | 1.80 | 1.84 | 1.87 | V |
| | $V_{LVD4}$ | LVIS1, LVIS0 = 0, 0 | 立ち上がりリセット解除電圧 | 2.86 | 2.92 | 2.97 | V |
| | | | 立ち下がり割り込み電圧 | 2.80 | 2.86 | 2.91 | V |
| | $V_{LVD11}$ | $V_{POC2}$, $V_{POC1}$, $V_{POC0}$ = 0, 0, 1, 立ち下がりリセット電圧 | | 1.80 | 1.84 | 1.87 | V |
| | $V_{LVD10}$ | LVIS1, LVIS0 = 1, 0 | 立ち上がりリセット解除電圧 | 1.94 | 1.98 | 2.02 | V |
| | | | 立ち下がり割り込み電圧 | 1.90 | 1.94 | 1.98 | V |
| | $V_{LVD9}$ | LVIS1, LVIS0 = 0, 1 | 立ち上がりリセット解除電圧 | 2.05 | 2.09 | 2.13 | V |
| | | | 立ち下がり割り込み電圧 | 2.00 | 2.04 | 2.08 | V |
| | $V_{LVD2}$ | LVIS1, LVIS0 = 0, 0 | 立ち上がりリセット解除電圧 | 3.07 | 3.13 | 3.19 | V |
| | | | 立ち下がり割り込み電圧 | 3.00 | 3.06 | 3.12 | V |
| | $V_{LVD8}$ | $V_{POC2}$, $V_{POC1}$, $V_{POC0}$ = 0, 1, 0, 立ち下がりリセット電圧 | | 2.40 | 2.45 | 2.50 | V |
| | $V_{LVD7}$ | LVIS1, LVIS0 = 1, 0 | 立ち上がりリセット解除電圧 | 2.56 | 2.61 | 2.66 | V |
| | | | 立ち下がり割り込み電圧 | 2.50 | 2.55 | 2.60 | V |
| | $V_{LVD6}$ | LVIS1, LVIS0 = 0, 1 | 立ち上がりリセット解除電圧 | 2.66 | 2.71 | 2.76 | V |
| | | | 立ち下がり割り込み電圧 | 2.60 | 2.65 | 2.70 | V |
| | $V_{LVD1}$ | LVIS1, LVIS0 = 0, 0 | 立ち上がりリセット解除電圧 | 3.68 | 3.75 | 3.82 | V |
| | | | 立ち下がり割り込み電圧 | 3.60 | 3.67 | 3.74 | V |
| | $V_{LVD5}$ | $V_{POC2}$, $V_{POC1}$, $V_{POC0}$ = 0, 1, 1, 立ち下がりリセット電圧 | | 2.70 | 2.75 | 2.81 | V |
| | $V_{LVD4}$ | LVIS1, LVIS0 = 1, 0 | 立ち上がりリセット解除電圧 | 2.86 | 2.92 | 2.97 | V |
| | | | 立ち下がり割り込み電圧 | 2.80 | 2.86 | 2.91 | V |
| | $V_{LVD3}$ | LVIS1, LVIS0 = 0, 1 | 立ち上がりリセット解除電圧 | 2.96 | 3.02 | 3.08 | V |
| | | | 立ち下がり割り込み電圧 | 2.90 | 2.96 | 3.02 | V |
| | $V_{LVD0}$ | LVIS1, LVIS0 = 0, 0 | 立ち上がりリセット解除電圧 | 3.98 | 4.06 | 4.14 | V |
| | | | 立ち下がり割り込み電圧 | 3.90 | 3.98 | 4.06 | V |

## 32. 6. 6　電源電圧立ち上がり傾き特性

（$T_A$ = −40〜+85 ℃, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| $V_{DD}$の立ち上がり傾き | $SV_{DD}$ | | | | 54 | V/ms |

**注意　$V_{DD}$が32. 4　AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。**

# 32. 7　LCD特性

## 32. 7. 1　外部抵抗分割方式

（1）スタティック・モード

（$T_A$ = −40～+85 ℃, $V_{L4}$ (MIN.)≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| LCD駆動電圧 | $V_{L4}$ | | 2.0 | | $V_{DD}$ | V |

（2）1/2バイアス，1/4バイアス

（$T_A$ = −40～+85 ℃, $V_{L4}$ (MIN.)≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| LCD駆動電圧 | $V_{L4}$ | | 2.7 | | $V_{DD}$ | V |

（3）1/3バイアス

（$T_A$ = −40～+85 ℃, $V_{L4}$ (MIN.)≦$V_{DD}$≦5.5 V, $V_{SS}$ =0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| LCD駆動電圧 | $V_{L4}$ | | 2.5 | | $V_{DD}$ | V |

## 32. 7. 2 内部昇圧方式

（1）1/3バイアス

（$T_A$ = −40～+85 ℃, 1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項 目 | 略 号 | 条 件 | | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| LCD出力電圧可変範囲 | $V_{L1}$ | C1-C4[注1] = 0.47 μF[注2] | VLCD = 04H | 0.90 | 1.00 | 1.08 | V |
| | | | VLCD = 05H | 0.95 | 1.05 | 1.13 | V |
| | | | VLCD = 06H | 1.00 | 1.10 | 1.18 | V |
| | | | VLCD = 07H | 1.05 | 1.15 | 1.23 | V |
| | | | VLCD = 08H | 1.10 | 1.20 | 1.28 | V |
| | | | VLCD = 09H | 1.15 | 1.25 | 1.33 | V |
| | | | VLCD = 0AH | 1.20 | 1.30 | 1.38 | V |
| | | | VLCD = 0BH | 1.25 | 1.35 | 1.43 | V |
| | | | VLCD = 0CH | 1.30 | 1.40 | 1.48 | V |
| | | | VLCD = 0DH | 1.35 | 1.45 | 1.53 | V |
| | | | VLCD = 0EH | 1.40 | 1.50 | 1.58 | V |
| | | | VLCD = 0FH | 1.45 | 1.55 | 1.63 | V |
| | | | VLCD = 10H | 1.50 | 1.60 | 1.68 | V |
| | | | VLCD = 11H | 1.55 | 1.65 | 1.73 | V |
| | | | VLCD = 12H | 1.60 | 1.70 | 1.78 | V |
| | | | VLCD = 13H | 1.65 | 1.75 | 1.83 | V |
| ダブラ出力電圧 | $V_{L2}$ | C1-C4[注1] = 0.47 μF | | 2 $V_{L1}$−0.10 | 2 $V_{L1}$ | 2 $V_{L1}$ | V |
| トリプラ出力電圧 | $V_{L4}$ | C1-C4[注1] = 0.47 μF | | 3 $V_{L1}$−0.15 | 3 $V_{L1}$ | 3 $V_{L1}$ | V |
| 基準電圧セットアップ時間[注2] | $t_{VWAIT1}$ | | | 5 | | | ms |
| 昇圧ウエイト時間[注3] | $t_{VWAIT2}$ | C1-C4[注1] = 0.47 μF | | 500 | | | ms |

**注1.** LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：$V_{L1}$-GND間に接続するコンデンサです。

C3：$V_{L2}$-GND間に接続するコンデンサです。

C4：$V_{L4}$-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF±30%

**2.** VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから），昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。

**3.** 昇圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

（2）1/4バイアス

（$T_A$ = −40～+85 ℃, 1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| LCD出力電圧可変範囲 | $V_{L1}$ | C1-C5[注1] = 0.47 μF[注2] | VLCD = 04H | 0.90 | 1.00 | 1.08 | V |
| | | | VLCD = 05H | 0.95 | 1.05 | 1.13 | V |
| | | | VLCD = 06H | 1.00 | 1.10 | 1.18 | V |
| | | | VLCD = 07H | 1.05 | 1.15 | 1.23 | V |
| | | | VLCD = 08H | 1.10 | 1.20 | 1.28 | V |
| | | | VLCD = 09H | 1.15 | 1.25 | 1.33 | V |
| | | | VLCD = 0AH | 1.20 | 1.30 | 1.38 | V |
| ダブラ出力電圧 | $V_{L2}$ | C1-C5[注1] = 0.47 μF | | 2 $V_{L1}$−0.08 | 2 $V_{L1}$ | 2 $V_{L1}$ | V |
| トリプラ出力電圧 | $V_{L3}$ | C1-C5[注1] = 0.47 μF | | 3 $V_{L1}$−0.12 | 3 $V_{L1}$ | 3 $V_{L1}$ | V |
| クアドロプラ出力電圧 | $V_{L4}$ | C1-C5[注1] = 0.47 μF | | 4 $V_{L1}$−0.16 | 4 $V_{L1}$ | 4 $V_{L1}$ | V |
| 基準電圧セットアップ時間[注2] | $t_{VWAIT1}$ | | | 5 | | | ms |
| 昇圧ウエイト時間[注3] | $t_{VWAIT2}$ | C1-C5[注1] = 0.47 μF | | 500 | | | ms |

**注1.** LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：$V_{L1}$-GND間に接続するコンデンサです。

C3：$V_{L2}$-GND間に接続するコンデンサです。

C4：$V_{L3}$-GND間に接続するコンデンサです。

C5：$V_{L4}$-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF±30%

**2.** VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0 = 01B）してから），昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。

**3.** 昇圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

## 32. 7. 3　容量分割方式

（1）1/3バイアス

（$T_A$ = －40～＋85 ℃, 2.2 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| $V_{L4}$電圧 | $V_{L4}$ | C1-C4 = 0.47 μF[注2] | | $V_{DD}$ | | V |
| $V_{L2}$電圧 | $V_{L2}$ | C1-C4 = 0.47 μF[注2] | 2/3 $V_{L4}$－0.1 | 2/3 $V_{L4}$ | 2/3 $V_{L4}$＋0.1 | V |
| $V_{L1}$電圧 | $V_{L1}$ | C1-C4 = 0.47 μF[注2] | 1/3 $V_{L4}$－0.1 | 1/3 $V_{L4}$ | 1/3 $V_{L4}$＋0.1 | V |
| 容量分割ウエイト時間[注1] | $t_{VWAIT}$ | | 100 | | | ms |

**注1.** 降圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

**2.** LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：$V_{L1}$-GND間に接続するコンデンサです。

C3：$V_{L2}$-GND間に接続するコンデンサです。

C4：$V_{L4}$-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF±30%

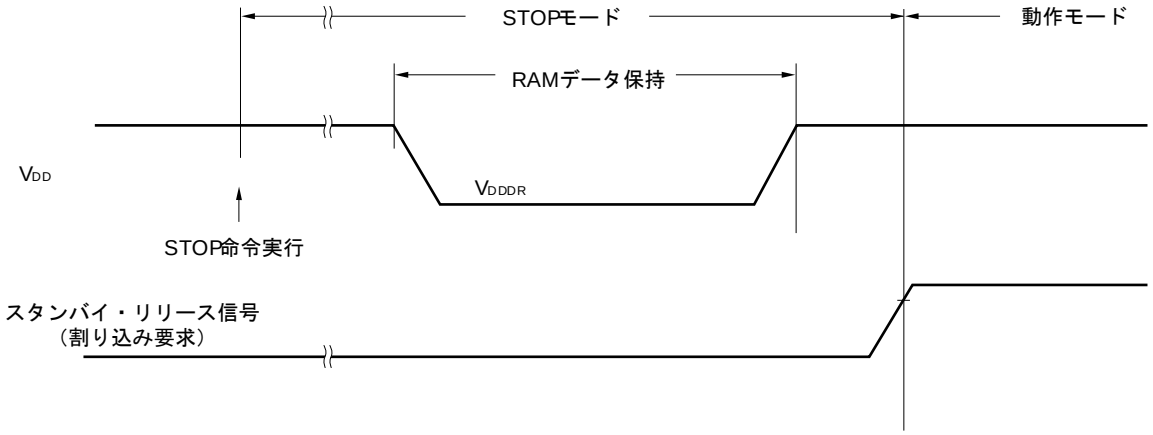
## 32. 8　RAMデータ保持特性

（$T_A$ = −40～＋85 ℃）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| データ保持電源電圧 | $V_{DDDR}$ | | 1.46[注] | | 5.5 | V |

**注**　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。

**注意　動作電圧範囲外でCPU動作した場合，RAMのデータは保持されません。そのため動作電圧範囲を下回る前に，STOPモードに移行してください。**




## 32. 9　フラッシュ・メモリ・プログラミング特性

（$T_A$ = −40～＋85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| システム・クロック周波数 | $f_{CLK}$ | 1.8 V≦$V_{DD}$≦5.5 V | 1 | | 24 | MHz |
| コード・フラッシュの書き換え回数 注1, 2, 3 | $C_{erwr}$ | 保持年数：20年　$T_A$ = 85℃ | 1,000 | | | 回 |
| データ・フラッシュの書き換え回数 注1, 2, 3 | | 保持年数：1年　$T_A$ = 25℃ | | 1,000,000 | | |
| | | 保持年数：5年　$T_A$ = 85℃ | 100,000 | | | |
| | | 保持年数：20年　$T_A$ = 85℃ | 10,000 | | | |

**注1.**　消去1回＋消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

**2.**　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

**3.**　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

## 32. 10　専用フラッシュ・メモリ・プログラマ通信（UART）

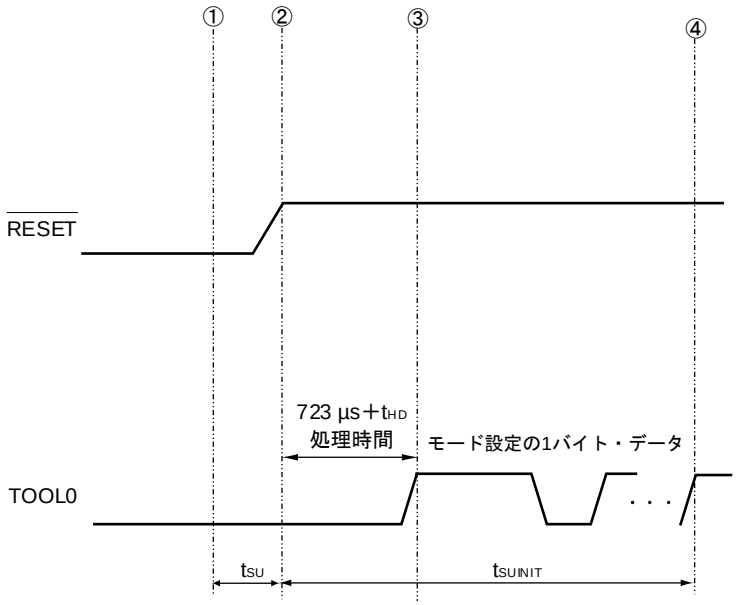
（$T_A$ = −40～＋85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|
| 転送レート | | シリアル・プログラミング時 | 115,200 | | 1,000,000 | bps |

# 32. 11　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（$T_A$ = −40～＋85 ℃，1.8 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 外部リセット解除から初期設定通信を完了する時間 | $t_{SUINIT}$ | 外部リセット解除前にPOR, LVDリセットは解除 | | | 100 | ms |
| TOOL0端子をロウ・レベルにしてから，端子リセットを解除するまでの時間 | $t_{SU}$ | 外部リセット解除前にPOR, LVDリセットは解除 | 10 | | | μs |
| 外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く） | $t_{HD}$ | 外部リセット解除前にPOR, LVDリセットは解除 | 1 | | | ms |




① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

**備考**　$t_{SUINIT}$　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

$t_{SU}$　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

$t_{HD}$　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

# 第33章　電気的特性（$T_A$ = －40～＋105℃）

対象製品　G：産業用途 $T_A$ = －40～＋105℃
R5F10WLAGFB, R5F10WLCGFB, R5F10WLDGFB,
R5F10WLEGFB, R5F10WLFGFB, R5F10WLGGFB
R5F10WMAGFB, R5F10WMCGFB, R5F10WMDGFB,
R5F10WMEGFB, R5F10WMFGFB, R5F10WMGGFB

**注意1.　RL78/L13には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。**

**2.　製品により搭載している端子が異なります。2. 1　ポート機能～2. 2. 1　製品別の搭載機能を参照してください。**

**3.　$T_A$ = ＋85℃～＋105℃で使用する場合のディレーティングについては，当社営業および販売店営業へお問い合わせください。なお，ディレーティングとは，「信頼性を改善するために，計画的に負荷を定格値から軽減すること」です。**

**備考**　$T_A$ = －40～＋85℃の範囲で使用する場合は**第32章　電気的特性（$T_A$ = －40～＋85℃）**を参照してください。

“G：産業用途（$T_A$ = −40～+105℃）”は，“A：民生用途”と次に示す機能が異なります。

| 用途区分 | A：民生用途 | G：産業用途 |
|---|---|---|
| 動作周囲温度 | $T_A$ = −40～+85℃ | $T_A$ = −40～+105℃ |
| 動作モード<br>動作電圧範囲 | HS（高速メイン）モード　：<br>2.7 V≦$V_{DD}$≦5.5 V@1 MHz～24 MHz<br>2.4 V≦$V_{DD}$≦5.5 V@1 MHz～16 MHz<br>LS（低速メイン）モード　：<br>1.8 V≦$V_{DD}$≦5.5 V@1 MHz～8 MHz<br>LV（低電圧メイン）モード：<br>1.6 V≦$V_{DD}$≦5.5 V@1 MHz～4 MHz | HS（高速メイン）モードのみ：<br>2.7 V≦$V_{DD}$≦5.5 V@1 MHz～24 MHz<br>2.4 V≦$V_{DD}$≦5.5 V@1 MHz～16 MHz |
| 高速オンチップ・オシレータ・クロック精度 | 1.8 V≦$V_{DD}$≦5.5 V：<br>±1.0 % @ $T_A$ = −20～+85℃<br>±1.5 % @ $T_A$ = −40～−20℃<br>1.6 V≦$V_{DD}$＜1.8 V：<br>±5.0 % @ $T_A$ = −20～+85℃<br>±5.5 % @ $T_A$ = −40～−20℃ | 2.4 V≦$V_{DD}$≦5.5 V：<br>±2.0 % @ $T_A$ = +85～+105℃<br>±1.0 % @ $T_A$ = −20～+85℃<br>±1.5 % @ $T_A$ = −40～−20℃ |
| シリアル・アレイ・ユニット | UART<br>簡易SPI（CSI）：$f_{CLK}$/2（16 Mbps対応），$f_{CLK}$/4<br>簡易$I^2C$ | UART<br>簡易SPI（CSI）：$f_{CLK}$/4<br>簡易$I^2C$ |
| IICA | 標準モード<br>ファースト・モード<br>ファースト・モード・プラス | 標準モード<br>ファースト・モード |
| 電圧検出回路 | ・立ち上がり：1.67 V～4.06 V（14段階）<br>・立ち下がり：1.63 V～3.98 V（14段階） | ・立ち上がり：2.61 V～4.06 V（8段階）<br>・立ち下がり：2.55 V～3.98 V（8段階） |

**備考**　G：産業用途（$T_A$ = −40～+105℃）の電気的特性は，“A：民生用途”と異なります。詳細は，このページ以降の**33. 1～33. 11**を参照してください。

# 33. 1　絶対最大定格

絶対最大定格（1/3）

| 項　　目 | 略　号 | 条　　件 | 定　　格 | 単　位 |
|---|---|---|---|---|
| 電源電圧 | $V_{DD}$ | | －0.5～＋6.5 | V |
| REGC端子入力電圧 | $V_{IREGC}$ | REGC | －0.3～＋2.8<br>かつ－0.3～$V_{DD}$＋0.3[注1] | V |
| 入力電圧 | $V_{I1}$ | P00-P07, P10-P17, P20-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P121-P127, P130, P137 | －0.3～$V_{DD}$＋0.3[注2] | V |
| | $V_{I2}$ | P60, P61（N-chオープン・ドレイン） | －0.3～＋6.5 | V |
| | $V_{I3}$ | EXCLK, EXCLKS, $\overline{\text{RESET}}$ | －0.3～$V_{DD}$＋0.3[注2] | V |
| 出力電圧 | $V_{O1}$ | P00-P07, P10-P17, P20-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P121-P127, P130, P137 | －0.3～$V_{DD}$＋0.3[注2] | V |
| アナログ入力電圧 | $V_{AI1}$ | ANI0, ANI1, ANI16-ANI25 | －0.3～$V_{DD}$＋0.3<br>かつ－0.3～$AV_{REF(+)}$＋0.3[注2, 3] | V |

**注1.** REGC端子にはコンデンサ（0.47～1 μF）を介して$V_{SS}$に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

**2.** 6.5 V以下であること。

**3.** A/D変換対象の端子は，$AV_{REF(+)}$＋0.3を越えないでください。

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

**備考 1.** 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

**2.** $AV_{REF(+)}$：A/Dコンバータの＋側基準電圧

**3.** $V_{SS}$を基準電圧とする。

絶対最大定格（2/3）

| 項　目 | 略　号 | 条　件 | | 定　格 | 単　位 |
|---|---|---|---|---|---|
| LCD電圧 | $V_{L1}$ | $V_{L1}$電圧[注1] | | −0.3～＋2.8かつ −0.3～$V_{L4}$＋0.3 | V |
| | $V_{L2}$ | $V_{L2}$電圧[注1] | | −0.3～$V_{L4}$＋0.3[注2] | V |
| | $V_{L3}$ | $V_{L3}$電圧[注1] | | −0.3～$V_{L4}$＋0.3[注2] | V |
| | $V_{L4}$ | $V_{L4}$電圧[注1] | | −0.3～＋6.5 | V |
| | $V_{LCAP}$ | CAPL, CAPH電圧[注1] | | −0.3～$V_{L4}$＋0.3[注2] | V |
| | $V_{OUT}$ | COM0-COM7 | 外部抵抗分割方式 | −0.3～$V_{DD}$＋0.3[注2] | V |
| | | SEG0-SEG50 | 容量分割方式 | −0.3～$V_{DD}$＋0.3[注2] | V |
| | | 出力電圧 | 内部昇圧方式 | −0.3～$V_{L4}$＋0.3[注2] | V |

**注1.** この値は，$V_{L1}$, $V_{L2}$, $V_{L3}$, $V_{L4}$端子への電圧印加する場合の絶対最大定格を規定するものであり，電圧印加して使用することを推奨しているわけではありません。内部昇圧方式，容量分割方式の場合，$V_{L1}$, $V_{L2}$, $V_{L3}$, $V_{L4}$端子にはコンデンサ（0.47 μF±30 %）を介して$V_{SS}$に接続し，CAPL端子，CAPH端子間にもコンデンサ（0.47 μF±30 %）を接続してください。

**2.** 6.5 V以下であること。

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

**備考**　$V_{SS}$を基準電圧とする。

絶対最大定格（3/3）

| 項　目 | 略　号 | 条　件 | | 定　格 | 単　位 |
|---|---|---|---|---|---|
| ハイ・レベル出力電流 | $I_{OH1}$ | 1端子 | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130 | −40 | mA |
| | | 端子合計<br>−170 mA | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130 | −170 | mA |
| | $I_{OH2}$ | 1端子 | P20, P21 | −0.5 | mA |
| | | 端子合計 | | −1 | mA |
| ロウ・レベル出力電流 | $I_{OL1}$ | 1端子 | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130 | 40 | mA |
| | | 端子合計<br>170 mA | P40-P47, P130 | 70 | mA |
| | | | P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P60, P61, P70-P77, P125-P127 | 100 | mA |
| | $I_{OL2}$ | 1端子 | P20, P21 | 1 | mA |
| | | 端子合計 | | 2 | mA |
| 動作周囲温度 | $T_A$ | 通常動作時 | | −40～＋105 | ℃ |
| | | フラッシュ・メモリ・プログラミング時 | | | ℃ |
| 保存温度 | $T_{stg}$ | | | −65～＋150 | ℃ |

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

**備考**　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

# 33. 2　発振回路特性

## 33. 2. 1　X1, XT1発振回路特性

（$T_A$ = －40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 発振子 | 条　　件 | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|
| X1クロック発振周波数（$f_X$）注 | セラミック発振子／水晶振動子 | 2.7 V≦$V_{DD}$ ≦5.5 V | 1.0 | | 20.0 | MHz |
| | | 2.4 V≦$V_{DD}$ ＜5.5 V | 1.0 | | 16.0 | |
| XT1クロック発振周波数（$f_{XT}$）注 | 水晶振動子 | | 32 | 32.768 | 35 | kHz |

**注**　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

**注意 リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。**

**備考**　X1, XT1発振回路を使用する場合は，**5. 4　システム・クロック発振回路**を参照してください。

## 33. 2. 2　オンチップ・オシレータ特性

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|
| 高速オンチップ・オシレータ・クロック周波数[注1, 2] | $f_{IH}$ | | | 1 | | 24 | MHz |
| 高速オンチップ・オシレータ・クロック周波数精度 | | +85〜+105 ℃ | 2.4 V≦$V_{DD}$≦5.5 V | −2 | | +2 | % |
| | | −20〜+85 ℃ | 2.4 V≦$V_{DD}$≦5.5 V | −1 | | +1 | % |
| | | −40〜−20 ℃ | 2.4 V≦$V_{DD}$≦5.5 V | −1.5 | | +1.5 | % |
| 低速オンチップ・オシレータ・クロック周波数 | $f_{IL}$ | | | | 15 | | kHz |
| 低速オンチップ・オシレータ・クロック周波数精度 | | | | −15 | | +15 | % |

**注1.**　高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/010C2H）のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

**2.**　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

# 33. 3　DC特性

## 33. 3. 1　端子特性

（$T_A$ = −40〜+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル出力電流[注1] | $I_{OH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130<br>1端子 | 2.4 V≦$V_{DD}$ ≦5.5 V | | | −3.0[注2] | mA |
| | | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130<br>合計<br>（デューティ = 70 %時[注3]） | 4.0 V≦$V_{DD}$ ≦5.5 V | | | −45.0 | mA |
| | | | 2.7 V≦$V_{DD}$ <4.0 V | | | −15.0 | mA |
| | | | 2.4 V≦$V_{DD}$ <2.7 V | | | −7.0 | mA |
| | $I_{OH2}$ | P20, P21<br>1端子 | 2.4 V≦$V_{DD}$ ≦5.5 V | | | −0.1[注2] | mA |
| | | 全端子合計<br>（デューティ = 70 %時[注3]） | 2.4 V≦$V_{DD}$ ≦5.5 V | | | −0.2 | mA |

**注1.** $V_{DD}$端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

**2.** ただし，合計の電流値を超えないでください。

**3.** デューティ≦70%の条件での出力電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（$I_{OH}$ × 0.7）／（n × 0.01）
＜計算例＞ $I_{OH}$ =−45.0 mAの場合，n = 80%
端子合計の出力電流 =（−45.0 × 0.7）／（80 × 0.01）≒ −39.375 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

**注意　P00, P04-P07, P16, P17, P35, P42-P44, P46, P47, P53-P56, P130は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。**

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40～＋105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ロウ・レベル出力電流[注1] | $I_{OL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子 | | | | 8.5[注2] | mA |
| | | P60, P61 1端子 | | | | 15.0[注2] | mA |
| | | P40-P47, P130　合計（デューティ　= 70 %時[注3]） | 4.0 V≦$V_{DD}$ ≦5.5 V | | | 40.0 | mA |
| | | | 2.7 V≦$V_{DD}$ ＜4.0 V | | | 15.0 | mA |
| | | | 2.4 V≦$V_{DD}$ ＜2.7 V | | | 9.0 | mA |
| | | P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P70-P77, P125-P127　合計（デューティ　= 70 %時[注3]） | 4.0 V≦$V_{DD}$ ≦5.5 V | | | 60.0 | mA |
| | | | 2.7 V≦$V_{DD}$ ＜4.0 V | | | 35.0 | mA |
| | | | 2.4 V≦$V_{DD}$ ＜2.7 V | | | 20.0 | mA |
| | | 全端子合計（デューティ　= 70 %時[注3]） | | | | 100.0 | mA |
| | $I_{OL2}$ | P20, P21 1端子 | | | | 0.4[注2] | mA |
| | | 全端子合計（デューティ　= 70 %時[注3]） | 2.4 V≦$V_{DD}$ ≦5.5 V | | | 0.8 | mA |

**注1.** 出力端子から$V_{SS}$端子に流れ込んでも，デバイスの動作を保証する電流値です。

**2.** 合計の電流値を超えないでください。

**3.** デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（$I_{OL}$×0.7）／（n×0.01）

＜計算例＞ $I_{OL}$ = 40.0 mAの場合，n = 80%

端子合計の出力電流 =（40.0×0.7）／（80×0.01）≒ 35 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40～＋105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル入力電圧 | $V_{IH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130, P137 | 通常入力バッファ | 0.8$V_{DD}$ | | $V_{DD}$ | V |
| | $V_{IH2}$ | P03, P05, P06, P16, P17, P34, P43, P44, P46, P47, P53, P55 | TTL入力バッファ 4.0 V≦$V_{DD}$≦5.5 V | 2.2 | | $V_{DD}$ | V |
| | | | TTL入力バッファ 3.3 V≦$V_{DD}$＜4.0 V | 2.0 | | $V_{DD}$ | V |
| | | | TTL入力バッファ 2.4 V≦$V_{DD}$＜3.3 V | 1.5 | | $V_{DD}$ | V |
| | $V_{IH3}$ | P20, P21 | | 0.7$V_{DD}$ | | $V_{DD}$ | V |
| | $V_{IH4}$ | P60, P61 | | 0.7$V_{DD}$ | | 6.0 | V |
| | $V_{IH5}$ | P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$ | | 0.8$V_{DD}$ | | $V_{DD}$ | V |
| ロウ・レベル入力電圧 | $V_{IL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130, P137 | 通常入力バッファ | 0 | | 0.2$V_{DD}$ | V |
| | $V_{IL2}$ | P03, P05, P06, P16, P17, P34, P43, P44, P46, P47, P53, P55 | TTL入力バッファ 4.0 V≦$V_{DD}$≦5.5 V | 0 | | 0.8 | V |
| | | | TTL入力バッファ 3.3 V≦$V_{DD}$＜4.0 V | 0 | | 0.5 | V |
| | | | TTL入力バッファ 2.4 V≦$V_{DD}$＜3.3 V | 0 | | 0.32 | V |
| | $V_{IL3}$ | P20, P21 | | 0 | | 0.3$V_{DD}$ | V |
| | $V_{IL4}$ | P60, P61 | | 0 | | 0.3$V_{DD}$ | V |
| | $V_{IL5}$ | P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$ | | 0 | | 0.2$V_{DD}$ | V |

**注意　P00, P04-P07, P16, P17, P35, P42-P44, P46, P47, P53-P56, P130は，N-chオープン・ドレイン・モード時でも$V_{IH}$の最大値（MAX.）は$V_{DD}$です。**

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40～+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル出力電圧 | $V_{OH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −3.0 mA | $V_{DD}$−0.7 | | | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −2.0 mA | $V_{DD}$−0.6 | | | V |
| | | | 2.4 V≦$V_{DD}$≦5.5 V, $I_{OH1}$ = −1.5 mA | $V_{DD}$−0.5 | | | V |
| | $V_{OH2}$ | P20, P21 | 2.4 V≦$V_{DD}$≦5.5 V, $I_{OH2}$ = −100 μA | $V_{DD}$−0.5 | | | V |
| ロウ・レベル出力電圧 | $V_{OL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 8.5 mA | | | 0.7 | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 3.0 mA | | | 0.6 | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 1.5 mA | | | 0.4 | V |
| | | | 2.4 V≦$V_{DD}$≦5.5 V, $I_{OL1}$ = 0.6 mA | | | 0.4 | V |
| | $V_{OL2}$ | P20, P21 | 2.4 V≦$V_{DD}$≦5.5 V, $I_{OL2}$ = 400 μA | | | 0.4 | V |
| | $V_{OL3}$ | P60, P61 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 15.0 mA | | | 2.0 | V |
| | | | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 5.0 mA | | | 0.4 | V |
| | | | 2.7 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 3.0 mA | | | 0.4 | V |
| | | | 2.4 V≦$V_{DD}$≦5.5 V, $I_{OL3}$ = 2.0 mA | | | 0.4 | V |

**注意　P00, P04-P07, P16, P17, P35, P42-P44, P46, P47, P53-P56, P130は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。**

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル入力リーク電流 | $I_{LIH1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130, P137 | $V_I = V_{DD}$ | | | 1 | μA |
| | $I_{LIH2}$ | P20, P21, $\overline{\text{RESET}}$ | $V_I = V_{DD}$ | | | 1 | μA |
| | $I_{LIH3}$ | P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS） | $V_I = V_{DD}$ 入力ポート時, 外部クロック入力時 | | | 1 | μA |
| | | | 発振子接続時 | | | 10 | μA |
| ロウ・レベル入力リーク電流 | $I_{LIL1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130, P137 | $V_I = V_{SS}$ | | | −1 | μA |
| | $I_{LIL2}$ | P20, P21, $\overline{\text{RESET}}$ | $V_I = V_{SS}$ | | | −1 | μA |
| | $I_{LIL3}$ | P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS） | $V_I = V_{SS}$ 入力ポート時, 外部クロック入力時 | | | −1 | μA |
| | | | 発振子接続時 | | | −10 | μA |
| 内蔵プルアップ抵抗 | $R_{U1}$ | P00-P07, P10-P17, P22-P27, P30-P35, P45-P47, P50-P57, P70-P77, P125-P127, P130 | $V_I = V_{SS}$ | 10 | 20 | 100 | kΩ |
| | $R_{U2}$ | P40-P44 | $V_I = V_{SS}$ | 10 | 20 | 100 | kΩ |

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

## 33. 3. 2　電源電流特性

（$T_A$ = −40～+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）　　（1/2）

| 項　目 | 略号 | 条　件 | | | | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|---|---|---|
| 電源電流 | $I_{DD1}$注1 | 動作モード | HS（高速メイン）モード注5 | $f_{HOCO}$ = 48 MHz注3, $f_{IH}$ = 24 MHz注3 | 基本動作 | $V_{DD}$ = 5.0 V | | 2.0 | | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 2.0 | | |
| | | | | | 通常動作 | $V_{DD}$ = 5.0 V | | 3.8 | 7.0 | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 3.8 | 7.0 | |
| | | | | $f_{HOCO}$ = 24 MHz注3, $f_{IH}$ = 24 MHz注3 | 基本動作 | $V_{DD}$ = 5.0 V | | 1.7 | | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 1.7 | | |
| | | | | | 通常動作 | $V_{DD}$ = 5.0 V | | 3.6 | 6.5 | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 3.6 | 6.5 | |
| | | | | $f_{HOCO}$ = 16 MHz注3, $f_{IH}$ = 16 MHz注3 | 通常動作 | $V_{DD}$ = 5.0 V | | 2.7 | 5.0 | mA |
| | | | | | | $V_{DD}$ = 3.0 V | | 2.7 | 5.0 | |
| | | | HS（高速メイン）モード注5 | $f_{MX}$ = 20 MHz注2, $V_{DD}$ = 5.0 V | 通常動作 | 方形波入力 | | 3.0 | 5.4 | mA |
| | | | | | | 発振子接続 | | 3.2 | 5.6 | |
| | | | | $f_{MX}$ = 20 MHz注2, $V_{DD}$ = 3.0 V | 通常動作 | 方形波入力 | | 2.9 | 5.4 | mA |
| | | | | | | 発振子接続 | | 3.2 | 5.6 | |
| | | | | $f_{MX}$ = 10 MHz注2, $V_{DD}$ = 5.0 V | 通常動作 | 方形波入力 | | 1.9 | 3.2 | mA |
| | | | | | | 発振子接続 | | 1.9 | 3.2 | |
| | | | | $f_{MX}$ = 10 MHz注2, $V_{DD}$ = 3.0 V | 通常動作 | 方形波入力 | | 1.9 | 3.2 | mA |
| | | | | | | 発振子接続 | | 1.9 | 3.2 | |
| | | | サブ・クロック動作 | $f_{SUB}$ = 32.768 kHz注4 $T_A$ = −40℃ | 通常動作 | 方形波入力 | | 4.0 | 5.4 | μA |
| | | | | | | 発振子接続 | | 4.3 | 5.4 | |
| | | | | $f_{SUB}$ = 32.768 kHz注4 $T_A$ = +25℃ | 通常動作 | 方形波入力 | | 4.0 | 5.4 | μA |
| | | | | | | 発振子接続 | | 4.3 | 5.4 | |
| | | | | $f_{SUB}$ = 32.768 kHz注4 $T_A$ = +50℃ | 通常動作 | 方形波入力 | | 4.1 | 7.1 | μA |
| | | | | | | 発振子接続 | | 4.4 | 7.1 | |
| | | | | $f_{SUB}$ = 32.768 kHz注4 $T_A$ = +70℃ | 通常動作 | 方形波入力 | | 4.3 | 8.7 | μA |
| | | | | | | 発振子接続 | | 4.7 | 8.7 | |
| | | | | $f_{SUB}$ = 32.768 kHz注4 $T_A$ = +85℃ | 通常動作 | 方形波入力 | | 4.7 | 12.0 | μA |
| | | | | | | 発振子接続 | | 5.2 | 12.0 | |
| | | | | $f_{SUB}$ = 32.768 kHz注4 $T_A$ = +105℃ | 通常動作 | 方形波入力 | | 6.4 | 35.0 | μA |
| | | | | | | 発振子接続 | | 6.6 | 35.0 | |

（注，備考は次ページにあります。）

★ **注1.** $V_{DD}$に流れるトータル電流です。入力端子を$V_{DD}$または$V_{SS}$に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，LCDコントローラ／ドライバ，A/Dコンバータ，LVD回路，コンパレータ，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

**2.** 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

**3.** 高速システム・クロック，サブシステム・クロックは停止時。

★ **4.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。

**5.** 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦$V_{DD}$≦5.5 V@1 MHz〜24 MHz

2.4 V≦$V_{DD}$≦5.5 V@1 MHz〜16 MHz

**備考1.** $f_{MX}$　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

**2.** $f_{HOCO}$：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

**3.** $f_{IH}$　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）

**4.** $f_{SUB}$　：サブシステム・クロック周波数（XT1クロック発振周波数）

**5.** 「サブシステム・クロック動作」以外のTYP.値の温度条件は，$T_A$ = 25 ℃です。

（$T_A$ = −40～+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）　　（2/2）

| 項　目 | 略号 | 条　件 | | | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|---|---|
| 電源電流[注1] | $I_{DD2}$[注2] | HALTモード | HS（高速メイン）モード[注6] | $f_{HOCO}$ = 48 MHz[注4], $f_{IH}$ = 24 MHz[注4] | $V_{DD}$ = 5.0 V | | 0.71 | 2.55 | mA |
| | | | | | $V_{DD}$ = 3.0 V | | 0.71 | 2.55 | |
| | | | | $f_{HOCO}$ = 24 MHz[注4], $f_{IH}$ = 24 MHz[注4] | $V_{DD}$ = 5.0 V | | 0.49 | 1.95 | mA |
| | | | | | $V_{DD}$ = 3.0 V | | 0.49 | 1.95 | |
| | | | | $f_{HOCO}$ = 16 MHz[注4], $f_{IH}$ = 16 MHz[注4] | $V_{DD}$ = 5.0 V | | 0.43 | 1.50 | mA |
| | | | | | $V_{DD}$ = 3.0 V | | 0.43 | 1.50 | |
| | | | HS（高速メイン）モード[注6] | $f_{MX}$ = 20 MHz[注3], $V_{DD}$ = 5.0 V | 方形波入力 | | 0.31 | 1.76 | mA |
| | | | | | 発振子接続 | | 0.48 | 1.92 | |
| | | | | $f_{MX}$ = 20 MHz[注3], $V_{DD}$ = 3.0 V | 方形波入力 | | 0.29 | 1.76 | mA |
| | | | | | 発振子接続 | | 0.48 | 1.92 | |
| | | | | $f_{MX}$ = 10 MHz[注3], $V_{DD}$ = 5.0 V | 方形波入力 | | 0.20 | 0.96 | mA |
| | | | | | 発振子接続 | | 0.28 | 1.07 | |
| | | | | $f_{MX}$ = 10 MHz[注3], $V_{DD}$ = 3.0 V | 方形波入力 | | 0.19 | 0.96 | mA |
| | | | | | 発振子接続 | | 0.28 | 1.07 | |
| | | | サブ・クロック動作 | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = −40℃ | 方形波入力 | | 0.34 | 0.62 | μA |
| | | | | | 発振子接続 | | 0.51 | 0.80 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +25℃ | 方形波入力 | | 0.38 | 0.62 | μA |
| | | | | | 発振子接続 | | 0.57 | 0.80 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +50℃ | 方形波入力 | | 0.46 | 2.30 | μA |
| | | | | | 発振子接続 | | 0.67 | 2.49 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +70℃ | 方形波入力 | | 0.65 | 4.03 | μA |
| | | | | | 発振子接続 | | 0.91 | 4.22 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +85℃ | 方形波入力 | | 1.00 | 8.04 | μA |
| | | | | | 発振子接続 | | 1.31 | 8.23 | |
| | | | | $f_{SUB}$ = 32.768 kHz[注5] $T_A$ = +105℃ | 方形波入力 | | 3.05 | 27.00 | μA |
| | | | | | 発振子接続 | | 3.24 | 27.00 | |
| | $I_{DD3}$ | STOPモード[注7] | $T_A$ = −40℃ | | | | 0.18 | 0.52 | μA |
| | | | $T_A$ = +25℃ | | | | 0.24 | 0.52 | |
| | | | $T_A$ = +50℃ | | | | 0.33 | 2.21 | |
| | | | $T_A$ = +70℃ | | | | 0.53 | 3.94 | |
| | | | $T_A$ = +85℃ | | | | 0.93 | 7.95 | |
| | | | $T_A$ = +105℃ | | | | 2.91 | 25.00 | |

（注，備考は次ページにあります。）

★ **注1.** $V_{DD}$に流れるトータル電流です。入力端子を$V_{DD}$または$V_{SS}$に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，LCDコントローラ／ドライバ，A/Dコンバータ，LVD回路，コンパレータ，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

**2.** フラッシュ・メモリでのHALT命令実行時。

**3.** 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

**4.** 高速システム・クロック，サブシステム・クロックは停止時。

**5.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。

★ RTCLPC = 1，かつ超低消費発振（AMPHS1 = 1）設定時。

**6.** 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦$V_{DD}$≦5.5 V@1 MHz～24 MHz

2.4 V≦$V_{DD}$≦5.5 V@1 MHz～16 MHz

**7.** STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

**備考1.** $f_{MX}$　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

**2.** $f_{HOCO}$：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

**3.** $f_{IH}$　：高速オンチップ・オシレータ・クロック周波数（最大24 MHz）

**4.** $f_{SUB}$　：サブシステム・クロック周波数（XT1クロック発振周波数）

**5.** 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，$T_A$ = 25 ℃です。

（$T_A$ = −40～+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略号 | 条　件 | | | | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|---|---|
| 低速オンチップ・オシレータ動作電流 | $I_{FIL}$ 注1 | | | | | | 0.20 | | μA |
| RTC2動作電流 | $I_{RTC}$ 注1, 2, 3 | $f_{SUB}$ = 32.768 kHz | | | | | 0.02 | | μA |
| 12ビット・インターバル・タイマ動作電流 | $I_{TMKA}$ 注1, 2, 4 | | | | | | 0.04 | | μA |
| ウォッチドッグ・タイマ動作電流 | $I_{WDT}$ 注1, 2, 5 | $f_{IL}$ = 15 kHz | | | | | 0.22 | | μA |
| A/Dコンバータ動作電流 | $I_{ADC}$ 注1, 6 | 最高速変換時 | 標準モード，$AV_{REFP}$ = $V_{DD}$ = 5.0 V | | | | 1.3 | 1.7 | mA |
| | | | 低電圧モード，$AV_{REFP}$ = $V_{DD}$ = 3.0 V | | | | 0.5 | 0.7 | mA |
| A/Dコンバータ基準電圧電流 | $I_{ADREF}$ 注1 | | | | | | 75.0 | | μA |
| 温度センサ動作電流 | $I_{TMPS}$ 注1 | | | | | | 75.0 | | μA |
| LVD動作電流 | $I_{LVD}$ 注1, 7 | | | | | | 0.08 | | μA |
| コンパレータ動作電流 | $I_{CMP}$ 注1, 11 | $V_{DD}$ = 5.0 V, レギュレータ出力電圧 = 2.1 V | ウィンドウモード | | | | 12.5 | | μA |
| | | | コンパレータ高速モード | | | | 6.5 | | |
| | | | コンパレータ低速モード | | | | 1.7 | | |
| | | $V_{DD}$ = 5.0 V, レギュレータ出力電圧 = 1.8 V | ウィンドウモード | | | | 8.0 | | μA |
| | | | コンパレータ高速モード | | | | 4.0 | | |
| | | | コンパレータ低速モード | | | | 1.3 | | |
| セルフ・プログラミング動作電流 | $I_{FSP}$ 注1, 9 | | | | | | 2.00 | 12.20 | mA |
| BGO電流 | $I_{BGO}$ 注1, 8 | | | | | | 2.00 | 12.20 | mA |
| SNOOZE動作電流 | $I_{SNOZ}$ 注1 | ADC動作 | モード遷移中 注10 | | | | 0.50 | 0.60 | mA |
| | | | 変換動作中, 低電圧モード, $AV_{REFP}$ = $V_{DD}$ = 3.0 V | | | | 1.20 | 1.44 | |
| | | 簡易SPI（CSI）/UART動作 | | | | | 0.70 | 0.84 | mA |
| LCD動作電流 | $I_{LCD1}$ 注1, 12, 13 | 外部抵抗分割方式 | $f_{LCD}$ = $f_{SUB}$ LCDクロック = 128 Hz | 1/3バイアス, 4時分割 | $V_{DD}$ = 5.0 V, $V_{L4}$ = 5.0 V | | 0.04 | 0.20 | μA |
| | $I_{LCD2}$ 注1, 12 | 内部昇圧方式 | $f_{LCD}$ = $f_{SUB}$ LCDクロック = 128 Hz | 1/3バイアス, 4時分割 | $V_{DD}$ = 3.0 V, $V_{L4}$ = 3.0 V (VLCD = 04H) | | 0.85 | 2.20 | μA |
| | | | | | $V_{DD}$ = 5.0 V, $V_{L4}$ = 5.1 V (VLCD = 12H) | | 1.55 | 3.70 | |
| | $I_{LCD3}$ 注1, 12 | 容量分割方式 | $f_{LCD}$ = $f_{SUB}$ LCDクロック = 128 Hz | 1/3バイアス, 4時分割 | $V_{DD}$ = 3.0 V, $V_{L4}$ = 3.0 V | | 0.20 | 0.50 | |

（注，備考は次ページにあります。）

**注 1.** $V_{DD}$に流れる電流です。

**2.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。

**3.** リアルタイム・クロック2にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は，$I_{DD1}$または$I_{DD2}$に$I_{RTC}$を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時は$I_{FIL}$を加算してください。$I_{DD2}$のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。

**4.** 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，$I_{DD1}$または$I_{DD2}$に$I_{TMKA}$を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時は$I_{FIL}$を加算してください。

**5.** ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は，$I_{DD1}$，$I_{DD2}$または$I_{DD3}$に$I_{WDT}$を加算した値が，RL78マイクロコントローラの電流値となります。

**6.** A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時は$I_{DD1}$または$I_{DD2}$に$I_{ADC}$を加算した値が，RL78マイクロコントローラの電流値となります。

**7.** LVD 回路にのみ流れる電流です。LVD回路の動作時は，$I_{DD1}$，$I_{DD2}$または$I_{DD3}$に$I_{LVD}$を加算した値がRL78マイクロコントローラの電流値となります。

**8.** データ・フラッシュ書き換え時に流れる電流です。

**9.** セルフ・プログラミング時に流れる電流です。

**10.** SNOOZEモードへの移行時間は，**21. 3. 3　SNOOZEモード**を参照してください。

**11.** コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は，$I_{DD1}$，$I_{DD2}$または$I_{DD3}$に$I_{CMP}$を加算した値が，RL78マイクロコントローラの電流値となります。

**12.** LCDコントローラ／ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ／ドライバが動作中の場合，電源電流（$I_{DD1}$または$I_{DD2}$）にLCD動作電流（$I_{LCD1}$または$I_{LCD2}$または$I_{LCD3}$）を加算した値が，RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。TYP.値，MAX.値は以下の条件の値になります。

- 20端子をセグメント機能として設定し，全点灯
- システム・クロックに$f_{SUB}$選択，LCDクロック = 128 Hz時（LCDC0 = 07H）
- 4時分割，1/3バイアス設定

**13.** 外部抵抗分割方式使用時の外部分割抵抗に流れる電流は含みません。

**備考1.** $f_{IL}$　：低速オンチップ・オシレータ・クロック周波数

**2.** $f_{SUB}$　：サブシステム・クロック周波数（XT1クロック発振周波数）

**3.** $f_{CLK}$　：CPU／周辺ハードウエア・クロック周波数

**4.** TYP.値の温度条件は，$T_A$ = 25 ℃です。

## 33. 4　AC特性

（$T_A$ = −40～+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|---|
| 命令サイクル（最小命令実行時間） | $T_{CY}$ | メイン・システム・クロック（$f_{MAIN}$）動作 | HS（高速メイン）モード | 2.7 V≦$V_{DD}$≦5.5 V | 0.0417 | | 1 | μs |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | 0.0625 | | 1 | μs |
| | | サブシステム・クロック（$f_{SUB}$）動作 | | 2.4 V≦$V_{DD}$≦5.5 V | 28.5 | 30.5 | 31.3 | μs |
| | | セルフ・プログラミング時 | HS（高速メイン）モード | 2.7 V≦$V_{DD}$≦5.5 V | 0.0417 | | 1 | μs |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | 0.0625 | | 1 | μs |
| 外部システム・クロック周波数 | $f_{EX}$ | 2.7 V≦$V_{DD}$≦5.5 V | | | 1.0 | | 20.0 | MHz |
| | | 2.4 V≦$V_{DD}$<2.7 V | | | 1.0 | | 16.0 | MHz |
| | $f_{EXS}$ | | | | 32 | | 35 | kHz |
| 外部システム・クロック入力ハイ，ロウ・レベル幅 | $t_{EXH}$, $t_{EXL}$ | 2.7 V≦$V_{DD}$≦5.5 V | | | 24 | | | ns |
| | | 2.4 V≦$V_{DD}$<2.7 V | | | 30 | | | ns |
| | $t_{EXHS}$, $t_{EXLS}$ | | | | 13.7 | | | μs |
| TI00-TI07入力ハイ・レベル幅，ロウ・レベル幅 | $t_{TIH}$, $t_{TIL}$ | | | | 1/$f_{MCK}$＋10 | | | ns |
| TO00-TO07, TKBO00[注], TKBO01-0-TKBO01-2[注] 出力周波数 | $f_{TO}$ | HS（高速メイン）モード | | 4.0 V≦$V_{DD}$≦5.5 V | | | 12 | MHz |
| | | | | 2.7 V≦$V_{DD}$<4.0 V | | | 8 | MHz |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | | | 4 | MHz |
| PCLBUZ0, PCLBUZ1出力周波数 | $f_{PCL}$ | HS（高速メイン）モード | | 4.0 V≦$V_{DD}$≦5.5 V | | | 16 | MHz |
| | | | | 2.7 V≦$V_{DD}$<4.0 V | | | 8 | MHz |
| | | | | 2.4 V≦$V_{DD}$<2.7 V | | | 4 | MHz |
| 割り込み入力ハイ・レベル幅，ロウ・レベル幅 | $t_{INTH}$, $t_{INTL}$ | INTP0-INTP7 | | 2.4 V≦$V_{DD}$≦5.5 V | 1 | | | μs |
| キー割り込み入力ハイ・レベル幅，ロウ・レベル幅 | $t_{KRH}$, $t_{KRL}$ | KR0-KR7 | | 2.4 V≦$V_{DD}$≦5.5 V | 250 | | | ns |
| IH-PWM出力リスタート入力ハイ・レベル幅 | $t_{IHR}$ | INTP0-INTP7 | | | 2 | | | $f_{CLK}$ |
| TMKB2強制出力停止入力ハイ・レベル幅 | $t_{IHR}$ | INTP0-INTP2 | | | 2 | | | $f_{CLK}$ |
| $\overline{\text{RESET}}$ロウ・レベル幅 | $t_{RSL}$ | | | | 10 | | | μs |

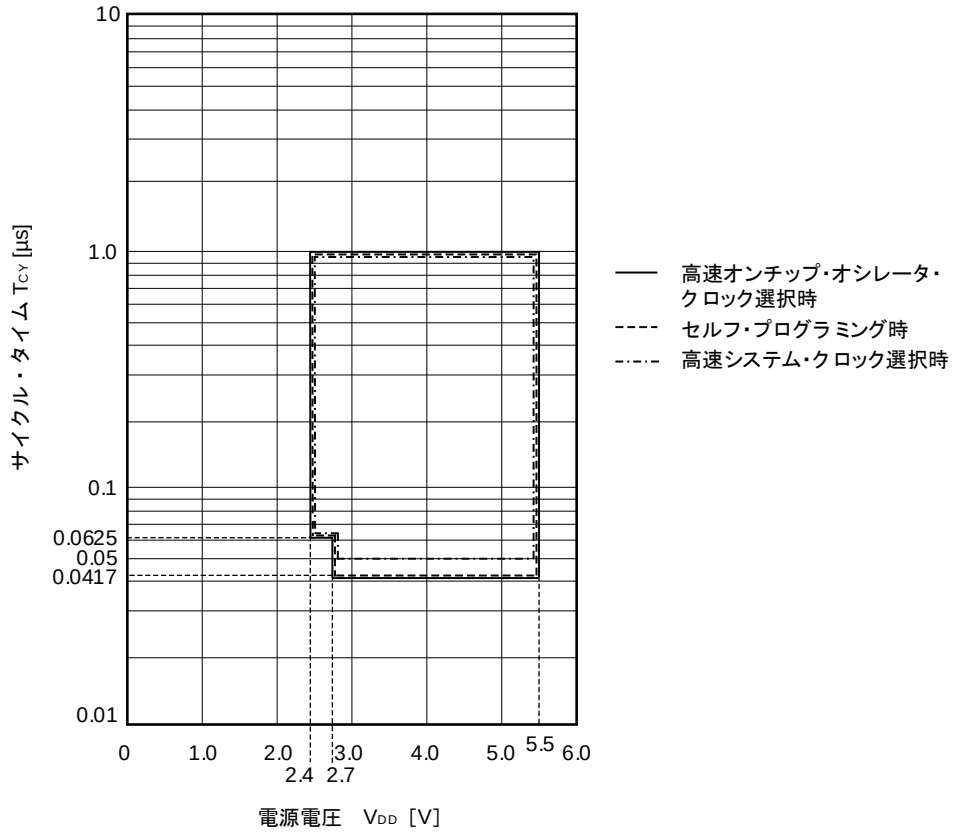
（注，備考は次ページにあります。）

**注**　デューティ = 50 %の条件でのスペックです。

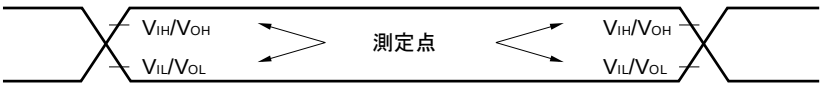
**備考**　$f_{MCK}$：タイマ・アレイ・ユニットの動作クロック周波数。
（タイマ・モード・レジスタmn（TMRmn）のCKSmn0, CKSmn1ビットで設定する動作クロック。
m：ユニット番号(m = 0)，n：チャネル番号（n = 0-7））

メイン・システム・クロック動作時の最小命令実行時間

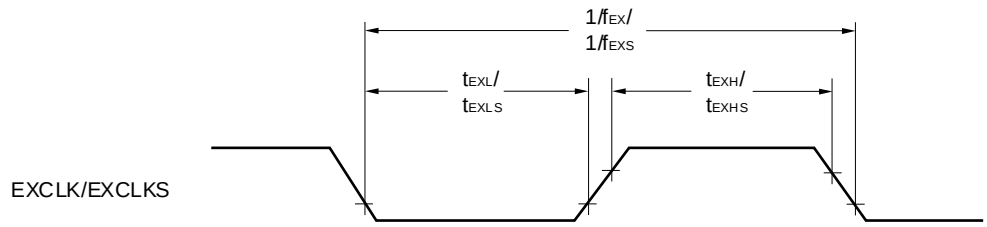
$T_{CY}$ vs $V_{DD}$（HS（高速メイン）モード）



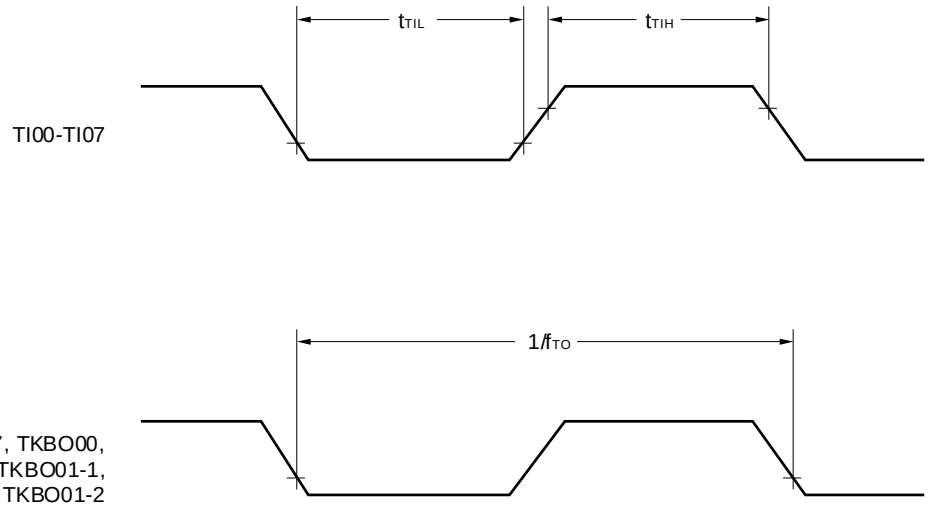

ACタイミング測定点



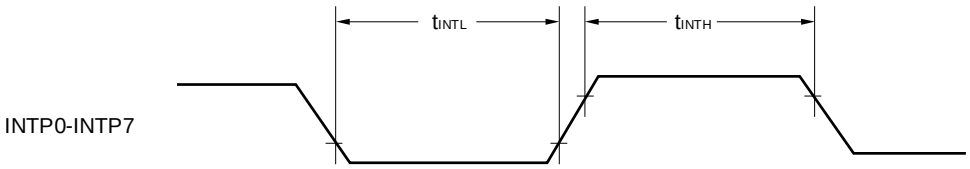

外部システム・クロック・タイミング



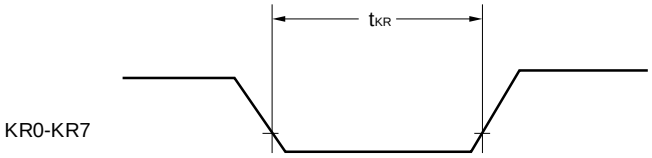
TI/TOタイミング



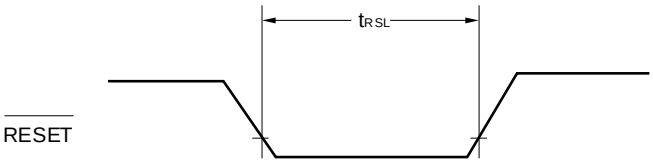

割り込み要求入力タイミング




キー割り込み入力タイミング

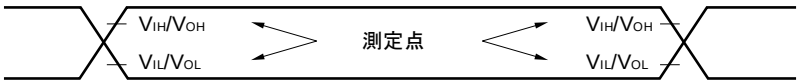



$\overline{\text{RESET}}$入力タイミング



# 33. 5　周辺機能特性

ACタイミング測定点




## 33. 5. 1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）

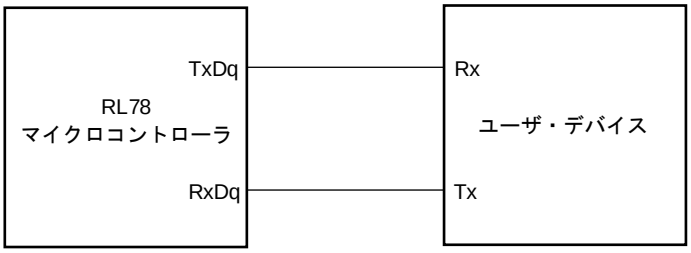
（$T_A$ = −40〜+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|
| | | | MIN. | MAX. | |
| 転送レート注 | | | | $f_{MCK}$/12 | bps |
| | | 最大転送レート理論値<br>$f_{CLK}$ = 24 MHz, $f_{MCK}$ = $f_{CLK}$ | | 2.0 | Mbps |

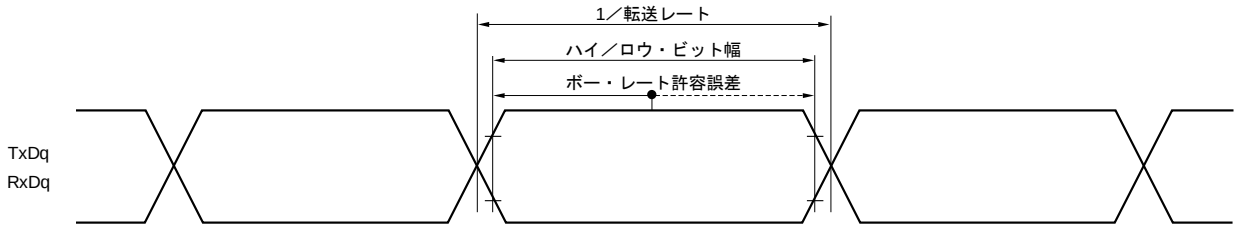
**注**　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファ，TxDq端子は通常出力モードを選択。**

UARTモード接続図（同電位通信時）




UARTモードのビット幅（同電位通信時）（参考）




**備考1.**　q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3）

**2.**　$f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（2）同電位通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力）

（$T_A$ = −40～+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|
| | | | MIN. | MAX. | |
| SCKpサイクル・タイム | $t_{KCY1}$ | 2.7 V≦$V_{DD}$≦5.5 V | 334[注1] | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | 500[注1] | | ns |
| SCKpハイ，ロウ・レベル幅 | $t_{KH1}$, $t_{KL1}$ | 4.0 V≦$V_{DD}$≦5.5 V | $t_{KCY1}$/2−24 | | ns |
| | | 2.7 V≦$V_{DD}$≦5.5 V | $t_{KCY1}$/2−36 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | $t_{KCY1}$/2−76 | | ns |
| SIpセットアップ時間（対SCKp↑）[注2] | $t_{SIK1}$ | 4.0 V≦$V_{DD}$≦5.5 V | 66 | | ns |
| | | 2.7 V≦$V_{DD}$≦5.5 V | 66 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | 113 | | ns |
| SIpホールド時間（対SCKp↑）[注2] | $t_{KSI1}$ | | 38 | | ns |
| SCKp↓→SOp出力遅延時間[注3] | $t_{KSO1}$ | C = 30 pF[注4] | | 50 | ns |

**注 1.**　かつ4/$f_{CLK}$以上に設定してください。

**2.**　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

**3.**　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

**4.**　Cは，SCKp, SOp出力ラインの負荷容量です。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファ，SOp端子とSCKp端子は通常出力モードを選択。**

**備考 1.**　p：CSI番号（p = 00, 10），m：ユニット番号（m = 0），
n：チャネル番号（n = 0, 2），g：PIM, POM番号（g = 0, 1）

**2.**　$f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 02））

（3）同電位通信時（簡易SPI（CSI）モード）（スレーブ・モード，SCKp…外部クロック入力）

（$T_A$ = −40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | |
| SCKpサイクル・タイム注4 | $t_{KCY2}$ | 4.0 V≦$V_{DD}$≦5.5 V | $f_{MCK}$＞20 MHz | 16/$f_{MCK}$ | | ns |
| | | | $f_{MCK}$≦20 MHz | 12/$f_{MCK}$ | | ns |
| | | 2.7 V≦$V_{DD}$≦5.5 V | $f_{MCK}$＞16 MHz | 16/$f_{MCK}$ | | ns |
| | | | $f_{MCK}$≦16 MHz | 12/$f_{MCK}$ | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | 12/$f_{MCK}$ かつ1000 | | ns |
| SCKpハイ，ロウ・レベル幅 | $t_{KH2}$, $t_{KL2}$ | 4.0 V≦$V_{DD}$≦5.5 V | | $t_{KCY2}$/2−14 | | ns |
| | | 2.7 V≦$V_{DD}$≦5.5 V | | $t_{KCY2}$/2−16 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | $t_{KCY2}$/2−36 | | ns |
| SIpセットアップ時間（対SCKp↑）注1 | $t_{SIK2}$ | 2.7 V≦$V_{DD}$≦5.5 V | | 1/$f_{MCK}$＋40 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V | | 1/$f_{MCK}$＋60 | | ns |
| SIpホールド時間（対SCKp↑）注1 | $t_{KSI2}$ | | | 1/$f_{MCK}$＋62 | | ns |
| SCKp↓→SOp出力遅延時間注2 | $t_{KSO2}$ | C = 30 pF注3 | 2.7 V≦$V_{DD}$≦5.5 V | | 2/$f_{MCK}$＋66 | ns |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | | 2/$f_{MCK}$＋113 | ns |

**注1.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

**2.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

**3.** Cは，SOp出力ラインの負荷容量です。

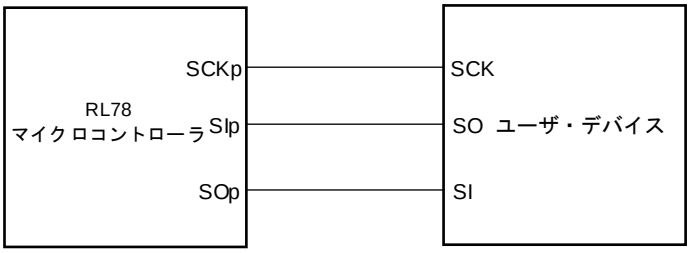
**4.** SNOOZEモードでの転送レートは，MAX.：1 Mbpsです。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファ，SOp端子は通常出力モードを選択。**

**備考1.** p：CSI番号（p = 00, 10），m：ユニット番号（m = 0），n：チャネル番号（n = 0, 2），g：PIM, POM番号（g = 0, 1）

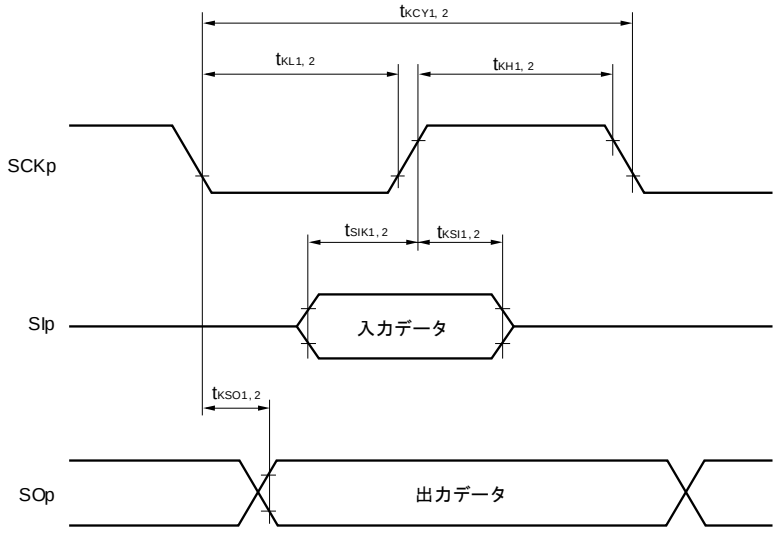
**2.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 02））

簡易SPI（CSI）モード接続図（同電位通信時）



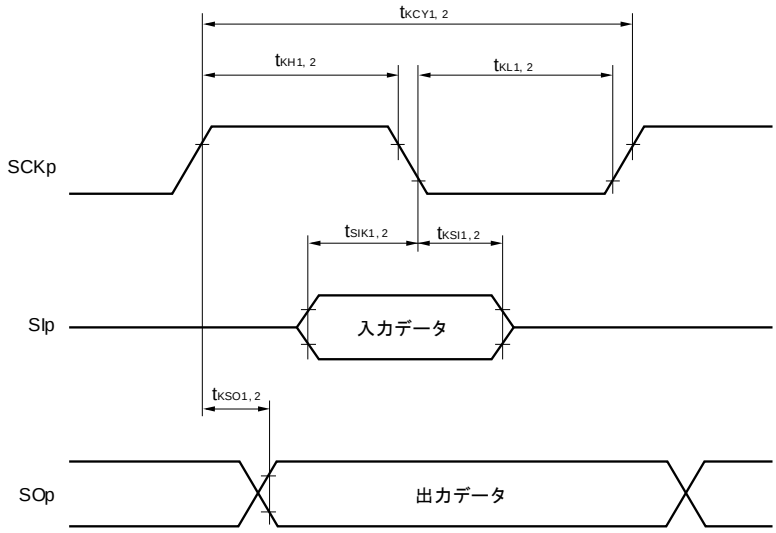

簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）




簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）




**備考1.** p：CSI番号（p = 00, 10）

**2.** m：ユニット番号，n：チャネル番号（mn = 00, 02）

（4）同電位通信時（簡易$I^2C$モード）

（$T_A$ = −40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|
| | | | MIN. | MAX. | |
| SCLrクロック周波数 | $f_{SCL}$ | 2.7 V≦$V_{DD}$≦5.5 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | | 400注1 | kHz |
| | | 2.4 V≦$V_{DD}$≦5.5 V, $C_b$ = 100 pF, $R_b$ = 3 kΩ | | 100注1 | kHz |
| SCLr = ”L”のホールド・タイム | $t_{LOW}$ | 2.7 V≦$V_{DD}$≦5.5 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1200 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V, $C_b$ = 100 pF, $R_b$ = 3 kΩ | 4600 | | ns |
| SCLr = ”H”のホールド・タイム | $t_{HIGH}$ | 2.7 V≦$V_{DD}$≦5.5 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1200 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V, $C_b$ = 100 pF, $R_b$ = 3 kΩ | 4600 | | ns |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$＋220注2 | | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V, $C_b$ = 100 pF, $R_b$ = 3 kΩ | 1/$f_{MCK}$＋580注2 | | ns |
| データ・ホールド時間（送信時） | $t_{HD:DAT}$ | 2.7 V≦$V_{DD}$≦5.5 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 0 | 770 | ns |
| | | 2.4 V≦$V_{DD}$≦5.5 V, $C_b$ = 100 pF, $R_b$ = 3 kΩ | 0 | 1420 | ns |

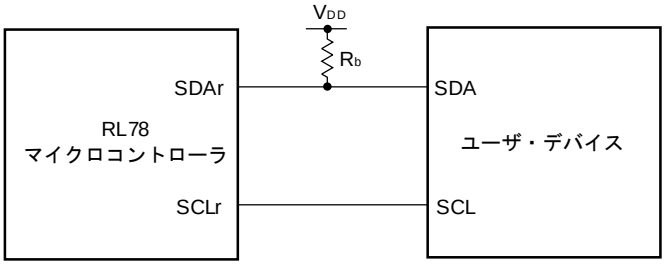
**注 1.** かつ$f_{MCK}$/4以下に設定してください。

**2.** $f_{MCK}$値は，SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

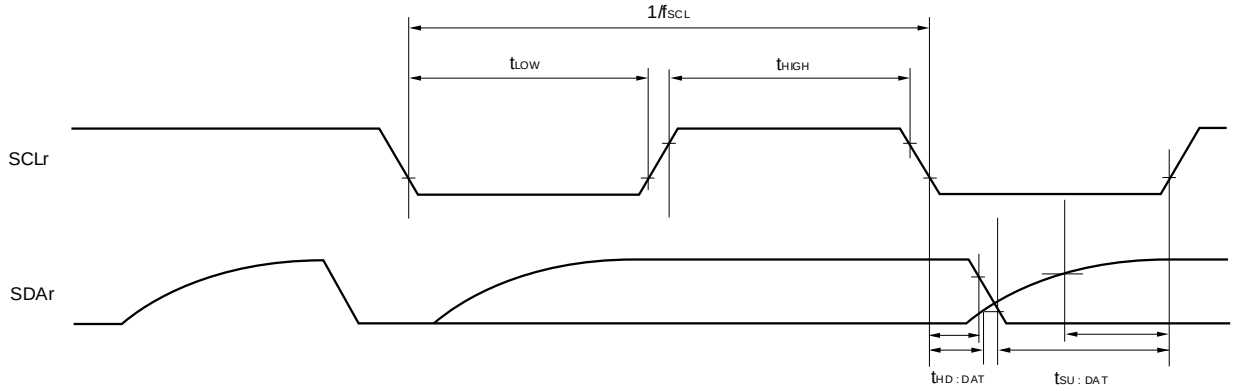
**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArは通常入力バッファ，N-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択，SCLrは通常出力モードを選択。**

（備考は次ページにあります。）

簡易$I^2C$モード接続図（同電位通信時）




簡易$I^2C$モード・シリアル転送タイミング（同電位通信時）




**備考1.** $R_b$ [Ω]：通信ライン（SDAr）プルアップ抵抗値，$C_b$ [F]：通信ライン（SCLr, SDAr）負荷容量値

**2.** r：IIC番号（r = 00, 10），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0），n：チャネル番号（n = 0-3），mn = 00-03, 10-13）

（5）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（1/2）

（$T_A$ = −40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | |
| 転送レート | | 受信 | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | | $f_{MCK}$/12[注] | bps |
| | | | 最大転送レート理論値<br>$f_{CLK}$ = 24 MHz, $f_{MCK}$ = $f_{CLK}$ | | 2.0 | Mbps |
| | | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | | $f_{MCK}$/12[注] | bps |
| | | | 最大転送レート理論値<br>$f_{CLK}$ = 24 MHz, $f_{MCK}$ = $f_{CLK}$ | | 2.0 | Mbps |
| | | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | | $f_{MCK}$/12[注] | bps |
| | | | 最大転送レート理論値<br>$f_{CLK}$ = 24 MHz, $f_{MCK}$ = $f_{CLK}$ | | 2.0 | Mbps |

**注**　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

**備考1.**　$V_b$ [V]：通信ライン電圧

**2.**　q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3）

**3.**　$f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（5）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（2/2）

（$T_A$ = −40〜+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | |
| 転送レート | | 送信 | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | | 注1 | bps |
| | | | 最大転送レート理論値<br>$C_b$ = 50 pF, $R_b$ = 1.4 kΩ, $V_b$ = 2.7 V | | 2.0[注2] | Mbps |
| | | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | | 注3 | bps |
| | | | 最大転送レート理論値<br>$C_b$ = 50 pF, $R_b$ = 2.7 kΩ, $V_b$ = 2.3 V | | 1.2[注4] | Mbps |
| | | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | | 注5 | bps |
| | | | 最大転送レート理論値<br>$C_b$ = 50 pF, $R_b$ = 5.5 kΩ, $V_b$ = 1.6 V | | 0.43[注6] | Mbps |

**注1.** $f_{MCK}$/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

**2.** この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

**3.** $f_{MCK}$/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

**4.** この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

**注5.** $f_{MCK}$/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.4 V≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

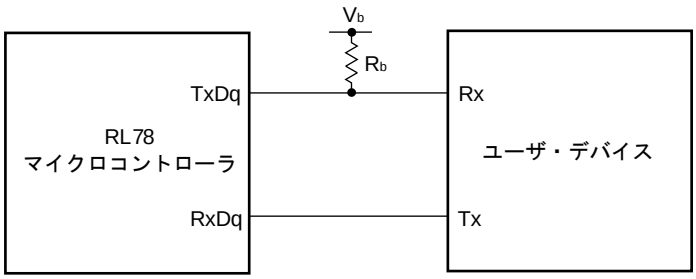
$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

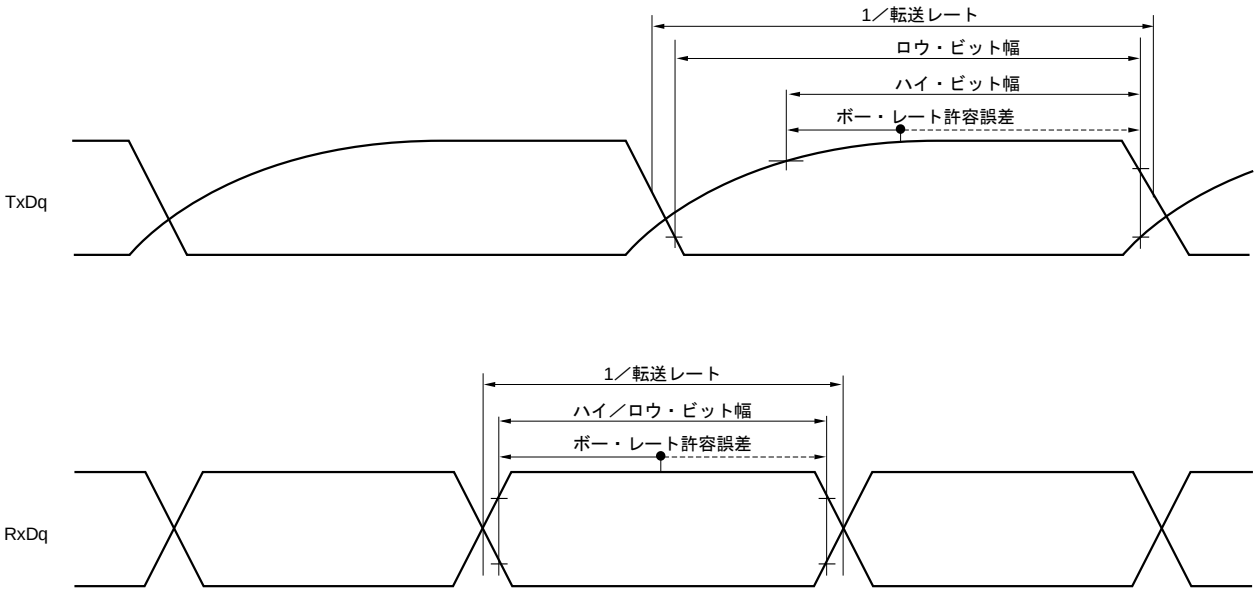
**6.** この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）




**備考1.** $R_b$ [Ω]：通信ライン（TxDq）プルアップ抵抗値，$C_b$ [F]：通信ライン（TxDq）負荷容量値，$V_b$ [V]：通信ライン電圧

**2.** q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 3）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力）（1/3）

（$T_A$ = −40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | |
| SCKpサイクル・タイム | $t_{KCY1}$ | $t_{KCY1}$≧4$f_{CLK}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 600 | | ns |
| | | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 1000 | | ns |
| | | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦1.8 V,<br>$C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 2300 | | ns |
| SCKpハイ・レベル幅 | $t_{KH1}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | $t_{KCY1}$/2−150 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | $t_{KCY1}$/2−340 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V,<br>$C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | $t_{KCY1}$/2−916 | | ns |
| SCKpロウ・レベル幅 | $t_{KL1}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | $t_{KCY1}$/2−24 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | $t_{KCY1}$/2−36 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V,<br>$C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | $t_{KCY1}$/2−100 | | ns |

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

（備考は次次々ページにあります。）

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力）（2/3）

（$T_A$ = −40～+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|
| | | | MIN. | MAX. | |
| SIpセットアップ時間（対SCKp↑）注 | $t_{SIK1}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 162 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 354 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V,<br>$C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 958 | | ns |
| SIpホールド時間（対SCKp↑）注 | $t_{KSI1}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 38 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 38 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V,<br>$C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 38 | | ns |
| SCKp↓→SOp出力遅延時間注 | $t_{KSO1}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | 200 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | 390 | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V,<br>$C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | 966 | ns |

**注**　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

（備考は次々ページにあります。）

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（マスタ・モード，SCKp…内部クロック出力）（3/3）

（$T_A$ = −40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

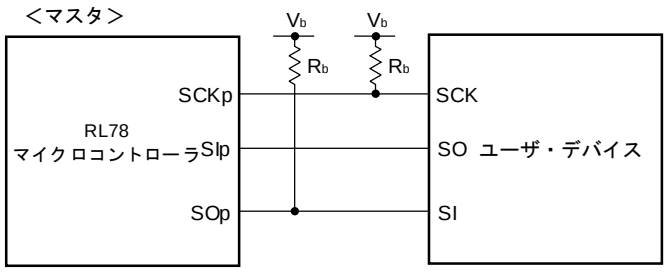
| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|
| | | | MIN. | MAX. | |
| SIpセットアップ時間（対SCKp↓）注 | $t_{SIK1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 88 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 88 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 220 | | ns |
| SIpホールド時間（対SCKp↓）注 | $t_{KSI1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | 38 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | 38 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | 38 | | ns |
| SCKp↑→SOp出力遅延時間注 | $t_{KSO1}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | 50 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | 50 | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | 50 | ns |

**注**　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

（備考は次ページにあります。）

簡易SPI（CSI）モード接続図（異電位通信時）



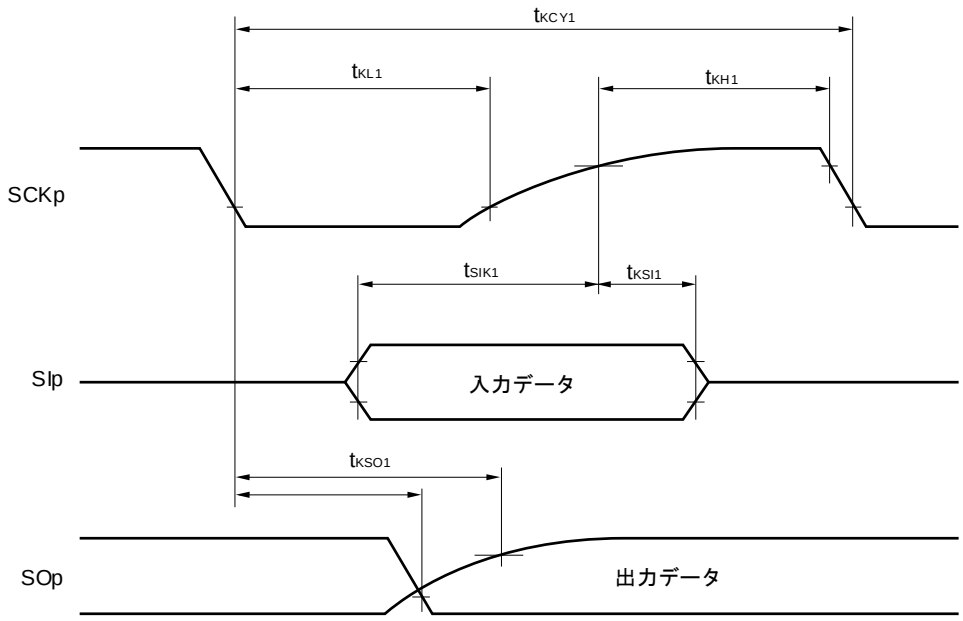

**備考1.** $R_b$ [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，$C_b$ [F]：通信ライン（SCKp, SOp）負荷容量値，$V_b$ [V]：通信ライン電圧

**2.** p：CSI番号（p = 00, 10），m：ユニット番号，n：チャネル番号（mn = 00, 02），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

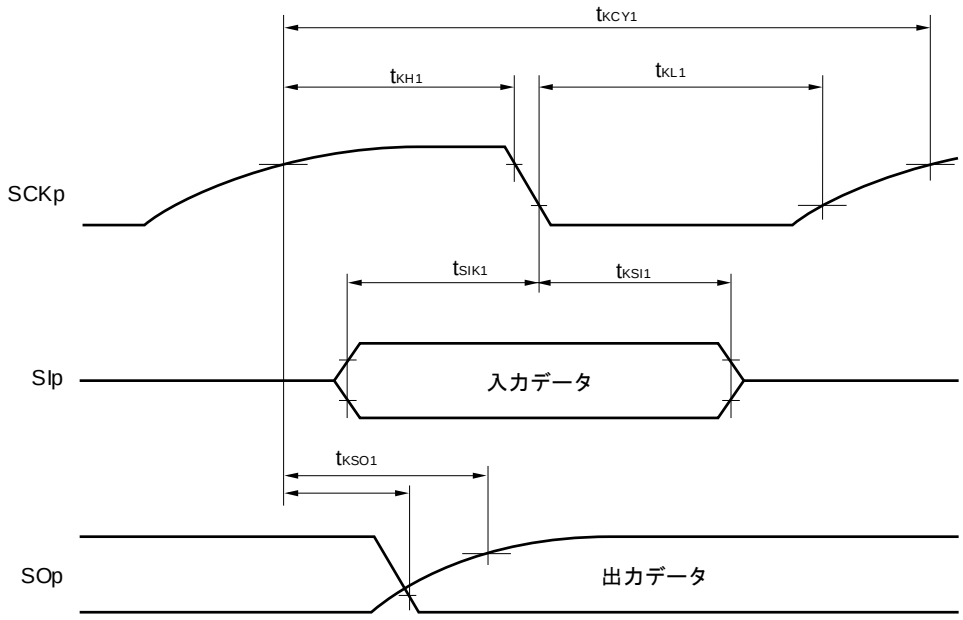
簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）




簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）




**備考**　p：CSI番号（p = 00, 10），m：ユニット番号，n：チャネル番号（mn = 00, 02），g：PIM, POM番号（g = 0, 1）

（7）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易SPI（CSI）モード）（スレーブ・モード，SCKp…外部クロック入力）

（$T_A$ = −40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | HS（高速メイン）モード | | 単　位 |
|---|---|---|---|---|---|---|
| | | | | MIN. | MAX. | |
| SCKpサイクル・タイム注1 | $t_{KCY2}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | 20 MHz＜$f_{MCK}$ | 24/$f_{MCK}$ | | ns |
| | | | 8 MHz＜$f_{MCK}$≦20 MHz | 20/$f_{MCK}$ | | ns |
| | | | 4 MHz＜$f_{MCK}$≦8 MHz | 16/$f_{MCK}$ | | ns |
| | | | $f_{MCK}$≦4 MHz | 12/$f_{MCK}$ | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | 20 MHz＜$f_{MCK}$ | 32/$f_{MCK}$ | | ns |
| | | | 16 MHz＜$f_{MCK}$≦20 MHz | 28/$f_{MCK}$ | | ns |
| | | | 8 MHz＜$f_{MCK}$≦16 MHz | 24/$f_{MCK}$ | | ns |
| | | | 4 MHz＜$f_{MCK}$≦8 MHz | 16/$f_{MCK}$ | | ns |
| | | | $f_{MCK}$≦4 MHz | 12/$f_{MCK}$ | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | 20 MHz＜$f_{MCK}$ | 72/$f_{MCK}$ | | ns |
| | | | 16 MHz＜$f_{MCK}$≦20 MHz | 64/$f_{MCK}$ | | ns |
| | | | 8 MHz＜$f_{MCK}$≦16 MHz | 52/$f_{MCK}$ | | ns |
| | | | 4 MHz＜$f_{MCK}$≦8 MHz | 32/$f_{MCK}$ | | ns |
| | | | $f_{MCK}$≦4 MHz | 20/$f_{MCK}$ | | ns |
| SCKpハイ，ロウ・レベル幅 | $t_{KH2}$,<br>$t_{KL2}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | | $t_{KCY2}$/2−24 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | | $t_{KCY2}$/2−36 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | | $t_{KCY2}$/2−100 | | ns |
| SIpセットアップ時間<br>（対SCKp↑）注2 | $t_{SIK2}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | | 1/$f_{MCK}$＋40 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | | 1/$f_{MCK}$＋40 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | | 1/$f_{MCK}$＋60 | | ns |
| SIpホールド時間<br>（対SCKp↑）注2 | $t_{KSI2}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V | | 1/$f_{MCK}$＋62 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V | | 1/$f_{MCK}$＋62 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V | | 1/$f_{MCK}$＋62 | | ns |
| SCKp↓→SOp出力遅延時間注3 | $t_{KSO2}$ | 4.0 V≦$V_{DD}$≦5.5 V,<br>2.7 V≦$V_b$≦4.0 V,<br>$C_b$ = 30 pF, $R_b$ = 1.4 kΩ | | | 2/$f_{MCK}$＋240 | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V,<br>2.3 V≦$V_b$≦2.7 V,<br>$C_b$ = 30 pF, $R_b$ = 2.7 kΩ | | | 2/$f_{MCK}$＋428 | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V,<br>1.6 V≦$V_b$≦2.0 V,<br>$C_b$ = 30 pF, $R_b$ = 5.5 kΩ | | | 2/$f_{MCK}$＋1146 | ns |

（注，注意，備考は次ページにあります。）

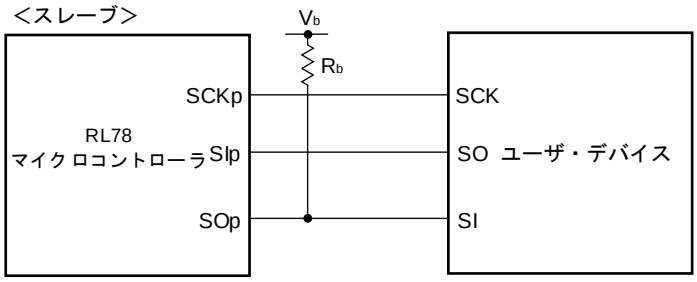
**注1.** SNOOZEモードでの転送レートは，MAX.：1 Mbps

**2.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

**3.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子はTTL入力バッファ，SOp端子はN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

簡易SPI（CSI）モード接続図（異電位通信時）



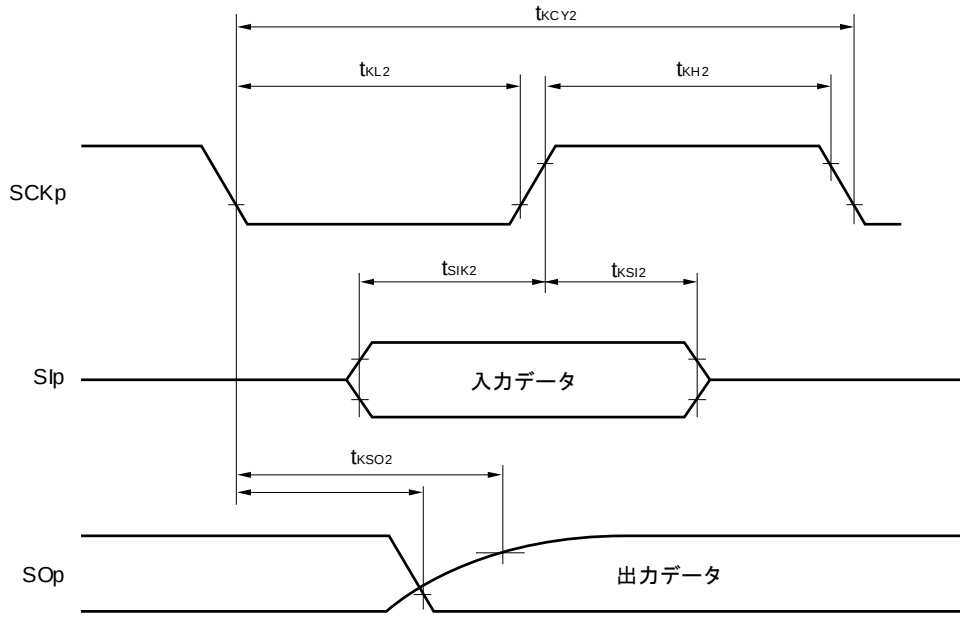

**備考1.** $R_b$ [Ω]：通信ライン（SOp）プルアップ抵抗値，$C_b$ [F]：通信ライン（SOp）負荷容量値，Vb [V]：通信ライン電圧

**2.** p：CSI番号（p = 00, 10），m：ユニット番号，n：チャネル番号（mn = 00, 02），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 02））

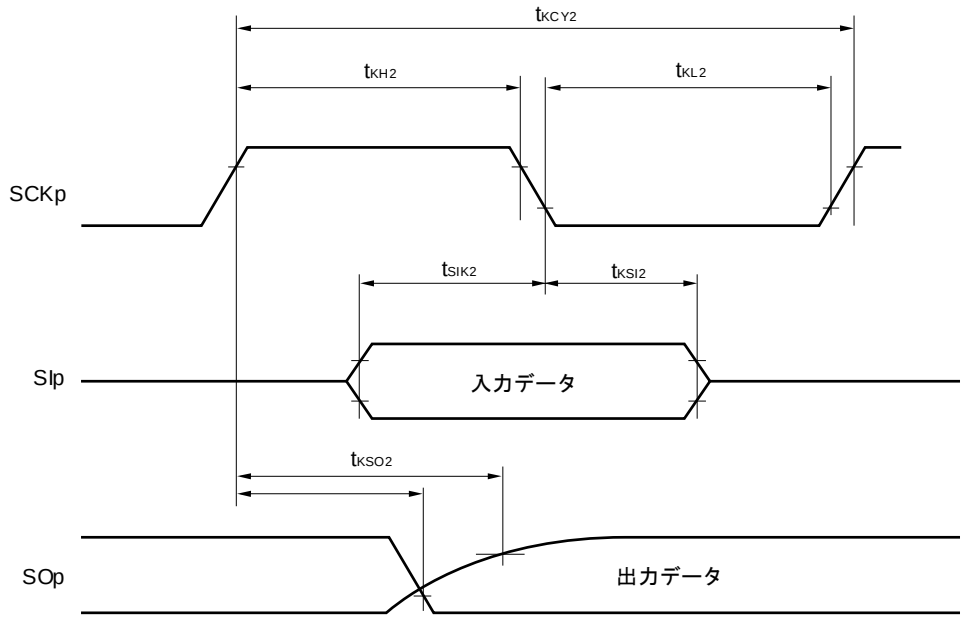
簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）




簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）




**備考**　p：CSI番号（p = 00, 10），m：ユニット番号，n：チャネル番号（mn = 00, 02），g：PIM, POM番号（g = 0, 1）

（8）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易$I^2C$モード）（1/2）

（$T_A$ = −40～+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | 単位 |
|---|---|---|---|---|---|
| | | | MIN. | MAX. | |
| SCLrクロック周波数 | $f_{SCL}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | | 400[注1] | kHz |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | | 400[注1] | kHz |
| | | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 100 pF, $R_b$ = 2.8 kΩ | | 100[注1] | kHz |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 100 pF, $R_b$ = 2.7 kΩ | | 100[注1] | kHz |
| | | 2.4 V≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 100 pF, $R_b$ = 5.5 kΩ | | 100[注1] | kHz |
| SCLr = ”L”のホールド・タイム | $t_{LOW}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1200 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1200 | | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 4600 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 4600 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 4650 | | ns |
| SCLr = ”H”のホールド・タイム | $t_{HIGH}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 620 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$＜2.7 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 500 | | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 2700 | | ns |
| | | 2.7 V≦$V_{DD}$＜4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 2400 | | ns |
| | | 2.4 V≦$V_{DD}$＜3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 1830 | | ns |

（注，注意は次ページ，備考は次々ページにあります。）

（8）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易$I^2C$モード）（2/2）

（$T_A$ = −40～+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | HS（高速メイン）モード | | 単位 |
|---|---|---|---|---|---|
| | | | MIN. | MAX. | |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$+340[注2] | | ns |
| | | 2.7 V≦$V_{DD}$<4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$+340[注2] | | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 1/$f_{MCK}$+760[注2] | | ns |
| | | 2.7 V≦$V_{DD}$<4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 1/$f_{MCK}$+760[注2] | | ns |
| | | 2.4 V≦$V_{DD}$<3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 1/$f_{MCK}$+570[注2] | | ns |
| データ・ホールド時間（送信時） | $t_{HD:DAT}$ | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 0 | 770 | ns |
| | | 2.7 V≦$V_{DD}$<4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 50 pF, $R_b$ = 2.7 kΩ | 0 | 770 | ns |
| | | 4.0 V≦$V_{DD}$≦5.5 V, 2.7 V≦$V_b$≦4.0 V, $C_b$ = 100 pF, $R_b$ = 2.8 kΩ | 0 | 1420 | ns |
| | | 2.7 V≦$V_{DD}$<4.0 V, 2.3 V≦$V_b$≦2.7 V, $C_b$ = 100 pF, $R_b$ = 2.7 kΩ | 0 | 1420 | ns |
| | | 2.4 V≦$V_{DD}$<3.3 V, 1.6 V≦$V_b$≦2.0 V, $C_b$ = 100 pF, $R_b$ = 5.5 kΩ | 0 | 1215 | ns |

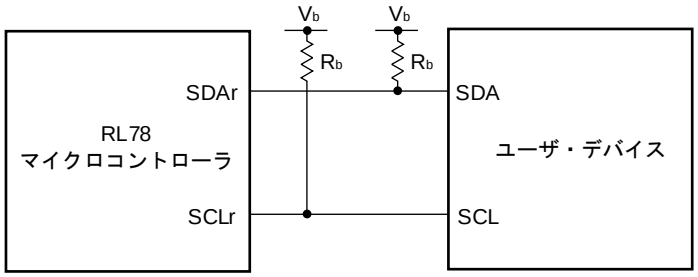
**注 1.**　かつ$f_{MCK}$/4以下に設定してください。

**2.**　$f_{MCK}$値は，SCLr = “L”とSCLr = “H”のホールド・タイムを超えない値に設定してください。

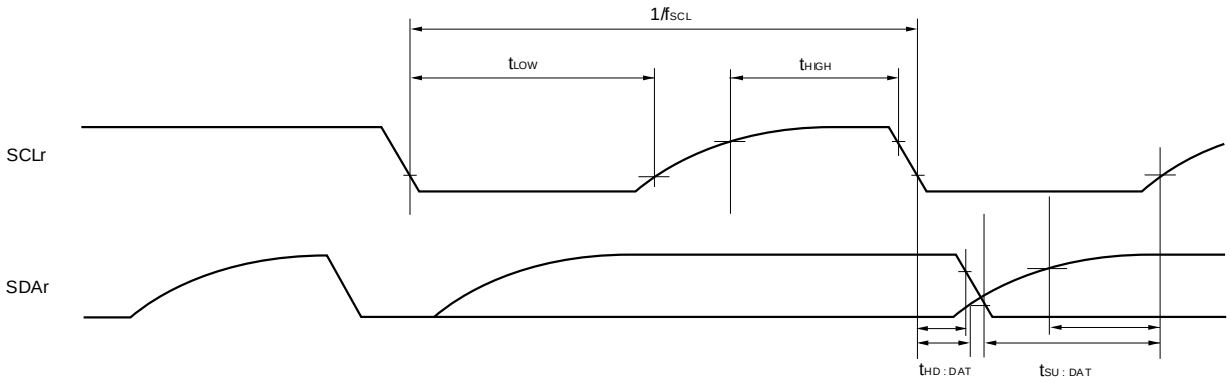
**注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択，SCLrはN-chオープン・ドレイン出力（$V_{DD}$耐圧）モードを選択。なお$V_{IH}$，$V_{IL}$は，TTL入力バッファ選択時のDC特性を参照してください。**

（備考は次ページにあります。）

簡易$I^2C$モード接続図（異電位通信時）




簡易$I^2C$モード・シリアル転送タイミング（異電位通信時）




**備考1.** $R_b$ [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，$C_b$ [F]：通信ライン（SDAr, SCLr）負荷容量値，$V_b$ [V]：通信ライン電圧

**2.** r：IIC番号（r = 00, 10），g：PIM, POM番号（g = 0, 1）

**3.** $f_{MCK}$：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 02））

## 33. 5. 2　シリアル・インタフェースIICA

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条件 | HS（高速メイン）モード | | | | 単位 |
|---|---|---|---|---|---|---|---|
| | | | 標準モード | | ファースト・モード | | |
| | | | MIN. | MAX. | MIN. | MAX. | |
| SCLA0クロック周波数 | $f_{SCL}$ | ファースト・モード：$f_{CLK}$≧3.5 MHz | − | − | 0 | 400 | kHz |
| | | 標準モード：$f_{CLK}$≧1 MHz | 0 | 100 | − | − | kHz |
| リスタート・コンディションのセットアップ時間 | $t_{SU:STA}$ | | 4.7 | | 0.6 | | μs |
| ホールド時間[注1] | $t_{HD:STA}$ | | 4.0 | | 0.6 | | μs |
| SCLA0 = ”L”のホールド・タイム | $t_{LOW}$ | | 4.7 | | 1.3 | | μs |
| SCLA0 = ”H”のホールド・タイム | $t_{HIGH}$ | | 4.0 | | 0.6 | | μs |
| データ・セットアップ時間（受信時） | $t_{SU:DAT}$ | | 250 | | 100 | | ns |
| データ・ホールド時間（送信時）[注2] | $t_{HD:DAT}$ | | 0 | 3.45 | 0 | 0.9 | μs |
| ストップ・コンディションのセットアップ時間 | $t_{SU:STO}$ | | 4.0 | | 0.6 | | μs |
| バス・フリー時間 | $t_{BUF}$ | | 4.7 | | 1.3 | | μs |

**注1.** スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

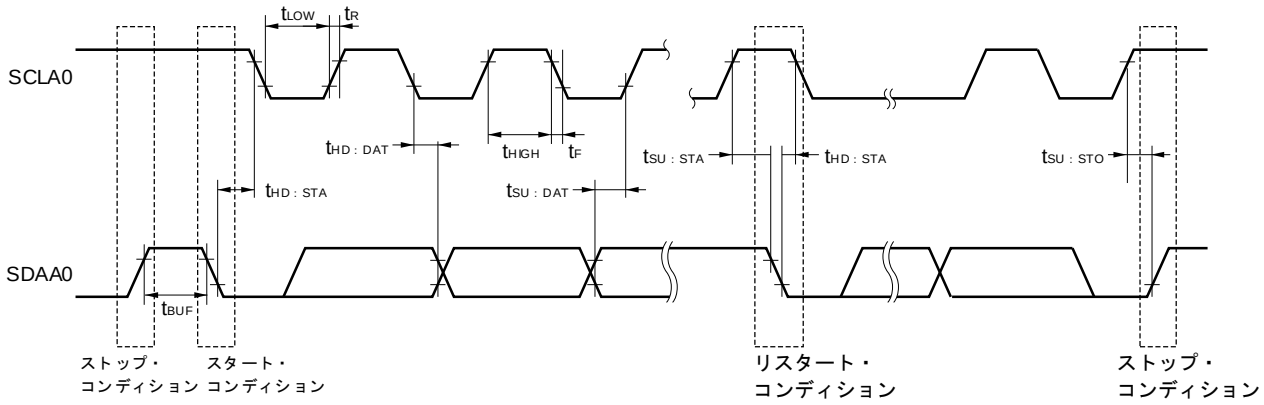
**2.** $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

**備考**　各モードにおける$C_b$（通信ライン容量）のMAX.値と，そのときの$R_b$（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　　：$C_b$ = 400 pF, Rb = 2.7 kΩ

ファースト・モード　　：$C_b$ = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



# 33. 6　アナログ特性

## 33. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

| 基準電圧 / 入力チャネル | 基準電圧（+）= $AV_{REFP}$<br>基準電圧（−）= $AV_{REFM}$ | 基準電圧（+）= $V_{DD}$<br>基準電圧（−）= $V_{SS}$ | 基準電圧（+）= $V_{BGR}$<br>基準電圧（−）= $AV_{REFM}$ |
|---|---|---|---|
| ANI0, ANI1 | – | **33. 6. 1（2）参照** | **33. 6. 1（3）参照** |
| ANI16-ANI25 | **33. 6. 1（1）参照** | | |
| 内部基準電圧<br>温度センサ出力電圧 | **33. 6. 1（1）参照** | | – |

（1）基準電圧（+）= $AV_{REFP}$/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（−）= $AV_{REFM}$/ANI1（ADREFM = 1）選択時，変換対象：ANI16-ANI25，内部基準電圧，温度センサ出力電圧

（$T_A$ = −40〜+105 ℃，2.4 V≦$AV_{REFP}$≦$V_{DD}$≦5.5 V，基準電圧（+）= $AV_{REFP}$，基準電圧（−）= $AV_{REFM}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 分解能 | RES | | | 8 | | 10 | bit |
| 総合誤差[注1] | AINL | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 2.4 V≦$AV_{REFP}$≦5.5 V | | 1.2 | ±5.0 | LSB |
| 変換時間 | $t_{CONV}$ | 10ビット分解能<br>変換対象：ANI16-ANI25 | 3.6 V≦$V_{DD}$≦5.5 V | 2.125 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.1875 | | 39 | μs |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| | | 10ビット分解能<br>変換対象：内部基準電圧，<br>温度センサ出力電圧<br>（HS（高速メイン）モード） | 3.6 V≦$V_{DD}$≦5.5 V | 2.375 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.5625 | | 39 | μs |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| ゼロスケール誤差[注1, 2] | $E_{ZS}$ | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 2.4 V≦$AV_{REFP}$≦5.5 V | | | ±0.35 | %FSR |
| フルスケール誤差[注1, 2] | $E_{FS}$ | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 2.4 V≦$AV_{REFP}$≦5.5 V | | | ±0.35 | %FSR |
| 積分直線性誤差[注1] | ILE | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 2.4 V≦$AV_{REFP}$≦5.5 V | | | ±3.5 | LSB |
| 微分直線性誤差[注1] | DLE | 10ビット分解能<br>$AV_{REFP}$ = $V_{DD}$[注3] | 2.4 V≦$AV_{REFP}$≦5.5 V | | | ±2.0 | LSB |
| アナログ入力電圧 | $V_{AIN}$ | ANI16-ANI25 | | 0 | | $AV_{REFP}$ | V |
| | | 内部基準電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード) | | $V_{BGR}$[注4] | | | V |
| | | 温度センサ出力電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード) | | $V_{TMPS25}$[注4] | | | V |

（注は次ページにあります。）

**注1.** 量子化誤差（±1/2 LSB）を含みません。

**2.** フルスケール値に対する比率（%FSR）で表します。

**3.** $AV_{REFP}$＜$V_{DD}$の場合、MAX.値は次のようになります。

・総合誤差　：$AV_{REFP}$ = $V_{DD}$のMAX.値に±4LSBを加算してください。

・ゼロスケール誤差/フルスケール誤差　：$AV_{REFP}$ = $V_{DD}$のMAX.値に±0.2%FSRを加算してください。

・積分直線性誤差/微分直線性誤差　：$AV_{REFP}$ = $V_{DD}$のMAX.値に±2LSBを加算してください。

**4.** **33. 6. 2　温度センサ／内部基準電圧特性**を参照してください。

（2）基準電圧（+）= $V_{DD}$（ADREFP1 = 0, ADREFP0 = 0），基準電圧（−）= $V_{SS}$（ADREFM = 0）選択時，
変換対象：ANI0，ANI1，ANI16-ANI25，内部基準電圧，温度センサ出力電圧

（$T_A$ = −40〜+105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V，基準電圧（+）= $V_{DD}$，基準電圧（−）= $V_{SS}$）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 分解能 | RES | | | 8 | | 10 | bit |
| 総合誤差[注1] | AINL | 10ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | 1.2 | ±7.0 | LSB |
| 変換時間 | $t_{CONV}$ | 10ビット分解能<br>変換対象：<br>ANI0, ANI1, ANI16-ANI25 | 3.6 V≦$V_{DD}$≦5.5 V | 2.125 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.1875 | | 39 | μs |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| | | 10ビット分解能<br>変換対象：内部基準電圧，<br>温度センサ出力電圧<br>（HS（高速メイン）モード） | 3.6 V≦$V_{DD}$≦5.5 V | 2.375 | | 39 | μs |
| | | | 2.7 V≦$V_{DD}$≦5.5 V | 3.5625 | | 39 | μs |
| | | | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| ゼロスケール誤差[注1, 2] | $E_{ZS}$ | 10ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±0.60 | %FSR |
| フルスケール誤差[注1, 2] | $E_{FS}$ | 10ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±0.60 | %FSR |
| 積分直線性誤差[注1] | ILE | 10ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±4.0 | LSB |
| 微分直線性誤差[注1] | DLE | 10ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±2.0 | LSB |
| アナログ入力電圧 | $V_{AIN}$ | ANI0, ANI1, ANI16-ANI25 | | 0 | | $V_{DD}$ | V |
| | | 内部基準電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード） | | $V_{BGR}$[注3] | | | V |
| | | 温度センサ出力電圧（2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード） | | $V_{TMPS25}$[注3] | | | V |

**注1.** 量子化誤差（±1/2 LSB）を含みません。

**2.** フルスケール値に対する比率（%FSR）で表します。

**3.** **33. 6. 2　温度センサ／内部基準電圧特性**を参照してください。

（3）基準電圧（＋）＝ 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－）= AVREFM/ANI1（ADREFM = 1）選択時，変換対象：ANI0, ANI16-ANI25

（$T_A$ = －40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V，基準電圧（＋）= $V_{BGR}$[注3]，
基準電圧（－）= $AV_{REFM}$[注4] = 0 V, HS（高速メイン）モード）

| 項　　目 | 略　号 | 条　　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 分解能 | RES | | | | 8 | | bit |
| 変換時間 | $t_{CONV}$ | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | 17 | | 39 | μs |
| ゼロスケール誤差[注1, 2] | $E_{ZS}$ | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±0.60 | %FSR |
| 積分直線性誤差[注1] | ILE | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±2.0 | LSB |
| 微分直線性誤差[注1] | DLE | 8ビット分解能 | 2.4 V≦$V_{DD}$≦5.5 V | | | ±1.0 | LSB |
| アナログ入力電圧 | $V_{AIN}$ | | | 0 | | $V_{BGR}$[注3] | V |

**注1.** 量子化誤差（±1/2 LSB）を含みません。

**2.** フルスケール値に対する比率（%FSR）で表します。

**3.** **33. 6. 2　温度センサ／内部基準電圧特性**を参照してください。

**4.** 基準電圧（－）=$V_{SS}$の場合，MAX.値は次のようになります。

・ゼロスケール誤差　：基準電圧（－）=$AV_{REFM}$のMAX.値に±0.35%FSRを加算してください。

・積分直線性誤差　　：基準電圧（－）=$AV_{REFM}$のMAX.値に±0.5LSBを加算してください。

・微分直線性誤差　　：基準電圧（－）=$AV_{REFM}$のMAX.値に±0.2LSBを加算してください。

## 33. 6. 2 温度センサ／内部基準電圧特性

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V, HS（高速メイン）モード）

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|
| 温度センサ出力電圧 | $V_{TMPS25}$ | ADSレジスタ = 80H設定, $T_A$ = +25℃ | | 1.05 | | V |
| 内部基準電圧 | $V_{BGR}$ | ADSレジスタ = 81H設定 | 1.38 | 1.45 | 1.5 | V |
| 温度係数 | $F_{VTMPS}$ | 温度センサ電圧の温度依存 | | −3.6 | | mV/℃ |
| 動作安定待ち時間 | $t_{AMP}$ | | 5 | | | μs |

## 33. 6. 3 コンパレータ

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項 目 | 略 号 | 条 件 | | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| 入力電圧範囲 | Ivref | | | 0 | | $V_{DD}$− 1.4 | V |
| | Ivcmp | | | −0.3 | | $V_{DD}$+ 0.3 | V |
| 出力遅延 | td | $V_{DD}$ = 3.0 V 入力スルーレート＞50 mV/μs | コンパレータ高速モード, 基本モード | | | 1.2 | μs |
| | | | コンパレータ高速モード, ウィンドウモード | | | 2.0 | μs |
| | | | コンパレータ低速モード, 基本モード | | 3.0 | 5.0 | μs |
| 高電位側リファレンス電圧 | VTW+ | コンパレータ高速モード，ウィンドウモード | | 0.66$V_{DD}$ | 0.76$V_{DD}$ | 0.86$V_{DD}$ | V |
| 低電位側リファレンス電圧 | VTW- | コンパレータ高速モード，ウィンドウモード | | 0.14$V_{DD}$ | 0.24$V_{DD}$ | 0.34$V_{DD}$ | V |
| 動作安定待ち時間 | $t_{CMP}$ | | | 100 | | | μs |
| 内部基準電圧[注] | $V_{BGR}$ | 2.4 V≦$V_{DD}$≦5.5 V，HS（高速メイン）モード | | 1.38 | 1.45 | 1.50 | V |

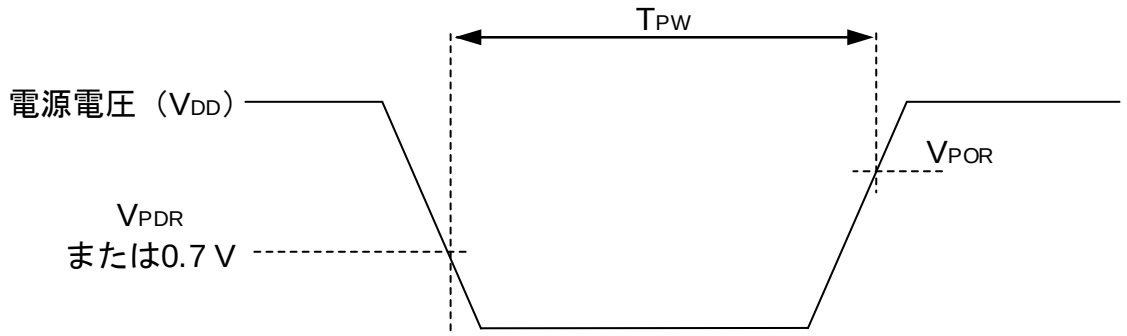
**注** サブ・クロック動作，STOPモード時は使用できません。

## 33. 6. 4　POR回路特性

（$T_A$ = −40〜+105 ℃, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 検出電圧 | $V_{POR}$ | 電源立ち上がり時 | 1.45 | 1.51 | 1.57 | V |
| | $V_{PDR}$ | 電源立ち下がり時 | 1.44 | 1.50 | 1.56 | V |
| 最小パルス幅[注] | $T_{PW}$ | | 300 | | | μs |

**注**　$V_{DD}$が$V_{PDR}$を下回った場合に，PORによるリセット動作に必要な時間です。また，STOPモードに移行時およびクロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（$f_{MAIN}$）を停止時は，$V_{DD}$が0.7 Vを下回ってから，$V_{POR}$を上回るまでのPORによるリセット動作に必要な時間です。



## 33. 6. 5　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（$T_A$ = －40～＋105 ℃，$V_{PDR}$≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| 検出電圧 | 電源電圧レベル | $V_{LVD0}$ | 電源立ち上がり時 | 3.90 | 4.06 | 4.22 | V |
| | | | 電源立ち下がり時 | 3.83 | 3.98 | 4.13 | V |
| | | $V_{LVD1}$ | 電源立ち上がり時 | 3.60 | 3.75 | 3.90 | V |
| | | | 電源立ち下がり時 | 3.53 | 3.67 | 3.81 | V |
| | | $V_{LVD2}$ | 電源立ち上がり時 | 3.01 | 3.13 | 3.25 | V |
| | | | 電源立ち下がり時 | 2.94 | 3.06 | 3.18 | V |
| | | $V_{LVD3}$ | 電源立ち上がり時 | 2.90 | 3.02 | 3.14 | V |
| | | | 電源立ち下がり時 | 2.85 | 2.96 | 3.07 | V |
| | | $V_{LVD4}$ | 電源立ち上がり時 | 2.81 | 2.92 | 3.03 | V |
| | | | 電源立ち下がり時 | 2.75 | 2.86 | 2.97 | V |
| | | $V_{LVD5}$ | 電源立ち上がり時 | 2.71 | 2.81 | 2.92 | V |
| | | | 電源立ち下がり時 | 2.64 | 2.75 | 2.86 | V |
| | | $V_{LVD6}$ | 電源立ち上がり時 | 2.61 | 2.71 | 2.81 | V |
| | | | 電源立ち下がり時 | 2.55 | 2.65 | 2.75 | V |
| | | $V_{LVD7}$ | 電源立ち上がり時 | 2.51 | 2.61 | 2.71 | V |
| | | | 電源立ち下がり時 | 2.45 | 2.55 | 2.65 | V |
| 最小パルス幅 | | $t_{LW}$ | | 300 | | | μs |
| 検出遅延 | | | | | | 300 | μs |

割り込み＆リセット・モードのLVD検出電圧

（$T_A$ = −40〜+105 ℃, $V_{PDR} \leqq V_{DD} \leqq 5.5$ V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|---|
| 割り込み＆リセット・モード | $V_{LVD5}$ | $V_{POC2}$, $V_{POC1}$, $V_{POC0}$ = 0, 1, 1, 立ち下がりリセット電圧 | | | 2.64 | 2.75 | 2.86 | V |
| | $V_{LVD4}$ | LVIS1, LVIS0 = 1, 0 | 立ち上がりリセット解除電圧 | | 2.81 | 2.92 | 3.03 | V |
| | | | 立ち下がり割り込み電圧 | | 2.75 | 2.86 | 2.97 | V |
| | $V_{LVD3}$ | LVIS1, LVIS0 = 0, 1 | 立ち上がりリセット解除電圧 | | 2.90 | 3.02 | 3.14 | V |
| | | | 立ち下がり割り込み電圧 | | 2.85 | 2.96 | 3.07 | V |
| | $V_{LVD0}$ | LVIS1, LVIS0 = 0, 0 | 立ち上がりリセット解除電圧 | | 3.90 | 4.06 | 4.22 | V |
| | | | 立ち下がり割り込み電圧 | | 3.83 | 3.98 | 4.13 | V |

## 33. 6. 6　電源電圧立ち上げ時間

（$T_A$ = −40〜+105 ℃, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| $V_{DD}$の立ち上がり傾き | $SV_{DD}$ | | | | 54 | V/ms |

**注意　$V_{DD}$が33. 4　AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。**

# 33. 7　LCD特性

## 33. 7. 1　外部抵抗分割方式

（1）スタティック・モード

（$T_A$ = －40～＋105 ℃, $V_{L4}$ (MIN.)≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| LCD駆動電圧 | $V_{L4}$ | | 2.0 | | $V_{DD}$ | V |

（2）1/2バイアス，1/4バイアス

（$T_A$ = －40～＋105 ℃, $V_{L4}$ (MIN.)≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| LCD駆動電圧 | $V_{L4}$ | | 2.7 | | $V_{DD}$ | V |

（3）1/3バイアス

（$T_A$ = －40～＋105 ℃, $V_{L4}$ (MIN.)≦$V_{DD}$≦5.5 V, $V_{SS}$ =0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| LCD駆動電圧 | $V_{L4}$ | | 2.5 | | $V_{DD}$ | V |

## 33. 7. 2 内部昇圧方式

（1）1/3バイアス

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| LCD出力電圧可変範囲 | $V_{L1}$ | C1-C4[注1] = 0.47 μF[注2] | VLCD = 04H | 0.90 | 1.00 | 1.08 | V |
| | | | VLCD = 05H | 0.95 | 1.05 | 1.13 | V |
| | | | VLCD = 06H | 1.00 | 1.10 | 1.18 | V |
| | | | VLCD = 07H | 1.05 | 1.15 | 1.23 | V |
| | | | VLCD = 08H | 1.10 | 1.20 | 1.28 | V |
| | | | VLCD = 09H | 1.15 | 1.25 | 1.33 | V |
| | | | VLCD = 0AH | 1.20 | 1.30 | 1.38 | V |
| | | | VLCD = 0BH | 1.25 | 1.35 | 1.43 | V |
| | | | VLCD = 0CH | 1.30 | 1.40 | 1.48 | V |
| | | | VLCD = 0DH | 1.35 | 1.45 | 1.53 | V |
| | | | VLCD = 0EH | 1.40 | 1.50 | 1.58 | V |
| | | | VLCD = 0FH | 1.45 | 1.55 | 1.63 | V |
| | | | VLCD = 10H | 1.50 | 1.60 | 1.68 | V |
| | | | VLCD = 11H | 1.55 | 1.65 | 1.73 | V |
| | | | VLCD = 12H | 1.60 | 1.70 | 1.78 | V |
| | | | VLCD = 13H | 1.65 | 1.75 | 1.83 | V |
| ダブラ出力電圧 | $V_{L2}$ | C1-C4[注1] = 0.47 μF | | 2 $V_{L1}$−0.10 | 2 $V_{L1}$ | 2 $V_{L1}$ | V |
| トリプラ出力電圧 | $V_{L4}$ | C1-C4[注1] = 0.47 μF | | 3 $V_{L1}$−0.15 | 3 $V_{L1}$ | 3 $V_{L1}$ | V |
| 基準電圧セットアップ時間[注2] | $t_{VWAIT1}$ | | | 5 | | | ms |
| 昇圧ウエイト時間[注3] | $t_{VWAIT2}$ | C1-C4[注1] = 0.47 μF | | 500 | | | ms |

**注1.** LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：$V_{L1}$-GND間に接続するコンデンサです。

C3：$V_{L2}$-GND間に接続するコンデンサです。

C4：$V_{L4}$-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF±30%

**2.** VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから），昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。

**3.** 昇圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

（2）1/4バイアス

（$T_A$ = −40～+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| LCD出力電圧可変範囲 | $V_{L1}$ | C1-C5[注1] = 0.47 μF[注2] | VLCD = 04H | 0.90 | 1.00 | 1.08 | V |
| | | | VLCD = 05H | 0.95 | 1.05 | 1.13 | V |
| | | | VLCD = 06H | 1.00 | 1.10 | 1.18 | V |
| | | | VLCD = 07H | 1.05 | 1.15 | 1.23 | V |
| | | | VLCD = 08H | 1.10 | 1.20 | 1.28 | V |
| | | | VLCD = 09H | 1.15 | 1.25 | 1.33 | V |
| | | | VLCD = 0AH | 1.20 | 1.30 | 1.38 | V |
| ダブラ出力電圧 | $V_{L2}$ | C1-C5[注1] = 0.47 μF | | 2 $V_{L1}$−0.08 | 2 $V_{L1}$ | 2 $V_{L1}$ | V |
| トリプラ出力電圧 | $V_{L3}$ | C1-C5[注1] = 0.47 μF | | 3 $V_{L1}$−0.12 | 3 $V_{L1}$ | 3 $V_{L1}$ | V |
| クアドロプラ出力電圧 | $V_{L4}$ | C1-C5[注1] = 0.47 μF | | 4 $V_{L1}$−0.16 | 4 $V_{L1}$ | 4 $V_{L1}$ | V |
| 基準電圧セットアップ時間[注2] | $t_{VWAIT1}$ | | | 5 | | | ms |
| 昇圧ウエイト時間[注3] | $t_{VWAIT2}$ | C1-C5[注1] = 0.47 μF | | 500 | | | ms |

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：$V_{L1}$-GND間に接続するコンデンサです。

C3：$V_{L2}$-GND間に接続するコンデンサです。

C4：$V_{L3}$-GND間に接続するコンデンサです。

C5：$V_{L4}$-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF±30%

2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0 = 01B）してから），昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。
3. 昇圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

## 33. 7. 3 容量分割方式

（1）1/3バイアス

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| $V_{L4}$電圧 | $V_{L4}$ | C1-C4 = 0.47 μF[注2] | | $V_{DD}$ | | V |
| $V_{L2}$電圧 | $V_{L2}$ | C1-C4 = 0.47 μF[注2] | 2/3 $V_{L4}$−0.1 | 2/3 $V_{L4}$ | 2/3 $V_{L4}$+0.1 | V |
| $V_{L1}$電圧 | $V_{L1}$ | C1-C4 = 0.47 μF[注2] | 1/3 $V_{L4}$−0.1 | 1/3 $V_{L4}$ | 1/3 $V_{L4}$+0.1 | V |
| 容量分割ウエイト時間[注1] | $t_{VWAIT}$ | | 100 | | | ms |

**注1.** 降圧を開始してから（VLCON = 1），表示が可能になる（LCDON = 1）までのウエイト時間です。

**2.** LCDを駆動用電圧端子間に接続するコンデンサです。

C1：CAPH-CAPL間に接続するコンデンサです。

C2：$V_{L1}$-GND間に接続するコンデンサです。

C3：$V_{L2}$-GND間に接続するコンデンサです。

C4：$V_{L4}$-GND間に接続するコンデンサです。

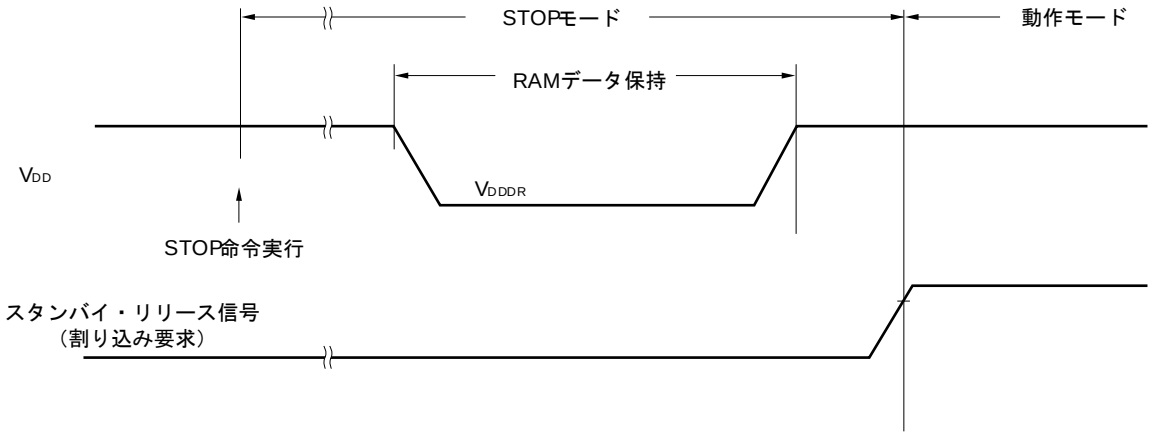
C1 = C2 = C3 = C4 = 0.47 μF±30%

## 33. 8　RAMデータ保持特性

（$T_A$ = −40～＋105 ℃）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| データ保持電源電圧 | $V_{DDDR}$ | | 1.44注 | | 5.5 | V |

**注**　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。




## 33. 9　フラッシュ・メモリ・プログラミング特性

（$T_A$ = −40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| システム・クロック周波数 | $f_{CLK}$ | 2.4 V≦$V_{DD}$≦5.5 V | 1 | | 24 | MHz |
| コード・フラッシュの書き換え回数 注1, 2, 3 | $C_{erwr}$ | 保持年数：20年　$T_A$ = 85℃ | 1,000 | | | 回 |
| データ・フラッシュの書き換え回数 注1, 2, 3 | | 保持年数：1年　$T_A$ = 25℃ | | 1,000,000 | | |
| | | 保持年数：5年　$T_A$ = 85℃ | 100,000 | | | |
| | | 保持年数：20年　$T_A$ = 85℃ | 10,000 | | | |

**注1.**　消去1回＋消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

**2.**　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

**3.**　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

**4.**　保持の平均温度です。

## 33. 10　専用フラッシュ・メモリ・プログラマ通信（UART）

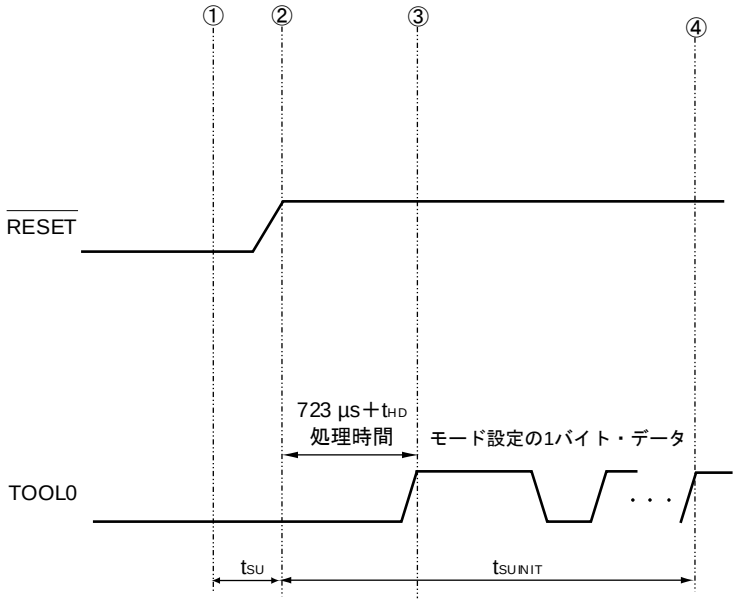
（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|
| 転送レート | | シリアル・プログラミング時 | 115,200 | | 1,000,000 | bps |

## 33. 11　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（$T_A$ = −40〜+105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 外部リセット解除から初期設定通信を完了する時間 | $t_{SUINIT}$ | 外部リセット解除前にPOR, LVDリセットは解除 | | | 100 | ms |
| TOOL0端子をロウ・レベルにしてから，端子リセットを解除するまでの時間 | $t_{SU}$ | 外部リセット解除前にPOR, LVDリセットは解除 | 10 | | | μs |
| 外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く） | $t_{HD}$ | 外部リセット解除前にPOR, LVDリセットは解除 | 1 | | | ms |




① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

**備考**　$t_{SUINIT}$　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

$t_{SU}$　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

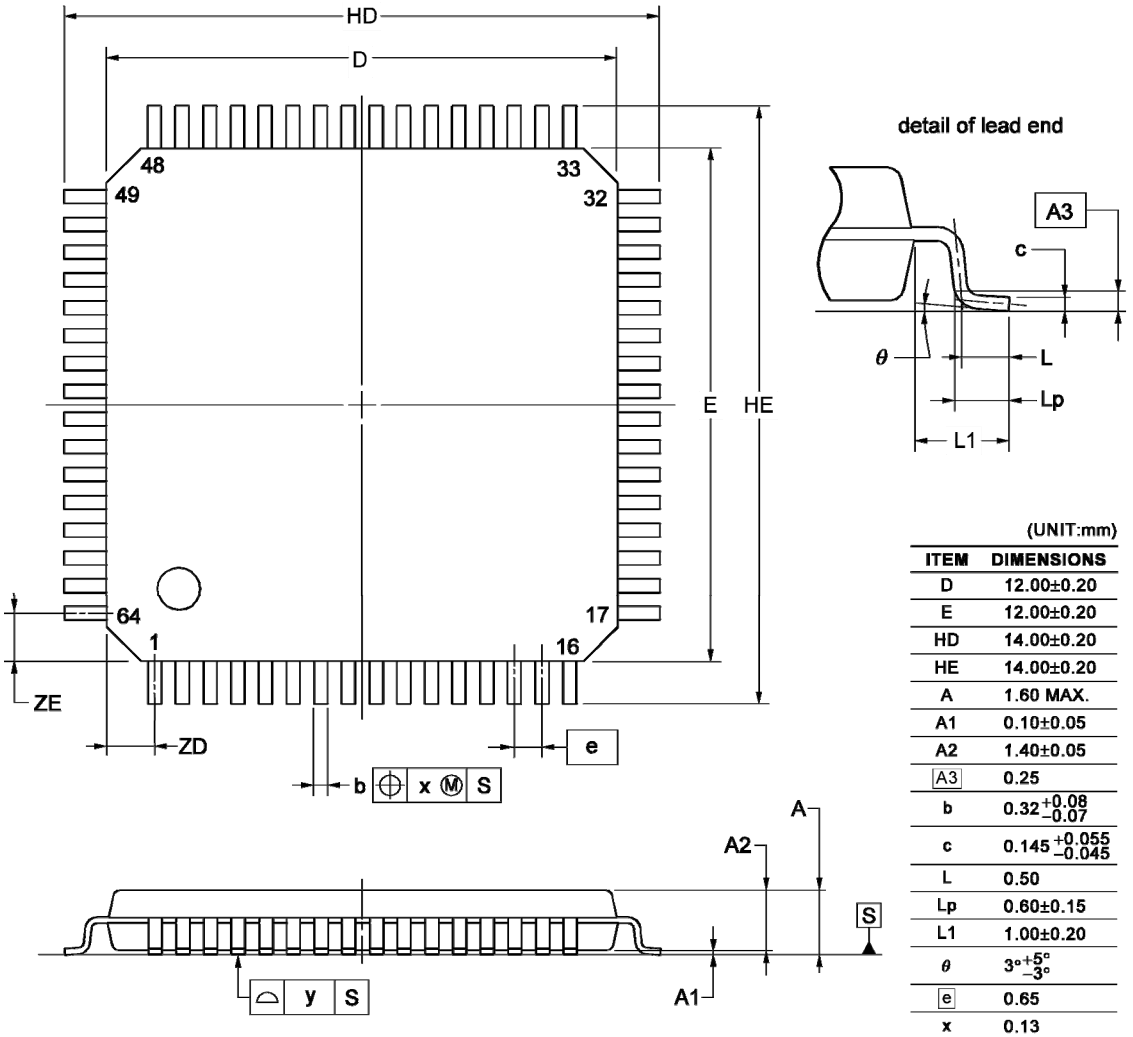
$t_{HD}$　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

# 第34章　外 形 図

## 34. 1　64ピン製品

R5F10WLAAFA, R5F10WLCAFA, R5F10WLDAFA, R5F10WLEAFA, R5F10WLFAFA, R5F10WLGAFA

| JEITA Package Code | RENESAS Code | Previous Code | MASS (TYP.) [g] |
|---|---|---|---|
| P-LQFP64-12x12-0.65 | PLQP0064JA-A | P64GK-65-UET-2 | 0.51 |




(UNIT:mm)

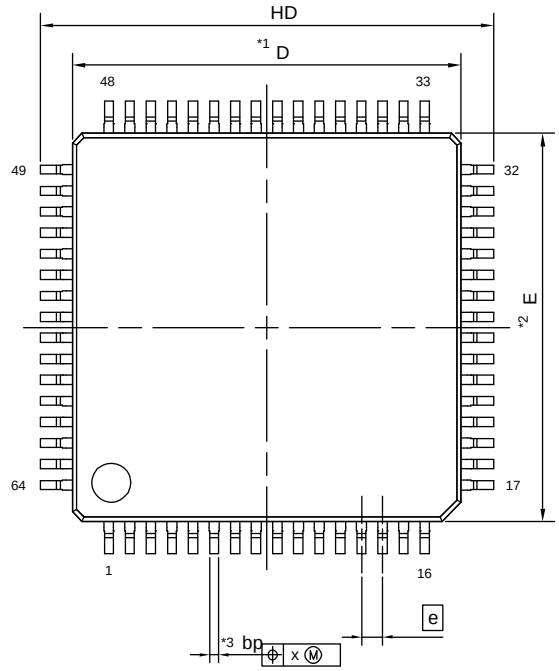
| ITEM | DIMENSIONS |
|---|---|
| D | 12.00±0.20 |
| E | 12.00±0.20 |
| HD | 14.00±0.20 |
| HE | 14.00±0.20 |
| A | 1.60 MAX. |
| A1 | 0.10±0.05 |
| A2 | 1.40±0.05 |
| A3 | 0.25 |
| b | $0.32^{+0.08}_{-0.07}$ |
| c | $0.145^{+0.055}_{-0.045}$ |
| L | 0.50 |
| Lp | 0.60±0.15 |
| L1 | 1.00±0.20 |
| θ | $3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$ |
| e | 0.65 |
| x | 0.13 |
| y | 0.10 |
| ZD | 1.125 |
| ZE | 1.125 |

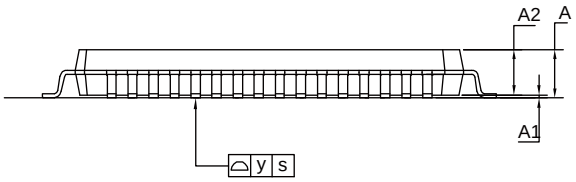
**NOTE**
Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

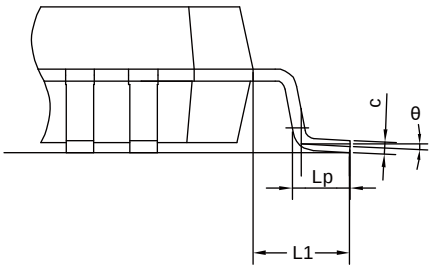
★

| JEITA Package code | RENESAS code | MASS(TYP.)[g] |
|---|---|---|
| P-LQFP64-12x12-0.65 | PLQP0064JB-A | 0.50 |




detail of lead end

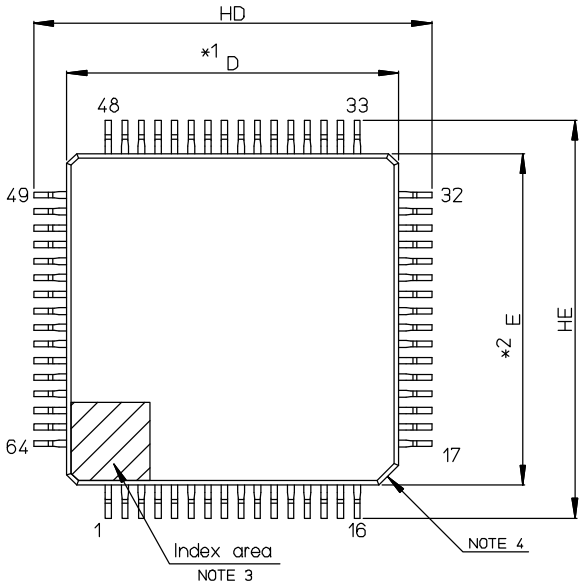


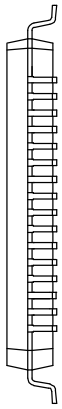

NOTE
1.DIMENSIONS "*1" AND "*2"DO NOT INCLUDE MOLD FLASH.
2.DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

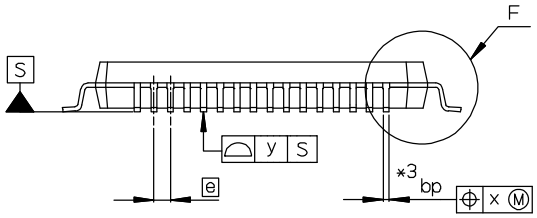
| Reference Symbol | Dimension in Millimeters | | |
|---|---|---|---|
| | Min. | Nom. | Max. |
| E | 11.90 | 12.00 | 12.10 |
| D | 11.90 | 12.00 | 12.10 |
| $A_2$ | — | 1.40 | — |
| $H_D$ | 13.80 | 14.00 | 14.20 |
| $H_E$ | 13.80 | 14.00 | 14.20 |
| A | — | — | 1.70 |
| $A_1$ | 0.05 | — | 0.15 |
| Lp | 0.45 | 0.60 | 0.75 |
| L1 | — | 1.00 | — |
| $b_p$ | 0.27 | 0.32 | 0.37 |
| c | 0.09 | — | 0.20 |
| e | — | 0.65 | — |
| θ | 0.00 | 3.50 | 8.00 |
| x | — | — | 0.08 |
| y | — | — | 0.08 |

R5F10WLAAFB, R5F10WLCAFB, R5F10WLDAFB, R5F10WLEAFB, R5F10WLFAFB, R5F10WLGAFB, R5F10WLAGFB, R5F10WLCGFB, R5F10WLDGFB, R5F10WLEGFB, R5F10WLFGFB, R5F10WLGGFB

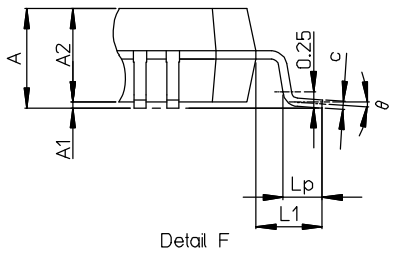
| JEITA Package Code | RENESAS Code | Previous Code | MASS[Typ.] |
|---|---|---|---|
| P-LFQFP64-10x10-0.50 | PLQP0064KB-C | —— | 0.3g |



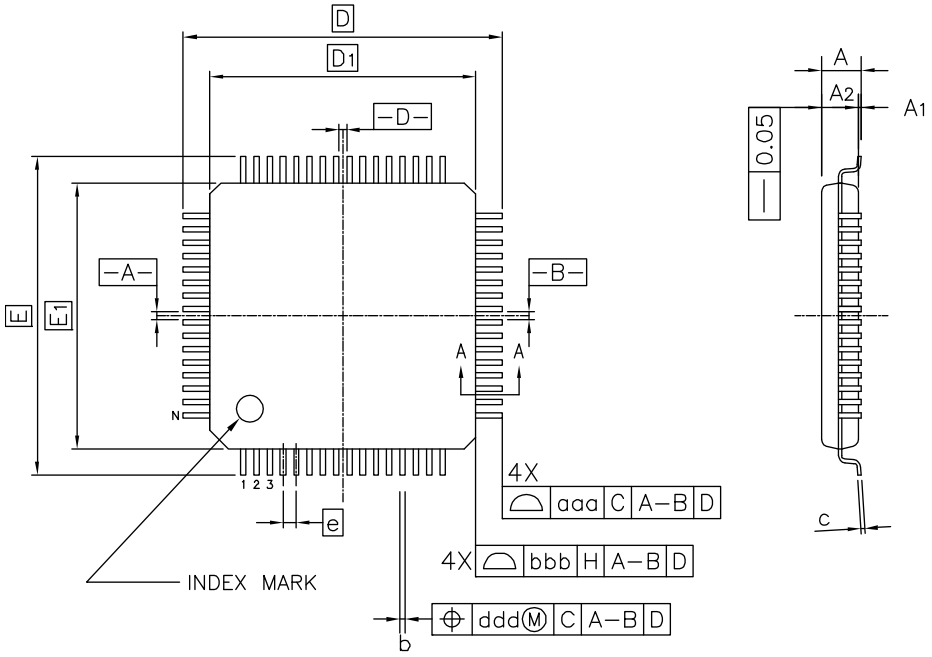


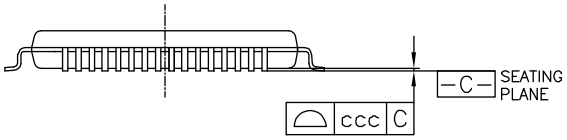

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

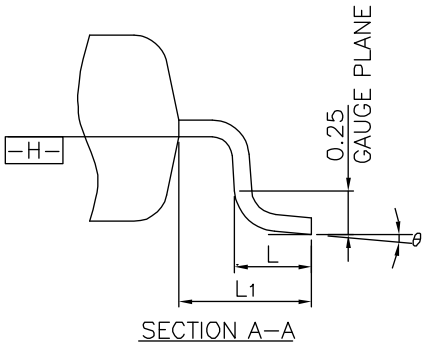



| Reference Symbol | Dimension in Millimeters | | |
|---|---|---|---|
| | Min | Nom | Max |
| D | 9.9 | 10.0 | 10.1 |
| E | 9.9 | 10.0 | 10.1 |
| A2 | —— | 1.4 | —— |
| HD | 11.8 | 12.0 | 12.2 |
| HE | 11.8 | 12.0 | 12.2 |
| A | —— | —— | 1.7 |
| A1 | 0.05 | —— | 0.15 |
| bp | 0.15 | 0.20 | 0.27 |
| c | 0.09 | —— | 0.20 |
| θ | 0° | 3.5° | 8° |
| e | —— | 0.5 | —— |
| x | —— | —— | 0.08 |
| y | —— | —— | 0.08 |
| Lp | 0.45 | 0.6 | 0.75 |
| L1 | —— | 1.0 | —— |

| JEITA Package code | RENESAS code | MASS(TYP.)[g] |
|---|---|---|
| P-LFQFP064-10x10-0.50 | PLQP0064KL-A | 0.36 |



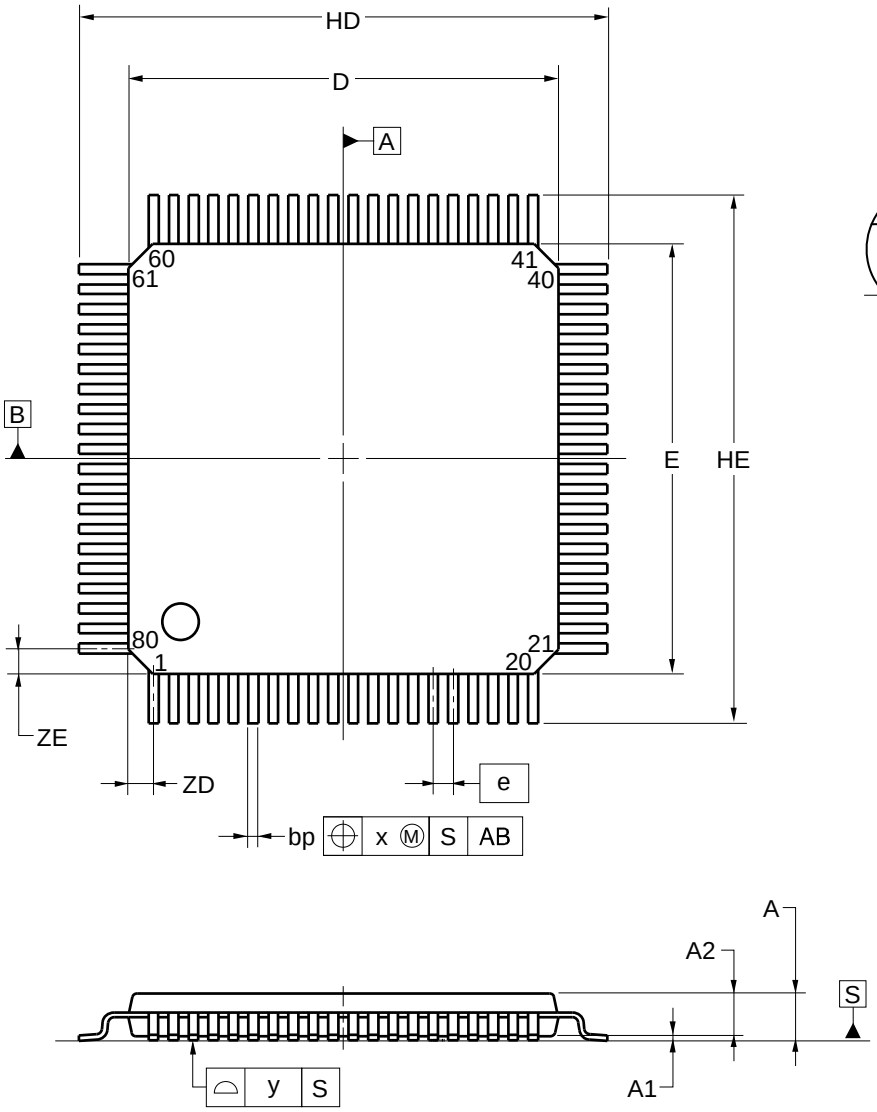




| Reference Symbol | Dimension in Millimeters | | |
|---|---|---|---|
| | Min. | Nom. | Max. |
| A | – | – | 1.60 |
| $A_1$ | 0.05 | – | 0.15 |
| $A_2$ | 1.35 | 1.40 | 1.45 |
| D | – | 12.00 | – |
| $D_1$ | – | 10.00 | – |
| E | – | 12.00 | – |
| $E_1$ | – | 10.00 | – |
| N | – | 64 | – |
| e | – | 0.50 | – |
| b | 0.17 | 0.22 | 0.27 |
| c | 0.09 | – | 0.20 |
| θ | 0° | 3.5° | 7° |
| L | 0.45 | 0.60 | 0.75 |
| $L_1$ | – | 1.00 | – |
| aaa | – | – | 0.20 |
| bbb | – | – | 0.20 |
| ccc | – | – | 0.08 |
| ddd | – | – | 0.08 |

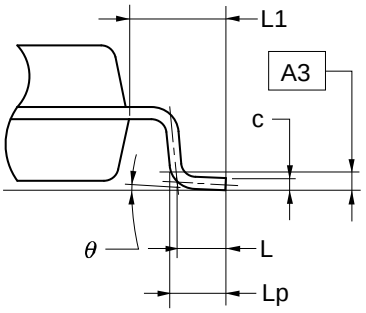
## 34. 2 80ピン製品

R5F10WMAAFA, R5F10WMCAFA, R5F10WMDAFA, R5F10WMEAFA, R5F10WMFAFA, R5F10WMGAFA

| JEITA Package Code | RENESAS Code | Previous Code | MASS (TYP.) [g] |
|---|---|---|---|
| P-LQFP80-14x14-0.65 | PLQP0080JB-E | P80GC-65-UBT-2 | 0.69 |




detail of lead end

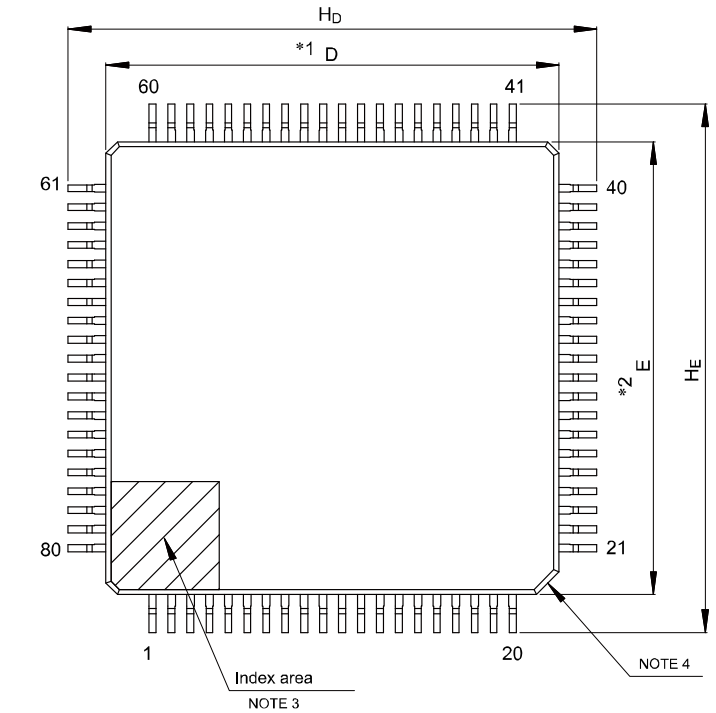


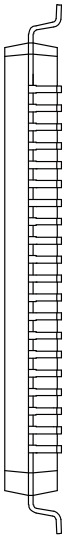

| Referance Symbol | Dimension in Millimeters | | |
|---|---|---|---|
| | Min | Nom | Max |
| D | 13.80 | 14.00 | 14.20 |
| E | 13.80 | 14.00 | 14.20 |
| HD | 17.00 | 17.20 | 17.40 |
| HE | 17.00 | 17.20 | 17.40 |
| A | — | — | 1.70 |
| A1 | 0.05 | 0.125 | 0.20 |
| A2 | 1.35 | 1.40 | 1.45 |
| A3 | — | 0.25 | — |
| bp | 0.26 | 0.32 | 0.38 |
| c | 0.10 | 0.145 | 0.20 |
| L | — | 0.80 | — |
| Lp | 0.736 | 0.886 | 1.036 |
| L1 | 1.40 | 1.60 | 1.80 |
| θ | 0° | 3° | 8° |
| e | — | 0.65 | — |
| x | — | — | 0.13 |
| y | — | — | 0.10 |
| ZD | — | 0.825 | — |
| ZE | — | 0.825 | — |

R5F10WMAAFB, R5F10WMCAFB, R5F10WMDAFB, R5F10WMEAFB, R5F10WMFAFB, R5F10WMGAFB, R5F10WMAGFB, R5F10WMCGFB, R5F10WMDGFB, R5F10WMEGFB, R5F10WMFGFB, R5F10WMGGFB

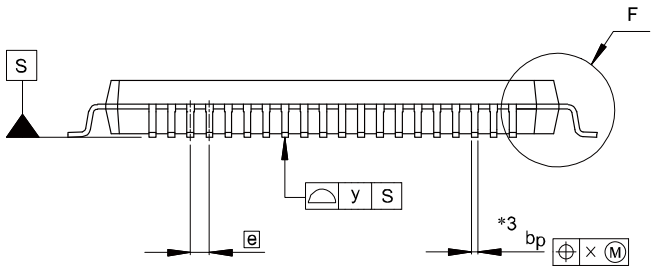
| JEITA Package Code | RENESAS Code | Previous Code | MASS (Typ) [g] |
|---|---|---|---|
| P-LFQFP80-12x12-0.50 | PLQP0080KB-B | — | 0.5 |

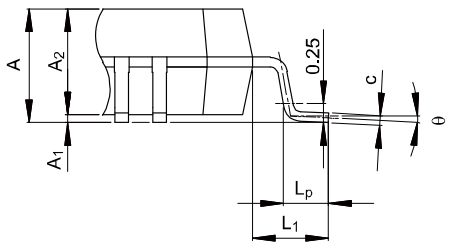
Unit: mm



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



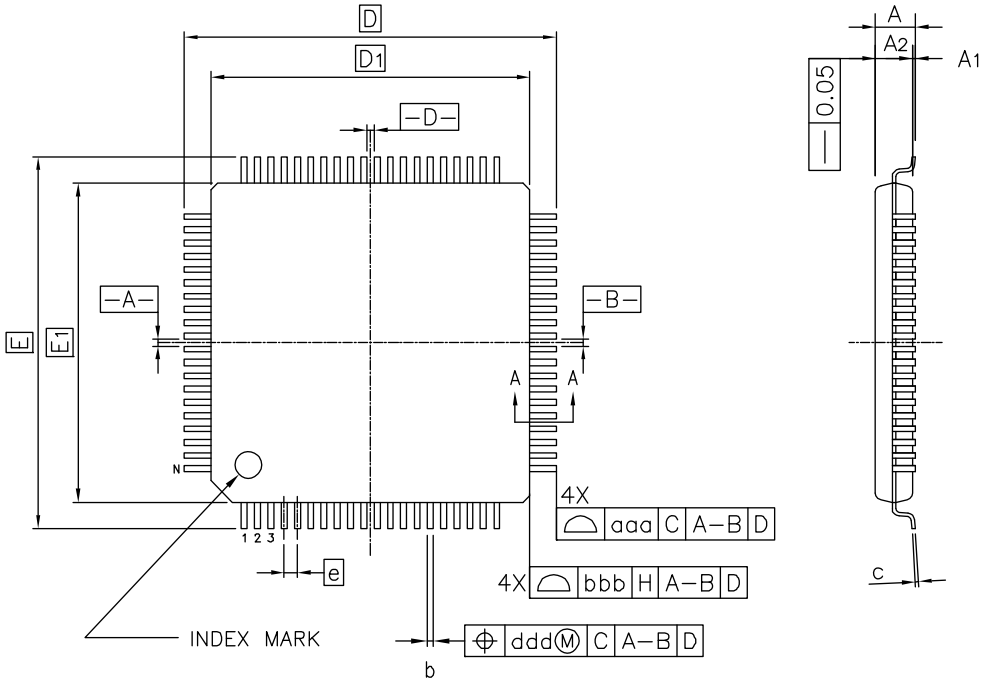



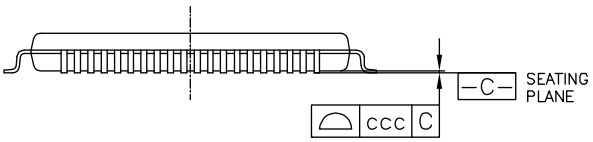

Detail F

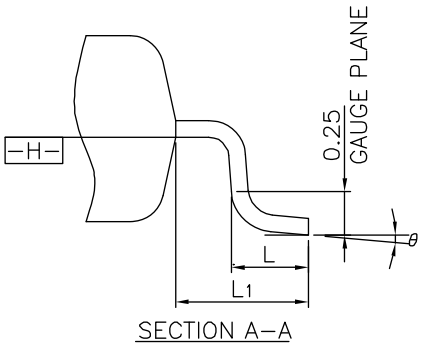
| Reference Symbol | Dimensions in millimeters | | |
|---|---|---|---|
| | Min | Nom | Max |
| D | 11.9 | 12.0 | 12.1 |
| E | 11.9 | 12.0 | 12.1 |
| $A_2$ | — | 1.4 | — |
| $H_D$ | 13.8 | 14.0 | 14.2 |
| $H_E$ | 13.8 | 14.0 | 14.2 |
| A | — | — | 1.7 |
| $A_1$ | 0.05 | — | 0.15 |
| $b_p$ | 0.15 | 0.20 | 0.27 |
| c | 0.09 | — | 0.20 |
| θ | 0° | 3.5° | 8° |
| e | — | 0.5 | — |
| x | — | — | 0.08 |
| y | — | — | 0.08 |
| $L_p$ | 0.45 | 0.6 | 0.75 |
| $L_1$ | — | 1.0 | — |

© 2017 Renesas Electronics Corporation. All rights reserved.

| JEITA Package code | RENESAS code | MASS(TYP.)[g] |
|---|---|---|
| P-LFQFP80-12x12-0.50 | PLQP0080KJ-A | 0.49 |




| Reference Symbol | Dimension in Millimeters | | |
|---|---|---|---|
| | Min. | Nom. | Max. |
| A | – | – | 1.60 |
| $A_1$ | 0.05 | – | 0.15 |
| $A_2$ | 1.35 | 1.40 | 1.45 |
| D | – | 14.00 | – |
| $D_1$ | – | 12.00 | – |
| E | – | 14.00 | – |
| $E_1$ | – | 12.00 | – |
| N | – | 80 | – |
| e | – | 0.50 | – |
| b | 0.17 | 0.22 | 0.27 |
| c | 0.09 | – | 0.20 |
| θ | 0° | 3.5° | 7° |
| L | 0.45 | 0.60 | 0.75 |
| $L_1$ | – | 1.00 | – |
| aaa | – | – | 0.20 |
| bbb | – | – | 0.20 |
| ccc | – | – | 0.08 |
| ddd | – | – | 0.08 |

# 付録A　改版履歴

## A. 1　本版で改訂された主な箇所

（1/2）

| 箇　　所 | 内　　容 | 分類 |
|---|---|---|
| 全体 | | |
| - | 3線シリアルI/O、3線シリアルを簡易SPIに変更 | (c) |
| - | CSIを簡易SPIに変更 | (c) |
| - | IICAのウエイトをクロック・ストレッチに変更 | (c) |
| 第1章　概説 | | |
| p.2 | 1.1　特徴　注を追加 | (c) |
| p.6 | 1.3.1　64ピン製品　図を変更 | (c) |
| p.7, 8 | 1.3.1　64ピン製品　表1－1　64ピン製品の兼用機能　表を追加 | (c) |
| p.9 | 1.3.2　80ピン製品　図を変更 | (c) |
| p.10~12 | 1.3.2　80ピン製品　表1－2　80ピン製品の兼用機能　表を追加 | (c) |
| 第4章　ポート機能 | | |
| p.126 | 4.4.4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応　注を追加 | (c) |
| p.129 | 4.5.2　出力機能を使用しない兼用機能のレジスタ設定　備考を追加 | (c) |
| 第5章　クロック発生回路 | | |
| p.155 | 図5－1　クロック発生回路のブロック図　図を変更 | (c) |
| p.170 | 図5－10　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット　注意3を変更 | (c) |
| 第6章　タイマ・アレイ・ユニット | | |
| p.210 | 図6－11　タイマ・クロック選択レジスタm（TPSm）のフォーマット（1/2）　備考2を変更 | (c) |
| p.240 | 図6－30　動作タイミング（ワンカウント・モード）　図を変更 | (c) |
| p.263 | 図6－52　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）　図を変更 | (c) |
| 第8章　リアルタイム・クロック2 | | |
| p.403 | 図8－6　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（3/3）　説明を変更 | (c) |
| p.418 | 8.4.3　リアルタイム・クロック2のカウンタ読み出し　説明を変更 | (c) |
| p.418 | 図8－20　リアルタイム・クロック2の読み出し手順　注2を変更 | (c) |
| p.419 | 図8－21　リアルタイム・クロック2の読み出し手順（アラーム割り込み機能使用時）　図を追加 | (c) |
| p.420 | 8. 4. 4　リアルタイム・クロック2のカウンタ書き込み　説明を変更 | (c) |
| p.420 | 図8－22　リアルタイム・クロック2の書き込み手順　注2および備考を変更 | (c) |
| p.421, 422 | 図8－23　リアルタイム・クロック2の書き込み手順（アラーム割り込み機能使用時）　図を追加 | (c) |
| 第9章　12ビット・インターバル・タイマ | | |
| p.431 | 図9－4　12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマット　注意1を変更 | (c) |

備考　表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

（2/2）

| 箇所 | 内容 | 分類 |
|---|---|---|
| 第12章 A/Dコンバータ | | |
| p.470 | 図12－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマット 注2を追加 | (c) |
| 第14章 シリアル・アレイ・ユニット | | |
| p.510 | 第14章 シリアル・アレイ・ユニット 注を追加 | (c) |
| p.530 | 図14－11 シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2） 注意2を追加 | (c) |
| p.531 | 図14－11 シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2） 注意を追加 | (c) |
| 第15章 シリアル・インタフェースIICA | | |
| p.663 | 図15－5 周辺イネーブル・レジスタ0（PER0）のフォーマット 注意1を変更 | (c) |
| 第18章 DMAコントローラ | | |
| p.834 | 18.5.1 CSI連続送信 注を追加 | (c) |
| 第32章 電気的特性（$T_A$ = －40～＋85℃） | | |
| p.1023 | 32.3.2 電源電流特性 （$T_A$ = －40～＋85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）（1/2） 注1および注4を変更 | (c) |
| p.1025 | 32.3.2 電源電流特性 （$T_A$ = －40～＋85 ℃，1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）（2/2） 注1および注5を変更，注6を削除 | (c) |
| 第33章 電気的特性（$T_A$ = －40～＋105℃） | | |
| p.1087 | 33.3.2 電源電流特性 （$T_A$ = －40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）（1/2） 注1および注4を変更 | (c) |
| p.1089 | 33.3.2 電源電流特性 （$T_A$ = －40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）（2/2） 注1および注5を変更，注6を削除 | (c) |
| 第34章 外 形 図 | | |
| p.1132 | 34.1 64ピン製品 PLQP0064JB-Aパッケージ図を変更 | (d) |

備考 表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

## A. 2 前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.2.21 | 図1－1 RL78/L13の型名とメモリ・サイズ，パッケージを変更 | 第1章 概説 |
| | PLQP0064JB-Aパッケージ図を追加 | 第34章 外形図 |
| | PLQP0064KB-Cパッケージ図を変更 | |
| | PLQP0064KL-Aパッケージ図を追加 | |
| | PLQP0080JB-Eパッケージ図を変更 | |
| | PLQP0080KB-Bパッケージ図を変更 | |
| | PLQP0080KJ-Aパッケージ図を追加 | |
| Rev.2.20 | 図1－1 RL78/L13の型名とメモリ・サイズ，パッケージを変更 | 第1章 概説 |
| | 図2－7 端子タイプ 7-5-5 の端子ブロック図を変更 | 第2章 端子機能 |
| | 図3－6 メモリ・マップ（R5F10WLG, R5F10WMG）注1を変更 | 第3章 CPUアーキテクチャ |
| | 図3－8 データ・メモリとアドレッシングの対応 注を削除 | |
| | レジスタ・ダイレクト・アドレッシング→レジスタ・インダイレクト・アドレッシングに変更 | |
| | 図3－39 CALL, CALLTの例 および ②を変更 | |
| | 図5－14 発振子の接続の悪い例（1/2）備考を変更 | 第5章 クロック発生回路 |
| | 5. 4. 4 低速オンチップ・オシレータを変更 | |
| | 図6－33 タイマ出力設定から動作開始までの状態変化を変更 | 第6章 タイマ・アレイ・ユニット |
| | 図6－47 外部イベント・カウンタとしての動作のブロック図を変更 | |
| | 図6－51 入力パルス間隔測定としての動作のブロック図を変更 | |
| | 7. 9. 2 カウンタリスタートトリガ使用時の注意事項（1）外部割り込み（INTP0～INTP7）の使用についてを変更 | 第7章 16ビット・タイマKB20 |
| | 表11－3 ウォッチドッグ・タイマのオーバフロー時間の設定を変更 | 第11章 ウォッチドッグ・タイマ |
| | 表11－4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定を変更 | |
| | 図12－21 ハードウエア・トリガ・ウエイト・モード（連続変換モード）動作タイミング例を変更 | 第12章 A/Dコンバータ |
| | 図14－11 シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）を変更 | 第14章 シリアル・アレイ・ユニット |
| | 14. 3. 14 シリアル・スタンバイ・コントロール・レジスタm（SSCm）注意を変更 | |
| | 図14－83 UART送信（連続送信モード時）のフロー・チャートを変更 | |
| | 図14－84 UART（UART0-UART3）のUART受信時のレジスタ設定内容例（80ピン製品）（1/2）注2を変更 | |
| | 図16－1 LCDコントローラ／ドライバのブロック図を変更 | 第16章 LCDコントローラ／ドライバ |
| | 16. 3 LCDコントローラ／ドライバを制御するレジスタを変更 | |
| | 図16－17 外部抵抗分割方式の設定手順を変更 | |
| | 図16－25 コモン信号とセグメント信号の電圧と位相（3/3）を変更 | |
| | 図19－2 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（2/2） 注意2を変更 | 第19章 割り込み機能 |
| | 19. 3. 3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L,PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）を変更 | |
| | 図19－8 割り込み要求の受け付けタイミング（最小時間）を変更 | |
| | 図21－6 SNOOZEモードの割り込み要求が発生しない場合を変更 | 第21章 スタンバイ機能 |
| | 表22－1 リセット期間中の動作状態を変更 | 第22章 リセット機能 |
| | 図23－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）を変更 | 第23章 パワーオン・リセット回路 |

（2/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.2.20 | 図23－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/3）注3を変更 | 第23章 パワーオン・リセット回路 |
| | 図24－7 割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（1/2）注3を追加 | 第24章 電源検出回路 |
| | 図24－7 割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（2/2）を変更、注3を追加 | |
| | 図24－9 割り込み＆リセット・モードの初期設定の設定手順を追加 | |
| | 図27－1 ユーザ・オプション・バイト（000C0H/010C0H）のフォーマットを変更 | 第27章 オプション・バイト |
| | PG-FP6を追加，FL-PR5を削除，E2, E2 Lite, E20を追加 | 第28章 フラッシュ・メモリ |
| | 28. 1 フラッシュ・メモリ・プログラマによるシリアル・プログラミングを変更 | |
| | 表28－1 RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマの配線表を変更 | |
| | 図28－1 フラッシュ・メモリにプログラムを書き込むための環境を変更 | |
| | 図28－2 専用フラッシュ・メモリ・プログラマとの通信を変更 | |
| | 表28－2 端子接続一覧を変更 | |
| | 図28－4 外部デバイスとの通信を変更 | |
| | 28. 3. 6 電源 注を追加 | |
| | 図28－7 フラッシュ・メモリ・プログラミング・モードへの引き込みを変更 | |
| | 28. 5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）を追加 | |
| | 28. 6 セルフ・プログラミング 備考を変更 | |
| | 28. 8. 3 データ・フラッシュへのアクセス手順 注意4を追加 | |
| | PG-FP6を追加，FL-PR5を削除，E2, E2 Lite, E20を追加 | 第29章 オンチップ・デバッグ機能 |
| | 表31－5 オペレーション一覧（14/17）を変更 | 第31章 命令セットの概要 |
| | 32. 3. 1 端子特性（TA = －40～＋85 ℃, 1.6 V≦VDD≦5.5 V, VSS = 0 V）を変更 | 第32章 電気的特性（$T_A$ = －40～＋85 ℃） |
| | 32. 6. 1 A/Dコンバータ特性（$T_A$ = －40～＋85 ℃, 1.6 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V，基準電圧（＋）= $AV_{REFP}$，基準電圧（－）= $AV_{REFM}$ = 0 V）を変更 | |
| | 32. 11 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを変更 | |
| | 32. 7. 2 内部昇圧方式を変更 | |
| | 33. 5. 2 シリアル・インタフェースIICA（$T_A$ = －40～＋105 ℃，2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V）注3を削除 | 第33章 電気的特性（$T_A$ = －40～＋105 ℃） |
| | 33. 6. 1 A/Dコンバータ特性（$T_A$ = －40～＋105 ℃, 2.4 V≦$V_{DD}$≦5.5 V, $V_{SS}$ = 0 V，基準電圧（＋）= $AV_{REFP}$，基準電圧（－）= $AV_{REFM}$ = 0 V）を変更 | |
| | 33. 11 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを変更 | |
| Rev.2.11 | しおりのジャンプ先を修正 | 第4章 ポート機能 |

（3/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.2.10 | 1. 1 特 徴 16ビット・タイマ，16ビット・タイマKB20(IH)の特徴を修正 | 第1章 概 説 |
| | 1. 3. 1 64ピン製品 端子接続図に製品名および(Top View)を記載 | |
| | 1. 3. 2 80ピン製品 端子接続図に製品名および(Top View)を記載 | |
| | 1. 6 機能概要 メイン・システム・クロック／高速システム・クロックの機能概要を修正 | |
| | 2. 1. 1 64ピン製品 P40, P60, P61の端子タイプを修正，P137の入出力を修正 | 第2章 端子機能 |
| | 2. 1. 2 80ピン製品 P40, P41, P60, P61の端子タイプを修正 | |
| | 図2－4 端子タイプ 4-3-3 の端子ブロック図 内容を修正 | |
| | 図2－5 端子タイプ 7-1-3 の端子ブロック図 追加 | |
| | 図2－9 端子タイプ 7-5-10 の端子ブロック図 注意を追加 | |
| | 図2－11 端子タイプ 7-6-4 の端子ブロック図 修正、注意を追加 | |
| | 図2－14 端子タイプ 8-5-4 の端子ブロック図 修正、注意を追加 | |
| | 図2－15 端子タイプ 8-5-10 の端子ブロック図 修正、注1, 2を追加 | |
| | 図2－16 端子タイプ 8-6-4 の端子ブロック図 修正、注1, 2を追加 | |
| | 図2－17 端子タイプ 12-1-3 の端子ブロック図 追加 | |
| | 表3－3 ベクタ・テーブル（1/2） ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正 | 第3章 CPUアーキテクチャ |
| | 表3－3 ベクタ・テーブル（2/2） ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正 | |
| | 3.2.1 制御レジスタ (1) プログラム・カウンタ(PC) アドレスを5桁表示(xxxxxH)に修正) | |
| | 4. 5. 2 出力機能を使用しない兼用機能のレジスタ設定 (8) TKBO00＝0/TKBO01-0,1,2=0（16ビット・タイマKB20を使用しない場合の設定） 説明を修正（KB2→KB20） | 第4章 ポート機能 |
| | 5. 1 (1)メイン・システム・クロック 説明を修正 | 第5章 クロック発生回路 |
| | 図5－4 クロック動作ステータス制御レジスタ（CSC）のフォーマット 注意6を修正 | |
| | 5. 4. 4 低速オンチップ・オシレータ 説明を修正 | |
| | 表5－3 CPUクロックの移行とSFRレジスタの設定例（3/5）の(6)，(8) 注を修正 | |
| | 表5－4 CPUクロックの移行について（1/2） 高速オンチップ・オシレータ・クロック（移行前）の移行後の処理の説明を修正 | |
| | 5. 6. 7 クロック発振停止前の条件 説明を修正 | |
| | 5. 7 発振子と発振回路定数 説明を修正 | |
| | 6. 8. 1 インターバル・タイマ／方形波出力としての動作 （1）インターバル・タイマの式を修正 | 第6章 タイマ・アレイ・ユニット |
| | 図6－58 入力信号のハイ／ロウ・レベル幅測定機能時の操作手順 動作中のソフトウエア操作の説明を修正 | |
| | 6. 9. 1 ワンショット・パルス出力機能としての動作 注意を修正 | |
| | 説明を修正，表を修正（16ビット・タイマKB20(IH)），注意2を追加 | 第7章 16ビット・タイマKB20 |
| | 図7－3 周辺イネーブル・レジスタ1（PER1）フォーマット 注意1を修正（16ビット・タイマKB20） | |
| | 7. 3. 16 16ビット・タイマKB2カウンタリスタート選択レジスタ（ELSELRn） 注意3を修正 | |
| | 7. 3. 24 16ビット・タイマKB2出力端子のポート機能を制御するレジスタ 説明を修正（16ビット・タイマKB20） | |
| | 7. 5. 4 IH制御用のPWM出力機能 説明を修正 | |

（4/13）

| 版　数 | 内　容 | 適用箇所 |
|---|---|---|
| Rev.2.10 | 図8－6 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（3/3）注1, 2を追加 | 第8章 リアルタイム・クロック2 |
| | 図12－27 テスト・モード設定 説明を変更 | 第12章 A/D コンバータ |
| | 図12－31 SNOOZEモード設定のフローチャート 説明を変更 | |
| | 14. 2. 2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット 注2を修正 | 第14章 シリアル・アレイ・ユニット |
| | 図14－9 シリアル・データ・レジスタmn（SDRmn）のフォーマット 注意4を修正 | |
| | 図14－18 送信データのレベル反転例 端子名を修正 | |
| | 図14－71 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn=0, CKPmn = 0）タイミング・チャートを修正 | |
| | 図14－72 SNOOZEモード動作（1回起動）時のフロー・チャート SNOOZEモードのフロー・チャートを修正 | |
| | 図14－73 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn=0, CKPmn = 0） タイミング・チャートを修正 | |
| | 図14－74 SNOOZEモード動作（連続起動）時のフロー・チャート SNOOZEモードのフロー・チャートを修正 | |
| | 14. 6. 3 SNOOZEモード機能 説明を修正，注意5を追加 | |
| | 図14－90 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート タイミング・チャートを修正 | |
| | 図14－91 SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート タイミング・チャートを修正 | |
| | 図14－92 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1,SSECm = 0）時のフロー・チャート SNOOZEモードのフロー・チャートを修正 | |
| | 図14－93 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート タイミング・チャートを修正 | |
| | 図14－94 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート SNOOZEモードのフロー・チャートを修正 | |
| | 図14－101 LIN受信のフロー・チャート 説明を追加 | |
| | 15. 3. 6 IICAロウ・レベル幅設定レジスタn（IICWLn） 説明を追加 | 第15章 シリアル・インタフェースIICA |
| | 15. 5. 14 通信予約 （1）通信予約機能許可の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn）= 0） STTnの式を修正 | |
| | 図15－27 通信予約の手順 注1，備考（$f_{MCK}$）を修正 | |
| | 図15－29 マルチマスタ・システムでのマスタ動作（1/3） 処理「PER0レジスタの設定」を追加 | |
| | 図15－29 マルチマスタ・システムでのマスタ動作（2/3） 注を修正，処理「ウエイト」を変更 | |
| | 図15－30 スレーブ動作手順（1） 処理「PER0レジスタの設定」を追加 | |
| | 表19－1 割り込み要因一覧 ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正 | 第19章 割り込み機能 |
| | アドレスを5桁表示(xxxxxH)に変更 | 第22章 リセット機能 |
| | 表22－2 リセット受け付け後の各ハードウエアの状態 リセット・ベクタ・テーブルを5桁表示(xxxxxH)に修正 | |
| | 図22－6 リセット要因の確認手順例 補足説明を追加 | |

（5/13）

| 版　数 | 内　　容 | 適用箇所 |
|---|---|---|
| Rev.2.10 | 図23－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/3）<br>（2）LVD割り込み＆リセット・モード時（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）<br>注3を追加，注4を修正，注5を削除 | 第22章　リセット機能 |
| | 24. 1 電圧検出回路の機能　（表）割り込みモードの説明を修正 | 第24章　電圧検出回路 |
| | 27. 1. 1 ユーザ・オプション・バイト　（3）000C2H/010C2H　説明を修正 | 第27章　オプション・バイト |
| | 表28－1 RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマの配線表　信号名を修正 | 第28章　フラッシュ・メモリ |
| | 図28－2 専用フラッシュ・メモリ・プログラマとの通信　FLMD1を追加 | |
| | 表28－2 端子接続一覧　信号名を修正 | |
| | 表29－1 オンチップ・デバッグ・セキュリティID　オンチップ・デバッグ・セキュリティIDコードの説明を修正，注を追加 | 第29章　オンチップ・デバッグ機能 |
| | 絶対最大定格（3/3）　$I_{OH1}$, $I_{OL1}$の条件を修正，$I_{OH2}$（端子合計），$I_{OL2}$（端子合計）の定格値を修正 | 第32章　電気的特性（$T_A$ = －40～＋85℃） |
| | 32. 3. 1 端子特性　$I_{OH1}$, $I_{OL1}$の条件を修正 | |
| | 32. 5. 1 シリアル・アレイ・ユニット　（4）同電位通信時（簡易$I^2C$モード）　備考3を修正 | |
| | 32. 8 RAMデータ保持特性　タイトルを修正，注を修正，注意を追加 | |
| | 絶対最大定格（3/3）　$I_{OH1}$, $I_{OL1}$, $I_{OH2}$, $I_{OL2}$の条件を修正，$I_{OH2}$（端子合計），$I_{OL2}$（端子合計）の定格値を修正 | 第33章　電気的特性（$T_A$ = －40～＋105℃） |
| | 33. 3. 1 端子特性　$I_{OH1}$, $I_{OL1}$の条件を修正 | |
| | 33. 5. 1 シリアル・アレイ・ユニット　（4）同電位通信時（簡易$I^2C$モード）　備考3を修正 | |
| | 32. 8 RAMデータ保持特性　タイトルを修正，注を修正，注意を追加 | |
| Rev.2.00 | SCK**，ACKのオーバーバーを削除 | 全般 |
| | $f_{EXT}$→$f_{EXS}$，高精度RTC→RTC2，高精度リアルタイム・クロック→リアルタイム・クロック2に改称 | |
| | 1. 1　特　徴を変更 | 第1章　概　　説 |
| | 1. 2　型名一覧を変更 | |
| | 1. 3. 1　64ピン製品を変更 | |
| | 1. 3. 2　80ピン製品を変更 | |
| | 1. 4　端子名称を変更 | |
| | 1. 5. 1　64ピン製品を変更 | |
| | 1. 5. 2　80ピン製品を変更 | |
| | 1. 6　機能概要を変更 | |
| | 2. 1. 1　64ピン製品を変更 | 第2章　端子機能 |
| | 2. 1. 2　80ピン製品を変更 | |
| | 2. 2. 1　製品別の搭載機能を変更 | |
| | 2. 2. 2　機能説明を変更 | |
| | 2. 3　未使用端子の処理を変更 | |
| | 2. 4　端子ブロック図を追加 | |

（6/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.2.00 | 図3－1 メモリ・マップ（R5F10WLA, R5F10WMA），図3－2 メモリ・マップ（R5F10WLC, R5F10WMC），図3－3 メモリ・マップ（R5F10WLD, R5F10WMD），図3－4 メモリ・マップ（R5F10WLE, R5F10WME），図3－5 メモリ・マップ（R5F10WLF, R5F10WMF），図3－6 メモリ・マップ（R5F10WLG, R5F10WMG）の注と注意を変更 | 第3章 CPUアーキテクチャ |
| | 表3－3 ベクタ・テーブル（2/2）を変更 | |
| | 3. 1. 3 内部データ・メモリ空間を変更 | |
| | 3. 1. 6 データ・メモリ・アドレッシングを変更 | |
| | 3. 2. 1（3）スタック・ポインタ（SP）を変更 | |
| | 3. 2. 2 汎用レジスタを変更 | |
| | 3. 2. 3 ES, CSレジスタを変更 | |
| | 3. 2. 4 特殊機能レジスタ（SFR：Special Function Register）を変更 | |
| | 表3－5 SFR一覧（2/5）と（3/5）を変更 | |
| | 3. 2. 5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を変更 | |
| | 表3－6 拡張SFR（2nd SFR）一覧（2/10）を変更 | |
| | 図3－15 レラティブ・アドレッシングの概略を変更 | |
| | 図3－16 CALL !!addr20/BR !!addr20の例を変更 | |
| | 図3－17 CALL !addr16/BR !addr16の例を変更 | |
| | 図3－19 レジスタ・ダイレクト・アドレッシングの概略を変更 | |
| | 図3－20 インプライド・アドレッシングの概略を変更 | |
| | 図3－21 レジスタ・アドレッシングの概略を変更 | |
| | 3. 4. 3 ダイレクト・アドレッシングを変更 | |
| | 図3－24 ショート・ダイレクト・アドレッシングの概略を変更 | |
| | 3. 4. 5 SFRアドレッシングを変更 | |
| | **図**3－26 [DE]，[HL]**の例**を変更 | |
| | **図**3－27 ES:[DE]，ES:[HL]**の例**を変更 | |
| | 3. 4. 7 **ベースト・アドレッシング**を変更 | |
| | 図3－35 [HL+B]，[HL+C]の例を変更 | |
| | 図3－36 ES:[HL+B]，ES:[HL+C]の例を変更 | |
| | 3. 4. 9 **スタック・アドレッシング**を変更 | |
| | **図**3－27 ES:[DE]，ES:[HL]**の例**を変更 | |
| | 表4－1 ポートの構成を変更 | 第4章 ポート機能 |
| | 4. 2. 1 ポート0を変更 | |
| | 4. 2. 2 ポート1を変更 | |
| | 4. 2. 3 ポート2を変更 | |
| | 4. 2. 4 ポート3を変更 | |
| | 4. 2. 5 ポート4を変更 | |
| | 4. 2. 6 ポート5を変更 | |
| | 4. 2. 7 ポート6を変更 | |
| | 4. 2. 8 ポート7を変更 | |
| | 4. 2. 9 ポート12を変更 | |
| | 4. 2. 10 ポート13を変更 | |
| | 4. 3 ポート機能を制御するレジスタを変更 | |
| | 4. 4. 4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応を変更 | |
| | 4. 5 兼用機能使用時のレジスタ設定を変更 | |

（7/13）

| 版　数 | 内　容 | 適用箇所 |
|---|---|---|
| Rev.2.00 | 5.1（1）メイン・システム・クロックを変更 | 第5章　クロック発生回路 |
| | 5.1（2）サブシステム・クロックを変更 | |
| | 表5－1　クロック発生回路の構成を変更 | |
| | 図5－1　クロック発生回路のブロック図を変更 | |
| | 5.3　クロック発生回路を制御するレジスタを変更 | |
| | 5.4　システム・クロック発振回路を変更 | |
| | 5.5　クロック発生回路の動作を変更 | |
| | 5.6　クロックの制御を変更 | |
| | 5.7　発振子と発振回路定数を追加 | |
| | 第6章　タイマ・アレイ・ユニットを変更 | 第6章　タイマ・アレイ・ユニット |
| | 6.1　タイマ・アレイ・ユニットの機能を変更 | |
| | 6.2　タイマ・アレイ・ユニットの構成を変更 | |
| | 6.3　タイマ・アレイ・ユニットを制御するレジスタを変更 | |
| | 6.5　カウンタの動作を変更 | |
| | 6.6　チャネル出力（TOmn端子）の制御を変更 | |
| | 6.7　タイマ入力（TImn）の制御を追加 | |
| | 6.8　タイマ・アレイ・ユニットの単独チャネル動作機能を変更 | |
| | 6.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能を変更 | |
| | 7.3　16ビット・タイマKB20を制御するレジスタを変更 | 第7章　16ビット・タイマKB20 |
| | 7.4　16ビット・タイマKB20の動作を変更 | |
| | 7.5　16ビット・タイマKB20のオプション機能を変更 | |
| | 7.9　16ビット・タイマKB20使用時の注意事項を変更 | |
| | 8.1　リアルタイム・クロック2の機能を変更 | 第8章　リアルタイム・クロック2 |
| | 8.2　リアルタイム・クロック2の構成を変更 | |
| | 8.3　リアルタイム・クロック2を制御するレジスタを変更 | |
| | 8.4　リアルタイム・クロック2の動作を変更 | |
| | 9.2　12ビット・インターバル・タイマの構成を変更 | |
| | 9.3　12ビット・インターバル・タイマを制御するレジスタを変更 | 第9章　12ビット・インターバル・タイマ |
| | 9.4　12ビット・インターバル・タイマの動作を変更 | |
| | 10.1　クロック出力／ブザー出力制御回路の機能を変更 | 第10章　クロック出力／ブザー出力制御回路 |
| | 10.2　クロック出力／ブザー出力制御回路の構成を変更 | |
| | 10.3　クロック出力／ブザー出力制御回路を制御するレジスタを変更 | |
| | 10.4　クロック出力／ブザー出力制御回路の動作を変更 | |
| | 10.5　クロック出力／ブザー出力制御回路の注意事項を変更 | |
| | 11.1　ウォッチドッグ・タイマの機能を変更 | 第11章　ウォッチドッグ・タイマ |
| | 11.2　ウォッチドッグ・タイマの構成を変更 | |
| | 11.4　ウォッチドッグ・タイマの動作を変更 | |
| | 12.1　A/Dコンバータの機能を変更 | 第12章　A/Dコンバータ |
| | 12.2　A/Dコンバータの構成を変更 | |
| | 12.3　A/Dコンバータで使用するレジスタを変更 | |
| | 12.4　A/Dコンバータの変換動作を変更 | |
| | 12.6　A/Dコンバータの動作モードを変更 | |
| | 12.7　A/Dコンバータの設定フロー・チャートを変更 | |
| | 12.8　SNOOZEモード機能を変更 | |
| | 12.9　A/Dコンバータ特性表の読み方を変更 | |
| | 12.10　A/Dコンバータの注意事項を変更 | |

（8/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.2.00 | 13. 1 コンパレータの機能を追加 | 第13章 コンパレータ |
| | 13. 2 コンパレータの構成を追加 | |
| | 13. 3 コンパレータを制御するレジスタを変更 | |
| | 13. 4 動作説明を変更 | |
| | 14. 1 シリアル・アレイ・ユニットの機能を変更 | 第14章 シリアル・アレイ・ユニット |
| | 14. 2 シリアル・アレイ・ユニットの構成を変更 | |
| | 14. 3 シリアル・アレイ・ユニットを制御するレジスタを変更 | |
| | 14. 5 3線シリアルI/O（CSI00, CSI10）通信の動作を変更 | |
| | 14. 6 UART（UART0-UART3）通信の動作を変更 | |
| | 14. 7 LIN通信の動作を変更 | |
| | 14. 8 簡易$I^2C$（IIC00, IIC10）通信の動作を変更 | |
| | 15. 1 シリアル・インタフェースIICAの機能を変更 | 第15章 シリアル・インタフェースIICA |
| | 15. 3 シリアル・インタフェースIICAを制御するレジスタを変更 | |
| | 15. 5 $I^2C$バスの定義および制御方法を変更 | |
| | 表16－1 製品ごとのLCD表示機能端子を変更 | 第16章 LCDコントローラ／ドライバ |
| | 16. 1 LCDコントローラ／ドライバの機能を変更 | |
| | 16. 2 LCDコントローラ／ドライバの構成を変更 | |
| | 16. 3 LCDコントローラ／ドライバを制御するレジスタを変更 | |
| | 16. 5 LCD表示レジスタの選択を変更 | |
| | 16. 6 LCDコントローラ／ドライバの設定を変更 | |
| | 16. 7 動作停止手順を変更 | |
| | 16. 8 LCD駆動電圧$V_{L1}$, $V_{L2}$, $V_{L3}$, $V_{L4}$の供給を変更 | |
| | 16. 10 表示モードを変更 | |
| | 17. 2 乗除積和算器の構成を変更 | 第17章 乗除積和算器 |
| | 17. 3 乗除積和算器を制御するレジスタを変更 | |
| | 17. 4 乗除積和算器の動作を変更 | |
| | 18. 1 DMAコントローラの機能を変更 | 第18章 DMAコントローラ |
| | 18. 5 DMAコントローラの設定例を変更 | |
| | 19. 2 割り込み要因と構成を変更 | 第19章 割り込み機能 |
| | 19. 3 割り込み機能を制御するレジスタを変更 | |
| | 19. 4 割り込み処理動作を変更 | |
| | 20. 1 キー割り込みの機能を変更 | 第20章 キー割り込み機能 |
| | 20. 3 キー割り込みを制御するレジスタを変更 | |
| | 21. 2 スタンバイ機能を制御するレジスタを変更 | 第21章 スタンバイ機能 |
| | 21. 3 スタンバイ機能の動作を変更 | |
| | 第22章 リセット機能を変更 | 第22章 リセット機能 |
| | 22. 1 リセット動作のタイミングを変更 | |
| | 22. 2 リセット期間中の動作状態を変更 | |
| | 22. 3 リセット要因を確認するレジスタを変更 | |
| | 23. 1 パワーオン・リセット回路の機能を変更 | 第23章 パワーオン・リセット回路 |
| | 23. 3 パワーオン・リセット回路の動作を変更 | |
| | 24. 1 電圧検出回路の機能を変更 | 第24章 電圧検出回路 |
| | 24. 2 電圧検出回路の構成を変更 | |
| | 24. 3 電圧検出回路を制御するレジスタを変更 | |
| | 24. 4 電圧検出回路の動作を変更 | |
| | 24. 5 電圧検出回路の注意事項を変更 | |

（9/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.2.00 | 25. 1 安全機能の概要を変更 | 第25章 安全機能 |
| | 25. 2 安全機能で使用するレジスタを変更 | |
| | 25. 3 安全機能の動作を変更 | |
| | 27. 1 オプション・バイトの機能を変更 | 第27章 オプション・バイト |
| | 27. 2 ユーザ・オプション・バイトのフォーマットを変更 | |
| | 第28章 フラッシュ・メモリを変更 | 第28章 フラッシュ・メモリ |
| | 28. 1 フラッシュ・メモリ・プログラマによるシリアル・プログラミングを変更 | |
| | 28. 2 外部デバイス（UART内蔵）によるシリアル・プログラミングを変更 | |
| | 28. 3 オンボード上の端子処理を変更 | |
| | 28. 4 シリアル・プログラミング方法を変更 | |
| | 28. 5 セルフ・プログラミングを変更 | |
| | 28. 6 セキュリティ設定を変更 | |
| | 28. 7 データ・フラッシュを変更 | |
| | 29. 1 E1オンチップデバッギングエミュレータとの接続を変更 | 第29章 オンチップ・デバッグ機能 |
| | 31. 1 凡 例を変更 | 第31章 命令セットの概要 |
| | 31. 2 オペレーション一覧を変更 | |
| | 第32章 電気的特性（$T_A$ = −40～+85℃）を変更 | 第32章 電気的特性（$T_A$ = −40～+85℃） |
| | 32. 1 絶対最大定格を変更 | |
| | 32. 2 発振回路特性を変更 | |
| | 32. 3 DC特性を変更 | |
| | 32. 4 AC特性を変更 | |
| | 32. 5 周辺機能特性を変更 | |
| | 32. 6 アナログ特性を変更 | |
| | 32. 7 LCD特性を変更 | |
| | 32. 8 データ・メモリSTOPモード低電源電圧データ保持特性を変更 | |
| | 32. 9 フラッシュ・メモリ・プログラミング特性を変更 | 第32章 電気的特性（$T_A$ = −40～+85℃） |
| | 32. 10 専用フラッシュ・メモリ・プログラマ通信（UART）を変更 | |
| | 32. 11 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを変更 | |
| | 第33章 電気的特性（$T_A$ = −40～+105℃）を変更 | 第33章 電気的特性（$T_A$ = −40～+105℃） |
| | 33. 1 絶対最大定格を変更 | |
| | 33. 2 発振回路特性を変更 | |
| | 33. 3 DC特性を変更 | |
| | 33. 4 AC特性を変更 | |
| | 33. 5 周辺機能特性を変更 | |
| | 33. 6 アナログ特性を変更 | |
| | 33. 7 LCD特性を変更 | |
| | 33. 8 データ・メモリSTOPモード低電源電圧データ保持特性を変更 | |
| | 33. 9 フラッシュ・メモリ・プログラミング特性を変更 | |
| | 33. 10 専用フラッシュ・メモリ・プログラマ通信（UART）を変更 | |
| | 33. 11 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを変更 | |
| | 34. 1 60ピン製品を変更 | 第34章 外 形 図 |
| | 34. 2 80ピン製品を変更 | |

（10/13）

| 版　数 | 内　容 | 適用箇所 |
|---|---|---|
| Rev.1.00 | 1.1 特 徴のセグメント信号出力と動作周囲温度を変更 | 第1章 概 説 |
| | 1.2 オーダ情報を変更 | |
| | 図1－1 RL78/L13の型名とメモリ・サイズ，パッケージを変更 | |
| | 1.6 機能概要のセグメント信号出力とパワーオン・リセット回路と動作周囲温度を変更 | |
| | 2.2.1 製品別の搭載機能のセグメント信号出力端子を変更 | 第2章 端子機能 |
| | 2.2.2 機能説明のセグメント信号出力端子を変更 | |
| | 表2－2 各端子の未使用端子処理（80ピン製品）のP45/IVREF0を変更 | |
| | 3.1.2 ミラー領域を変更 | 第3章 CPUアーキテクチャ |
| | 図3－19 ES/CSレジスタの構成を変更 | |
| | 表3－6 拡張SFR（2nd SFR）一覧（8/10）を変更 | |
| | 4.2.1 ポート0，4.2.2 ポート1，4.2.4 ポート3，4.2.5 ポート4，4.2.6 ポート5，4.2.8 ポート7，4.2.10 ポート13の注を変更 | 第4章 ポート機能 |
| | 表4－8 ポート4使用時のレジスタ設定のP45を変更 | |
| | 図4－19 P45のブロック図を変更 | |
| | 4.3（9）LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）を変更 | |
| | 図4－43 LCDポート・ファンクション・レジスタ（PFSEG0-PFSEG6）のフォーマット（80ピン製品）を変更 | |
| | 表4－16 兼用機能使用時のポート関連レジスタの設定（4/7）のP45を変更 | |
| | 4.5.3 P45（アナログ入力端子（IVREF0）を兼用するポート）を追加 | |
| | 表4－24 使用しない兼用機能の処理を変更 | |
| | 図5－1 クロック発生回路のブロック図を変更 | 第5章 クロック発生回路 |
| | 図5－8 周辺イネーブル・レジスタ1（PER1）のフォーマットの注を変更 | |
| | 5.3（8）高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）を変更 | |
| | 図5－10 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットの注意1～3を変更 | |
| | 図5－14 電源電圧投入時のクロック発生回路の動作を変更 | |
| | 5.6.1 高速オンチップ・オシレータの設定例の【オプション・バイトの設定】を変更 | |
| | 図5－15 CPUクロック状態移行図を変更 | |
| | 表5－3 CPUクロックの移行とSFRレジスタの設定例（2/5）と（3/5）を変更 | |
| | 図6－1 タイマ・アレイ・ユニットの全体ブロック図を変更 | 第6章 タイマ・アレイ・ユニット |
| | 図6－2 タイマ・アレイ・ユニットのチャネル0, 2, 4, 6内部ブロック図～図6－6 タイマ・アレイ・ユニットのチャネル7内部ブロック図を変更 | |
| | 6.2（2）タイマ・データ・レジスタmn（TDRmn）を変更 | |
| | 図6－23 入力切り替え制御レジスタ（ISC）のフォーマットに注意2を追加 | |
| | 図7－1 16ビット・タイマKB20のブロック図を変更 | 第7章 16ビット・タイマKB20 |
| | 図7－4 タイマ・クロック選択レジスタ（TKBPSCS0）のフォーマットの注2, 3を変更 | |
| | 図7－5 16ビット・タイマKB2動作制御レジスタ00（TKBCTL00）のフォーマットを変更 | |
| | 図7－8 16ビット・タイマKB2出力制御レジスタ01（TKBIOC01）のフォーマットを変更 | |
| | 図7－9 16ビット・タイマKB2フラグ・レジスタ0（TKBFLG0）のフォーマットを変更 | |
| | 図7－11 16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0（TKBCLR0）のフォーマットを変更 | |
| | 図7－21 強制出力停止機能制御レジスタ0（TKBPACTL00）のフォーマットを変更 | |
| | 図7－22 強制出力停止機能制御レジスタ1（TKBPACTL01）のフォーマットを変更 | |

（11/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.1.00 | 図7－23 強制出力停止機能制御レジスタ2（TKBPACTL02）のフォーマット～図7－26 強制出力停止機能1停止レジスタ（TKBPAHFT0）のフォーマットに注意2を追加 | 第7章 16ビット・タイマKB20 |
| | 図7－42 単体動作タイミング例（TKBCR00による周期制御）（出力のデフォルト値がロウレベル（TKBTOD0p = 0）でアクティブ・レベルがハイレベル（TKBTOL0p = 0）の場合）を変更 | |
| | 図7－44 一斉書き換え機能：カウント動作中のバッファ更新タイミング図を変更 | |
| | 図7－46 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新タイミング図（TKBTSE0ビットを1に設定）を変更 | |
| | 図7－47 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新タイミング図（TKBTSE0ビットを0に設定）を変更 | |
| | 図7－51 インターリーブPFCモードのタイミング図（状態No.5の動作：INT0入力検出（1回目））～図7－57 インターリーブPFCモードのタイミング図（TKBO01-0，TKBO01-1，TKBO01-2の出力が前回の出力幅で，状態保持期間を超える場合）を変更 | |
| | 7. 5 16ビット・タイマKB20のオプション機能の表を変更 | |
| | 図7－59 ディザリング動作の波形図，図7－61 ディザリング動作の波形図（TKBCR03 = TKBCR00＋1の場合）を変更 | |
| | 7. 5. 4 IH制御用のPWM出力機能を変更 | |
| | 7. 6. 1 強制出力停止機能1と強制出力停止機能2を変更 | |
| | 7. 7. 1 強制出力停止機能1の入出力設定を変更 | |
| | 7. 7. 2（1）TKBPAHCM0n1，TKBPAHCM0n0ビット= 00の場合～（4）TKBPAHCM0n1，TKBPAHCM0n0ビット = 11の場合を変更 | |
| | 7. 7. 3（1）TKBPAHCM0n = 10設定，（2）TKBPAHCM0n = 11設定時を変更 | |
| | 7. 8. 1 強制出力停止機能2の入出力設定を変更 | |
| | 7. 9 16ビット・タイマKB20使用時の注意事項を変更 | |
| | 図8－1 高精度リアルタイム・クロックのブロック図を変更 | 第8章 高精度リアルタイム・クロック |
| | 8. 3 高精度リアルタイム・クロックを制御するレジスタの注1を変更 | |
| | 8. 4. 8 高精度リアルタイム・クロックの時計誤差補正例の【ターゲット補正値の算出】を変更 | |
| | 12. 2（9）$AV_{REFP}$端子を変更 | 第12章 A/Dコンバータ |
| | 図12－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマットの注意1，3を変更 | |
| | 表12－3 A/D変換時間の選択の注意1を変更 | |
| | 図12－5 A/Dコンバータのサンプリングと A/D変換のタイミング（例 ソフトウエア・トリガ・モードの場合）を変更 | |
| | 図12－18 A/Dコンバータの変換動作（ソフトウエア・トリガ・モード（ワンショット変換モード）の場合）を変更 | 第12章 A/Dコンバータ |
| | 図12－20 ソフトウエア・トリガ・モード（連続変換モード）動作タイミング例～図12－25 ハードウエア・トリガ・ウエイト・モード（ワンショット変換モード）動作タイミング例を変更 | |
| | 表13－1 コンパレータの仕様を変更 | 第13章 コンパレータ |
| | 図13－1 コンパレータのブロック図を変更 | |
| | 図13－3 コンパレータモード設定レジスタ（COMPMDR）のフォーマットの注4を変更，注5-7を追加 | |
| | 13. 3（6）LCDポート・ファンクション・レジスタ3（PFSEG3）を追加 | |
| | 表13－4 コンパレータ関連レジスタの設定手順を変更 | |
| | 図13－12 コンパレータi（i ＝ 0，1）デジタルフィルタとエッジ検出の構成を変更 | |
| | 13. 4. 3 コンパレータi出力（i = 0，1）に①を追加 | |
| | 13. 4. 4 コンパレータクロック停止／供給の注意を変更 | |

（12/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.1.00 | 14. 1. 1 3線シリアルI/O（CSI00, CSI10），14. 5 3線シリアルI/O（CSI00, CSI10）通信の動作の最大転送レートを変更 | 第14章 シリアル・アレイ・ユニット |
| | 図14－1 シリアル・アレイ・ユニット0のブロック図，図14－2 シリアル・アレイ・ユニット1のブロック図（80ピン製品）を変更 | |
| | 図14－19 入力切り替え制御レジスタ（ISC）のフォーマットの注意2を変更 | |
| | 14. 5. 1 マスタ送信，14. 5. 2 マスタ受信，14. 5. 3 マスタ送受信の転送レートを変更 | |
| | 14. 6. 3 SNOOZEモード機能に注意3を追加 | |
| | 14. 7. 2 LIN受信に注意を追加 | |
| | 図15－1 シリアル・インタフェースIICA0のブロック図を変更 | 第15章 シリアル・インタフェースIICA |
| | 表16－1 製品ごとのLCD表示機能端子を変更 | 第16章 LCDコントローラ／ドライバ |
| | 16. 1 LCDコントローラ／ドライバの機能の（4）を変更 | |
| | 表16－2 最大表示画素数を変更 | |
| | 表16－4 表示波形／時分割数／バイアス法の設定の組み合わせを変更 | |
| | 図16－5 LCDクロック制御レジスタ（LCDC0）のフォーマット（1/2）に備考を追加 | |
| | 図16－5 LCDクロック制御レジスタ（LCDC0）のフォーマット（2/2）の注意2を変更，注意3を追加 | |
| | 図16－7 LCD昇圧レベル制御レジスタ（VLCD）のフォーマットを変更 | |
| | 16. 3（8）LCDポート・ファンクション・レジスタ0-6（PFSEG0-PFSEG6）を変更 | |
| | 図16－11 LCDポート・ファンクション・レジスタのフォーマット（80ピン製品）を変更 | |
| | 表16－11 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係を変更 | |
| | 図16－23 LCD駆動用電源の接続例（外部抵抗分割方式）の注意を変更 | |
| | 図16－26 コモン信号波形のLCDフレーム周波数の算出例を変更 | |
| | 図16－27 コモン信号とセグメント信号の電圧と位相（3/3）を変更 | |
| | 図16－40 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（2/2）を変更 | |
| | 図16－43 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）を変更 | |
| | 図17－9 積和演算（符号付）動作のタイミング図（2×3＋（－4） = 2 → 32767×（－1）＋（－2147483647） = －2147516414（オーバフロー発生））を変更 | 第17章 乗除積和算器 |
| | 18. 6 DMAコントローラの注意事項の（6）データ・フラッシュ空間にアクセスする場合の動作を変更 | 第18章 DMAコントローラ |
| | 図20－3 キー・リターン・モード・レジスタ（KRM0）のフォーマットの注意1を変更 | 第20章 キー割り込み機能 |
| | 20. 3（3）キー・リターン・フラグ・レジスタ（KRF）を変更 | |
| | 図20－4 キー・リターン・フラグ・レジスタ（KRF）のフォーマットの注1を変更 | |
| | 表21－1 HALTモード時の動作状態（2/2）のクロック出力／ブザー出力を変更 | 第21章 スタンバイ機能 |
| | このページの説明文を変更，注意1を追加 | 第22章 リセット機能 |
| | 23. 1 パワーオン・リセット回路の機能を変更 | 第23章 パワーオン・リセット回路 |
| | 23. 3 パワーオン・リセット回路の動作を変更 | |
| | 図23－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングを変更 | |
| | 表24－1 ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（1/2）に注意を追加 | 第24章 電圧検出回路 |
| | 表24－1 ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（2/2）に注意1, 2を追加 | |

（13/13）

| 版 数 | 内 容 | 適用箇所 |
|---|---|---|
| Rev.1.00 | 図24－5 割り込み信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）を変更 | 第24章 電圧検出回路 |
| | 図24－6 割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）を変更 | |
| | 24. 5 電圧検出回路の注意事項に（3）と（4）を追加 | |
| | 図25－1 フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマットを変更 | 第25章 安全機能 |
| | 図25－10 不正アクセス検出空間を変更 | |
| | 図25－17 ポート・モード選択レジスタ（PMS）のフォーマットに注意2-5を追加 | |
| | 28. 4. 1 データ・フラッシュの概要に注意を追加 | 第28章 フラッシュ・メモリ |
| | 28. 7 セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意2, 3を変更 | |
| | 28. 7. 2 フラッシュ・シールド・ウインドウ機能を変更 | |
| | 表28－14 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係を変更 | |
| | 全般を変更 | 第32章 電気的特性（$T_A$ = －40～＋85℃） |
| | 全般を変更 | 第33章 電気的特性（$T_A$ = －40～＋105℃） |
| | オーダ名称を追加，外形図を更新 | 第34章 外 形 図 |

RL78/L13 ユーザーズマニュアル
ハードウェア編

発行年月日　　2023 年 8 月 31 日　Rev.2.30

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲 3-2-24（豊洲フォレシア）

RL78/L13

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0382JJ0230