

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD789104A, 789114A, 789124A, 789134A サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789101A	μPD789101A(A1)	μPD789121A	μPD789121A(A1)
μPD789102A	μPD789102A(A1)	μPD789122A	μPD789122A(A1)
μPD789104A	μPD789104A(A1)	μPD789124A	μPD789124A(A1)
μPD789111A	μPD789111A(A1)	μPD789131A	μPD789131A(A1)
μPD789112A	μPD789112A(A1)	μPD789132A	μPD789132A(A1)
μPD789114A	μPD789114A(A1)	μPD789134A	μPD789134A(A1)
μPD78F9116A	μPD78F9116B(A1)	μPD78F9136A	μPD78F9136B(A1)
μPD78F9116B	μPD789101A(A2)	μPD78F9136B	μPD789121A(A2)
μPD789101A(A)	μPD789102A(A2)	μPD789121A(A)	μPD789122A(A2)
μPD789102A(A)	μPD789104A(A2)	μPD789122A(A)	μPD789124A(A2)
μPD789104A(A)	μPD789111A(A2)	μPD789124A(A)	μPD789131A(A2)
μPD789111A(A)	μPD789112A(A2)	μPD789131A(A)	μPD789132A(A2)
μPD789112A(A)	μPD789114A(A2)	μPD789132A(A)	μPD789134A(A2)
μPD789114A(A)		μPD789134A(A)	
μPD78F9116B(A)		μPD78F9136B(A)	

資料番号 U14643JJ2V0UD00 (第2版)

発行年月 June 2003 N CP(K)

(X モ)

目次要約

第1章	概 説 (μ PD789104A, 789114Aサブシリーズ)	… 24
第2章	概 説 (μ PD789124A, 789134Aサブシリーズ)	… 36
第3章	端子機能	… 47
第4章	CPUアーキテクチャ	… 54
第5章	ポート機能	… 80
第6章	クロック発生回路 (μ PD789104A, 789114Aサブシリーズ)	… 95
第7章	クロック発生回路 (μ PD789124A, 789134Aサブシリーズ)	… 103
第8章	16ビット・タイマ20	… 110
第9章	8ビット・タイマ/イベント・カウンタ80	… 123
第10章	ウォッチドッグ・タイマ	… 137
第11章	8ビットA/Dコンバータ (μ PD789104A, 789124Aサブシリーズ)	… 144
第12章	10ビットA/Dコンバータ (μ PD789114A, 789134Aサブシリーズ)	… 157
第13章	シリアル・インタフェース20	… 170
第14章	乗 算 器	… 208
第15章	割り込み機能	… 212
第16章	スタンバイ機能	… 226
第17章	リセット機能	… 234
第18章	μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B	… 238
第19章	マスク・オプション (マスクROM製品)	… 252
第20章	命令セットの概要	… 253
第21章	電気的特性 (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A)) (拡張規格品)	… 264
第22章	電気的特性 (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A)) (従来規格品)	… 276
第23章	電気的特性 (μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2))	… 288
第24章	電気的特性 (μ PD78F9116B, 78F9116B(A))	… 299
第25章	電気的特性 (μ PD78F9116B(A1))	… 312
第26章	電気的特性 (μ PD78F9116A)	… 323
第27章	電気的特性 (μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A))	… 334
第28章	電気的特性 (μ PD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2))	… 345
第29章	電気的特性 (μ PD78F9136B, 78F9136B(A))	… 356
第30章	電気的特性 (μ PD78F9136B(A1))	… 368
第31章	電気的特性 (μ PD78F9136A)	… 379
第32章	特性曲線 (参考値) (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A))	… 390
第33章	特性曲線 (参考値) (μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2))	… 393
第34章	RC発振周波数特性例 (参考値) (μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A), 78F9136A)	… 396
第35章	RC発振周波数特性例 (参考値) (μ PD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2))	… 398
第36章	外 形 図	… 400
第37章	半田付け推奨条件	… 401
付録A	開発ツール	… 403
付録B	ターゲット・システム設計上の注意	… 409
付録C	レジスタ索引	… 411
付録D	改版履歴	… 415

CMOSデバイスの一般的注意事項

① 静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μ PD78F9116A, 78F9116B, 78F9116B(A), 78F9116B(A1),

μ PD78F9136A, 78F9136B, 78F9136B(A), 78F9136B(A1)

ユーザ判定品：μ PD789101A, 789102A, 789104A, 789101A(A), 789102A(A), 789104A(A)

μ PD789101A(A1), 789102A(A1), 789104A(A1), 789101A(A2), 789102A(A2), 789104A(A2)

μ PD789111A, 789112A, 789114A, 789111A(A), 789112A(A), 789114A(A)

μ PD789111A(A1), 789112A(A1), 789114A(A1), 789111A(A2), 789112A(A2), 789114A(A2)

μ PD789121A, 789122A, 789124A, 789121A(A), 789122A(A), 789124A(A)

μ PD789121A(A1), 789122A(A1), 789124A(A1), 789121A(A2), 789122A(A2), 789124A(A2)

μ PD789131A, 789132A, 789134A, 789131A(A), 789132A(A), 789134A(A)

μ PD789131A(A1), 789132A(A1), 789134A(A1), 789131A(A2), 789132A(A2), 789134A(A2)

- 本資料に記載されている内容は2003年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

本版で改訂された主な箇所

箇 所	内 容
全 般	・ μ PD789101A(A1), 789102A(A1), 789104A(A1), 789111A(A1), 789112A(A1), 789114A(A1), 789121A(A1), 789122A(A1), 789124A(A1), 789131A(A1), 789132A(A1), 789134A(A1), 789101A(A2), 789102A(A2), 789104A(A2), 789111A(A2), 789112A(A2), 789114A(A2), 789121A(A2), 789122A(A2), 789124A(A2), 789131A(A2), 789132A(A2), 789134A(A2), 78F9116B, 78F9136B, 78F9116B(A), 78F9136B(A), 78F9116B(A1), 78F9136B(A1)を追加 ・ 拡張規格品に関する記述を追加
p.24, 35	第1章 概 説 (μ PD789104A, 789114Aサブシリーズ) ・ 1. 1 拡張規格品と従来規格品についてを追加 ・ 1. 10 標準水準品と(A)製品, (A1)製品, (A2)製品との違いを追加
p.46	第2章 概 説 (μ PD789124A, 789134Aサブシリーズ) ・ 2. 9 標準水準品と(A)製品, (A1)製品, (A2)製品との違いを追加
p.116-118, 121	第8章 16ビット・タイマ20 ・ 8. 4. 1 タイマ割り込みとしての動作の記述を修正 ・ 図8-5 タイマ割り込み動作のタイミングを修正 ・ 8. 4. 2 タイマ出力としての動作の記述を修正 ・ 図8-7 タイマ出力のタイミングを修正 ・ 8. 5 16ビット・タイマ20の注意事項を追加
p.135	第9章 8ビット・タイマ/イベント・カウンタ80 ・ 9. 5 8ビット・タイマ/イベント・カウンタ80の注意事項の記述を追加
p.155	第11章 8ビットA/Dコンバータ (μ PD789104A, 789124Aサブシリーズ) ・ 11. 5 (8) ANI0-ANI3端子の入カインピーダンスについてを追加
p.158, 168	第12章 10ビットA/Dコンバータ (μ PD789114A, 789134Aサブシリーズ) ・ 12. 2 (2) A/D変換結果レジスタ0 (ADCR0) の記述を修正 ・ 12. 5 (8) ANI0-ANI3端子の入カインピーダンスについてを追加
p.172, 182, 196	第13章 シリアル・インタフェース20 ・ 図13-1 シリアル・インタフェース20のブロック図を修正 ・ 13. 3 (4) (c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成を追加 ・ 13. 4. 2 (2) (f) 受信データの読み出しを追加
p.216	第15章 割り込み機能 ・ 図15-2 割り込み要求フラグ・レジスタのフォーマットに注意3を追加
p.238	第18章 μ PD78F9116A, 78F9116B, 78F9136A, 78F9136Bを全面改訂
p.264	第21章～第31章 電気的特性を追加
p.390	第32章, 第33章 特性曲線(参考値)を追加
p.396	第34章, 第35章 RC発振周波数特性例(参考値)を追加
p.400	第36章 外形図を追加
p.401	第37章 半田付け推奨条件を追加
p.403	付録A 開発ツールを全面改訂
p.409	付録B ターゲット・システム設計上の注意を追加
p.415	付録D 改版履歴を追加
旧版 p.259	付録B 組み込み用ソフトウェアを削除

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対 象 者 このマニュアルは μ PD789104A, 789114A, 789124A, 789134Aサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すサブシリーズの各製品です。

- μ PD789104Aサブシリーズ： μ PD789101A, 789102A, 789104A,
789101A(A), 789102A(A), 789104A(A),
789101A(A1), 789102A(A1), 789104A(A1),
789101A(A2), 789102A(A2), 789104A(A2)
- μ PD789114Aサブシリーズ： μ PD789111A, 789112A, 789114A, 78F9116A, 78F9116B,
789111A(A), 789112A(A), 789114A(A), 78F9116B(A),
789111A(A1), 789112A(A1), 789114A(A1), 78F9116B(A1),
789111A(A2), 789112A(A2), 789114A(A2)
- μ PD789124Aサブシリーズ： μ PD789121A, 789122A, 789124A,
789121A(A), 789122A(A), 789124A(A),
789121A(A1), 789122A(A1), 789124A(A1),
789121A(A2), 789122A(A2), 789124A(A2)
- μ PD789134Aサブシリーズ： μ PD789131A, 789132A, 789134A, 78F9136A, 78F9136B,
789131A(A), 789132A(A), 789134A(A), 78F9136B(A),
789131A(A1), 789132A(A1), 789134A(A1), 78F9136B(A1),
789131A(A2), 789132A(A2), 789134A(A2)

このマニュアルでは全対象製品を総称して μ PD789104A/114A/124A/134Aサブシリーズと記載しております。

また、文章中に出てくる総称は次の製品を表しております。

- 「標準水準品」 … μ PD789101A, 789102A, 789104A, 789111A, 789112A, 789114A, 78F9116A,
78F9116B, 789121A, 789122A, 789124A, 789131A, 789132A, 789134A,
78F9136A, 78F9136B
- 「(A)製品」 … μ PD789101A(A), 789102A(A), 789104A(A), 789111A(A), 789112A(A),
789114A(A), 78F9116B(A), 789121A(A), 789122A(A), 789124A(A),
789131A(A), 789132A(A), 789134A(A), 78F9136B(A)
- 「(A1)製品」 … μ PD789101A(A1), 789102A(A1), 789104A(A1), 789111A(A1), 789112A(A1),
789114A(A1), 78F9116B(A1), 789121A(A1), 789122A(A1), 789124A(A1),
789131A(A1), 789132A(A1), 789134A(A1), 78F9136B(A1)
- 「(A2)製品」 … μ PD789101A(A2), 789102A(A2), 789104A(A2), 789111A(A2), 789112A(A2),
789114A(A2), 789121A(A2), 789122A(A2), 789124A(A2), 789131A(A2),
789132A(A2), 789134A(A2)
- 「マスクROM製品」 … μ PD789101A, 789102A, 789104A, 789111A, 789112A, 789114A,
789121A, 789122A, 789124A, 789131A, 789132A, 789134A,
789101A(A), 789102A(A), 789104A(A), 789111A(A), 789112A(A),
789114A(A), 789121A(A), 789122A(A), 789124A(A), 789131A(A),
789132A(A), 789134A(A), 789101A(A1), 789102A(A1), 789104A(A1),
789111A(A1), 789112A(A1), 789114A(A1), 789121A(A1),

789122A(A1), 789124A(A1), 789131A(A1), 789132A(A1),
789134A(A1), 789101A(A2), 789102A(A2), 789104A(A2),
789111A(A2), 789112A(A2), 789114A(A2), 789121A(A2),
789122A(A2), 789124A(A2), 789131A(A2), 789132A(A2),
789134A(A2)

「フラッシュ・メモリ製品」 … μ PD78F9116A, 78F9116B, 78F9116B(A), 78F9116B(A1),
78F9136A, 78F9136B, 78F9136B(A), 78F9136B(A1)

システム・クロックの発振周波数は、セラミック／水晶発振 (μ PD789104A, 789114Aサブシリーズ)
を f_x , RC発振 (μ PD789124A, 789134Aサブシリーズ) を f_{cc} としています。

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 μ PD789104A, 789114A, 789124A, 789134Aサブシリーズのマニュアルは、このマニュアルと命令編
(78K/0Sシリーズ共通) の2冊に分かれています。

μ PD789104A, 789114A, 789124A,
789134Aサブシリーズ
ユーザーズ・マニュアル

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

78K/0Sシリーズ
ユーザーズ・マニュアル
命令編

- CPU機能
- 命令セット
- 命令の説明

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□ μ PD789101A(A), 789102A(A), 789104A(A), 789111A(A), 789112A(A), 789114A(A), 78F9116B(A),
789121A(A), 789122A(A), 789124A(A), 789131A(A), 789132A(A), 789134A(A), 78F9136B(A),
789101A(A1), 789102A(A1), 789104A(A1), 789111A(A1), 789112A(A1), 789114A(A1), 78F9116B(A1),
789121A(A1), 789122A(A1), 789124A(A1), 789131A(A1), 789132A(A1), 789134A(A1),
78F9136B(A1), 789101A(A2), 789102A(A2), 789104A(A2), 789111A(A2), 789112A(A2), 789114A(A2),
789121A(A2), 789122A(A2), 789124A(A2), 789131A(A2), 789132A(A2), 789134A(A2)のマニュアル
としてお使いになる方へ

→ μ PD789101A, 789102A, 789104A, 789111A, 789112A, 789114A, 78F9116B, 789121A, 789122A,
789124A, 789131A, 789132A, 789134A, 78F9136Bとの違いは、品質水準、電源電圧、動作周囲温
度、最小命令実行時間、電気的特性だけです (1. 10 標準水準品と(A)製品, (A1)製品, (A2)製品
との違い, 2. 9 標準水準品と(A)製品, (A1)製品, (A2)製品との違い参照)。(A)製品, (A1)製品,
(A2)製品については、第3章～第20章に記載の品名を次のように読み替えてください。

μ PD789101A → μ PD789101A(A), 789101A(A1), 789101A(A2)

μ PD789102A → μ PD789102A(A), 789102A(A1), 789102A(A2)

μ PD789104A → μ PD789104A(A), 789104A(A1), 789104A(A2)

μ PD789111A → μ PD789111A(A), 789111A(A1), 789111A(A2)
 μ PD789112A → μ PD789112A(A), 789112A(A1), 789112A(A2)
 μ PD789114A → μ PD789114A(A), 789114A(A1), 789114A(A2)
 μ PD78F9116B → μ PD78F9116B(A), 78F9116B(A1)
 μ PD789121A → μ PD789121A(A), 789121A(A1), 789121A(A2)
 μ PD789122A → μ PD789122A(A), 789122A(A1), 789122A(A2)
 μ PD789124A → μ PD789124A(A), 789124A(A1), 789124A(A2)
 μ PD789131A → μ PD789131A(A), 789131A(A1), 789131A(A2)
 μ PD789132A → μ PD789132A(A), 789132A(A1), 789132A(A2)
 μ PD789134A → μ PD789134A(A), 789134A(A1), 789134A(A2)
 μ PD78F9136B → μ PD78F9136B(A), 78F9136B(A1)

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□レジスタ・フォーマットの見方

→ビット番号を○で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

□レジスタ名が分かっているレジスタの詳細を確認するとき

→付録C レジスタ索引を利用してください。

□78K/0Sシリーズの命令機能の詳細を知りたいとき

→別冊の78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J) を参照してください。

□ μ PD789104A, 789114A, 789124A, 789134Aサブシリーズの電気的特性を知りたいとき

→第21章～第31章の電気的特性の各章

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準品質用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\times \times \times}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $\times \times \times \times$ または $\times \times \times \times B$ 10進数... $\times \times \times \times$ 16進数... $\times \times \times \times H$

- ★ **関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
μ PD789104A, 789114A, 789124A, 789134Aサブシリーズ ユーザーズ・マニュアル	このマニュアル	U14643E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78K0S アセンブラ・パッケージ	操作編	U14876J	U14876E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U14871J	U14871E
	言語編	U14872J	U14872E
SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編（Windows®ベース）	U15373J	U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windowsベース）	U15185J	U15185E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）		U14610J	U14610E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和 文	英 文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789136-NS-EM1 エミュレーション・ボード	U14363J	U14363E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資 料 名	資料番号	
	和 文	英 文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資 料 名	資料番号	
	和 文	英 文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質／信頼性ハンドブック	C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 (μ PD789104A, 789114Aサブシリーズ) … 24

- ★ 1.1 拡張規格品と従来規格品について … 24
- 1.2 特 徴 … 25
- 1.3 応用分野 … 25
- 1.4 オーダ情報 … 26
- 1.5 品質水準 … 27
- 1.6 端子接続図 (Top View) … 28
- 1.7 78K/0Sシリーズの展開 … 30
- 1.8 ブロック図 … 33
- 1.9 機能概要 … 34
- ★ 1.10 標準水準品と(A)製品, (A1)製品, (A2)製品との違い … 35

第2章 概 説 (μ PD789124A, 789134Aサブシリーズ) … 36

- 2.1 特 徴 … 36
- 2.2 応用分野 … 37
- 2.3 オーダ情報 … 37
- 2.4 品質水準 … 38
- 2.5 端子接続図 (Top View) … 39
- 2.6 78K/0Sシリーズの展開 … 41
- 2.7 ブロック図 … 44
- 2.8 機能概要 … 45
- ★ 2.9 標準水準品と(A)製品, (A1)製品, (A2)製品との違い … 46

第3章 端子機能 … 47

- 3.1 端子機能一覧 … 47
- 3.2 端子機能の説明 … 49
 - 3.2.1 P00-P03 (Port0) … 49
 - 3.2.2 P10, P11 (Port1) … 49
 - 3.2.3 P20-P25 (Port2) … 49
 - 3.2.4 P50-P53 (Port 5) … 50
 - 3.2.5 P60-P63 (Port 6) … 50
 - 3.2.6 $\overline{\text{RESET}}$ … 50
 - 3.2.7 X1, X2 (μ PD789104A, 789114Aサブシリーズ) … 50
 - 3.2.8 CL1, CL2 (μ PD789124A, 789134Aサブシリーズ) … 50
 - 3.2.9 AV_{DD} … 50
 - 3.2.10 AV_{SS} … 51
 - 3.2.11 V_{DD} … 51
 - 3.2.12 V_{SS} … 51
 - 3.2.13 V_{PP} (μ PD78F9116A, 78F9116B, 78F9136A, 78F9136Bのみ) … 51
 - 3.2.14 20番ピンのIC0 (マスクROM製品のみ) … 51
 - 3.2.15 10番ピンと21番ピンのIC0 … 51

3.3	端子の入出力回路と未使用端子の処理	52
-----	-------------------	----

第4章 CPUアーキテクチャ … 54

4.1	メモリ空間	54
4.1.1	内部プログラム・メモリ空間	58
4.1.2	内部データ・メモリ（内部高速RAM）空間	59
4.1.3	特殊機能レジスタ（SFR：Special Function Register）領域	59
4.1.4	データ・メモリ・アドレッシング	60
4.2	プロセッサ・レジスタ	64
4.2.1	制御レジスタ	64
4.2.2	汎用レジスタ	67
4.2.3	特殊機能レジスタ（SFR）	68
4.3	命令アドレスのアドレッシング	71
4.3.1	レラティブ・アドレッシング	71
4.3.2	イミディエト・アドレッシング	72
4.3.3	テーブル・インダイレクト・アドレッシング	73
4.3.4	レジスタ・アドレッシング	73
4.4	オペランド・アドレスのアドレッシング	74
4.4.1	ダイレクト・アドレッシング	74
4.4.2	ショート・ダイレクト・アドレッシング	75
4.4.3	特殊機能レジスタ（SFR）アドレッシング	76
4.4.4	レジスタ・アドレッシング	77
4.4.5	レジスタ・インダイレクト・アドレッシング	78
4.4.6	ベースト・アドレッシング	79
4.4.7	スタック・アドレッシング	79

第5章 ポート機能 … 80

5.1	ポートの機能	80
5.2	ポートの構成	82
5.2.1	ポート0	82
5.2.2	ポート1	83
5.2.3	ポート2	84
5.2.4	ポート5	88
5.2.5	ポート6	89
5.3	ポート機能を制御するレジスタ	90
5.4	ポート機能の動作	93
5.4.1	入出力ポートへの書き込み	93
5.4.2	入出力ポートからの読み出し	93
5.4.3	入出力ポートでの演算	94

第6章 クロック発生回路（ μ PD789104A, 789114Aサブシリーズ） … 95

6.1	クロック発生回路の機能	95
6.2	クロック発生回路の構成	95
6.3	クロック発生回路を制御するレジスタ	97
6.4	システム・クロック発振回路	98
6.4.1	システム・クロック発振回路	98

- 6.4.2 分周回路 … 101
- 6.5 クロック発生回路の動作 … 101
- 6.6 CPUクロックの設定の変更 … 102
 - 6.6.1 CPUクロックの切り替えに要する時間 … 102
 - 6.6.2 CPUクロックの切り替え手順 … 102

第7章 クロック発生回路 (μ PD789124A, 789134Aサブシリーズ) … 103

- 7.1 クロック発生回路の機能 … 103
- 7.2 クロック発生回路の構成 … 103
- 7.3 クロック発生回路を制御するレジスタ … 104
- 7.4 システム・クロック発振回路 … 105
 - 7.4.1 システム・クロック発振回路 … 105
 - 7.4.2 発振子の接続の悪い例 … 106
 - 7.4.3 分周回路 … 108
- 7.5 クロック発生回路の動作 … 108
- 7.6 CPUクロックの設定の変更 … 109
 - 7.6.1 CPUクロックの切り替えに要する時間 … 109
 - 7.6.2 CPUクロックの切り替え手順 … 109

第8章 16ビット・タイマ20 … 110

- 8.1 16ビット・タイマ20の機能 … 110
- 8.2 16ビット・タイマ20の構成 … 111
- 8.3 16ビット・タイマ20を制御するレジスタ … 113
- 8.4 16ビット・タイマ20の動作 … 116
 - 8.4.1 タイマ割り込みとしての動作 … 116
 - 8.4.2 タイマ出力としての動作 … 118
 - 8.4.3 キャプチャ動作 … 119
 - 8.4.4 16ビット・タイマ・カウンタ20の読み出し … 120
- ★ 8.5 16ビット・タイマ20の注意事項 … 121
 - 8.5.1 16ビット・コンペア・レジスタ20を書き換える際の制限事項 … 121

第9章 8ビット・タイマ／イベント・カウンタ80 … 123

- 9.1 8ビット・タイマ／イベント・カウンタ80の機能 … 123
- 9.2 8ビット・タイマ／イベント・カウンタ80の構成 … 124
- 9.3 8ビット・タイマ／イベント・カウンタ80を制御するレジスタ … 126
- 9.4 8ビット・タイマ／イベント・カウンタ80の動作 … 128
 - 9.4.1 インターバル・タイマとしての動作 … 128
 - 9.4.2 外部イベント・カウンタとしての動作 … 130
 - 9.4.3 方形波出力としての動作 … 131
 - 9.4.4 PWM出力としての動作 … 133
- 9.5 8ビット・タイマ／イベント・カウンタ80の注意事項 … 135

第10章 ウォッチドッグ・タイマ … 137

- 10.1 ウォッチドッグ・タイマの機能 … 137
- 10.2 ウォッチドッグ・タイマの構成 … 139

10.3	ウォッチドッグ・タイマを制御するレジスタ	...	140
10.4	ウォッチドッグ・タイマの動作	...	142
10.4.1	ウォッチドッグ・タイマとしての動作	...	142
10.4.2	インターバル・タイマとしての動作	...	143
第11章	8ビットA/Dコンバータ (μ PD789104A, 789124Aサブシリーズ)	...	144
11.1	8ビットA/Dコンバータの機能	...	144
11.2	8ビットA/Dコンバータの構成	...	144
11.3	8ビットA/Dコンバータを制御するレジスタ	...	147
11.4	8ビットA/Dコンバータの動作	...	149
11.4.1	8ビットA/Dコンバータの基本動作	...	149
11.4.2	入力電圧と変換結果	...	150
11.4.3	8ビットA/Dコンバータの動作モード	...	152
11.5	8ビットA/Dコンバータの注意事項	...	153
第12章	10ビットA/Dコンバータ (μ PD789114A, 789134Aサブシリーズ)	...	157
12.1	10ビットA/Dコンバータの機能	...	157
12.2	10ビットA/Dコンバータの構成	...	157
12.3	10ビットA/Dコンバータを制御するレジスタ	...	160
12.4	10ビットA/Dコンバータの動作	...	162
12.4.1	10ビットA/Dコンバータの基本動作	...	162
12.4.2	入力電圧と変換結果	...	164
12.4.3	10ビットA/Dコンバータの動作モード	...	165
12.5	10ビットA/Dコンバータの注意事項	...	166
第13章	シリアル・インタフェース20	...	170
13.1	シリアル・インタフェース20の機能	...	170
13.2	シリアル・インタフェース20の構成	...	171
13.3	シリアル・インタフェース20を制御するレジスタ	...	175
13.4	シリアル・インタフェース20の動作	...	183
13.4.1	動作停止モード	...	183
13.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	185
13.4.3	3線式シリアルI/Oモード	...	198
第14章	乗算器	...	208
14.1	乗算器の機能	...	208
14.2	乗算器の構成	...	208
14.3	乗算器を制御するレジスタ	...	210
14.4	乗算器の動作	...	211
第15章	割り込み機能	...	212
15.1	割り込み機能の種類	...	212
15.2	割り込み要因と構成	...	212
15.3	割り込み機能を制御するレジスタ	...	215

- 15. 4 割り込み処理動作 … 220
 - 15. 4. 1 ノンマスカブル割り込み要求の受け付け動作 … 220
 - 15. 4. 2 マスカブル割り込み要求の受け付け動作 … 222
 - 15. 4. 3 多重割り込み処理 … 224
 - 15. 4. 4 割り込み要求の保留 … 225

第16章 スタンバイ機能 … 226

- 16. 1 スタンバイ機能と構成 … 226
 - 16. 1. 1 スタンバイ機能 … 226
 - 16. 1. 2 スタンバイ機能を制御するレジスタ (μ PD789104A, 789114Aサブシリーズ) … 227
- 16. 2 スタンバイ機能の動作 … 228
 - 16. 2. 1 HALTモード … 228
 - 16. 2. 2 STOPモード … 231

第17章 リセット機能 … 234

第18章 μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B … 238

- ★ 18. 1 フラッシュ・メモリの特徴 … 239
 - 18. 1. 1 プログラミング環境 … 239
 - 18. 1. 2 通信方式 … 240
 - 18. 1. 3 オンボード上の端子処理 … 244
 - 18. 1. 4 フラッシュ書き込み用アダプタ上の接続 … 248

第19章 マスク・オプション（マスクROM製品） … 252

第20章 命令セットの概要 … 253

- 20. 1 オペレーション … 253
 - 20. 1. 1 オペランドの表現形式と記述方法 … 253
 - 20. 1. 2 オペレーション欄の説明 … 254
 - 20. 1. 3 フラグ動作欄の説明 … 254
- 20. 2 オペレーション一覧 … 255
- 20. 3 アドレッシング別命令一覧 … 261

- ★ 第21章 電気的特性 (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A))（拡張規格品） … 264

- ★ 第22章 電気的特性 (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A))（従来規格品） … 276

- ★ 第23章 電気的特性 (μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2)) … 288

- ★ 第24章 電気的特性 (μ PD78F9116B, 78F9116B(A)) … 299

- ★ 第25章 電気的特性 (μ PD78F9116B(A1)) … 312

★	第26章	電気的特性 (μ PD78F9116A)	...	323
★	第27章	電気的特性 (μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A))	...	334
★	第28章	電気的特性 (μ PD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2))	...	345
★	第29章	電気的特性 (μ PD78F9136B, 78F9136B(A))	...	356
★	第30章	電気的特性 (μ PD78F9136B(A1))	...	368
★	第31章	電気的特性 (μ PD78F9136A)	...	379
★	第32章	特性曲線 (参考値) (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A))	...	390
★	第33章	特性曲線 (参考値) (μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2))	...	393
★	第34章	RC発振周波数特性例 (参考値) (μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A), 78F9136A)	...	396
★	第35章	RC発振周波数特性例 (参考値) (μ PD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2))	...	398
★	第36章	外形図	...	400
★	第37章	半田付け推奨条件	...	401
★	付録A	開発ツール	...	403
★	A. 1	ソフトウェア・パッケージ	...	405
	A. 2	言語処理用ソフトウェア	...	405
★	A. 3	制御ソフトウェア	...	406
	A. 4	フラッシュ・メモリ書き込み用ツール	...	406
	A. 5	デバッグ用ツール (ハードウェア)	...	407
	A. 6	デバッグ用ツール (ソフトウェア)	...	408
★	付録B	ターゲット・システム設計上の注意	...	409
	付録C	レジスタ索引	...	411
	C. 1	レジスタ索引 (50音順)	...	411
	C. 2	レジスタ索引 (アルファベット順)	...	413
★	付録D	改版履歴	...	415

図の目次 (1/4)

図番号	タイトル, ページ
3-1	端子の入出力回路一覧 … 53
4-1	メモリ・マップ (μ PD789101A, 789111A, 789121A, 789131A) … 54
4-2	メモリ・マップ (μ PD789102A, 789112A, 789122A, 789132A) … 55
4-3	メモリ・マップ (μ PD789104A, 789114A, 789124A, 789134A) … 56
4-4	メモリ・マップ (μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B) … 57
4-5	データ・メモリのアドレッシング (μ PD789101A, 789111A, 789121A, 789131A) … 60
4-6	データ・メモリのアドレッシング (μ PD789102A, 789112A, 789122A, 789132A) … 61
4-7	データ・メモリのアドレッシング (μ PD789104A, 789114A, 789124A, 789134A) … 62
4-8	データ・メモリのアドレッシング (μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B) … 63
4-9	プログラム・カウンタの構成 … 64
4-10	プログラム・ステータス・ワードの構成 … 64
4-11	スタック・ポインタの構成 … 66
4-12	スタック・メモリへ退避されるデータ … 66
4-13	スタック・メモリから復帰されるデータ … 66
4-14	汎用レジスタの構成 … 67
5-1	ポートの種類 … 80
5-2	P00-P03のブロック図 … 82
5-3	P10, P11のブロック図 … 83
5-4	P20のブロック図 … 84
5-5	P21のブロック図 … 85
5-6	P22, P23, P25のブロック図 … 86
5-7	P24のブロック図 … 87
5-8	P50-P53のブロック図 … 88
5-9	P60-P63のブロック図 … 89
5-10	ポート・モード・レジスタのフォーマット … 91
5-11	プルアップ抵抗オプション・レジスタ0のフォーマット … 91
5-12	プルアップ抵抗オプション・レジスタB2のフォーマット … 92
6-1	クロック発生回路のブロック図 … 96
6-2	プロセッサ・クロック・コントロール・レジスタのフォーマット … 97
6-3	システム・クロック発振回路の外付け回路 … 98
6-4	発振子の接続の悪い例 … 99
6-5	CPUクロックの切り替え … 102
7-1	クロック発生回路のブロック図 … 103
7-2	プロセッサ・クロック・コントロール・レジスタのフォーマット … 104
7-3	システム・クロック発振回路の外付け回路 … 105

図の目次 (2/4)

図番号	タイトル, ページ
7-4	発振子の接続の悪い例 ... 106
7-5	CPUクロックの切り替え ... 109
8-1	16ビット・タイマ20のブロック図 ... 111
8-2	16ビット・タイマ・モード・コントロール・レジスタ20のフォーマット ... 114
8-3	ポート・モード・レジスタ2のフォーマット ... 115
8-4	タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 116
8-5	タイマ割り込み動作のタイミング ... 117
8-6	タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 118
8-7	タイマ出力のタイミング ... 118
8-8	キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 119
8-9	キャプチャ動作のタイミング (CPT20端子の両エッジ指定時) ... 119
8-10	16ビット・タイマ・カウンタ20の読み出しのタイミング ... 120
9-1	8ビット・タイマ／イベント・カウンタ80のブロック図 ... 125
9-2	8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット ... 126
9-3	ポート・モード・レジスタ2のフォーマット ... 127
9-4	インターバル・タイマ動作のタイミング ... 129
9-5	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 130
9-6	方形波出力のタイミング ... 132
9-7	PWM出力のタイミング ... 134
9-8	8ビット・タイマ・カウンタのスタート・タイミング ... 135
9-9	外部イベント・カウンタとしての動作時のタイミング ... 135
9-10	PWM出力中のコンペア・レジスタの変更後のタイミング ... 136
10-1	ウォッチドッグ・タイマのブロック図 ... 139
10-2	タイマ・クロック選択レジスタ2のフォーマット ... 140
10-3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 141
11-1	8ビットA/Dコンバータのブロック図 ... 145
11-2	A/Dコンバータ・モード・レジスタ0のフォーマット ... 147
11-3	アナログ入力チャネル指定レジスタ0のフォーマット ... 148
11-4	8ビットA/Dコンバータの基本動作 ... 150
11-5	アナログ入力電圧とA/D変換結果の関係 ... 151
11-6	ソフトウェア・スタートによるA/D変換動作 ... 152
11-7	スタンバイ・モード時の消費電流を低減させる方法例 ... 153
11-8	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 154
11-9	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 154

図の目次 (3/4)

図番号	タイトル, ページ
11-10	アナログ入力端子の処理 … 155
11-11	A/D変換終了割り込み要求発生タイミング … 156
11-12	AV _{DD} 端子の処理 … 156
12-1	10ビットA/Dコンバータのブロック図 … 158
12-2	A/Dコンバータ・モード・レジスタ0のフォーマット … 160
12-3	アナログ入力チャネル指定レジスタ0のフォーマット … 161
12-4	10ビットA/Dコンバータの基本動作 … 163
12-5	アナログ入力電圧とA/D変換結果の関係 … 164
12-6	ソフトウェア・スタートによるA/D変換動作 … 165
12-7	スタンバイ・モード時の消費電流を低減させる方法例 … 166
12-8	変換結果を読み出すタイミング（変換結果が不定値の場合） … 167
12-9	変換結果を読み出すタイミング（変換結果が正常値の場合） … 167
12-10	アナログ入力端子の処理 … 168
12-11	A/D変換終了割り込み要求発生タイミング … 169
12-12	AV _{DD} 端子の処理 … 169
13-1	シリアル・インタフェース20のブロック図 … 172
13-2	ボー・レート・ジェネレータのブロック図 … 173
13-3	シリアル動作モード・レジスタ20のフォーマット … 176
13-4	アシンクロナス・シリアル・インタフェース・モード・レジスタ20のフォーマット … 177
13-5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマット … 179
13-6	ボー・レート・ジェネレータ・コントロール・レジスタ20のフォーマット … 180
13-7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 191
13-8	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 193
13-9	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 194
13-10	受信エラー・タイミング … 195
13-11	3線式シリアルI/Oモードのタイミング … 201
14-1	乗算器のブロック図 … 209
14-2	乗算器コントロール・レジスタ0のフォーマット … 210
14-3	乗算器の動作タイミング（AAH×D3Hの例） … 211
15-1	割り込み機能の基本構成 … 214
15-2	割り込み要求フラグ・レジスタのフォーマット … 216
15-3	割り込みマスク・フラグ・レジスタのフォーマット … 217
15-4	外部割り込みモード・レジスタ0のフォーマット … 218
15-5	プログラム・ステータス・ワードの構成 … 219
15-6	ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート … 221

図の目次 (4/4)

図番号	タイトル, ページ
15-7	ノンマスカブル割り込み要求の受け付けタイミング … 221
15-8	ノンマスカブル割り込み要求の受け付け動作 … 221
15-9	割り込み要求受け付け処理アルゴリズム … 222
15-10	割り込み要求の受け付けタイミング (MOV A, rの例) … 223
15-11	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) … 223
15-12	多重割り込みの例 … 224
16-1	発振安定時間選択レジスタのフォーマット … 227
16-2	HALTモードの割り込み発生による解除 … 229
16-3	HALTモードのRESET入力による解除 … 230
16-4	STOPモードの割り込み発生による解除 … 232
16-5	STOPモードのRESET入力による解除 … 233
17-1	リセット機能のブロック図 … 234
17-2	RESET入力によるリセット・タイミング … 235
17-3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング … 235
17-4	STOPモード中のRESET入力によるリセット・タイミング … 235
18-1	フラッシュ・メモリにプログラムを書き込むための環境 … 239
18-2	通信方式選択フォーマット … 241
18-3	専用フラッシュ・ライターとの接続例 … 242
18-4	V _{PP} 端子の接続例 … 245
18-5	信号の衝突 (シリアル・インタフェースの入力端子) … 246
18-6	ほかのデバイスの異常動作 … 246
18-7	信号の衝突 (RESET端子) … 247
18-8	3線式シリアルI/O方式 (SIO-ch0) でのフラッシュ書き込み用アダプタ配線例 … 248
18-9	3線式シリアルI/O方式 (SIO-ch1) でのフラッシュ書き込み用アダプタ配線例 … 249
18-10	UART方式でのフラッシュ書き込み用アダプタ配線例 … 250
18-11	疑似3線式方式でのフラッシュ書き込み用アダプタ配線例 … 251
A-1	開発ツール構成 … 404
B-1	インサーキット・エミュレータから変換アダプタまでの距離 … 409
B-2	ターゲット・システムの接続条件 … 410

表の目次 (1/2)

表番号	タイトル, ページ
1-1	拡張規格品と従来規格品との違い … 24
1-2	標準水準品と(A)製品, (A1)製品, (A2)製品との違い … 35
2-1	標準水準品と(A)製品, (A1)製品, (A2)製品との違い … 46
3-1	各端子の入出力回路タイプと未使用端子の処理 … 52
4-1	内部ROM容量 … 58
4-2	ベクタ・テーブル … 58
4-3	特殊機能レジスタ一覧 … 69
5-1	ポートの機能 … 81
5-2	ポートの構成 … 82
5-3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 … 90
6-1	クロック発生回路の構成 … 95
6-2	CPUクロックの切り替えに要する最大時間 … 102
7-1	クロック発生回路の構成 … 103
7-2	CPUクロックの切り替えに要する最大時間 … 109
8-1	16ビット・タイマ20の構成 … 111
8-2	16ビット・タイマ20のインターバル時間 … 116
8-3	キャプチャ・エッジの設定内容 … 119
9-1	8ビット・タイマ／イベント・カウンタ80のインターバル時間 … 123
9-2	8ビット・タイマ／イベント・カウンタ80の方形波出力範囲 … 124
9-3	8ビット・タイマ／イベント・カウンタ80の構成 … 124
9-4	8ビット・タイマ／イベント・カウンタ80のインターバル時間 (fx = 5.0 MHz, 10.0 MHz動作時) … 128
9-5	8ビット・タイマ／イベント・カウンタ80のインターバル時間 (fcc = 4.0 MHz動作時) … 128
9-6	8ビット・タイマ／イベント・カウンタ80の方形波出力範囲 (fx = 5.0 MHz, 10.0 MHz動作時) … 131
9-7	8ビット・タイマ／イベント・カウンタ80の方形波出力範囲 (fcc = 4.0 MHz動作時) … 131
10-1	ウォッチドッグ・タイマの暴走検出時間 … 137
10-2	インターバル時間 … 138
10-3	ウォッチドッグ・タイマの構成 … 139
10-4	ウォッチドッグ・タイマの暴走検出時間 … 142
10-5	インターバル・タイマのインターバル時間 … 143

表の目次 (2/2)

表番号	タイトル, ページ
11-1	8ビットA/Dコンバータの構成 … 144
12-1	10ビットA/Dコンバータの構成 … 157
13-1	シリアル・インタフェース20の構成 … 171
13-2	シリアル・インタフェース20の動作モードの設定一覧 … 178
13-3	システム・クロックとボー・レートの関係例 … 181
13-4	ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時) … 182
13-5	システム・クロックとボー・レートの関係例 … 190
13-6	ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時) … 190
13-7	受信エラーの要因 … 195
15-1	割り込み要因一覧 … 213
15-2	割り込み要求信号名に対する各種フラグ … 215
15-3	マスカブル割り込み要求発生から処理までの時間 … 222
16-1	HALTモード時の動作状態 … 228
16-2	HALTモードの解除後の動作 … 230
16-3	STOPモード時の動作状態 … 231
16-4	STOPモードの解除後の動作 … 233
17-1	各ハードウェアのリセット後の状態 … 236
18-1	フラッシュ・メモリ製品とマスクROM製品の違い … 238
18-2	通信方式一覧 (μ PD78F9116A, 78F9136Aの場合) … 240
18-3	通信方式一覧 (μ PD78F9116B, 78F9136Bの場合) … 240
18-4	端子接続一覧 … 244
19-1	端子のマスク・オプションの選択 … 252
20-1	オペランドの表現形式と記述方法 … 253
37-1	表面実装タイプの半田付け条件 … 401

第1章 概 説 (μ PD789104A, 789114Aサブシリーズ)

★ 1. 1 拡張規格品と従来規格品について

拡張規格品，従来規格品とは，それぞれ次の製品を指します。

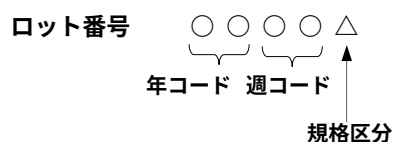
拡張規格品 … 規格区分^{注1}が「K」以外の製品

- ・平成13年12月1日以降受注分のマスクROM製品 ((A1), (A2)製品^{注2}を除く)
- ・平成14年1月1日以降出荷分のフラッシュ・メモリ製品 ((A1), (A2)製品^{注2}，μ PD78F9116Aを除く)

従来規格品 … 規格区分^{注1}が「K」の製品

- ・上記拡張規格品に該当しない製品

注1. 規格区分とは，パッケージ捺印のロット番号で左から5桁目のアルファベット表記を指します。



2. (A1), (A2)製品については，1. 10 標準水準品と(A)製品，(A1)製品，(A2)製品との違いを参照してください。

拡張規格品と従来規格品では動作周波数規格が違います。その違いを表1-1に示します。

表1-1 拡張規格品と従来規格品との違い

電源電圧 (V _{DD})	保証動作スピード (動作周波数)	
	従来規格品	拡張規格品
4.5～5.5 V	5 MHz (0.4 μs)	10 MHz (0.2 μs)
3.0～5.5 V	5 MHz (0.4 μs)	6 MHz (0.33 μs)
2.7～5.5 V	5 MHz (0.4 μs)	5 MHz (0.4 μs)
1.8～5.5 V	1.25 MHz (1.6 μs)	1.25 MHz (1.6 μs)

備考 () 内は最小命令実行時間

1.2 特 徴

★ ○ROM, RAM容量

品 名	項 目	プログラム・メモリ	データ・メモリ (内部高速RAM)
μ PD789101A, 789111A, 789101A(A), 789111A(A), 789101A(A1), 789111A(A1), 789101A(A2), 789111A(A2)	マスクROM	2 Kバイト	256バイト
μ PD789102A, 789112A, 789102A(A), 789112A(A), 789102A(A1), 789112A(A1), 789102A(A2), 789112A(A2)		4 Kバイト	
μ PD789104A, 789114A, 789104A(A), 789114A(A), 789104A(A1), 789114A(A1), 789104A(A2), 789114A(A2)		8 Kバイト	
μ PD78F9116A, 78F9116B, 78F9116B(A), 78F9116B(A1)	フラッシュ・メモリ	16 Kバイト	

○システム・クロック：水晶／セラミック発振

★ ○高速 (0.2 μs) と低速 (0.8 μs) に最小命令実行時間を変更可能 (システム・クロック：10.0 MHz動作時[※])

○I/Oポート：20本

○シリアル・インタフェース：1チャンネル

3線式シリアルI/Oモード／UARTモード選択可能

○8ビット分解能A/Dコンバータ：4チャンネル (μ PD789104Aサブシリーズ)

○10ビット分解能A/Dコンバータ：4チャンネル (μ PD789114Aサブシリーズ)

○タイマ：3チャンネル

・16ビット・タイマ : 1チャンネル

・8ビット・タイマ／イベント・カウンタ : 1チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

○乗算器内蔵：8ビット×8ビット = 16ビット

○ベクタ割り込み要因：10

★ ○電源電圧

・V_{DD} = 1.8～5.5 V (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A), 78F9116A, 78F9116B,
78F9116B(A)の場合)

・V_{DD} = 4.5～5.5 V (μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2), 78F9116B(A1)の場合)

★ ○動作周囲温度

・T_A = -40～+85 °C (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A), 78F9116A, 78F9116B,
78F9116B(A)の場合)

・T_A = -40～+105 °C (μ PD78F9116B(A1)の場合)

・T_A = -40～+110 °C (μ PD78910xA(A1), 78911xA(A1)の場合)

・T_A = -40～+125 °C (μ PD78910xA(A2), 78911xA(A2)の場合)

注 V_{DD} = 4.5～5.5 V時かつ拡張規格品のみ

1.3 応用分野

掃除機、洗濯機、冷蔵庫、バッテリー・チャージャなど

★ 1.4 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD789101AMC-×××-5A4	30ピン・プラスチックSSOP (7.62 mm (300))	マスクROM
μ PD789102AMC-×××-5A4	〃	〃
μ PD789104AMC-×××-5A4	〃	〃
μ PD789111AMC-×××-5A4	〃	〃
μ PD789112AMC-×××-5A4	〃	〃
μ PD789114AMC-×××-5A4	〃	〃
μ PD78F9116AMC-5A4	〃	フラッシュ・メモリ
μ PD78F9116BMC-5A4	〃	〃
μ PD789101AMC(A)-×××-5A4	〃	マスクROM
μ PD789102AMC(A)-×××-5A4	〃	〃
μ PD789104AMC(A)-×××-5A4	〃	〃
μ PD789111AMC(A)-×××-5A4	〃	〃
μ PD789112AMC(A)-×××-5A4	〃	〃
μ PD789114AMC(A)-×××-5A4	〃	〃
μ PD78F9116BMC(A)-5A4	〃	フラッシュ・メモリ
μ PD789101AMC(A1)-×××-5A4	〃	マスクROM
μ PD789102AMC(A1)-×××-5A4	〃	〃
μ PD789104AMC(A1)-×××-5A4	〃	〃
μ PD789111AMC(A1)-×××-5A4	〃	〃
μ PD789112AMC(A1)-×××-5A4	〃	〃
μ PD789114AMC(A1)-×××-5A4	〃	〃
μ PD78F9116BMC(A1)-5A4	〃	フラッシュ・メモリ
μ PD789101AMC(A2)-×××-5A4	〃	マスクROM
μ PD789102AMC(A2)-×××-5A4	〃	〃
μ PD789104AMC(A2)-×××-5A4	〃	〃
μ PD789111AMC(A2)-×××-5A4	〃	〃
μ PD789112AMC(A2)-×××-5A4	〃	〃
μ PD789114AMC(A2)-×××-5A4	〃	〃

備考 ×××はROMコード番号です。

★ 1.5 品質水準

オーダ名称	パッケージ	品質水準
μ PD789101AMC-×××-5A4	30ピン・プラスチックSSOP (7.62 mm (300))	標準 (一般電子機器用)
μ PD789102AMC-×××-5A4	〃	〃
μ PD789104AMC-×××-5A4	〃	〃
μ PD789111AMC-×××-5A4	〃	〃
μ PD789112AMC-×××-5A4	〃	〃
μ PD789114AMC-×××-5A4	〃	〃
μ PD78F9116AMC-5A4	〃	〃
μ PD78F9116BMC-5A4	〃	〃
μ PD789101AMC(A)-×××-5A4	〃	特別(高信頼度電子機器用)
μ PD789102AMC(A)-×××-5A4	〃	〃
μ PD789104AMC(A)-×××-5A4	〃	〃
μ PD789111AMC(A)-×××-5A4	〃	〃
μ PD789112AMC(A)-×××-5A4	〃	〃
μ PD789114AMC(A)-×××-5A4	〃	〃
μ PD78F9116BMC(A)-5A4	〃	〃
μ PD789101AMC(A1)-×××-5A4	〃	〃
μ PD789102AMC(A1)-×××-5A4	〃	〃
μ PD789104AMC(A1)-×××-5A4	〃	〃
μ PD789111AMC(A1)-×××-5A4	〃	〃
μ PD789112AMC(A1)-×××-5A4	〃	〃
μ PD789114AMC(A1)-×××-5A4	〃	〃
μ PD78F9116BMC(A1)-5A4	〃	〃
μ PD789101AMC(A2)-×××-5A4	〃	〃
μ PD789102AMC(A2)-×××-5A4	〃	〃
μ PD789104AMC(A2)-×××-5A4	〃	〃
μ PD789111AMC(A2)-×××-5A4	〃	〃
μ PD789112AMC(A2)-×××-5A4	〃	〃
μ PD789114AMC(A2)-×××-5A4	〃	〃

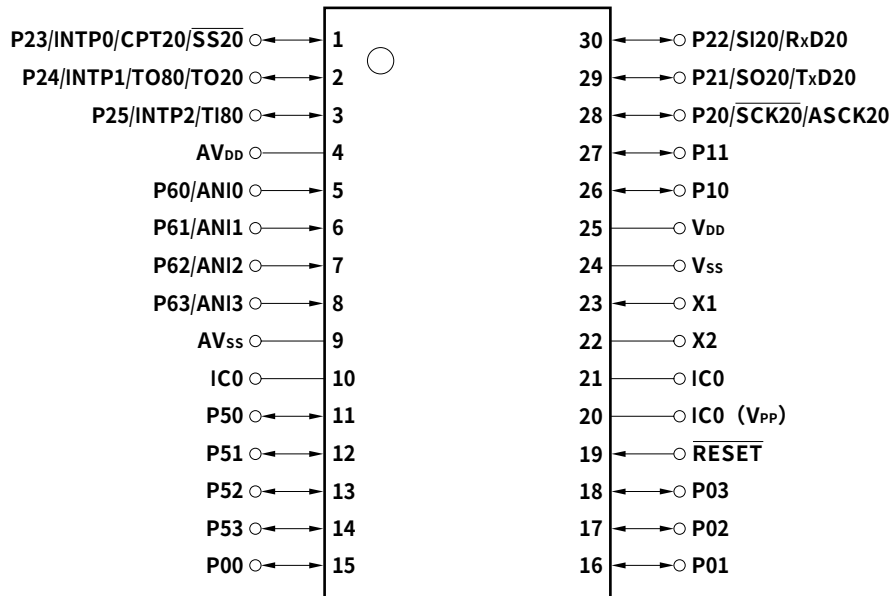
備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

★ 1.6 端子接続図 (Top View)

・30ピン・プラスチックSSOP (7.62 mm (300))

μ PD789101AMC-×××-5A4	μ PD789102AMC-×××-5A4	μ PD789104AMC-×××-5A4
μ PD789111AMC-×××-5A4	μ PD789112AMC-×××-5A4	μ PD789114AMC-×××-5A4
μ PD78F9116AMC-5A4	μ PD78F9116BMC-5A4	
μ PD789101AMC(A)-×××-5A4	μ PD789102AMC(A)-×××-5A4	μ PD789104AMC(A)-×××-5A4
μ PD789111AMC(A)-×××-5A4	μ PD789112AMC(A)-×××-5A4	μ PD789114AMC(A)-×××-5A4
μ PD78F9116BMC(A)-5A4		
μ PD789101AMC(A1)-×××-5A4	μ PD789102AMC(A1)-×××-5A4	μ PD789104AMC(A1)-×××-5A4
μ PD789111AMC(A1)-×××-5A4	μ PD789112AMC(A1)-×××-5A4	μ PD789114AMC(A1)-×××-5A4
μ PD78F9116BMC(A1)-5A4		
μ PD789101AMC(A2)-×××-5A4	μ PD789102AMC(A2)-×××-5A4	μ PD789104AMC(A2)-×××-5A4
μ PD789111AMC(A2)-×××-5A4	μ PD789112AMC(A2)-×××-5A4	μ PD789114AMC(A2)-×××-5A4



注意1. IC0 (Internally Connected) 端子はV_{SS}に直接接続してください。

2. AVDD端子はVDDに接続してください。

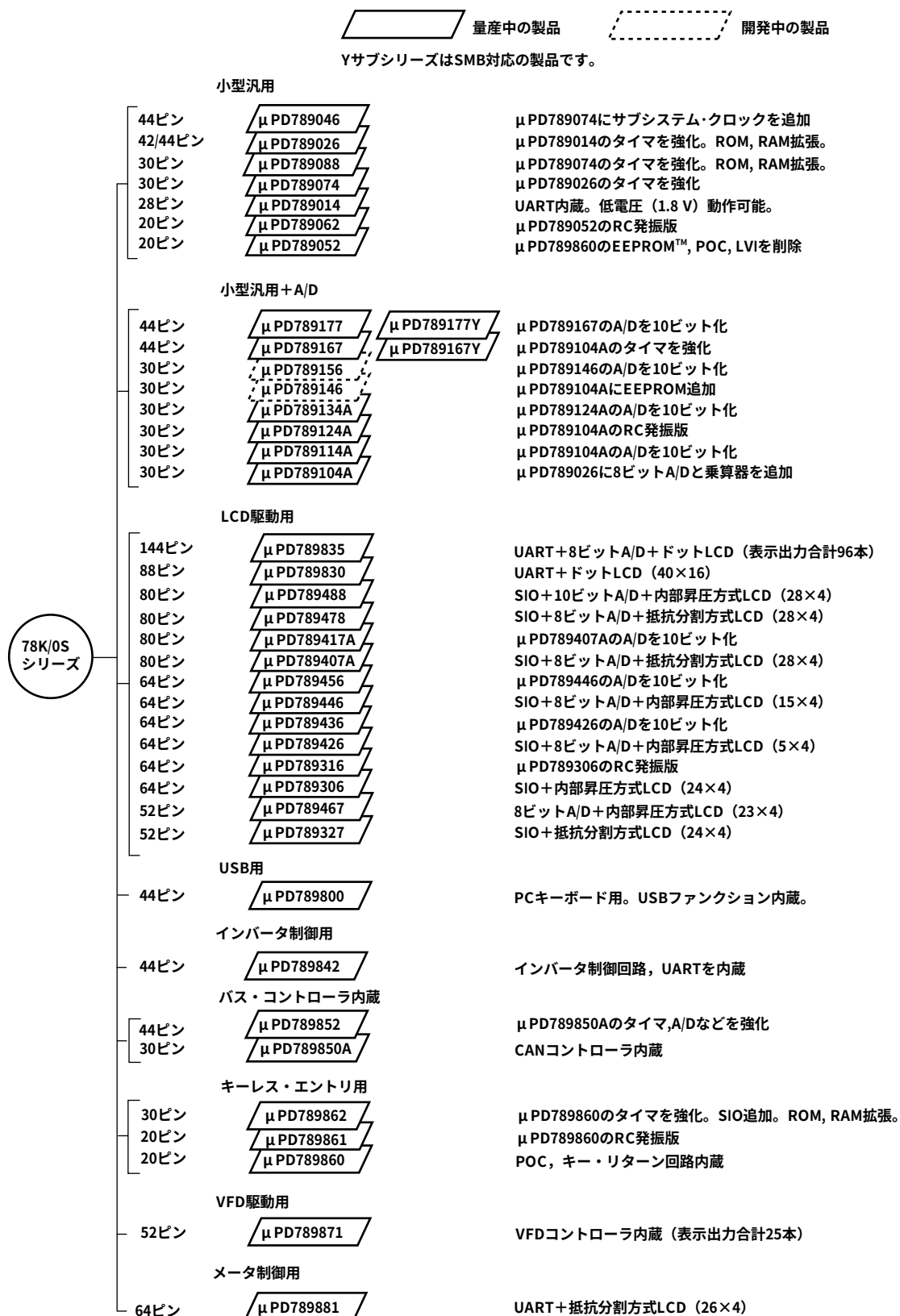
3. AVSS端子はVSSに接続してください。

備考 () 内は, μ PD78F9116A, 78F9116B, 78F9116B(A), 78F9116B(A1)のとき。

ANI0-ANI3	: Analog Input	RxD20	: Receive Data
ASCK20	: Asynchronous Serial Input	$\overline{\text{SCK20}}$	: Serial Clock
AV _{DD}	: Analog Power Supply	SI20	: Serial Input
AV _{SS}	: Analog Ground	SO20	: Serial Output
CPT20	: Capture Trigger Input	$\overline{\text{SS20}}$	: Chip Select Input
IC0	: Internally Connected	TI80	: Timer Input
INTP0-INTP2	: External interrupt input	TO20, TO80	: Timer Output
P00-P03	: Port0	TxD20	: Transmit Data
P10, P11	: Port1	V _{DD}	: Power Supply
P20-P25	: Port2	V _{PP}	: Programming Power Supply
P50-P53	: Port5	V _{SS}	: Ground
P60-P63	: Port6	X1, X2	: Crystal 1, 2
$\overline{\text{RESET}}$	: Reset		

★ 1.7 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用, LCD駆動用シリーズ

機 能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	—	—	1 ch (UART : 1ch)	34本	1.8 V	—
	μPD789026	4 K-16 K			—							
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789014	2 K-4 K	2 ch	—						22本		
	μPD789062	4 K							—	14本		RC発振版
	μPD789052											—
小型 汎用 +A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	—	8 ch	1 ch (UART : 1ch)	31本	1.8 V	—
	μPD789167						8 ch	—				
	μPD789156	8 K-16 K	1 ch		—		—	4 ch		20本		EEPROM内蔵
	μPD789146						4 ch	—				
	μPD789134A	2 K-8 K					—	4 ch				RC発振版
	μPD789124A						4 ch	—				
	μPD789114A						—	4 ch				—
	μPD789104A						4 ch	—				
LCD 駆動用	μPD789835	24 K-60 K	6 ch	—	1 ch	1 ch	3 ch	—	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			—			30本	2.7 V	対応
	μPD789488	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	—
	μPD789478	24 K-48 K					8 ch	—				
	μPD789417A	12 K-24 K					—	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	—				
	μPD789456	12 K-16 K	2 ch				—	6 ch		30本		
	μPD789446						6 ch	—				
	μPD789436						—	6 ch		40本		
	μPD789426						6 ch	—				
	μPD789316	8 K-16 K					—		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											—
	μPD789467	4 K-24 K		—			1 ch		—	18本		
	μPD789327						—		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

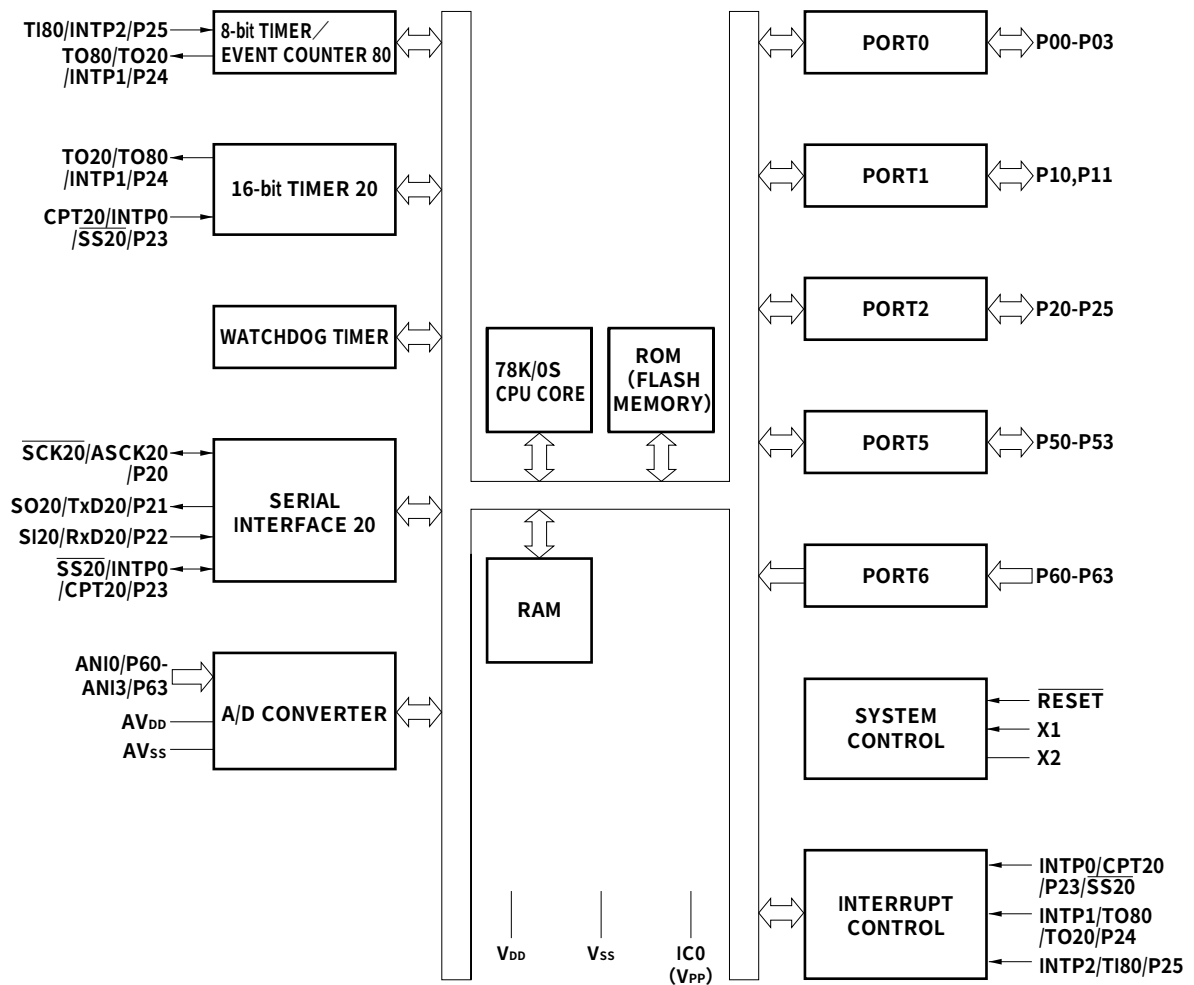
ASSP用シリーズ

機 能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μ PD789800	8K	2 ch	—	—	1 ch	—	—	2 ch (USB : 1 ch)	31本	4.0 V	—
インバー タ制御用 μ PD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	—	1 ch (UART : 1ch)	30本	4.0 V	—
バス・コント ローラ内蔵 μ PD789852	24 K-32 K	3 ch	1 ch	—	1 ch	—	8ch	3 ch (UART : 2ch)	31本	4.0 V	—
μ PD789850A	16 K	1 ch				4 ch	—	2 ch (UART : 1ch)	18本		
キーレス ・エント リ用 μ PD789861	4 K	2 ch	—	—	1 ch	—	—	—	14本	1.8 V	RC発振版, EEPROM内蔵
μ PD789860											
μ PD789862	16 K	1 ch	2 ch					1 ch (UART : 1ch)	22本		
VFD 駆動用 μ PD789871	4 K-8 K	3 ch	—	1 ch	1 ch	—	—	1 ch	33本	2.7 V	—
メータ 制御用 μ PD789881	16 K	2 ch	1 ch	—	1 ch	—	—	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	—

注1. 10ビット・タイマ : 1チャンネル

2. フラッシュ・メモリ版 : 3.0 V

1.8 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. () 内は, μ PD78F9116A, 78F9116B, 78F9116B(A), 78F9116B(A1)のとき。

★ 1.9 機能概要

項 目		μ PD789101A, 789111A, 789101A(A), 789111A(A), 789101A(A1), 789111A(A1), 789101A(A2), 789111A(A2)	μ PD789102A, 789112A, 789102A(A), 789112A(A), 789102A(A1), 789112A(A1), 789102A(A2), 789112A(A2)	μ PD789104A, 789114A, 789104A(A), 789114A(A), 789104A(A1), 789114A(A1), 789104A(A2), 789114A(A2)	μ PD78F9116A, 78F9116B, 78F9116B(A), 78F9116B(A1)
内部メモリ	ROM	マスクROM			フラッシュ・メモリ
		2 Kバイト	4 Kバイト	8 Kバイト	
	高速RAM	256バイト			16 Kバイト
システム・クロック		水晶／セラミック発振			
最小命令実行時間		μ PD78910xA, 78910xA(A), 78911xA, 78911xA(A), 78F9116B, 78F9116B(A)の拡張規格品の場合 ・ 0.2 μs/0.8 μs (システム・クロック：10.0 MHz動作, V _{DD} = 4.5～5.5 V時) 上記以外の場合 ・ 0.4 μs/1.6 μs (システム・クロック：5.0 MHz動作時)			
汎用レジスタ		8ビット×8レジスタ			
命令セット		・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など			
乗算器		8ビット×8ビット=16ビット			
I/Oポート		合計 : 20本 ・ CMOS入力 : 4本 ・ CMOS入出力 : 12本 ・ N-chオープン・ドレイン : 4本			
A/Dコンバータ		8ビット分解能×4チャンネル (μ PD789104Aサブシリーズ) 10ビット分解能×4チャンネル (μ PD789114Aサブシリーズ)			
シリアル・インタフェース		3線式シリアルI/Oモード／UARTモード選択可能：1チャンネル			
タイマ		16ビット・タイマ : 1チャンネル 8ビット・タイマ／イベント・カウンタ : 1チャンネル ウォッチドッグ・タイマ : 1チャンネル			
タイマ出力		1本			
ベクタ割り込み	マスカブル	内部：6, 外部：3			
	ノンマスカブル	内部：1			
電源電圧		V _{DD} = 1.8～5.5 V (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A), 78F9116A, 78F9116B, 78F9116B(A)の場合) V _{DD} = 4.5～5.5 V (μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2), 78F9116B(A1)の場合)			
動作周囲温度		T _A = -40～+85 °C (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A), 78F9116A, 78F9116B, 78F9116B(A)の場合) T _A = -40～+105 °C (μ PD78F9116B(A1)の場合) T _A = -40～+110 °C (μ PD78910xA(A1), 78911xA(A1)の場合) T _A = -40～+125 °C (μ PD78910xA(A2), 78911xA(A2)の場合)			
パッケージ		30ピン・プラスチックSSOP (7.62 mm (300))			

次にタイマの概要を示します。

		16ビット・タイマ20	8ビット・タイマ/ イベント・カウンタ80	ウォッチドッグ・タイマ
動作モード	インターバル・タイマ	—	1チャンネル	1チャンネル [※]
	外部イベント・カウンタ	—	1チャンネル	—
機能	タイマ出力	1出力	1出力	—
	PWM出力	—	1出力	—
	方形波出力	—	1出力	—
	キャプチャ	1入力	—	—
	割り込み要因	1	1	1

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

★ 1. 10 標準水準品と(A)製品, (A1)製品, (A2)製品との違い

標準水準品, (A)製品, (A1)製品, (A2)製品とは、それぞれ次の製品を指します。

標準水準品 … μPD789101A, 789102A, 789104A, 789111A, 789112A, 789114A, 78F9116A, 78F9116B

(A)製品 … μPD789101A(A), 789102A(A), 789104A(A), 789111A(A), 789112A(A), 789114A(A),
78F9116B(A)

(A1)製品 … μPD789101A(A1), 789102A(A1), 789104A(A1), 789111A(A1), 789112A(A1), 789114A(A1),
78F9116B(A1)

(A2)製品 … μPD789101A(A2), 789102A(A2), 789104A(A2), 789111A(A2), 789112A(A2), 789114A(A2)

標準水準品と(A)製品, (A1)製品, (A2)製品との違いを表1-2に示します。

表1-2 標準水準品と(A)製品, (A1)製品, (A2)製品との違い

品 名 項 目	標準水準品	(A)製品	(A1)製品	(A2)製品
品質水準	標準（一般電子機器用）	特別（高信頼度電子機器用）		
電源電圧	V _{DD} = 1.8～5.5 V		V _{DD} = 4.5～5.5 V	
動作周囲温度	T _A = -40～+85 °C		• μ PD78F9116B(A1) T _A = -40～+105 °C • μ PD78F9116B(A1)以外 T _A = -40～+110 °C	T _A = -40～+125 °C
最小命令実行 時間	拡張規格品 ^注 ：0.2 μs（10.0 MHz動作時） 従来規格品 ^注 ：0.4 μs（5.0 MHz動作時）		0.4 μs（5.0 MHz動作時）	
電氣的特性	各電氣的特性の章を参照してください。			

注 1. 1 拡張規格品と従来規格品についてを参照してください。

第2章 概 説 (μ PD789124A, 789134Aサブシリーズ)

注意 μ PD789124A, 789134Aサブシリーズ製品は、すべて従来規格品です。拡張規格品はありません。

2.1 特 徴

★ ○ROM, RAM容量

品 名		項 目	プログラム・メモリ		データ・メモリ (内部高速RAM)
μ PD789121A, 789131A, 789121A(A), 789131A(A), 789121A(A1), 789131A(A1), 789121A(A2), 789131A(A2)		マスクROM	2 Kバイト	256バイト	
μ PD789122A, 789132A, 789122A(A), 789132A(A), 789122A(A1), 789132A(A1), 789122A(A2), 789132A(A2)			4 Kバイト		
μ PD789124A, 789134A, 789124A(A), 789134A(A), 789124A(A1), 789134A(A1), 789124A(A2), 789134A(A2)			8 Kバイト		
μ PD78F9136A, 78F9136B, 78F9136B(A), 78F9136B(A1)		フラッシュ・メモリ	16 Kバイト		

○システム・クロック：RC発振

○高速 (0.5 μs) と低速 (2.0 μs) に最小命令実行時間を変更可能 (システム・クロック：4.0 MHz動作時)

○I/Oポート：20本

○シリアル・インタフェース：1チャンネル

3線式シリアルI/Oモード／UARTモード選択可能

○8ビット分解能A/Dコンバータ：4チャンネル (μ PD789124Aサブシリーズ)

○10ビット分解能A/Dコンバータ：4チャンネル (μ PD789134Aサブシリーズ)

○タイマ：3チャンネル

・16ビット・タイマ : 1チャンネル

・8ビット・タイマ／イベント・カウンタ : 1チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

○乗算器内蔵：8ビット×8ビット = 16ビット

○ベクタ割り込み要因：10

★ ○電源電圧

・V_{DD} = 1.8～5.5 V (μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A), 78F9136A, 78F9136B,
78F9136B(A)の場合)

・V_{DD} = 4.5～5.5 V (μ PD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2), 78F9136B(A1)の場合)

★ ○動作周囲温度

・T_A = -40～+85 °C (μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A), 78F9136A, 78F9136B,
78F9136B(A)の場合)

・T_A = -40～+105 °C (μ PD78F9136B(A1)の場合)

・T_A = -40～+110 °C (μ PD78912xA(A1), 78913xA(A1)の場合)

・T_A = -40～+125 °C (μ PD78912xA(A2), 78913xA(A2)の場合)

2.2 応用分野

掃除機、洗濯機、冷蔵庫、バッテリー・チャージャなど

★ 2.3 オータ情報

オーダ名称	パッケージ	内部ROM
μ PD789121AMC-×××-5A4	30ピン・プラスチックSSOP (7.62 mm (300))	マスクROM
μ PD789122AMC-×××-5A4	〃	〃
μ PD789124AMC-×××-5A4	〃	〃
μ PD789131AMC-×××-5A4	〃	〃
μ PD789132AMC-×××-5A4	〃	〃
μ PD789134AMC-×××-5A4	〃	〃
μ PD78F9136AMC-5A4	〃	フラッシュ・メモリ
μ PD78F9136BMC-5A4	〃	〃
μ PD789121AMC(A)-×××-5A4	〃	マスクROM
μ PD789122AMC(A)-×××-5A4	〃	〃
μ PD789124AMC(A)-×××-5A4	〃	〃
μ PD789131AMC(A)-×××-5A4	〃	〃
μ PD789132AMC(A)-×××-5A4	〃	〃
μ PD789134AMC(A)-×××-5A4	〃	〃
μ PD78F9136BMC(A)- 5A4	〃	フラッシュ・メモリ
μ PD789121AMC(A1)-×××-5A4	〃	マスクROM
μ PD789122AMC(A1)-×××-5A4	〃	〃
μ PD789124AMC(A1)-×××-5A4	〃	〃
μ PD789131AMC(A1)-×××-5A4	〃	〃
μ PD789132AMC(A1)-×××-5A4	〃	〃
μ PD789134AMC(A1)-×××-5A4	〃	〃
μ PD78F9136BMC(A1)-5A4	〃	フラッシュ・メモリ
μ PD789121AMC(A2)-×××-5A4	〃	マスクROM
μ PD789122AMC(A2)-×××-5A4	〃	〃
μ PD789124AMC(A2)-×××-5A4	〃	〃
μ PD789131AMC(A2)-×××-5A4	〃	〃
μ PD789132AMC(A2)-×××-5A4	〃	〃
μ PD789134AMC(A2)-×××-5A4	〃	〃

備考 ×××はROMコード番号です。

★ 2.4 品質水準

オーダ名称	パッケージ	品質水準
μ PD789121AMC-×××-5A4	30ピン・プラスチックSSOP (7.62 mm (300))	標準 (一般電子機器用)
μ PD789122AMC-×××-5A4	〃	〃
μ PD789124AMC-×××-5A4	〃	〃
μ PD789131AMC-×××-5A4	〃	〃
μ PD789132AMC-×××-5A4	〃	〃
μ PD789134AMC-×××-5A4	〃	〃
μ PD78F9136AMC-5A4	〃	〃
μ PD78F9136BMC-5A4	〃	〃
μ PD789121AMC(A)-×××-5A4	〃	特別(高信頼度電子機器用)
μ PD789122AMC(A)-×××-5A4	〃	〃
μ PD789124AMC(A)-×××-5A4	〃	〃
μ PD789131AMC(A)-×××-5A4	〃	〃
μ PD789132AMC(A)-×××-5A4	〃	〃
μ PD789134AMC(A)-×××-5A4	〃	〃
μ PD78F9136BMC(A)-5A4	〃	〃
μ PD789121AMC(A1)-×××-5A4	〃	〃
μ PD789122AMC(A1)-×××-5A4	〃	〃
μ PD789124AMC(A1)-×××-5A4	〃	〃
μ PD789131AMC(A1)-×××-5A4	〃	〃
μ PD789132AMC(A1)-×××-5A4	〃	〃
μ PD789134AMC(A1)-×××-5A4	〃	〃
μ PD78F9136BMC(A1)-5A4	〃	〃
μ PD789121AMC(A2)-×××-5A4	〃	〃
μ PD789122AMC(A2)-×××-5A4	〃	〃
μ PD789124AMC(A2)-×××-5A4	〃	〃
μ PD789131AMC(A2)-×××-5A4	〃	〃
μ PD789132AMC(A2)-×××-5A4	〃	〃
μ PD789134AMC(A2)-×××-5A4	〃	〃

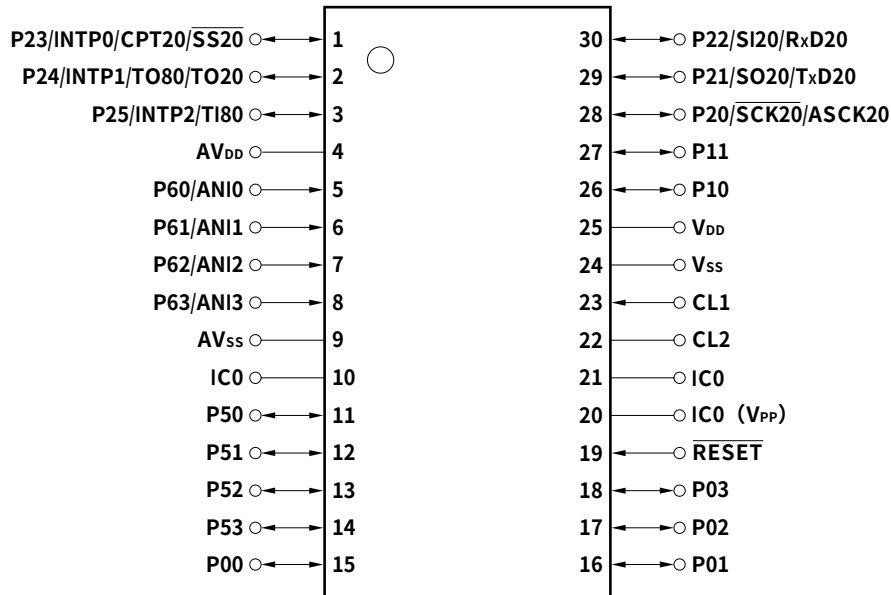
備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

★ 2.5 端子接続図 (Top View)

・30ピン・プラスチックSSOP (7.62 mm (300))

μ PD789121AMC-×××-5A4	μ PD789122AMC-×××-5A4	μ PD789124AMC-×××-5A4
μ PD789131AMC-×××-5A4	μ PD789132AMC-×××-5A4	μ PD789134AMC-×××-5A4
μ PD78F9136AMC-5A4	μ PD78F9136BMC-5A4	
μ PD789121AMC(A)-×××-5A4	μ PD789122AMC(A)-×××-5A4	μ PD789124AMC(A)-×××-5A4
μ PD789131AMC(A)-×××-5A4	μ PD789132AMC(A)-×××-5A4	μ PD789134AMC(A)-×××-5A4
μ PD78F9136BMC(A)-5A4		
μ PD789121AMC(A1)-×××-5A4	μ PD789122AMC(A1)-×××-5A4	μ PD789124AMC(A1)-×××-5A4
μ PD789131AMC(A1)-×××-5A4	μ PD789132AMC(A1)-×××-5A4	μ PD789134AMC(A1)-×××-5A4
μ PD78F9136BMC(A1)-5A4		
μ PD789121AMC(A2)-×××-5A4	μ PD789122AMC(A2)-×××-5A4	μ PD789124AMC(A2)-×××-5A4
μ PD789131AMC(A2)-×××-5A4	μ PD789132AMC(A2)-×××-5A4	μ PD789134AMC(A2)-×××-5A4



注意1. IC0 (Internally Connected) 端子はV_{SS}に直接接続してください。

2. AV_{DD}端子はV_{DD}に接続してください。

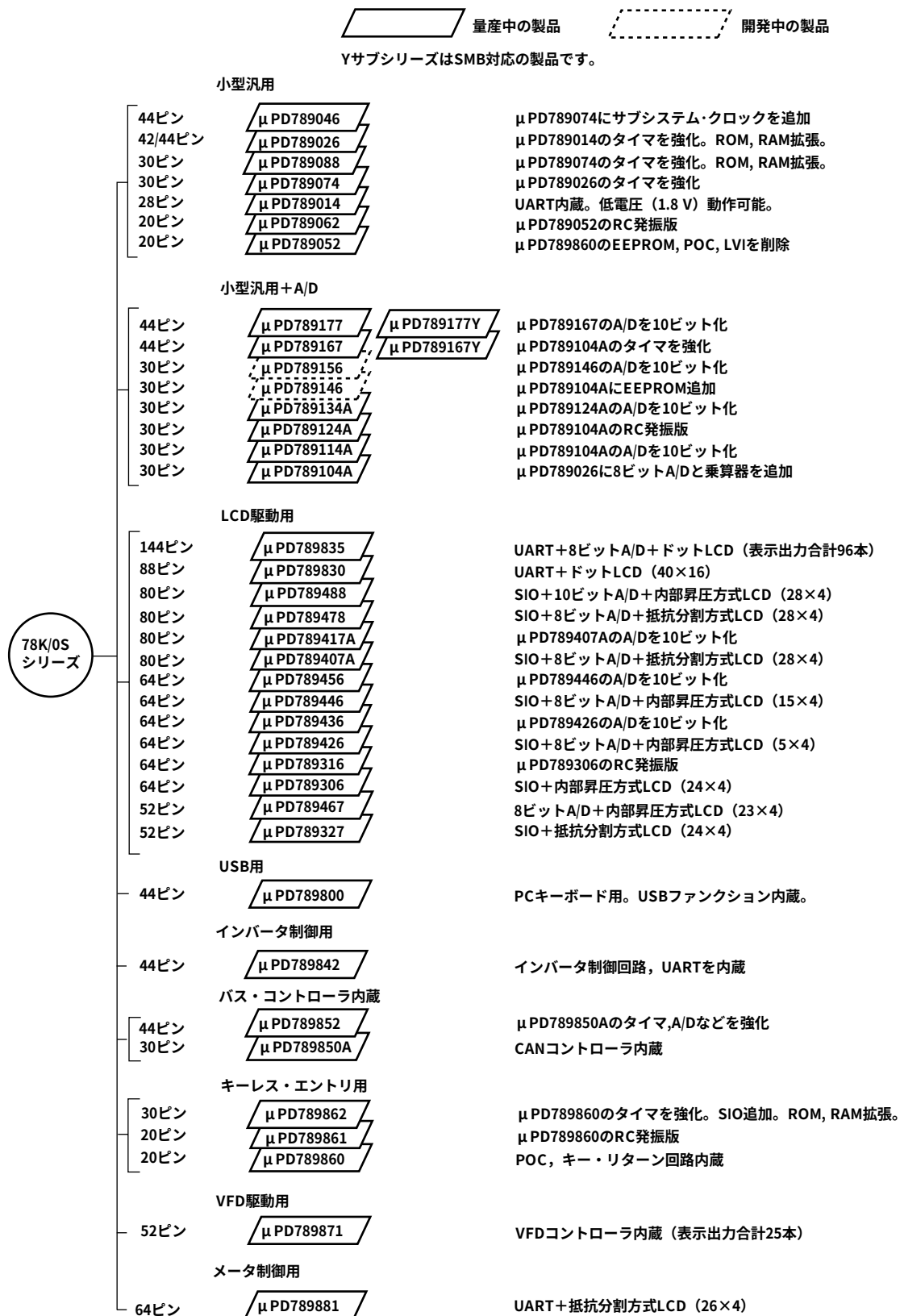
3. AV_{SS}端子はV_{SS}に接続してください。

備考 () 内は, μ PD78F9136A, 78F9136B, 78F9136B(A), 78F9136B(A1)のとき。

ANI0-ANI3	: Analog Input	$\overline{\text{RESET}}$	: Reset
ASCK20	: Asynchronous Serial Input	RxD20	: Receive Data
AV _{DD}	: Analog Power Supply	$\overline{\text{SCK20}}$	: Serial Clock
AV _{SS}	: Analog Ground	SI20	: Serial Input
CL1, CL2	: RC Oscillator	SO20	: Serial Output
CPT20	: Capture Trigger Input	$\overline{\text{SS20}}$	: Chip Select Input
IC0	: Internally Connected	TI80	: Timer Input
INTP0-INTP2	: External interrupt input	TO20, TO80	: Timer Output
P00-P03	: Port0	TxD20	: Transmit Data
P10, P11	: Port1	V _{DD}	: Power Supply
P20-P25	: Port2	V _{PP}	: Programming Power Supply
P50-P53	: Port5	V _{SS}	: Ground
P60-P63	: Port6		

★ 2.6 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを示します。

汎用，LCD駆動用シリーズ

機 能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	—	—	1 ch (UART : 1ch)	34本	1.8 V	—
	μPD789026	4 K-16 K			—							
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789014	2 K-4 K	2 ch	—						22本		
	μPD789062	4 K							—	14本		RC発振版
	μPD789052											—
小型 汎用 +A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	—	8 ch	1 ch (UART : 1ch)	31本	1.8 V	—
	μPD789167						8 ch	—				
	μPD789156	8 K-16 K	1 ch		—		—	4 ch		20本		EEPROM内蔵
	μPD789146						4 ch	—				
	μPD789134A	2 K-8 K					—	4 ch				RC発振版
	μPD789124A						4 ch	—				
	μPD789114A						—	4 ch				—
	μPD789104A						4 ch	—				
LCD 駆動用	μPD789835	24 K-60 K	6 ch	—	1 ch	1 ch	3 ch	—	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			—			30本	2.7 V	対応
	μPD789488	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	—
	μPD789478	24 K-48 K					8 ch	—				
	μPD789417A	12 K-24 K					—	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	—				
	μPD789456	12 K-16 K	2 ch				—	6 ch		30本		
	μPD789446						6 ch	—				
	μPD789436						—	6 ch		40本		
	μPD789426						6 ch	—				
	μPD789316	8 K-16 K					—		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											—
	μPD789467	4 K-24 K		—			1 ch		—	18本		
	μPD789327						—		1 ch	21本		

注 フラッシュ・メモリ版：3.0 V

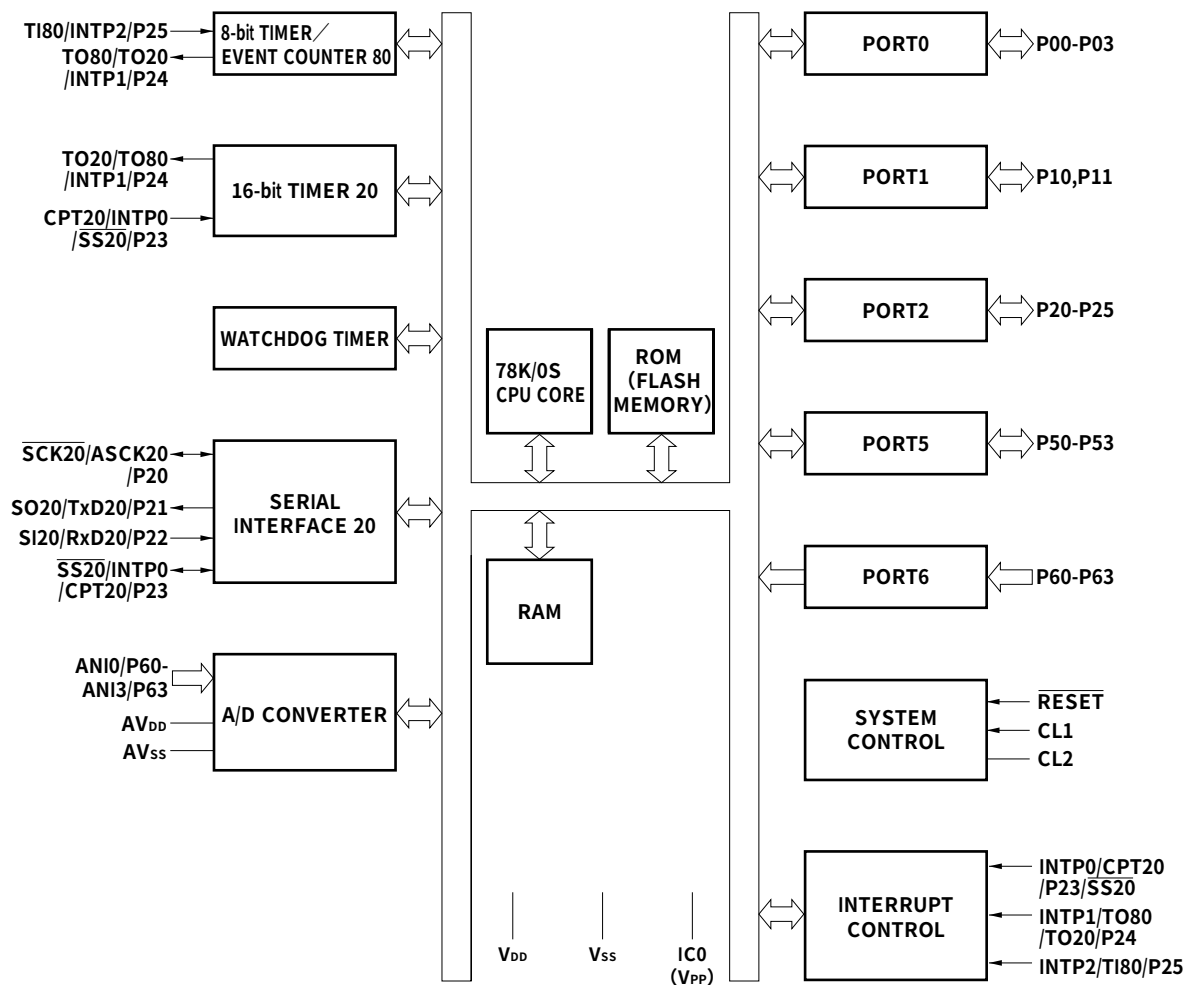
ASSP用シリーズ

機 能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μ PD789800	8K	2 ch	—	—	1 ch	—	—	2 ch (USB : 1 ch)	31本	4.0 V	—
インバー タ制御用 μ PD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	—	1 ch (UART : 1ch)	30本	4.0 V	—
バス・コント ローラ内蔵 μ PD789852	24 K-32 K	3 ch	1 ch	—	1 ch	—	8ch	3 ch (UART : 2ch)	31本	4.0 V	—
μ PD789850A	16 K	1 ch				4 ch	—	2 ch (UART : 1ch)	18本		
キース ・エント リ用 μ PD789861	4 K	2 ch	—	—	1 ch	—	—	—	14本	1.8 V	RC発振版, EEPROM内蔵
μ PD789860											EEPROM内蔵
μ PD789862	16 K	1 ch	2 ch					1 ch (UART : 1ch)	22本		
VFD 駆動用 μ PD789871	4 K-8 K	3 ch	—	1 ch	1 ch	—	—	1 ch	33本	2.7 V	—
メータ 制御用 μ PD789881	16 K	2 ch	1 ch	—	1 ch	—	—	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	—

注1. 10ビット・タイマ : 1チャンネル

2. フラッシュ・メモリ版 : 3.0 V

2.7 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. () 内は, μ PD78F9136A, 78F9136B, 78F9136B(A), 78F9136B(A1)のとき。

★ 2.8 機能概要

項 目		μPD789121A, 789131A, 789121A(A), 789131A(A), 789121A(A1), 789131A(A1), 789121A(A2), 789131A(A2)	μPD789122A, 789132A, 789122A(A), 789132A(A), 789122A(A1), 789132A(A1), 789122A(A2), 789132A(A2)	μPD789124A, 789134A, 789124A(A), 789134A(A), 789124A(A1), 789134A(A1), 789124A(A2), 789134A(A2)	μPD78F9136A, 78F9136B, 78F9136B(A), 78F9136B(A1)
内部メモリ	ROM	マスクROM			フラッシュ・メモリ
		2 Kバイト	4 Kバイト	8 Kバイト	
	高速RAM	256バイト			
システム・クロック		RC発振			
最小命令実行時間		0.5/2.0 μs（システム・クロック：4.0 MHz動作時）			
汎用レジスタ		8ビット×8レジスタ			
命令セット		・16ビット演算 ・ビット操作（セット，リセット，テスト）など			
乗算器		8ビット×8ビット=16ビット			
I/Oポート		合計：20本 ・CMOS入力：4本 ・CMOS入出力：12本 ・N-chオープン・ドレイン：4本			
A/Dコンバータ		8ビット分解能×4チャネル（μPD789124Aサブシリーズ） 10ビット分解能×4チャネル（μPD789134Aサブシリーズ）			
シリアル・インタフェース		3線式シリアルI/Oモード／UARTモード選択可能：1チャネル			
タイマ		16ビット・タイマ：1チャネル 8ビット・タイマ／イベント・カウンタ：1チャネル ウォッチドッグ・タイマ：1チャネル			
タイマ出力		1本			
ベクタ割り込み	マスカブル	内部：6，外部：3			
	ノンマスカブル	内部：1			
電源電圧		V _{DD} = 1.8～5.5 V（μPD78912xA, 78913xA, 78912xA(A), 78913xA(A), 78F9136A, 78F9136B, 78F9136B(A)の場合） V _{DD} = 4.5～5.5 V（μPD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2), 78F9136B(A1)の場合）			
動作周囲温度		T _A = -40～+85 °C（μPD78912xA, 78913xA, 78912xA(A), 78913xA(A), 78F9136A, 78F9136B, 78F9136B(A)の場合） T _A = -40～+105 °C（μPD78F9136B(A1)の場合） T _A = -40～+110 °C（μPD78912xA(A1), 78913xA(A1)の場合） T _A = -40～+125 °C（μPD78912xA(A2), 78913xA(A2)の場合）			
パッケージ		30ピン・プラスチックSSOP（7.62 mm（300））			

次にタイマの概要を示します。

		16ビット・タイマ20	8ビット・タイマ/ イベント・カウンタ80	ウォッチドッグ・タイマ
動作モード	インターバル・タイマ	—	1チャンネル	1チャンネル [※]
	外部イベント・カウンタ	—	1チャンネル	—
機能	タイマ出力	1出力	1出力	—
	PWM出力	—	1出力	—
	方形波出力	—	1出力	—
	キャプチャ	1入力	—	—
	割り込み要因	1	1	1

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

★ 2.9 標準水準品と(A)製品, (A1)製品, (A2)製品との違い

標準水準品, (A)製品, (A1)製品, (A2)製品とは、それぞれ次の製品を指します。

標準水準品 … μPD789121A, 789122A, 789124A, 789131A, 789132A, 789134A, 78F9136A, 78F9136B

(A)製品 … μPD789121A(A), 789122A(A), 789124A(A), 789131A(A), 789132A(A), 789134A(A),
78F9136B(A)

(A1)製品 … μPD789121A(A1), 789122A(A1), 789124A(A1), 789131A(A1), 789132A(A1), 789134A(A1),
78F9136B(A1)

(A2)製品 … μPD789121A(A2), 789122A(A2), 789124A(A2), 789131A(A2), 789132A(A2), 789134A(A2)

標準水準品と(A)製品, (A1)製品, (A2)製品との違いを表2-1に示します。

表2-1 標準水準品と(A)製品, (A1)製品, (A2)製品との違い

品 名	標準水準品	(A)製品	(A1)製品	(A2)製品
項 目				
品質水準	標準（一般電子機器用）	特別（高信頼度電子機器用）		
電源電圧	V _{DD} = 1.8～5.5 V		V _{DD} = 4.5～5.5 V	
動作周囲温度	T _A = -40～+85 °C		・μPD78F9136B(A1) T _A = -40～+105 °C ・μPD78F9136B(A1)以外 T _A = -40～+110 °C	T _A = -40～+125 °C
電気的特性	各電気的特性の章を参照してください。			

第3章 端子機能

3.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	—
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	—
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により、内蔵プルアップ抵抗を使用可能。	入力	$\overline{\text{SCK20}}/\text{ASCK20}$
P21				SO20/TxD20
P22				SI20/RxD20
P23				INTP0/CPT20 /SS20
P24				INTP1/TO80/TO20
P25				INTP2/TI80
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力／出力の指定可能。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	—
P60-P63	入力	ポート6。 4ビット入力専用ポート。	入力	ANI0-ANI3

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下 がりの両エッジ）指定可能な外部割り込み入力	入力	P23/CPT20/SS20
INTP1				P24/TO80/TO20
INTP2				P25/TI80
SI20	入力	シリアル・インタフェースのシリアル・データ入力	入力	P22/RxD20
SO20	出力	シリアル・インタフェースのシリアル・データ出力	入力	P21/TxD20
SCK20	入出力	シリアル・インタフェースのシリアル・クロック入力／出力	入力	P20/ASCK20
ASCK20	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロッ ク入力	入力	P20/SCK20
SS20	入力	シリアル・インタフェースのチップ・セレクト入力	入力	P23/CPT20/INTP0
RxD20	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ 入力	入力	P22/SI20
TxD20	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ 出力	入力	P21/SO20
TI80	入力	8ビット・タイマ／イベント・カウンタ80への外部カウント・ク ロック入力	入力	P25/INTP2
TO80	出力	8ビット・タイマ／イベント・カウンタ80出力	入力	P24/INTP1/TO20
TO20	出力	16ビット・タイマ20出力	入力	P24/INTP1/TO80
CPT20	入力	キャプチャ・エッジ入力	入力	P23/INTP0/SS20
ANI0-ANI3	入力	A/Dコンバータのアナログ入力	入力	P60-P63
AV _{SS}	—	A/Dコンバータのグランド電位	—	—
AV _{DD}	—	A/Dコンバータのアナログ電源	—	—
X1	入力	システム・クロック発振用セラミック発振子／水晶振動子接続 (μ PD789104A, 789114Aサブシリーズ)	—	—
X2	—		—	—
CL1	入力	システム・クロック発振用抵抗 (R) , コンデンサ (C) 接続 (μ PD789124A, 789134Aサブシリーズ)	—	—
CL2	—		—	—
RESET	入力	システム・リセット入力	入力	—
V _{DD}	—	正電源	—	—
V _{SS}	—	グランド電位	—	—
IC0	—	内部接続されています。V _{SS} に直接接続してください。	—	—
V _{PP}	—	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み／ベリファイ時の高電圧印加。	—	—

3.2 端子機能の説明

3.2.1 P00-P03 (Port0)

4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

3.2.2 P10, P11 (Port1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

3.2.3 P20-P25 (Port2)

6ビット入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。ポート・モード・レジスタ2 (PM2) にかかわらず、1ビット単位で、プルアップ抵抗オプション・レジスタB2 (PUB2) により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、外部割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) TI80

8ビット・タイマ／イベント・カウンタ80への外部クロック入力端子です。

(b) TO20, TO80

16ビット・タイマ20, 8ビット・タイマ／イベント・カウンタ80出力端子です。

(c) CPT20

キャプチャ・エッジ入力端子です。

(d) INTP0-INTP2

有効エッジ（立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりエッジの両エッジ）指定可能な外部割り込み入力端子です。

(e) SI20, SO20

シリアル・インタフェースのシリアル・データの入出力端子です。

(f) $\overline{\text{SCK20}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(g) $\overline{\text{SS20}}$

シリアル・インタフェースのチップ・セレクト入力端子です。

(h) $\text{RxD20}, \text{TxD20}$

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(i) ASCK20

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表13-2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

3.2.4 P50-P53 (Port 5)

4ビットのN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力または出力ポートに指定できます。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能です。

3.2.5 P60-P63 (Port 6)

4ビット入力専用ポートです。汎用入力ポートのほかに、A/Dコンバータ入力機能があります。

(1) ポート・モード

4ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力 (ANI0-ANI3) として機能します。

3.2.6 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

3.2.7 X1, X2 (μ PD789104A, 789114Aサブシリーズ)

システム・クロック発振用セラミック発振子／水晶振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

3.2.8 CL1, CL2 (μ PD789124A, 789134Aサブシリーズ)

システム・クロック発振用抵抗 (R) , コンデンサ (C) 接続端子です。

3.2.9 AV_{DD}

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

3. 2. 10 AV_{SS}

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

3. 2. 11 V_{DD}

正電源供給端子です。

3. 2. 12 V_{SS}

グラウンド電位端子です。

3. 2. 13 V_{PP} (μ PD78F9116A, 78F9116B, 78F9136A, 78F9136Bのみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み／ベリファイ時の高電圧印加端子です。

★ 次のどちらかの端子処理をしてください。

- ・個別に10 kΩのプルダウン抵抗を接続する
- ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS}に直接接続するように切り替える

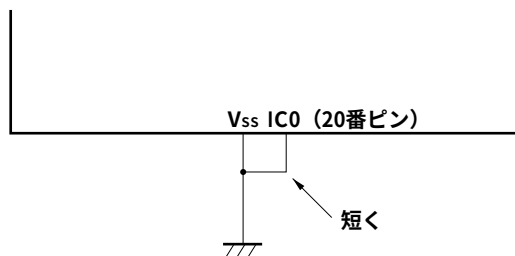
V_{PP}端子とV_{SS}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

3. 2. 14 20番ピンのIC₀ (マスクROM製品のみ)

20番ピンのIC₀ (Internally Connected) 端子 (1. 6 端子接続図 (Top View), 2. 5 端子接続図 (Top View) 参照) は、当社出荷時にμ PD789104A/114A/124A/134Aサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC₀端子をV_{SS}端子に直接接続し、その配線長を極力短くしてください。

IC₀端子とV_{SS}端子間の配線の引き回しが長い場合や、IC₀端子に外来ノイズが加わった場合などで、IC₀端子とV_{SS}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC₀端子をV_{SS}端子に直接接続してください。

3. 2. 15 10番ピンと21番ピンのIC₀

10番ピンと21番ピンのIC₀ (1. 6 端子接続図 (Top View), 2. 5 端子接続図 (Top View) 参照) は内部接続されています。

IC₀端子はV_{SS}に直接接続してください。

3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3-1に示します。

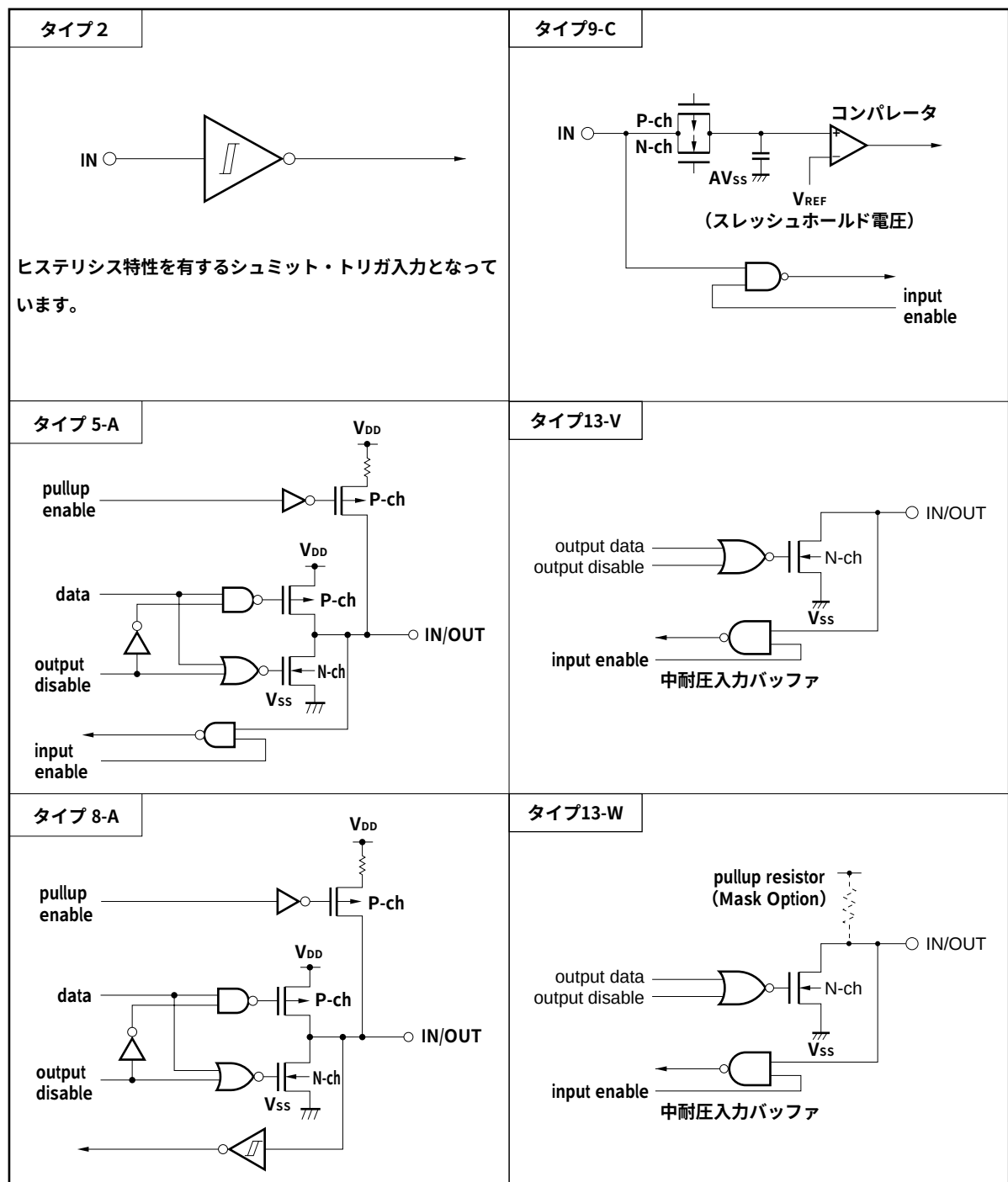
また、各タイプの入出力回路の構成は、図3-1を参照してください。

★

表3-1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P03	5-A	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P10, P11			
P20/SCK20/ASCK20	8-A		入力時：個別に抵抗を介して、V _{SS} に接続してください。 出力時：オープンにしてください。
P21/SO20/TxD20			
P22/SI20/RxD20			
P23/INTP0/CPT20/SS20			
P24/INTP1/TO80/TO20			
P25/INTP2/TI80			
P50-P53（マスクROM製品）	13-W		入力時：V _{SS} に直接接続してください。 出力時：ポートの出力ラッチを0に設定してロウ・レベル出力でオープンにしてください。
P50-P53 (μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B)	13-V		
P60/ANI0-P63/ANI3	9-C	入力	V _{DD} またはV _{SS} に直接接続してください。
AV _{DD}	—	—	V _{DD} に直接接続してください。
AV _{SS}			V _{SS} に直接接続してください。
RESET	2	入力	—
IC0	—	—	V _{SS} に直接接続してください。
V _{PP}			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS} に直接接続してください。

図3-1 端子の入出力回路一覧



第4章 CPUアーキテクチャ

4.1 メモリ空間

μ PD789104A/114A/124A/134Aサブシリーズは、64 Kバイトのメモリ空間をアクセスできます。図4-1から図4-4に、メモリ・マップを示します。

図4-1 メモリ・マップ (μ PD789101A, 789111A, 789121A, 789131A)

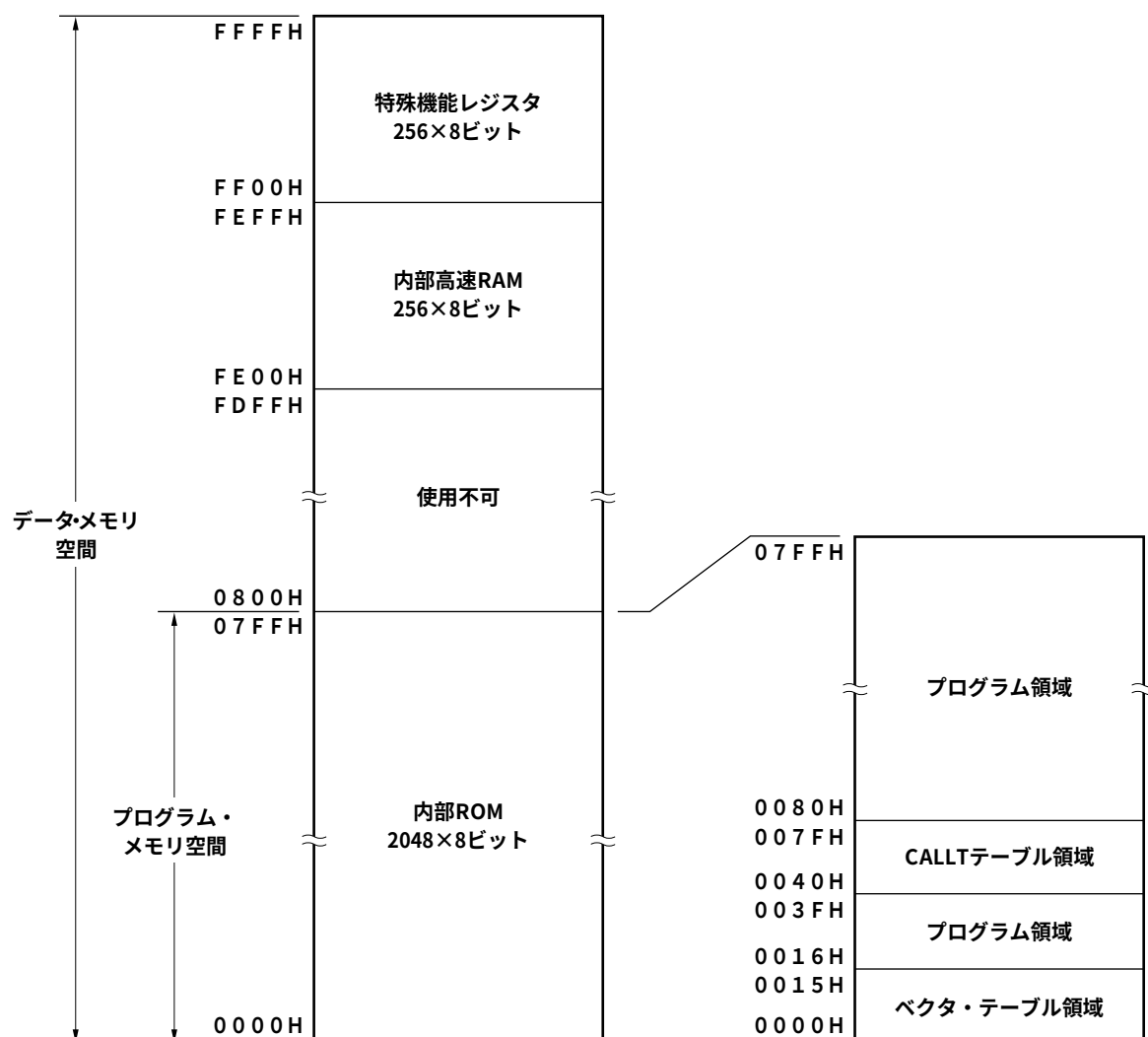


図4-2 メモリ・マップ (μ PD789102A, 789112A, 789122A, 789132A)

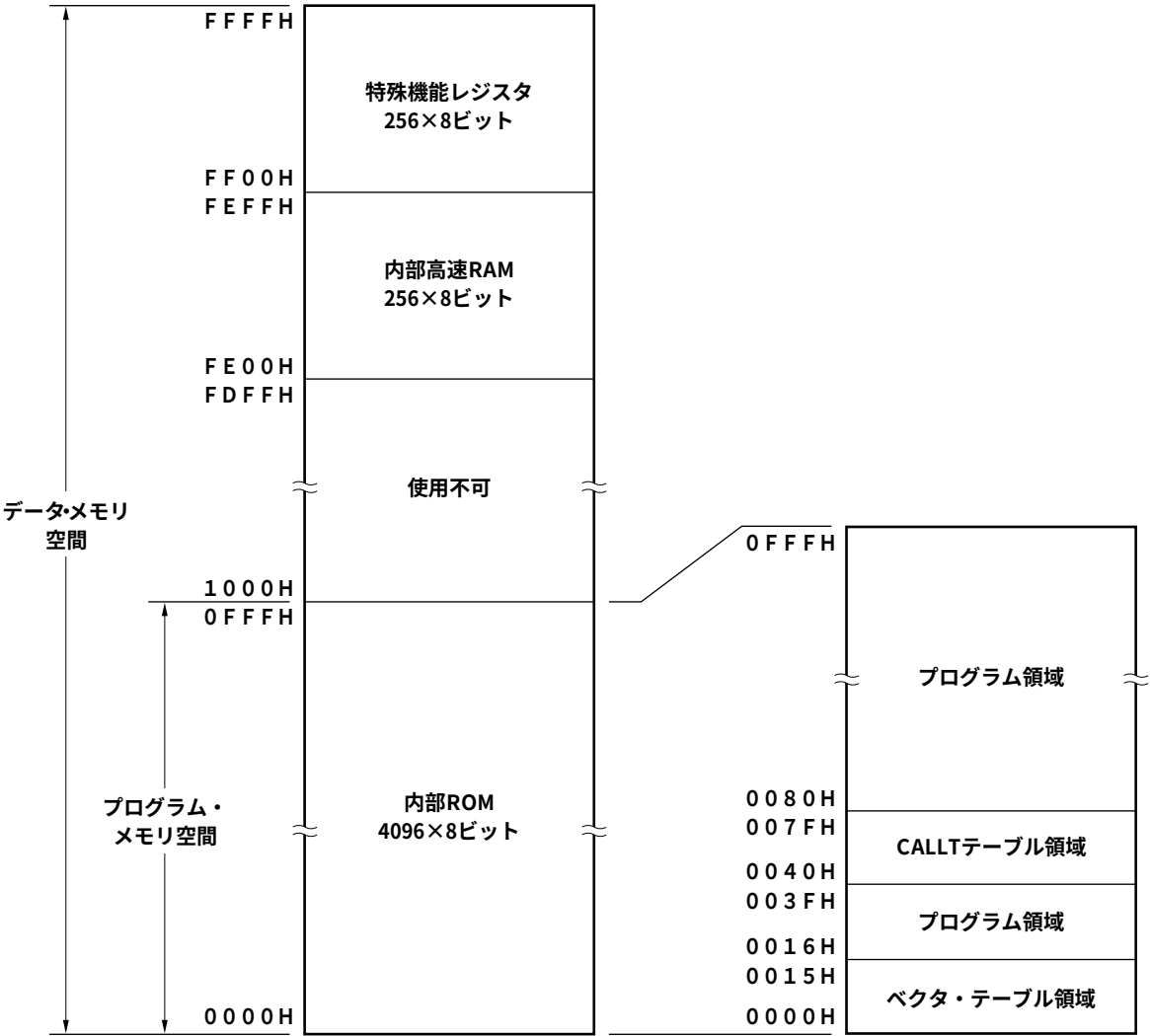


図4-3 メモリ・マップ (μ PD789104A, 789114A, 789124A, 789134A)

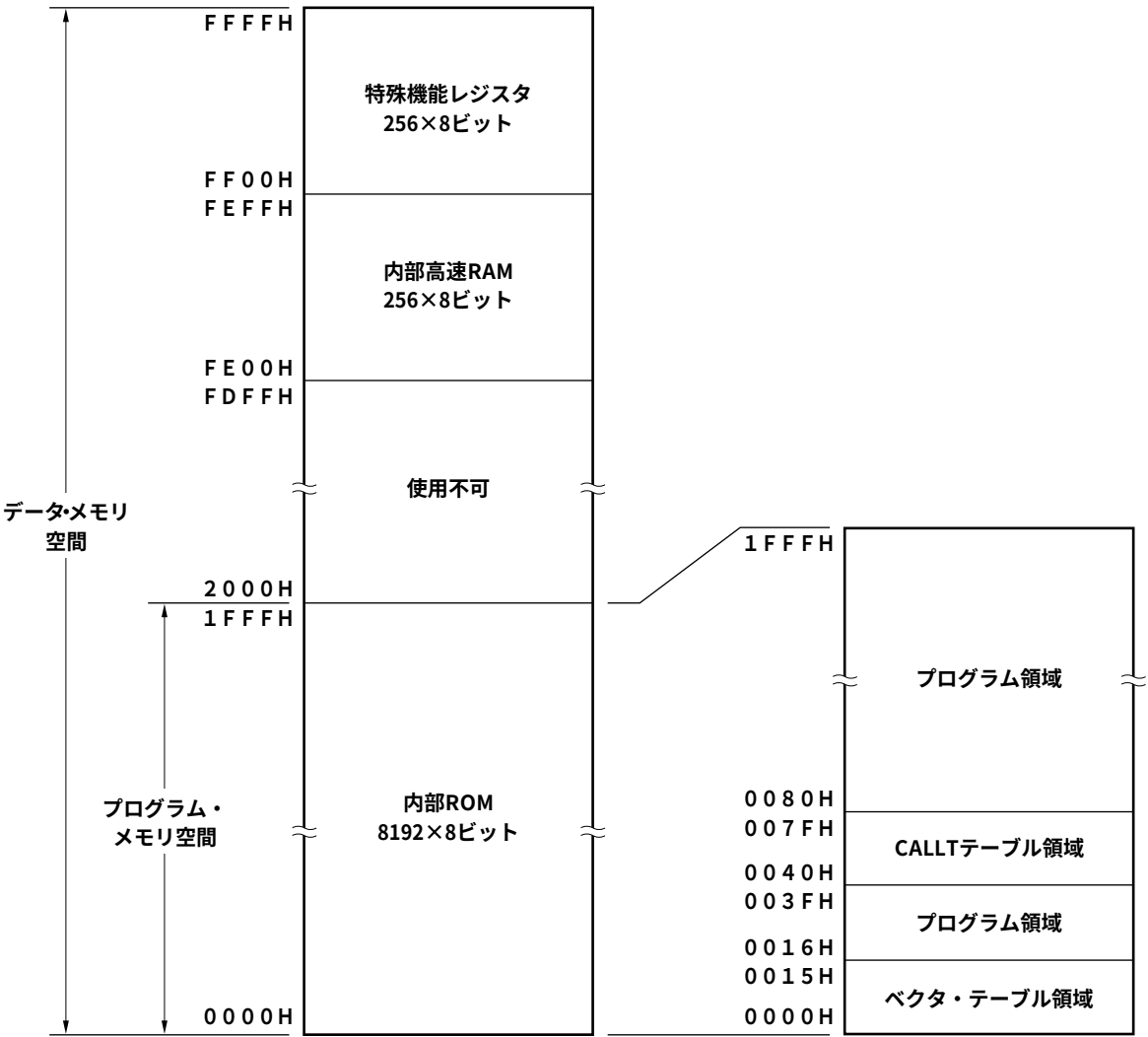
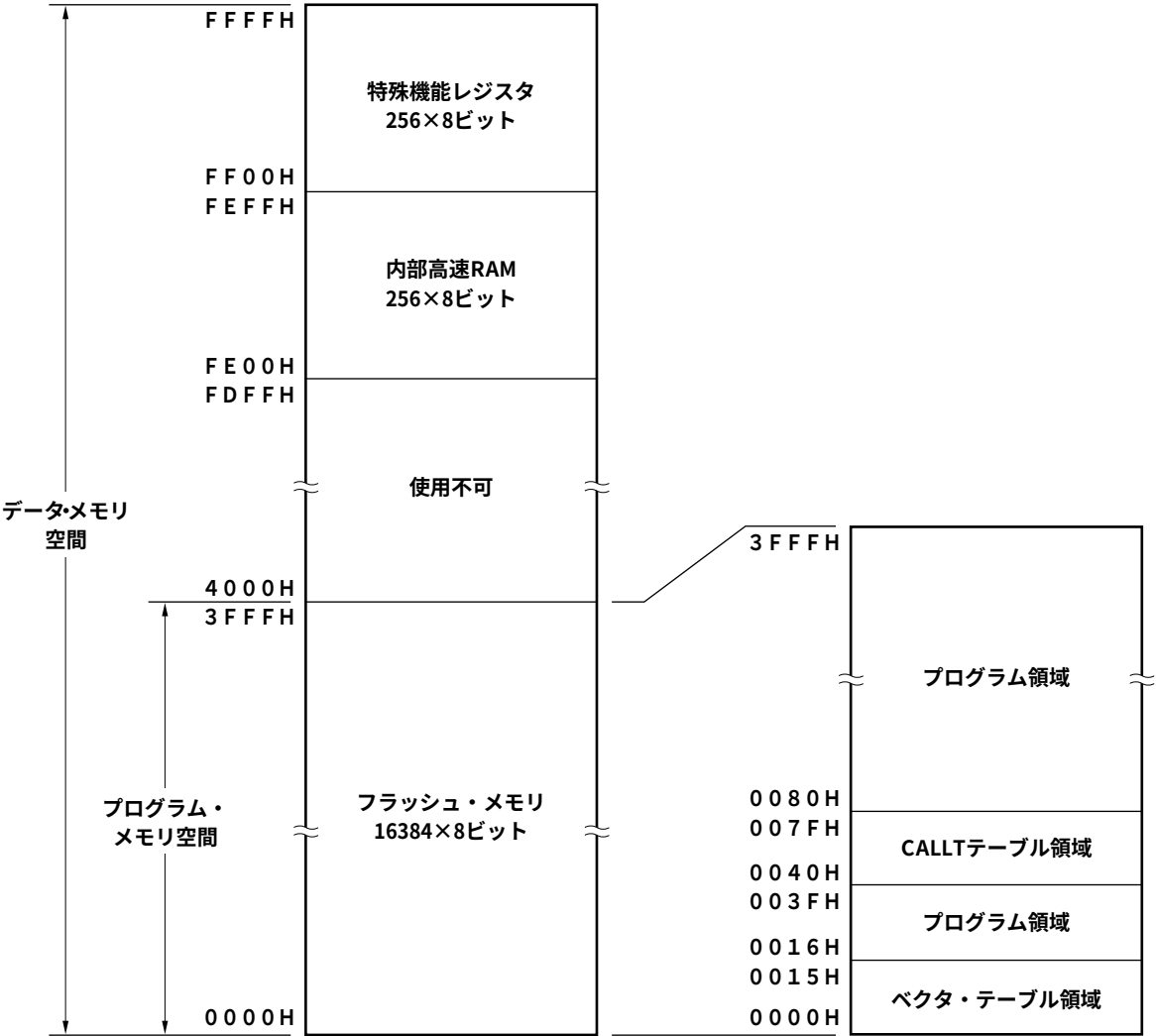


図4-4 メモリ・マップ (μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B)



4.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789104A/114A/124A/134Aサブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表4-1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD789101A, 789111A, 789121A, 789131A	マスクROM	2048×8ビット
μPD789102A, 789112A, 789122A, 789132A		4096×8ビット
μPD789104A, 789114A, 789124A, 789134A		8192×8ビット
μPD78F9116A, 78F9116B, 78F9136A, 78F9136B	フラッシュ・メモリ	16384×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-0015Hの22バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表4-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0 0 0 0 H	$\overline{\text{RESET}}$ 入力	0 0 0 C H	INTSR20/INTCSI20
0 0 0 4 H	INTWDT	0 0 0 E H	INTST20
0 0 0 6 H	INTP0	0 0 1 0 H	INTTM80
0 0 0 8 H	INTP1	0 0 1 2 H	INTTM20
0 0 0 A H	INTP2	0 0 1 4 H	INTAD0

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

4. 1. 2 内部データ・メモリ（内部高速RAM）空間

μ PD789104A/114A/124A/134Aサブシリーズの製品は、256バイトの内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用します。

4. 1. 3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表4-3参照）。

4. 1. 4 データ・メモリ・アドレッシング

μ PD789104A/114A/124A/134Aサブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域（FE00H-FEFFFH）では、特殊機能レジスタ（SFR）など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図4-5から図4-8にデータ・メモリのアドレッシングを示します。

図4-5 データ・メモリのアドレッシング (μ PD789101A, 789111A, 789121A, 789131A)

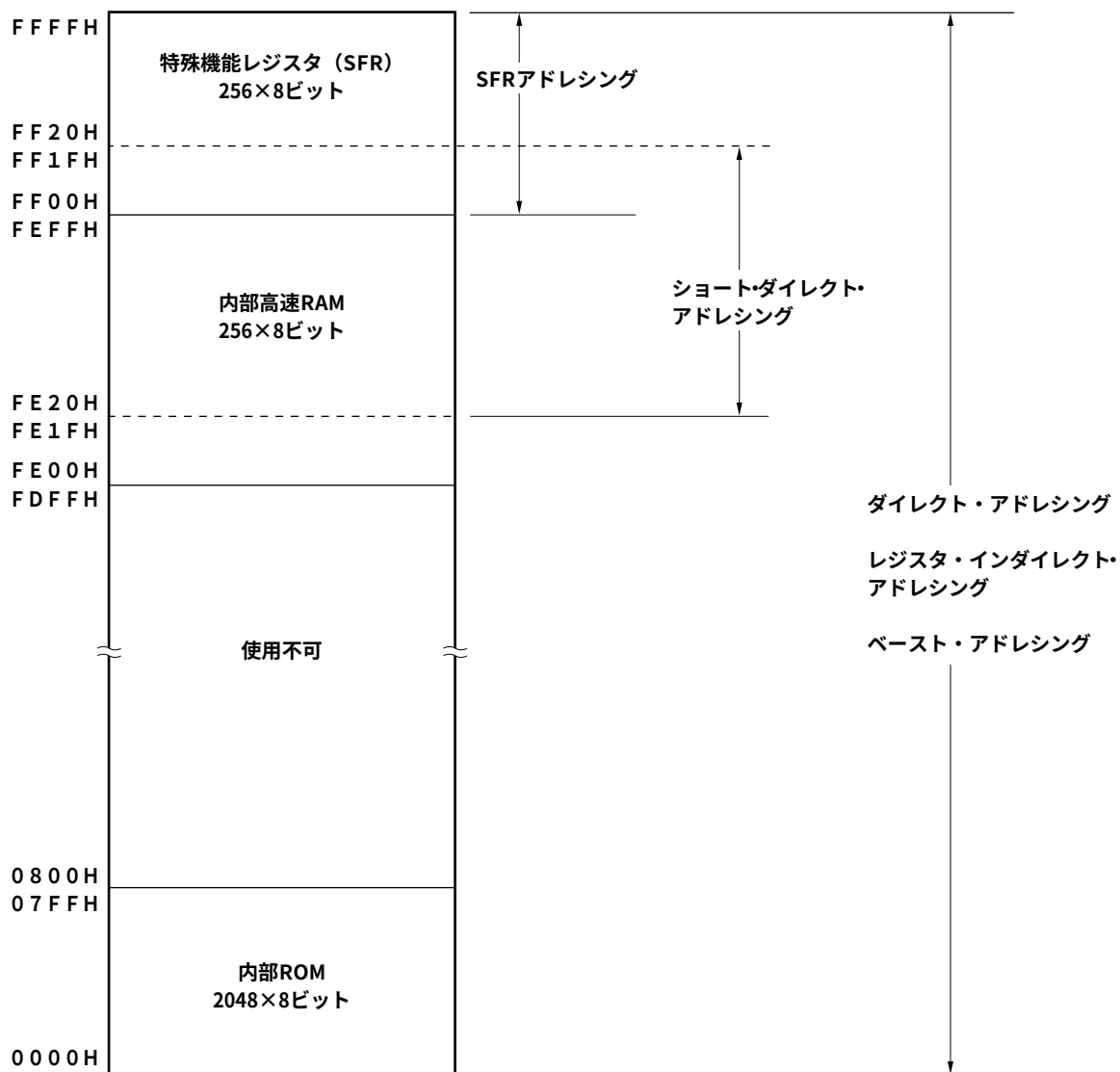


図4-6 データ・メモリのアドレッシング (μ PD789102A, 789112A, 789122A, 789132A)

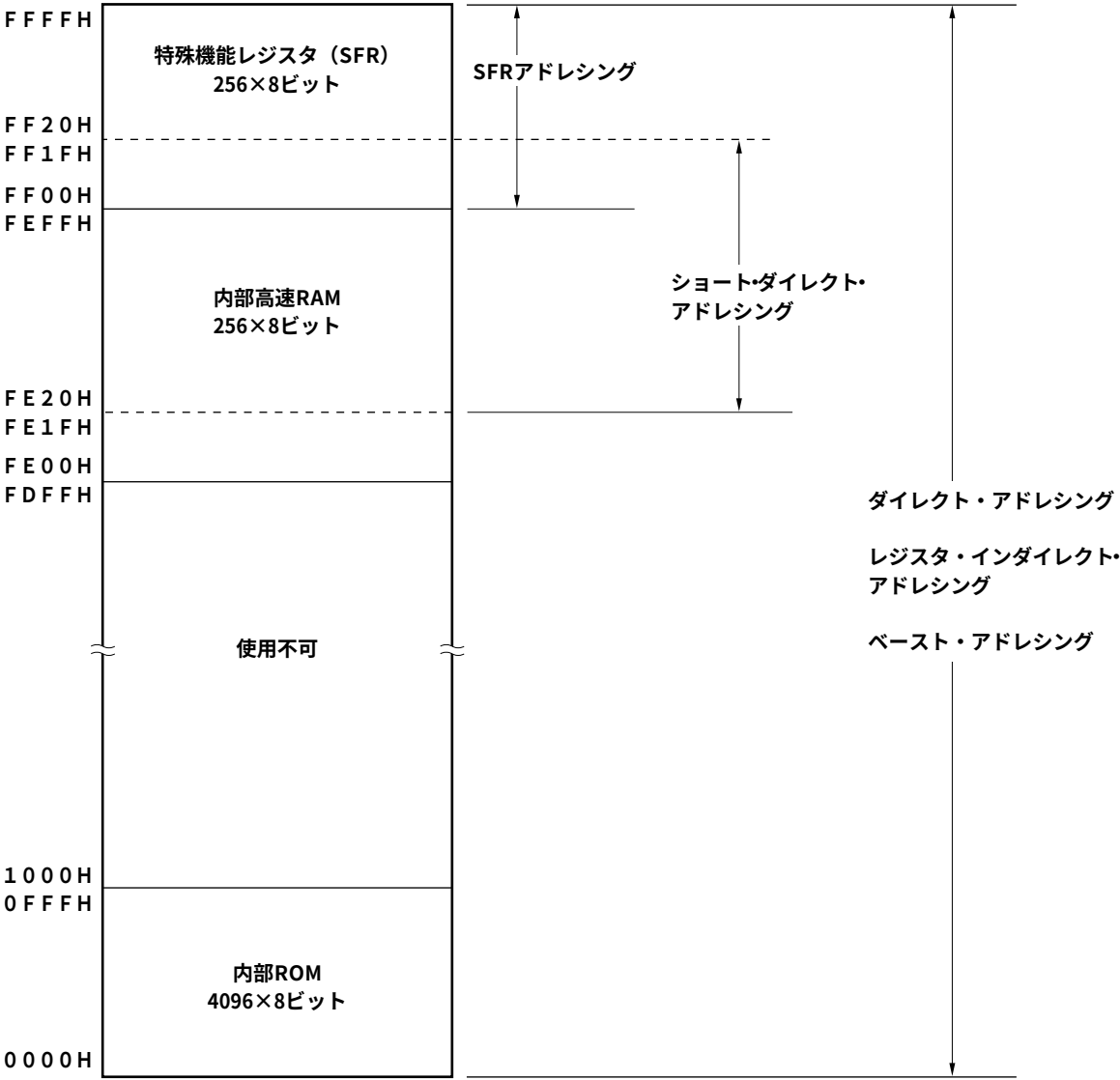


図4-7 データ・メモリのアドレッシング (μ PD789104A, 789114A, 789124A, 789134A)

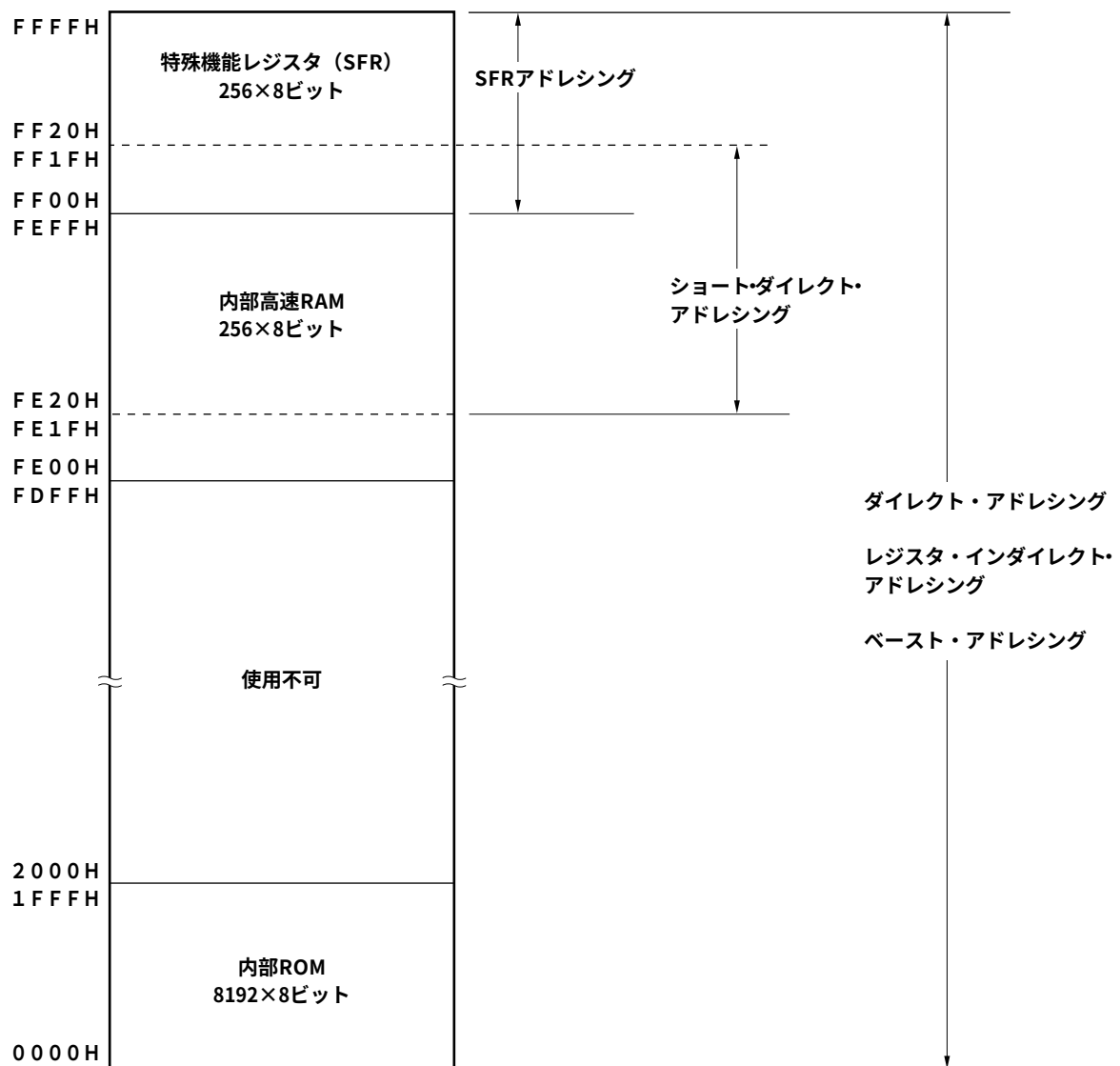
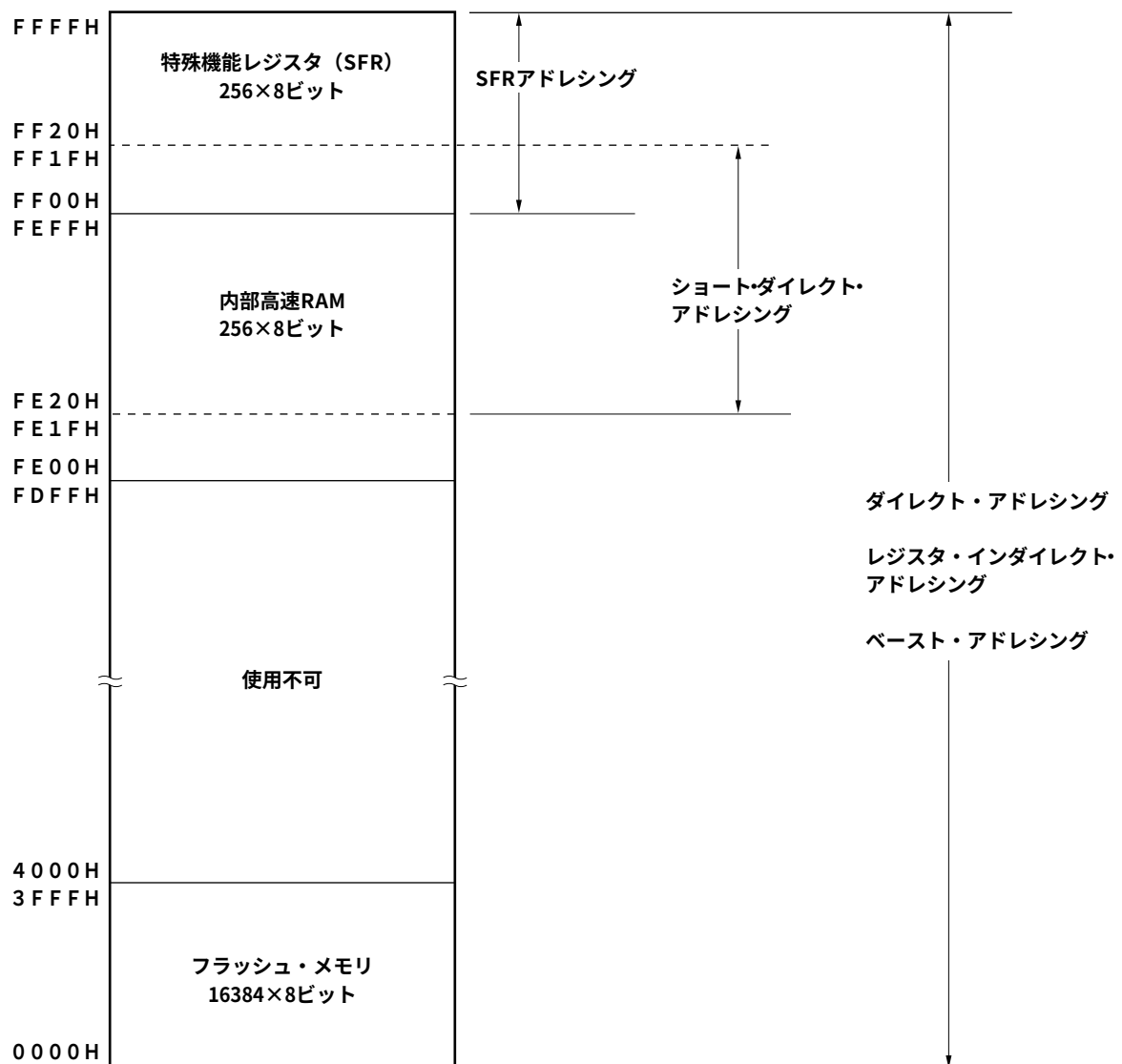


図4-8 データ・メモリのアドレッシング (μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B)



4.2 プロセッサ・レジスタ

μPD789104A/114A/124A/134Aサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

4.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図4-9 プログラム・カウンタの構成

	15															0
PC	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図4-10 プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	0	AC	0	0	1	CY

(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

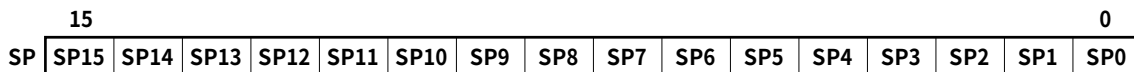
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図4-11 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図4-12、4-13のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図4-12 スタック・メモリへ退避されるデータ

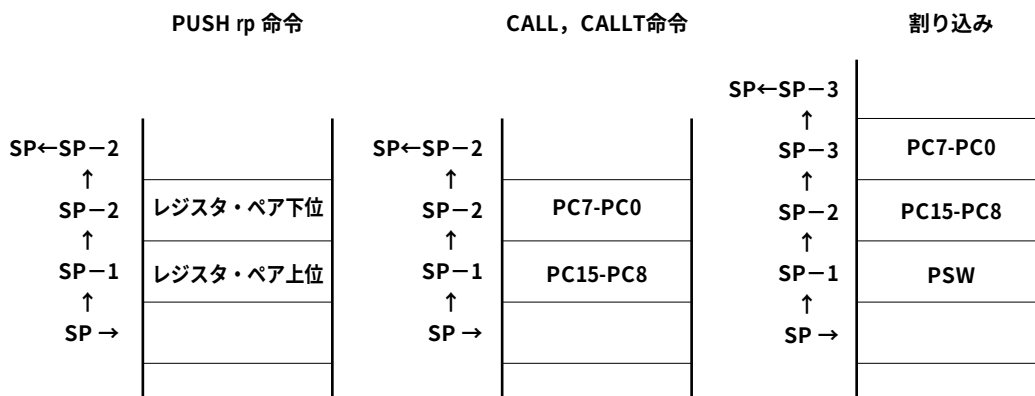
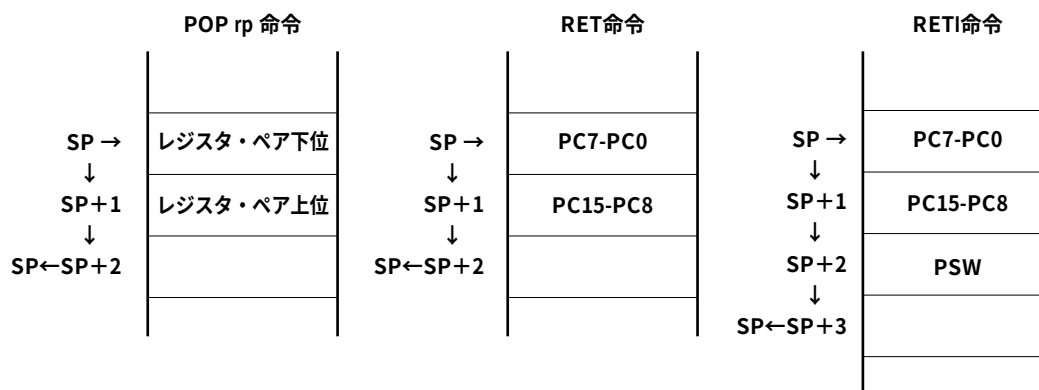


図4-13 スタック・メモリから復帰されるデータ



4. 2. 2 汎用レジスタ

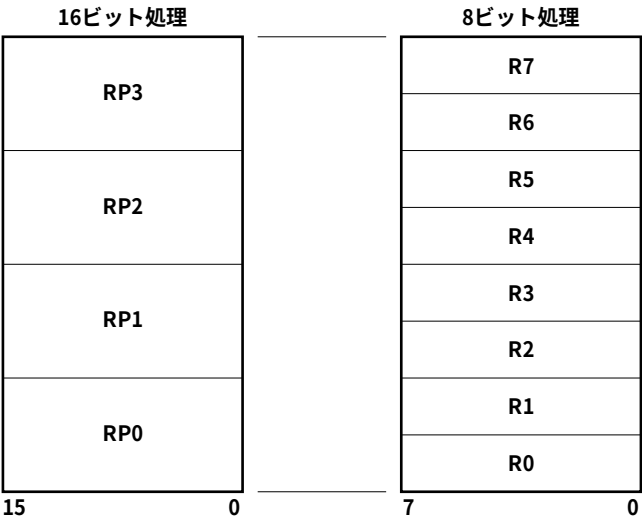
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

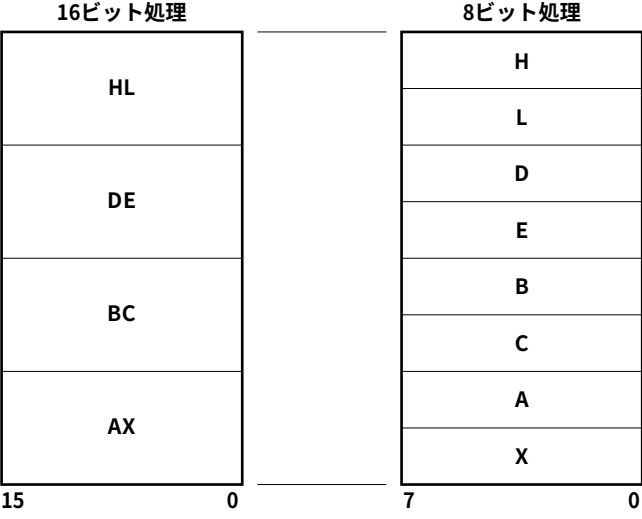
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図4-14 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



4.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表4-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- リセット時

RESET入力時の各レジスタの状態を示します。

表4-3 特殊機能レジスタ一覧 (1/2)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W	○	○	—	00H
FF01H	ポート1	P1			○	○	—	
FF02H	ポート2	P2			○	○	—	
FF05H	ポート5	P5			○	○	—	
FF06H	ポート6	P6		R	○	○	—	不定
FF10H	16ビット乗算結果格納レジスタ0	MUL0L	MUL0		—	○ ^{注1}	○ ^{注2}	
FF11H		MUL0H						
FF14H	A/D変換結果レジスタ0 ^{注3}	ADCR0			—	○	○ ^{注2}	
FF15H								
FF16H	16ビット・コンペア・レジスタ20	CR20L	CR20	W	—	○ ^{注1}	○ ^{注2}	FFFFH
FF17H		CR20H						
FF18H	16ビット・タイマ・カウンタ20	TM20L	TM20	R	—	○ ^{注1}	○ ^{注2}	0000H
FF19H		TM20H						
FF1AH	16ビット・キャプチャ・レジスタ20	TCP20L	TCP20		—	○ ^{注1}	○ ^{注2}	不定
FF1BH		TCP20H						
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FF21H	ポート・モード・レジスタ1	PM1			○	○	—	
FF22H	ポート・モード・レジスタ2	PM2			○	○	—	
FF25H	ポート・モード・レジスタ5	PM5			○	○	—	
FF32H	ブルアップ抵抗オプション・レジスタB2	PUB2			○	○	—	00H
FF42H	タイマ・クロック選択レジスタ2	TCL2			—	○	—	
FF48H	16ビット・タイマ・モード・コントロール・レジスタ20	TMC20			○	○	—	
FF50H	8ビット・コンペア・レジスタ80	CR80		W	—	○	—	不定
FF51H	8ビット・タイマ・カウンタ80	TM80		R	—	○	—	00H
FF53H	8ビット・タイマ・モード・コントロール・レジスタ80	TMC80		R/W	○	○	—	

注1. 16ビット・アクセス専用のレジスタですが、8ビット・アクセスも可能です。8ビット・アクセスをするときは、ダイレクト・アドレッシングでアクセスしてください。

2. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセスが可能です。

3. 8ビットA/Dコンバータ (μ PD789104A, 789124Aサブシリーズ) として使用する場合、8ビット・アクセスのみ可能です。このときアドレスはFF15Hとなります。10ビットA/Dコンバータ (μ PD789114A, 789134Aサブシリーズ) として使用する場合、16ビット・アクセスのみ可能です。 μ PD78F9116A, 78F9116Bを μ PD789101A, 789102A, 789104Aのフラッシュ・メモリ製品として使用する場合、または μ PD78F9136A, 78F9136Bを μ PD789121A, 789122A, 789124Aのフラッシュ・メモリ製品として使用する場合は、8ビット・アクセスが可能です。ただし、 μ PD789101A, 789102A, 789104Aでアセンブルしたオブジェクト・ファイル、または μ PD789121A, 789122A, 789124Aでアセンブルしたオブジェクト・ファイルに限ります。

表4-3 特殊機能レジスタ一覧 (2/2)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ20	ASIM20		R/W	○	○	－	00H
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20	ASIS20		R	○	○	－	
FF72H	シリアル動作モード・レジスタ20	CSIM20		R/W	○	○	－	
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ20	BRGC20			－	○	－	
FF74H	送信シフト・レジスタ20	TXS20	SIO20	W	－	○	－	FFH
	受信バッファ・レジスタ20	RXB20		R	－	○	－	不定
FF80H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	－	00H
FF84H	アナログ入力チャネル指定レジスタ0	ADS0			○	○	－	
FFD0H	乗算データ・レジスタA0	MRA0		W	○	○	－	不定
FFD1H	乗算データ・レジスタB0	MRB0			○	○	－	
FFD2H	乗算器コントロール・レジスタ0	MULC0		R/W	○	○	－	00H
FFE0H	割り込み要求フラグ・レジスタ0	IF0			○	○	－	
FFE1H	割り込み要求フラグ・レジスタ1	IF1			○	○	－	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0			○	○	－	FFH
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1			○	○	－	
FFECH	外部割り込みモード・レジスタ0	INTM0			－	○	－	00H
FFF7H	プルアップ抵抗オプション・レジスタ0	PU0			○	○	－	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM			○	○	－	
FFFAH	発振安定時間選択レジスタ [※]	OSTS			－	○	－	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				○	○	－

注 μ PD789104A, 789114Aサブシリーズのみ

4.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

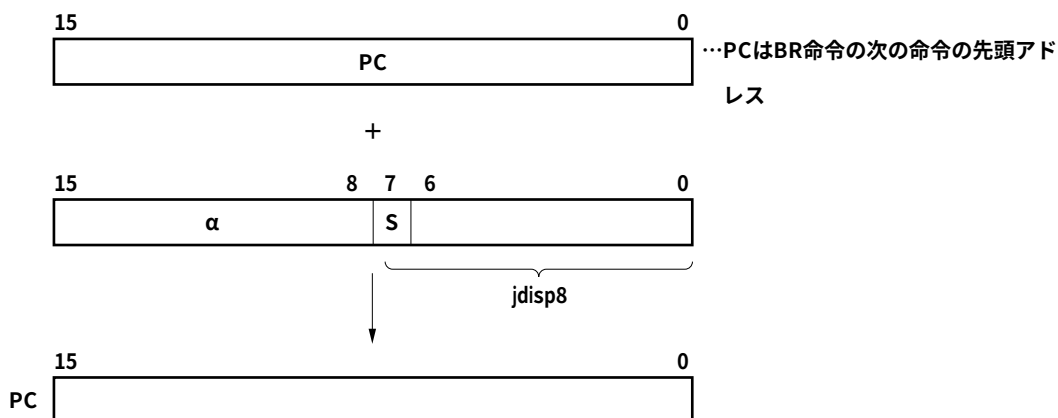
4.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエート・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、αは全ビット 0

S = 1 のとき、αは全ビット 1

4.3.2 イミディエト・アドレッシング

【機能】

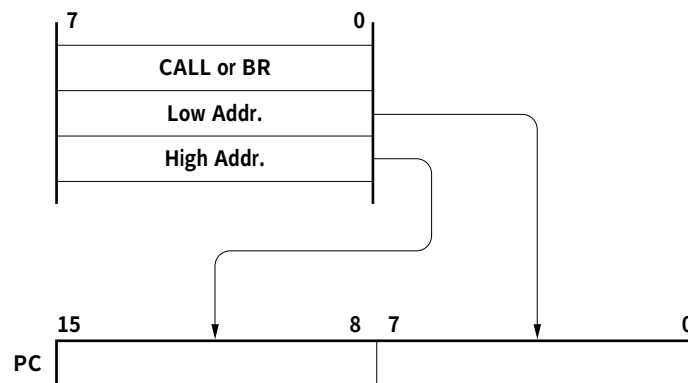
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



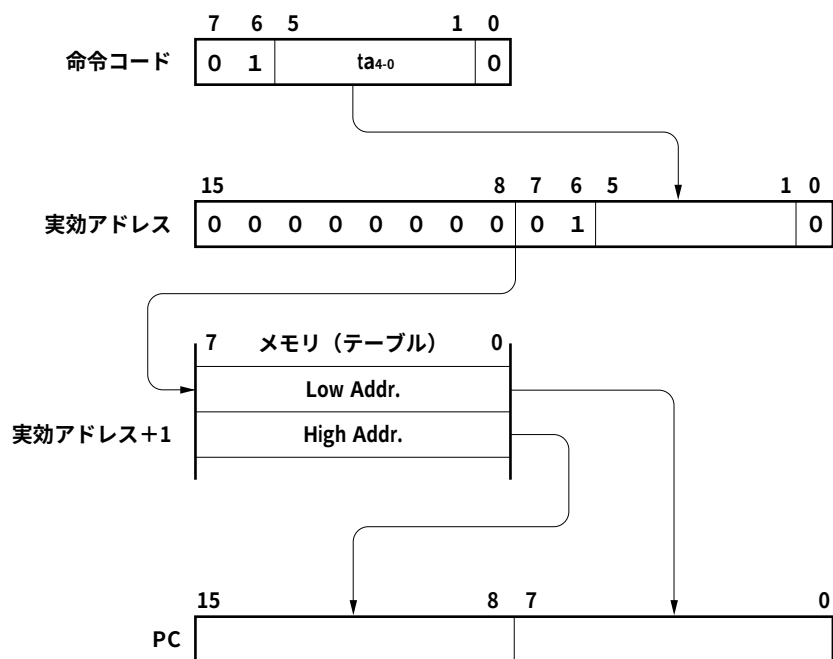
4.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



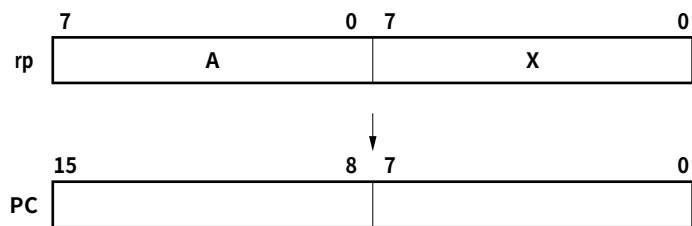
4.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



4. 4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

4. 4. 1 ダイレクト・アドレッシング

【機能】

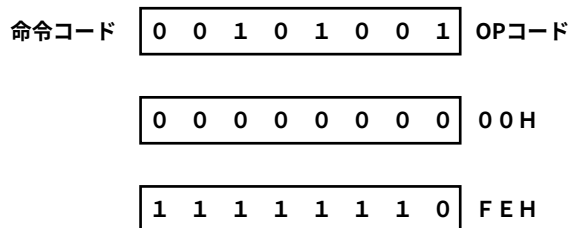
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

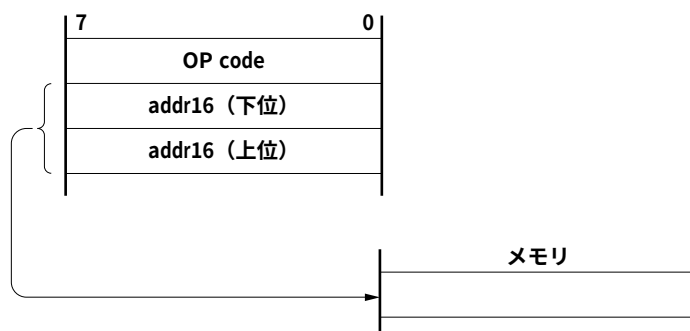
表現形式	記 述 方 法
addr16	レーベルまたは16ビット・イミディエト・データ

【記 述 例】

MOV A, !FE00H ; !addr16をFE00Hとする場合



【図 解】



4.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ／イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

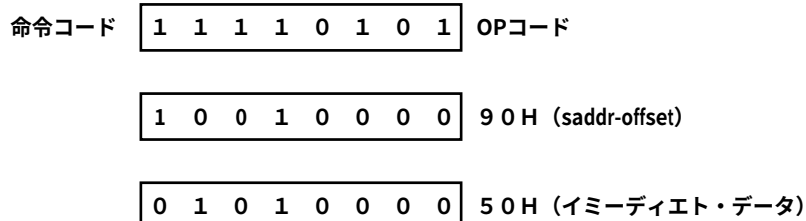
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

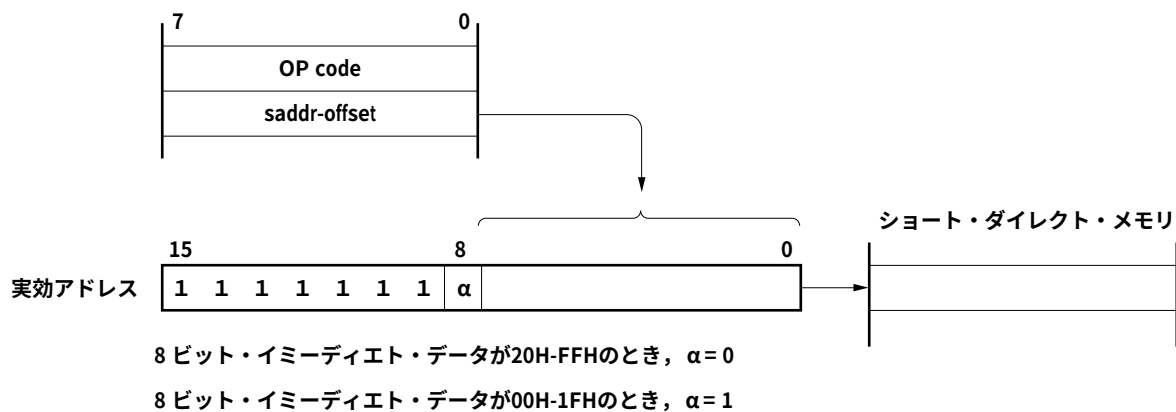
表現形式	記 述 方 法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記 述 例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図 解】



4.4.3 特殊機能レジスタ（SFR）アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ（SFR）をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

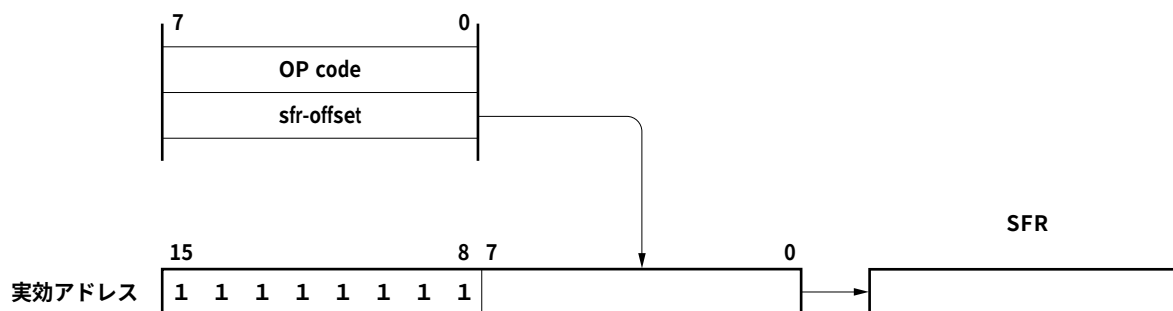
表現形式	記 述 方 法
sfr	特殊機能レジスタ名

【記 述 例】

MOV PM0, A ; sfrにPM0を選択する場合

命令コード	1 1 1 0 0 1 1 1
	0 0 1 0 0 0 0 0

【図 解】



4.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

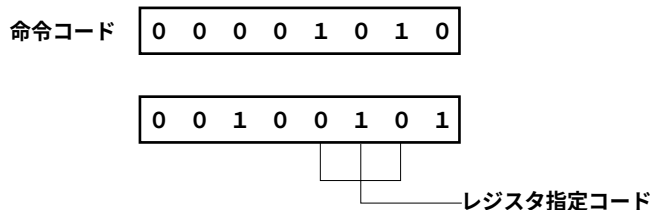
【オペランド形式】

表現形式	記 述 方 法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

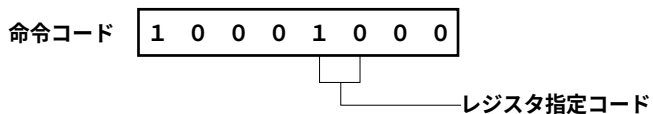
r, rpは、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほかに絶対名称（R0-R7, RP0-RP3）で記述できます。

【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



4.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[DE] , [HL]

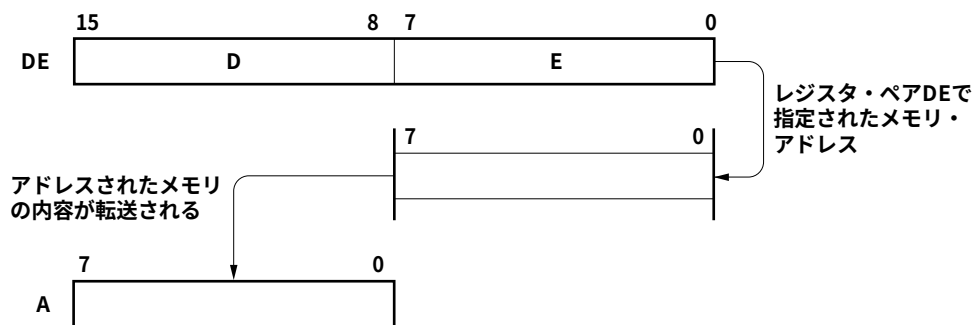
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



4.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記 述 方 法
—	[HL + byte]

【記 述 例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

4.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記 述 例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第5章 ポート機能

5.1 ポートの機能

μ PD789104A/114A/124A/134Aサブシリーズは図5-1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第3章 端子機能を参照してください。

図5-1 ポートの種類

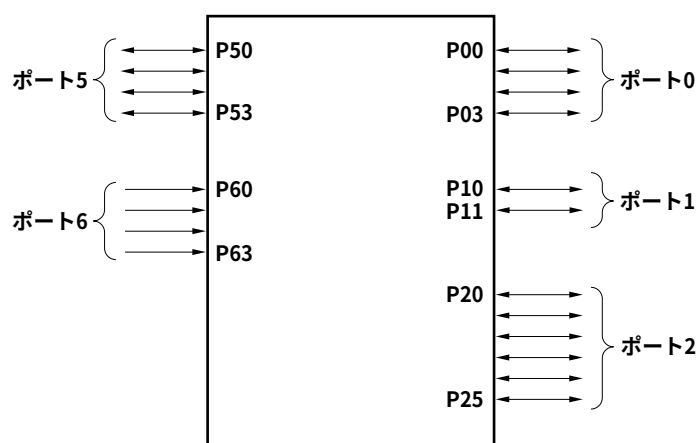


表5-1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0（PU0）の設定により、内蔵プルアップ抵抗を使用可能。	入力	—
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0（PU0）の設定により、内蔵プルアップ抵抗を使用可能。	入力	—
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 プルアップ抵抗オプション・レジスタB2（PUB2）の設定により、内蔵プルアップ抵抗を使用可能。	入力	ASCK20/SCK20
P21				TxD20/SO20
P22				RxD20/SI20
P23				INTP0/CPT20/ SS20
P24				INTP1/TO80/ TO20
P25				INTP2/TI80
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力／出力の指定可能。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	—
P60-P63	入力	ポート6。 4ビット入力専用ポート。	入力	ANI0-ANI3

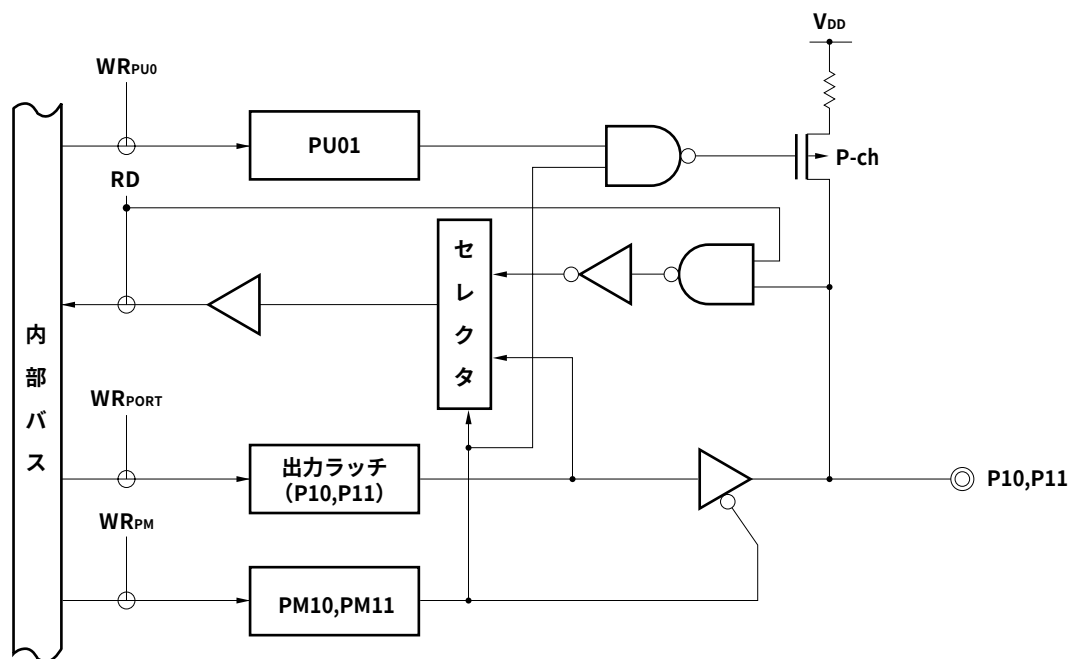
5.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード／出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により2ビット単位で内蔵プルアップ抵抗を使用できます。

RESET入力により、入力モードになります。

図5-3にポート1のブロック図を示します。

図5-3 P10, P11のブロック図



PU0：プルアップ抵抗オプション・レジスタ0

PM：ポート・モード・レジスタ

RD：ポート1のリード信号

WR：ポート1のライト信号

5.2.3 ポート2

出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード／出力モードの指定ができます。P20-P25端子は、プルアップ抵抗オプション・レジスタB2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

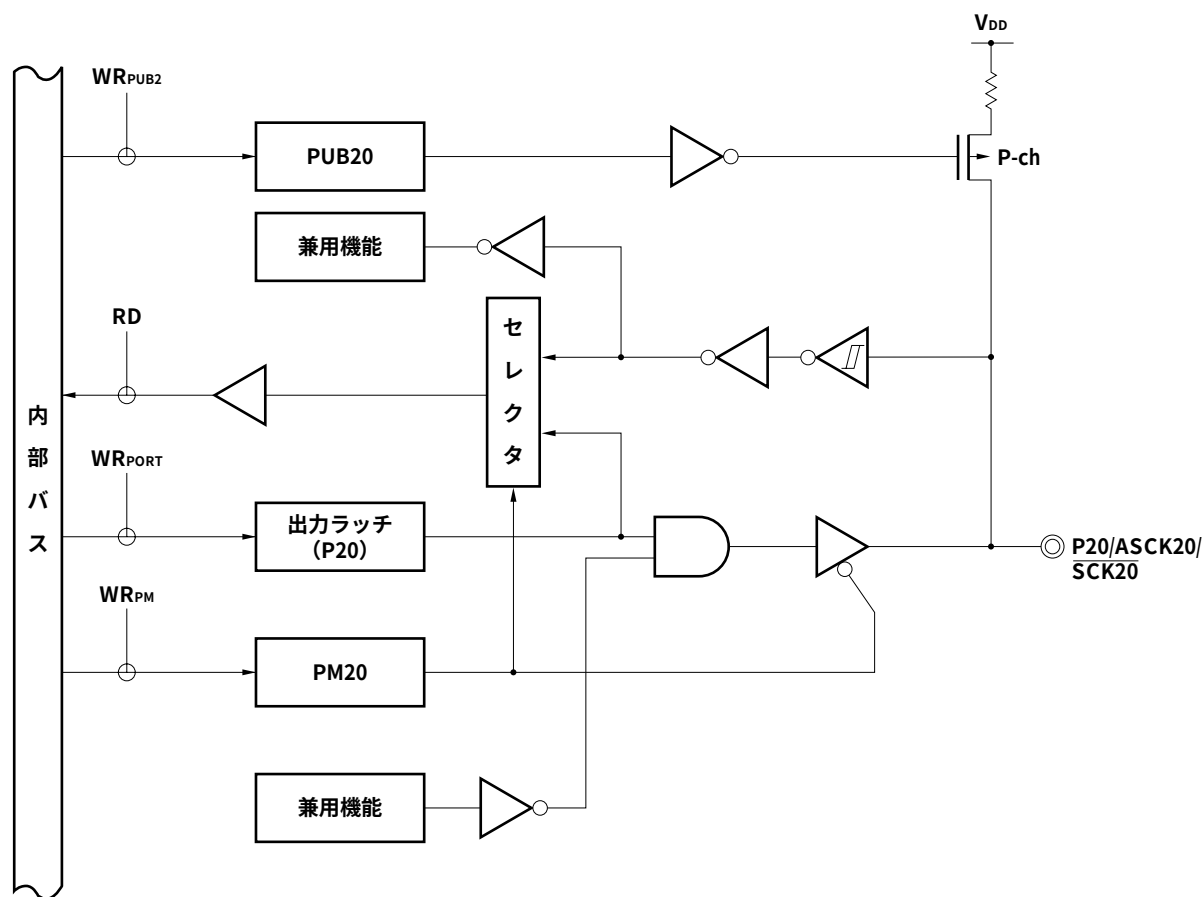
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、外部割り込み入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-4から図5-7にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表13-2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

図5-4 P20のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

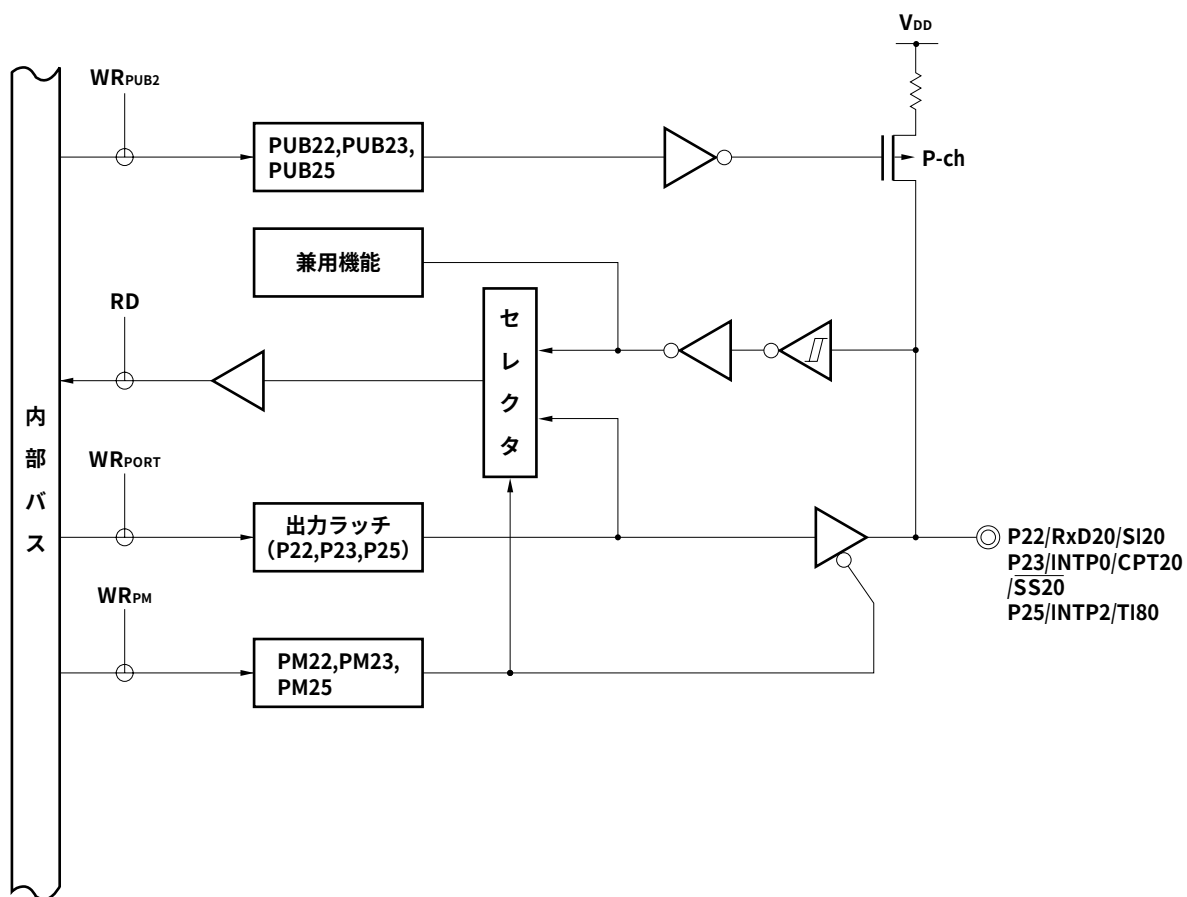
WR : ポート2のライト信号

PM : ポート・モード・レジスタ

RD ・ポート2のリード信号

WR : ポート2のライト信号

図5-6 P22, P23, P25のブロック図



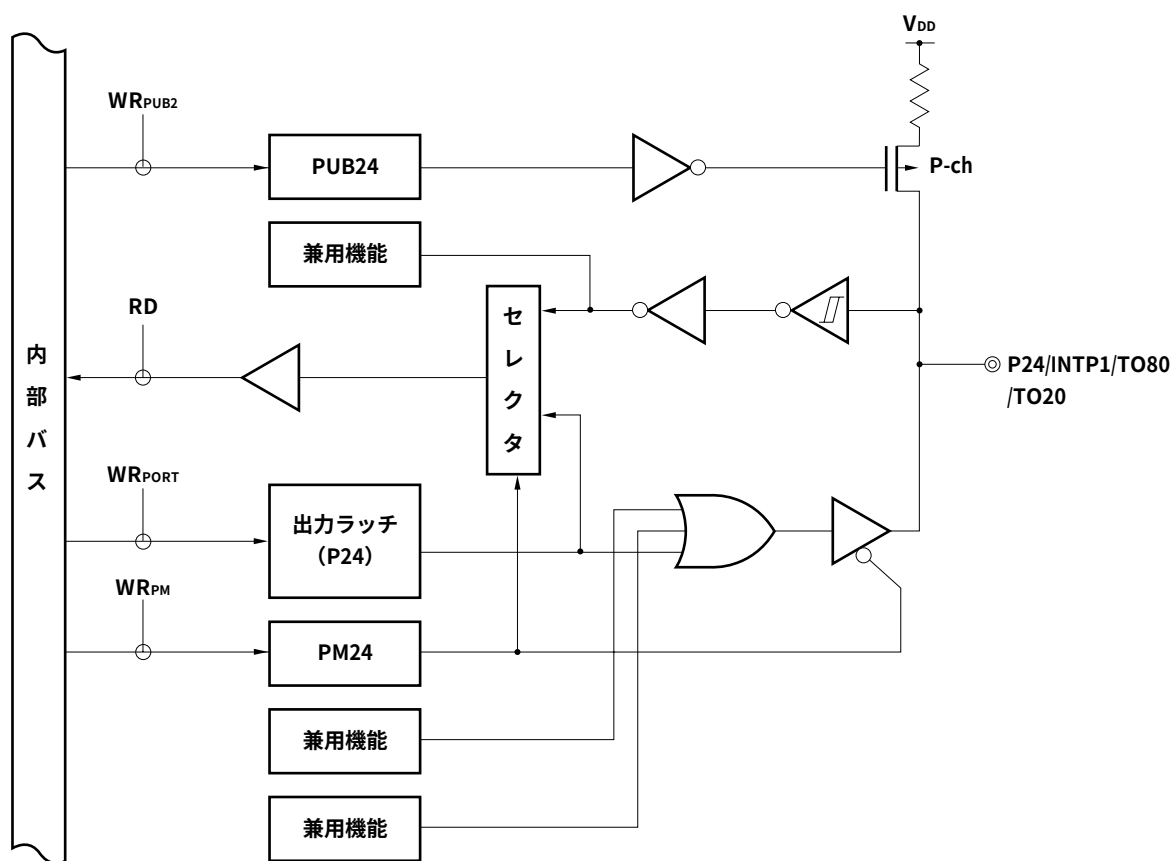
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図5-7 P24のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

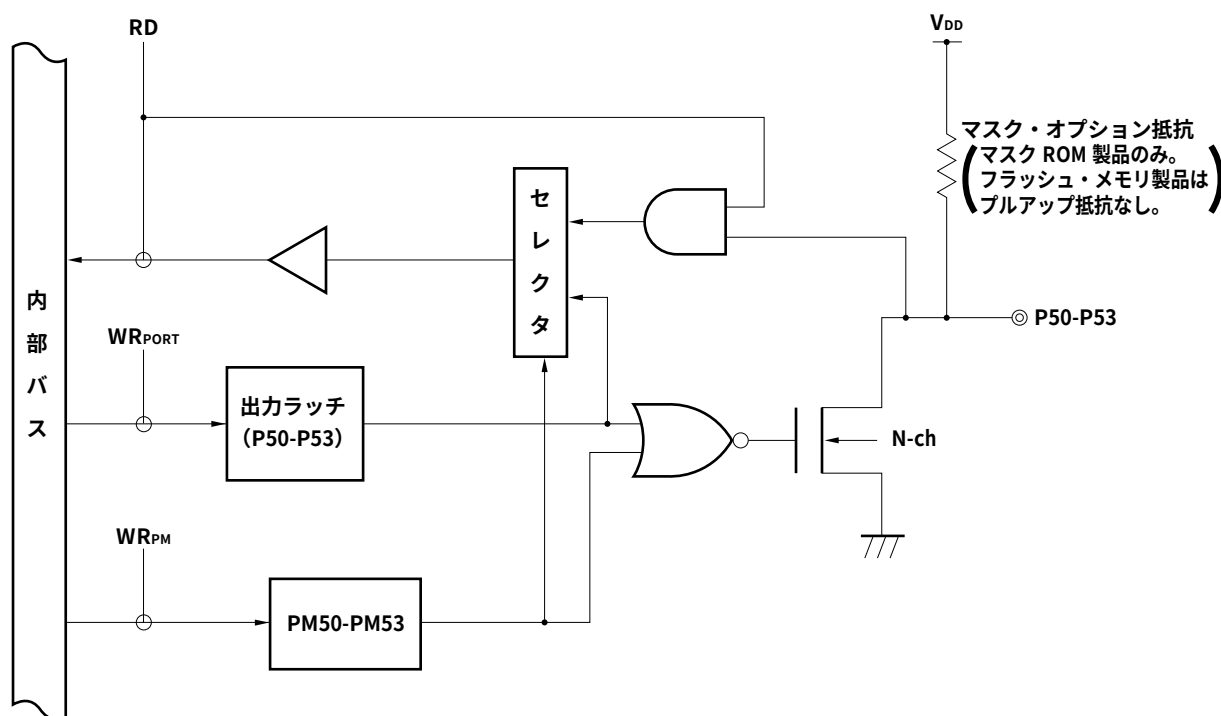
5.2.4 ポート5

出力ラッチ付き4ビットN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力モード／出力モードの指定ができます。マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-8にポート5のブロック図を示します。

図5-8 P50-P53のブロック図



PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

注意 μ PD78F9116A, 78F9136Aにおいて、ポート5を入力端子として使用するときには次の制限事項をお守りください。

- $V_{DD} = 1.8 \sim 5.5 \text{ V}$ で使用したい場合 : $T_A = 25 \sim 85 \text{ }^\circ\text{C}$ の範囲内でご使用ください。
- $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ で使用したい場合 : $V_{DD} = 2.7 \sim 5.5 \text{ V}$ の範囲内でご使用ください。
- $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ かつ $V_{DD} = 1.8 \sim 5.5 \text{ V}$ で使用したい場合 :

ポート5をリードする命令を3回連続して実行してください。

上記制限事項を守らないと、入力値を正常に読み出せないことがあります。

なお、出力端子として使用する場合、もしくは μ PD78F9116A, 78F9136A以外の製品の場合は、この制限はありません。

5.2.5 ポート6

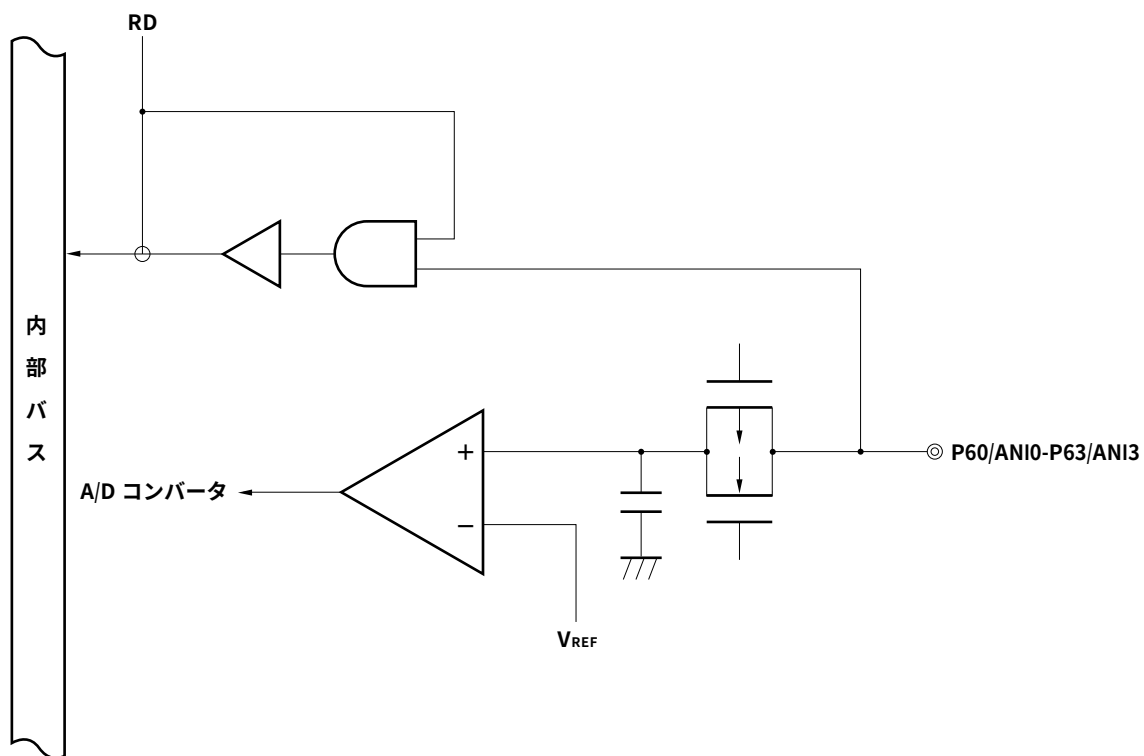
4ビット入力専用ポートです。

兼用機能としてA/Dコンバータのアナログ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-9にポート6のブロック図を示します。

図5-9 P60-P63のブロック図



5.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM2, PM5)
- ・プルアップ抵抗オプション・レジスタ0 (PU0)
- ・プルアップ抵抗オプション・レジスタB2 (PUB2)

(1) ポート・モード・レジスタ (PM0-PM2, PM5)

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表5-3のように設定してください。

注意 ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表5-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PM××	P××
	名称	入出力		
P23	INTP0	入力	1	×
	CPT20	入力	1	×
P24	INTP1	入力	1	×
	TO80	出力	0	0
	TO20	出力	0	0
P25	INTP2	入力	1	×
	TI80	入力	1	×

注意 ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表13-2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

図5-10 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-2, 5, n = 0-7)
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

各ポートの内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PU0の設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5-11 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	4	3	2	①	②	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0, 1)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

(3) プルアップ抵抗オプション・レジスタB2 (PUB2)

ポート2の各端子の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB2で内蔵プルアップ抵抗の使用を指定した端子は、ポート・モード・レジスタの設定にかかわらず、内部でプルアップ抵抗が使用できます。

PUB2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図5-12 プルアップ抵抗オプション・レジスタB2のフォーマット

略号	7	6	⑤	④	③	②	①	①	アドレス	リセット時	R/W
PUB2	0	0	PUB25	PUB24	PUB23	PUB22	PUB21	PUB20	FF32H	00H	R/W

PUB2n	P2nの内蔵プルアップ抵抗の選択 (n = 0-5)														
0	内蔵プルアップ抵抗を使用しない														
1	内蔵プルアップ抵抗を使用する														

5.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

5.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

5.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

注意 μ PD78F9116A, 78F9136Aにおいて、ポート5を入力端子として使用するときには次の制限事項を守ってください。

- $V_{DD} = 1.8 \sim 5.5$ Vで使用したい場合 : $T_A = 25 \sim 85$ °Cの範囲内でご使用ください。
- $T_A = -40 \sim +85$ °Cで使用したい場合 : $V_{DD} = 2.7 \sim 5.5$ Vの範囲内でご使用ください。
- $T_A = -40 \sim +85$ °Cかつ $V_{DD} = 1.8 \sim 5.5$ Vで使用したい場合 :

ポート5をリードする命令を3回連続して実行してください。

上記制限事項を守らないと、入力値を正常に読み出せないことがあります。

なお、出力端子として使用する場合、もしくは μ PD78F9116A, 78F9136A以外の製品の場合は、この制限はありません。

5.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第6章 クロック発生回路(μ PD789104A, 789114Aサブシリーズ)

6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。STOP命令の実行により、発振を停止できます。

システム・クロック発振回路には、次の1種類があります。

- ★ ・システム・クロック（水晶／セラミック）発振回路

〈拡張規格品の場合〉

1.0～10.0 MHzの周波数のクロックを発振します。

〈従来規格品の場合〉

1.0～5.0 MHzの周波数のクロックを発振します。

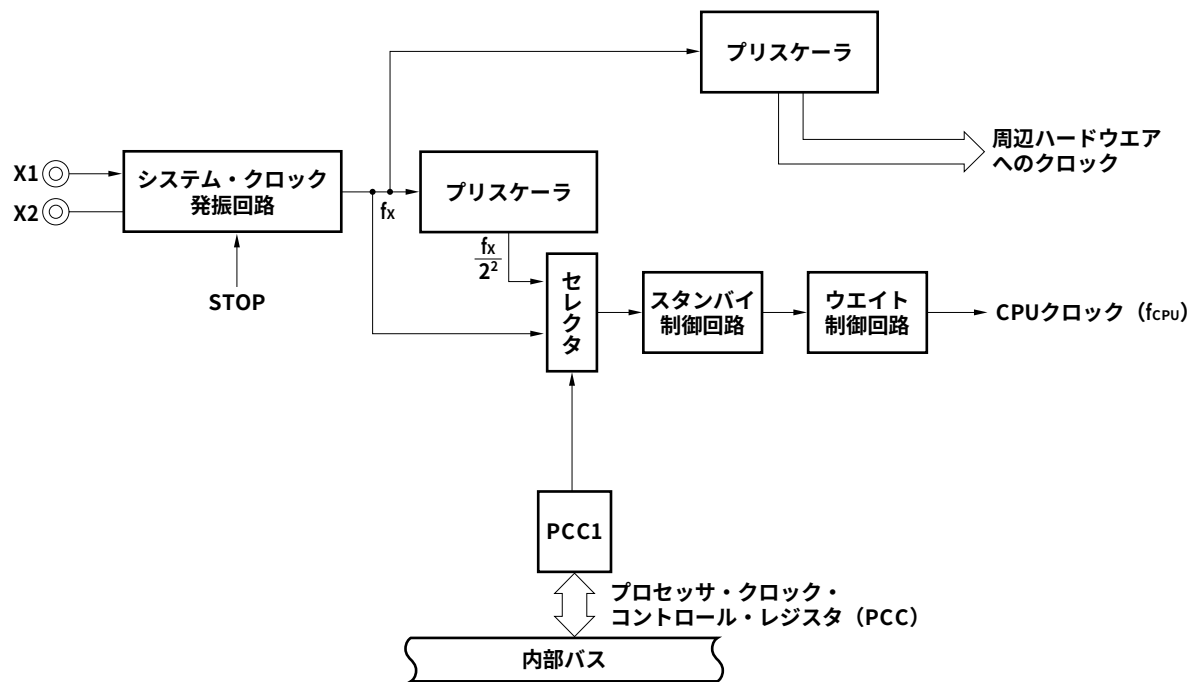
6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC）
発振回路	水晶／セラミック発振回路

図6-1 クロック発生回路のブロック図



6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択、分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図6-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC1	0	FFFBH	02H	R/W

★

PCC1	CPUクロック (f_{CPU}) の選択	最小命令実行時間: $2/f_{\text{CPU}}$	
		$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時
0	f_x	$0.2 \mu\text{s}$	$0.4 \mu\text{s}$
1	$f_x/2^2$	$0.8 \mu\text{s}$	$1.6 \mu\text{s}$

注 拡張規格品のみ。

注意 ビット0、ビット2-ビット7には必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

6.4 システム・クロック発振回路

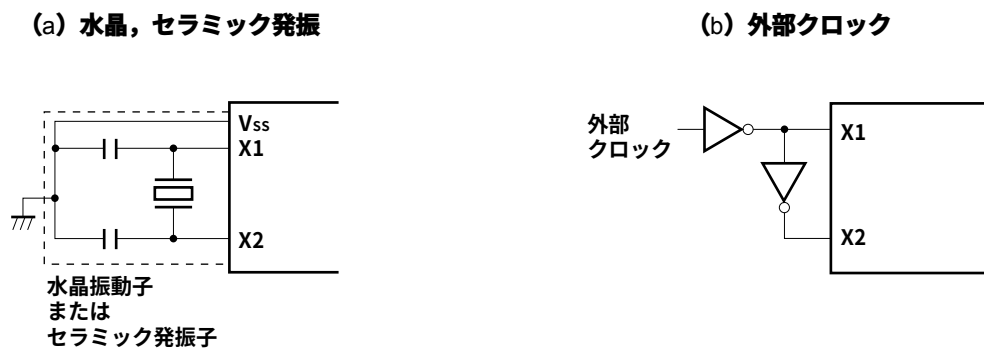
6.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図6-3にシステム・クロック発振回路の外付け回路を示します。

図6-3 システム・クロック発振回路の外付け回路



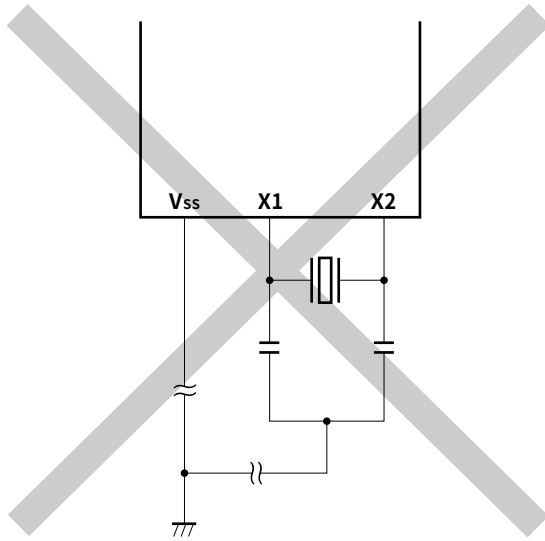
注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図6-3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

図6-4に発振子の接続の悪い例を示します。

図6-4 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い



(b) 信号線が交差している

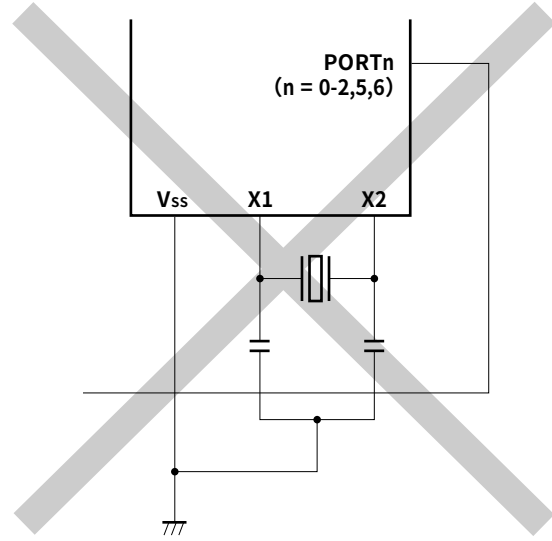
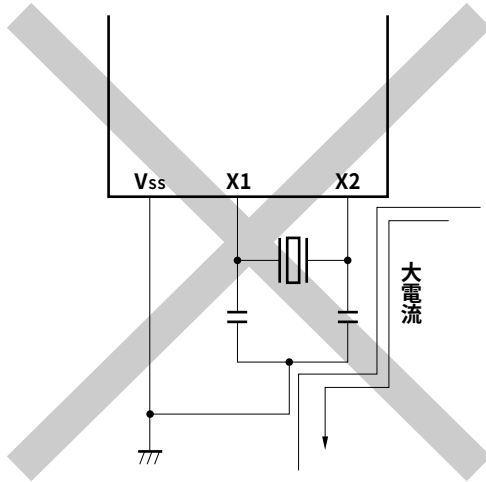
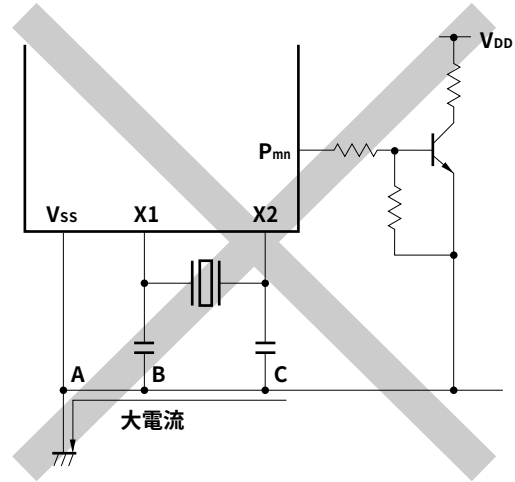


図6-4 発振子の接続の悪い例 (2/2)

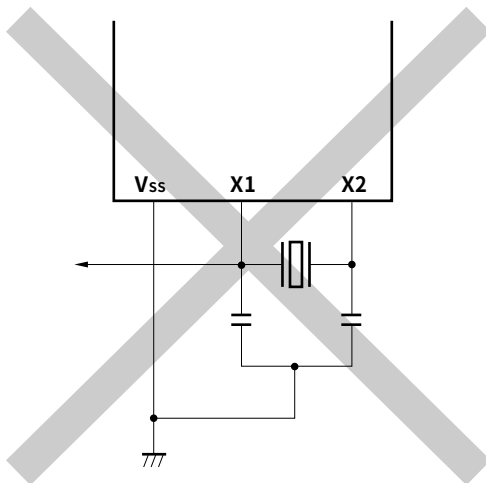
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



6.4.2 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック fx
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- ★ (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの低速モード (0.8 μ s : 10.0 MHz動作時, 1.6 μ s : 5.0 MHz動作時) が選択されます (PCC = 02H)。なお, $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間, システム・クロックの発振は停止します。
- ★ (b) PCCの設定により2段階の最小命令実行時間 (0.2 μ s, 0.8 μ s : 10.0 MHz動作時, 0.4 μ s, 1.6 μ s : 5.0 MHz動作時) を選択することができます。
- (c) STOPモード, HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため, システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし, 外部からの入力クロック動作は除く)。

6.6 CPUクロックの設定の変更

6.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表6-2参照）。

表6-2 CPUクロックの切り替えに要する最大時間

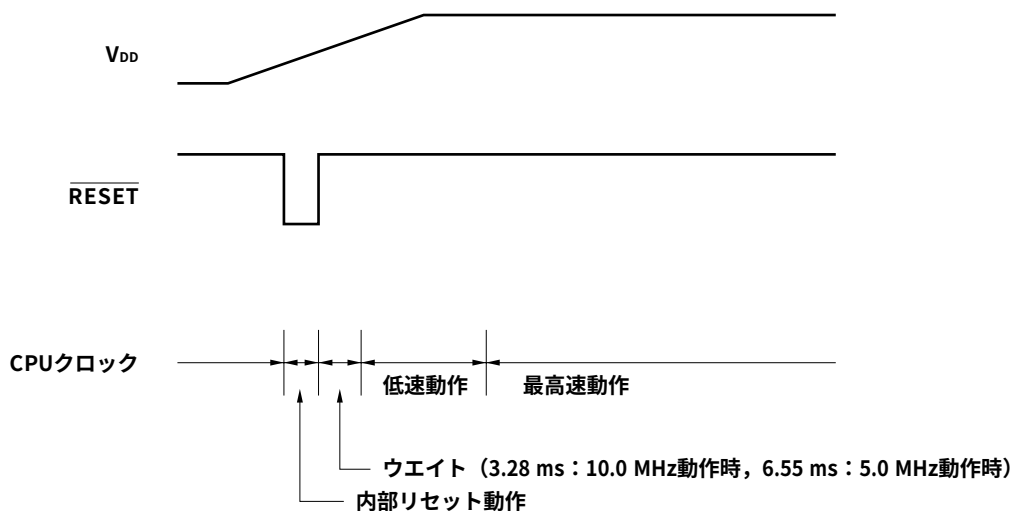
切り替え前の設定値	切り替え後の設定値	
PCC1	PCC1	PCC1
	0	1
0	2クロック	4クロック
1		

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

6.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図6-5 CPUクロックの切り替え



- ① 電源投入後、 $\overline{RESET}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{RESET}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。
その後、CPUはシステム・クロックの低速 ($8.0 \mu s$: 10.0 MHz動作時, $1.6 \mu s$: 5.0 MHz動作時) で命令の実行を開始します。
- ② V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）を書き換えて最高速動作を行います。

第7章 クロック発生回路(μ PD789124A, 789134Aサブシリーズ)

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発生回路には、次の1種類があります。

- ・システム・クロック（RC）発振回路
2.0～4.0 MHzの周波数のクロックを発振します。STOP命令の実行により、発振を停止できます。

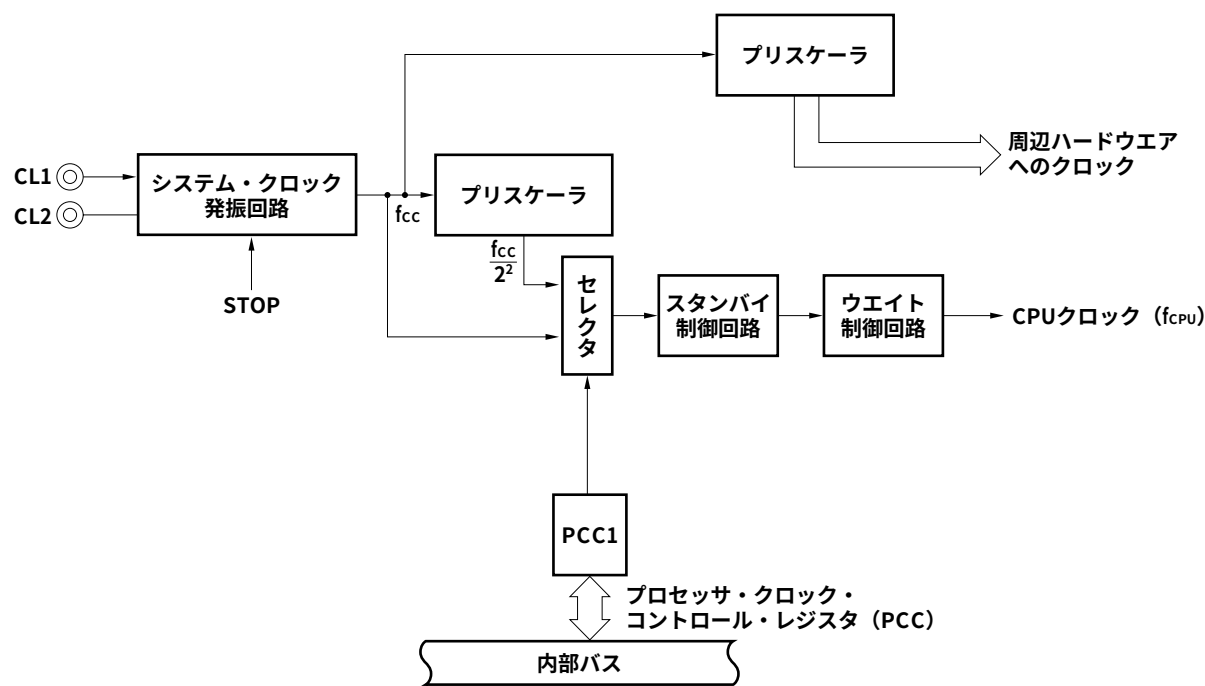
7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC）
発振回路	RC発振回路

図7-1 クロック発生回路のブロック図



7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択、分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図7-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC1	0	FFFBH	02H	R/W

★

PCC1	CPUクロック (f_{CPU}) の選択		最小命令実行時間: $2/f_{\text{CPU}}$	
			$f_{\text{CC}} = 4.0 \text{ MHz}$ 動作時	
0	f_{CC}		$0.5 \mu\text{s}$	
1	$f_{\text{CC}}/2^2$		$2.0 \mu\text{s}$	

注意 ビット0, 2-7には必ず0を設定してください。

備考 f_{CC} : システム・クロック発振周波数

7.4 システム・クロック発振回路

7.4.1 システム・クロック発振回路

システム・クロック発振回路はCL1, CL2端子に接続された抵抗 (R) とコンデンサ (C) (標準: 4.0 MHz) によって発振します。

また, 外部クロックを入力することもできます。その場合, CL1端子にクロック信号を入力し, CL2端子には, その反転した信号を入力してください。

図7-3にシステム・クロック発振回路の外付け回路を示します。

図7-3 システム・クロック発振回路の外付け回路



注意 システム・クロック発振回路を使用する場合は, 配線容量などの影響を避けるために, 図7-3の破線の部分を次のように配線してください。

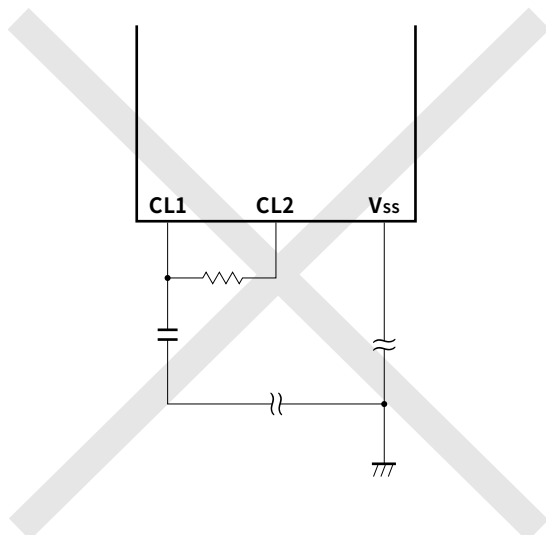
- ・配線は極力短くする。
- ・他の信号線と交差させない。また, 変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は, 常にVssと同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

7.4.2 発振子の接続の悪い例

図7-4に発振子の接続の悪い例を示します。

図7-4 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い



(b) 信号線が交差している

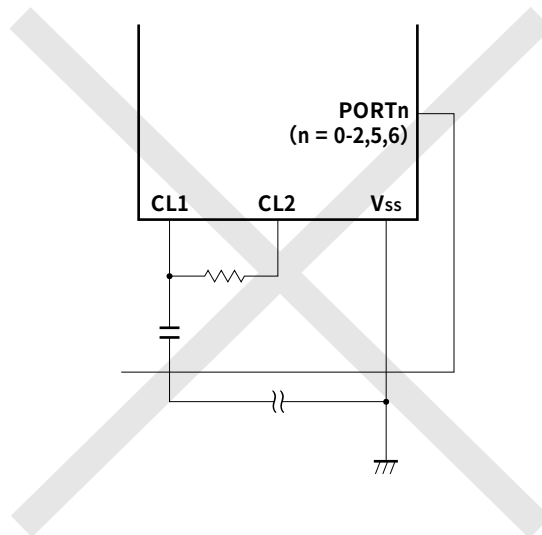
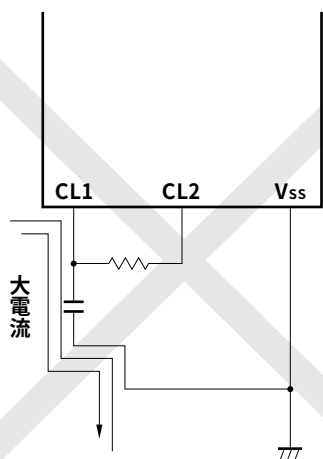
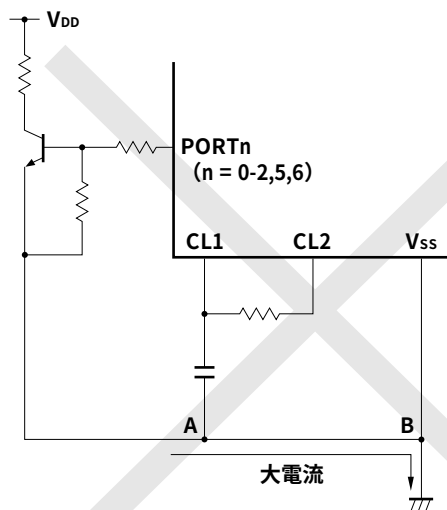


図7-4 発振子の接続の悪い例 (2/2)

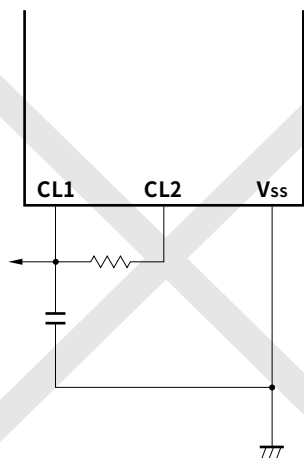
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点の電位が変動する)



(e) 信号を取り出している



7.4.3 分周回路

分周回路は、システム・クロック発振回路出力 (f_{CC}) を分周して、各種クロックを生成します。

7.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_{CC}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの低速モード (2.0 μ s : 4.0 MHz動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- ★ (b) PCCの設定により2段階の最小命令実行時間 (0.5 μ s, 2.0 μ s : 4.0 MHz動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

7.6 CPUクロックの設定の変更

7.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表7-2参照）。

表7-2 CPUクロックの切り替えに要する最大時間

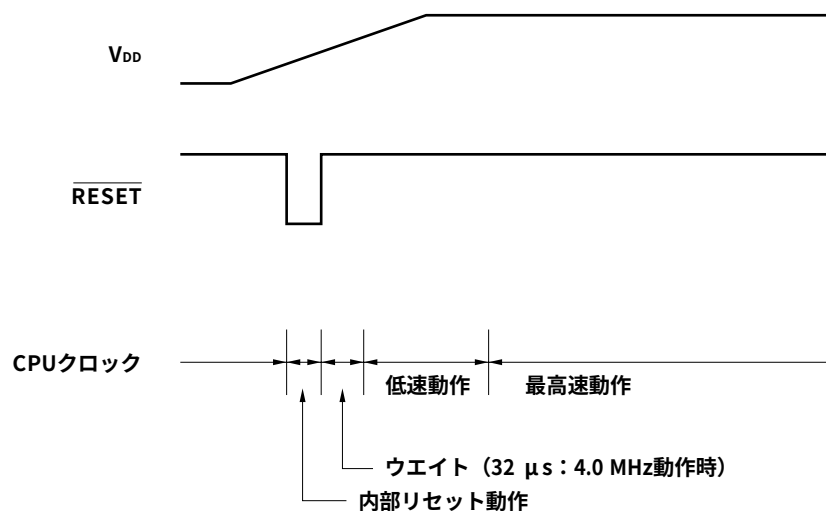
切り替え前の設定値	切り替え後の設定値	
	PCC1	PCC1
	0	1
0	2クロック	4クロック
1		

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

7.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図7-5 CPUクロックの切り替え



- ① 電源投入後、RESET端子をロウ・レベルにすることでCPUにリセットがかかります。その後、RESET端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^7/f_{CC}$) を確保します。

その後、CPUはシステム・クロックの低速 (2.0 μs : 4.0 MHz動作時) で命令の実行を開始します。

- ② VDD電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）を書き換えて最高速動作を行います。

第8章 16ビット・タイマ20

フリー・ランニング・カウンタを基準とし、タイマ割り込み、タイマ出力などの機能があります。また、キャプチャ・トリガ端子によるカウント値のキャプチャができます。

8.1 16ビット・タイマ20の機能

16ビット・タイマ20には、次のような機能があります。

- ・タイマ割り込み
- ・タイマ出力
- ・カウント値のキャプチャ

(1) タイマ割り込み

カウント値とコンペア値の一致で割り込みを発生します。

(2) タイマ出力

カウント値とコンペア値の一致でタイマ出力制御が可能です。

(3) カウント値のキャプチャ

キャプチャ・トリガに同期してTM20のカウント値をキャプチャ・レジスタに取り込み、保持します。

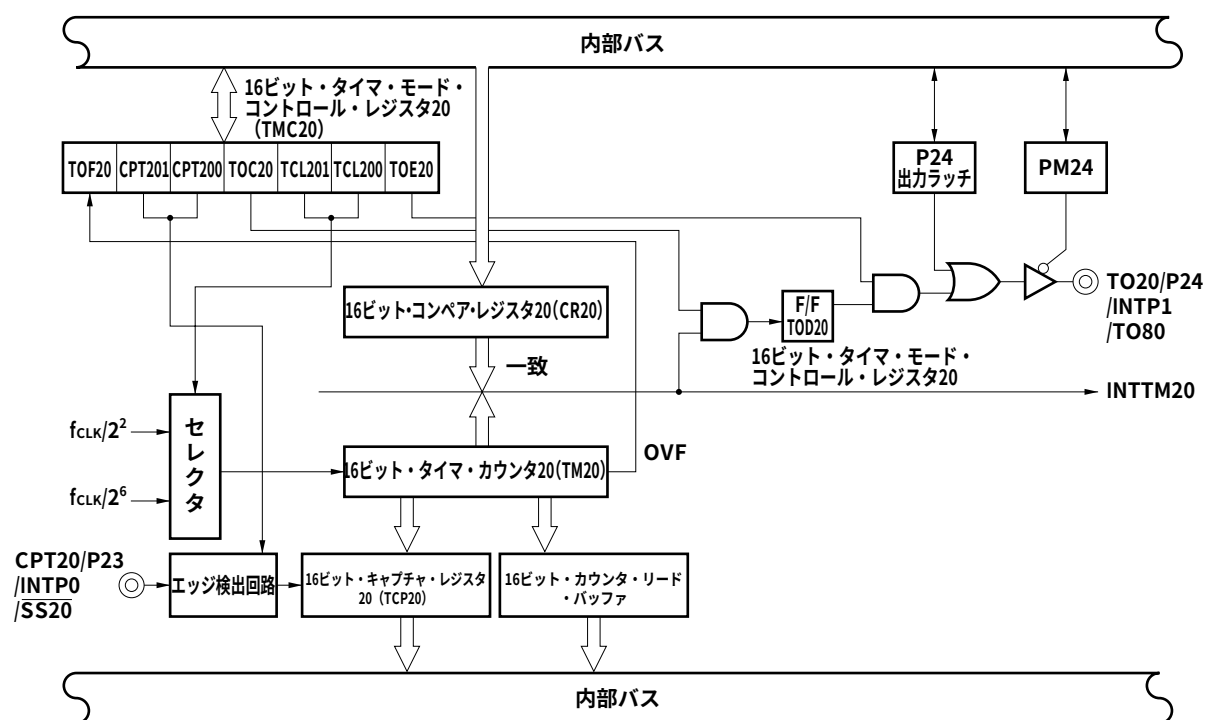
8.2 16ビット・タイマ20の構成

16ビット・タイマ20は、次のハードウェアで構成しています。

表8-1 16ビット・タイマ20の構成

項 目	構 成
タイマ・カウンタ	16ビット×1本 (TM20)
レジスタ	コンペア・レジスタ : 16ビット×1本 (CR20) キャプチャ・レジスタ : 16ビット×1本 (TCP20)
タイマ出力	1本 (TO20)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図8-1 16ビット・タイマ20のブロック図



備考 fCLK : fxまたはfCC

(1) 16ビット・コンペア・レジスタ20 (CR20)

CR20に設定した値と16ビット・タイマ・カウンタ20 (TM20) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM20) を発生する16ビットのレジスタです。

CR20は、16ビット・メモリ操作命令で設定します。0000H-FFFFHの設定が可能です。

$\overline{\text{RESET}}$ 入力により、FFFFHになります。

- 注意1.** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。
2. カウント動作中にCR20を書き換える場合は、あらかじめ、割り込みマスク・フラグ・レジスタ0 (MK0) で割り込み禁止にしてください。また、16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) でタイマ出力データを反転禁止に設定してください。割り込みを許可している状態でCR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) 16ビット・タイマ・カウンタ20 (TM20)

カウント・パルスをカウントする16ビットのレジスタです。

TM20は、16ビット・メモリ操作命令で読み出します。

カウント・クロックが入力されている間、フリー・ランニングします。

$\overline{\text{RESET}}$ 入力により、0000Hになり、再びフリー・ランニングします。

- 注意1.** ストップ解除後のカウント値は、発振安定時間中にカウント動作するため不定となります。
2. 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。
3. 8ビット・メモリ操作命令を使用する場合、下位バイト→上位バイトの順で必ずペアで読み出してください。

(3) 16ビット・キャプチャ・レジスタ20 (TCP20)

16ビット・タイマ・カウンタ20 (TM20) の内容をキャプチャする16ビットのレジスタです。

TCP20は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(4) 16ビット・カウンタ・リード・バッファ

16ビット・タイマ・カウンタ20 (TM20) のカウンタ値をラッチし、カウント値を保持します。

8.3 16ビット・タイマ20を制御するレジスタ

16ビット・タイマ20は、次の3種類のレジスタで制御します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)
- ・ ポート・モード・レジスタ2 (PM2)
- ・ ポート2 (P2)

(1) 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)

16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) は、カウント・クロック設定、キャプチャ・エッジなどの設定を制御するレジスタです。

TMC20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8-2 16ビット・タイマ・モード・コントロール・レジスタ20のフォーマット

略号	7	⑥	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC20	TOD20	TOF20	CPT201	CPT200	TOC20	TCL201	TCL200	TOE20	FF48H	00H	R/W ^{注1}

TOD20	タイマ出力データ
0	タイマ出力データが“0”
1	タイマ出力データが“1”

TOF20	オーバフロー・フラグのセット
0	リセットおよびソフトウェアでクリア
1	16ビット・タイマのオーバフローでセット

CPT201	CPT200	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT20端子の立ち上がりエッジ
1	0	CPT20端子の立ち下がりエッジ
1	1	CPT20端子の両エッジ

TOC20	タイマ出力データの反転制御
0	反転禁止
1	反転許可

★

TCL201	TCL200	16ビット・タイマ・カウンタ20のカウント・クロックの選択			
			$f_x = 10.0 \text{ MHz}$ 動作時 ^{注2}	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
0	0	$f_x/2^2$ または $f_{cc}/2^2$	2.5 MHz	1.25 MHz	1.0 MHz
0	1	$f_x/2^6$ または $f_{cc}/2^6$	156.2 kHz	78.1 kHz	62.5 kHz
上記以外		設定禁止			

TOE20	16ビット・タイマ20の出力の制御
0	出力禁止（ポート・モード）
1	出力許可

注1. ビット7は、Read Onlyです。

2. 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数（セラミック／水晶発振）

f_{cc} : システム・クロック発振周波数（RC発振）

(2) ポート・モード・レジスタ2 (PM2)

ポート2の入力／出力を1ビット単位で設定するレジスタです。

P24/TO20/INTP1/TO80端子をタイマ出力として使用するとき、PM24およびP24の出力ラッチに0を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図8-3 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM24	P24端子の入出力モードの選択
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

8.4 16ビット・タイマ20の動作

8.4.1 タイマ割り込みとしての動作

- ★ フリー・ランニングのカウンタの値が、CR20に設定した値になるたびに繰り返し割り込みを発生することができます。割り込み発生後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL201とTCL200で設定したカウント・クロックの1周期分となります。

16ビット・タイマ20をタイマ割り込みとして動作させるには次の設定をします。

- ・CR20にカウント値を設定
- ・16ビット・タイマ・モード・コントロール・レジスタ20（TMC20）を図8-4のように設定

図8-4 タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容

	TOD20	TOF20	CPT201	CPT200	TOC20	TCL201	TCL200	TOE20
TMC20	—	0/1	0/1	0/1	0/1	0	0/1	0/1

————— カウント・クロックの設定（表8-2参照）

注意 CPT201フラグとCPT200フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ20（TM20）のカウント値がCR20に設定した値と一致したとき、TM20のカウントをそのまま継続するとともに、割り込み要求信号（INTTM20）を発生します。

表8-2にインターバル時間を、図8-5にタイマ割り込み動作のタイミングを示します。

注意 カウント動作中にCR20を書き換える場合は必ず次の処理を行ってください。

- ① 割り込みを禁止に設定（TMMK20（割り込みマスク・フラグ・レジスタ0（MK0）のビット7）＝1）

- ② タイマ出力データの反転制御を禁止に設定（TOC20＝0）

割り込みを許可している状態で、CR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

★ 表8-2 16ビット・タイマ20のインターバル時間

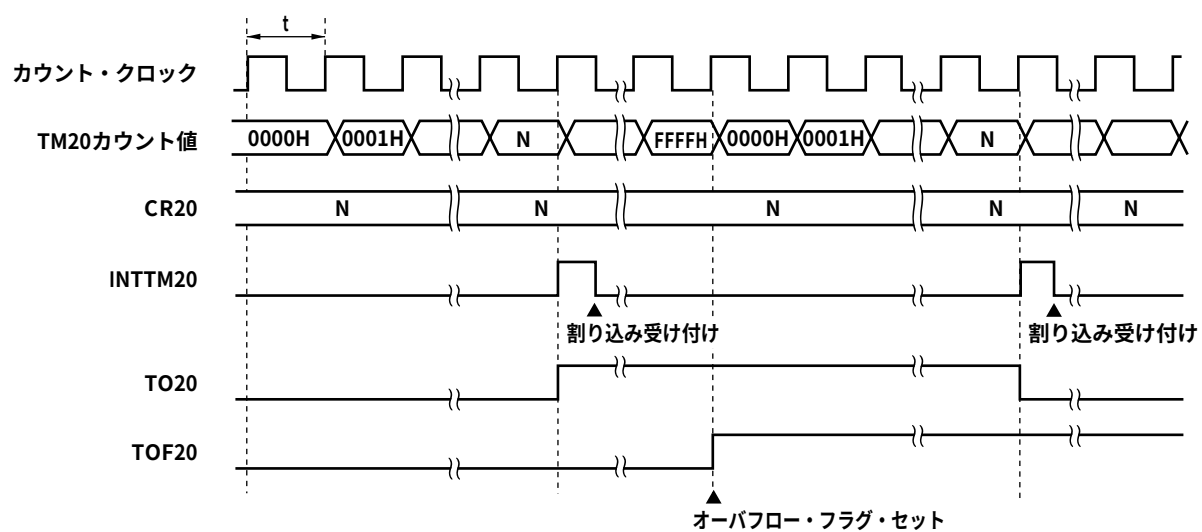
TCL201	TCL200		カウント・クロック				インターバル時間		
			fx = 10.0 MHz 動作時 ^注	fx = 5.0 MHz 動作時	fcc = 4.0 MHz 動作時		fx = 10.0 MHz 動作時 ^注	fx = 5.0 MHz 動作時	fcc = 4.0 MHz 動作時
0	0	2 ² /fxまたは 2 ² /fcc	0.4 μs	0.8 μs	1.0 μs	2 ¹⁸ /fxまたは 2 ¹⁸ /fcc	26.2 ms	52.4 ms	65.5 ms
0	1	2 ⁶ /fxまたは 2 ⁶ /fcc	6.4 μs	12.8 μs	16 μs	2 ²² /fxまたは 2 ²² /fcc	419.4 ms	838.9 ms	1048 ms
上記以外		設定禁止							

注 拡張規格品のみ。

備考 fx ：システム・クロック発振周波数（セラミック／水晶発振）

fcc ：システム・クロック発振周波数（RC発振）

図8-5 タイマ割り込み動作のタイミング



備考 N = 0000H-FFFFH

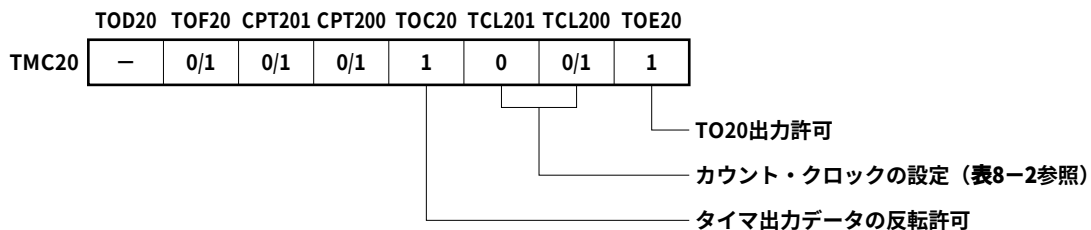
8.4.2 タイマ出力としての動作

★ フリー・ランニングのカウンタの値が、CR20に設定した値になるたびに繰り返しタイマ出力を反転することができます。タイマ出力を反転後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL201とTCL200で設定したカウント・クロックの1周期分となります。

16ビット・タイマ20をタイマ出力として動作させるには次の設定をします。

- P24を出力モード (PM24 = 0) に設定
- P24の出力ラッチに0を設定
- CR20にカウント値を設定
- 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) を図8-6のように設定

図8-6 タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容

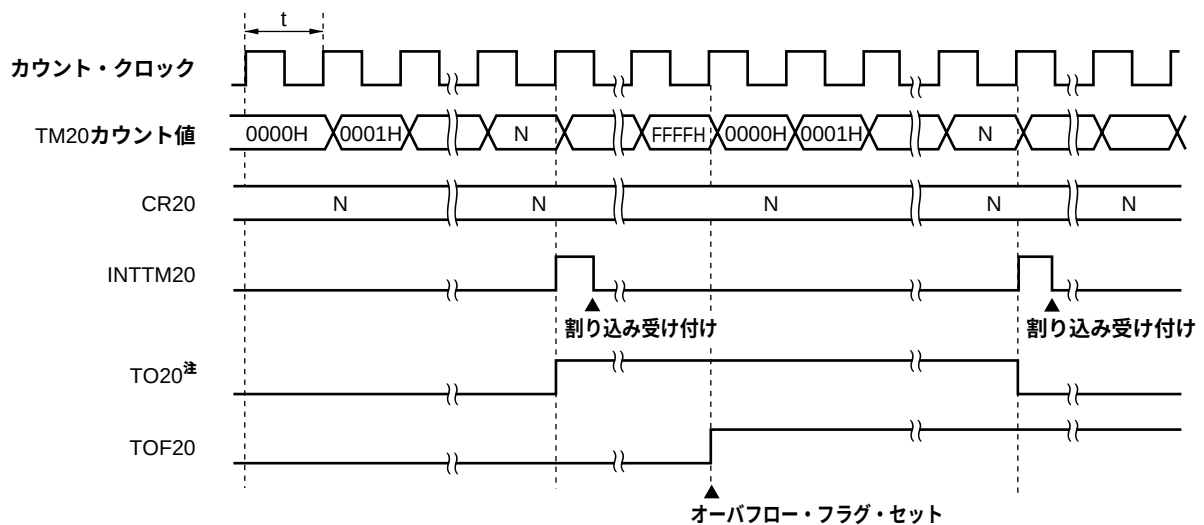


注意 CPT201フラグとCPT200フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ20 (TM20) のカウント値がCR20に設定した値と一致したとき、TO20/P24/INTP1/TO80端子の出力状態が反転します。これによりタイマ出力が可能です。また、このとき、TM20のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM20) を発生します。

図8-7にタイマ出力のタイミングを示します (16ビット・タイマ20のインターバル時間は表8-2を参照してください)。

図8-7 タイマ出力のタイミング



注 出力許可 (TOE20 = 1) 時のTO20の初期値はロウ・レベルになります。

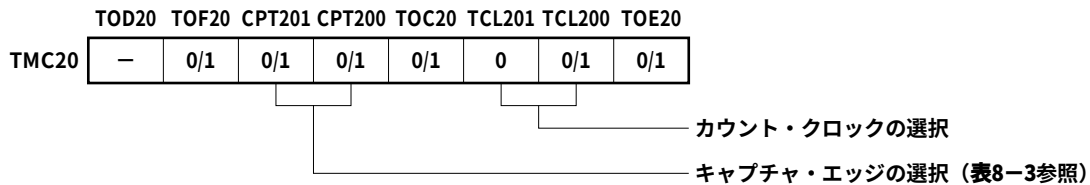
備考 N = 0000H-FFFFH

8.4.3 キャプチャ動作

キャプチャ・トリガに同期して、16ビット・タイマ・カウンタ20（TM20）のカウンタ値をキャプチャ・レジスタに取り込み、カウンタ値を保持するキャプチャ動作を行います。

16ビット・タイマ20をキャプチャ動作させるには図8-8のように設定します。

図8-8 キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容



16ビット・キャプチャ・レジスタ20（TCP20）は、CPT20のキャプチャ・トリガ・エッジが検出されたあと、キャプチャ動作を開始し、16ビット・タイマ・カウンタ20のカウンタ値をラッチし、保持します。TCP20は、2クロック以内にカウンタ値をフェッチし、次のキャプチャ・エッジが検出されるまでカウンタ値を保持します。

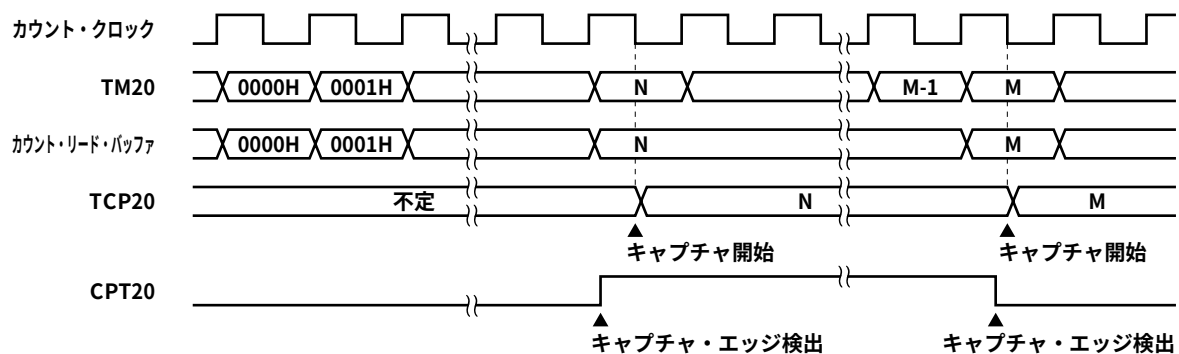
表8-3にキャプチャ・エッジの設定内容を、図8-9にキャプチャ動作のタイミングを示します。

表8-3 キャプチャ・エッジの設定内容

CPT201	CPT200	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT20端子の立ち上がりエッジ
1	0	CPT20端子の立ち下がりエッジ
1	1	CPT20端子の両エッジ

注意 TCP20のリード期間中にキャプチャ・トリガ・エッジが検出されると、TCP20は書き換えられるので、TCP20のリード期間中はキャプチャ・トリガ・エッジ検出を禁止にしてください。

図8-9 キャプチャ動作のタイミング（CPT20端子の両エッジ指定時）



備考 N, M = 0000H-FFFFH

8.4.4 16ビット・タイマ・カウンタ20の読み出し

16ビット・タイマ・カウンタ20 (TM20) のカウント値は16ビット操作命令で読み出します。

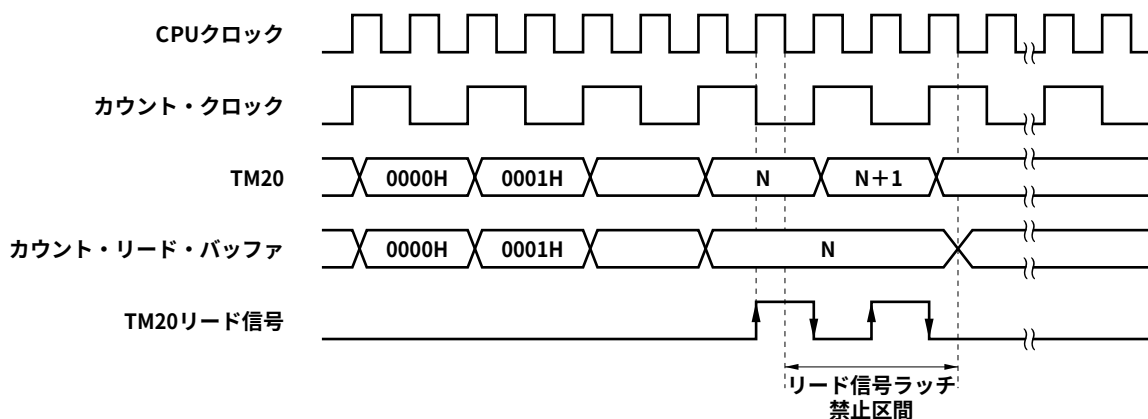
TM20の読み出しは、カウンタ・リード・バッファを介して行います。カウンタ・リード・バッファはTM20のカウント値をラッチします。そして、TM20の下位バイトのリード信号が立ち上がったあとのCPUクロックの立ち下がりでバッファ動作を保留し、カウント値を保持します。この保持状態のカウンタ・リード・バッファの値をカウント値として読み出すことができます。

保留の解除は、TM20の上位バイトのリード信号が立ち下がったあとのCPUクロックの立ち下がりで行います。TM20は、 $\overline{\text{RESET}}$ 入力により0000Hになり、再びフリー・ランニングします。

図8-10に16ビット・タイマ・カウンタ20の読み出しのタイミングを示します。

- 注意1.** ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。
- TM20は16ビット転送命令専用のレジスタですが、8ビット転送命令も使用できます。
8ビット転送命令を使用する場合、ダイレクト・アドレッシングで行ってください。
 - 8ビット転送命令を使用するとき、下位バイト→上位バイトの順で必ずペアで行ってください。下位バイトのみの読み出しは、カウンタ・リード・バッファの保留状態が解除されず、また、上位バイトのみの読み出しは不定となったカウント値を読み込んでしまいます。

図8-10 16ビット・タイマ・カウンタ20の読み出しのタイミング



備考 N = 0000H-FFFFH

★ 8.5 16ビット・タイマ20の注意事項

8.5.1 16ビット・コンペア・レジスタ20を書き換える際の制限事項

(1) コンペア・レジスタ (CR20) を書き換える場合は、必ず割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) してから行ってください。

割り込みを許可している状態で、CR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) コンペア・レジスタ (CR20) を書き換えるタイミングによっては、インターバル時間が意図する時間の2倍となる場合があります。同様に、タイマ出力波形が意図する出力よりも短い波形や2倍の波形が出力されてしまう場合があります。

これを回避するために、次のどちらかの手順で書き換えを行ってください。

<回避策A>8ビット・アクセスで書き換える場合

- ① 割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) に設定
- ② 先にCR20 (16ビット) の上位1バイトを書き換える
- ③ 次にCR20 (16ビット) の下位1バイトを書き換える
- ④ 割り込み要求フラグ (TMIF20) をクリアする
- ⑤ 割り込みの先頭からカウント・クロックの半周期分以上経過したあとで、
タイマ割り込み許可／タイマ出力反転許可する。

<プログラム例A> (カウント・クロック = 64/fx, CPUクロック = fxの場合)

TM20_VCT:	SET1	TMMK20	;タイマ割り込み禁止 (6クロック)	} 合計32クロック 以上 ^注
	CLR1	TMC20.3	;タイマ出力反転禁止 (6クロック)	
	MOV	A, #xxH	;上位バイト書き換え値設定 (6クロック)	
	MOV	!0FF17H, A	;CR20 上位バイト書き換え (8クロック)	
	MOV	A, #yyH	;下位バイト書き換え値設定 (6クロック)	
	MOV	!0FF16H, A	;CR20 下位バイト書き換え (8クロック)	
	CLR1	TMIF20	;割り込み要求フラグをクリア (6クロック)	
	CLR1	TMMK20	;タイマ割り込み許可 (6クロック)	
	SET1	TMC20.3	;タイマ出力反転許可	

注 INTTM20信号は、割り込み発生してからカウント・クロックの半周期の期間、ハイ・レベルになっているので、この期間にTOC20を1にセットすると出力が反転してしまうため。

<回避策B>16ビット・アクセスで書き換える場合

- ① 割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) に設定
- ② CR20 (16ビット) を書き換える
- ③ カウント・クロックの1周期分以上ウエイトする
- ④ 割り込み要求フラグ (TMIF20) をクリアする
- ⑤ タイマ割り込み許可／タイマ出力反転許可する。

<プログラム例B> (カウント・クロック = $64/f_x$, CPUクロック = f_x の場合)

```

TM20_VCT   SET1    TMMK20      ;タイマ割り込み禁止
           CLR1    TMC20.3     ;タイマ出力反転禁止
           MOVW    AX, #xyyH   ;CR20 書き換え値設定
           MOVW    CR20, AX    ;CR20 書き換え

           NOP
           NOP
           :
           NOP
           NOP
           }           ;NOP32個 (64/fx分のウエイト) 注
           CLR1    TMIF20      ;割り込み要求フラグをクリア
           CLR1    TMMK20      ;タイマ割り込み許可
           SET1    TMC20.3     ;タイマ出力反転許可

```

注 CR20を書き換える命令 (MOVW CR20, AX) から、カウント・クロックの1周期分以上ウエイトしたあとで、割り込み要求フラグ (TMIF20) をクリアしてください。

第9章 8ビット・タイマ／イベント・カウンタ80

インターバル・タイマ，外部イベント・カウンタ，任意の周波数の方形波出力，PWM出力などに使用することができます。

9.1 8ビット・タイマ／イベント・カウンタ80の機能

8ビット・タイマ／イベント・カウンタ80には，次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表9-1 8ビット・タイマ／イベント・カウンタ80のインターバル時間

	最小インターバル時間	最大インターバル時間	分解能
★ $f_x = 10.0 \text{ MHz}$ 動作時 ^注	$1/f_x$ (100 ns)	$2^8/f_x$ (25.6 μs)	$1/f_x$ (100 ns)
	$2^3/f_x$ (0.8 μs)	$2^{11}/f_x$ (204.8 μs)	$2^3/f_x$ (0.8 μs)
$f_x = 5.0 \text{ MHz}$ 動作時	$1/f_x$ (200 ns)	$2^8/f_x$ (51.2 μs)	$1/f_x$ (200 ns)
	$2^3/f_x$ (1.6 μs)	$2^{11}/f_x$ (409.6 μs)	$2^3/f_x$ (1.6 μs)
$f_{cc} = 4.0 \text{ MHz}$ 動作時	$1/f_{cc}$ (250 ns)	$2^8/f_{cc}$ (64 μs)	$1/f_{cc}$ (250 ns)
	$2^3/f_{cc}$ (2.0 μs)	$2^{11}/f_{cc}$ (512 μs)	$2^3/f_{cc}$ (2.0 μs)

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9-2 8ビット・タイマ／イベント・カウンタ80の方形波出力範囲

	最小パルス幅	最大パルス幅	分解能
★ $f_x = 10.0 \text{ MHz}$ 動作時 ^注	$1/f_x$ (100 ns)	$2^8/f_x$ (25.6 μs)	$1/f_x$ (100 ns)
	$2^3/f_x$ (0.8 μs)	$2^{11}/f_x$ (204.8 μs)	$2^3/f_x$ (0.8 μs)
$f_x = 5.0 \text{ MHz}$ 動作時	$1/f_x$ (200 ns)	$2^8/f_x$ (51.2 μs)	$1/f_x$ (200 ns)
	$2^3/f_x$ (1.6 μs)	$2^{11}/f_x$ (409.6 μs)	$2^3/f_x$ (1.6 μs)
$f_{cc} = 4.0 \text{ MHz}$ 動作時	$1/f_{cc}$ (250 ns)	$2^8/f_{cc}$ (64 μs)	$1/f_{cc}$ (250 ns)
	$2^3/f_{cc}$ (2.0 μs)	$2^{11}/f_{cc}$ (512 μs)	$2^3/f_{cc}$ (2.0 μs)

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

(4) PWM出力

8ビット分解能のPWM出力ができます。

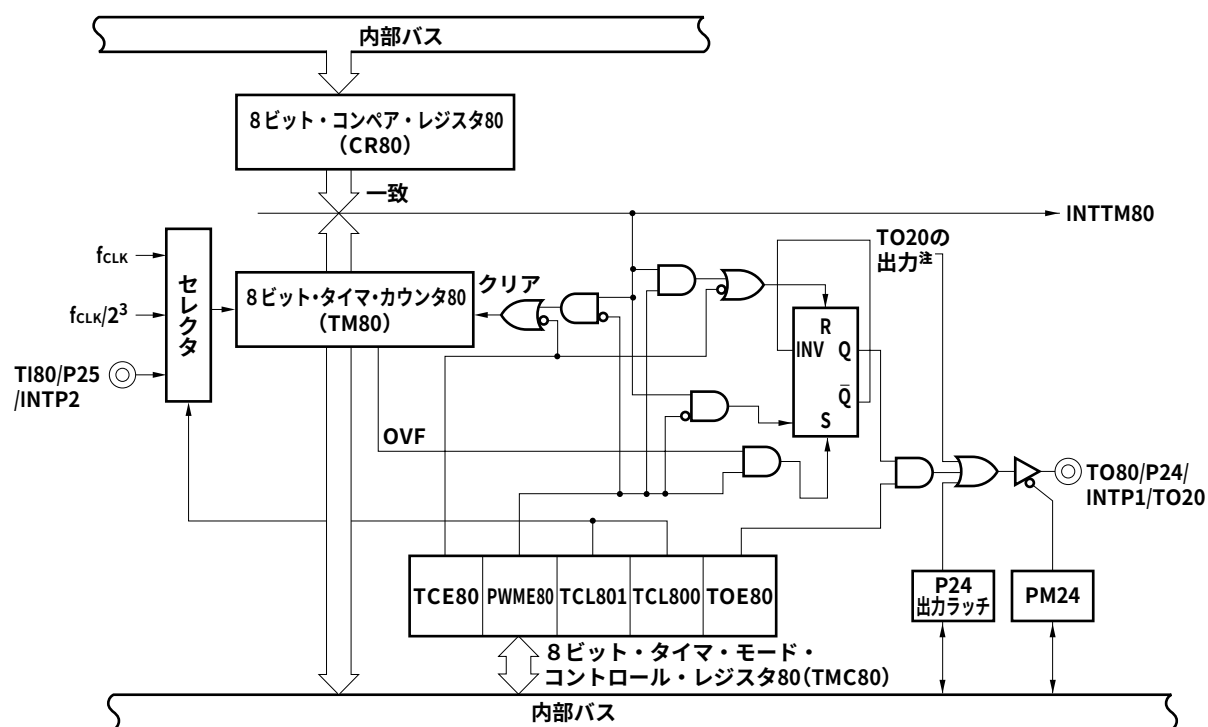
9.2 8ビット・タイマ／イベント・カウンタ80の構成

8ビット・タイマ／イベント・カウンタ80は、次のハードウェアで構成しています。

表9-3 8ビット・タイマ／イベント・カウンタ80の構成

項 目	構 成
タイマ・カウンタ	8ビット×1本 (TM80)
レジスタ	コンペア・レジスタ: 8ビット×1本 (CR80)
タイマ出力	1本 (TO80)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図9-1 8ビット・タイマ/イベント・カウンタ80のブロック図



注 16ビット・タイマ20のブロック図参照

備考 fCLK : fxまたはfcc

(1) 8ビット・コンペア・レジスタ80 (CR80)

CR80に設定した値と8ビット・タイマ・カウンタ80 (TM80) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM80) を発生する8ビットのレジスタです。

CR80は、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意1. タイマ・カウンタ動作モード時 (PWME80 = 0 : 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) のビット6) にCR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

2. PWM出力動作モード時 (PWME80 = 1) では、CR80に00Hを設定しないでください。PWMが正常に出力されないことがあります。

(2) 8ビット・タイマ・カウンタ80 (TM80)

カウント・パルスをカウントする8ビットのレジスタです。

TM80は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

9.3 8ビット・タイマ／イベント・カウンタ80を制御するレジスタ

8ビット・タイマ／イベント・カウンタ80は、次の3種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ80（TMC80）
- ・ポート・モード・レジスタ2（PM2）
- ・ポート2（P2）

(1) 8ビット・タイマ・モード・コントロール・レジスタ80（TMC80）

8ビット・タイマ・カウンタ80（TM80）の動作許可／停止，TM80のカウント・クロックの設定，および8ビット・タイマ／イベント・カウンタ80の出力制御回路の動作を制御するレジスタです。

TMC80は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-2 8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット

略号	⑦	⑥	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC80	TCE80	PWME80	0	0	0	TCL801	TCL800	TOE80	F F 5 3 H	0 0 H	R/W

TCE80	8ビット・タイマ・カウンタ80の動作の制御
0	動作停止（TM80は0にクリア）
1	動作許可

PWME80	動作モードの選択
0	タイマ・カウンタ動作モード
1	PWM出力動作モード

★

TCL801	TCL800	8ビット・タイマ・カウンタ80のカウント・クロックの選択			
			$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
0	0	f_x または f_{cc}	10.0 MHz	5.0 MHz	4.0 MHz
0	1	$f_x/2^3$ または $f_{cc}/2^3$	1.25 MHz	625 kHz	500 kHz
1	0	TI80の立ち上がりエッジ			
1	1	TI80の立ち下がりエッジ			

TOE80	8ビット・タイマ／イベント・カウンタ80の出力の制御
0	出力禁止（ポート・モード）
1	出力許可

注 拡張規格品のみ。

注意 TMC80の設定は、必ずタイマ動作を停止させたのちに行ってください。

備考 f_x : システム・クロック発振周波数（セラミック／水晶発振）

f_{cc} : システム・クロック発振周波数（RC発振）

(2) ポート・モード・レジスタ2 (PM2)

ポート2の入力／出力を1ビット単位で設定するレジスタです。

P24/TO80/INTP1/TO20端子をタイマ出力として使用するとき、PM24およびP24の出力ラッチに0を設定してください。タイマ入力として使用するときは、PM24に1を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図9-3 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM2n	P2n端子の入出力モードの設定 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマ／イベント・カウンタ80の動作

9.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ80（CR80）に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ／イベント・カウンタをインターバル・タイマとして動作させるには次の順序で設定をします。

- ① 8ビット・タイマ・カウンタ80（TM80）を動作禁止（TCE80（8ビット・タイマ・モード・コントロール・レジスタ80（TMC80）のビット7）= 0）に設定
- ② 8ビット・タイマ／イベント・カウンタ80のカウント・クロックを設定（図9-2参照）
- ③ CR80にカウント値を設定
- ④ TM80を動作許可（TCE80 = 1）に設定

8ビット・タイマ・カウンタ80（TM80）のカウント値がCR80に設定した値と一致したとき、TM80の値を0にクリアしてカウントを継続するとともに、割り込み要求信号（INTTM80）を発生します。

表9-4、表9-5にインターバル時間を、図9-4にインターバル・タイマ動作のタイミングを示します。

- 注意1.** CR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
- 2.** TMC80でカウント・クロックの設定とTM80の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で設定してください。

★ 表9-4 8ビット・タイマ／イベント・カウンタ80のインターバル時間（ $f_x = 5.0 \text{ MHz}$, 10.0 MHz 動作時）

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$1/f_x$ (100 ns) [200 ns]	$2^8/f_x$ (25.6 μs) [51.2 μs]	$1/f_x$ (100 ns) [200 ns]
0	1	$2^3/f_x$ (0.8 μs) [1.6 μs]	$2^{11}/f_x$ (204.8 μs) [409.6 μs]	$2^3/f_x$ (0.8 μs) [1.6 μs]
1	0	TI80入力周期	$2^8 \times \text{TI80入力周期}$	TI80入力エッジ周期
1	1	TI80入力周期	$2^8 \times \text{TI80入力周期}$	TI80入力エッジ周期

備考1. f_x ：システム・クロック発振周波数（セラミック／水晶発振）

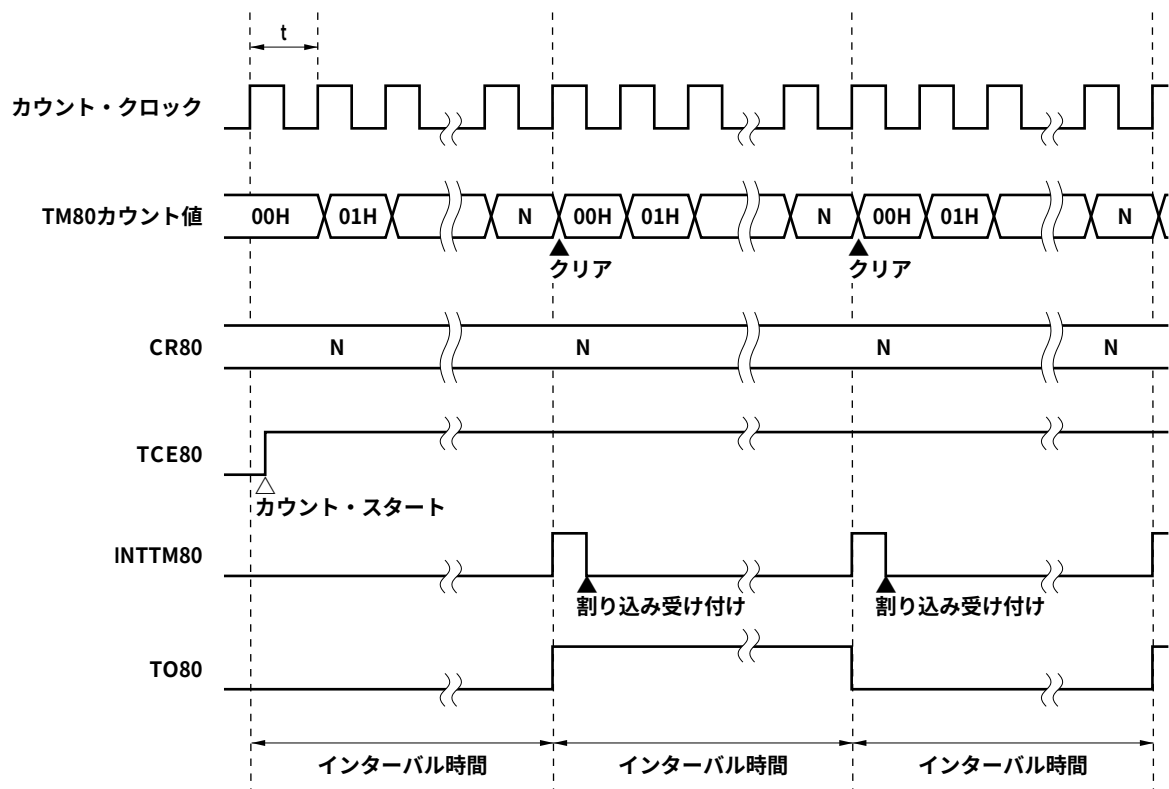
2. () 内は、 $f_x = 10.0 \text{ MHz}$ 動作時（拡張規格品のみ）
3. [] 内は、 $f_x = 5.0 \text{ MHz}$ 動作時

表9-5 8ビット・タイマ／イベント・カウンタ80のインターバル時間（ $f_{cc} = 4.0 \text{ MHz}$ 動作時）

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$1/f_{cc}$ (250 ns)	$2^8/f_{cc}$ (64 μs)	$1/f_{cc}$ (250 ns)
0	1	$2^3/f_{cc}$ (2.0 μs)	$2^{11}/f_{cc}$ (512 μs)	$2^3/f_{cc}$ (2.0 μs)
1	0	TI80入力周期	$2^8 \times \text{TI80入力周期}$	TI80入力エッジ周期
1	1	TI80入力周期	$2^8 \times \text{TI80入力周期}$	TI80入力エッジ周期

備考 f_{cc} ：システム・クロック発振周波数（RC発振）

図9-4 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N+1) \times t$: $N = 00H-FFH$

9.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI80/P25/INTP2端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ80 (TM80) でカウントするものです。

8ビット・タイマ／イベント・カウンタ80を外部イベント・カウンタとして動作させるには次の順序で設定します。

- ① P25を入力モード (PM25 = 1) に設定
- ② 8ビット・タイマ・カウンタ80 (TM80) を動作禁止 (TCE80 (8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) のビット7) = 0) に設定
- ③ TI80の立ち上がり／立ち下がりエッジを指定 (図9-2参照) し、TO80を出力禁止 (TOE80 (TMC80のビット0) = 0) , およびPWM出力を禁止 (PWME80 (TMC80のビット6) = 0) に設定
- ④ CR80にカウント値を設定
- ⑤ TM80を動作許可 (TCE80 = 1) に設定

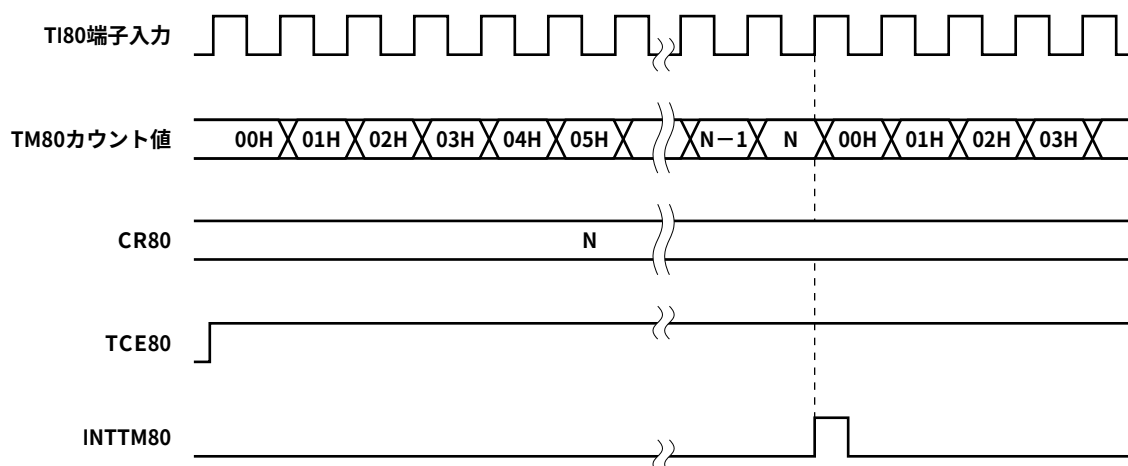
TMC80のビット1 (TCL800) で指定した有効エッジが入力されるたびに8ビット・タイマ・カウンタ80 (TM80) がインクリメントされます。

TM80のカウント値がCR80に設定した値と一致したとき、TM80の値を0にクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM80) を発生します。

図9-5に外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を示します。

- 注意1.** CR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
- 2.** TMC80でカウント・クロックの設定とTM80の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、外部イベント・カウンタとして動作させる際には、必ず上記の順序で設定してください。

図9-5 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

9.4.3 方形波出力としての動作

8ビット・コンペア・レジスタ80（CR80）にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ／イベント・カウンタ80を方形波出力として動作させるには次の順序で設定をします。

- ① P24を出力モード（PM24 = 0）に、P24の出力ラッチを0に設定
- ② 8ビット・タイマ・カウンタ80（TM80）を動作禁止（TCE80 = 0）に設定
- ③ 8ビット・タイマ／イベント・カウンタ80のカウント・クロックを設定（図9-2参照）し、TO80を出力許可（TOE80 = 1）、およびPWM出力を禁止（PWME80 = 0）に設定
- ④ CR80にカウント値を設定
- ⑤ TM80を動作許可（TCE80 = 1）に設定

8ビット・タイマ・カウンタ80（TM80）のカウント値がCR80に設定した値と一致したとき、TO80/P24/INTP1/TO20端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM80の値は、0にクリアされてカウントを継続するとともに、割り込み要求信号（INTTM80）を発生します。

方形波出力は、TMC80のビット7（TCE80）に0を設定するとクリア（0）されます。

表9-6、表9-7に方形波出力範囲を、図9-6に方形波出力のタイミングを示します。

- 注意1. CR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
2. TMC80でカウント・クロックの設定とTM80の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で設定してください。

★ 表9-6 8ビット・タイマ／イベント・カウンタ80の方形波出力範囲（ $f_x = 5.0 \text{ MHz}$, 10.0 MHz 動作時）

TCL801	TCL800	最小パルス幅	最大パルス幅	分解能
0	0	$1/f_x$ (100 ns) [200 ns]	$2^9/f_x$ (25.6 μs) [51.2 μs]	$1/f_x$ (100 ns) [200 ns]
0	1	$2^3/f_x$ (0.8 μs) [1.6 μs]	$2^{11}/f_x$ (204.8 μs) [409.6 μs]	$2^3/f_x$ (0.8 μs) [1.6 μs]

備考1. f_x ：システム・クロック発振周波数（セラミック／水晶発振）

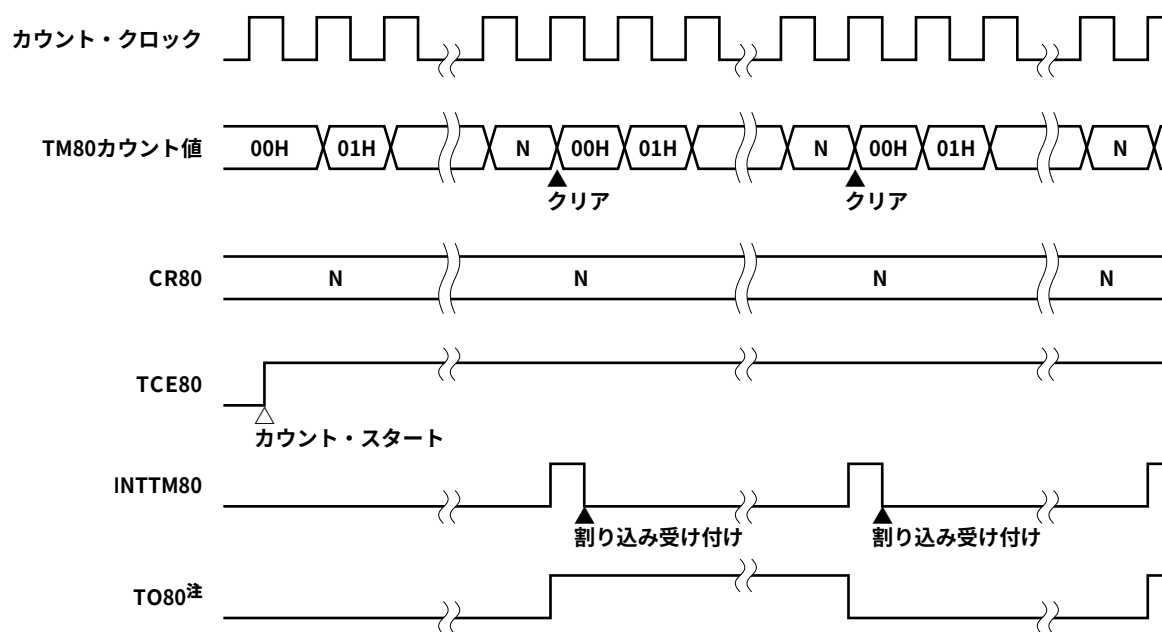
2. () 内は、 $f_x = 10.0 \text{ MHz}$ 動作時（拡張規格品のみ）
3. [] 内は、 $f_x = 5.0 \text{ MHz}$ 動作時

表9-7 8ビット・タイマ／イベント・カウンタ80の方形波出力範囲（ $f_{cc} = 4.0 \text{ MHz}$ 動作時）

TCL801	TCL800	最小パルス幅	最大パルス幅	分解能
0	0	$1/f_{cc}$ (250 ns)	$2^9/f_{cc}$ (64 μs)	$1/f_{cc}$ (250 ns)
0	1	$2^3/f_{cc}$ (2.0 μs)	$2^{11}/f_{cc}$ (512 μs)	$2^3/f_{cc}$ (2.0 μs)

備考 f_{cc} ：システム・クロック発振周波数（RC発振）

図9-6 方形波出力のタイミング



注 出力許可 (TOE80 = 1) 時のTO80の初期値は、ロウ・レベルになります。

9.4.4 PWM出力としての動作

PWM出力は、あらかじめ8ビット・コンペア・レジスタ80（CR80）に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

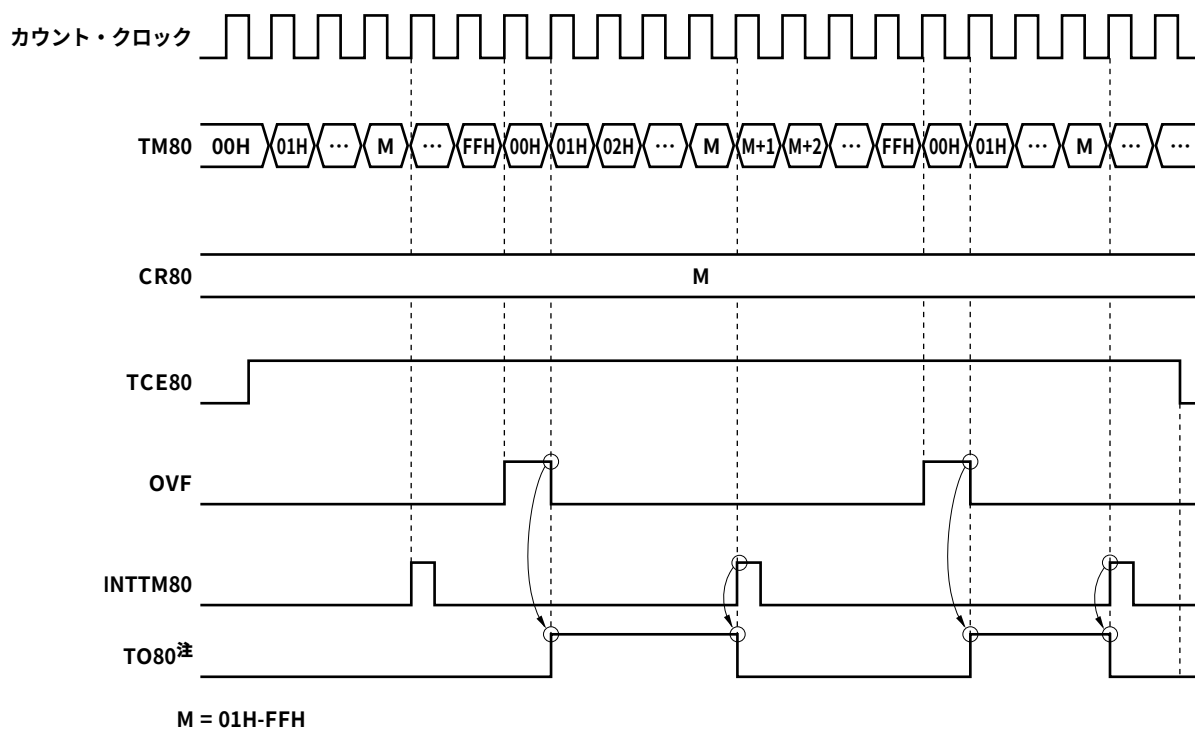
8ビット・タイマ／イベント・カウンタ80をPWM出力として動作させるには次の順序で設定をします。

- ① P24を出力モード（PM24 = 0）に、P24の出力ラッチを0に設定
- ② 8ビット・タイマ・カウンタ80（TM80）を動作禁止（TCE80 = 0）に設定
- ③ 8ビット・タイマ／イベント・カウンタ80のカウント・クロックを設定（図9-2参照）し、TO80を出力許可（TOE80 = 1）、およびPWM出力を許可（PWME80 = 1）に設定
- ④ CR80にカウント値を設定
- ⑤ TM80を動作許可（TCE80 = 1）に設定

8ビット・タイマ・カウンタ80（TM80）のカウント値がCR80に設定した値と一致したとき、TM80のカウントをそのまま継続するとともに、割り込み要求信号（INTTM80）を発生します。

- 注意1.** タイマ動作中にCR80を書き換えると、次の1周期の間はハイ・レベルが出力される場合があります（9.5（2）8ビット・コンペア・レジスタ80の設定参照）。
2. TMC80でカウント・クロックの設定とTM80の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、PWM出力として動作させる際には、必ず上記の順で設定してください。

図9-7 PWM出力のタイミング



注 出力許可 (TOE80 = 1) 時のTO80の初期値は、ロウ・レベルになります。

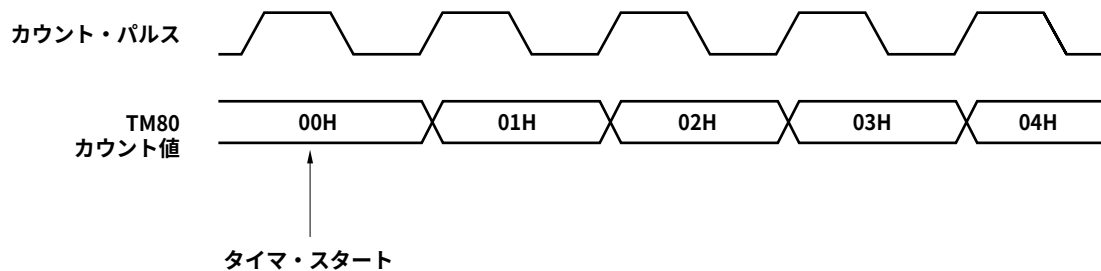
注意 CR80に00Hを設定しないでください。
PWMが正常に出力されないことがあります。

9.5 8ビット・タイマ／イベント・カウンタ80の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ80（TM80）のスタートが非同期で行われるためです。

図9-8 8ビット・タイマ・カウンタのスタート・タイミング

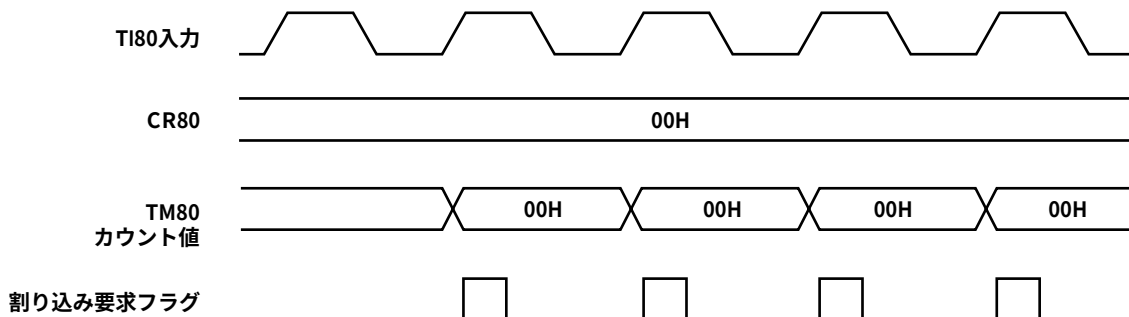


(2) 8ビット・コンペア・レジスタ80の設定

8ビット・コンペア・レジスタ80（CR80）には、00Hの設定が可能です。

したがって、イベント・カウンタとして使用時、1パルスのカウント動作が可能です。

図9-9 外部イベント・カウンタとしての動作時のタイミング



注意1. タイマ・カウンタ動作モード時（PWME80（8ビット・タイマ・モード・コントロール・レジスタ80（TMC80）のビット6）= 0）にCR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

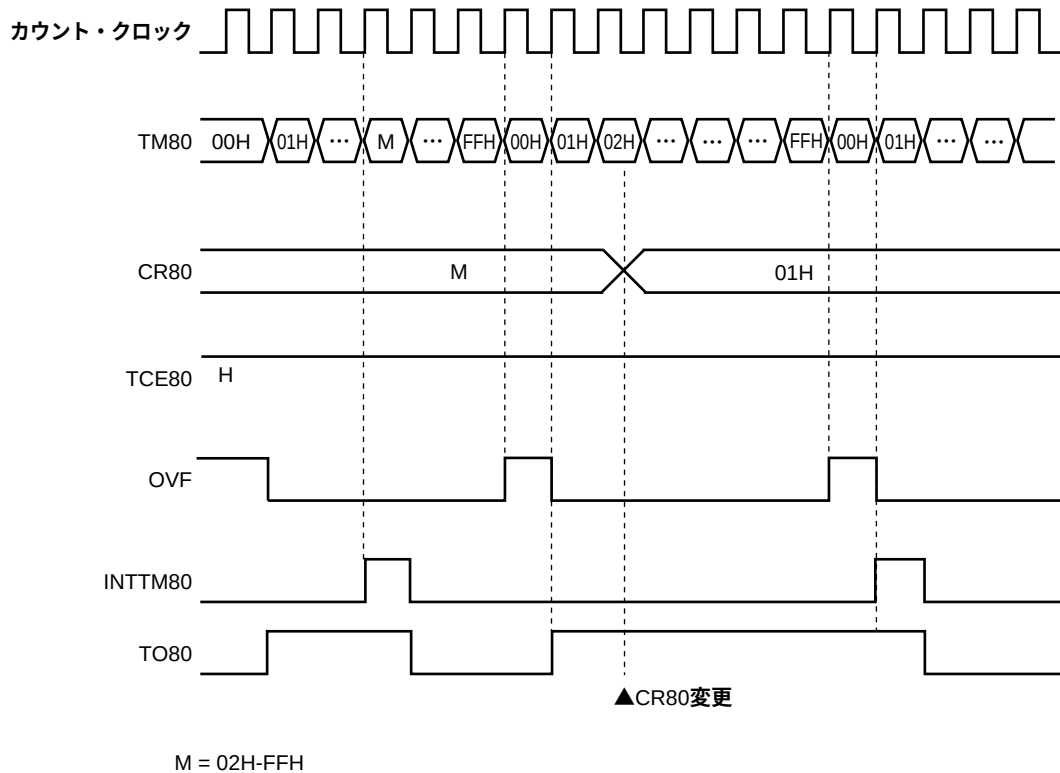
★

2. PWM出力動作モード時（PWME80 = 1）、タイマ動作中にCR80を書き換えた場合、書き換えた直後の1周期だけパルスが発生しない可能性があります。
3. PWM出力動作モード時では、CR80に00Hを設定しないでください。
PWMが正常に出力されないことがあります。

★ (3) PWM出力中のコンペア・レジスタの変更後の動作

PWM出力中に8ビット・コンペア・レジスタ80 (CR80) を書き換えた場合、変更後の値が8ビット・タイマ・カウンタ80 (TM80) の値より小さいとき、CR80を書き換えた1周期 (カウント・パルス×256) の間はハイ・レベルが出力される場合があります。このときのタイミングを図9-10に示します。

図9-10 PWM出力中のコンペア・レジスタの変更後のタイミング



★ (4) STOPモード設定時の注意

STOP命令を実行する前には、必ずタイマ動作を停止 (TCE80 = 0) に設定してください。

★ (5) 外部イベント・カウンタのスタート・タイミング

カウント・クロックとしてTI80の立ち上がりエッジが選択されているときには、TI80がロウ・レベルのタイミングでタイマ・スタート (TCE80 = 0→1) してください。同様に、カウント・クロックとしてTI80の立ち下がりエッジが選択されているときには、TI80がハイ・レベルのタイミングでタイマ・スタート (TCE80 = 0→1) してください。

第10章 ウォッチドッグ・タイマ

あらかじめ設定した任意の時間間隔でノンマスカブル割り込み、マスカブル割り込み、 $\overline{\text{RESET}}$ を発生することができます。

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

★

表10-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_w$	205 μs	410 μs	512 μs
$2^{13} \times 1/f_w$	819 μs	1.64 ms	2.05 ms
$2^{15} \times 1/f_w$	3.28 ms	6.55 ms	8.19 ms
$2^{17} \times 1/f_w$	13.1 ms	26.2 ms	32.8 ms

注 拡張規格品のみ。

備考 f_w : f_x または f_{cc}

f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

★

表10-2 インターバル時間

インターバル時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_w$	$205 \mu\text{s}$	$410 \mu\text{s}$	$512 \mu\text{s}$
$2^{13} \times 1/f_w$	$819 \mu\text{s}$	1.64 ms	2.05 ms
$2^{15} \times 1/f_w$	3.28 ms	6.55 ms	8.19 ms
$2^{17} \times 1/f_w$	13.1 ms	26.2 ms	32.8 ms

注 拡張規格品のみ。

備考 f_w : f_x または f_{cc}

f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

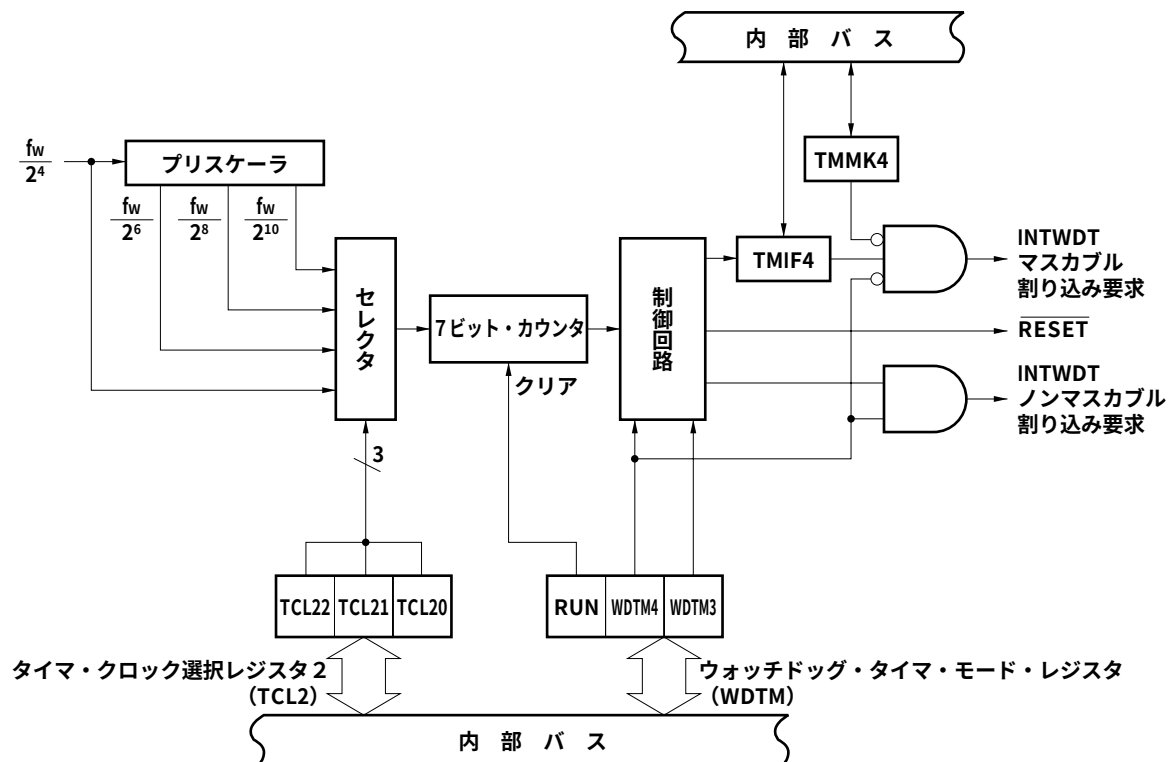
10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表10-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図10-1 ウォッチドッグ・タイマのブロック図



備考 fw : fxまたはfcc

10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

★	TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択			インターバル時間			
				$f_x = 10.0 \text{ MHz}$	$f_x = 5.0 \text{ MHz}$	$f_{cc} = 4.0 \text{ MHz}$	$f_x = 10.0 \text{ MHz}$	$f_x = 5.0 \text{ MHz}$	$f_{cc} = 4.0 \text{ MHz}$	
				動作時 ^注	動作時	動作時	動作時 ^注	動作時	動作時	
0	0	0	$f_x/2^4$ または $f_{cc}/2^4$	625 kHz	312.5 kHz	250 kHz	$2^{11}/f_x$ または $2^{11}/f_{cc}$	205 μs	410 μs	512 μs
0	1	0	$f_x/2^6$ または $f_{cc}/2^6$	156.2 kHz	78.1 kHz	62.5 kHz	$2^{13}/f_x$ または $2^{13}/f_{cc}$	819 μs	1.64 ms	2.05 ms
1	0	0	$f_x/2^8$ または $f_{cc}/2^8$	39.0 kHz	19.5 kHz	15.6 kHz	$2^{15}/f_x$ または $2^{15}/f_{cc}$	3.28 ms	6.55 ms	8.19 ms
1	1	0	$f_x/2^{10}$ または $f_{cc}/2^{10}$	9.76 kHz	4.88 kHz	3.91 kHz	$2^{17}/f_x$ または $2^{17}/f_{cc}$	13.1 ms	26.2 ms	32.8 ms
上記以外				設定禁止						

注 拡張規格品のみに。

備考 f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可／禁止を設定するレジスタです。

WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図10-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード（オーバフロー発生時，マスカブル割り込み発生） ^{注3}
1	0	ウォッチドッグ・タイマ・モード1（オーバフロー発生時，ノンマスカブル割り込み発生）
1	1	ウォッチドッグ・タイマ・モード2（オーバフロー発生時，リセット動作を起動）

注1. RUNは，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，タイマ・クロック選択レジスタ2（TCL2）で設定した時間より最大0.8%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，TMIF4（割り込み要求フラグ0（IF0）のビット0）が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態で，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

★

表10-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
0	0	0	$2^{11} \times 1/f_w$	205 μs	410 μs	512 μs
0	1	0	$2^{13} \times 1/f_w$	819 μs	1.64 ms	2.05 ms
1	0	0	$2^{15} \times 1/f_w$	3.28 ms	6.55 ms	8.19 ms
1	1	0	$2^{17} \times 1/f_w$	13.1 ms	26.2 ms	32.8 ms

注 拡張規格品のみ。

備考 f_w : f_x または f_{cc}

f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

10.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1.** 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) とRESET入力されないかぎり, インターバル・タイマ・モードになりません。
- 2.** WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなるときがあります。

★

表10-5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
0	0	0	$2^{11} \times 1/f_w$	205 μs	410 μs	512 μs
0	1	0	$2^{13} \times 1/f_w$	819 μs	1.64 ms	2.05 ms
1	0	0	$2^{15} \times 1/f_w$	3.28 ms	6.55 ms	8.19 ms
1	1	0	$2^{17} \times 1/f_w$	13.1 ms	26.2 ms	32.8 ms

注 拡張規格品のみ。

備考 f_w : f_x または f_{cc}

f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

第11章 8ビットA/Dコンバータ (μ PD789104A, 789124Aサブシリーズ)

11.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、4チャンネル（ANI0-ANI3）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI3から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD0）を発生します。

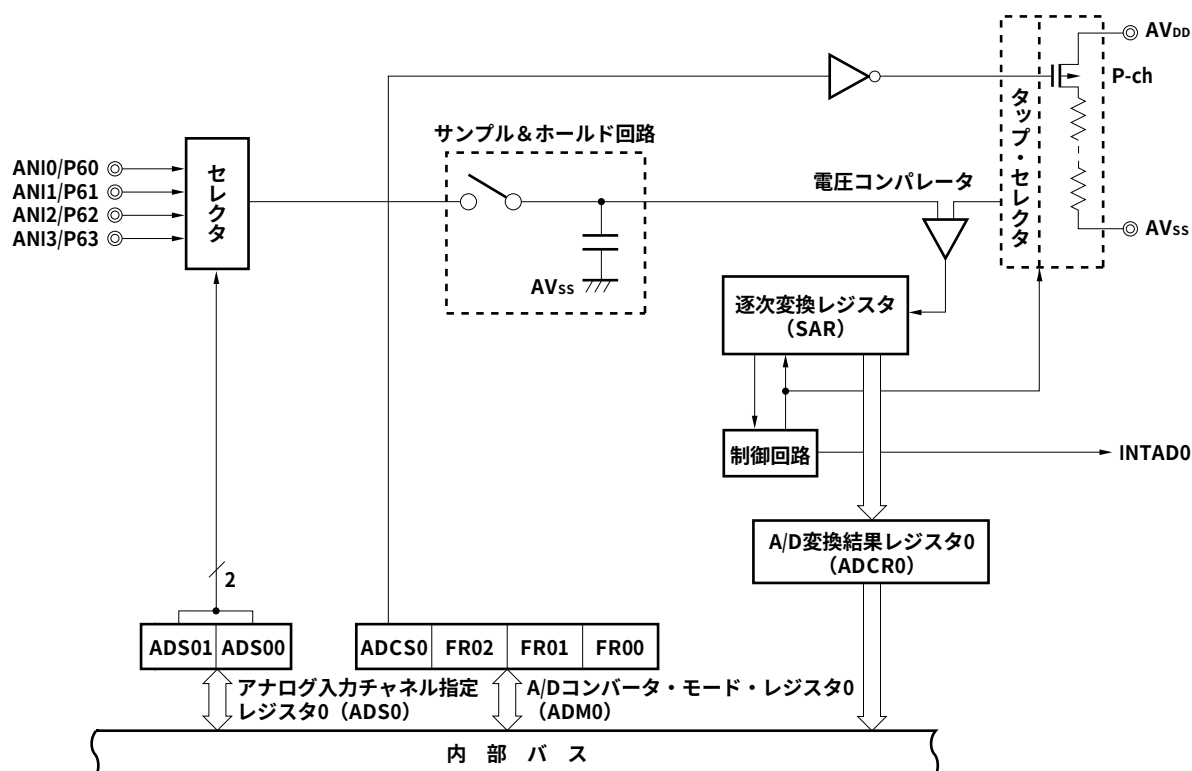
11.2 8ビットA/Dコンバータの構成

8ビットA/Dコンバータは、次のハードウェアで構成しています。

表11-1 8ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	4チャンネル（ANI0-ANI3）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0（ADCR0）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADM0） アナログ入力チャンネル指定レジスタ0（ADS0）

図11-1 8ビットA/Dコンバータのブロック図

**(1) 逐次変換レジスタ (SAR)**

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで設定すると（A/D変換終了）、SARの内容はA/D変換結果レジスタ0（ADCR0）に転送されます。

(2) A/D変換結果レジスタ0（ADCR0）

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/Dの変換結果を保持する8ビットのレジスタです。

ADCR0は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは $\text{AV}_{\text{DD}}-\text{AV}_{\text{SS}}$ 間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI3端子

A/Dコンバータへの4チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上, AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(8) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

11.3 8ビットA/Dコンバータを制御するレジスタ

8ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	FF80H	00H	R/W

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

★

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}			
				$f_x = 10.0 \text{ MHz}$ 動作時 ^{注2}	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
0	0	0	$144/f_x$ または $144/f_{cc}$	$14.4 \mu s$	$28.8 \mu s$	$36 \mu s$
0	0	1	$120/f_x$ または $120/f_{cc}$	$12 \mu s$	$24 \mu s$	$30 \mu s$
0	1	0	$96/f_x$ または $96/f_{cc}$	設定禁止 ^{注3}	$19.2 \mu s$	$24 \mu s$
1	0	0	$72/f_x$ または $72/f_{cc}$	設定禁止 ^{注3}	$14.4 \mu s$	$18 \mu s$
1	0	1	$60/f_x$ または $60/f_{cc}$	設定禁止 ^{注3}	$12 \mu s$ ^{注4}	$15 \mu s$
1	1	0	$48/f_x$ または $48/f_{cc}$	設定禁止 ^{注3}	設定禁止 ^{注3}	設定禁止 ^{注3}
上記以外			設定禁止			

注1. A/D変換時間は以下の規定を満たすように設定してください。

<拡張規格品の場合>

$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ 時：12 μs 以上

$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$ 時：14 μs 以上

$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ 時：28 μs 以上

<従来規格品の場合>

$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ 時：14 μs 以上

$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ 時：28 μs 以上

2. 拡張規格品のみ。
3. A/D変換時間が注1で示した規定を満たさないため、設定禁止です。
4. 拡張規格品で $4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ 時のみ設定可能です。他の条件下では設定禁止となります。

注意1. ビット7 (ADCS0) をセット直後の変換結果は不定になります。

2. ADCS0のクリア後の変換結果が不定になることがあります (詳しくは11.5 (5) A/D変換結果が不定になるタイミングを参照)。

備考 f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

(2) アナログ入力チャネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-3 アナログ入力チャネル指定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	0	ADS01	ADS00	FF84H	00H	R/W

ADS01	ADS00	アナログ入力チャネルの指定
0	0	ANI0
0	1	ANI1
1	0	ANI2
1	1	ANI3

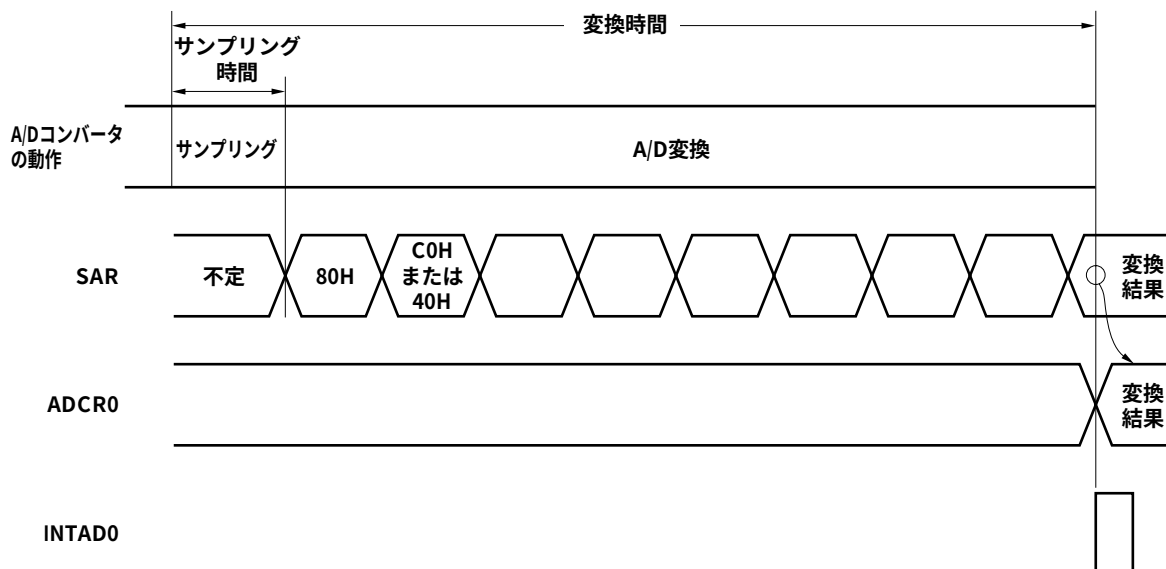
11.4 8ビットA/Dコンバータの動作

11.4.1 8ビットA/Dコンバータの基本動作

- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
- ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。
- ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ④ 逐次変換レジスタ (SAR) のビット7をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) AV_{DD}$ にします。
- ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $> (1/2) AV_{DD}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{DD}$ よりも小さければMSBをリセットします。
- ⑥ 次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット7 = 1 : $(3/4) AV_{DD}$
 - ・ビット7 = 0 : $(1/4) AV_{DD}$この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。
 - ・アナログ入力電圧 $\geq$ 電圧タップ : ビット6 = 1
 - ・アナログ入力電圧 $<$ 電圧タップ : ビット6 = 0
- ⑦ このような比較をSARのビット0まで続けます。
- ⑧ 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残し、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。
同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

- 注意1.** A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。
2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図11-4 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0, アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI3) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{AV_{\text{DD}}} \times 256 + 0.5 \right)$$

または、

$$(\text{ADCR0} - 0.5) \times \frac{AV_{\text{DD}}}{256} \leq V_{\text{IN}} < (\text{ADCR0} + 0.5) \times \frac{AV_{\text{DD}}}{256}$$

INT () : () 内の値の整数部を返す関数

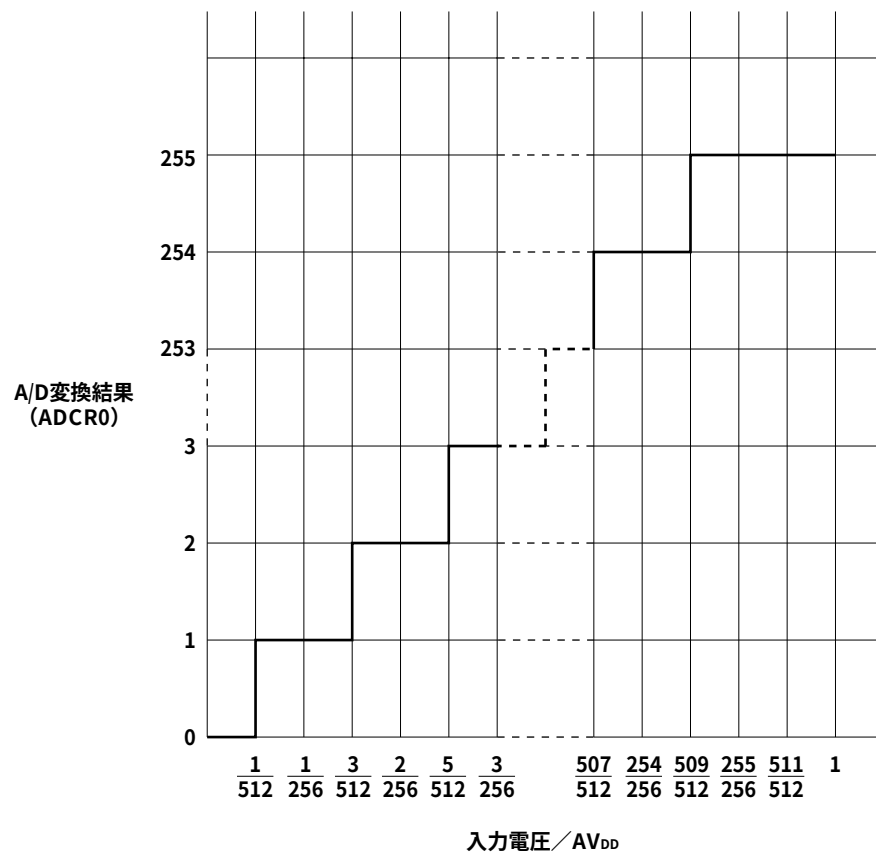
V_{IN} : アナログ入力電圧

AV_{DD} : A/Dコンバータの電源電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図11-5にアナログ入力電圧とA/D変換結果の関係を示します。

図11-5 アナログ入力電圧とA/D変換結果の関係



11.4.3 8ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ0 (ADS0) によって ANI0-ANI3からアナログ入力を1チャネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

・ソフトウェア・スタートによるA/D変換動作

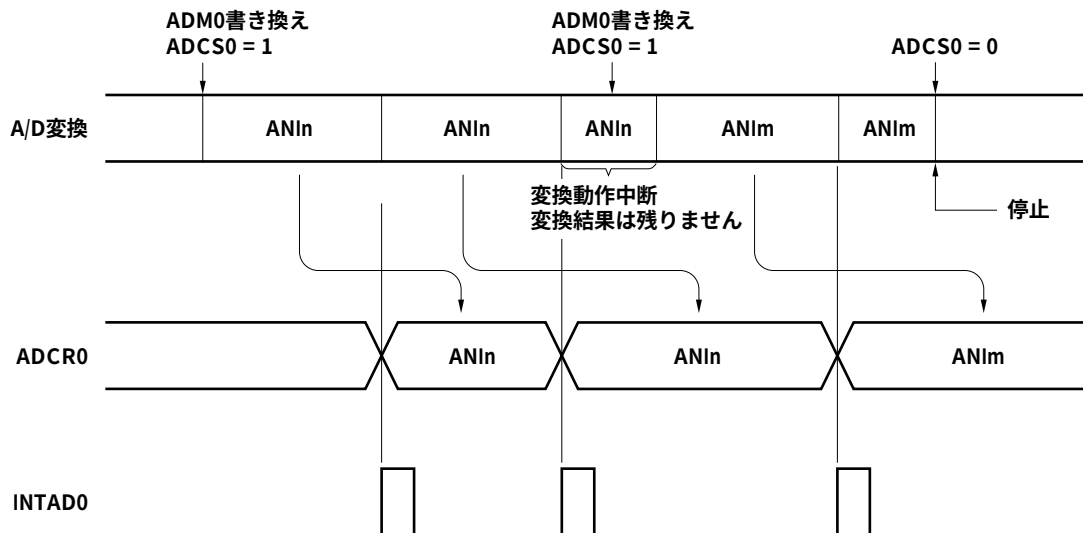
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図11-6 ソフトウェア・スタートによるA/D変換動作



備考1. $n = 0, 1, 2, 3$

2. $m = 0, 1, 2, 3$

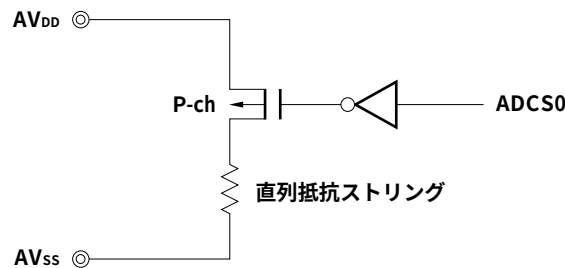
11.5 8ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図11-7に示します。

図11-7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI3入力範囲について

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。
- ② 変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合
ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

(5) A/D変換結果が不定になるタイミング

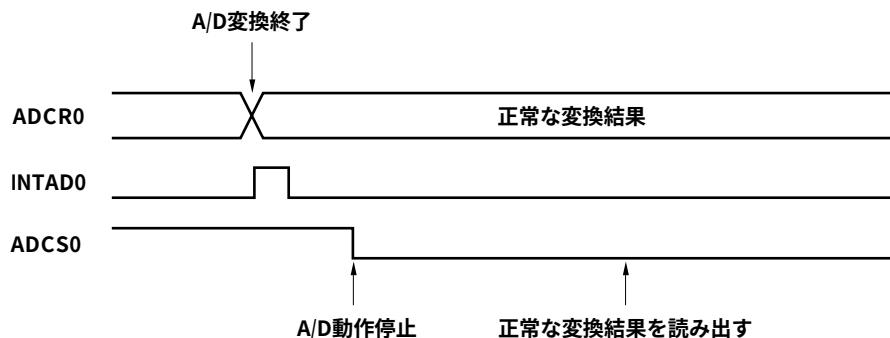
A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図11-8、図11-9に示します。

図11-8 変換結果を読み出すタイミング (変換結果が不定値の場合)



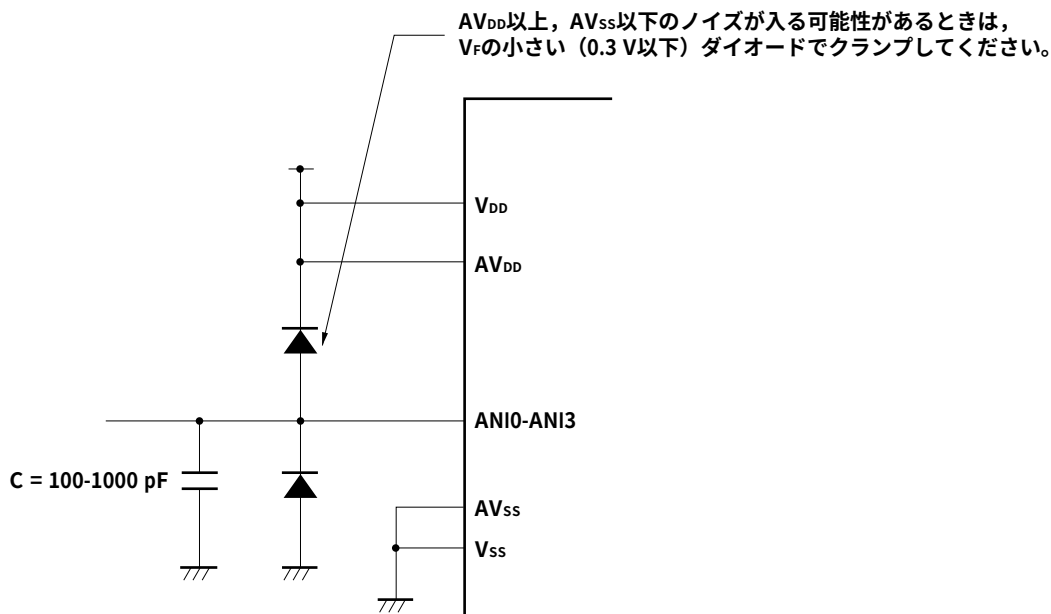
図11-9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

8ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI3端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-10のようにCを外付けすることを推奨します。

図11-10 アナログ入力端子の処理



(7) ANI0-ANI3

アナログ入力（ANI0-ANI3）端子はポート端子（P60-P63）と兼用になっています。

ANI0-ANI3のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ (8) ANI0-ANI3端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 k Ω 以下にするか、ANI0-ANI3端子に100 pF程度のコンデンサを付けることを推奨します（図11-10参照）。

(9) 割り込み要求フラグ（ADIF0）について

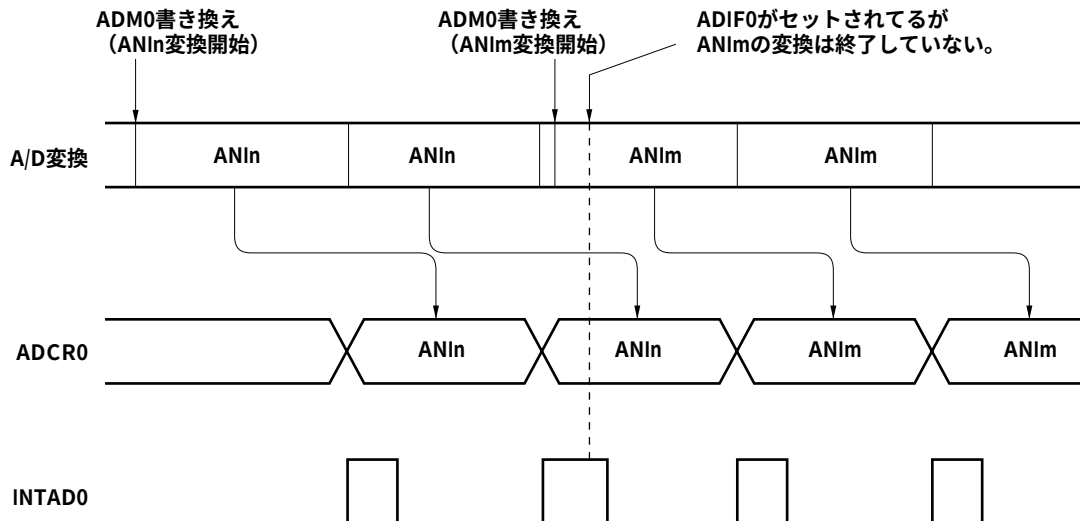
A/Dコンバータ・モード・レジスタ0（ADM0）を変更しても割り込み要求フラグ（ADIF0）はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADM0書き換

え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図11-11 A/D変換終了割り込み要求発生タイミング



備考1. $n = 0, 1, 2, 3$

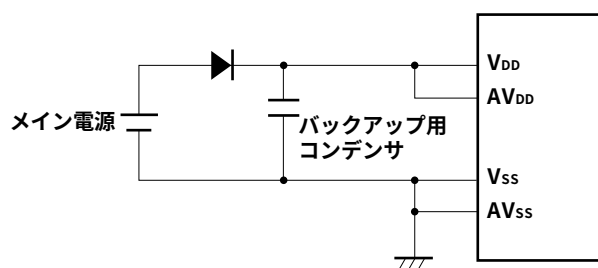
2. $m = 0, 1, 2, 3$

(10) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI3の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図11-12のように必ずV_{DD}端子と同レベルの電位を印加してください。

図11-12 AV_{DD}端子の処理



(11) AV_{DD}端子の入ラインピーダンスについて

AV_{DD}端子とAV_{SS}端子の間には数十 kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、AV_{DD}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

第12章 10ビットA/Dコンバータ (μ PD789114A, 789134Aサブシリーズ)

12.1 10ビットA/Dコンバータの機能

10ビットA/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、4チャンネル (ANI0-ANI3) のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI3から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求 (INTAD0) を発生します。

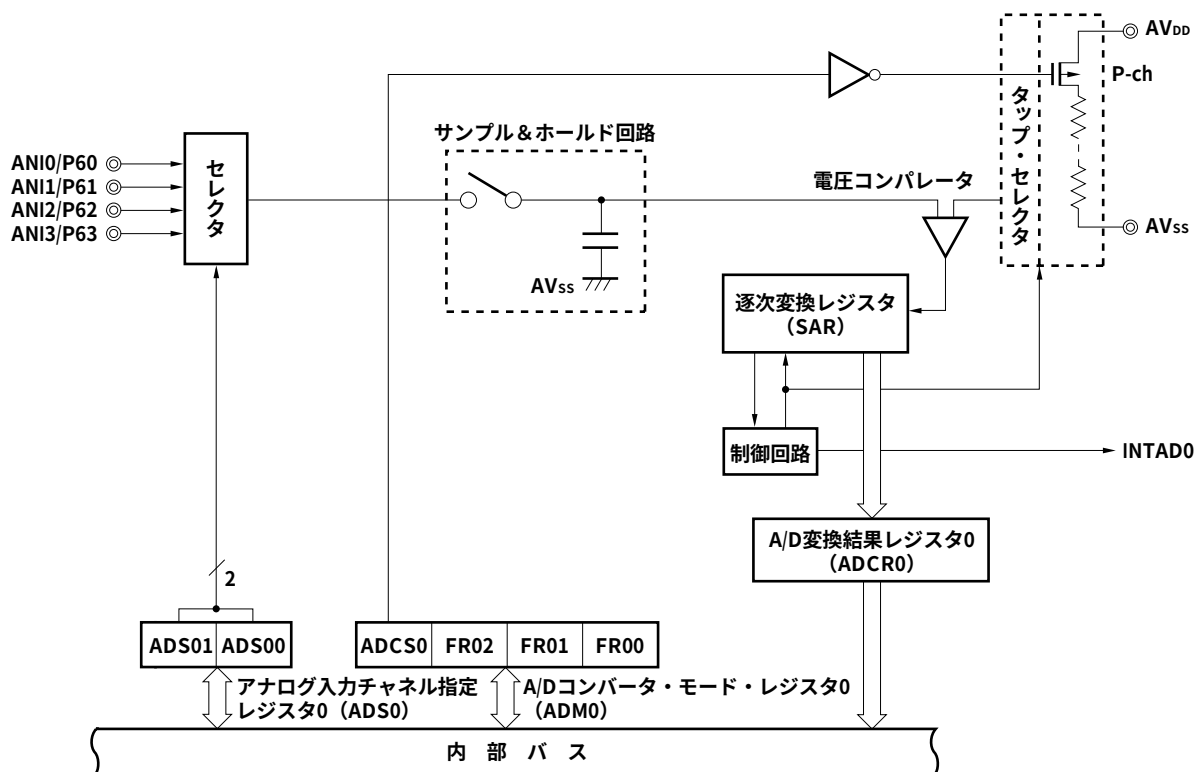
12.2 10ビットA/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表12-1 10ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	4チャンネル (ANI0-ANI3)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0 (ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) アナログ入力チャンネル指定レジスタ0 (ADS0)

図12-1 10ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで設定すると（A/D変換終了）、SARの内容はA/D変換結果レジスタ0（ADCR0）に転送されます。

★ (2) A/D変換結果レジスタ0（ADCR0）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは、0固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCR0には最上位ビットから順に格納されます。FF15Hには変換結果の上位8ビットが入ります。FF14Hには変換結果の下位2ビットが入ります。

ADCR0は、16ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

略号	FF15H	FF14H	アドレス	リセット時	R/W
ADCR0			FF14H, FF15H	不定	R

注意 μ PD78F9116A, 78F9116Bをμ PD789101A, 789102A, 789104Aのフラッシュ・メモリ製品として使用する場合は、μ PD78F9136A, 78F9136Bをμ PD789121A, 789122A, 789124Aのフラッシュ・メモリ製品として使用する場合は、8ビット・アクセスが可能です。ただし、μ PD789101A, 789102A, 789104Aでアセンブルしたオブジェクト・ファイルまたはμ PD789121A, 789122A, 789124Aでアセンブルしたオブジェクト・ファイルに限ります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{DD} - AV_{SS} 間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI3端子

A/Dコンバータへの4チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(8) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

12.3 10ビットA/Dコンバータを制御するレジスタ

10ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	FF80H	00H	R/W

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

★

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}			
				$f_x = 10.0 \text{ MHz}$ 動作時 ^{注2}	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 4.0 \text{ MHz}$ 動作時
0	0	0	$144/f_x$ または $144/f_{cc}$	$14.4 \mu\text{s}$	$28.8 \mu\text{s}$	$36 \mu\text{s}$
0	0	1	$120/f_x$ または $120/f_{cc}$	$12 \mu\text{s}$	$24 \mu\text{s}$	$30 \mu\text{s}$
0	1	0	$96/f_x$ または $96/f_{cc}$	設定禁止 ^{注3}	$19.2 \mu\text{s}$	$24 \mu\text{s}$
1	0	0	$72/f_x$ または $72/f_{cc}$	設定禁止 ^{注3}	$14.4 \mu\text{s}$	$18 \mu\text{s}$
1	0	1	$60/f_x$ または $60/f_{cc}$	設定禁止 ^{注3}	$12 \mu\text{s}$ ^{注4}	$15 \mu\text{s}$
1	1	0	$48/f_x$ または $48/f_{cc}$	設定禁止 ^{注3}	設定禁止 ^{注3}	設定禁止 ^{注3}
上記以外			設定禁止			

注1. A/D変換時間は以下の規定を満たすように設定してください。

<拡張規格品の場合>

$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ 時： $12 \mu\text{s}$ 以上

$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$ 時： $14 \mu\text{s}$ 以上

$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ 時： $28 \mu\text{s}$ 以上

<従来規格品の場合>

$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ 時： $14 \mu\text{s}$ 以上

$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ 時： $28 \mu\text{s}$ 以上

2. 拡張規格品のみ。
3. A/D変換時間が注1で示した規定を満たさないため、設定禁止です。
4. 拡張規格品で $4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ 時のみ設定可能です。他の条件下では設定禁止となります。

- 注意1. ビット7 (ADCS0) をセット直後の変換結果は不定になります。
2. ADCS0のクリア後の変換結果が不定になることがあります (詳しくは12. 5 (5) A/D変換結果が不定になるタイミング参照) 。

備考 f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

- (2) アナログ入力チャネル指定レジスタ0 (ADS0)
- A/D変換するアナログ電圧の入力ポートを指定するレジスタです。
- ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
- $\overline{\text{RESET}}$ 入力により、00Hになります。

図12-3 アナログ入力チャネル指定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	0	ADS01	ADS00	FF 8 4 H	0 0 H	R/W

ADS01	ADS00	アナログ入力チャネルの指定
0	0	ANI0
0	1	ANI1
1	0	ANI2
1	1	ANI3

12.4 10ビットA/Dコンバータの動作

12.4.1 10ビットA/Dコンバータの基本動作

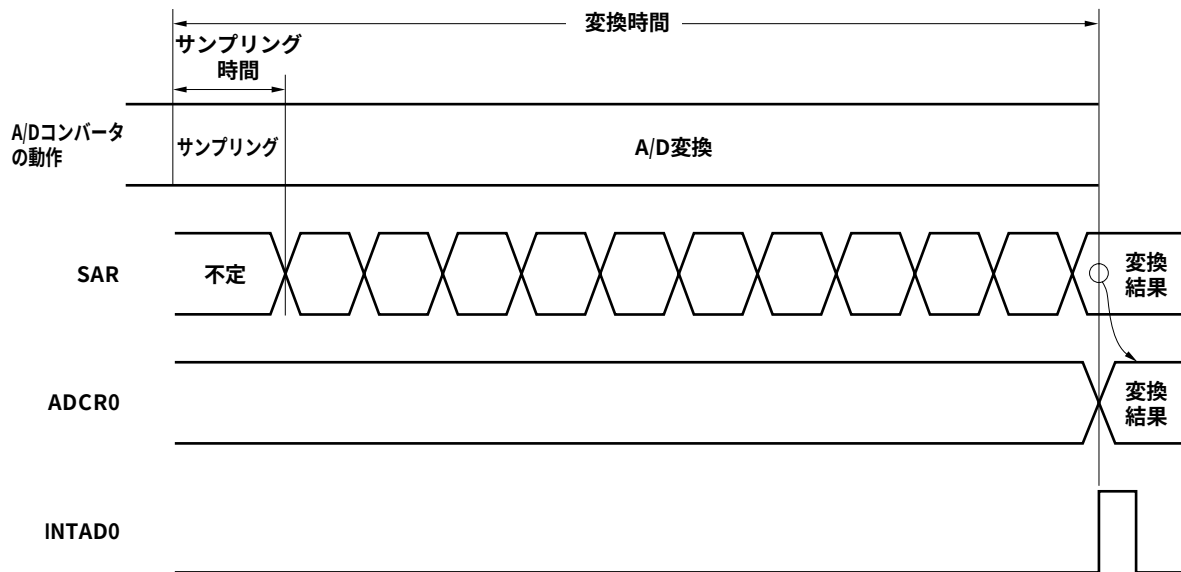
- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
- ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。
- ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ④ 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2) AV_{DD}$ にします。
- ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $> (1/2) AV_{DD}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{DD}$ よりも小さければMSBをリセットします。
- ⑥ 次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット9 = 1 : $(3/4) AV_{DD}$
 - ・ビット9 = 0 : $(1/4) AV_{DD}$
 この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。
 - ・アナログ入力電圧 $\geq$ 電圧タップ : ビット8 = 1
 - ・アナログ入力電圧 $<$ 電圧タップ : ビット8 = 0
- ⑦ このような比較をSARのビット0まで続けます。
- ⑧ 10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. A/D変換動作をスタートした直後のA/D変換値は不定になることがあります。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

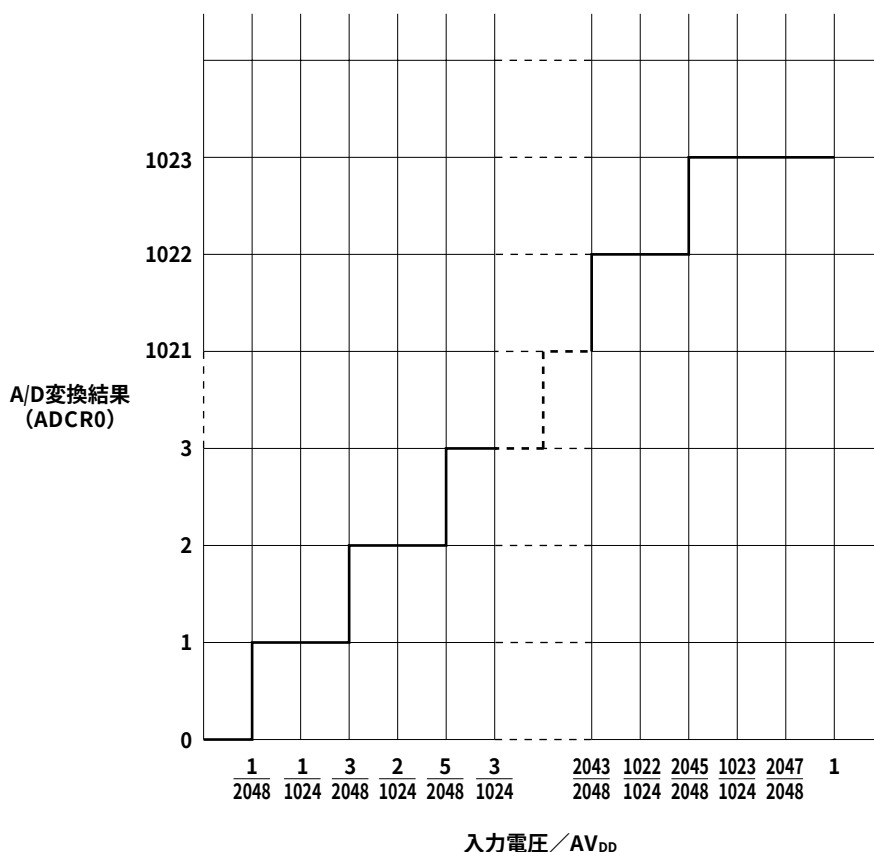
図12-4 10ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0, アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。



12.4.3 10ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ0 (ADS0) によって ANI0-ANI3からアナログ入力を1チャネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

・ソフトウェア・スタートによるA/D変換動作

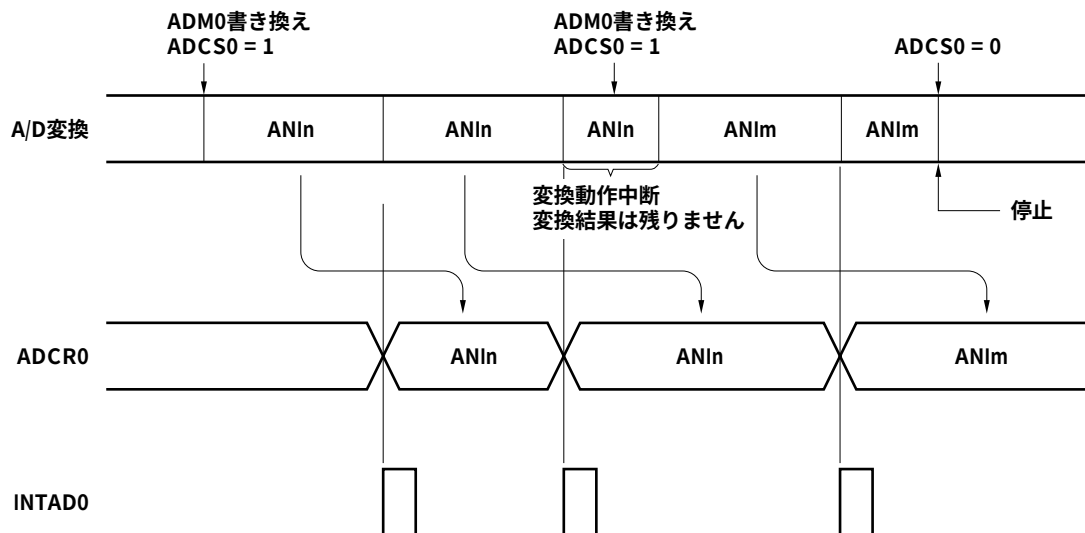
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図12-6 ソフトウェア・スタートによるA/D変換動作



備考1. n = 0, 1, 2, 3

2. m = 0, 1, 2, 3

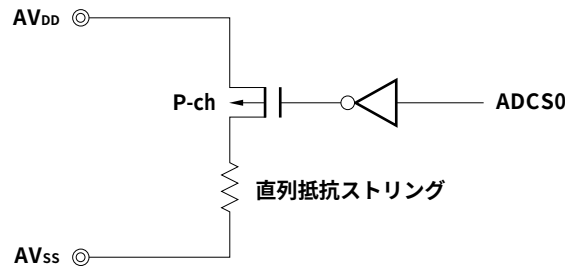
12.5 10ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図12-7に示します。

図12-7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI3入力範囲について

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。
- ② 変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合
ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図12-8、図12-9に示します。

図12-8 変換結果を読み出すタイミング (変換結果が不定値の場合)

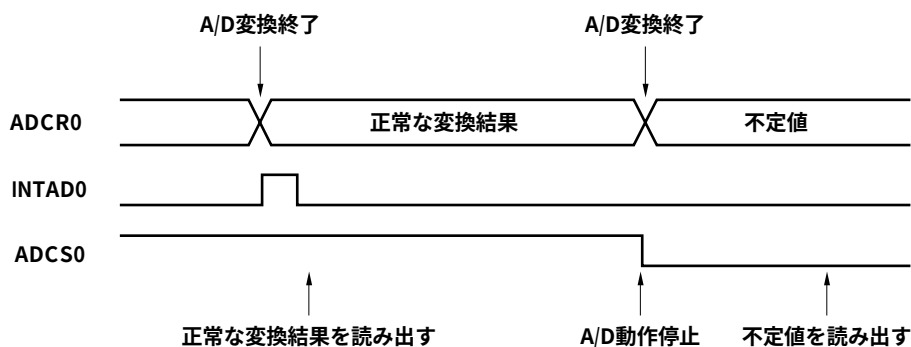
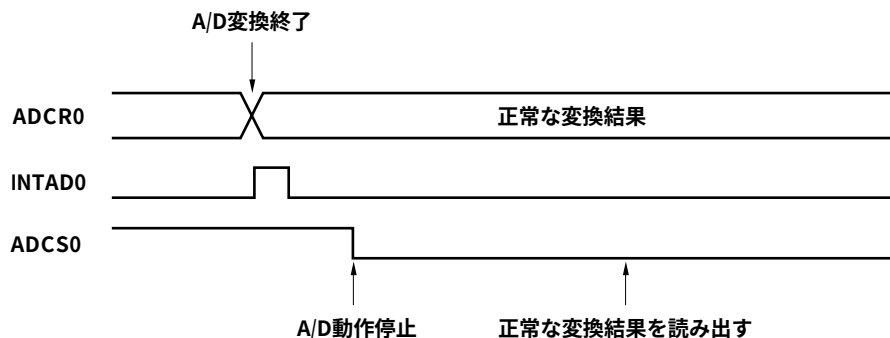


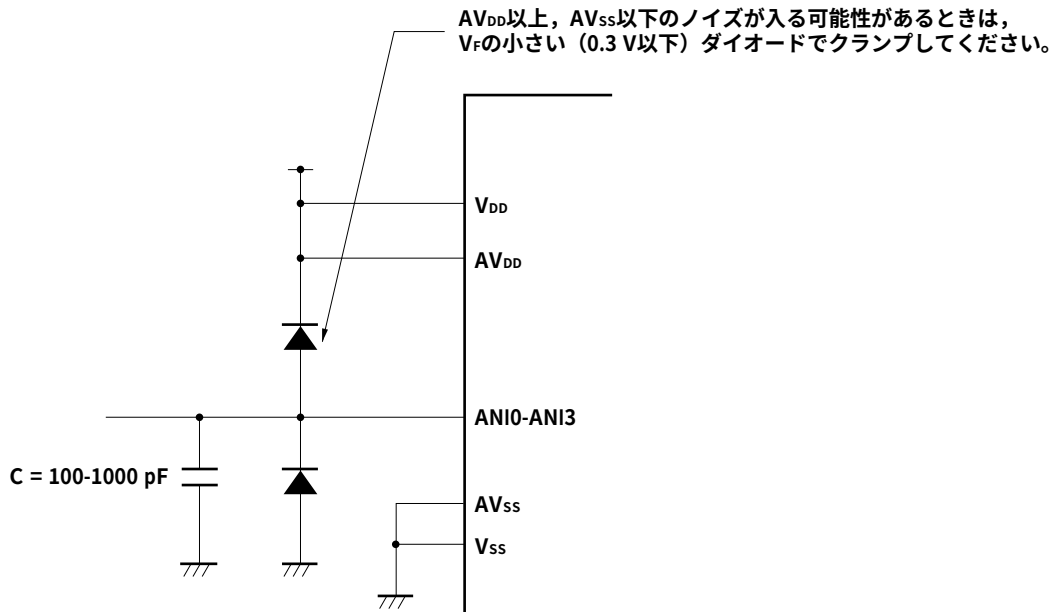
図12-9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

10ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI3端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-10のようにCを外付けることを推奨します。

図12-10 アナログ入力端子の処理



(7) ANI0-ANI3

アナログ入力（ANI0-ANI3）端子はポート端子（P60-P63）と兼用になっています。

ANI0-ANI3のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ (8) ANI0-ANI3端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI3端子に100 pF程度のコンデンサを付けることを推奨します（図12-10参照）。

(9) 割り込み要求フラグ（ADIF0）について

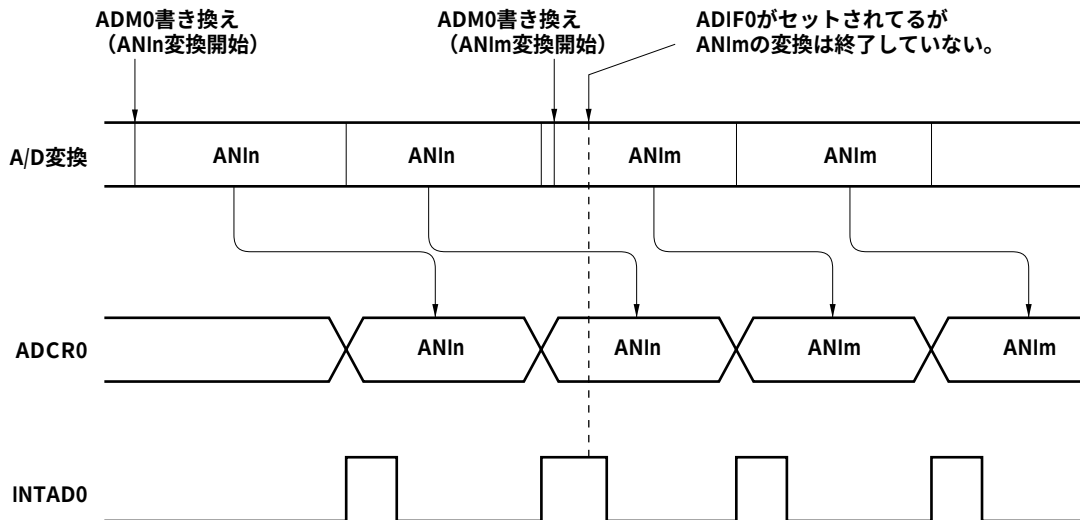
A/Dコンバータ・モード・レジスタ0（ADM0）を変更しても割り込み要求フラグ（ADIF0）はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADM0書き換

え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図12-11 A/D変換終了割り込み要求発生タイミング



備考1. $n = 0, 1, 2, 3$

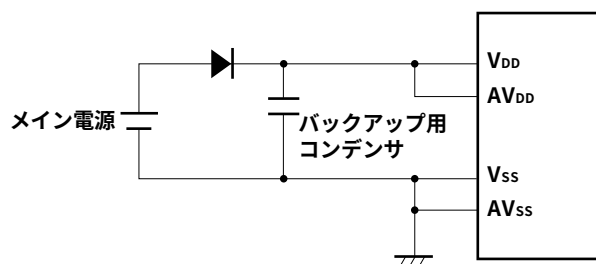
2. $m = 0, 1, 2, 3$

(10) AVDD端子について

AVDD端子はアナログ回路の電源端子であり、ANI0-ANI3の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図12-12のように必ずVDD端子と同レベルの電位を印加してください。

図12-12 AVDD端子の処理



(11) AVDD端子の入ラインピーダンスについて

AVDD端子とAVSS端子の間には数十 kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、AVDD端子とAVSS端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

第13章 シリアル・インタフェース20

13.1 シリアル・インタフェース20の機能

シリアル・インタフェース20には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

UARTモードでは、システム・クロックをセラミック／水晶発振でを使用することをお勧めします。RC発振では周波数偏差が大きいため、ボー・レート・ジェネレータのソース・クロックに内部クロックを選択すると、送受信動作に支障をきたす場合があります。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK20}}$) と、シリアル・データ (SI20, SO20) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

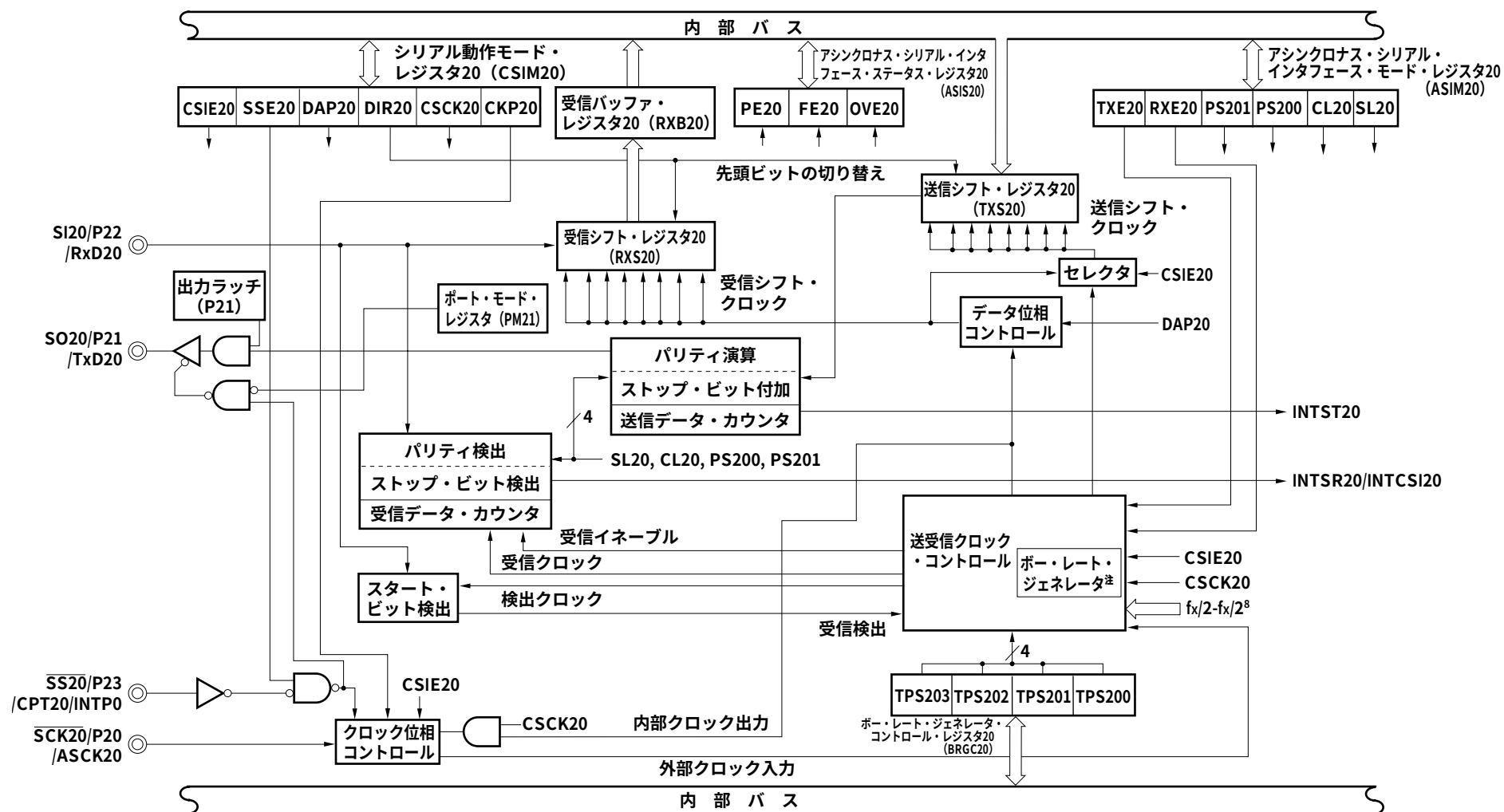
13.2 シリアル・インタフェース20の構成

シリアル・インタフェース20は、次のハードウェアで構成しています。

表13-1 シリアル・インタフェース20の構成

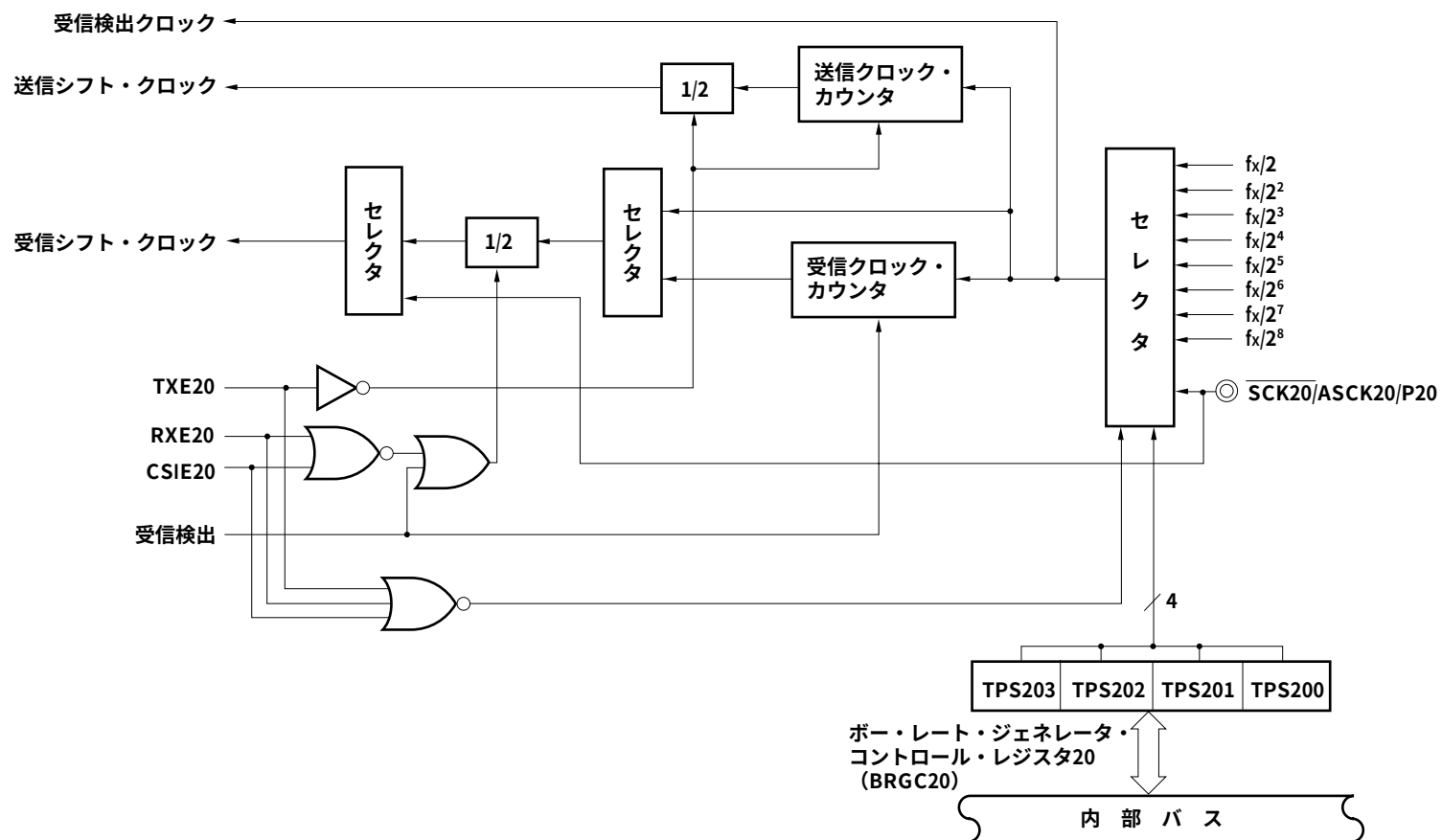
項 目	構 成
レジスタ	送信シフト・レジスタ20 (TXS20) 受信シフト・レジスタ20 (RXS20) 受信バッファ・レジスタ20 (RXB20)
制御レジスタ	シリアル動作モード・レジスタ20 (CSIM20) アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

★ 図13-1 シリアル・インタフェース20のブロック図



注 ポー・レート・ジェネレータの構成は、図13-2を参照してください。

図13-2 ボー・レート・ジェネレータのブロック図



(1) 送信シフト・レジスタ20 (TXS20)

送信データを設定するレジスタです。TXS20に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS20に書き込んだデータのビット0-6が送信データとして転送されます。TXS20にデータを書き込むことにより、送信動作を開始します。

TXS20は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS20への書き込みを行わないでください。

TXS20と受信バッファ・レジスタ20 (RXB20) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB20の値が読み出されます。

(2) 受信シフト・レジスタ20 (RXS20)

RxD20端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ20 (RXB20) へ転送します。

RXS20はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ20 (RXB20)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ20 (RXS20) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB20のビット0-6に転送され、RXB20のMSBは必ず0になります。

RXB20は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 RXB20と送信シフト・レジスタ20 (TXS20) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS20に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、送信シフト・レジスタ20 (TXS20) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) にセットします。

13.3 シリアル・インタフェース20を制御するレジスタ

シリアル・インタフェース20は、次の6種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ20 (CSIM20)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) シリアル動作モード・レジスタ20 (CSIM20)

シリアル・インタフェース20を3線式シリアルI/Oモードで使用するときに設定するレジスタです。

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-3 シリアル動作モード・レジスタ20のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	F F 7 2 H	0 0 H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P23端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	SCK20の立ち下がりエッジで出力する
1	SCK20の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポーレート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ, アイドル時にSCK20はハイ・レベル
1	クロックはハイ・アクティブ, アイドル時にSCK20はロウ・レベル

- 注意**1. ビット4, 5には, 必ず0を設定してください。
2. UARTモード選択時は, CSIM20に00Hを設定してください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

シリアル・インタフェース20をアシクロナス・シリアル・インタフェース・モードで使用するときに設定するレジスタです。

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13-4 アシクロナス・シリアル・インタフェース・モード・レジスタ20のフォーマット

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	F F 7 0 H	0 0 H	R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

CL20	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表13-2 シリアル・インタフェース20の動作モードの設定一覧

(1) 動作停止モード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCCK20											
0	0	0	×	×	×	×	×	×	×	×	—	—	P22	P21	P20
上記以外											設定禁止				

(2) 3線式シリアルI/Oモード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能			
TXE20	RXE20	CSIE20	DIR20	CSCK20														
0	0	1	0	0	1 ^{注2}	× ^{注2}	0	1	1	×	MSB	外部 クロック	SI20 ^{注2}	SO20 (CMOS出力)	SCK20入力			
										0		1			内部 クロック	SCK20出力		
				1					1	0		1			×	LSB	外部 クロック	SCK20入力
										1		0			1		内部 クロック	SCK20出力
上記以外											設定禁止							

(3) アシクロナス・シリアル・インタフェース・モード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCK20											
1	0	0	0	0	×注1	×注1	0	1	1	×	LSB	外部 クロック	P22	TxD20 (CMOS出力)	ASCK20入力
									×注1	×注1		内部 クロック			P20
0	1	0	0	0	1	×	×注1	×注1	1	×		外部 クロック	RxD20	P21	ASCK20入力
										×注1					
1	1	0	0	0	1	×	0	1	1	×		外部 クロック		TxD20 (CMOS出力)	ASCK20入力
										×注1					
上記以外												設定禁止			

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22（CMOS入出力）として使用できます。

備考 ×：don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS20は、1ビット・メモリ操作命令または、8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASIS20の内容は不定となります。

RESET入力により、00Hになります。

図13-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	F F 7 1 H	0 0 H	R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生（送信パリティと受信パリティが一致しないとき）

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生（ストップ・ビットが検出されないとき） ^{注1}

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} （受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき）

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIS20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ20 (RXB20) を必ず読み出してください。

RXB20を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

シリアル・インタフェース20のシリアル・クロックを設定するレジスタです。

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★

図13-6 ボー・レート・ジェネレータ・コントロール・レジスタ20のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	F F 7 3 H	0 0 H	R/W

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択			n
					$f_x = 10.0 \text{ MHz}$ 動作時 ^{注1}	$f_x = 5.0 \text{ MHz}$ 動作時	
0	0	0	0	$f_x/2$	5.0 MHz	2.5 MHz	1
0	0	0	1	$f_x/2^2$	2.5 MHz	1.25 MHz	2
0	0	1	0	$f_x/2^3$	1.25 MHz	625 kHz	3
0	0	1	1	$f_x/2^4$	625 kHz	313 kHz	4
0	1	0	0	$f_x/2^5$	313 kHz	156 kHz	5
0	1	0	1	$f_x/2^6$	156 kHz	78.1 kHz	6
0	1	1	0	$f_x/2^7$	78.1 kHz	39.1 kHz	7
0	1	1	1	$f_x/2^8$	39.1 kHz	19.5 kHz	8
1	0	0	0	ASCK20端子への外部からの入力クロック ^{注2}			—
上記以外				設定禁止			

注1. 拡張規格品のみ。

2. UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC20への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。

- UARTモード時で $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。
- UARTモード時で $f_x > 5.0 \text{ MHz}$ の場合、 $n = 2$ はボー・レートの規格値を越えてしまうため選択しないでください。
- 3線式シリアルI/Oモード時で $f_x > 5.0 \text{ MHz}$ の場合、 $n = 1$ はシリアル・クロックの規格値を越えてしまうため選択しないでください。
- 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

備考1. f_x : システム・クロック発振周波数 (セラミック／水晶発振)

2. n : TPS200-TPS203で決定される値 ($1 \leq n \leq 8$)

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(a) システム・クロックによるボー・レート用のUART送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} \text{ [bps]}$$

f_x : システム・クロック発振周波数（セラミック／水晶発振）

n : TPS200-TPS203の設定で決定される図13-6中の値（ $2 \leq n \leq 8$ ）

★

表13-3 システム・クロックとボー・レートの関係例

ボー・レート (bps)	$f_x = 10.0 \text{ MHz}$ 時 ^注			$f_x = 5.0 \text{ MHz}$ 時			$f_x = 4.9152 \text{ MHz}$ 時		
	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)
1200	—	—	1.73	8	70H	1.73	8	70H	0
2400	8	70H		7	60H		7	60H	
4800	7	60H		6	50H		6	50H	
9600	6	50H		5	40H		5	40H	
19200	5	40H		4	30H		4	30H	
38400	4	30H		3	20H		3	20H	
76800	3	20H		2	10H		2	10H	

注 拡張規格品のみ。

注意1. $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

2. $f_x > 5.0 \text{ MHz}$ の場合、 $n = 2$ はボー・レートの規格値を越えてしまうため選択しないでください。

(b) ASCK20端子からの外部クロックによるボー・レート用のUART送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} \quad [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表13-4 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

★

(c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成

システム・クロックを分周してシリアル・クロックを生成します。シリアル・クロック周波数は、次の式によって求められます。外部からSCK20端子にシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \quad [\text{Hz}]$$

f_x : システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される図13-6中の値 ($1 \leq n \leq 8$)

13.4 シリアル・インタフェース20の動作

シリアル・インタフェース20は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード
- ・3線式シリアルI/Oモード

13.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P20/SCK20/ASCK20, P21/SO20/TxD20, P22/SI20/RxD20端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ20（CSIM20）とアシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20）で行います。

(a) シリアル動作モード・レジスタ20（CSIM20）

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	F F 7 2 H	0 0 H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット4, 5には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H	00H	R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0, 1には必ず0を設定してください。

13.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

UARTモードでは、システム・クロックをセラミック／水晶発振でを使用することをお勧めします。RC発振では周波数偏差が大きいため、ボー・レート・ジェネレータのソース・クロックに内部クロックを選択すると送受信動作に支障をきたす場合があります。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ20 (CSIM20) , アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) , アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) , ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) , ポート・モード・レジスタ2 (PM2) , ポート2 (P2) で行います。

(a) シリアル動作モード・レジスタ20 (CSIM20)

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CCK20	CKP20	F F 7 2 H	0 0 H	R/W

CSIE20	3 線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P23端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3 線式シリアルI/Oモード時のデータ位相の選択
0	SCK20の立ち下がりエッジで出力する
1	SCK20の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CCK20	3 線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CKP20	3 線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ, アイドル時にSCK20はハイ・レベル
1	クロックはハイ・アクティブ, アイドル時にSCK20はロウ・レベル

注意1. ビット4, 5には、必ず0を設定してください。

2. UARTモード選択時は、CSIM20に00Hを設定してください。

★

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H	00H	R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

CL20	キャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

ASIS20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	FF71H	00H	R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生（送信パリティと受信パリティが一致しないとき）

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生（ストップ・ビットが検出されないとき） ^{注1}

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ (RXB20) を必ず読み出してください。RXB20を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

★

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択			n
					$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	
0	0	0	0	$f_x/2$	5.0 MHz	2.5 MHz	1
0	0	0	1	$f_x/2^2$	2.5 MHz	1.25 MHz	2
0	0	1	0	$f_x/2^3$	1.25 MHz	625 kHz	3
0	0	1	1	$f_x/2^4$	625 kHz	313 kHz	4
0	1	0	0	$f_x/2^5$	313 kHz	156 kHz	5
0	1	0	1	$f_x/2^6$	156 kHz	78.1 kHz	6
0	1	1	0	$f_x/2^7$	78.1 kHz	39.1 kHz	7
0	1	1	1	$f_x/2^8$	39.1 kHz	19.5 kHz	8
1	0	0	0	ASCK20端子への外部からの入力クロック			—
上記以外				設定禁止			

注 拡張規格品のみ。

- 注意1. 通信動作中にBRGC20への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。
2. $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。
3. $f_x > 5.0 \text{ MHz}$ の場合、 $n = 2$ はボー・レートの規格値を越えてしまうため選択しないでください。
4. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

備考1. f_x : システム・クロック発振周波数 (セラミック／水晶発振)

2. n : TPS200-TPS203の設定で決定される値 ($1 \leq n \leq 8$)

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(i) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} \text{ [bps]}$$

f_x : システム・クロック発振周波数 (セラミック／水晶発振)

n : TPS200-TPS203の設定で決定される上記の表中の値 ($2 \leq n \leq 8$)

★

表13-5 システム・クロックとボー・レートの関係例

ボー・レート (bps)	fx = 10.0 MHz時 ^注			fx = 5.0 MHz時			fx = 4.9152 MHz時		
	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)
1200	—	—	1.73	8	70H	1.73	8	70H	0
2400	8	70H		7	60H		7	60H	
4800	7	60H		6	50H		6	50H	
9600	6	50H		5	40H		5	40H	
19200	5	40H		4	30H		4	30H	
38400	4	30H		3	20H		3	20H	
76800	3	20H		2	10H		2	10H	

注 拡張規格品のみ。

- 注意1. $f_x > 2.5$ MHzの場合、n = 1はボー・レートの規格値を越えてしまうため選択しないでください。
2. $f_x > 5.0$ MHzの場合、n = 2はボー・レートの規格値を越えてしまうため選択しないでください。

(ii) ASCK20端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} \quad [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表13-6 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

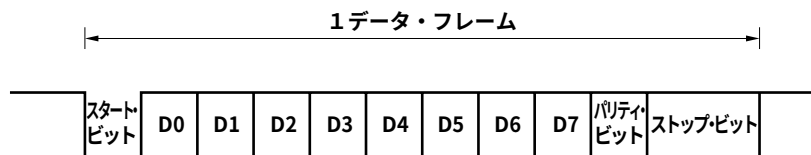
(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図13-7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) によって行います。

図13-7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット……1ビット
- ・キャラクタ・ビット……7ビット／8ビット
- ・パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット……1ビット／2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット（ビット0-ビット6）のみが有効となり、送信の場合は最上位ビット（ビット7）は無視され、受信の場合は必ず最上位ビット（ビット7）は“0”になります。

シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

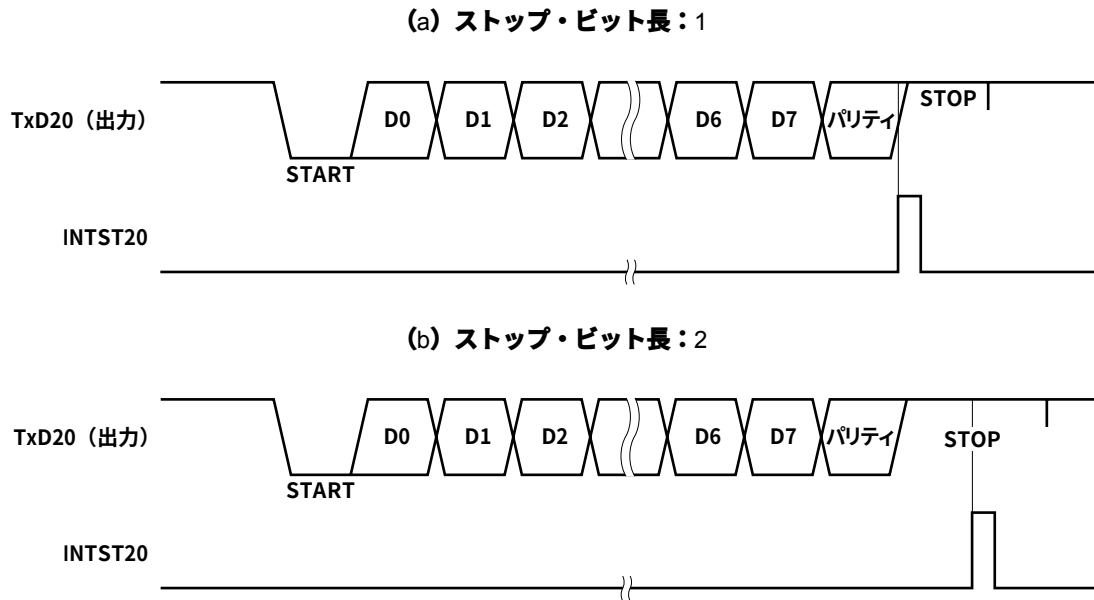
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ20 (TXS20) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS20内のデータがシフト・アウトされ、TXS20が空になると送信完了割り込み (INTST20) が発生します。

図13-8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) の書き換えは行わないでください。送信中にASIM20レジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります (RESET入力により、正常になります)。送信中かどうかは、送信完了割り込み (INTST20) またはINTST20によりセットされる割り込み要求フラグ (STIF20) を用いて、ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) ビットがセット (1) されると許可状態となり、RxD20端子入力のサンプリングを行います。

RxD20端子入力のサンプリングはBRGC20で指定したシリアル・クロックで行います。

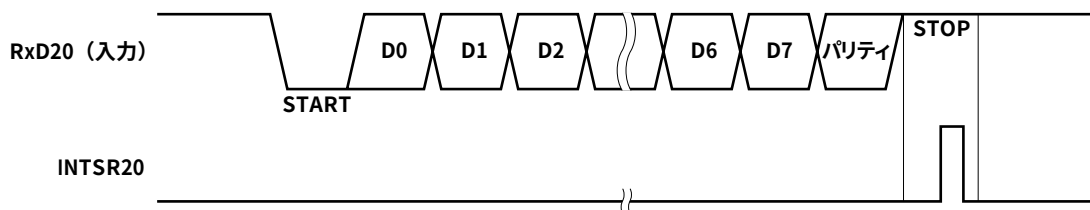
RxD20端子入力がロウ・レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD20端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ20 (RXB20) に転送し、受信完了割り込み (INTSR20) を発生します。

また、エラーが発生しても、RXB20にエラーの発生した受信データを転送し、INTSR20を発生します。

なお、受信動作中にRXE20ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB20およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の内容は変化せず、また、INTSR20も発生しません。

図13-9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ20 (RXB20) は必ず読み出してください。RXB20を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20（ASIS20）内に立ちます。受信エラーの要因を表13-7に示します。

受信エラー割り込み処理内で、ASIS20の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます（表13-7、図13-10参照）。

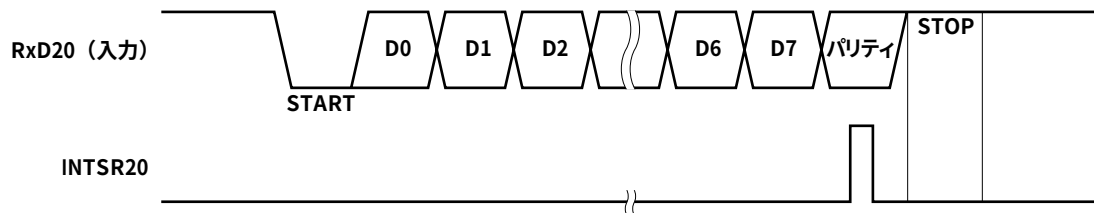
ASIS20の内容は、受信バッファ・レジスタ20（RXB20）を読み出すか、次のデータを受信することでリセット（0）されます（次のデータにエラーがあれば、そのエラー・フラグがセットされます）。

表13-7 受信エラーの要因

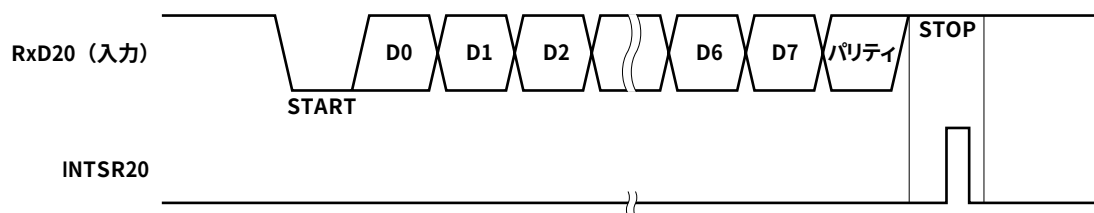
受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図13-10 受信エラー・タイミング

(a) パリティ・エラー発生時



(b) フレーミング・エラー，オーバラン・エラー発生時



- 注意1.** ASIS20レジスタの内容は、受信バッファ・レジスタ20（RXB20）を読み出すか、次のデータを受信することにより、リセット（0）されます。エラーの内容が知りたい場合には、必ずRXB20を読み出す前にASIS20を読み出してください。
- 2.** 受信エラー発生時にも、受信バッファ・レジスタ20（RXB20）は必ず読み出してください。RXB20を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

★

(f) 受信データの読み出し

受信完了割り込み (INTSR20) が発生したら、受信バッファ・レジスタ20 (RXB20) の値をリードすることで受信データを読み出します。

受信バッファ・レジスタ20 (RXB20) に格納された受信データをリードするときには、受信動作許可 (RXE20 = 1) の状態で読み出してください。

備考 ただし、受信動作停止 (RXE20 = 0) してから受信データを読み出す必要がある場合は、次のどちらかの方法で行ってください。

(a) BRGC20で選択したソース・クロックの1周期分以上のウェイト後にRXE20 = 0にして、リードする。

(b) シリアル動作モード・レジスタ20 (CSIM20) のビット2 (DIR20) をセット (1) して、リードする。

(a) のプログラム例 (BRGC20 = 00H (ソース・クロック = $f_x/2$) の場合)

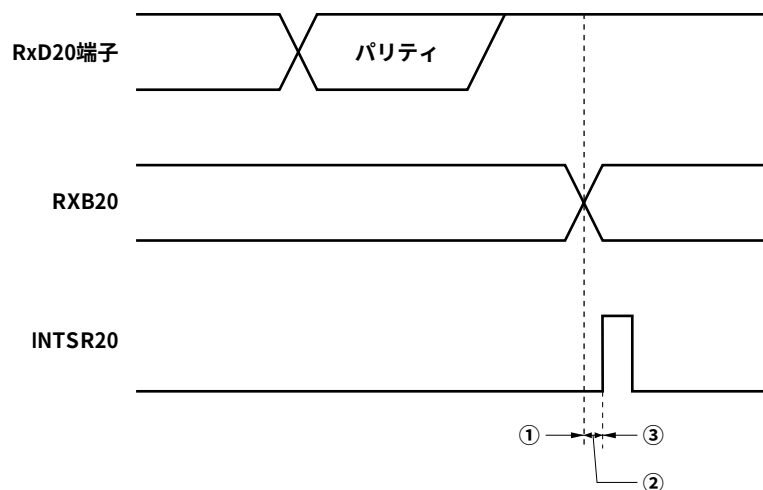
```
INTRXE:                                ; <受信完了割り込みルーチン>
      NOP                               ; 2クロック
      CLR1 RXE20                        ; 受信動作停止
      MOV  A, RXB20                     ; 受信データをリード
```

(b) のプログラム例

```
INTRXE:                                ; <受信完了割り込みルーチン>
      SET1 CSIM20.2                     ; DIR20フラグをLSBファーストに設定
      CLR1 RXE20                        ; 受信動作停止
      MOV  A, RXB20                     ; 受信データをリード
```

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット7 (TXE20) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ20 (TXS20) にFFHを設定したのちに、TXE20に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) をクリアした場合、受信バッファ・レジスタ20 (RXB20) , 受信完了割り込み20 (INTSR20) は、次のようになります。



- ①の区間でRXE20に0を設定した場合、RXB20は前のデータを保持し、INTSR20も発生しません。
- ②の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20は発生しません。
- ③の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20も発生します。

13.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK20}}$)、シリアル出力 (SO20)、シリアル入力 (SI20) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ20 (CSIM20)、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)、ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)、ポート・モード・レジスタ2 (PM2)、ポート2 (P2) で行います。

(a) シリアル動作モード・レジスタ20 (CSIM20)

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSC20	CKP20	F F 7 2 H	0 0 H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P23端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	$\overline{\text{SCK20}}$ の立ち下がりエッジで出力する
1	$\overline{\text{SCK20}}$ の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSC20	3線式シリアルI/Oモード時のクロックの選択
0	$\overline{\text{SCK20}}$ 端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ、アイドル時に $\overline{\text{SCK20}}$ はハイ・レベル
1	クロックはハイ・アクティブ、アイドル時に $\overline{\text{SCK20}}$ はロウ・レベル

注意 ビット4, 5には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H	00H	R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

CL20	キャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	F F 7 3 H	0 0 H	R/W

★

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択			n
					$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	
0	0	0	0	$f_x/2$	5.0 MHz	2.5 MHz	1
0	0	0	1	$f_x/2^2$	2.5 MHz	1.25 MHz	2
0	0	1	0	$f_x/2^3$	1.25 MHz	625 kHz	3
0	0	1	1	$f_x/2^4$	625 kHz	313 kHz	4
0	1	0	0	$f_x/2^5$	313 kHz	156 kHz	5
0	1	0	1	$f_x/2^6$	156 kHz	78.1 kHz	6
0	1	1	0	$f_x/2^7$	78.1 kHz	39.1 kHz	7
0	1	1	1	$f_x/2^8$	39.1 kHz	19.5 kHz	8
上記以外				設定禁止			

注 拡張規格品のみ。

注意1. 通信動作中にBRGC20の書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGCへの書き込みを行わないでください。

★

2. 3線式シリアルI/Oモード時で $f_x > 5.0 \text{ MHz}$ の場合、 $n = 1$ はシリアル・クロックの規格値を越えてしまうため選択しないでください。

備考1. f_x : システム・クロック発振周波数 (セラミック／水晶発振)

2. n : TPS200-TPS203で決定される値 ($1 \leq n \leq 8$)

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS200-TPS203でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : システム・クロック発振周波数 (セラミック／水晶発振)

n : TPS200-TPS203の設定で決定される上記の表中の値 ($1 \leq n \leq 8$)

(2) 通信動作

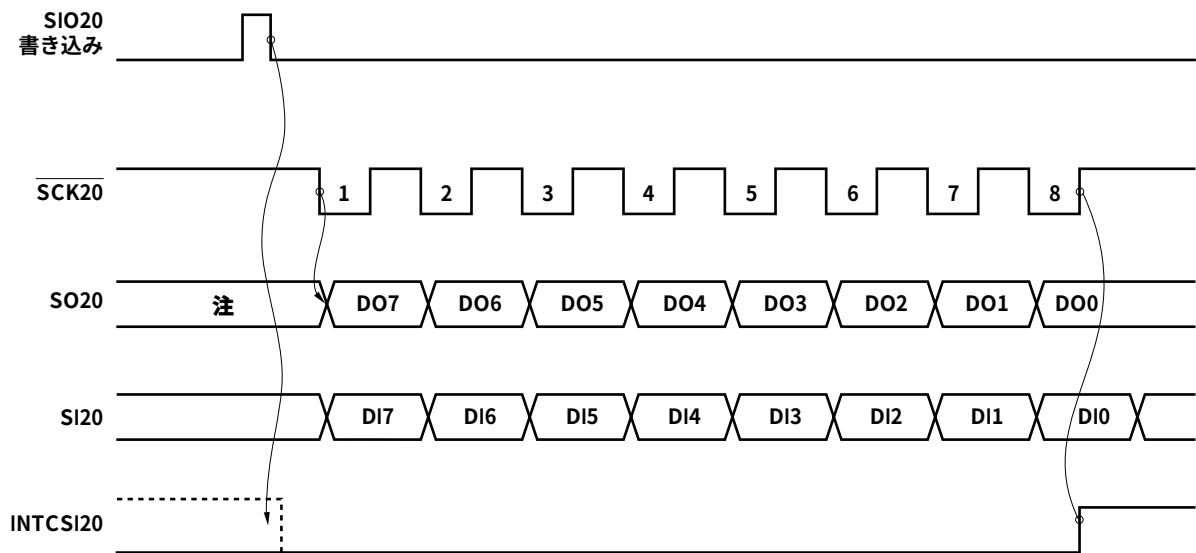
3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ (TXS20/SIO20)、受信シフト・レジスタ (RXS20) のシフト動作は、シリアル・クロック ($\overline{\text{SCK20}}$) の立ち下がりに同期して行われます。そして、送信データがSO20ラッチに保持され、SO20端子から出力されます。また、 $\overline{\text{SCK20}}$ の立ち上がりで、SI20端子に入力された受信データが受信バッファ・レジスタ (RXB20/SIO20) にラッチされます。

8ビット転送終了により、TXS/SIO20, RXS20の動作は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

図13-11 3線式シリアルI/Oモードのタイミング (1/7)

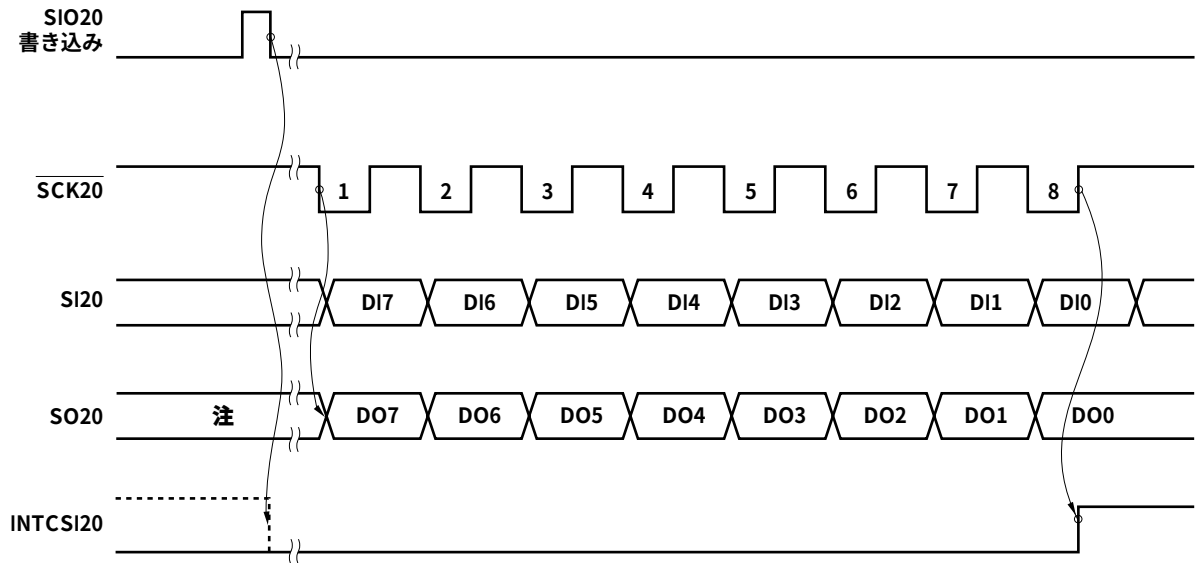
(i) マスタ動作タイミング (DAP20 = 0, CKP20 = 0, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

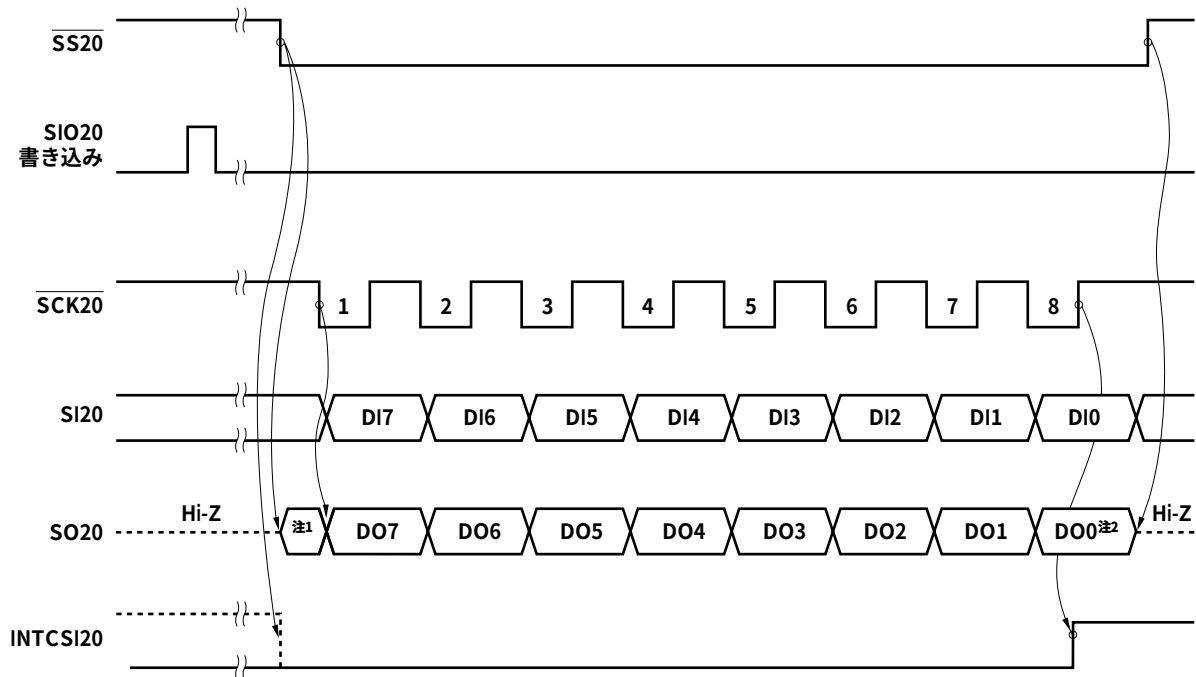
図13-11 3線式シリアルI/Oモードのタイミング (2/7)

(ii) スレーブ動作タイミング (DAP20 = 0, CKP20 = 0, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

(iii) スレーブ動作 (DAP20 = 0, CKP20 = 0, SSE20 = 1設定時)



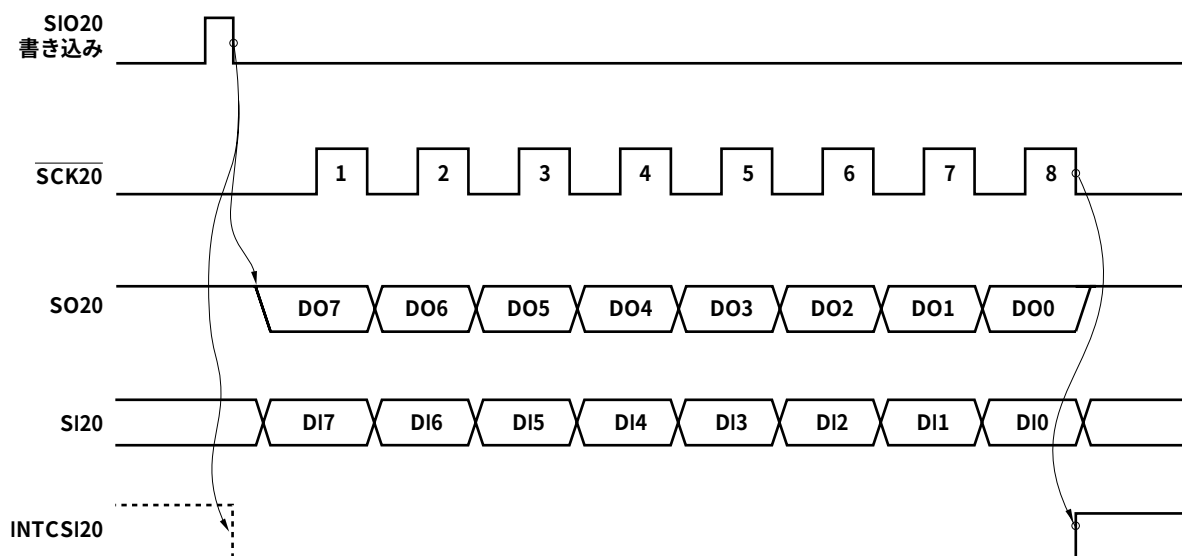
注1. 前回出力した最終ビットの値が出力されます。

2. SS20が立ち上がるまでDO0を出力し続けます。

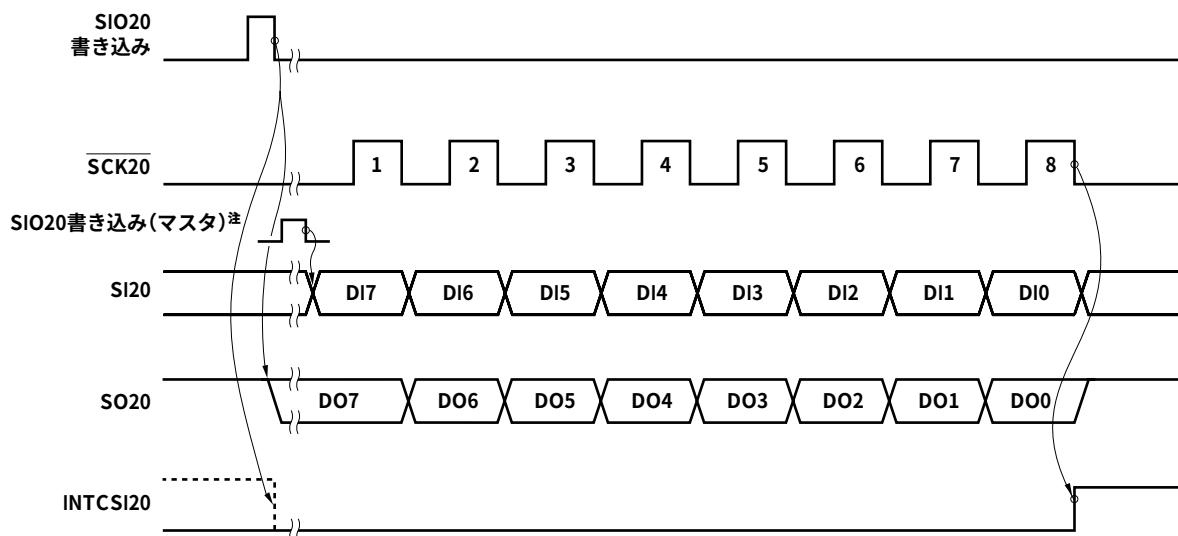
SS20がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

図13-11 3線式シリアルI/Oモードのタイミング (3/7)

(iv) マスタ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 0 設定時)



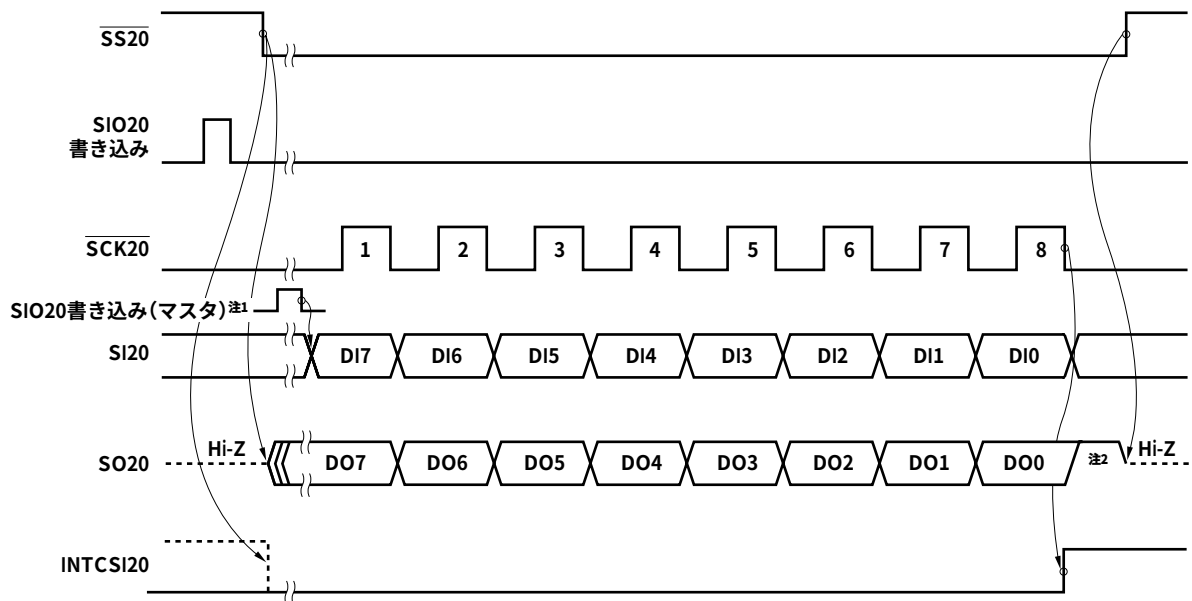
(v) スレーブ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 0 設定時)



注 SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち上がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち上がり以前で行うようにしてください。

図13-11 3線式シリアルI/Oモードのタイミング (4/7)

(vi) スレーブ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 1 設定時)



- 注1. SI20のデータの取り込みは、 $\overline{SCK}20$ の最初の立ち上がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{SCK}20$ の最初の立ち上がり以前で行うようにしてください。
2. DO0の出力が終わってから $\overline{SS}20$ が立ち上がるまでSO20はハイ・レベルになります。 $\overline{SS}20$ がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

(vii) マスタ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 0 設定時)

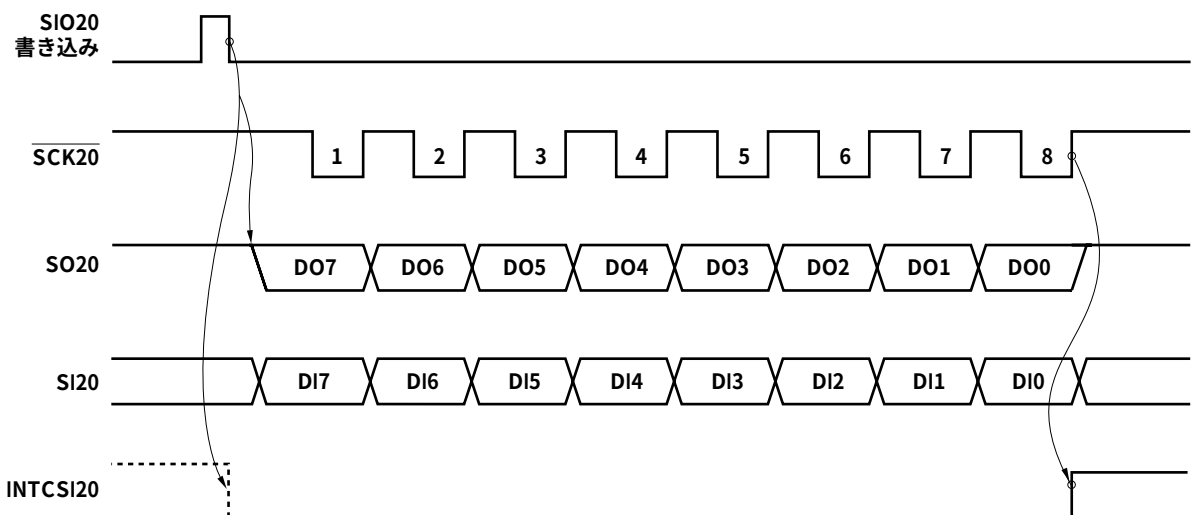
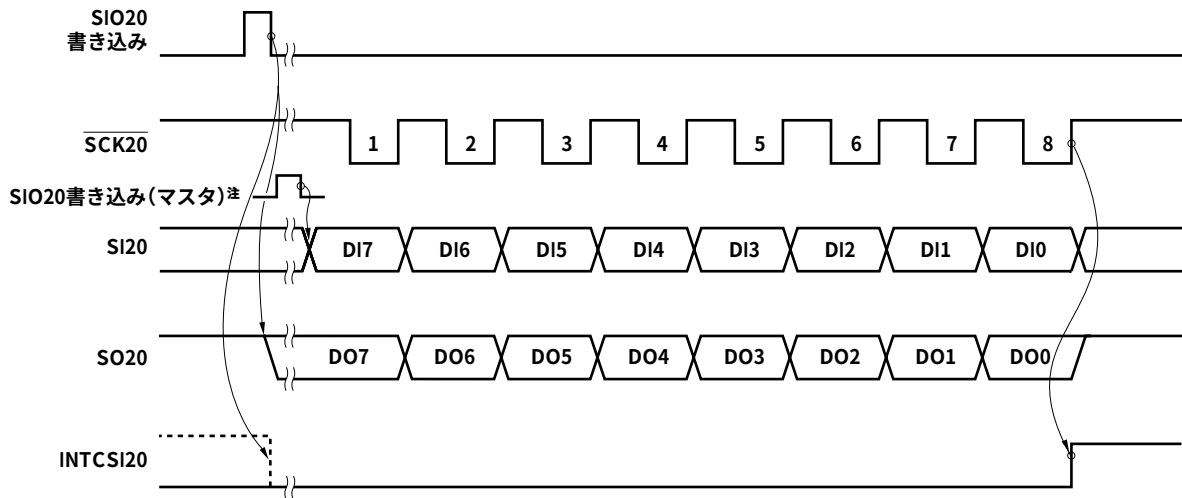


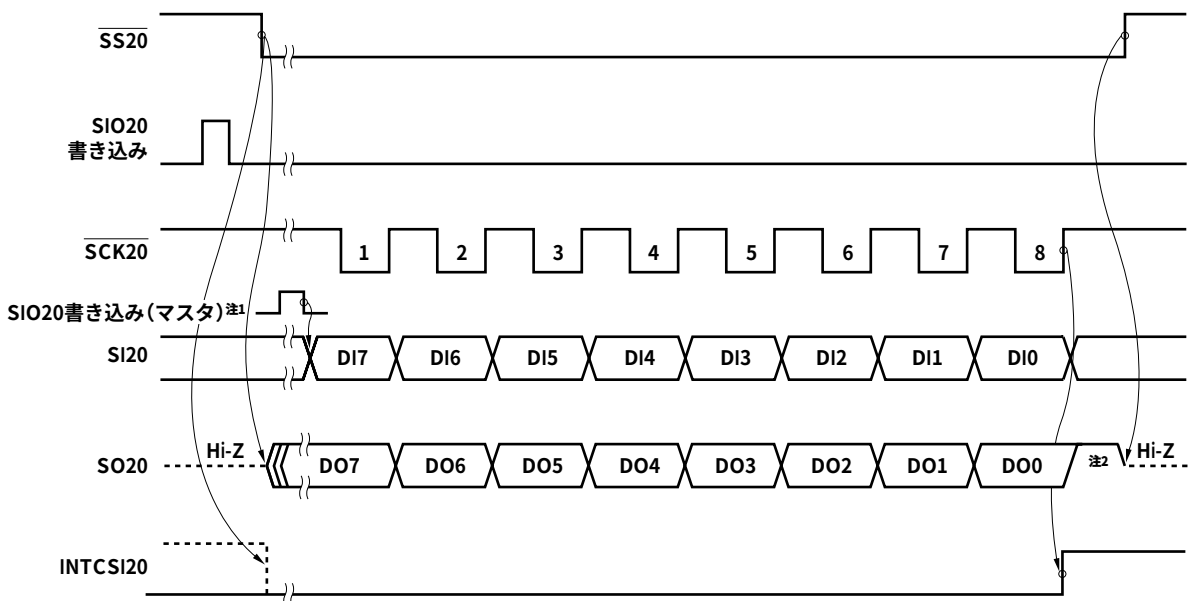
図13-11 3線式シリアルI/Oモードのタイミング (5/7)

(viii) スレーブ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 0 設定時)



注 SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち下がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち下がり以前で行うようにしてください。

(ix) スレーブ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 1 設定時)

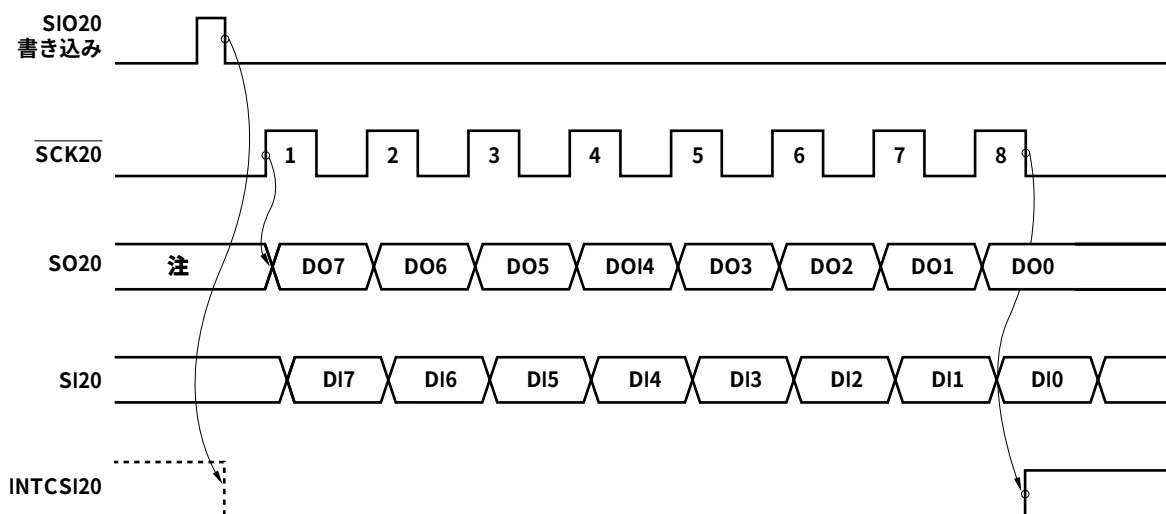


注1. SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち下がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち下がり以前で行うようにしてください。

2. DO0の出力が終わってからSS20が立ち上がるまでSO20はハイ・レベルになります。SS20がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

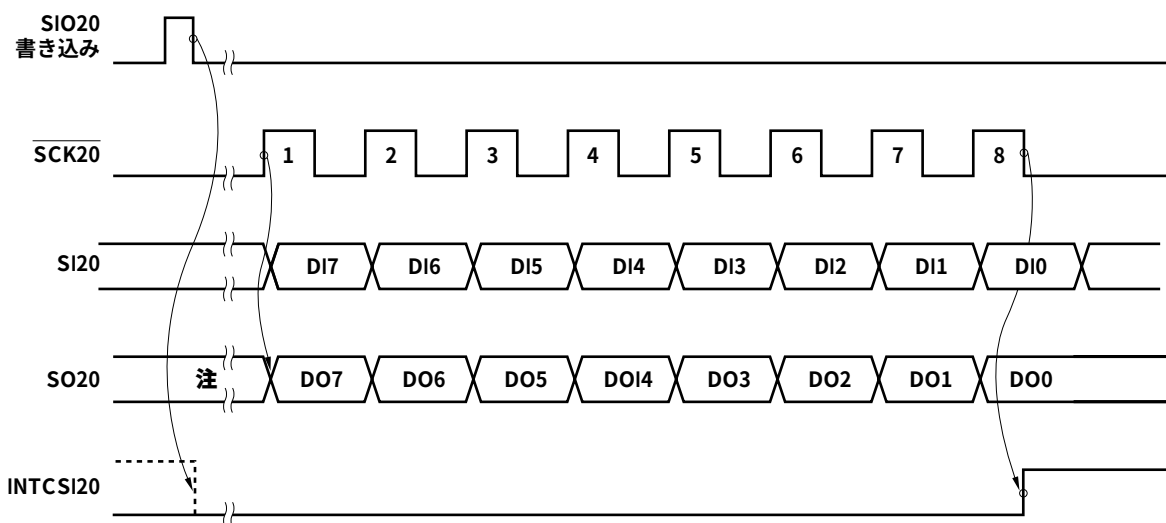
図13-11 3線式シリアルI/Oモードのタイミング (6/7)

(x) マスタ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

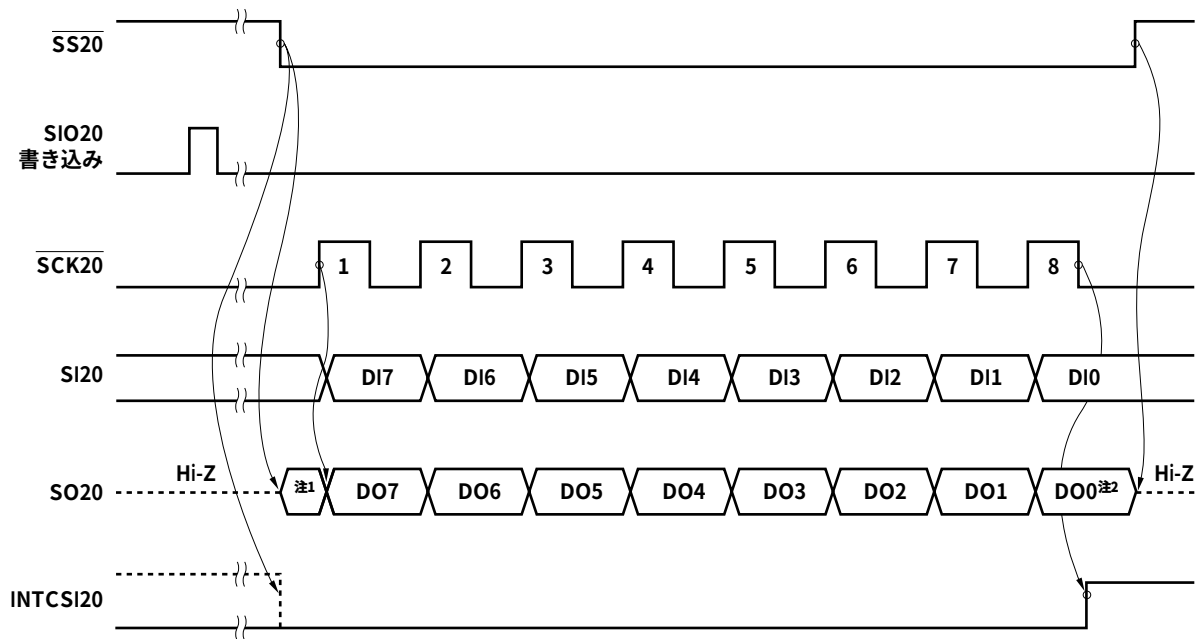
(xi) スレーブ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

図13-11 3線式シリアルI/Oモードのタイミング (7/7)

(xii) スレーブ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 1設定時)



注1. 前回出力した最終ビットの値が出力されます。

2. SS20が立ち上がるまでDO0を出力し続けます。

SS20がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ (TXS20/SIO20) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ20 (CSIM20) のビット7 (CSIE20) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK20がハイ・レベルの状態

注意 TXS20/SIO20にデータを書き込んだあと、CSIE20を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

第14章 乗算器

14.1 乗算器の機能

乗算器には、次のような機能があります。

- ・ 8ビット×8ビット = 16ビットの計算ができます。

14.2 乗算器の構成

(1) 16ビット乗算結果格納レジスタ0 (MUL0)

16ビットの乗算結果を格納するレジスタです。

このレジスタは、CPUクロックで16クロック経過後、乗算結果を保持します。

MUL0は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(2) 乗算データ・レジスタA, B (MRA0, MRB0)

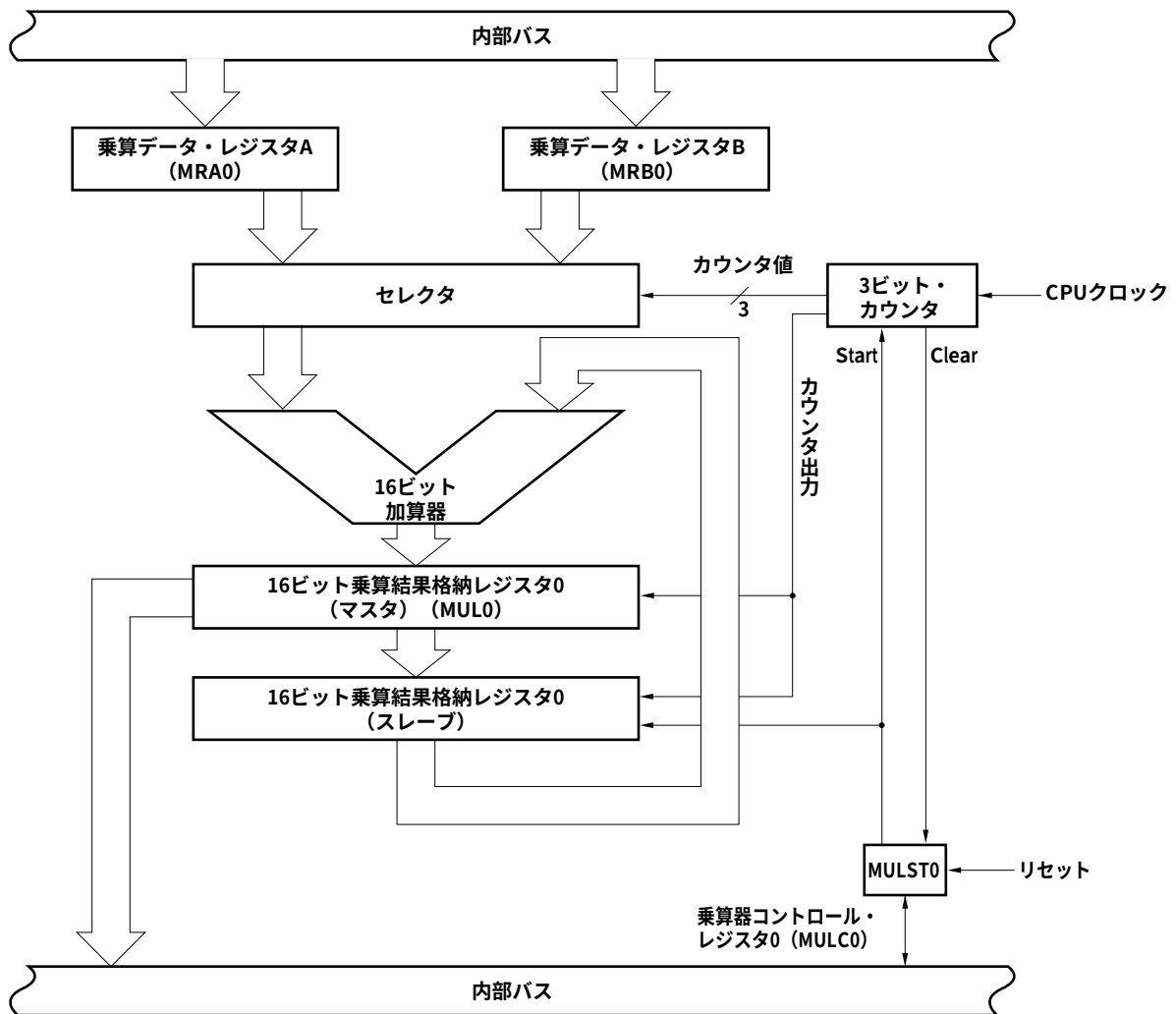
8ビットの乗算データ格納用レジスタです。乗算器はMRA0とMRB0の値を乗算します。

MRA0, MRB0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図14-1に乗算器のブロック図を示します。

図14-1 乗算器のブロック図



14.3 乗算器を制御するレジスタ

乗算器は次のレジスタで制御します。

- ・乗算器コントロール・レジスタ0 (MULC0)

MULC0は、演算動作を制御する機能と同時に、乗算器の動作状態を示すレジスタです。

MULC0は、1ビット、メモリ操作命令または、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-2 乗算器コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MULC0	0	0	0	0	0	0	0	MULST0	FFD2H	00H	R/W

MULST0	乗算器の演算活動開始の制御ビット	乗算器の動作状態
0	カウンタをすべて“0”にセットした後、演算動作停止。	動作停止中
1	演算動作許可	演算実行中

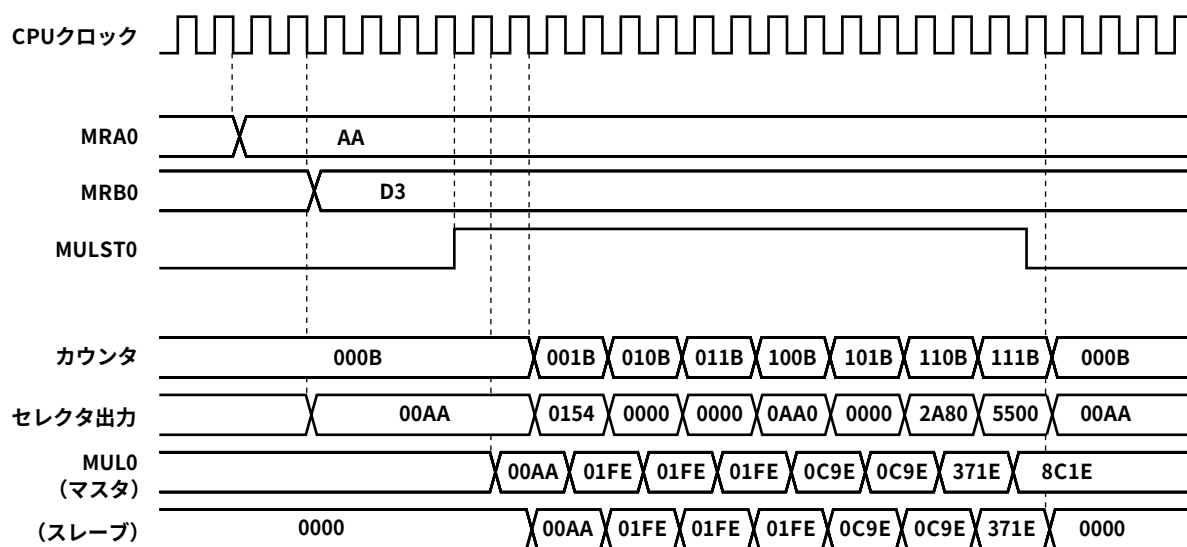
注意 ビット1-7には、必ず0を設定してください。

14.4 乗算器の動作

μ PD789104A/114A/124A/134Aサブシリーズの乗算器では8ビット×8ビット = 16ビットの計算ができます。
MRA0 = AAH, MRB0 = D3Hと設定した場合の乗算器の動作タイミングを図14-3に示します。

- ① MULST0をセットすることにより、カウント動作を開始します。
- ② CPUクロックごとに、セクタによって生成されたデータとMUL0のデータを加算し、カウンタ値を1インクリメントします。
- ③ カウンタの値が111Bのとき、MULST0がクリアされると演算動作を停止します。そのときMUL0はデータを保持しています。
- ④ MULST0がロウ・レベル中は、カウンタとスレーブはクリアされています。

図14-3 乗算器の動作タイミング (AAH×D3Hの例)



第15章 割り込み機能

15.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位（プライオリティ）は、表15-1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが3要因、内部割り込みが6要因あります。

15.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計10要因あります（表15-1参照）。

表15-1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・ テーブル・ アドレス	基本構成タイプ ^{注2}
		名 称	トリガ			
ノンマスカブル	—	INTWDT	ウォッチドッグ・タイマのオーバフロー（ウォッチドッグ・タイマ・モード1選択時）	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー（インターバル・タイマ・モード選択時）			外部
	1	INTP0	端子入力エッジ検出	(C)		
	2	INTP1				
	3	INTP2				
	4	INTSR20	シリアル・インタフェース20のUART受信終了	内部	000CH	(B)
		INTCSI20	シリアル・インタフェース20の3線式転送終了			
	5	INTST20	シリアル・インタフェース20のUART送信終了		000EH	
	6	INTTM80	8ビット・タイマ／イベント・カウンタ80の一致信号発生		0010H	
	7	INTTM20	16ビット・タイマ20の一致信号発生		0012H	
	8	INTAD0	A/D変換完了信号		0014H	

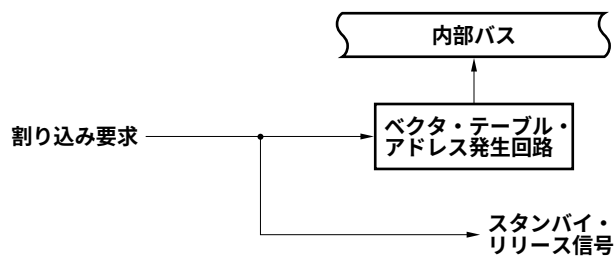
注1. プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位，8が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図15-1の (A) - (C) に対応しています。

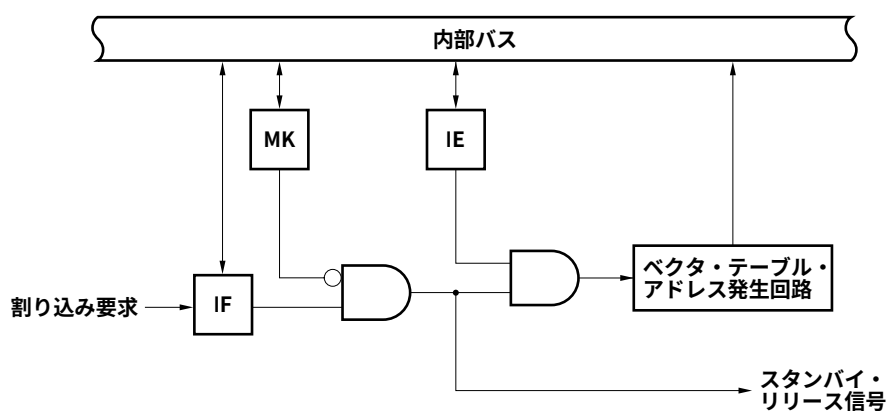
備考 ウォッチドッグ・タイマの割り込み要因（INTWDT）には、ノンマスカブル割り込みとマスカブル割り込み（内部）の2種類があり、どちらか1種類のみ選択できます。

図15-1 割り込み機能の基本構成

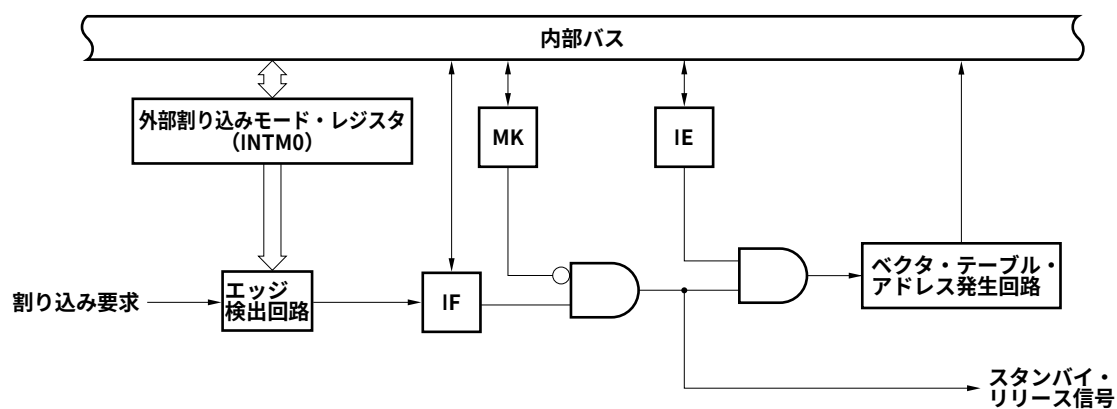
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

15.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ (MK0, MK1)
- ・外部割り込みモード・レジスタ (INTM0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を、表15-2に示します。

表15-2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTSR20/INTCSI20	SRIF20	SRMK20
INTST20	STIF20	STMK20
INTTM80	TMIF80	TMMK80
INTTM20	TMIF20	TMMK20
INTAD0	ADIF0	ADMK0

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15-2 割り込み要求フラグ・レジスタのフォーマット

略号	⑦	⑥	⑤	④	③	②	①	①	アドレス	リセット時	R/W
IF0	TMIF20	TMIF80	STIF20	SRIF20	PIF2	PIF1	PIF0	TMIF4	F F E 0 H	0 0 H	R/W
	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
IF1	0	0	0	0	0	0	0	ADIF0	F F E 1 H	0 0 H	R/W
XXIFX		割り込み要求フラグ									
0		割り込み要求信号が発生していない									
1		割り込み要求信号が発生し、割り込み要求状態									

- 注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1,2で使用する場合は、TMIF4フラグに0を設定してください。
2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
- ★ 3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図15-3 割り込みマスク・フラグ・レジスタのフォーマット

略号	⑦	⑥	⑤	④	③	②	①	①	アドレス	リセット時	R/W
MK0	TMMK20	TMMK80	STMK20	SRMK20	PMK2	PMK1	PMK0	TMMK4	F F E 4 H	F F H	R/W

	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
MK1	1	1	1	1	1	1	1	ADMK0	F F E 5 H	F F H	R/W

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1.** ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、TMMK4フラグを読み出すと不定になっています。
- 2.** ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFEC H	00 H	R/W

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1には必ず0を設定してください。

2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット ($\times \times \text{MK} \times = 1$) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア ($\times \times \text{IF} \times = 0$) してから、割り込みマスク・フラグをクリア ($\times \times \text{MK} \times = 0$) し、割り込みを許可してください。

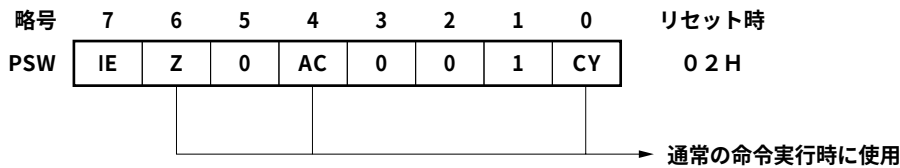
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可／禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。RETI, POP PSW命令により、スタックから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWは02Hになります。

図15-5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可／禁止
0	禁止
1	許可

15.4 割り込み処理動作

15.4.1 ノンマスカブル割り込み要求の受け付け動作

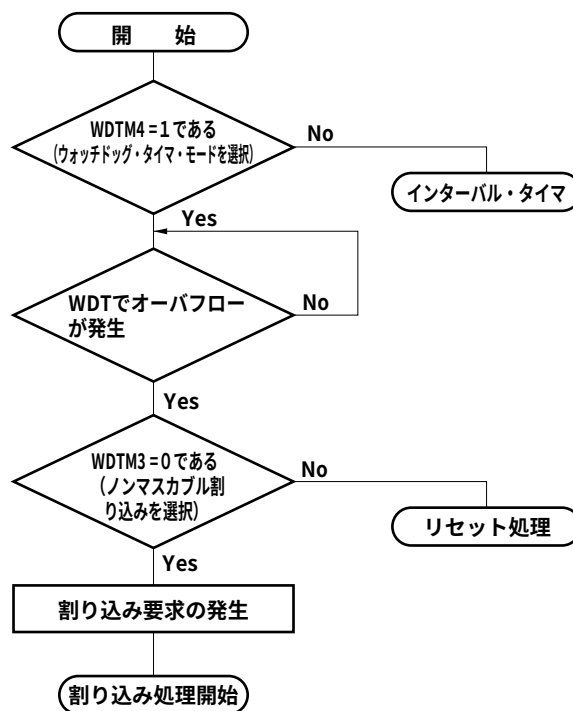
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図15-6に、ノンマスカブル割り込み要求の受け付けタイミングを図15-7に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図15-8に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図15-6 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



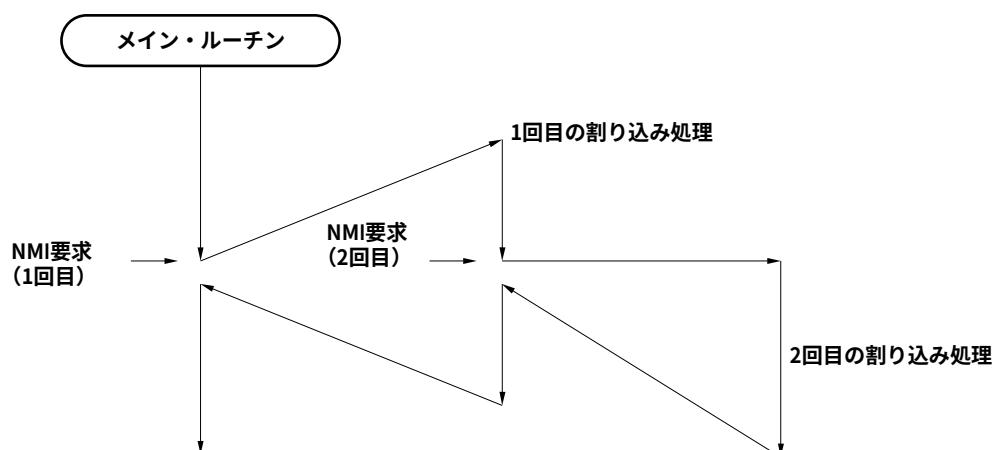
WDTM：ウォッチドッグ・タイマ・モード・レジスタ

WDT：ウォッチドッグ・タイマ

図15-7 ノンマスカブル割り込み要求の受け付けタイミング



図15-8 ノンマスカブル割り込み要求の受け付け動作



15.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込みの割り込みマスク・フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IE フラグがセット (1) されているとき) であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表15-3のようになります。

割り込み要求の受け付けのタイミングについては、図15-10、15-11を参照してください。

表15-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 [※]
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

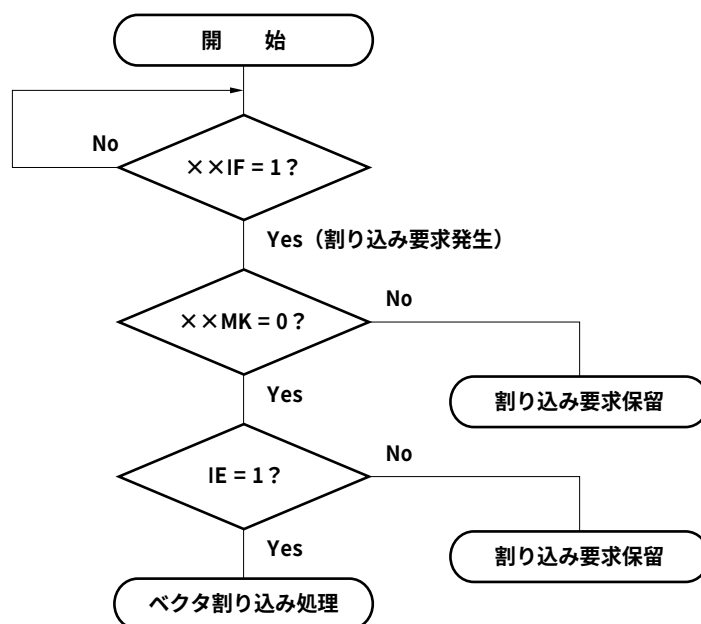
マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図15-9に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット (0) し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。RETI命令によって、割り込みから復帰できます。

図15-9 割り込み要求受け付け処理アルゴリズム

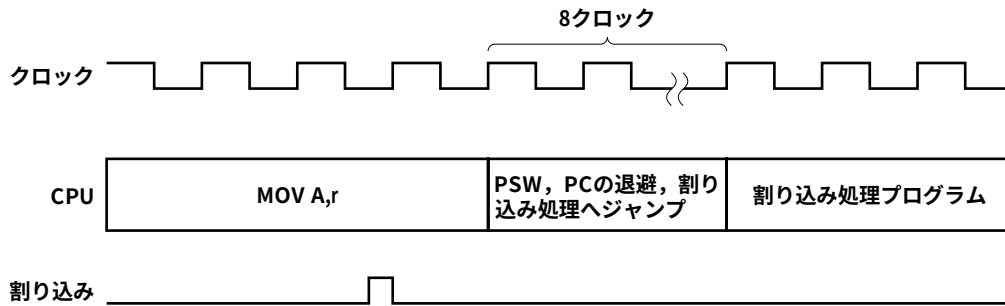


××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

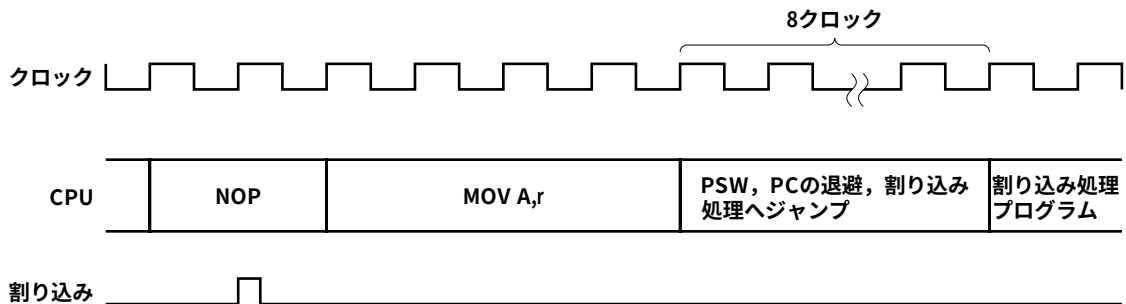
図15-10 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n-1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図15-10では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図15-11 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図15-11ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

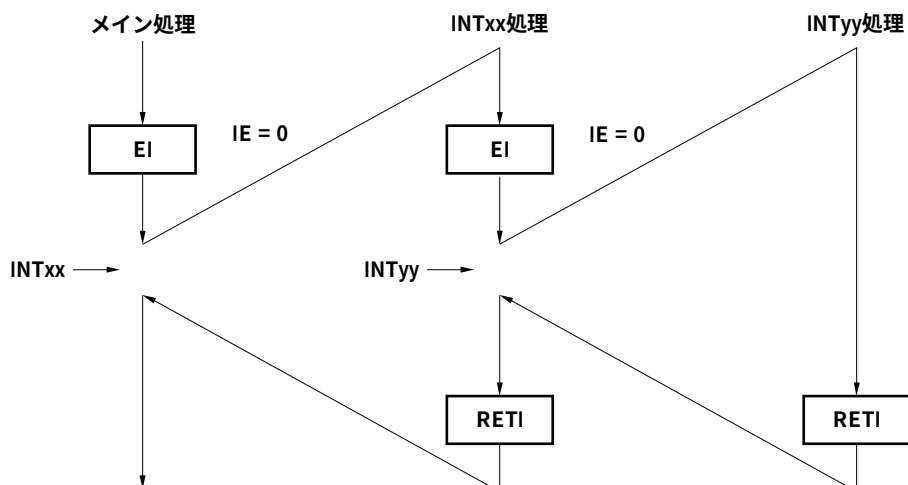
注意 割り込み要求フラグ・レジスタ (IF0, IF1) または割り込みマスク・フラグ・レジスタ (MK0, MK1) にアクセス中は割り込み要求は保留されます。

15.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表15-1参照）。

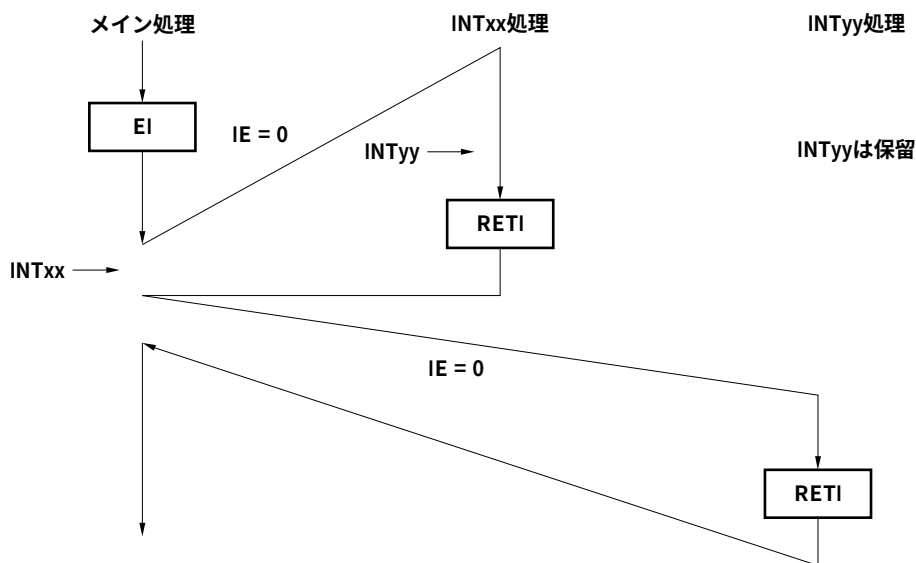
図15-12 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

15. 4. 4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ（MK0, MK1）に対する操作命令

第16章 スタンバイ機能

16.1 スタンバイ機能と構成

16.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

16. 1. 2 スタンバイ機能を制御するレジスタ (μPD789104A, 789114Aサブシリーズ)

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) ^注で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

注 μPD789104A, 789114Aサブシリーズにのみ存在します。

μPD789124A, 789134Aサブシリーズには、発振安定時間選択レジスタはありません。

μPD789124A, 789134Aサブシリーズの発振安定時間は $2^7/f_{cc}$ に固定されます。

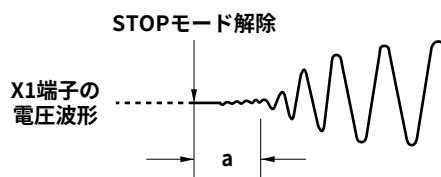
図16-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	0	$2^{12}/f_x$	409 μs	819 μs
0	1	0	$2^{15}/f_x$	3.28 ms	6.55 ms
1	0	0	$2^{17}/f_x$	13.1 ms	26.2 ms
上記以外			設定禁止		

注 拡張規格品のみ。

注意 セラミック／水晶発振ではSTOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は(下図a)は含みません。



備考 f_x : システム・クロック発振周波数 (セラミック／水晶発振)

16.2 スタンバイ機能の動作

16.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表16-1 HALTモード時の動作状態

項 目	HALTモード時の動作状態
クロック発生回路	システム・クロックの発振が可能。 CPUへのクロック供給が停止。
CPU	動作停止
ポート（出力ラッチ）	HALTモード設定前の状態を保持
16ビット・タイマ20	動作可能
8ビット・タイマ／イベント・カウンタ80	動作可能
ウォッチドッグ・タイマ	動作可能
シリアル・インタフェース20	動作可能
A/Dコンバータ	動作停止
乗算器	動作停止
外部割り込み	動作可能 ^注

注 マスクされていないマスカブル割り込み。

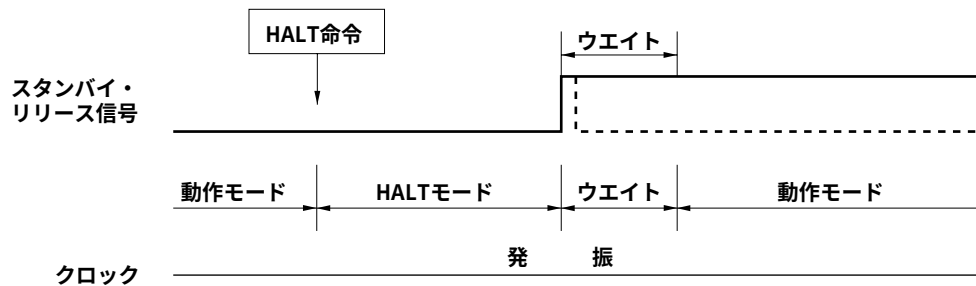
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図16-2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

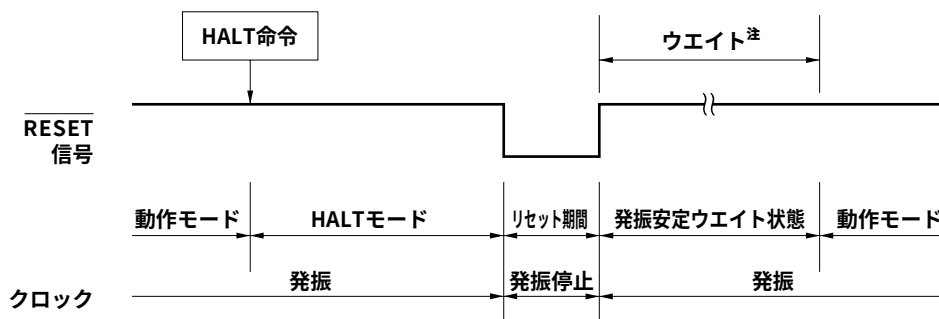
- ・ベクタに分岐した場合 : 9～10クロック
- ・ベクタに分岐しなかった場合 : 1～2クロック

(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図16-3 HALTモードのRESET入力による解除

注 μ PD789104A, 789114Aサブシリーズのとき

$2^{15}/f_x$: 6.55 ms ($f_x = 5.0$ MHz動作時) , 3.28 ms ($f_x = 10.0$ MHz動作時)

μ PD789124A, 789134Aサブシリーズのとき $2^7/f_{cc}$: 32 μ s ($f_{cc} = 4.0$ MHz動作時)

備考 f_x : システム・クロック発振周波数 (セラミック/水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

表16-2 HALTモードの解除後の動作

解除ソース	MK××	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	HALTモード保持
ノンマスカブル割り込み要求	—	×	割り込み処理実行
<u>RESET</u> 入力	—	—	リセット処理

× : don't care

16.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表16-3 STOPモード時の動作状態

項 目	STOPモード時の動作状態
クロック発生回路	システム・クロックの発振が停止
CPU	動作停止
ポート（出力ラッチ）	STOPモード設定前の状態を保持
16ビット・タイマ20	動作停止
8ビット・タイマ／イベント・カウンタ80	動作可能 ^{注1}
ウォッチドッグ・タイマ	動作停止
シリアル・インタフェース20	動作可能 ^{注2}
A/Dコンバータ	動作停止
乗算器	動作停止
外部割り込み	動作可能 ^{注3}

注1. カウント・クロックにTI80選択時のみ動作可能。

2. 外部クロック時は3線式シリアルI/Oモード，UARTモードともに動作可能。

3. マスクされていないマスカブル割り込み。

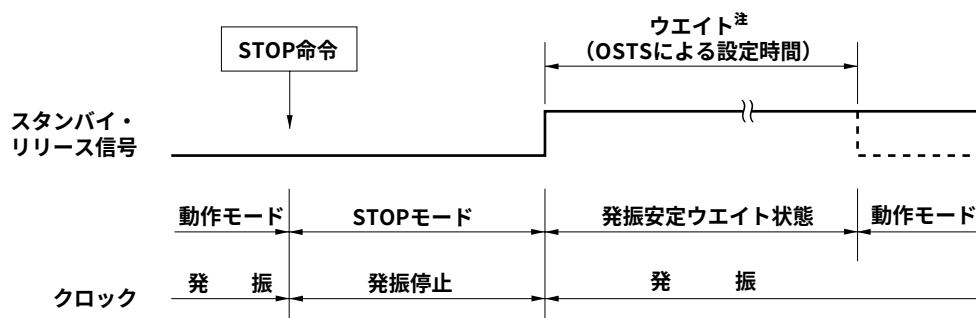
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図16-4 STOPモードの割り込み発生による解除

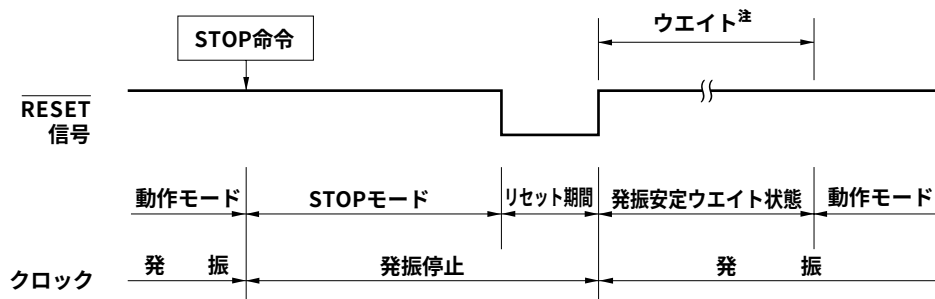


注 μ PD789124A, 789134Aサブシリーズには、OSTSはなく、ウェイトは $2^7/f_{cc}$ に固定されます。

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) RESET入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図16-5 STOPモードのRESET入力による解除

注 μ PD789104A, 789114Aサブシリーズのとき

$2^{15}/f_x$: 6.55 ms ($f_x = 5.0$ MHz動作時) , 3.28 ms ($f_x = 10.0$ MHz動作時)

μ PD789124A, 789134Aサブシリーズのとき $2^7/f_{cc}$: 32 μ s ($f_{cc} = 4.0$ MHz動作時)

備考 f_x : システム・クロック発振周波数 (セラミック／水晶発振)

f_{cc} : システム・クロック発振周波数 (RC発振)

表16-4 STOPモードの解除後の動作

解除ソース	MK××	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	STOPモード保持
RESET入力	—	—	リセット処理

× : don't care

第17章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表17-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後プログラムの実行を開始します（図17-2から図17-4参照）。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図17-1 リセット機能のブロック図

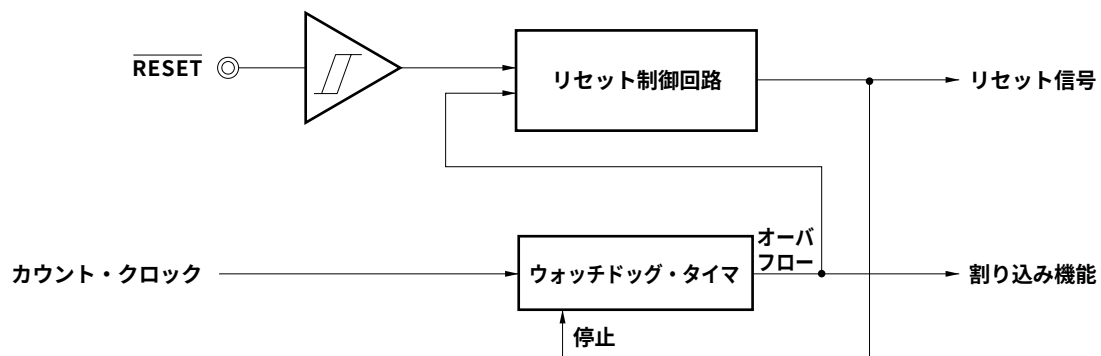


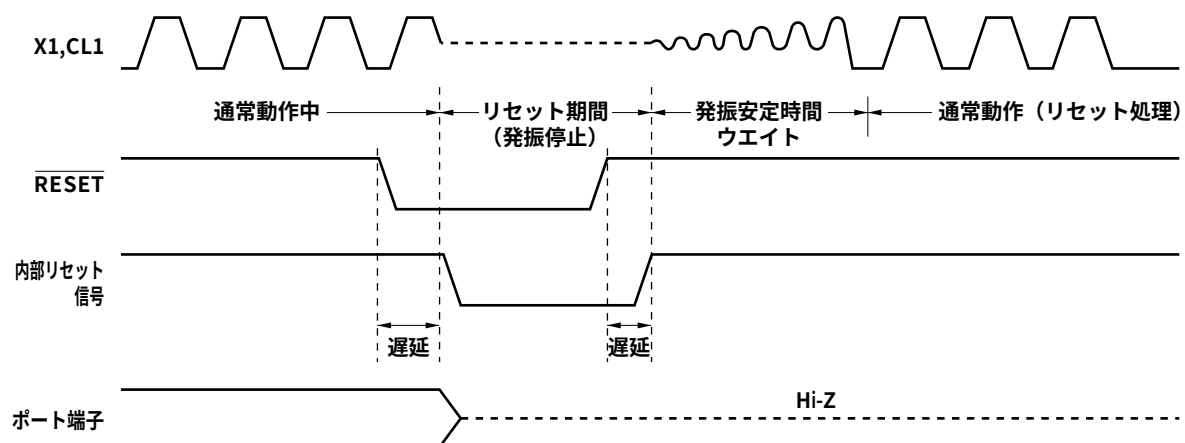
図17-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図17-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

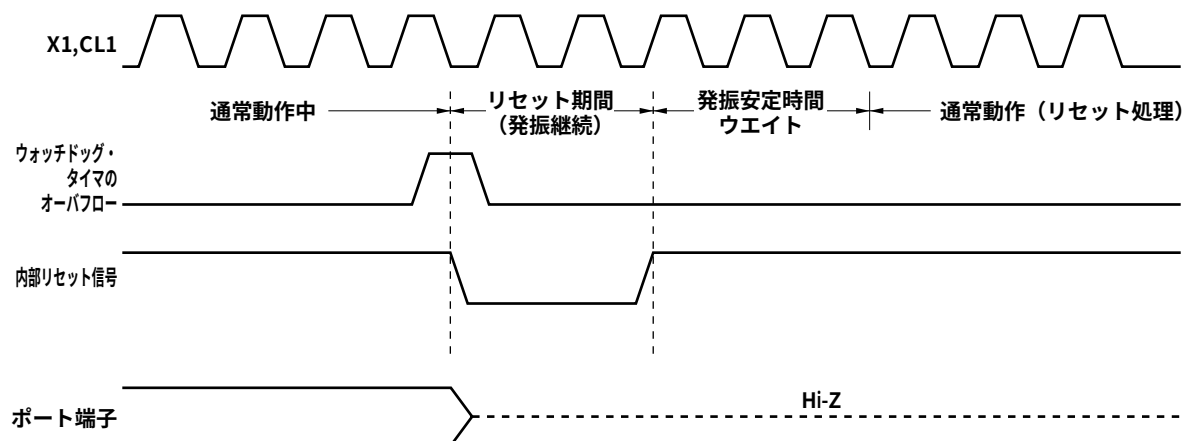
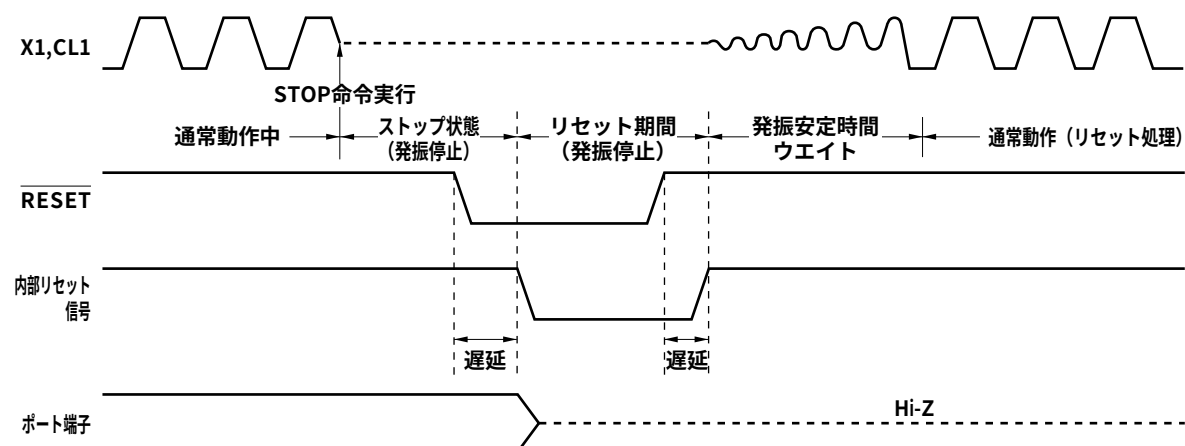
図17-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

表17-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P2, P5) 出力ラッチ		00H
ポート・モード・レジスタ (PM0-PM2, PM5)		FFH
プルアップ抵抗オプション・レジスタ0 (PU0)		00H
プルアップ抵抗オプション・レジスタB2 (PUB2)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS) ^{注3}		04H
16ビット・タイマ20	タイマ・カウンタ (TM20)	0000H
	コンペア・レジスタ (CR20)	FFFFH
	モード・コントロール・レジスタ (TMC20)	00H
	キャプチャ・レジスタ (TCP20)	不定
8ビット・タイマ/イベント・カウンタ80	タイマ・カウンタ (TM80)	00H
	コンペア・レジスタ (CR80)	不定
	モード・コントロール・レジスタ (TMC80)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
A/Dコンバータ	モード・レジスタ (ADM0)	00H
	入力チャネル指定レジスタ (ADS0)	00H
	変換結果レジスタ (ADCR0)	不定

- 注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定になります。
 その他は、リセット後の状態と変わりありません。
2. スタンバイ・モード時でのリセット後の状態は保持となります。
3. μ PD789104A, 789114Aサブシリーズのみです。

表17-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
シリアル・インタフェース20	モード・レジスタ (CSIM20)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM20)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS20)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC20)	00H
	送信シフト・レジスタ (TXS20)	FFH
	受信バッファ・レジスタ (RXB20)	不定
乗算器	16ビット乗算結果格納レジスタ (MUL0)	不定
	データ・レジスタA (MRA0)	不定
	データ・レジスタB (MRB0)	不定
	コントロール・レジスタ (MULC0)	00H
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H

★ 第18章 μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B

μ PD78F9116A, 78F9116Bは、 μ PD789104A, 789114AサブシリーズのマスクROM製品の内部ROMをフラッシュ・メモリに置き換えた製品です。 μ PD78F9136A, 78F9136Bは、 μ PD789124A, 789134AサブシリーズのマスクROM製品の内部ROMをフラッシュ・メモリに置き換えた製品です。フラッシュ・メモリ製品とマスクROM製品の違いを表18-1に示します。

表18-1 フラッシュ・メモリ製品とマスクROM製品の違い

項 目		フラッシュ・メモリ製品	マスクROM製品		
		μ PD78F9116A	μ PD789101A	μ PD789102A	μ PD789104A
		μ PD78F9116B	μ PD789111A	μ PD789112A	μ PD789114A
		μ PD78F9136A	μ PD789121A	μ PD789122A	μ PD789124A
		μ PD78F9136B	μ PD789131A	μ PD789132A	μ PD789134A
内部メモリ	ROM	16 Kバイト (フラッシュ・メモリ)	2 Kバイト	4 Kバイト	8 Kバイト
	高速RAM	256バイト			
プルアップ抵抗		12本 (ソフトウェア制御のみ)	16本 (ソフトウェア制御: 12本, マスク・オプション指定: 4本)		
V _{PP} 端子		あり	なし		
電気的特性		各電気的特性の章を参照してください。			

注意1. フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

2. A/D変換結果レジスタ0 (ADCR0) を8ビットA/Dコンバータ (μ PD789104A, 789124Aサブシリーズ) として使用するときは8ビット・メモリ操作命令で、10ビットA/Dコンバータ (μ PD789114A, 789134Aサブシリーズ) として使用するときは16ビット・メモリ操作命令で操作します。

ただし、 μ PD78F9116A, 78F9116Bは、 μ PD789101A, 789102A, 789104Aのフラッシュ・メモリ製品として使用するとき、また μ PD78F9136A, 78F9136Bは、 μ PD789121A, 789122A, 789124Aのフラッシュ・メモリ製品として使用するとき、ADCR0を8ビット・メモリ操作命令で操作できます。その場合、 μ PD789101A, 789102A, 789104Aでアセンブルしたオブジェクト・ファイルまたは μ PD789121A, 789122A, 789124Aでアセンブルしたオブジェクト・ファイルで行ってください。

18.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（FlashproIII（型番 FL-PR3, PG-FP3）／FlashproIV（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

18.1.1 プログラミング環境

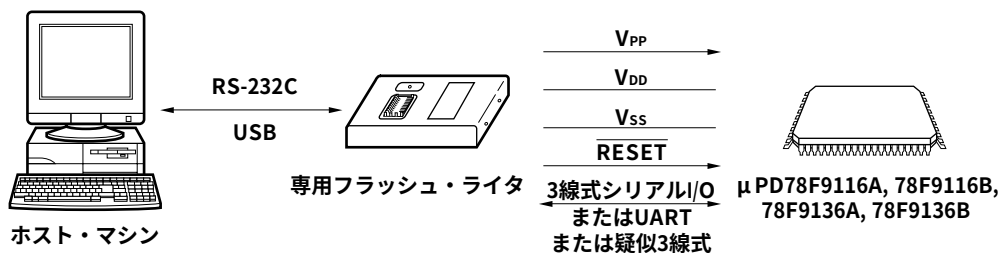
μ PD78F9116A, 78F9116B, 78F9136A, 78F9136Bのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashproIII（型番 FL-PR3, PG-FP3）／FlashproIV（型番 FL-PR4, PG-FP4）を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashproIII/FlashproIVのマニュアルを参照してください。

備考 USBはFlashproIVのみ対応

図18-1 フラッシュ・メモリにプログラムを書き込むための環境



18. 1. 2 通信方式

専用フラッシュ・ライタと μ PD78F9116A, 78F9116B, 78F9136A, 78F9136Bとの通信は、表18-3に示す通信方式から選択して行います。

表18-2 通信方式一覧 (μ PD78F9116A, 78F9136Aの場合)

通信方式	TYPE設定 ^{注1}					使用端子 ^{注2}	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK	Flash Clock	Multiple Rate		
3線式シリアル/O (SIO3)	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注3}	任意	1-5 MHz ^{注3}	1.0	SCK20/ASCK20/P20 SO20/TxD20/P21 SI20/RxD20/P22	0
UART (UART0)	UART ch-0	4800-76800 bps ^{注3, 4}	任意 ^{注5}	4.91, 5 MHz ^{注3}	1.0	TxD20/SO20/P21 RxD20/SI20/P22	8
疑似3線式	Port A (Pseudo-3wired)	100 Hz- 1 MHz ^{注3}	任意	1-5 MHz ^{注3}	1.0	P00 P01 P02	12

表18-3 通信方式一覧 (μ PD78F9116B, 78F9136Bの場合)

通信方式	TYPE設定 ^{注1}					使用端子 ^{注2}	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK	Flash Clock	Multiple Rate		
3線式シリアル/O	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注3}	任意	1-10 MHz ^{注3}	1.0	SCK20/ASCK20/P20 SO20/TxD20/P21 SI20/RxD20/P22	0
	SIO ch-1 (3wired, sync.)					P00 P01 P02	1
UART	UART ch-0	4800-76800 bps ^{注3, 4}	任意 ^{注5}	4.91, 5, 10 MHz ^{注3}	1.0	TxD20/SO20/P21 RxD20/SI20/P22	8

注1. 専用フラッシュ・ライタ (FlashproIII/FlashproIV) 上のTYPE設定における選択項目です。

- フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。
- 電圧により設定可能な範囲が異なります。詳細は各電気的特性の章を参照してください。
- UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
- FlashproIVの場合は任意。FlashproIIIの場合は必ずオンボード上の発振子のクロックを選択してください。FlashproIIIから供給されるクロックでは対応できません。

注意 通信方式は、必ず表18-2, 18-3に示すV_{PP}パルス数で選択してください。

図18-2 通信方式選択フォーマット

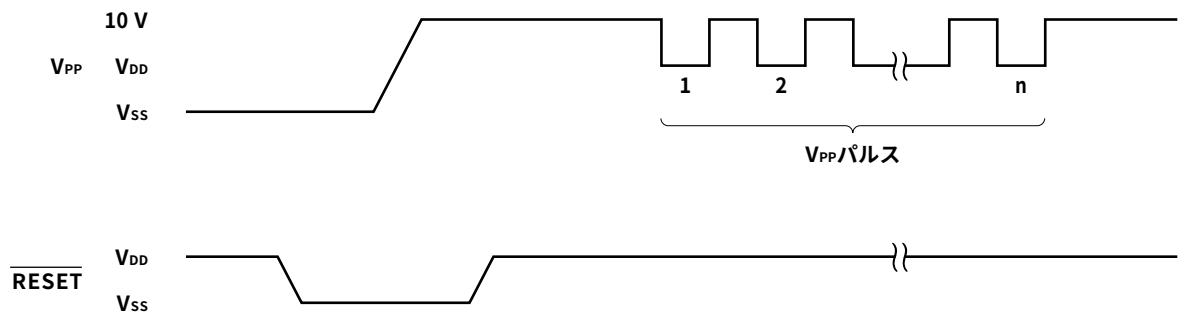
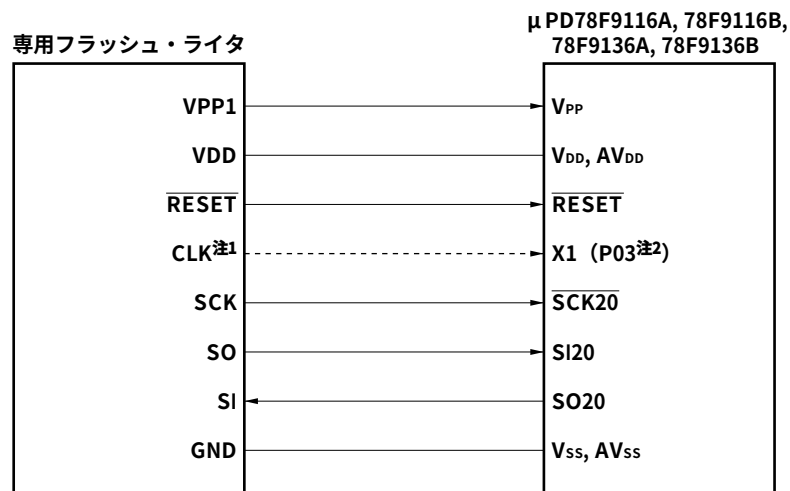
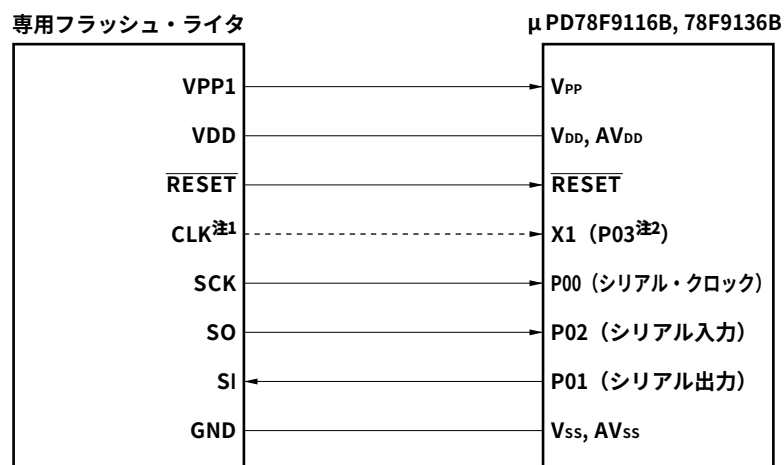


図18-3 専用フラッシュ・ライタとの接続例 (1/2)

(a) 3線式シリアルI/O方式 (SIO ch-0)

(b) 3線式シリアルI/O方式 (SIO ch-1) (μ PD78F9116B, 78F9136Bのみ)

注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

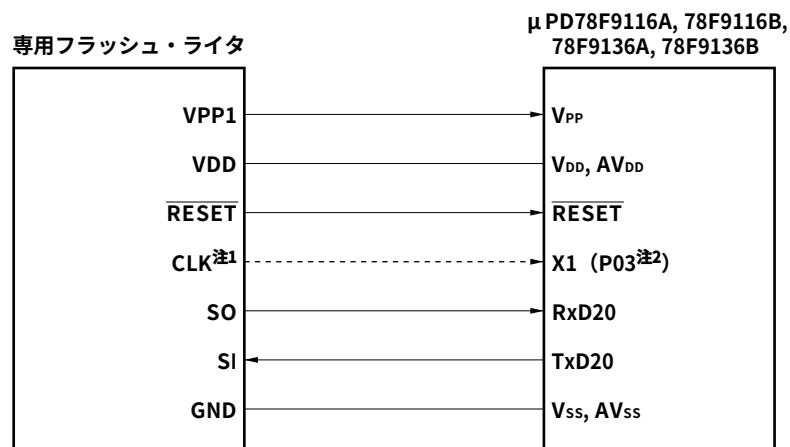
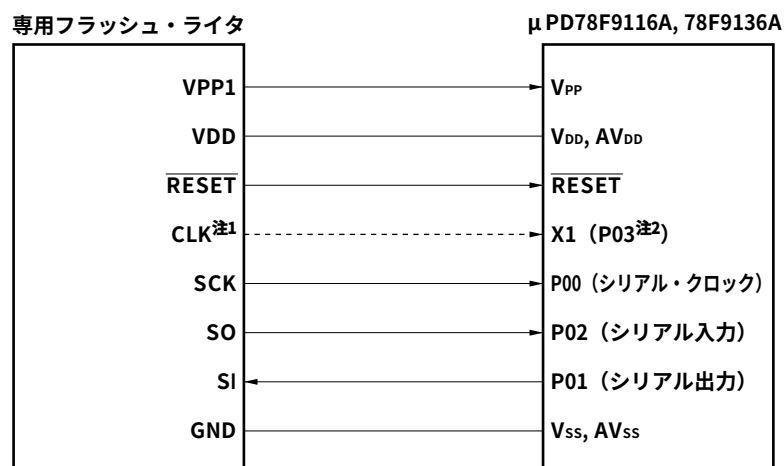
2. μ PD78F9136A, 78F9136Bの場合。

注意1. V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

2. μ PD78F9136A, 78F9136Bの場合、専用フラッシュ・ライタからのシステム・クロック入力用端子にはP03端子を使用してください。

図18-3 専用フラッシュ・ライタとの接続例 (2/2)

(c) UART方式

(d) 疑似3線式方式 (μ PD78F9116A, 78F9136Aのみ)

注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

2. μ PD78F9136A, 78F9136Bの場合。

注意1. V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

2. μ PD78F9136A, 78F9136Bの場合、専用フラッシュ・ライタからのシステム・クロック入力用端子にはP03端子を使用してください。

専用フラッシュ・ライタとしてFlashproIII/FlashproIVを使用した場合, μ PD78F9116A, 78F9116B, 78F9136A, 78F9136Bに対して次の信号を生成します。詳細はFlashproIII/FlashproIVのマニュアルを参照してください。

表18-4 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O	UART	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}	○	○	○
VPP2	—	—	—	×	×	×
VDD	入出力	V _{DD} 電圧生成／電圧監視	V _{DD} /AV _{DD}	○ ^{注1}	○ ^{注1}	○ ^{注1}
GND	—	グランド	V _{SS} /AV _{SS}	○	○	○
CLK	出力	クロック出力	X1 (P03 ^{注2})	○	○	○
RESET	出力	リセット信号	RESET	○	○	○
SI	入力	受信信号	SO20/P01/TxD20	○	○	○
SO	出力	送信信号	SI20/P02/RxD20	○	○	○
SCK	出力	転送クロック	SCK20/P00	○	×	○
HS	—	—	—	×	×	×

注1. V_{DD}電圧はプログラミング開始前に供給する必要があります。

2. μ PD78F9136A, 78F9136Bの場合。

備考 ○：必ず接続してください。

○：ターゲット・ボード上で供給されていれば、接続の必要はありません。

×：接続の必要はありません。

18.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

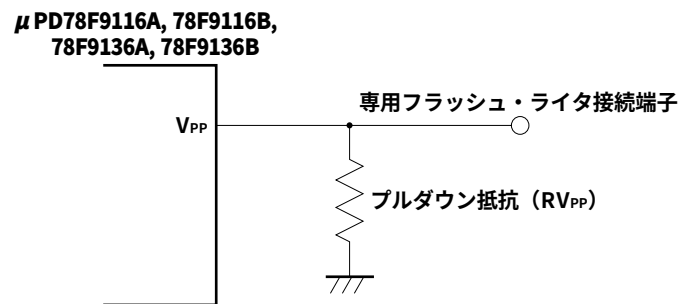
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1) か(2) の端子処理を行ってください。

(1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください。

(2) ボード上のジャンパで、V_{PP}端子の入力をライタ側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図18-4 V_{PP} 端子の接続例

<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

< μ PD78F9116A, 78F9136Aの場合>

シリアル・インタフェース	使用端子
3線式シリアルI/O	$\overline{SCK20}$, SO20, SI20
UART	TxD20, RxD20
疑似3線式	P00, P01, P02

< μ PD78F9116B, 78F9136Bの場合>

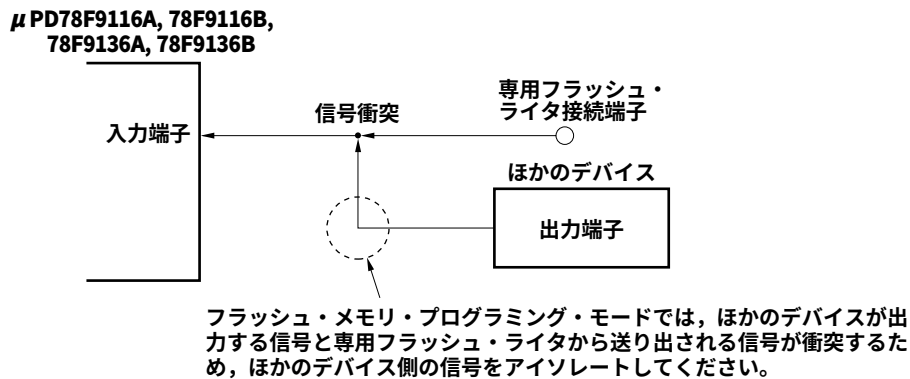
シリアル・インタフェース	使用端子
3線式シリアルI/O	$\overline{SCK20}$, SO20, SI20
	P00, P01, P02
UART	TxD20, RxD20

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

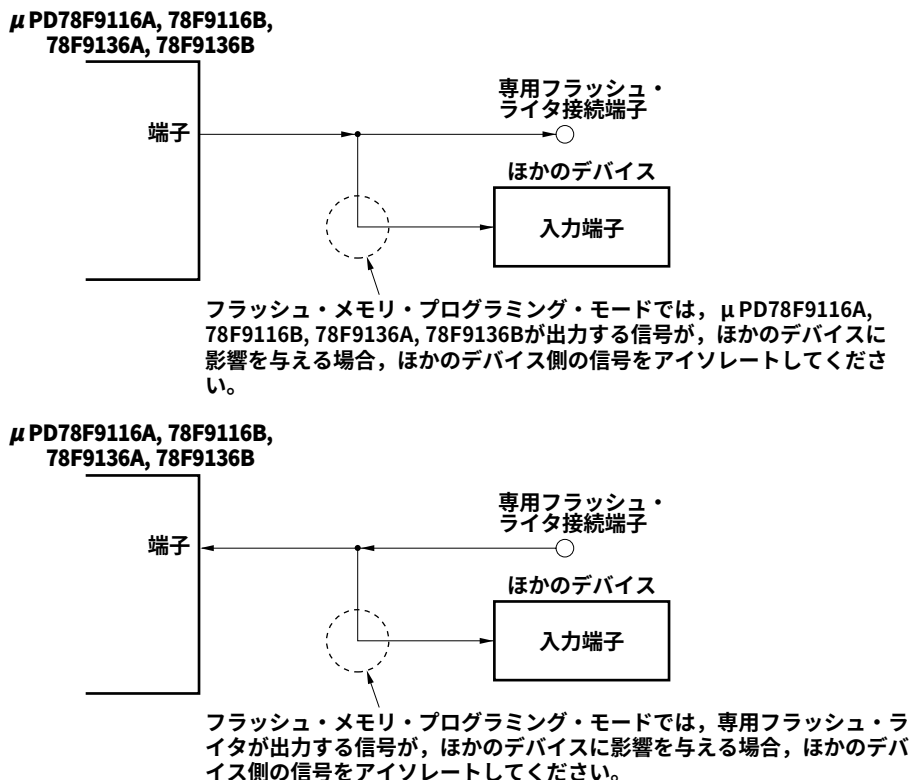
図18-5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図18-6 ほかのデバイスの異常動作

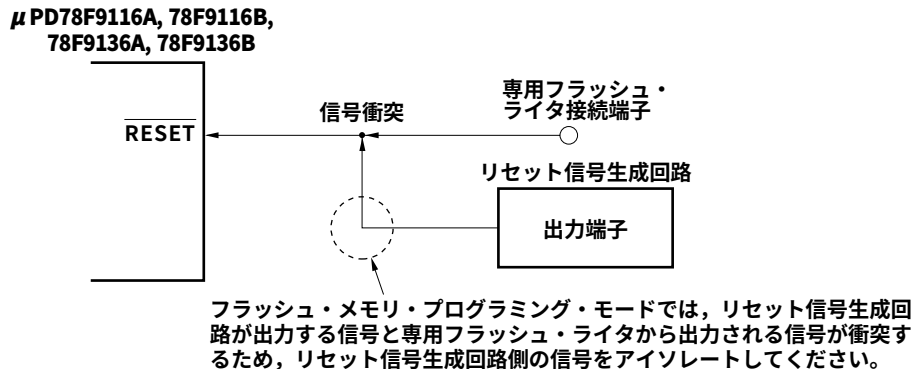


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図18-7 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}またはV_{SS}に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのVDDに、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

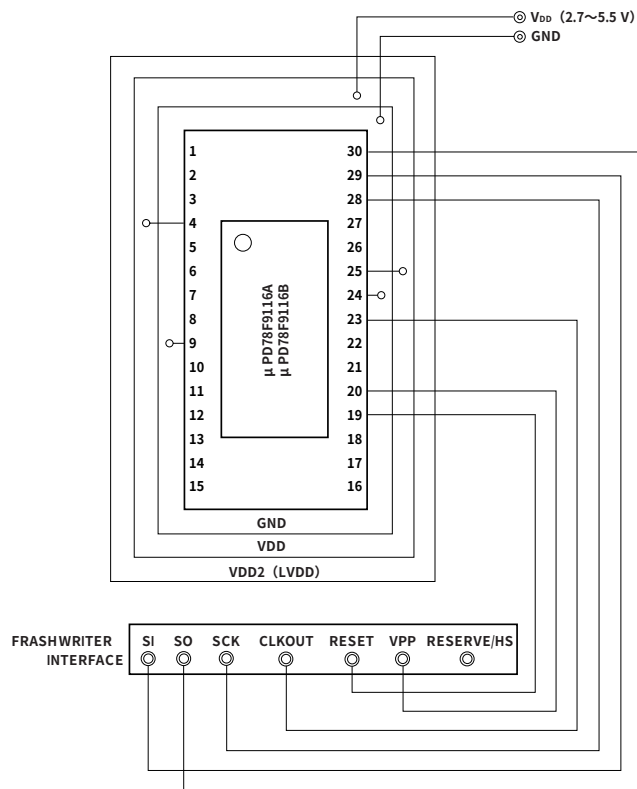
その他の電源 (AV_{DD}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

18.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図18-8 3線式シリアルI/O方式 (SIO-ch0) でのフラッシュ書き込み用アダプタ配線例

(a) μ PD78F9116A, 78F9116Bの場合



(b) μ PD78F9136A, 78F9136Bの場合

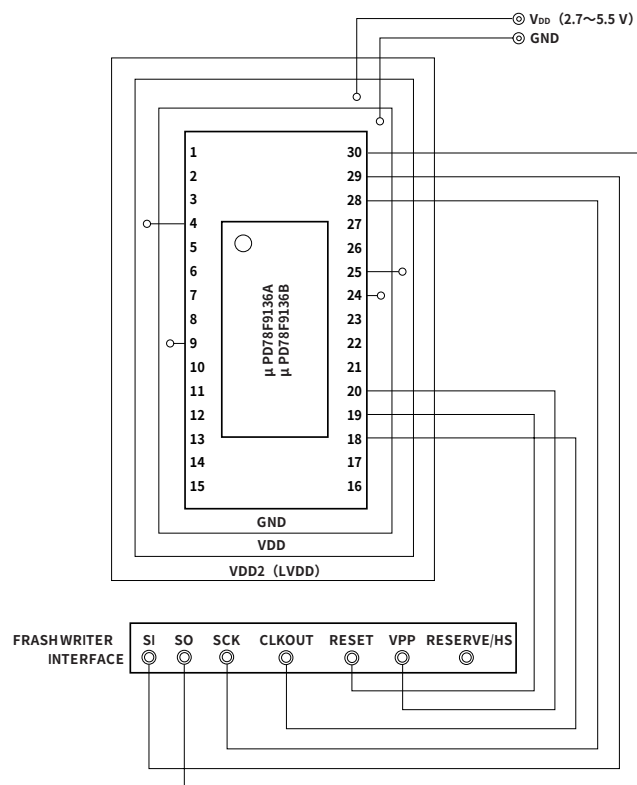


図18-9 3線式シリアルI/O方式 (SIO-ch1) でのフラッシュ書き込み用アダプタ配線例

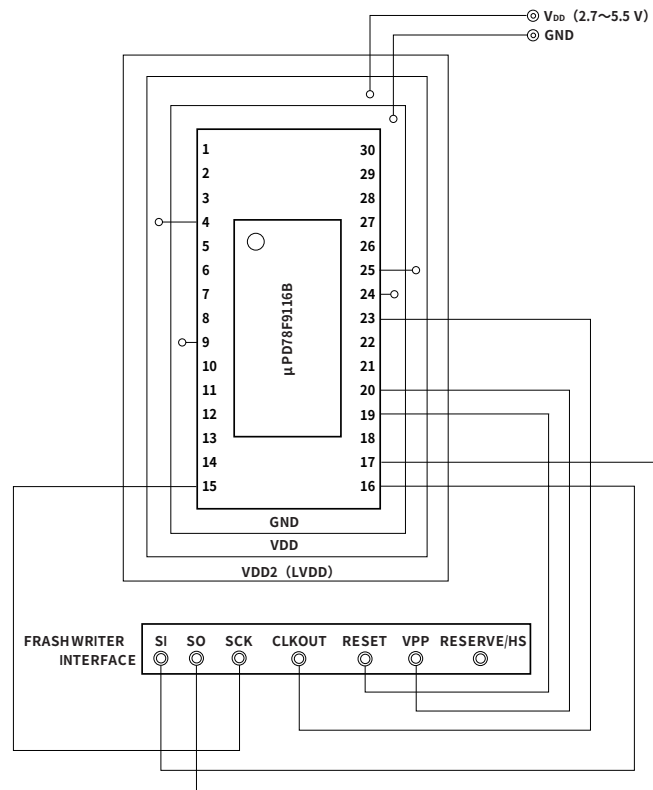
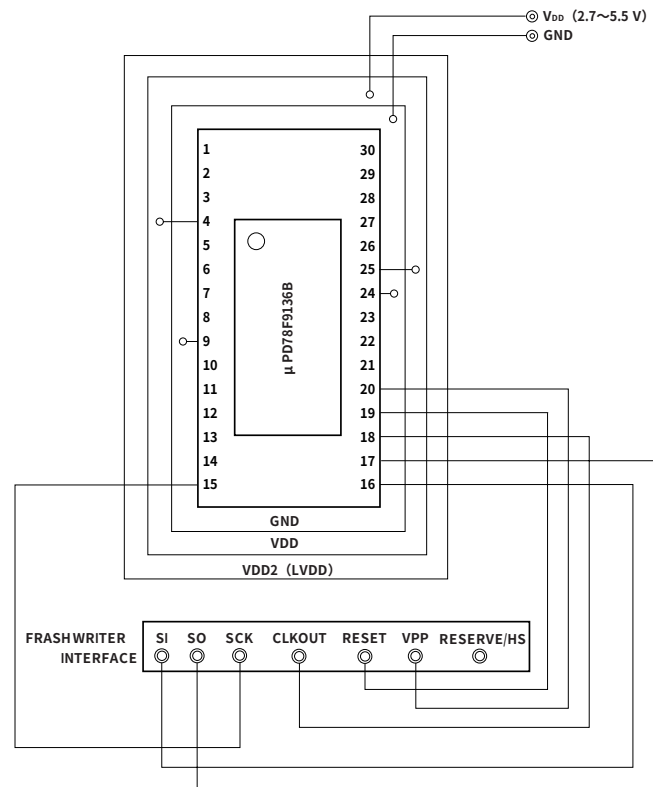
(a) μ PD78F9116Bの場合(b) μ PD78F9136Bの場合

図18-10 UART方式でのフラッシュ書き込み用アダプタ配線例

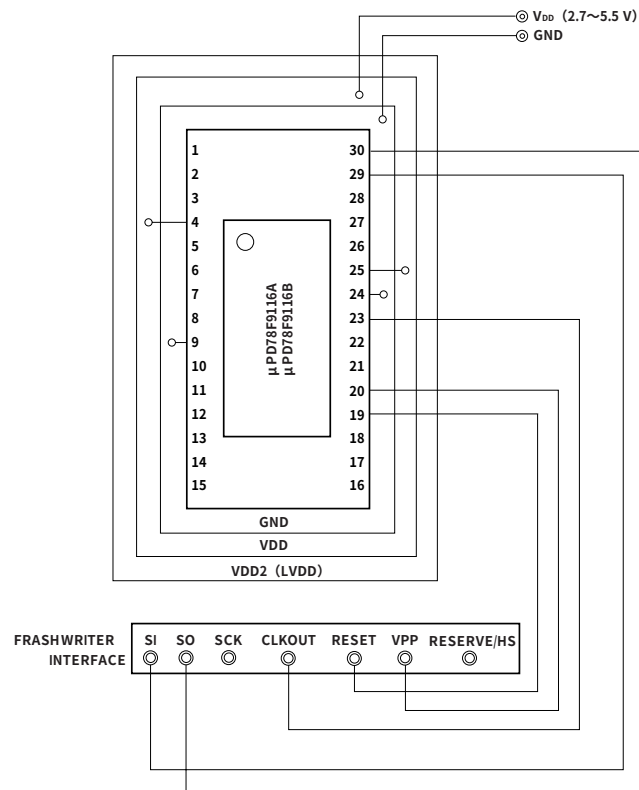
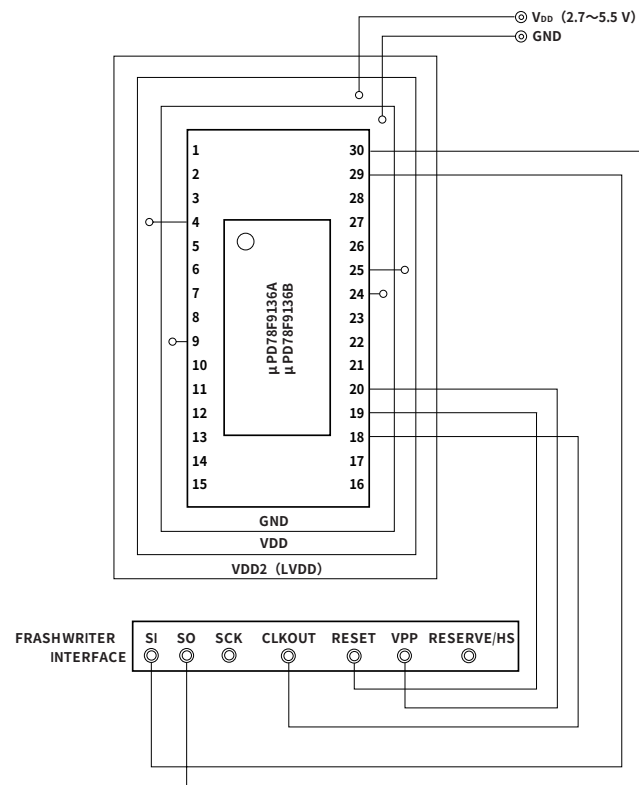
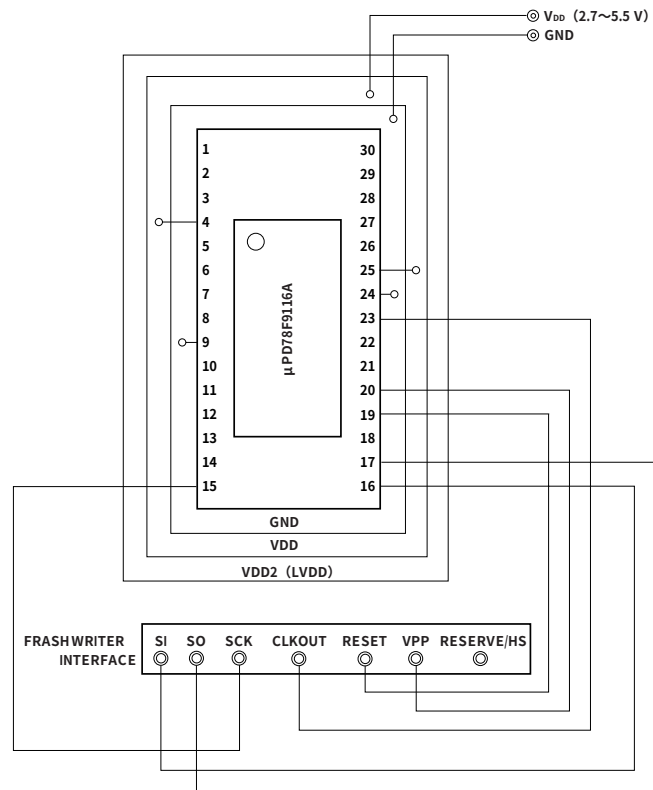
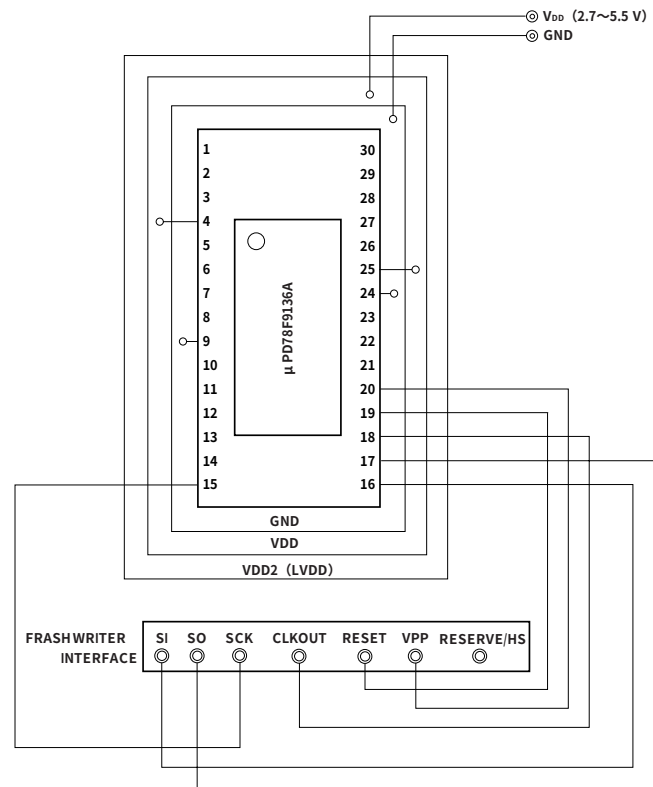
(a) μ PD78F9116A, 78F9116Bの場合(b) μ PD78F9136A, 78F9136Bの場合

図18-11 疑似3線式方式でのフラッシュ書き込み用アダプタ配線例

(a) μ PD78F9116Aの場合



(b) μ PD78F9136Aの場合



第19章 マスク・オプション（マスクROM製品）

表19-1 端子のマスク・オプションの選択

端 子	マスク・オプション
P50-P53	1ビット単位でプルアップ抵抗の内蔵を指定可能。

P50-P53（ポート5）は、マスク・オプションによりプルアップ抵抗の内蔵を指定することができます。マスク・オプションは1ビット単位で指定できます。

注意 フラッシュ・メモリ製品にはマスク・オプションによるプルアップ抵抗の内蔵機能はありません。

第20章 命令セットの概要

μ PD789104A/114A/124A/134Aサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

20.1 オペレーション

20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表20-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r rp sfr	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7) AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3) 特殊機能レジスタ略号
saddr saddrp	FE20H-FF1FH イミディエト・データまたはレーベル FE20H-FF1FH イミディエト・データまたはレーベル（偶数アドレスのみ）
addr16 addr5	0000H-FFFFH イミディエト・データまたはレーベル （16ビット・データ転送命令時は偶数アドレスのみ） 0040H-007FH イミディエト・データまたはレーベル（偶数アドレスのみ）
word byte bit	16ビット・イミディエト・データまたはレーベル 8ビット・イミディエト・データまたはレーベル 3ビット・イミディエト・データまたはレーベル

備考 特殊機能レジスタの略号は表4-3 特殊機能レジスタ一覧を参照してください。

20.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
---	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレースメント値)

20.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット／クリアされる
R	: 以前に退避した値がストアされる

20.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	$r \leftarrow \text{byte}$			
	saddr, #byte	3	6	$(\text{saddr}) \leftarrow \text{byte}$			
	sfr, #byte	3	6	$\text{sfr} \leftarrow \text{byte}$			
	A, r 注1	2	4	$A \leftarrow r$			
	r, A 注1	2	4	$r \leftarrow A$			
	A, saddr	2	4	$A \leftarrow (\text{saddr})$			
	saddr, A	2	4	$(\text{saddr}) \leftarrow A$			
	A, sfr	2	4	$A \leftarrow \text{sfr}$			
	sfr, A	2	4	$\text{sfr} \leftarrow A$			
	A, laddr16	3	8	$A \leftarrow (\text{addr16})$			
	laddr16, A	3	8	$(\text{addr16}) \leftarrow A$			
	PSW, #byte	3	6	$\text{PSW} \leftarrow \text{byte}$	×	×	×
	A, PSW	2	4	$A \leftarrow \text{PSW}$			
	PSW, A	2	4	$\text{PSW} \leftarrow A$	×	×	×
	A, [DE]	1	6	$A \leftarrow (\text{DE})$			
	[DE], A	1	6	$(\text{DE}) \leftarrow A$			
	A, [HL]	1	6	$A \leftarrow (\text{HL})$			
	[HL], A	1	6	$(\text{HL}) \leftarrow A$			
	A, [HL+byte]	2	6	$A \leftarrow (\text{HL} + \text{byte})$			
	[HL+byte], A	2	6	$(\text{HL} + \text{byte}) \leftarrow A$			
XCH	A, X	1	4	$A \longleftrightarrow X$			
	A, r 注2	2	6	$A \longleftrightarrow r$			
	A, saddr	2	6	$A \longleftrightarrow (\text{saddr})$			
	A, sfr	2	6	$A \longleftrightarrow \text{sfr}$			
	A, [DE]	1	8	$A \longleftrightarrow (\text{DE})$			
	A, [HL]	1	8	$A \longleftrightarrow (\text{HL})$			
	A, [HL, byte]	2	8	$A \longleftrightarrow (\text{HL} + \text{byte})$			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp←word			
	AX, saddrp	2	6	AX←(saddrp)			
	saddrp, AX	2	8	(saddrp)←AX			
	AX, rp 注	1	4	AX←rp			
	rp, AX 注	1	4	rp←AX			
XCHW	AX, rp 注	1	8	AX↔rp			
ADD	A, #byte	2	4	A, CY←A+byte	×	×	×
	saddr, #byte	3	6	(saddr), CY←(saddr)+byte	×	×	×
	A, r	2	4	A, CY←A+r	×	×	×
	A, saddr	2	4	A, CY←A+(saddr)	×	×	×
	A, laddr16	3	8	A, CY←A+(addr16)	×	×	×
	A, [HL]	1	6	A, CY←A+(HL)	×	×	×
	A, [HL+byte]	2	6	A, CY←A+(HL+byte)	×	×	×
ADDC	A, #byte	2	4	A, CY←A+byte+CY	×	×	×
	saddr, #byte	3	6	(saddr), CY←(saddr)+byte+CY	×	×	×
	A, r	2	4	A, CY←A+r+CY	×	×	×
	A, saddr	2	4	A, CY←A+(saddr)+CY	×	×	×
	A, laddr16	3	8	A, CY←A+(addr16)+CY	×	×	×
	A, [HL]	1	6	A, CY←A+(HL)+CY	×	×	×
	A, [HL+byte]	2	6	A, CY←A+(HL+byte)+CY	×	×	×
SUB	A, #byte	2	4	A, CY←A-byte	×	×	×
	saddr, #byte	3	6	(saddr), CY←(saddr)-byte	×	×	×
	A, r	2	4	A, CY←A-r	×	×	×
	A, saddr	2	4	A, CY←A-(saddr)	×	×	×
	A, laddr16	3	8	A, CY←A-(addr16)	×	×	×
	A, [HL]	1	6	A, CY←A-(HL)	×	×	×
	A, [HL+byte]	2	6	A, CY←A-(HL+byte)	×	×	×

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
	saddr, #byte	3	6	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
	A, r	2	4	$A, CY \leftarrow A - r - CY$	×	×	×
	A, saddr	2	4	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
	A, !addr16	3	8	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
	A, [HL]	1	6	$A, CY \leftarrow A - (HL) - CY$	×	×	×
	A, [HL+byte]	2	6	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
AND	A, #byte	2	4	$A \leftarrow A \wedge \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \wedge r$	×		
	A, saddr	2	4	$A \leftarrow A \wedge (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \wedge (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \wedge (HL)$	×		
	A, [HL+byte]	2	6	$A \leftarrow A \wedge (HL + \text{byte})$	×		
OR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \vee \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \vee r$	×		
	A, saddr	2	4	$A \leftarrow A \vee (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \vee (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \vee (HL)$	×		
	A, [HL+byte]	2	6	$A \leftarrow A \vee (HL + \text{byte})$	×		
XOR	A, #byte	2	4	$A \leftarrow A \nabla \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \nabla \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \nabla r$	×		
	A, saddr	2	4	$A \leftarrow A \nabla (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \nabla (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \nabla (HL)$	×		
	A, [HL+byte]	2	6	$A \leftarrow A \nabla (HL + \text{byte})$	×		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A ← byte	×	×	×
	saddr, #byte	3	6	(saddr) ← byte	×	×	×
	A, r	2	4	A ← r	×	×	×
	A, saddr	2	4	A ← (saddr)	×	×	×
	A, !addr16	3	8	A ← (addr16)	×	×	×
	A, [HL]	1	6	A ← (HL)	×	×	×
	A, [HL+byte]	2	6	A ← (HL+byte)	×	×	×
ADDW	AX, #word	3	6	AX, CY ← AX+word	×	×	×
SUBW	AX, #word	3	6	AX, CY ← AX−word	×	×	×
CMPW	AX, #word	3	6	AX ← word	×	×	×
INC	r	2	4	r ← r+1	×	×	
	saddr	2	4	(saddr) ← (saddr) +1	×	×	
DEC	r	2	4	r ← r−1	×	×	
	saddr	2	4	(saddr) ← (saddr) −1	×	×	
INCW	rp	1	4	rp ← rp+1			
DECW	rp	1	4	rp ← rp−1			
ROR	A, 1	1	2	(CY, A ₇ ←A ₀ , A _{m−1} ←A _m) ×1回			×
ROL	A, 1	1	2	(CY, A ₀ ←A ₇ , A _{m+1} ←A _m) ×1回			×
RORC	A, 1	1	2	(CY←A ₀ , A ₇ ←CY, A _{m−1} ←A _m) ×1回			×
ROLC	A, 1	1	2	(CY←A ₇ , A ₀ ←CY, A _{m+1} ←A _m) ×1回			×
SET1	saddr.bit	3	6	(saddr.bit) ←1			
	sfr.bit	3	6	sfr.bit←1			
	A.bit	2	4	A.bit←1			
	PSW.bit	3	6	PSW.bit←1	×	×	×
	[HL] .bit	2	10	(HL) .bit←1			
CLR1	saddr.bit	3	6	(saddr.bit) ←0			
	sfr.bit	3	6	sfr.bit←0			
	A.bit	2	4	A.bit←0			
	PSW.bit	3	6	PSW.bit←0	×	×	×
	[HL] .bit	2	10	(HL) .bit←0			
SET1	CY	1	2	CY←1			1
CLR1	CY	1	2	CY←0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \leftarrow \overline{CY}$			X
CALL	laddr16	3	6	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP-2$			
CALLT	[addr5]	1	8	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$ $PC_H \leftarrow (00000000, \text{addr5}+1),$ $PC_L \leftarrow (00000000, \text{addr5}),$ $SP \leftarrow SP-2$			
RET		1	6	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP),$ $SP \leftarrow SP+2$			
RETI		1	8	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP+2), SP \leftarrow SP+3,$ $NMIS \leftarrow 0$	R	R	R
PUSH	PSW	1	2	$(SP-1) \leftarrow PSW, SP \leftarrow SP-1$			
	rp	1	4	$(SP-1) \leftarrow rp_H, (SP-2) \leftarrow rp_L,$ $SP \leftarrow SP-2$			
POP	PSW	1	4	$PSW \leftarrow (SP), SP \leftarrow SP+1$	R	R	R
	rp	1	6	$rp_H \leftarrow (SP+1), rp_L \leftarrow (SP),$ $SP \leftarrow SP+2$			
MOVW	SP, AX	2	8	$SP \leftarrow AX$			
	AX, SP	2	6	$AX \leftarrow SP$			
BR	laddr16	3	6	$PC \leftarrow \text{addr16}$			
	\$addr16	2	6	$PC \leftarrow PC+2+jdisp8$			
	AX	1	6	$PC_H \leftarrow A, PC_L \leftarrow X$			
BC	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if CY = 1			
BNC	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if CY = 0			
BZ	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if Z = 1			
BNZ	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if Z = 0			
BT	saddr.bit, \$addr16	4	10	$PC \leftarrow PC+4+jdisp8$ if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 1			
	A.bit, \$addr16	3	8	$PC \leftarrow PC+3+jdisp8$ if A.bit = 1			
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC+4+jdisp8$ if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
BF	saddr.bit, \$addr16	4	10	PC←PC+4+jdisp8 if (saddr.bit) = 0	
	sfr.bit, \$addr16	4	10	PC←PC+4+jdisp8 if sfr.bit = 0	
	A.bit, \$addr16	3	8	PC←PC+3+jdisp8 if A.bit = 0	
	PSW.bit, \$addr16	4	10	PC←PC+4+jdisp8 if PSW.bit = 0	
DBNZ	B, \$addr16	2	6	B←B−1, then PC←PC+2+jdisp8 if B≠0	
	C, \$addr16	2	6	C←C−1, then PC←PC+2+jdisp8 if C≠0	
	saddr, \$addr16	3	8	(saddr) ← (saddr) −1, then PC←PC+3+jdisp8 if (saddr) ≠0	
NOP		1	2	No Operation	
EI		3	6	IE←1 (Enable Interrupt)	
DI		3	6	IE←0 (Disable interrupt)	
HALT		1	2	Set HALT Mode	
STOP		1	2	Set STOP Mode	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

20.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ

第2オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+ byte]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL+byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令／分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

★ **第21章 電気的特性** (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A)) **(拡張規格品)**

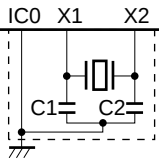
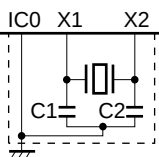
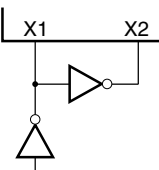
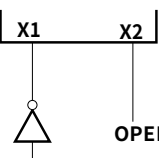
絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$)

項 目	略 号	条 件		定 格	単 位
電源電圧	V_{DD}, AV_{DD}	$V_{DD} = AV_{DD}$		$-0.3 \sim +6.5$	V
入力電圧	V_{I1}	P50-P53以外の端子		$-0.3 \sim V_{DD} + 0.3$	V
	V_{I2}	P50-P53	N-chオープン・ドレイン時	$-0.3 \sim +13$	V
			プルアップ抵抗内蔵時	$-0.3 \sim V_{DD} + 0.3$	V
出力電圧	V_O			$-0.3 \sim V_{DD} + 0.3$	V
ハイ・レベル出力電流	I_{OH}	1端子	μ PD78910xA, 78911xA	-10	mA
		全端子合計		-30	mA
		1端子	μ PD78910xA(A), 78911xA(A)	-7	mA
		全端子合計		-22	mA
ロウ・レベル出力電流	I_{OL}	1端子	μ PD78910xA, 78911xA	30	mA
		全端子合計		160	mA
		1端子	μ PD78910xA(A), 78911xA(A)	10	mA
		全端子合計		120	mA
動作周囲温度	T_A			$-40 \sim +85$	$^{\circ}\text{C}$
保存温度	T_{stg}			$-65 \sim +150$	$^{\circ}\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f _x) 注1	V _{DD} = 発振電圧範囲	1.0		10	MHz
		発振安定時間 注2	V _{DD} が発振電圧範囲の MIN.に達したあと			4	ms
水晶振動子		発振周波数 (f _x) 注1		1.0		10	MHz
		発振安定時間 注2	V _{DD} = 4.5~5.5 V			10	ms
			V _{DD} = 1.8~5.5 V			30	ms
外部クロック		X1入力周波数 (f _x) 注1		1.0		10	MHz
		X1入力ハイ、ロウ・ レベル幅 (t _{xH} , t _{xL})	V _{DD} = 4.5~5.5 V	45		500	ns
			V _{DD} = 3.0~5.5 V	75		500	ns
			V _{DD} = 1.8~5.5 V	85		500	ns
		X1入力周波数 (f _x) 注1	V _{DD} = 2.7~5.5 V	1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t _{xH} , t _{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

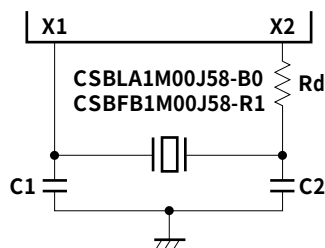
推奨発振回路定数

セラミック発振子 (T_A = -40~+85 °C)

(μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A)) (拡張規格品)

メーカ	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所	CSBLA1M00J58-B0 ^注	1.0	100	100	2.1	5.5	Rd = 2.2 kΩ
	CSBFB1M00J58-R1 ^注						
	CSTCC2M00G56-R0	2.0	—	—	1.8	コンデンサ内蔵品	
	CSTLS2M00G56-B0						
	CSTCR4M00G53-R0	4.0					
	CSTLS4M00GG53-B0						
	CSTCR4M19G53-R0	4.194					
	CSTLS4M19GG53-B0						
	CSTCR4M91G53-R0	4.915					
	CSTLS4M91GG53-B0						
	CSTCR5M00G53-R0	5.0					
	CSTLS5M00GG53-B0						
	CSTCR6M00G53-R0	6.0					
	CSTLS6M00GG53-B0						
	CSTCE8M00G52-R0	8.0					
	CSTLS8M00G53-B0						
	CSTCE8M38G52-R0	8.388					
	CSTLS8M38G53-B0						
	CSTCE10M0G52-R0	10.0					
	CSTLS10M00G53-B0						

注 セラミック発振子として村田製作所のCSBLA1M00J58-B0, CSBFB1M00J58-R1 (1.0 MHz) を使用する場合には、制限抵抗 (Rd = 2.2 kΩ) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A)の内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I_{OH}	1端子あたり	μ PD78910xA, 78911xA			-1	mA
		全端子合計				-15	mA
		1端子あたり	μ PD78910xA(A), 78911xA(A)			-1	mA
		全端子合計				-11	mA
ロウ・レベル出力電流	I_{OL}	1端子あたり	μ PD78910xA, 78911xA			10	mA
		全端子合計				80	mA
		1端子あたり	μ PD78910xA(A), 78911xA(A)			3	mA
		全端子合計				60	mA
ハイ・レベル入力電圧	V_{IH1}	下記以外の端子		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.7 V_{DD}$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	V_{DD}	V
	V_{IH2}	P50-P53	N-chオープン・ドレイン時	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.7 V_{DD}$	12	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	12	V
			ブルアップ抵抗内蔵時	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.7 V_{DD}$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	V_{DD}	V
	V_{IH3}	RESET, P20-P25		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.8 V_{DD}$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	V_{DD}	V
	V_{IH4}	X1, X2		$V_{DD} = 4.5 \sim 5.5 \text{ V}$	$V_{DD} - 0.5$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$V_{DD} - 0.1$	V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	下記以外の端子		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	$0.3 V_{DD}$	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	$0.1 V_{DD}$	V
	V_{IL2}	P50-P53		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	$0.3 V_{DD}$	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	$0.1 V_{DD}$	V
	V_{IL3}	RESET, P20-P25		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	$0.2 V_{DD}$	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	$0.1 V_{DD}$	V
	V_{IL4}	X1, X2		$V_{DD} = 4.5 \sim 5.5 \text{ V}$	0	0.4	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	0.1	V
ハイ・レベル出力電圧	V_{OH1}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OH} = -1 \text{ mA}$		$V_{DD} - 1.0$			V
	V_{OH2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OH} = -100 \text{ } \mu\text{A}$		$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL1}	P50-P53以外の端子	$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 10 \text{ mA}$ (μ PD78910xA, 78911xA)			1.0	V
			$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 3 \text{ mA}$ (μ PD78910xA(A), 78911xA(A))			1.0	V
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OL} = 400 \text{ } \mu\text{A}$			0.5	V
	V_{OL2}	P50-P53	$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 10 \text{ mA}$ (μ PD78910xA, 78911xA)			1.0	V
			$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 3 \text{ mA}$ (μ PD78910xA(A), 78911xA(A))			1.0	V
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OL} = 1.6 \text{ mA}$			0.4	V
ハイ・レベル入力リーク電流	I_{LH1}	P50-P53, X1, X2以外の端子		$V_i = V_{DD}$		3	μA
	I_{LH2}	X1, X2				20	μA
	I_{LH3}	P50-P53 (N-chオープン・ドレイン)		$V_i = 12 \text{ V}$		20	μA

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, X1, X2以外の端子	$V_I = 0 \text{ V}$		-3	μA
	I _{LIL2}	X1, X2			-20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)			-3 ^{注1}	μA
ハイ・レベル出力リーク電流	I _{LOH}	$V_O = V_{DD}$			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	$V_O = 0 \text{ V}$			-3	μA
ソフトウェア・プルアップ抵抗	R ₁	$V_I = 0 \text{ V}$, P50-P53, P60-P63以外の端子	50	100	200	k Ω
マスク・オプション・プルアップ抵抗	R ₂	$V_I = 0 \text{ V}$, P50-P53	10	30	60	k Ω
電源電流	I _{DD1} ^{注2}	10.0 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	3.2	8.0	mA
		6.0 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	2.0	4.7	mA
		5.0 MHz水晶発振動作モード (C1 = C2 = 22pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	1.8	3.2	mA
			$V_{DD} = 3.0 \text{ V} \pm 10 \text{ } \%$ ^{注5}	0.45	0.9	mA
			$V_{DD} = 2.0 \text{ V} \pm 10 \text{ } \%$ ^{注5}	0.25	0.45	mA
	I _{DD2} ^{注2}	10.0 MHz水晶発振HALTモード	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	1.5	3.0	mA
		6.0 MHz水晶発振HALTモード	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	0.9	1.8	mA
		5.0 MHz水晶発振HALTモード (C1 = C2 = 22pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	0.8	1.6	mA
			$V_{DD} = 3.0 \text{ V} \pm 10 \text{ } \%$ ^{注5}	0.3	0.6	mA
			$V_{DD} = 2.0 \text{ V} \pm 10 \text{ } \%$ ^{注5}	0.15	0.3	mA
	I _{DD3} ^{注2}	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$	0.1	10	μA
			$V_{DD} = 3.0 \text{ V} \pm 10 \text{ } \%$	0.05	5.0	μA
			$V_{DD} = 2.0 \text{ V} \pm 10 \text{ } \%$	0.05	5.0	μA
	I _{DD4} ^{注3}	10.0 MHz水晶発振A/D動作モード	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	4.4	10.3	mA
		6.0 MHz水晶発振A/D動作モード	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	3.2	7.0	mA
		5.0 MHz水晶発振A/D動作モード (C1 = C2 = 22pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \text{ } \%$ ^{注4}	3.0	5.5	mA
			$V_{DD} = 3.0 \text{ V} \pm 10 \text{ } \%$ ^{注5}	1.65	3.2	mA
			$V_{DD} = 2.0 \text{ V} \pm 10 \text{ } \%$ ^{注5}	1.25	2.7	mA

注1. P50-P53にプルアップ抵抗を内蔵しない場合（マスク・オプションにより指定）で、ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が $-60 \mu\text{A}$ (MAX.) 流れます。

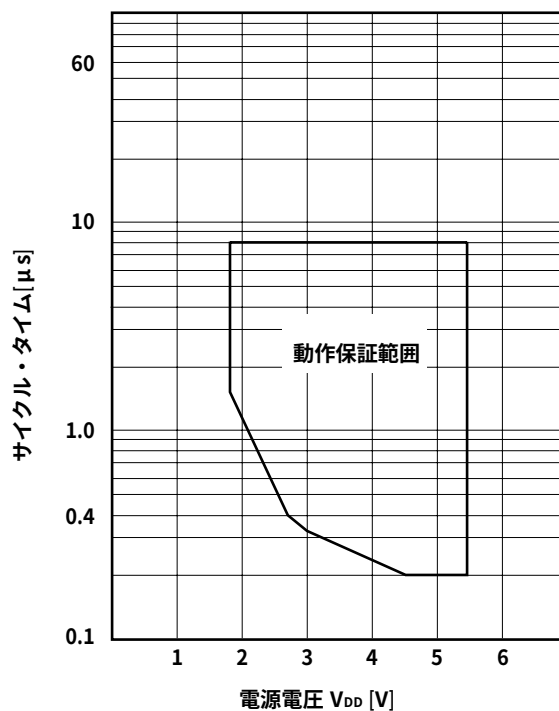
2. AV_{DD} 電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
3. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
4. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
5. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	0.2		8	μs
		$V_{DD} = 3.0 \sim 5.5 \text{ V}$	0.33		8	μs
		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		8	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		8	μs
TI80入力 ハイ, ロウ・レベル幅	t_{TIH} ,	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
TI80入力周波数	f_{TI}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} ,	INTP0-INTP2	10			μs
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH} ,		10			μs
	t_{CPL}					

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

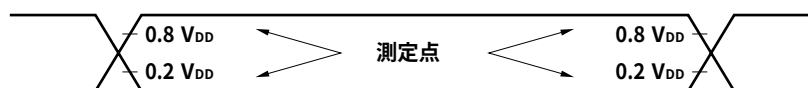
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

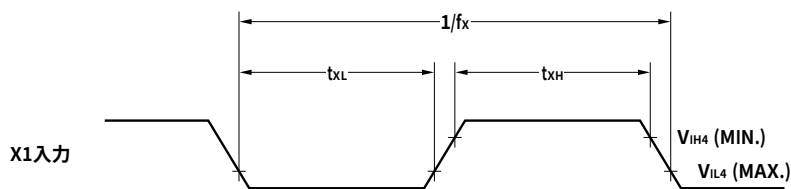
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7~5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8~5.5 V	1600			ns
転送レート		V _{DD} = 2.7~5.5 V			39063	bps
		V _{DD} = 1.8~5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μ s

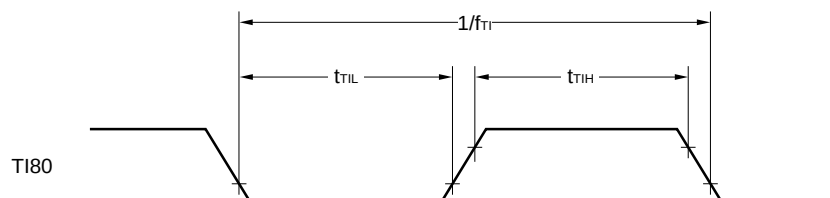
ACタイミング測定点 (X1入力を除く)



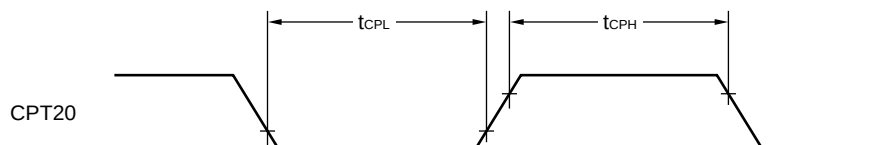
クロック・タイミング



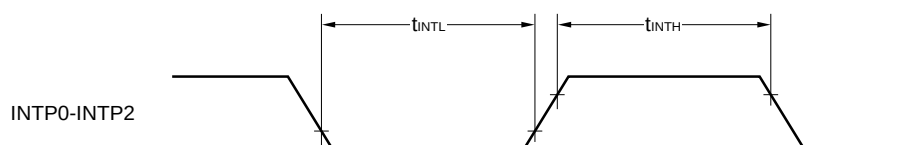
TIタイミング



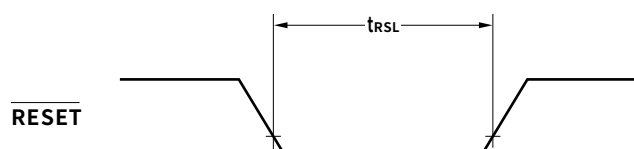
キャプチャ入力タイミング



割り込み入力タイミング

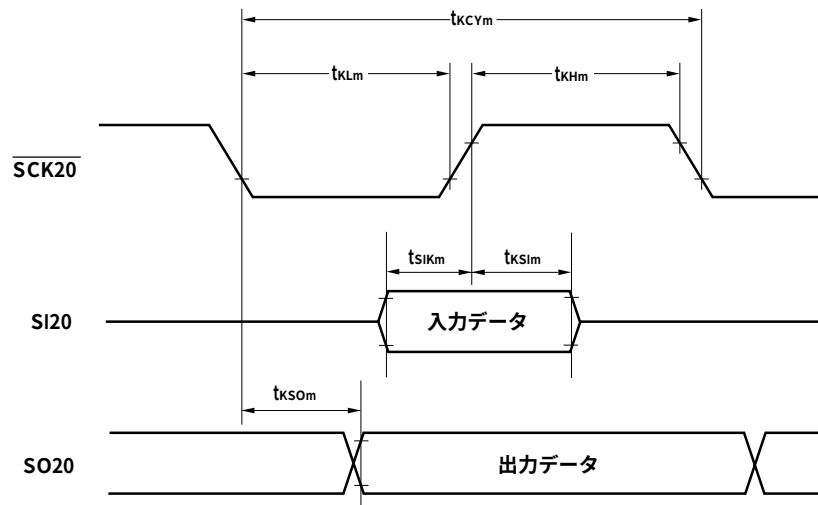


RESET入力タイミング



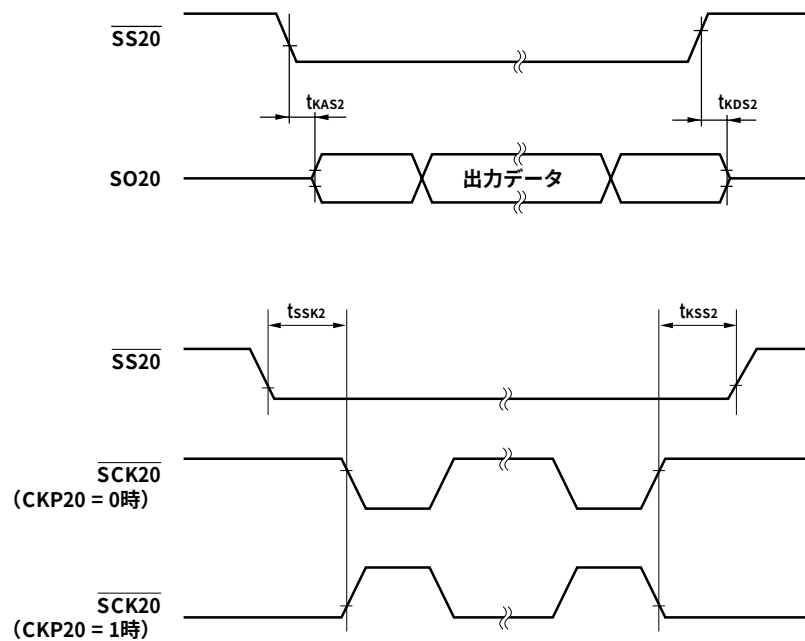
シリアル転送タイミング

3線式シリアルI/Oモード：

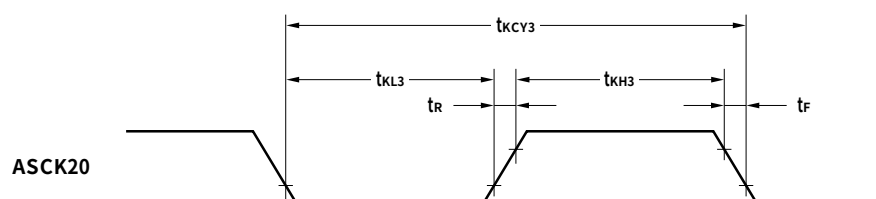


$m = 1, 2$

3線式シリアルI/Oモード ($\overline{\text{SS20}}$ 使用時)：



UARTモード (外部クロック入力)：



8ビットA/Dコンバータ特性 (μ PD78910xA, 78910xA(A))(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 1.8~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^{注1, 2}		V _{DD} = 2.7~5.5 V		±0.4	±0.6	%FSR
		V _{DD} = 1.8~5.5 V		±0.8	±1.2	%FSR
変換時間	t _{CONV}	V _{DD} = 4.5~5.5 V	12		100	μs
		V _{DD} = 2.7~5.5 V	14		100	μs
		V _{DD} = 1.8~5.5 V	28		100	μs
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.2 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

10ビットA/Dコンバータ特性 (μ PD78911xA, 78911xA(A))(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 1.8~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V		±0.2	±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V		±0.4	±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V		±0.8	±1.2	%FSR
変換時間	t _{CONV}	4.5 V ≤ V _{DD} ≤ 5.5 V	12		100	μs
		2.7 V ≤ V _{DD} < 4.5 V	14		100	μs
		1.8 V ≤ V _{DD} < 2.7 V	28		100	μs
ゼロ・スケール誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
フルスケール誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
積分直線性誤差 ^{注1}	ILE	4.5 V ≤ V _{DD} ≤ 5.5 V			±2.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±4.5	LSB
		1.8 V ≤ V _{DD} < 2.7 V			±8.5	LSB
微分直線性誤差 ^{注1}	DLE	4.5 V ≤ V _{DD} ≤ 5.5 V			±1.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±2.0	LSB
		1.8 V ≤ V _{DD} < 2.7 V			±3.5	LSB
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.05 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

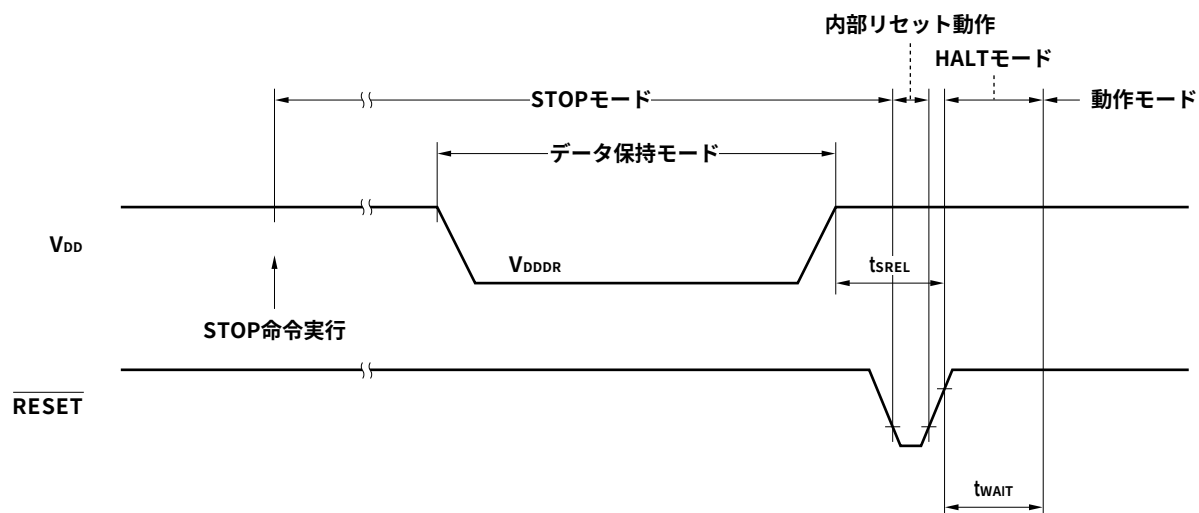
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウェイト時間 ^{注1}	t_{WAIT}	RESETによる解除		$2^{15}/f_x$		s
		割り込み要求による解除		注2		s

注1. 発振ウェイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

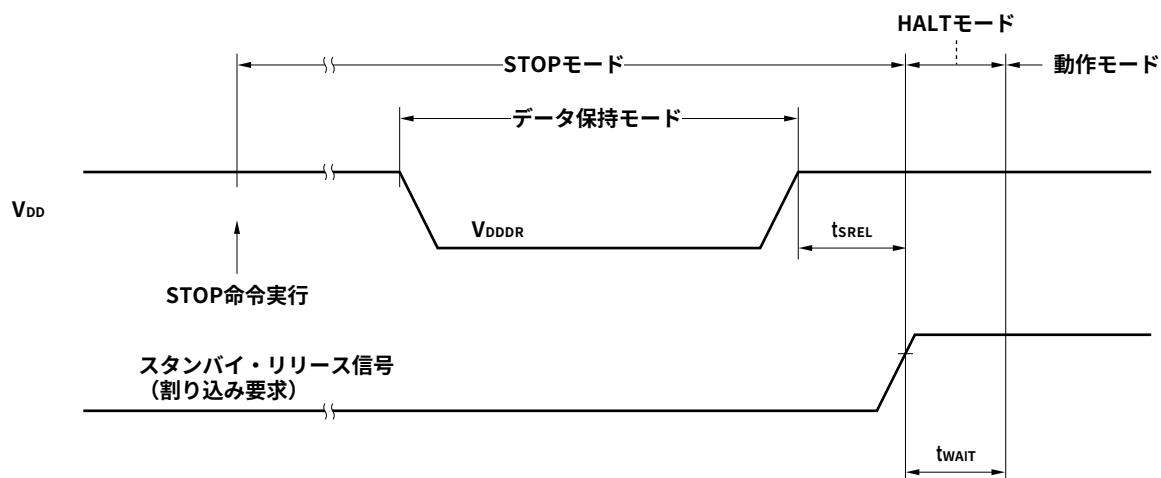
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です。

備考 f_x : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



★ **第22章 電気的特性** (μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A)) (従来規格品)

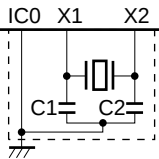
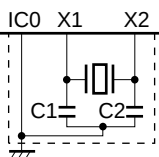
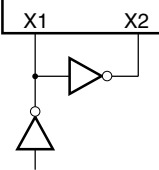
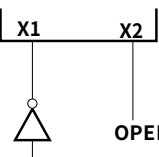
絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$)

項 目	略 号	条 件		定 格	単 位
電源電圧	V_{DD}, AV_{DD}	$V_{DD} = AV_{DD}$		$-0.3 \sim +6.5$	V
入力電圧	V_{I1}	P50-P53以外の端子		$-0.3 \sim V_{DD} + 0.3$	V
	V_{I2}	P50-P53	N-chオープン・ドレイン時	$-0.3 \sim +13$	V
			プルアップ抵抗内蔵時	$-0.3 \sim V_{DD} + 0.3$	V
出力電圧	V_O			$-0.3 \sim V_{DD} + 0.3$	V
ハイ・レベル出力電流	I_{OH}	1端子	μ PD78910xA, 78911xA	-10	mA
		全端子合計		-30	mA
		1端子	μ PD78910xA(A), 78911xA(A)	-7	mA
		全端子合計		-22	mA
ロウ・レベル出力電流	I_{OL}	1端子	μ PD78910xA, 78911xA	30	mA
		全端子合計		160	mA
		1端子	μ PD78910xA(A), 78911xA(A)	10	mA
		全端子合計		120	mA
動作周囲温度	T_A			$-40 \sim +85$	$^{\circ}\text{C}$
保存温度	T_{stg}			$-65 \sim +150$	$^{\circ}\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f _x) 注1	V _{DD} = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 注2	V _{DD} が発振電圧範囲の MIN.に達したあと			4	ms
水晶振動子		発振周波数 (f _x) 注1		1.0		5.0	MHz
		発振安定時間 注2	V _{DD} = 4.5~5.5 V			10	ms
			V _{DD} = 1.8~5.5 V			30	
外部クロック		X1入力周波数 (f _x) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t _{xH} , t _{xL})		85		500	ns
		X1入力周波数 (f _x) 注1	V _{DD} = 2.7~5.5 V	1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t _{xH} , t _{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

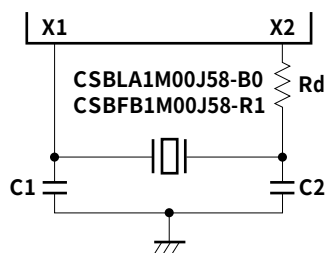
推奨発振回路定数

セラミック発振子 (T_A = -40~+85 °C)

(μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A)) (従来規格品)

メーカ	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所	CSBLA1M00J58-B0 ^注	1.0	100	100	2.1	5.5	Rd = 2.2 kΩ
	CSBFB1M00J58-R1 ^注						
	CSTCC2M00G56-R0	2.0	—	—	1.8	コンデンサ内蔵品	
	CSTLS2M00G56-B0						
	CSTCR4M00G53-R0	4.0					
	CSTLS4M00GG53-B0						
	CSTCR4M19G53-R0	4.194					
	CSTLS4M19GG53-B0						
	CSTCR4M91G53-R0	4.915					
	CSTLS4M91GG53-B0						
	CSTCR5M00G53-R0	5.0					
	CSTLS5M00GG53-B0						

注 セラミック発振子として村田製作所のCSBLA1M00J58-B0, CSBFB1M00J58-R1 (1.0 MHz) を使用する場合に
は、制限抵抗 (R_d = 2.2 kΩ) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要
です。



注意 この発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションに
おいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μ PD78910xA, 78911xA, 78910xA(A),
78911xA(A)の内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I_{OH}	1端子あたり	μ PD78910xA, 78911xA			-1	mA
		全端子合計				-15	mA
		1端子あたり	μ PD78910xA(A), 78911xA(A)			-1	mA
		全端子合計				-11	mA
ロウ・レベル出力電流	I_{OL}	1端子あたり	μ PD78910xA, 78911xA			10	mA
		全端子合計				80	mA
		1端子あたり	μ PD78910xA(A), 78911xA(A)			3	mA
		全端子合計				60	mA
ハイ・レベル入力電圧	V_{IH1}	下記以外の端子		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.7 V_{DD}$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	V_{DD}	V
	V_{IH2}	P50-P53	N-chオープン・ドレイン時	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.7 V_{DD}$	12	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	12	V
			ブルアップ抵抗内蔵時	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.7 V_{DD}$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	V_{DD}	V
	V_{IH3}	RESET, P20-P25		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$0.8 V_{DD}$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$0.9 V_{DD}$	V_{DD}	V
	V_{IH4}	X1, X2		$V_{DD} = 4.5 \sim 5.5 \text{ V}$	$V_{DD} - 0.5$	V_{DD}	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$V_{DD} - 0.1$	V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	下記以外の端子		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	$0.3 V_{DD}$	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	$0.1 V_{DD}$	V
	V_{IL2}	P50-P53		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	$0.3 V_{DD}$	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	$0.1 V_{DD}$	V
	V_{IL3}	RESET, P20-P25		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	$0.2 V_{DD}$	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	$0.1 V_{DD}$	V
	V_{IL4}	X1, X2		$V_{DD} = 4.5 \sim 5.5 \text{ V}$	0	0.4	V
				$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	0.1	V
ハイ・レベル出力電圧	V_{OH1}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OH} = -1 \text{ mA}$		$V_{DD} - 1.0$			V
	V_{OH2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OH} = -100 \text{ } \mu\text{A}$		$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL1}	P50-P53以外の端子	$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 10 \text{ mA}$ (μ PD78910xA, 78911xA)			1.0	V
			$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 3 \text{ mA}$ (μ PD78910xA(A), 78911xA(A))			1.0	V
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OL} = 400 \text{ } \mu\text{A}$			0.5	V
	V_{OL2}	P50-P53	$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 10 \text{ mA}$ (μ PD78910xA, 78911xA)			1.0	V
			$V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 3 \text{ mA}$ (μ PD78910xA(A), 78911xA(A))			1.0	V
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OL} = 1.6 \text{ mA}$			0.4	V
ハイ・レベル入力リーク電流	I_{LIIH1}	P50-P53, X1, X2以外の端子		$V_I = V_{DD}$		3	μA
	I_{LIIH2}	X1, X2				20	μA
	I_{LIIH3}	P50-P53 (N-chオープン・ドレイン)		$V_I = 12 \text{ V}$		20	μA

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, X1, X2以外の端子	$V_I = 0 \text{ V}$		-3	μA
	I _{LIL2}	X1, X2			-20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)			-3 ^{注1}	μA
ハイ・レベル出力リーク電流	I _{LOH}	$V_O = V_{DD}$			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	$V_O = 0 \text{ V}$			-3	μA
ソフトウェア・プルアップ抵抗	R ₁	$V_I = 0 \text{ V}$, P50-P53, P60-P63以外の端子	50	100	200	k Ω
マスク・オプション・プルアップ抵抗	R ₂	$V_I = 0 \text{ V}$, P50-P53	10	30	60	k Ω
電源電流	I _{DD1} ^{注2}	5.0 MHz水晶発振動作モード (C1 = C2 = 22pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注4}	1.8	3.2	mA
			$V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注5}	0.45	0.9	mA
			$V_{DD} = 2.0 \text{ V} \pm 10 \%$ ^{注5}	0.25	0.45	mA
	I _{DD2} ^{注2}	5.0 MHz水晶発振HALTモード (C1 = C2 = 22pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注4}	0.8	1.6	mA
			$V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注5}	0.3	0.6	mA
			$V_{DD} = 2.0 \text{ V} \pm 10 \%$ ^{注5}	0.15	0.3	mA
	I _{DD3} ^{注2}	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \%$	0.1	10	μA
			$V_{DD} = 3.0 \text{ V} \pm 10 \%$	0.05	5.0	μA
			$V_{DD} = 2.0 \text{ V} \pm 10 \%$	0.05	5.0	μA
	I _{DD4} ^{注3}	5.0 MHz水晶発振A/D動作モード (C1 = C2 = 22pF)	$V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注4}	3.0	5.5	mA
			$V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注5}	1.65	3.2	mA
			$V_{DD} = 2.0 \text{ V} \pm 10 \%$ ^{注5}	1.25	2.7	mA

注1. P50-P53にプルアップ抵抗を内蔵しない場合（マスク・オプションにより指定）で、ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が $-60 \mu\text{A}$ (MAX.) 流れます。

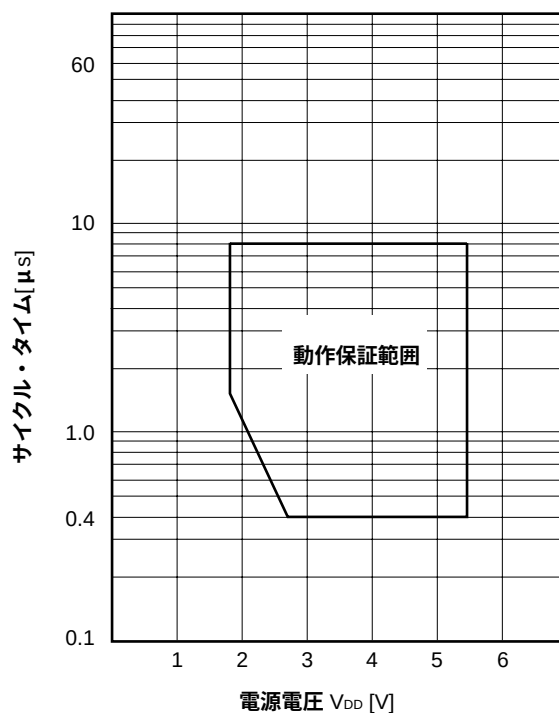
2. AV_{DD} 電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
3. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
4. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
5. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		8	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		8	μs
TI80入力 ハイ, ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
TI80入力周波数	f_{Ti}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH}	INTP0-INTP2	10			μs
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH}		10			μs
	t_{CPL}					

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

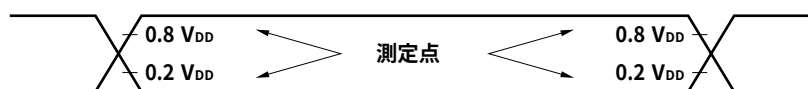
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

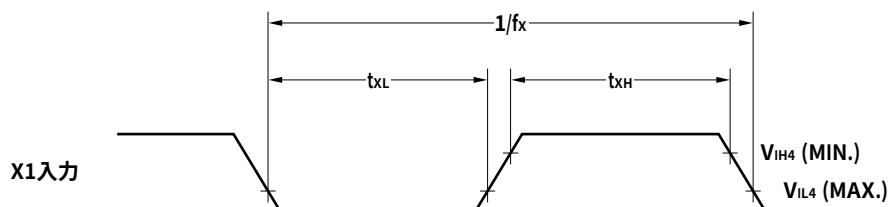
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7~5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8~5.5 V	1600			ns
転送レート		V _{DD} = 2.7~5.5 V			39063	bps
		V _{DD} = 1.8~5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

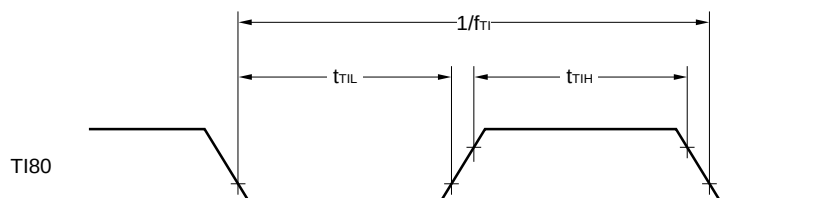
ACタイミング測定点 (X1入力を除く)



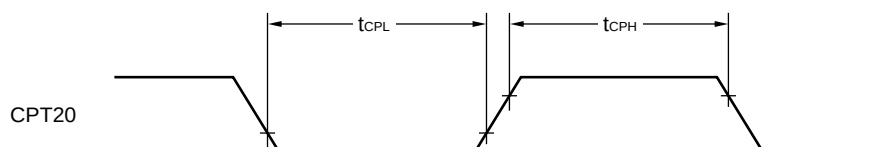
クロック・タイミング



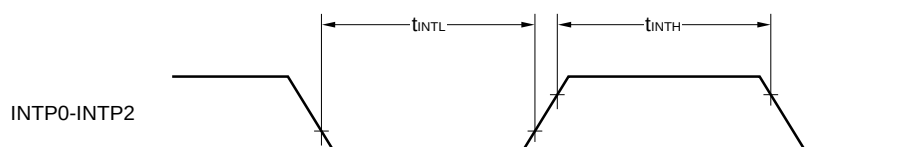
TIタイミング



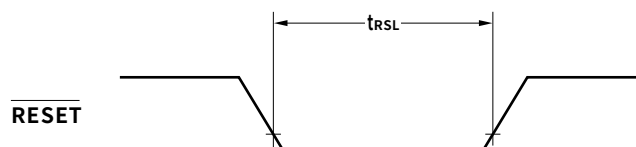
キャプチャ入力タイミング



割り込み入力タイミング

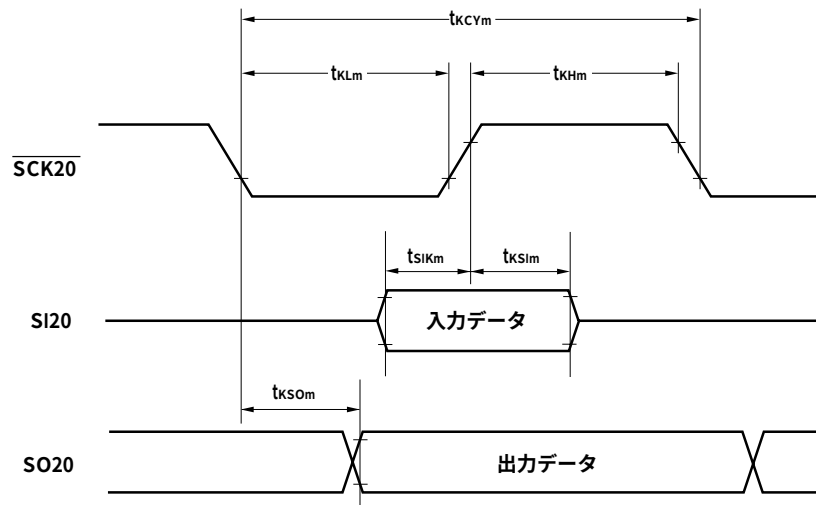


RESET入力タイミング



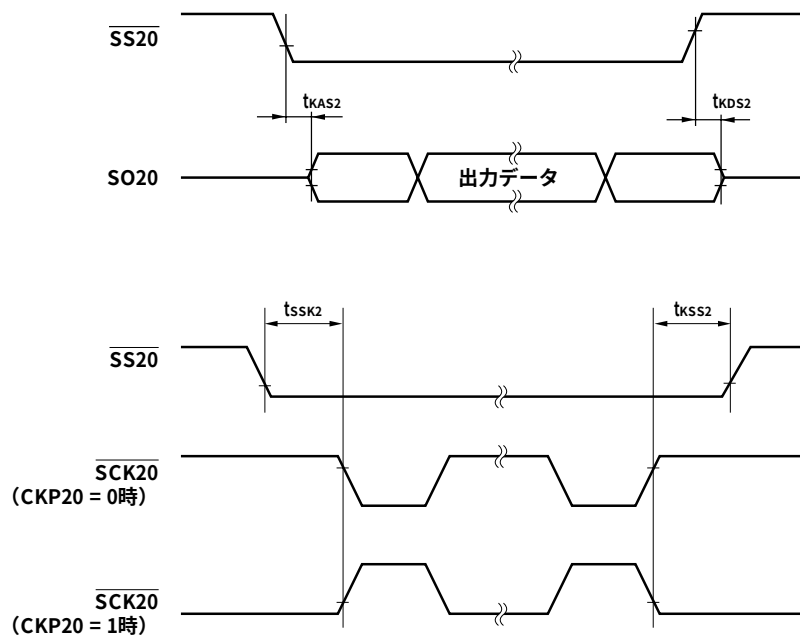
シリアル転送タイミング

3線式シリアルI/Oモード：

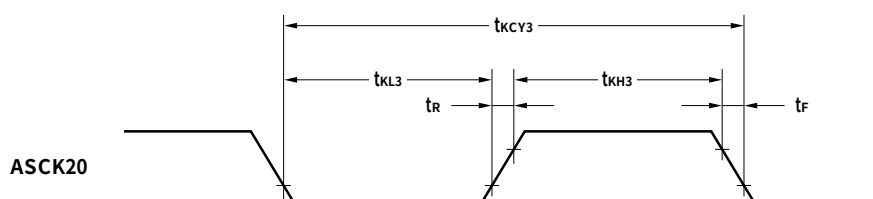


m = 1, 2

3線式シリアルI/Oモード ($\overline{SS20}$ 使用時)：



UARTモード (外部クロック入力)：



8ビットA/Dコンバータ特性 (μ PD78910xA, 78910xA(A))(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 1.8~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^{注1, 2}		V _{DD} = 2.7~5.5 V		±0.4	±0.6	%FSR
		V _{DD} = 1.8~5.5 V		±0.8	±1.2	%FSR
変換時間	t _{CONV}	V _{DD} = 2.7~5.5 V	14		100	μs
		V _{DD} = 1.8~5.5 V	28		100	μs
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.2 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

10ビットA/Dコンバータ特性 (μ PD78911xA, 78911xA(A))(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 1.8~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V		±0.2	±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V		±0.4	±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V		±0.8	±1.2	%FSR
変換時間	t _{CONV}	2.7 V ≤ V _{DD} ≤ 5.5 V	14		100	μs
		1.8 V ≤ V _{DD} < 2.7 V	28		100	μs
ゼロ・スケール誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
フルスケール誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
積分直線性誤差 ^{注1}	ILE	4.5 V ≤ V _{DD} ≤ 5.5 V			±2.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±4.5	LSB
		1.8 V ≤ V _{DD} < 2.7 V			±8.5	LSB
微分直線性誤差 ^{注1}	DLE	4.5 V ≤ V _{DD} ≤ 5.5 V			±1.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±2.0	LSB
		1.8 V ≤ V _{DD} < 2.7 V			±3.5	LSB
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.05 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

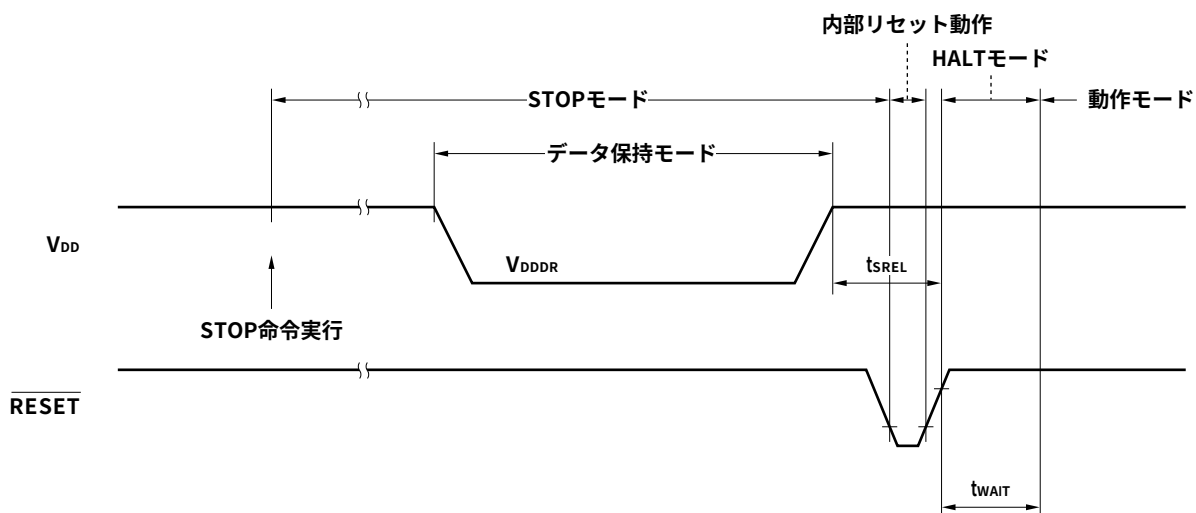
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除		$2^{15}/f_x$		s
		割り込み要求による解除		注2		s

注1. 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

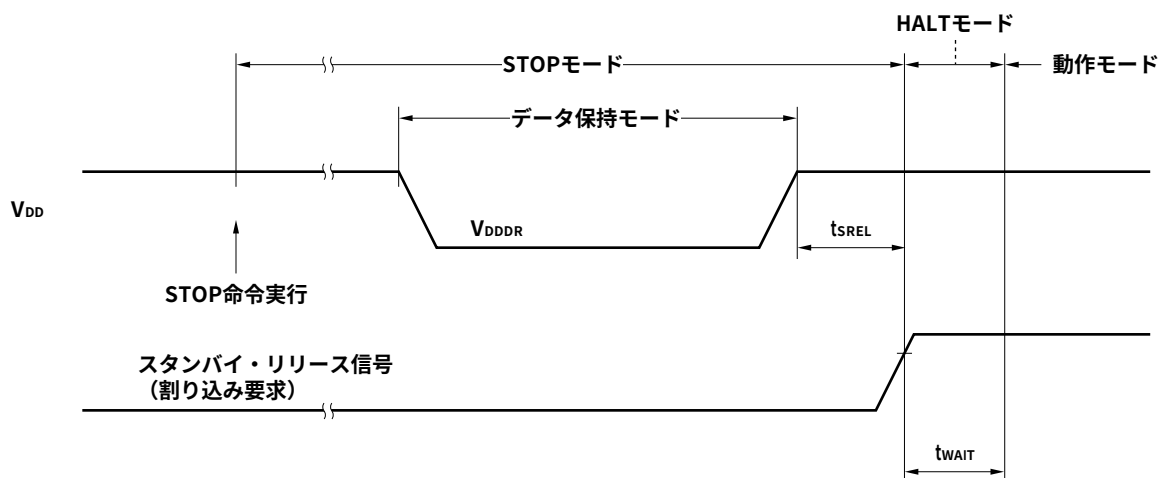
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です。

備考 f_x : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第23章 電気的特性

(μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2))

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$)

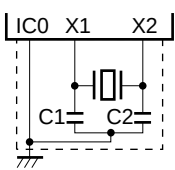
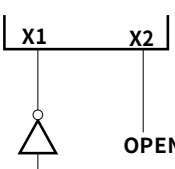
項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}, AV_{DD}	$V_{DD} = AV_{DD}$	$-0.3 \sim +6.5$	V
入力電圧	V_{I1}	P50-P53以外の端子	$-0.3 \sim V_{DD} + 0.3$	V
	V_{I2}	P50-P53	N-chオープン・ドレイン時	$-0.3 \sim +13$
			ブルアップ抵抗内蔵時	$-0.3 \sim V_{DD} + 0.3$
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3$	V
ハイ・レベル出力電流	I_{OH}	1端子	μ PD78910xA(A1), 78911xA(A1)	-4
		全端子合計		-14
		1端子	μ PD78910xA(A2), 78911xA(A2)	-2
		全端子合計		-6
ロウ・レベル出力電流	I_{OL}	1端子	μ PD78910xA(A1), 78911xA(A1)	5
		全端子合計		80
		1端子	μ PD78910xA(A2), 78911xA(A2)	2
		全端子合計		40
動作周囲温度	T_A	μ PD78910xA(A1), 78911xA(A1)	$-40 \sim +110$	$^{\circ}\text{C}$
		μ PD78910xA(A2), 78911xA(A2)	$-40 \sim +125$	$^{\circ}\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^{\circ}\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性

($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110 \text{ }^\circ\text{C}$ (μ PD78910xA(A1), 78911xA(A1)) ,
 $-40 \sim +125 \text{ }^\circ\text{C}$ (μ PD78910xA(A2), 78911xA(A2)))

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) 注1	$V_{DD} = \text{発振電圧範囲}$	1.0		5.0	MHz
		発振安定時間 注2	V_{DD} が発振電圧範囲の MIN.に達したあと			4	ms
外部クロック		X1入力周波数 (f_x) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t_{xH} , t_{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウェイト時間内に発振安定する振動子を使用してください。

注意1. システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. セラミック発振子については、発振子メーカーが以下の条件で動作保証している発振子を使用してください。

μ PD78910xA(A1), 78911xA(A1)の場合: $T_A = 110 \text{ }^\circ\text{C}$

μ PD78910xA(A2), 78911xA(A2)の場合: $T_A = 125 \text{ }^\circ\text{C}$

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($V_{DD} = 4.5 \sim 5.5$ V, $T_A = -40 \sim +110$ °C (μ PD78910xA(A1), 78911xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78910xA(A2), 78911xA(A2))) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78910xA(A1), 78911xA(A1)				−1	mA
		全端子合計					−7	mA
		1端子あたり	μ PD78910xA(A2), 78911xA(A2)				−1	mA
		全端子合計					−3	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78910xA(A1), 78911xA(A1)				1.6	mA
		全端子合計					40	mA
		1端子あたり	μ PD78910xA(A2), 78911xA(A2)				1.6	mA
		全端子合計					20	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子			0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン時		0.7 V _{DD}		10	V
			プルアップ抵抗内蔵時		0.7 V _{DD}		V _{DD}	V
	V _{IH3}	RESET, P20-P25			0.8 V _{DD}		V _{DD}	V
	V _{IH4}	X1, X2			V _{DD} −0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子			0		0.3 V _{DD}	V
	V _{IL2}	P50-P53			0		0.3 V _{DD}	V
	V _{IL3}	RESET, P20-P25			0		0.2 V _{DD}	V
	V _{IL4}	X1, X2			0		0.1	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = −1 mA			V _{DD} −2.0			V
	V _{OH2}	I _{OH} = −100 μA			V _{DD} −1.0			V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	I _{OL} = 1.6 mA				2.0	V
			I _{OL} = 400 μA				1.0	V
	V _{OL2}	P50-P53	I _{OL} = 1.6 mA				1.0	V
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, X1, X2以外の端子		V _I = V _{DD}			10	μA
	I _{LIH2}	X1, X2					20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)		V _I = 10 V			80	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, X1, X2以外の端子		V _I = 0 V			−10	μA
	I _{LIL2}	X1, X2					−20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)					−10 ^注	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}					10	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V					−10	μA
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P50-P53, P60-P63以外の端子			50	100	300	kΩ
マスク・オプション・プルアップ抵抗	R ₂	V _I = 0 V, P50-P53			10	30	100	kΩ

注 P50-P53にプルアップ抵抗を内蔵しない場合（マスク・オプションにより指定）で、ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が -60 μ A (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($V_{DD} = 4.5 \sim 5.5$ V, $T_A = -40 \sim +110$ °C (μ PD78910xA(A1), 78911xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78910xA(A2), 78911xA(A2))) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I_{DD1} ^{注1}	5.0 MHz水晶発振動作モード ($C1 = C2 = 22$ pF) ^{注3}		1.8	8.0	mA
	I_{DD2} ^{注1}	5.0 MHz水晶発振HALTモード ($C1 = C2 = 22$ pF) ^{注3}		0.8	5.0	mA
	I_{DD3} ^{注1}	STOPモード		0.1	1000	μ A
	I_{DD4} ^{注2}	5.0 MHz水晶発振A/D動作モード ($C1 = C2 = 22$ pF) ^{注3}		3.0	10	mA

- 注1. AV_{DD} 電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
 2. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
 3. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）

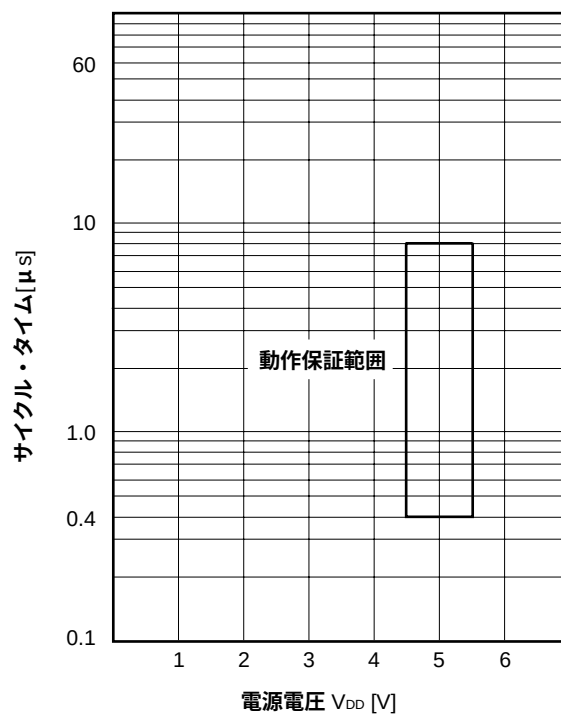
備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

AC特性

- (1) 基本動作 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110 \text{ }^{\circ}\text{C}$ (μ PD78910xA(A1), 78911xA(A1)) ,
 $-40 \sim +125 \text{ }^{\circ}\text{C}$ (μ PD78910xA(A2), 78911xA(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}		0.4		8	μs
TI80入力 ハイ, ロウ・レベル幅	t_{TIH} , t_{TIL}		0.1			μs
TI80入力周波数	f_{TI}		0		4	MHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP2	10			μs
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μs

T_{CY} VS V_{DD}



(2) シリアル・インタフェース ($V_{DD} = 4.5 \sim 5.5$ V, $T_A = -40 \sim +110$ °C (μ PD78910xA(A1), 78911xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78910xA(A2), 78911xA(A2)))

(i) 3線式シリアルI/Oモード ($\overline{SCK20}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{SCK20}$ サイクル・タイム	t_{KCY1}		800			ns
$\overline{SCK20}$ ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI20セットアップ時間 (対 $\overline{SCK20}$ ↑)	t_{SIK1}		150			ns
SI20ホールド時間 (対 $\overline{SCK20}$ ↑)	t_{KSI1}		400			ns
$\overline{SCK20} \downarrow \rightarrow \overline{SO20}$ 出力遅延時間	t_{KSO1}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}$ ^注	0		250	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード ($\overline{SCK20}$ …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{SCK20}$ サイクル・タイム	t_{KCY2}		800			ns
$\overline{SCK20}$ ハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		400			ns
SI20セットアップ時間 (対 $\overline{SCK20}$ ↑)	t_{SIK2}		100			ns
SI20ホールド時間 (対 $\overline{SCK20}$ ↑)	t_{KSI2}		400			ns
$\overline{SCK20} \downarrow \rightarrow \overline{SO20}$ 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}$ ^注	0		300	ns
SO20セットアップ時間 ($\overline{SS20}$ 使用時, 対 $\overline{SS20} \downarrow$)	t_{KAS2}				120	ns
SO20ディスエーブル時間 ($\overline{SS20}$ 使用時, 対 $\overline{SS20} \uparrow$)	t_{KDS2}				240	ns
$\overline{SS20}$ セットアップ時間 (対 $\overline{SCK20}$ 初回エッジ)	t_{SSK2}		100			ns
$\overline{SS20}$ ホールド時間 (対 $\overline{SCK20}$ 最終エッジ)	t_{KSS2}		400			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

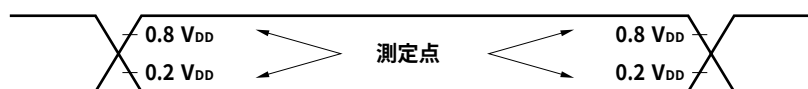
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					78125	bps

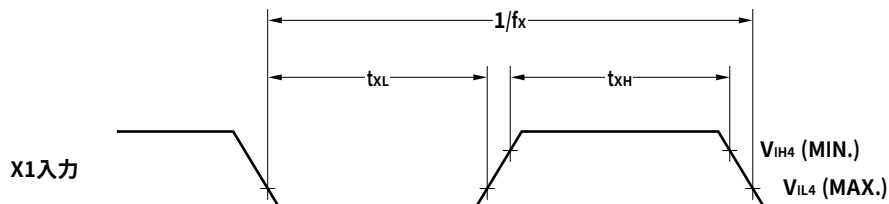
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t_{KCY3}		800			ns
ASCK20 ハイ, ロウ・レベル幅	$t_{KH3},$ t_{KL3}		400			ns
転送レート					39063	bps
ASCK20立ち上がり, 立ち下がり時間	$t_R,$ t_F				1	μs

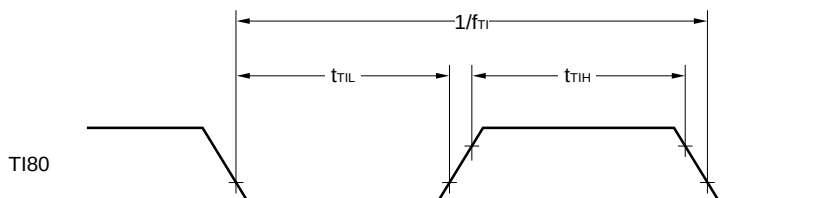
ACタイミング測定点 (X1入力を除く)



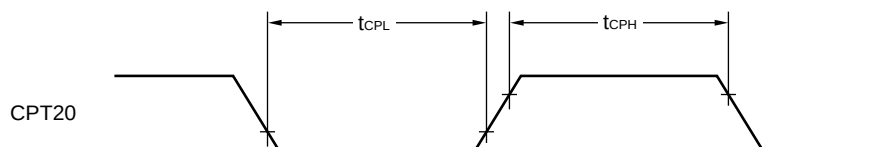
クロック・タイミング



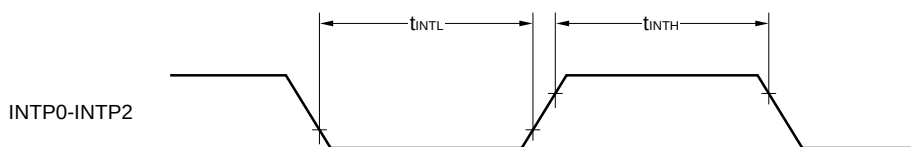
TIタイミング



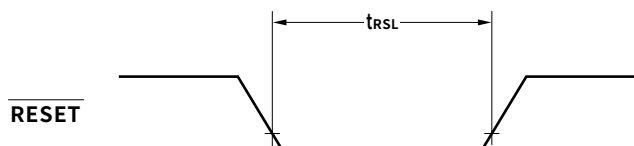
キャプチャ入力タイミング



割り込み入力タイミング

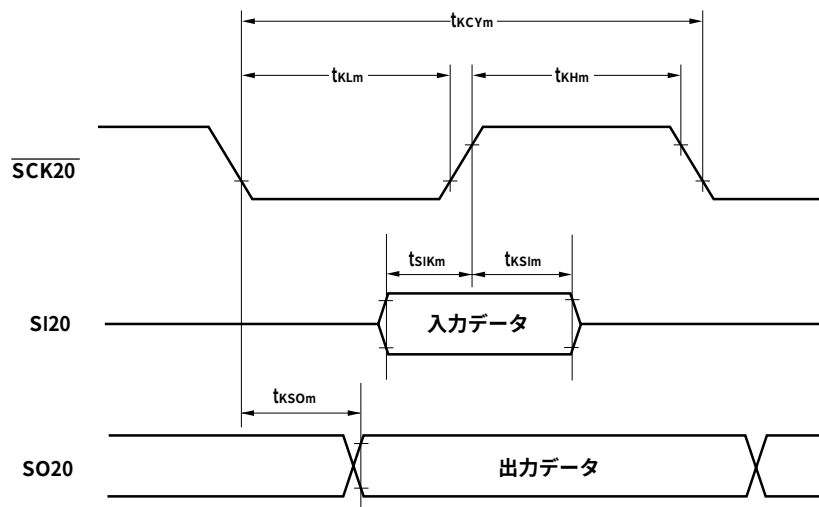


RESET入力タイミング



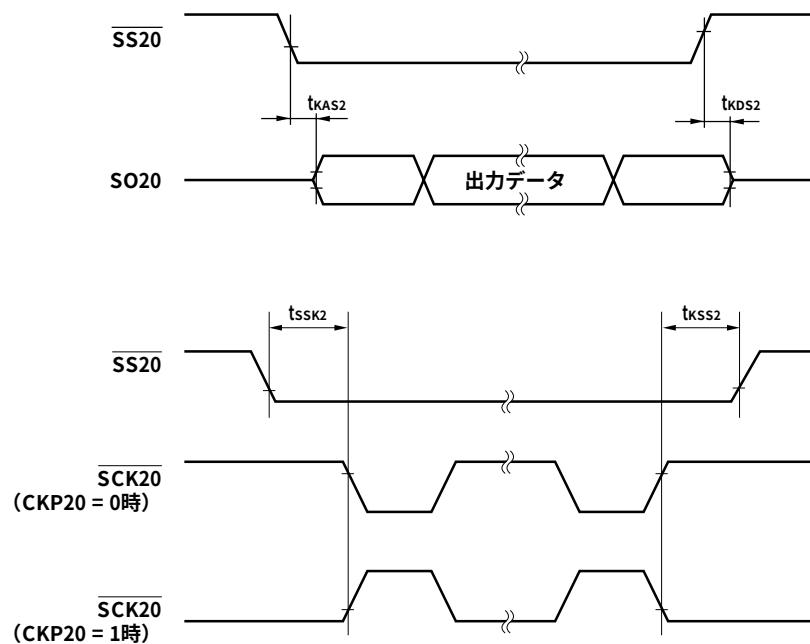
シリアル転送タイミング

3線式シリアルI/Oモード：

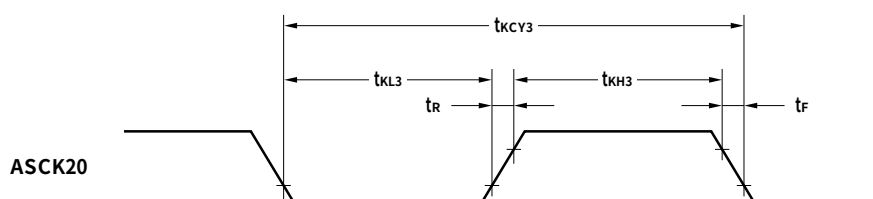


$m = 1, 2$

3線式シリアルI/Oモード ($\overline{\text{SS20}}$ 使用時)：



UARTモード (外部クロック入力)：



8ビットA/Dコンバータ特性 (μ PD78910xA(A1), 78910xA(A2)のみ)

($AV_{DD} = V_{DD} = 4.5 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V, $T_A = -40 \sim +110$ °C (μ PD78910xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78910xA(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^{注1, 2}				± 0.4	± 1.0	%FSR
変換時間	t_{CONV}		14		28	μ s
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 (± 0.2 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

10ビットA/Dコンバータ特性 (μ PD78911xA(A1), 78911xA(A2)のみ)

($AV_{DD} = V_{DD} = 4.5 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V, $T_A = -40 \sim +110$ °C (μ PD78911xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78911xA(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}				± 0.4	± 0.6	%FSR
変換時間	t_{CONV}		14		28	μ s
ゼロ・スケール誤差 ^{注1, 2}					± 0.6	%FSR
フルスケール誤差 ^{注1, 2}					± 0.6	%FSR
積分直線性誤差 ^{注1}	ILE				± 4.5	LSB
微分直線性誤差 ^{注1}	DLE				± 2.0	LSB
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 (± 0.05 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性

(T_A = -40~+110 °C (μ PD78910xA(A1), 78911xA(A1)) ,-40~+125 °C (μ PD78910xA(A2), 78911xA(A2)))

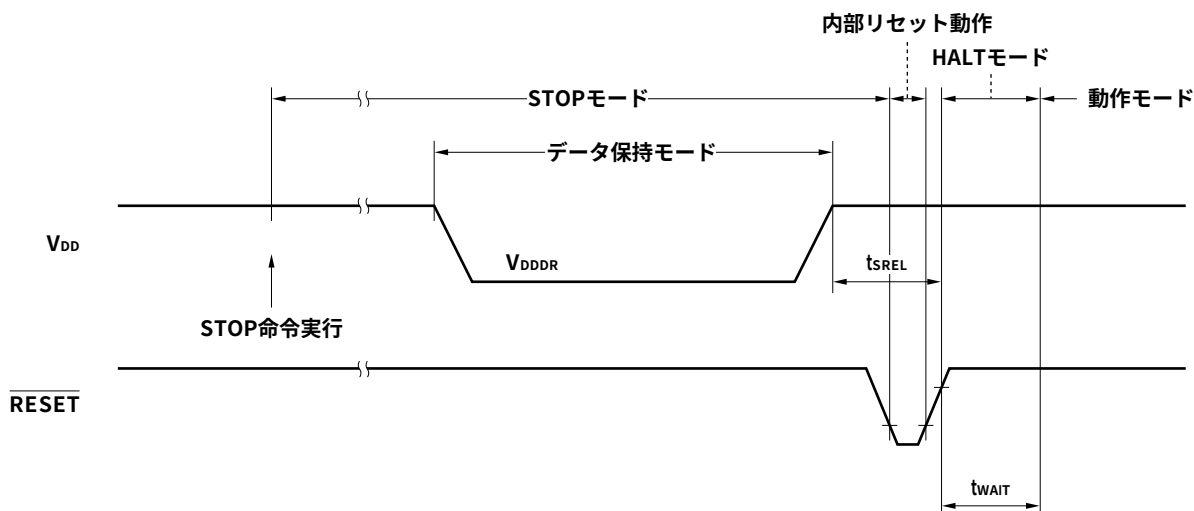
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μ s
発振安定ウェイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _X		s
		割り込み要求による解除		注2		s

注1. 発振ウェイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

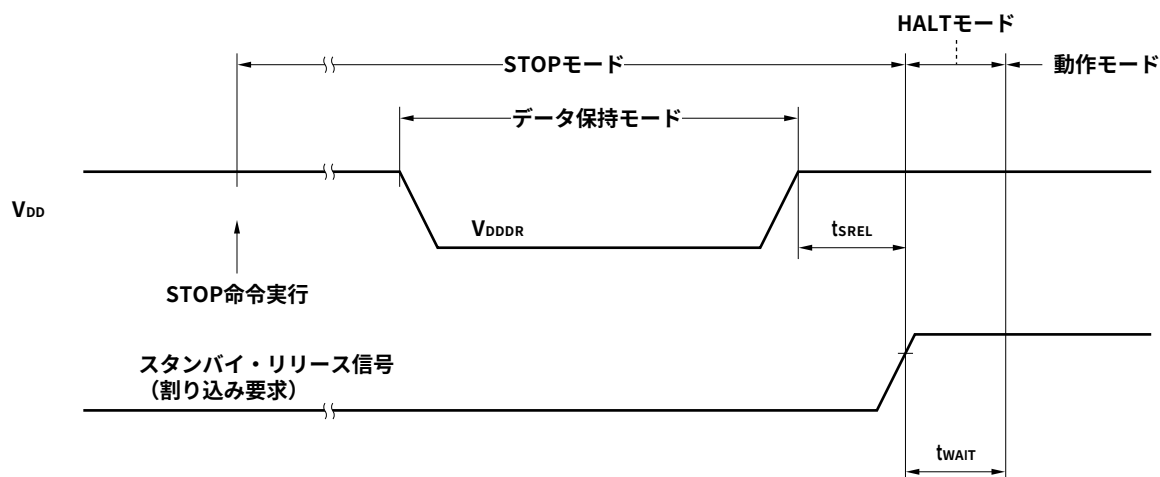
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/f_X, 2¹⁵/f_X, 2¹⁷/f_Xの選択が可能です。

備考 f_X: システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第24章 電気的特性 (μ PD78F9116B, 78F9116B(A))

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$)

項 目	略 号	条 件		定 格	単 位
電源電圧	V _{DD} , AV _{DD}	V _{DD} = AV _{DD}		−0.3〜+6.5	V
	V _{PP}	注		−0.3〜+10.5	V
入力電圧	V _{I1}	P50-P53以外の端子		−0.3〜V _{DD} +0.3	V
	V _{I2}	P50-P53	N-chオープン・ドレイン	−0.3〜+13	V
出力電圧	V _O			−0.3〜V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	μ PD78F9116B	−10	mA
		全端子合計		−30	mA
		1端子	μ PD78F9116B(A)	−7	mA
		全端子合計		−22	mA
ロウ・レベル出力電流	I _{OL}	1端子	μ PD78F9116B	30	mA
		全端子合計		160	mA
		1端子	μ PD78F9116B(A)	10	mA
		全端子合計		120	mA
動作周囲温度	T _A	通常動作時		−40〜+85	°C
		フラッシュ・メモリ・プログラミング時		10〜40	°C
保存温度	T _{stg}			−40〜+125	°C

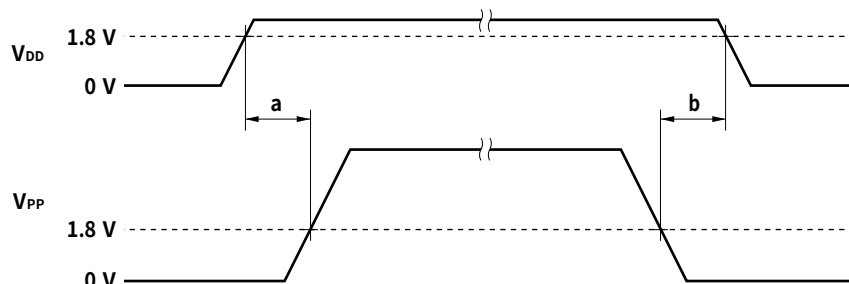
注 フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧 (1.8 V) に達してから $10\text{ }\mu\text{s}$ 以上経過後、 V_{PP} が V_{DD} を越えること (下図のa)。

・電源電圧立ち下がり時

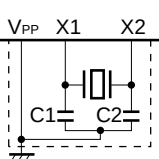
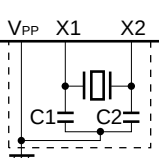
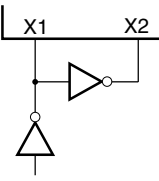
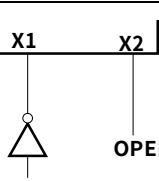
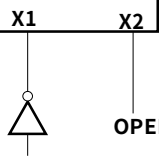
V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (1.8 V) を下回ってから $10\text{ }\mu\text{s}$ 以上経過後、 V_{DD} を立ち下げること (下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) 注1	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.0		10.0	MHz
			$V_{DD} = 3.0 \sim 5.5 \text{ V}$	1.0		6.0	MHz
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		発振安定時間 注2	V_{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) 注1	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.0		10.0	MHz
			$V_{DD} = 3.0 \sim 5.5 \text{ V}$	1.0		6.0	MHz
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		発振安定時間 注2	$V_{DD} = 4.5 \sim 5.5 \text{ V}$			10	ms
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			30	
外部クロック		X1入力周波数 (f_x) 注1	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.0		10.0	MHz
			$V_{DD} = 3.0 \sim 5.5 \text{ V}$	1.0		6.0	MHz
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	45		500	ns
			$V_{DD} = 3.0 \sim 5.5 \text{ V}$	75		500	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	85		500	ns
		X1入力周波数 (f_x) 注1	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1.0		5.0	MHz
			X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})	85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

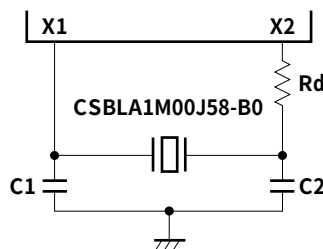
- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子 (T_A = -40~+85 °C) (μ PD78F9116B, 78F9116B(A))

メーカ	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所 (標準品)	CSBLA1M00J58-B0 ^注	1.0	100	100	2.0	5.5	Rd = 2.2 kΩ
	CSTCC2M00G56-R0	2.0	—	—			コンデンサ内蔵品
	CSTCR4M00G53-R0	4.0					
	CSTLS4M00G53-B0						
	CSTCR5M00G53-R0	5.0			2.1		
	CSTLS5M00G53-B0						
	CSTCR6M00G53-R0	6.0				2.2	
	CSTLS6M00G53-B0						
	CSTCE8M38G52-R0	8.388			2.0		
	CSTLS8M38G53-B0				2.2		
	CSTCE10M0G52-R0	10.0			2.1		
	CSTLS10M0G53-B0				2.4		
村田製作所 (低電圧駆動タイプ)	CSTCR4M00G53U-R0	4.0	—	—	1.8	5.5	コンデンサ内蔵品
	CSTLS4M00G53093-B0						
	CSTCR5M00G53U-R0	5.0					
	CSTLS5M00G53U-B0						
	CSTCR6M00G53093-R0	6.0			1.9		
	CSTLS6M00G53U-B0						
	CSTLS8M38G53193-B0	8.0			2.0		
	CSTLS10M0G53U-B0	10.0					

注 セラミック発振子として村田製作所のCSBLA1M00J58-B0 (1.0 MHz) を使用する場合には、制限抵抗 (Rd = 2.2 kΩ) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μ PD78F9116B, 78F9116B(A)の内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78F9116B				−1	mA
		全端子合計					−15	mA
		1端子あたり	μ PD78F9116B(A)				−1	mA
		全端子合計					−11	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78F9116B				10	mA
		全端子合計					80	mA
		1端子あたり	μ PD78F9116B(A)				3	mA
		全端子合計					60	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子		V _{DD} = 2.7〜5.5 V	0.7 V _{DD}		V _{DD}	V
				V _{DD} = 1.8〜5.5 V	0.9 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン	V _{DD} = 2.7〜5.5 V	0.7 V _{DD}		12	V
				V _{DD} = 1.8〜5.5 V	0.9 V _{DD}		12	V
	V _{IH3}	RESET, P20-P25		V _{DD} = 2.7〜5.5 V	0.8 V _{DD}		V _{DD}	V
				V _{DD} = 1.8〜5.5 V	0.9 V _{DD}		V _{DD}	V
	V _{IH4}	X1, X2		V _{DD} = 4.5〜5.5 V	V _{DD} −0.5		V _{DD}	V
				V _{DD} = 1.8〜5.5 V	V _{DD} −0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子		V _{DD} = 2.7〜5.5 V	0		0.3 V _{DD}	V
				V _{DD} = 1.8〜5.5 V	0		0.1 V _{DD}	V
	V _{IL2}	P50-P53	N-chオープン・ドレイン	V _{DD} = 2.7〜5.5 V	0		0.3 V _{DD}	V
				V _{DD} = 1.8〜5.5 V	0		0.1 V _{DD}	V
	V _{IL3}	RESET, P20-P25		V _{DD} = 2.7〜5.5 V	0		0.2 V _{DD}	V
				V _{DD} = 1.8〜5.5 V	0		0.1 V _{DD}	V
	V _{IL4}	X1, X2		V _{DD} = 4.5〜5.5 V	0		0.4	V
				V _{DD} = 1.8〜5.5 V	0		0.1	V
ハイ・レベル出力電圧	V _{OH1}	V _{DD} = 4.5〜5.5 V, I _{OH} = −1 mA			V _{DD} −1.0			V
	V _{OH2}	V _{DD} = 1.8〜5.5 V, I _{OH} = −100 μA			V _{DD} −0.5			V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	V _{DD} = 4.5〜5.5 V, I _{OL} = 10 mA (μ PD78F9116B)				1.0	V
			V _{DD} = 4.5〜5.5 V, I _{OL} = 3 mA (μ PD78F9116B(A))				1.0	V
			V _{DD} = 1.8〜5.5 V, I _{OL} = 400 μA				0.5	V
	V _{OL2}	P50-P53	V _{DD} = 4.5〜5.5 V, I _{OL} = 10 mA (μ PD78F9116B)				1.0	V
			V _{DD} = 4.5〜5.5 V, I _{OL} = 3 mA (μ PD78F9116B(A))				1.0	V
			V _{DD} = 1.8〜5.5 V, I _{OL} = 1.6 mA				0.4	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, X1, X2以外の端子	V _{IN} = V _{DD}		3	μA
	I _{LIH2}	X1, X2			20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレ ーン)	V _{IN} = 12 V		20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, X1, X2以外の端子	V _{IN} = 0 V		-3	μA
	I _{LIL2}	X1, X2			-20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレ ーン)			-3 ^{注1}	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			-3	μA
ソフトウェア・プルアップ抵抗	R _I	V _I = 0 V, P50-P53, P60-P63以外の端子	50	100	200	kΩ
電源電流	I _{DD1} ^{注2}	10.0 MHz水晶発振動作 モード	V _{DD} = 5.0 V ± 10 % ^{注4}	10.0	20.0	mA
		6.0 MHz水晶発振動作 モード	V _{DD} = 5.0 V ± 10 % ^{注4}	6.0	12.0	mA
		5.0 MHz水晶発振動作 モード (C1 = C2 = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}	4.0	10.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	1.0	2.5	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}	0.8	2.0	mA
	I _{DD2} ^{注2}	10.0 MHz水晶発振HALT モード	V _{DD} = 5.0 V ± 10 % ^{注4}	1.2	6.0	mA
		6.0 MHz水晶発振HALT モード	V _{DD} = 5.0 V ± 10 % ^{注4}	0.9	2.8	mA
		5.0 MHz水晶発振HALT モード (C1 = C2 = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}	0.6	2.5	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	0.3	2.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}	0.2	1.5	mA
	I _{DD3} ^{注2}	STOPモード	V _{DD} = 5.0 V ± 10 %	0.1	30	μA
			V _{DD} = 3.0 V ± 10 %	0.05	10	μA
			V _{DD} = 2.0 V ± 10 %	0.05	10	μA
	I _{DD4} ^{注3}	10.0 MHz水晶発振A/D動作 モード	V _{DD} = 5.0 V ± 10 % ^{注4}	11.0	22.5	mA
		6.0 MHz水晶発振A/D動作 モード	V _{DD} = 5.0 V ± 10 % ^{注4}	7.0	14.5	mA
		5.0 MHz水晶発振A/D動作 モード (C1 = C2 = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}	5.0	12.5	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	2.0	5.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}	1.8	4.5	mA

注1. ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が-60 μA (MAX.) 流れます。

2. AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
3. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
4. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
5. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

書き込み消去特性 ($T_A = 10 \sim 40 \text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

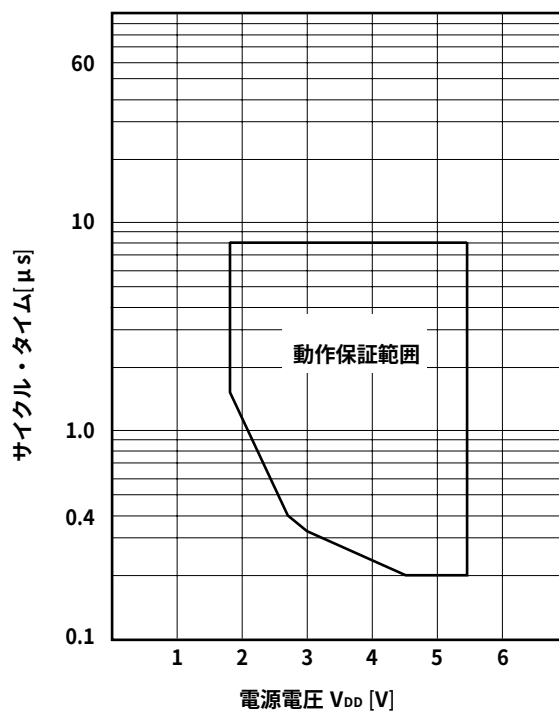
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	fx	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.0		10.0	MHz
		$V_{DD} = 3.0 \sim 5.5 \text{ V}$	1.0		6.0	MHz
		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.0		1.25	MHz
書き込み電流 (V_{DD} 端子) 注	IDDW	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			21	mA
書き込み電流 (V_{PP} 端子) 注	IPPW	V_{PP} 電源電圧 = V_{PP1} 時			22.5	mA
消去電流 (V_{DD} 端子) 注	IDDE	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			21	mA
消去電流 (V_{PP} 端子) 注	IPPE	V_{PP} 電源電圧 = V_{PP1} 時			115	mA
単位消去時間	t _{er}		0.2	0.2	0.2	s
Total消去時間	t _{era}				20	s
書き換え回数		消去／書き込みを1サイクルとする	20	20	20	回
V_{PP} 電源電圧	V_{PP0}	通常モード時	0		0.2 V_{DD}	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 AV_{DD} 電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	0.2		8	μs
		$V_{DD} = 3.0 \sim 5.5 \text{ V}$	0.33		8	μs
		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		8	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		8	μs
TI80入力 ハイ、ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
TI80入力周波数	f_{TI}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
割り込み入力 ハイ、ロウ・レベル幅	t_{INTH}	INTP0-INTP2	10			μs
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ、ロウ・レベル幅	t_{CPH}		10			μs
	t_{CPL}					

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

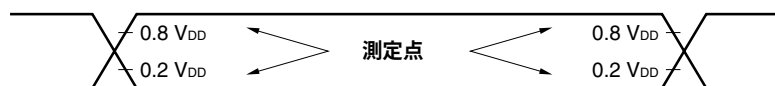
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

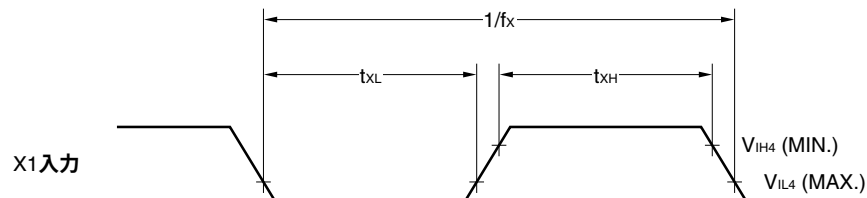
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7~5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8~5.5 V	1600			ns
転送レート		V _{DD} = 2.7~5.5 V			39063	bps
		V _{DD} = 1.8~5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

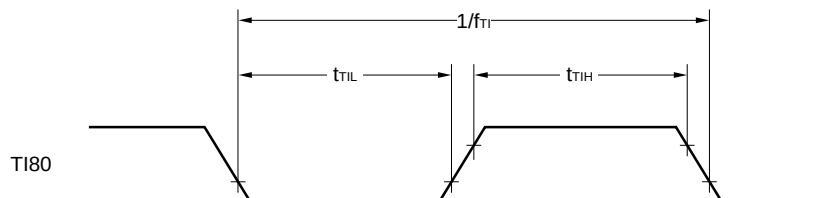
ACタイミング測定点 (X1入力を除く)



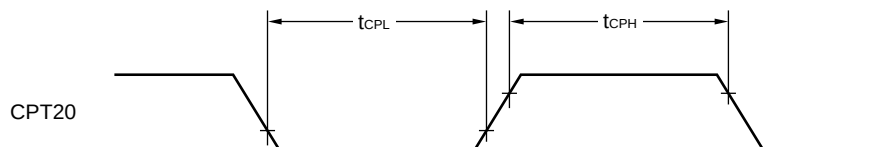
クロック・タイミング



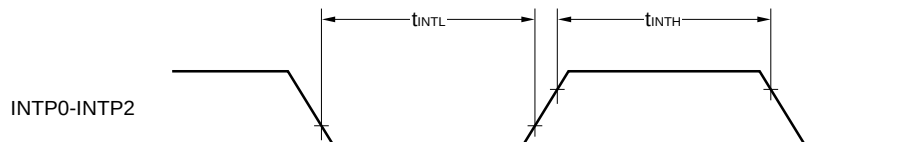
TIタイミング



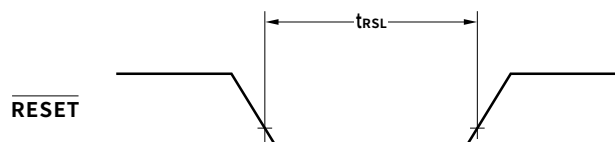
キャプチャ入力タイミング



割り込み入力タイミング

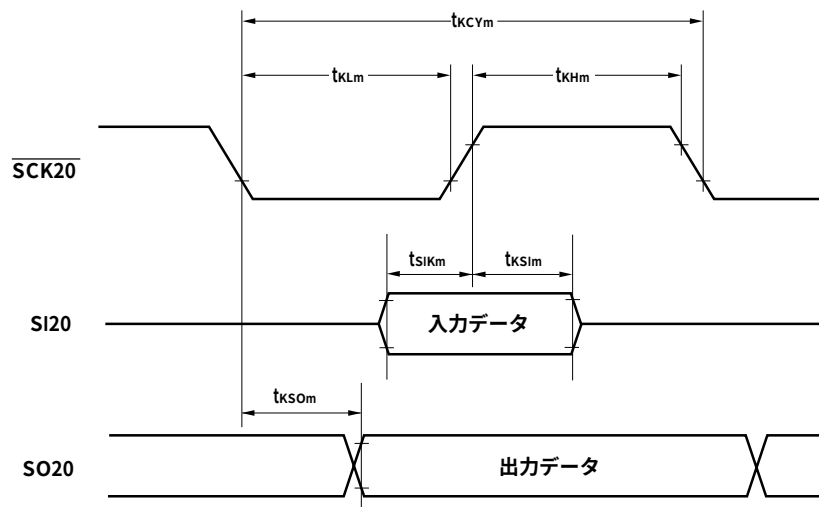


RESET入力タイミング



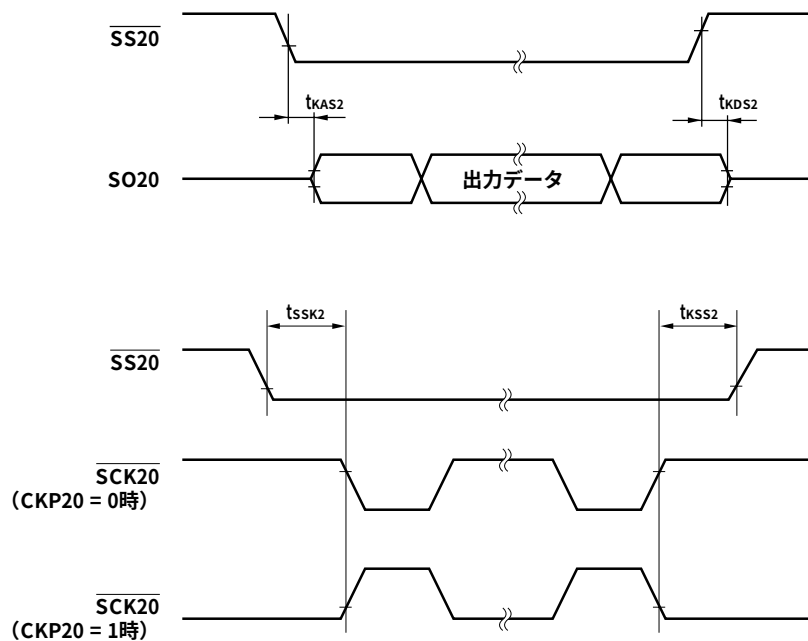
シリアル転送タイミング

3線式シリアルI/Oモード：

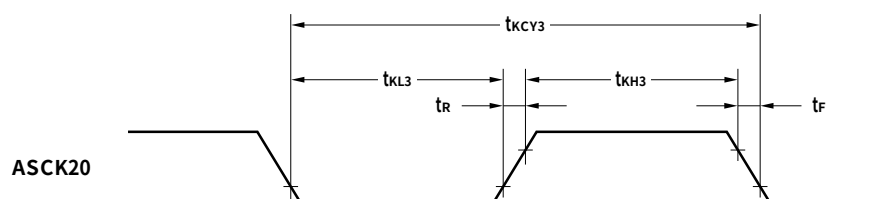


m = 1, 2

3線式シリアルI/Oモード (SS20使用時)：



UARTモード (外部クロック入力)：



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} = V_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 0.2	± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$		± 0.4	± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		± 0.8	± 1.2	%FSR
変換時間	t_{CONV}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	12		100	μs
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	14		100	μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	28		100	μs
ゼロ・スケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
フルスケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
積分直線性誤差 ^{注1}	ILE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 4.5	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 8.5	LSB
微分直線性誤差 ^{注1}	DLE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 2.0	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 3.5	LSB
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 ($\pm 0.05 \text{ %FSR}$) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)

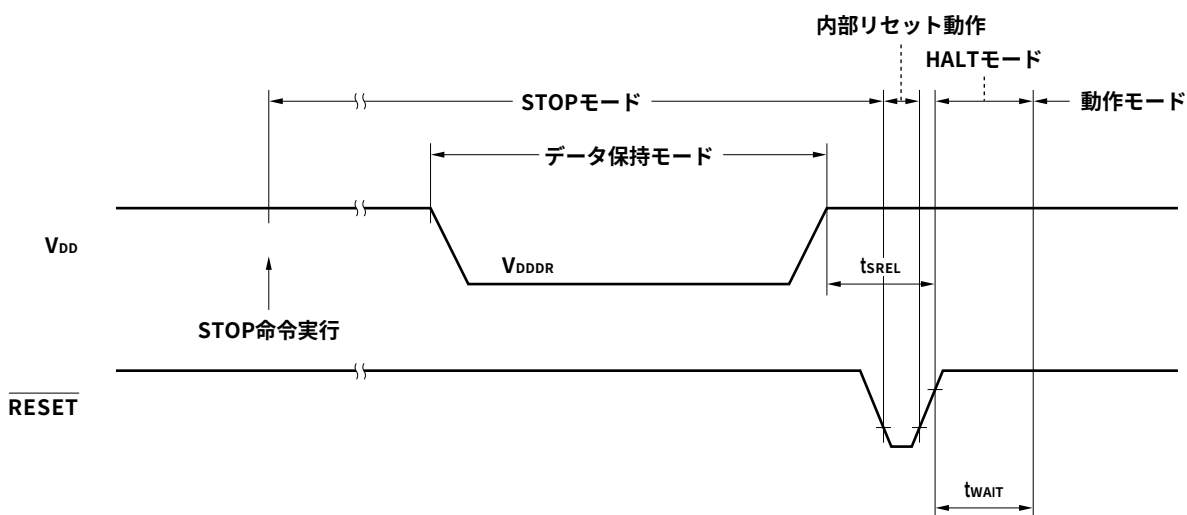
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除		$2^{15}/f_x$		s
		割り込み要求による解除		注2		s

注1. 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

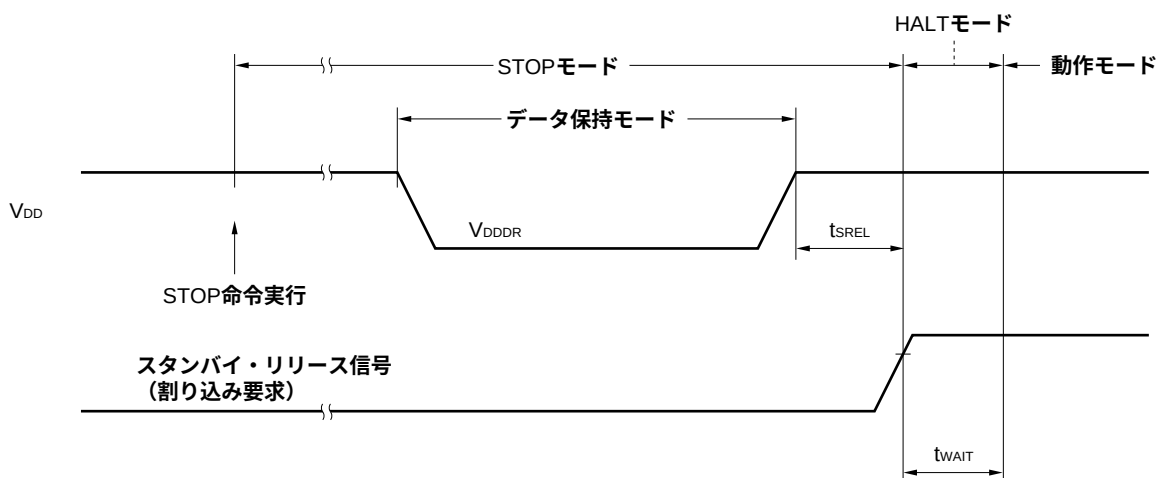
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です。

備考 f_x : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第25章 電気的特性 (μ PD78F9116B(A1))

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD} , AV _{DD}	V _{DD} = AV _{DD}	−0.3〜+6.5	V
	V _{PP}	注	−0.3〜+10.5	V
入力電圧	V _{I1}	P50-P53以外の端子	−0.3〜V _{DD} +0.3	V
	V _{I2}	P50-P53 N-chオープン・ドレイン	−0.3〜+13	V
出力電圧	V _O		−0.3〜V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	−4	mA
		全端子合計	−14	mA
ロウ・レベル出力電流	I _{OL}	1端子	5	mA
		全端子合計	80	mA
動作周囲温度	T _A	通常動作時	−40〜+105	°C
		フラッシュ・メモリ・プログラミング時	10〜40	°C
保存温度	T _{stg}		−40〜+125	°C

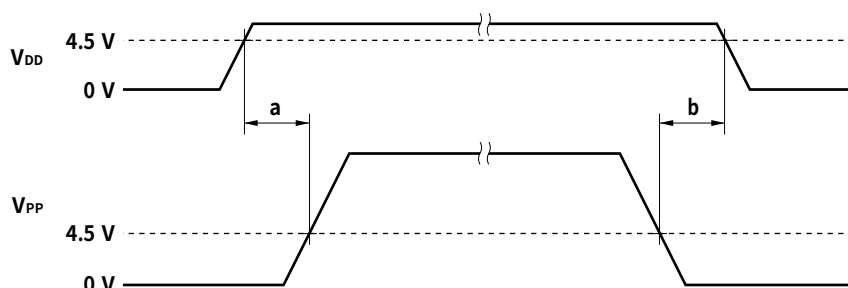
注 フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (4.5 V) に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること (下図のa)。

・電源電圧立ち下がり時

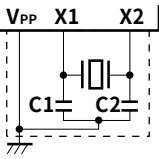
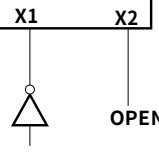
V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (4.5 V) を下回ってから10 μs以上経過後、V_{DD}を立ち下げること (下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 4.5 \sim 5.5\text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) ^{注1}	$V_{DD} = \text{発振電圧範囲}$	1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲の MIN.に達したあと			4	ms
外部クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t_{xH} , t_{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する発振子を使用してください。

注意1. システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- セラミック発振子については、発振子メーカーが $T_A = 105\text{ }^{\circ}\text{C}$ で動作保証している発振子を使用してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (T_A = -40~+105°C, V_{DD} = 4.5~5.5 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり			-1	mA
		全端子合計			-7	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり			1.6	mA
		全端子合計			40	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P53 N-chオープン・ドレイン	0.7 V _{DD}		10	V
	V _{IH3}	RESET, P20-P25	0.8 V _{DD}		V _{DD}	V
	V _{IH4}	X1, X2	V _{DD} -0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子	0		0.3 V _{DD}	V
	V _{IL2}	P50-P53	0		0.3 V _{DD}	V
	V _{IL3}	RESET, P20-P25	0		0.2 V _{DD}	V
	V _{IL4}	X1, X2	0		0.1	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1 mA	V _{DD} -2.0			V
	V _{OH2}	I _{OH} = -100 μA	V _{DD} -1.0			V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	I _{OL} = 1.6 mA		2.0	V
			I _{OL} = 400 μA		1.0	V
	V _{OL2}	P50-P53	I _{OL} = 1.6 mA		1.0	V
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, X1, X2以外の端子	V _I = V _{DD}		10	μA
	I _{LIH2}	X1, X2			20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)	V _I = 10 V		80	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, X1, X2以外の端子	V _I = 0 V		-10	μA
	I _{LIL2}	X1, X2			-20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)			-10 [※]	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			10	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			-10	μA
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P50-P53, P60-P63以外の端子	50	100	300	kΩ

注 ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が-60 μA (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+105°C, V_{DD} = 4.5~5.5 V) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I _{DD1} ^{注1}	5.0 MHz水晶発振動作モード (C1 = C2 = 22pF) ^{注3}		7.5	20.0	mA
	I _{DD2} ^{注1}	5.0 MHz水晶発振HALTモード (C1 = C2 = 22pF) ^{注3}		3.0	5.5	mA
	I _{DD3} ^{注1}	STOPモード		1	1000	μA
	I _{DD4} ^{注2}	5.0 MHz水晶発振A/D動作モード (C1 = C2 = 22pF) ^{注3}		8.7	22.3	mA

注1. AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

2. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
3. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

書き込み消去特性 (T_A = 10~40 °C, V_{DD} = 4.5~5.5 V)

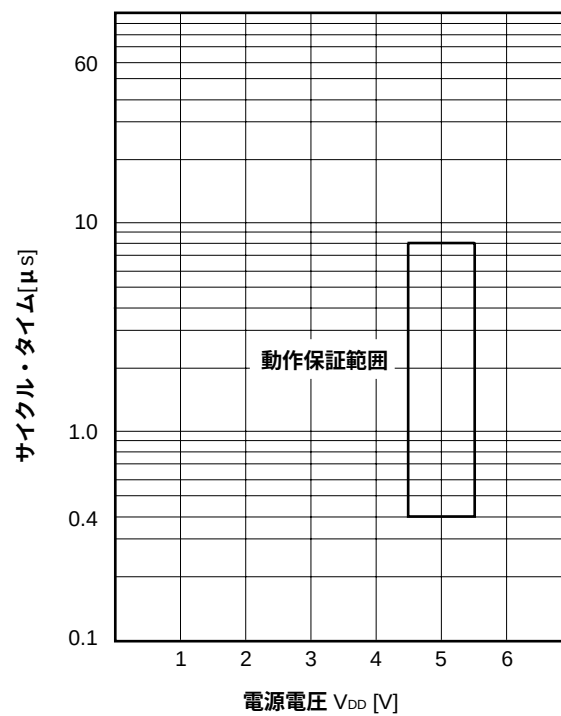
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 (V _{DD} 端子) ^注	I _{DDW}	V _{PP} 電源電圧 = V _{PP1} 時 (5.0 MHz動作時)			21	mA
書き込み電流 (V _{PP} 端子) ^注	I _{PPW}	V _{PP} 電源電圧 = V _{PP1} 時			22.5	mA
消去電流 (V _{DD} 端子) ^注	I _{DDE}	V _{PP} 電源電圧 = V _{PP1} 時 (5.0 MHz動作時)			21	mA
消去電流 (V _{PP} 端子) ^注	I _{PPE}	V _{PP} 電源電圧 = V _{PP1} 時			115	mA
単位消去時間	t _{er}		0.2	0.2	0.2	s
Total消去時間	t _{era}				20	s
書き換え回数		消去／書き込みを1サイクルとする	20	20	20	回
V _{PP} 電源電圧	V _{PP0}	通常モード時	0		0.2 V _{DD}	V
	V _{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

AC特性

(1) 基本動作 ($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 4.5 \sim 5.5\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}		0.4		8	μs
TI80入力 ハイ, ロウ・レベル幅	t_{TIH} , t_{TIL}		0.1			μs
TI80入力周波数	f_{TI}		0		4	MHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP2	10			μs
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μs

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース (TA = -40~+105 °C, VDD = 4.5~5.5 V)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY1}		800			ns
SCK20ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2-50			ns
SI20セットアップ時間 (対SCK20↑)	t _{SIK1}		150			ns
SI20ホールド時間 (対SCK20↑)	t _{KSI1}		400			ns
SCK20↓→SO20 出力遅延時間	t _{KSO1}	R = 1 kΩ, C = 100 pF ^注	0		250	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY2}		800			ns
SCK20ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		400			ns
SI20セットアップ時間 (対SCK20↑)	t _{SIK2}		100			ns
SI20ホールド時間 (対SCK20↑)	t _{KSI2}		400			ns
SCK20↓→SO20 出力遅延時間	t _{KSO2}	R = 1 kΩ, C = 100 pF ^注	0		300	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t _{KAS2}				120	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t _{KDS2}				240	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t _{SSK2}		100			ns
SS20ホールド時間 (対SCK20最終エッジ)	t _{KSS2}		400			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					78125	bps

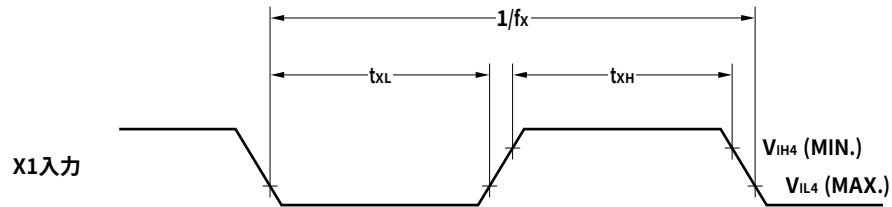
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}		800			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}		400			ns
転送レート					39063	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

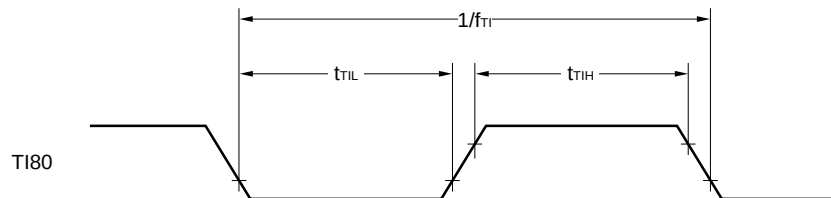
ACタイミング測定点 (X1入力を除く)



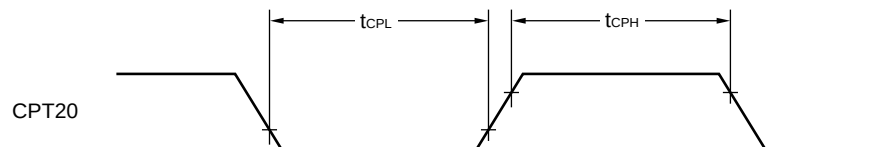
クロック・タイミング



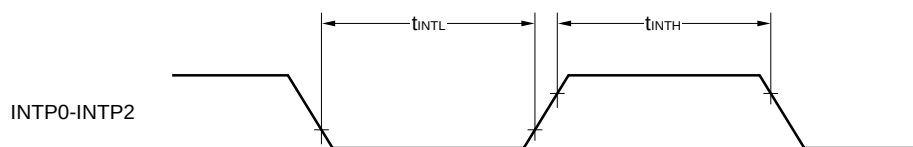
TIタイミング



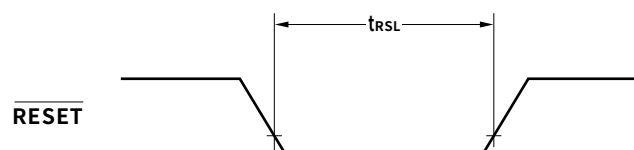
キャプチャ入力タイミング



割り込み入力タイミング

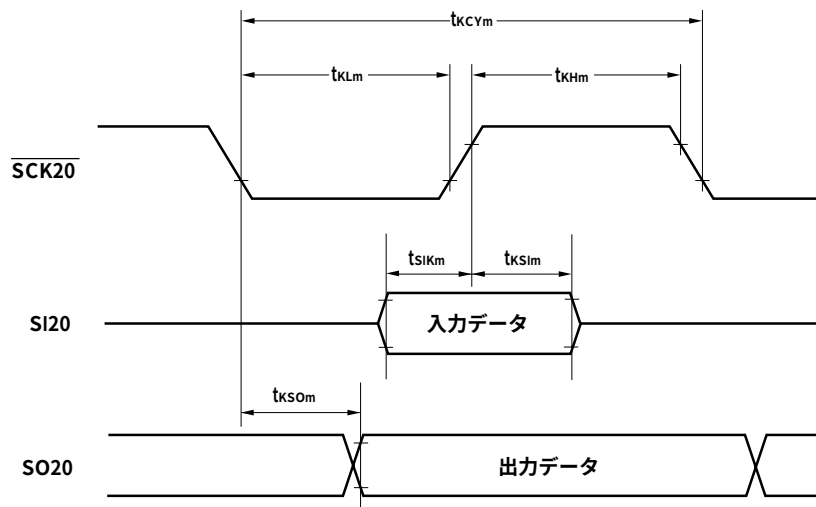


RESET入力タイミング



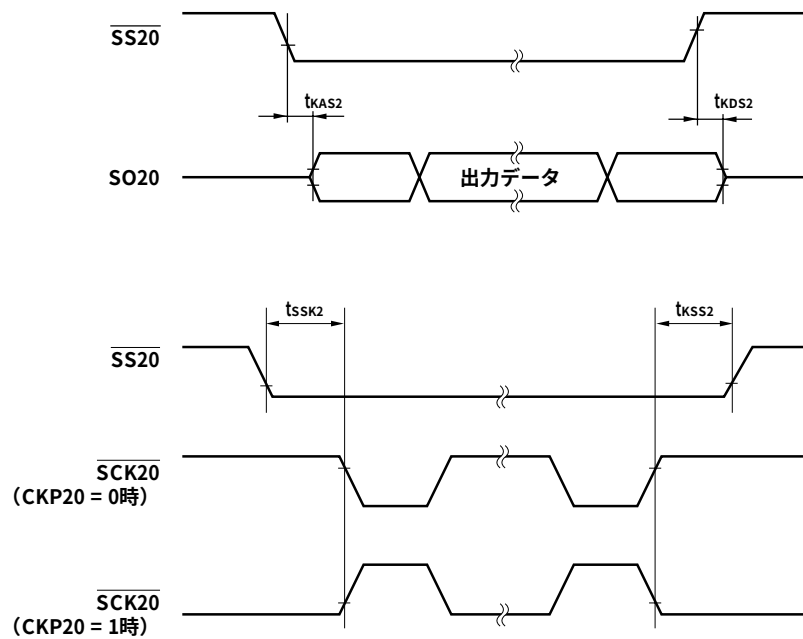
シリアル転送タイミング

3線式シリアルI/Oモード：

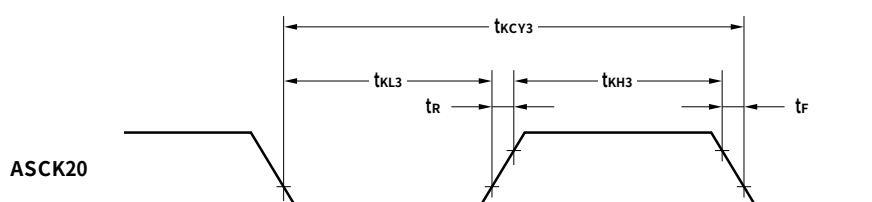


$m = 1, 2$

3線式シリアルI/Oモード ($\overline{\text{SS20}}$ 使用時)：



UARTモード (外部クロック入力)：



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +105 \text{ }^{\circ}\text{C}$, $AV_{DD} = V_{DD} = 4.5 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}				±0.4	±0.6	%FSR
変換時間	t _{CONV}		14		28	μs
ゼロ・スケール誤差 ^{注1, 2}					±0.6	%FSR
フルスケール誤差 ^{注1, 2}					±0.6	%FSR
積分直線性誤差 ^{注1}	ILE				±4.5	LSB
微分直線性誤差 ^{注1}	DLE				±2.0	LSB
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.05 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40～+105 °C)

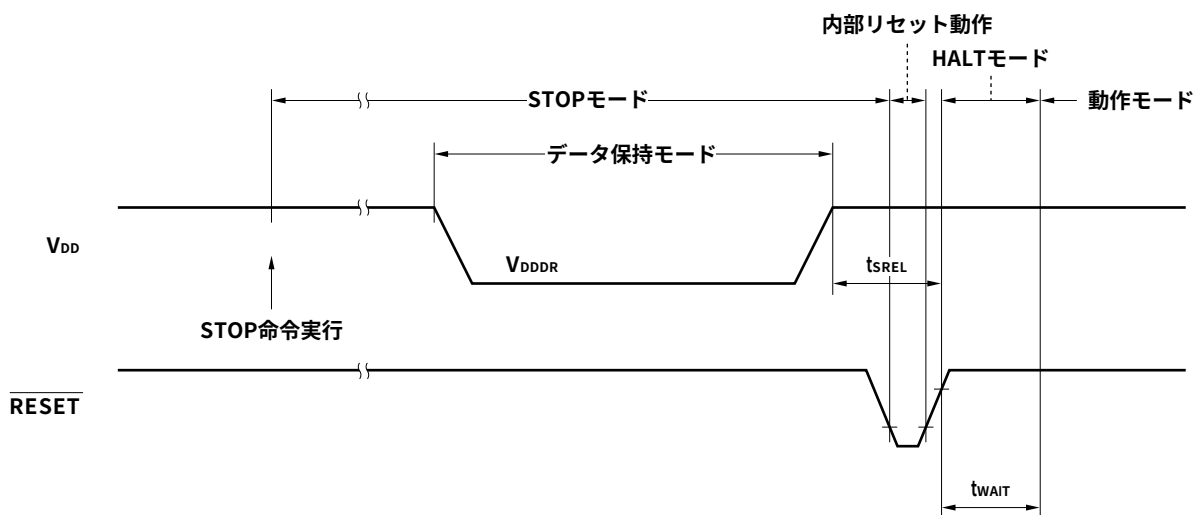
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウェイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _x		s
		割り込み要求による解除		注2		s

注1. 発振ウェイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

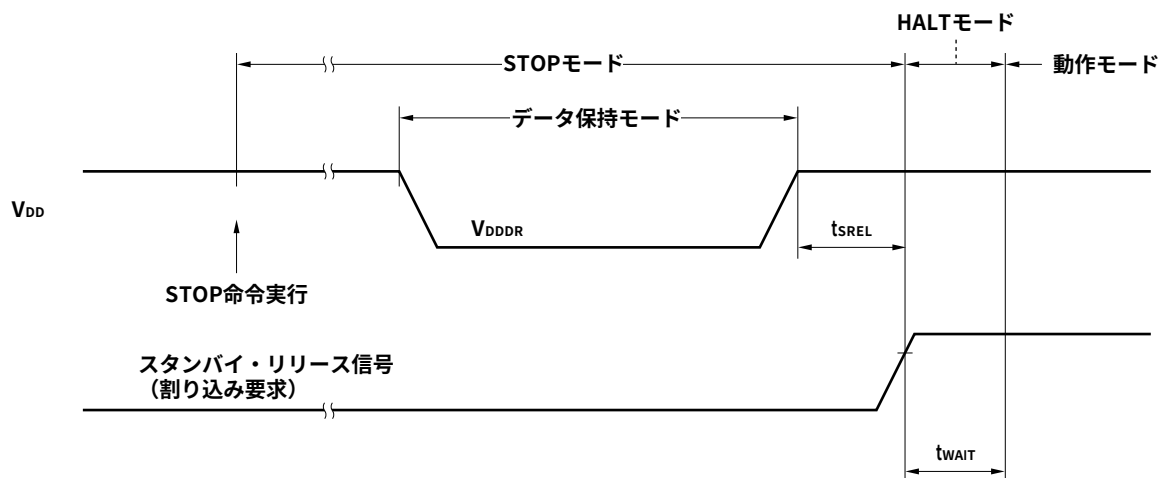
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/f_x, 2¹⁵/f_x, 2¹⁷/f_xの選択が可能です。

備考 f_x: システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第26章 電気的特性 (μ PD78F9116A)

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD} , A _{VDD}	V _{DD} = A _{VDD}	−0.3〜+6.5	V
	V _{PP}	注	−0.3〜+10.5	V
入力電圧	V _{I1}	P50-P53以外の端子	−0.3〜V _{DD} +0.3	V
	V _{I2}	P50-P53 N-chオープン・ドレイン	−0.3〜+13	V
出力電圧	V _O		−0.3〜V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	−10	mA
		全端子合計	−30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	−40〜+85	°C
		フラッシュ・メモリ・プログラミング時	10〜40	°C
保存温度	T _{stg}		−40〜+125	°C

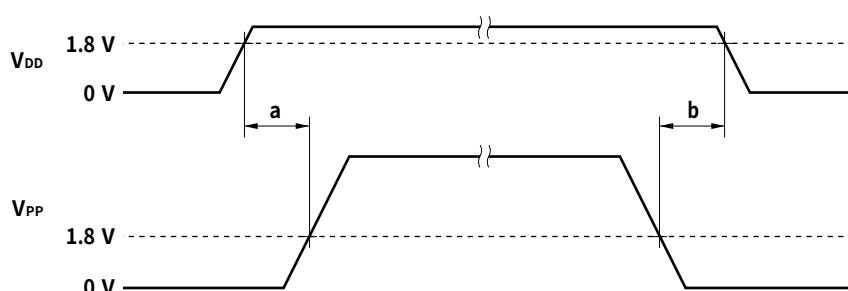
注 フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること (下図のa)。

・電源電圧立ち下がり時

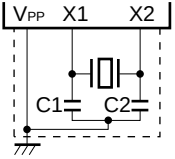
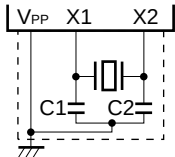
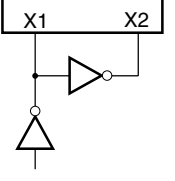
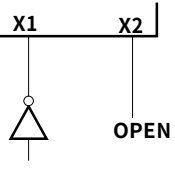
V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μs以上経過後、V_{DD}を立ち下げる (下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) 注1	$V_{DD} = \text{発振電圧範囲}$	1.0		5.0	MHz
		発振安定時間 注2	V_{DD} が発振電圧範囲の MIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) 注1		1.0		5.0	MHz
		発振安定時間 注2	$V_{DD} = 4.5 \sim 5.5 \text{ V}$			10	ms
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			30	
外部クロック		X1入力周波数 (f_x) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t_{xH} , t_{xL})		85		500	ns
		X1入力周波数 (f_x) 注1	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t_{xH} , t_{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり				−1	mA
		全端子合計				−15	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり				10	mA
		全端子合計				80	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子		V _{DD} = 2.7~5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン	V _{DD} = 2.7~5.5 V	0.7 V _{DD}	12	V
				V _{DD} = 1.8~5.5 V, T _A = 25~85 °C	0.9 V _{DD}	12	V
	V _{IH3}	RESET, P20-P25		V _{DD} = 2.7~5.5 V	0.8 V _{DD}	V _{DD}	V
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	X1, X2		V _{DD} = 4.5~5.5 V	V _{DD} −0.5	V _{DD}	V
				V _{DD} = 1.8~5.5 V	V _{DD} −0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子		V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V
	V _{IL2}	P50-P53	N-chオープン・ドレイン	V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8~5.5 V, T _A = 25~85 °C	0	0.1 V _{DD}	V
	V _{IL3}	RESET, P20-P25		V _{DD} = 2.7~5.5 V	0	0.2 V _{DD}	V
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V
	V _{IL4}	X1, X2		V _{DD} = 4.5~5.5 V	0	0.4	V
				V _{DD} = 1.8~5.5 V	0	0.1	V
ハイ・レベル出力電圧	V _{OH1}	V _{DD} = 4.5~5.5 V, I _{OH} = −1 mA		V _{DD} −1.0			V
	V _{OH2}	V _{DD} = 1.8~5.5 V, I _{OH} = −100 μA		V _{DD} −0.5			V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA			1.0	V
			V _{DD} = 1.8~5.5 V, I _{OL} = 400 μA			0.5	V
	V _{OL2}	P50-P53	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA			1.0	V
			V _{DD} = 1.8~5.5 V, I _{OL} = 1.6 mA			0.4	V
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, X1, X2以外の端子		V _{IN} = V _{DD}		3	μA
	I _{LIH2}	X1, X2				20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)		V _{IN} = 12 V		20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, X1, X2以外の端子		V _{IN} = 0 V		−3	μA
	I _{LIL2}	X1, X2				−20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)				−3 ^注	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				−3	μA

注 ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が-60 μA (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (2/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P50-P53, P60-P63以外の端子		50	100	200	k Ω
電源電流	I _{DD1} ^{注1}	5.0 MHz水晶発振動作 モード (C1 = C2 = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注3}		5.0	15.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注4}		1.9	4.9	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}		1.5	3.0	mA
	I _{DD2} ^{注1}	5.0 MHz水晶発振HALT モード (C1 = C2 = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注3}		2.5	5.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注4}		1.0	2.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}		0.75	1.5	mA
	I _{DD3} ^{注1}	STOPモード	V _{DD} = 5.0 V ± 10 %		0.1	30	μ A
			V _{DD} = 3.0 V ± 10 %		0.05	10	μ A
			V _{DD} = 2.0 V ± 10 %		0.05	10	μ A
	I _{DD4} ^{注2}	5.0 MHz水晶発振A/D動作 モード (C1 = C2 = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注3}		6.2	17.3	mA
			V _{DD} = 3.0 V ± 10 % ^{注4}		3.1	7.2	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}		2.5	5.0	mA

注1. AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

2. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

3. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）

4. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

書き込み消去特性 (T_A = 10~40 °C, V_{DD} = 1.8~5.5 V)

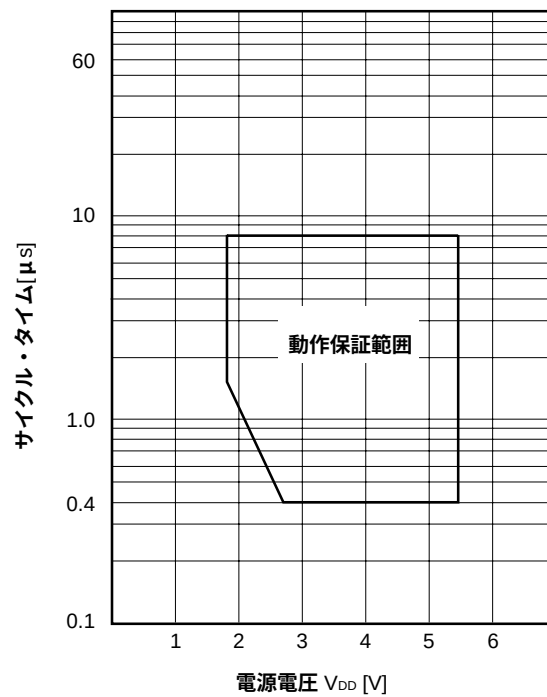
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 (V _{DD} 端子) ^注	I _{DDW}	V _{PP} 電源電圧 = V _{PP1} 時 (5.0 MHz動作時)			18	mA
書き込み電流 (V _{PP} 端子) ^注	I _{PPW}	V _{PP} 電源電圧 = V _{PP1} 時			22.5	mA
消去電流 (V _{DD} 端子) ^注	I _{DDE}	V _{PP} 電源電圧 = V _{PP1} 時 (5.0 MHz動作時)			18	mA
消去電流 (V _{PP} 端子) ^注	I _{PPE}	V _{PP} 電源電圧 = V _{PP1} 時			115	mA
単位消去時間	t _{er}		0.5	1	1	s
Total消去時間	t _{era}				20	s
書き換え回数		消去／書き込みを1サイクルとする	20	20	20	回
V _{PP} 電源電圧	V _{PP0}	通常モード時	0		0.2 V _{DD}	V
	V _{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		8	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		8	μs
TI80入力 ハイ、ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
TI80入力周波数	f_{Ti}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
割り込み入力 ハイ、ロウ・レベル幅	t_{INTH}	INTP0-INTP2	10			μs
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ、ロウ・レベル幅	t_{CPH}		10			μs
	t_{CPL}					

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

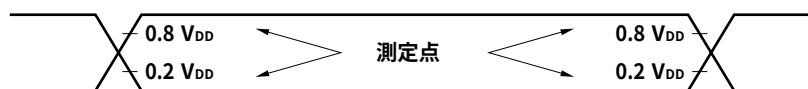
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

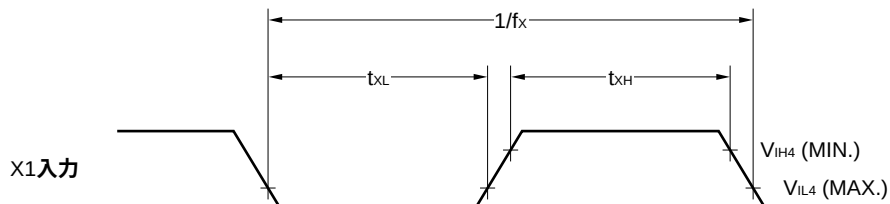
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7~5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8~5.5 V	1600			ns
転送レート		V _{DD} = 2.7~5.5 V			39063	bps
		V _{DD} = 1.8~5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

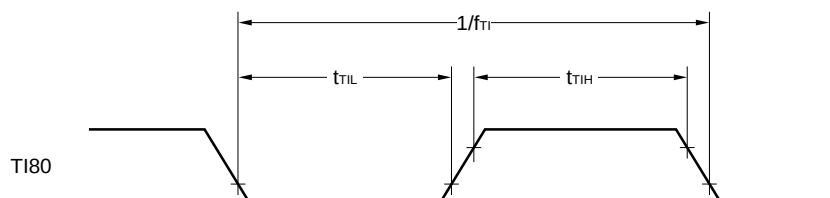
ACタイミング測定点 (X1入力を除く)



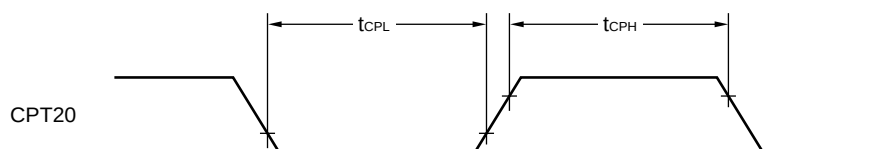
クロック・タイミング



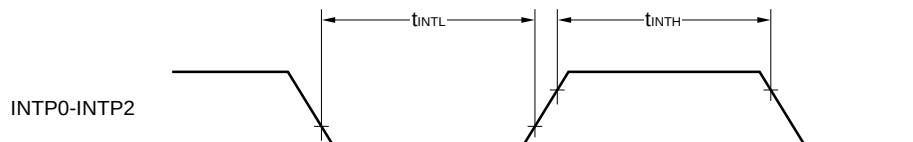
TIタイミング



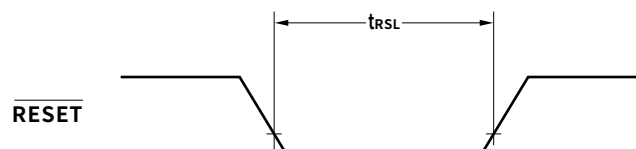
キャプチャ入力タイミング



割り込み入力タイミング

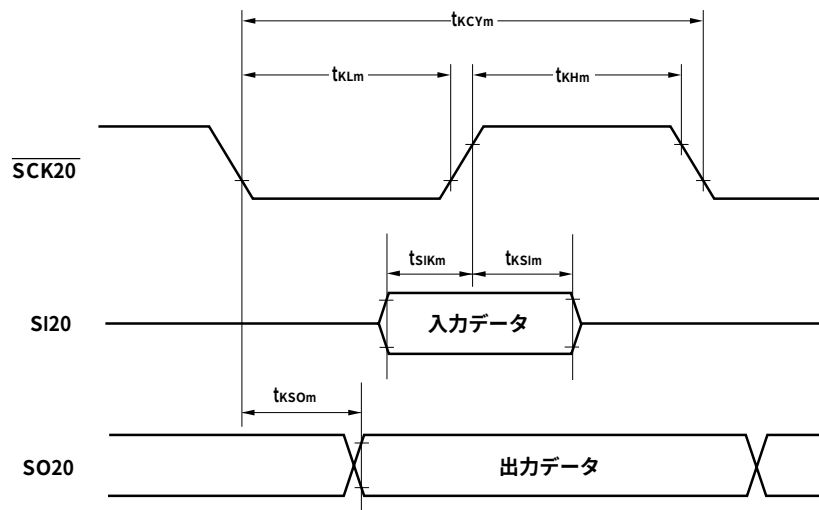


RESET入力タイミング



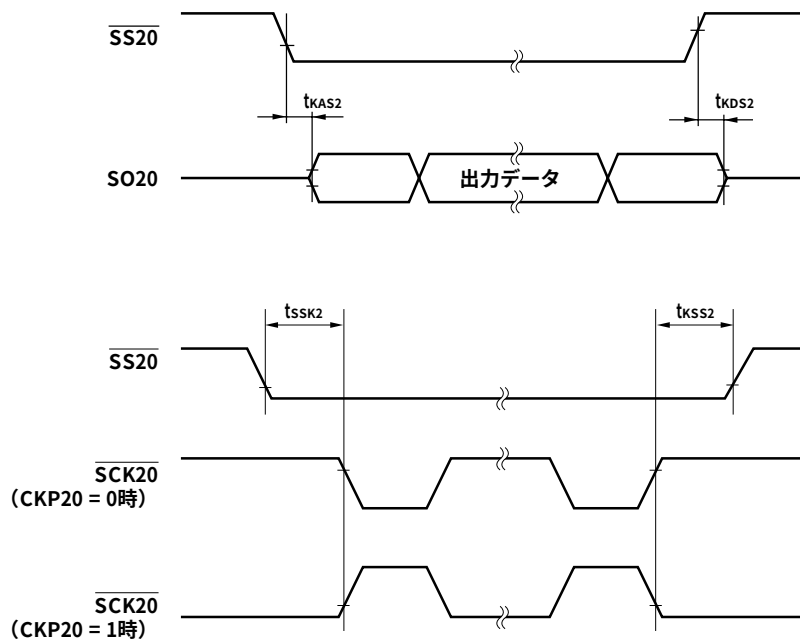
シリアル転送タイミング

3線式シリアルI/Oモード：

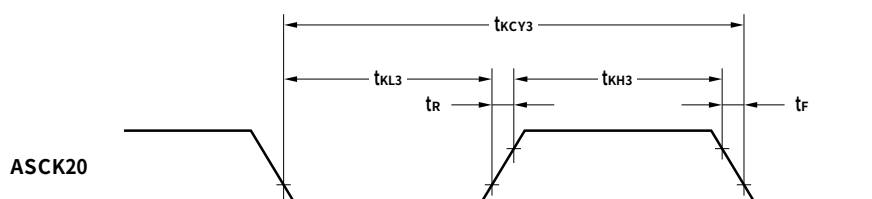


$m = 1, 2$

3線式シリアルI/Oモード ($\overline{\text{SS20}}$ 使用時)：



UARTモード (外部クロック入力)：



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} = V_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 0.2	± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$		± 0.4	± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		± 0.8	± 1.2	%FSR
変換時間	t_{CONV}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	14		100	μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	28		100	μs
ゼロ・スケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
フルスケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
積分直線性誤差 ^{注1}	ILE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 4.5	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 8.5	LSB
微分直線性誤差 ^{注1}	DLE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 2.0	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 3.5	LSB
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 ($\pm 0.05 \text{ %FSR}$) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40~+85 °C)

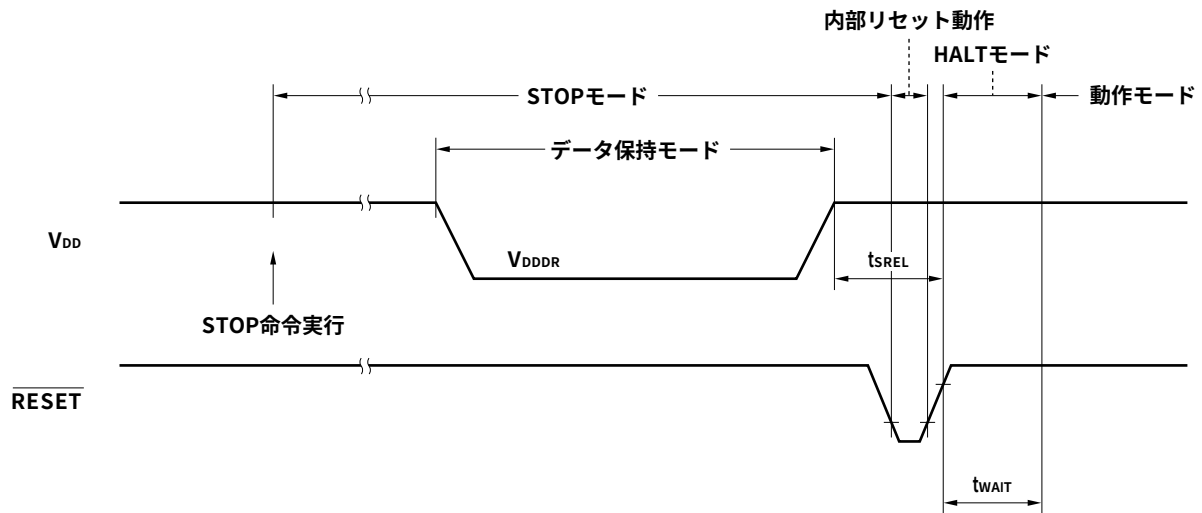
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _X		s
		割り込み要求による解除		注2		s

注1. 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

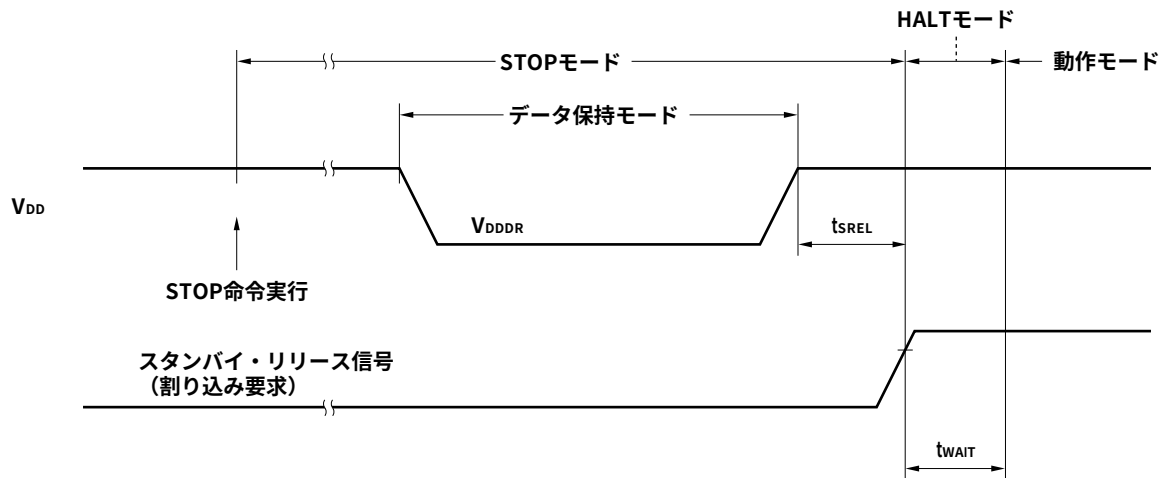
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/f_X, 2¹⁵/f_X, 2¹⁷/f_Xの選択が可能です。

備考 f_X: システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第27章 電気的特性

(μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A))

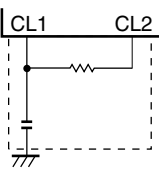
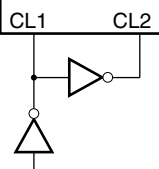
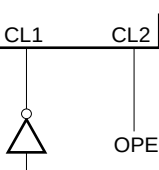
絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$)

項 目	略 号	条 件		定 格	単 位
電源電圧	V_{DD}, AV_{DD}	$V_{DD} = AV_{DD}$		$-0.3 \sim +6.5$	V
入力電圧	V_{I1}	P50-P53以外の端子		$-0.3 \sim V_{DD} + 0.3$	V
	V_{I2}	P50-P53	N-chオープン・ドレイン時	$-0.3 \sim +13$	V
			プルアップ抵抗内蔵時	$-0.3 \sim V_{DD} + 0.3$	V
出力電圧	V_O			$-0.3 \sim V_{DD} + 0.3$	V
ハイ・レベル出力電流	I_{OH}	1端子	μ PD78912xA, 78913xA	-10	mA
		全端子合計		-30	mA
		1端子	μ PD78912xA(A), 78913xA(A)	-7	mA
		全端子合計		-22	mA
ロウ・レベル出力電流	I_{OL}	1端子	μ PD78912xA, 78913xA	30	mA
		全端子合計		160	mA
		1端子	μ PD78912xA(A), 78913xA(A)	10	mA
		全端子合計		120	mA
動作周囲温度	T_A			$-40 \sim +85$	$^{\circ}\text{C}$
保存温度	T_{stg}			$-65 \sim +150$	$^{\circ}\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5\text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
RC発振		発振周波数 (f_{cc}) 注1		2.0		4.0	MHz
外部クロック		CL1入力周波数 (f_{cc}) 注1		1.0		5.0	MHz
		CL1入力ハイ, ロウ・レベル幅 (t_{xH} , t_{xL})		85		500	ns
		CL1入力周波数 (f_{cc}) 注1	$V_{DD} = 2.7 \sim 5.5\text{ V}$	1.0		5.0	MHz
		CL1入力ハイ, ロウ・レベル幅 (t_{xH} , t_{xL})	$V_{DD} = 2.7 \sim 5.5\text{ V}$	85		500	ns

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

RC発振周波数特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
発振周波数	f _{CC1}	R = 11.0 kΩ, C = 22 pF	V _{DD} = 2.7～5.5 V	1.5	2.0	2.5	MHz
	f _{CC2}	ターゲット：2MHz	V _{DD} = 1.8～3.6 V	0.5	2.0	2.5	MHz
	f _{CC3}		V _{DD} = 1.8～5.5 V	0.5	2.0	2.5	MHz
	f _{CC4}	R = 6.8 kΩ, C = 22 pF	V _{DD} = 2.7～5.5 V	2.5	3.0	3.5	MHz
	f _{CC5}	ターゲット：3MHz	V _{DD} = 1.8～3.6 V	0.75	3.0	3.5	MHz
	f _{CC6}		V _{DD} = 1.8～5.5 V	0.75	3.0	3.5	MHz
	f _{CC7}	R = 4.7 kΩ, C = 22 pF	V _{DD} = 2.7～5.5 V	3.5	4.0	4.7	MHz
	f _{CC8}	ターゲット：4MHz	V _{DD} = 1.8～3.6 V	1.0	4.0	4.7	MHz
	f _{CC9}		V _{DD} = 1.8～5.5 V	1.0	4.0	4.7	MHz

備考 発振周波数のTYP.値を2.0～4.0 MHzに収めるため、上記9つのいずれかの値でRCを設定してください。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78912xA, 78913xA			−1	mA
		全端子合計				−15	mA
		1端子あたり	μ PD78912xA(A), 78913xA(A)			−1	mA
		全端子合計				−11	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78912xA, 78913xA			10	mA
		全端子合計				80	mA
		1端子あたり	μ PD78912xA(A), 78913xA(A)			3	mA
		全端子合計				60	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子		V _{DD} = 2.7~5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン時	V _{DD} = 2.7~5.5 V	0.7 V _{DD}	12	V
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	12	V
			プルアップ抵抗内蔵時	V _{DD} = 2.7~5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH3}	RESET, P20-P25		V _{DD} = 2.7~5.5 V	0.8 V _{DD}	V _{DD}	V
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	CL1, CL2		V _{DD} = 4.5~5.5 V	V _{DD} −0.5	V _{DD}	V
				V _{DD} = 1.8~5.5 V	V _{DD} −0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子		V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V
	V _{IL2}	P50-P53		V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V
	V _{IL3}	RESET, P20-P25		V _{DD} = 2.7~5.5 V	0	0.2 V _{DD}	V
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V
	V _{IL4}	CL1, CL2		V _{DD} = 4.5~5.5 V	0	0.4	V
				V _{DD} = 1.8~5.5 V	0	0.1	V
ハイ・レベル出力電圧	V _{OH1}	V _{DD} = 4.5~5.5 V, I _{OH} = −1 mA			V _{DD} −1.0		V
	V _{OH2}	V _{DD} = 1.8~5.5 V, I _{OH} = −100 μA			V _{DD} −0.5		V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA (μ PD78912xA, 78913xA)			1.0	V
			V _{DD} = 4.5~5.5 V, I _{OL} = 3 mA (μ PD78912xA(A), 78913xA(A))			1.0	V
			V _{DD} = 1.8~5.5 V, I _{OL} = 400 μA			0.5	V
	V _{OL2}	P50-P53	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA (μ PD78912xA, 78913xA)			1.0	V
			V _{DD} = 4.5~5.5 V, I _{OL} = 3 mA (μ PD78912xA(A), 78913xA(A))			1.0	V
			V _{DD} = 1.8~5.5 V, I _{OL} = 1.6 mA			0.4	V
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, CL1, CL2以外の端子		V _I = V _{DD}		3	μA
	I _{LIH2}	CL1, CL2				20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)		V _I = 12 V		20	μA

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (2/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, CL1, CL2以外の端子	V _I = 0 V			-3	μ A
	I _{LIL2}	CL1, CL2				-20	μ A
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)				-3 ^{注1}	μ A
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				3	μ A
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				-3	μ A
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P50-P53以外の端子		50	100	200	k Ω
マスク・オプション・プルアップ抵抗	R ₂	V _I = 0 V, P50-P53		10	30	60	k Ω
電源電流	I _{DD1} ^{注2}	4.0 MHzRC発振動作モード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		1.8	3.2	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.45	0.9	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		0.25	0.45	mA
	I _{DD2} ^{注2}	4.0 MHzRC発振HALTモード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		0.8	1.6	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.3	0.6	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		0.15	0.3	mA
	I _{DD3} ^{注2}	STOPモード	V _{DD} = 5.0 V ± 10 %		0.1	10	μ A
			V _{DD} = 3.0 V ± 10 %		0.05	5.0	μ A
			V _{DD} = 2.0 V ± 10 %		0.05	5.0	μ A
	I _{DD4} ^{注3}	4.0 MHzRC発振A/D動作モード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		3.0	5.5	mA
V _{DD} = 3.0 V ± 10 % ^{注5}				1.65	3.2	mA	
V _{DD} = 2.0 V ± 10 % ^{注5}				1.25	2.7	mA	

注1. P50-P53にプルアップ抵抗を内蔵しない場合（マスク・オプションにより指定）で、ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が-60 μ A (MAX.) 流れます。

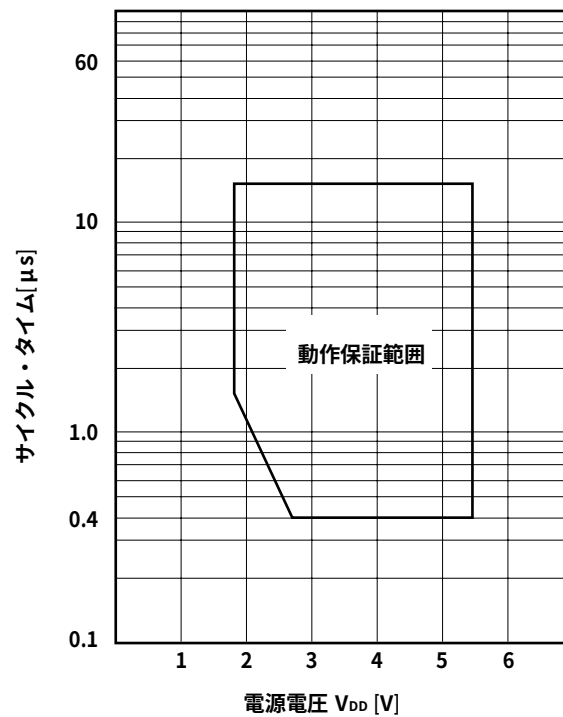
2. AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
3. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
4. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
5. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		16	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		16	μs
TI80入力 ハイ, ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
TI80入力周波数	f_{Ti}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH}	INTP0-INTP2	10			μs
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH}		10			μs
	t_{CPL}					

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

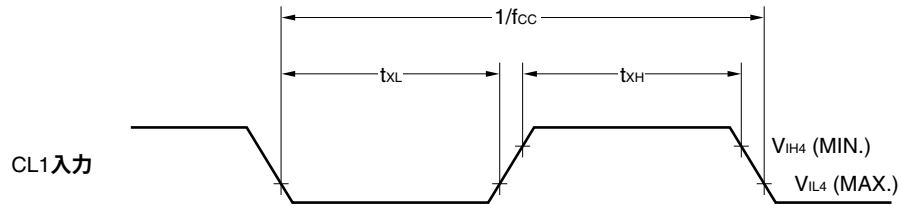
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7~5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8~5.5 V	1600			ns
転送レート		V _{DD} = 2.7~5.5 V			39063	bps
		V _{DD} = 1.8~5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

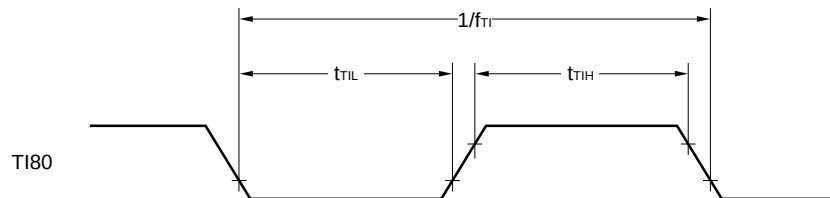
ACタイミング測定点 (CL1入力を除く)



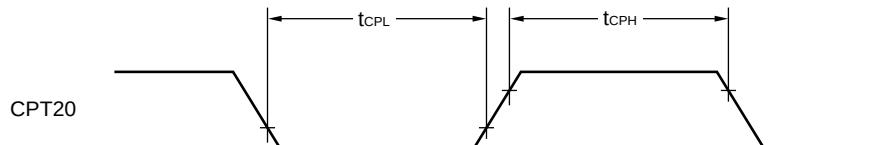
クロック・タイミング



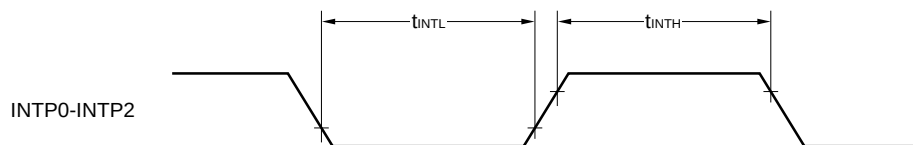
TIタイミング



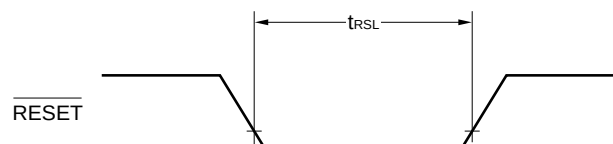
キャプチャ入力タイミング



割り込み入力タイミング

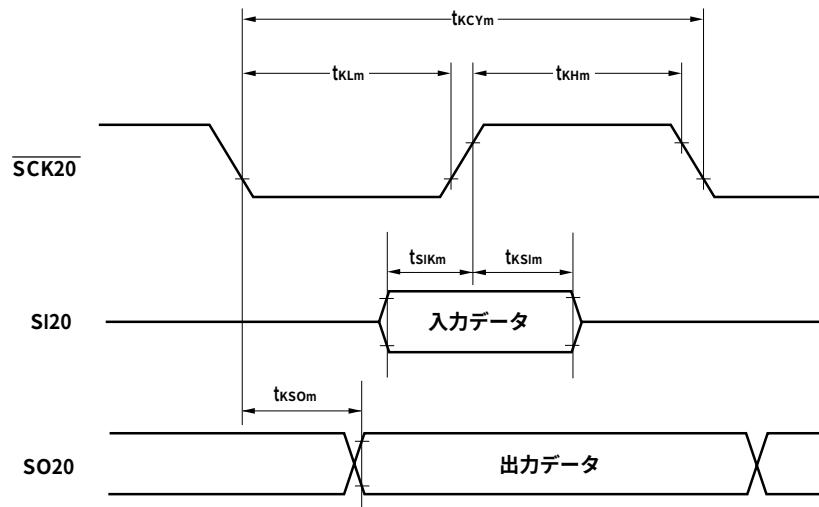


RESET入力タイミング



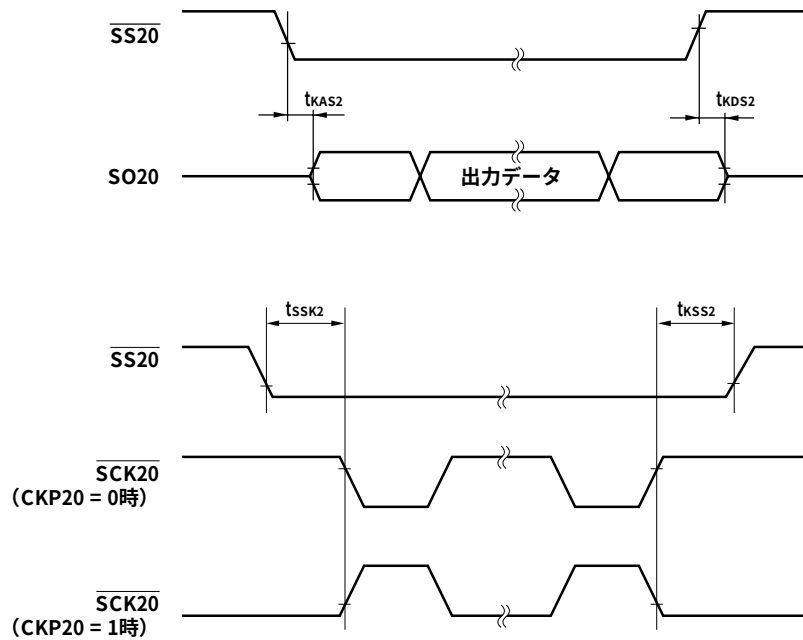
シリアル転送タイミング

3線式シリアルI/Oモード：

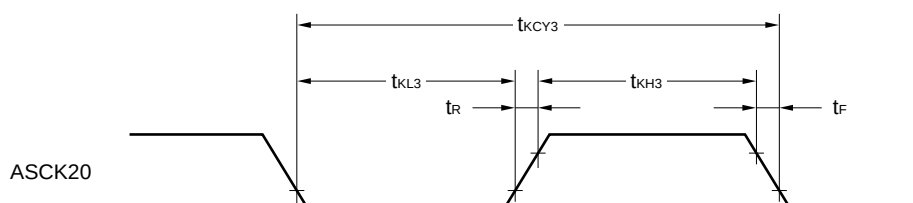


m = 1, 2

3線式シリアルI/Oモード (SS20使用時)：



UARTモード (外部クロック入力)：



8ビットA/Dコンバータ特性 (μ PD78912xA, 78912xA(A))

(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 1.8~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^{注1, 2}		V _{DD} = 2.7~5.5 V		±0.4	±0.6	%FSR
		V _{DD} = 1.8~5.5 V		±0.8	±1.2	%FSR
変換時間	t _{CONV}	V _{DD} = 2.7~5.5 V	14		100	μs
		V _{DD} = 1.8~5.5 V	28		100	μs
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.2 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

10ビットA/Dコンバータ特性 (μ PD78913xA, 78913xA(A))

(T_A = -40~+85 °C, AV_{DD} = V_{DD} = 1.8~5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V		±0.2	±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V		±0.4	±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V		±0.8	±1.2	%FSR
変換時間	t _{CONV}	4.5 V ≤ V _{DD} ≤ 5.5 V	14		100	μs
		2.7 V ≤ V _{DD} ≤ 5.5 V	14		100	μs
		1.8 V ≤ V _{DD} < 2.7 V	28		100	μs
ゼロ・スケール誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
フルスケール誤差 ^{注1, 2}		4.5 V ≤ V _{DD} ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ V _{DD} < 4.5 V			±0.6	%FSR
		1.8 V ≤ V _{DD} < 2.7 V			±1.2	%FSR
積分直線性誤差 ^{注1}	ILE	4.5 V ≤ V _{DD} ≤ 5.5 V			±2.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±4.5	LSB
		1.8 V ≤ V _{DD} < 2.7 V			±8.5	LSB
微分直線性誤差 ^{注1}	DLE	4.5 V ≤ V _{DD} ≤ 5.5 V			±1.5	LSB
		2.7 V ≤ V _{DD} < 4.5 V			±2.0	LSB
		1.8 V ≤ V _{DD} < 2.7 V			±3.5	LSB
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.05 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

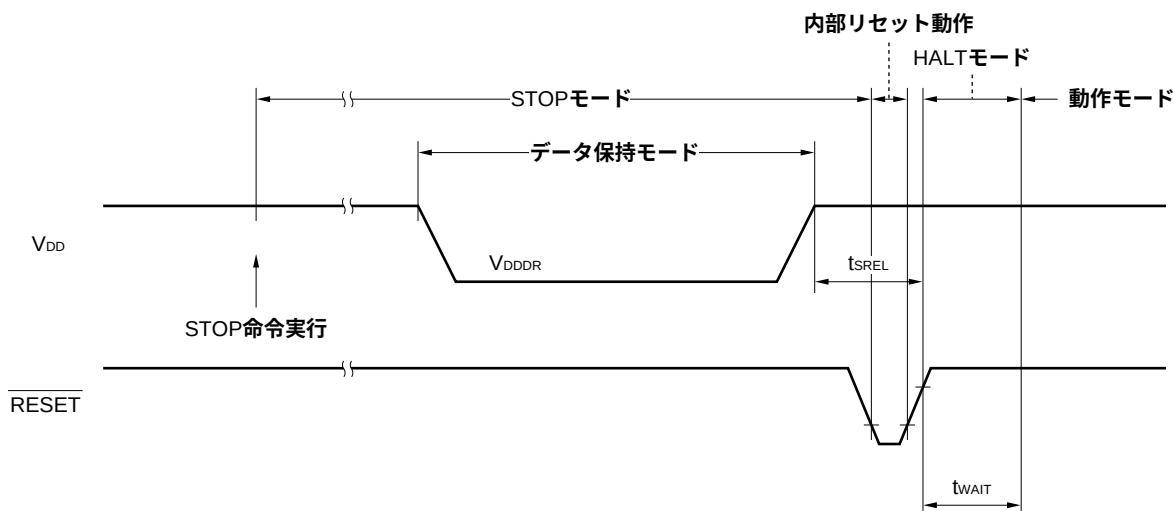
データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間 ^注	t_{WAIT}	RESETによる解除		$2^7/f_{CC}$		s
		割り込み要求による解除		$2^7/f_{CC}$		s

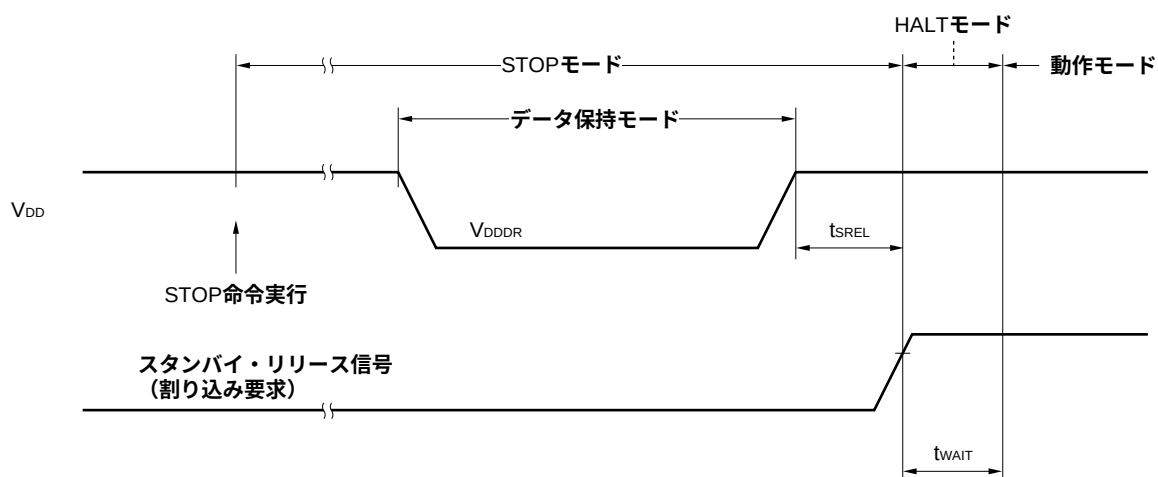
注 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

備考 f_{CC} ：システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



★

第28章 電気的特性

(μ PD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2))

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$)

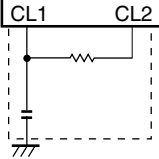
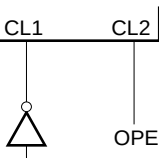
項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}, AV_{DD}	$V_{DD} = AV_{DD}$	$-0.3 \sim +6.5$	V
入力電圧	V_{I1}	P50-P53以外の端子	$-0.3 \sim V_{DD} + 0.3$	V
	V_{I2}	P50-P53	N-chオープン・ドレイン時	$-0.3 \sim +13$
			ブルアップ抵抗内蔵時	$-0.3 \sim V_{DD} + 0.3$
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3$	V
ハイ・レベル出力電流	I_{OH}	1端子	μ PD78912xA(A1), 78913xA(A1)	-4
		全端子合計		-14
		1端子	μ PD78912xA(A2), 78913xA(A2)	-2
		全端子合計		-6
ロウ・レベル出力電流	I_{OL}	1端子	μ PD78912xA(A1), 78913xA(A1)	5
		全端子合計		80
		1端子	μ PD78912xA(A2), 78913xA(A2)	2
		全端子合計		40
動作周囲温度	T_A	μ PD78912xA(A1), 78913xA(A1)	$-40 \sim +110$	$^{\circ}\text{C}$
		μ PD78912xA(A2), 78913xA(A2)	$-40 \sim +125$	$^{\circ}\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^{\circ}\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性

($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110 \text{ }^\circ\text{C}$ (μ PD78912xA(A1), 78913xA(A1)) ,
 $-40 \sim +125 \text{ }^\circ\text{C}$ (μ PD78912xA(A2), 78913xA(A2)))

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
RC発振		発振周波数 (f_{cc}) 注		2.0		4.0	MHz
外部クロック		CL1入力周波数 (f_{cc}) 注		1.0		5.0	MHz
		CL1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})		85		500	ns

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. 発振回路を構成するR, C素子については、以下の条件で動作保証している型番を使用してください。

μ PD78912xA(A1), 78913xA(A1)の場合： $T_A = 110 \text{ }^\circ\text{C}$

μ PD78912xA(A2), 78913xA(A2)の場合： $T_A = 125 \text{ }^\circ\text{C}$

DC特性 ($V_{DD} = 4.5 \sim 5.5$ V, $T_A = -40 \sim +110$ °C (μ PD78912xA(A1), 78913xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78912xA(A2), 78913xA(A2))) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78912xA(A1), 78913xA(A1)			−1	mA
		全端子合計				−7	mA
		1端子あたり	μ PD78912xA(A2), 78913xA(A2)			−1	mA
		全端子合計				−3	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78912xA(A1), 78913xA(A1)			1.6	mA
		全端子合計				40	mA
		1端子あたり	μ PD78912xA(A2), 78913xA(A2)			1.6	mA
		全端子合計				20	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子		0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン時	0.7 V _{DD}		10	V
			プルアップ抵抗内蔵時	0.7 V _{DD}		V _{DD}	V
	V _{IH3}	RESET, P20-P25		0.8 V _{DD}		V _{DD}	V
	V _{IH4}	CL1, CL2		V _{DD} −0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子		0		0.3 V _{DD}	V
	V _{IL2}	P50-P53		0		0.3 V _{DD}	V
	V _{IL3}	RESET, P20-P25		0		0.2 V _{DD}	V
	V _{IL4}	CL1, CL2		0		0.1	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = −1 mA		V _{DD} −2.0			V
	V _{OH2}	I _{OH} = −100 μA		V _{DD} −1.0			V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	I _{OL} = 1.6 mA			2.0	V
			I _{OL} = 400 μA			1.0	V
	V _{OL2}	P50-P53	I _{OL} = 1.6 mA			1.0	V
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, CL1, CL2以外の端子		V _I = V _{DD}		10	μA
	I _{LIH2}	CL1, CL2				20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)		V _I = 10 V		80	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, CL1, CL2以外の端子		V _I = 0 V		−10	μA
	I _{LIL2}	CL1, CL2				−20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)				−10 ^注	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				10	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				−10	μA
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P50-P53, P60-P63以外の端子		50	100	300	kΩ
マスク・オプション・プルアップ抵抗	R ₂	V _I = 0 V, P50-P53		10	30	100	kΩ

注 P50-P53にプルアップ抵抗を内蔵しない場合（マスク・オプションにより指定）で、ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が -60 μ A (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($V_{DD} = 4.5 \sim 5.5$ V, $T_A = -40 \sim +110$ °C (μ PD78912xA(A1), 78913xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78912xA(A2), 78913xA(A2))) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I_{DD1} ^{注1}	4.0 MHz RC発振動作モード ($R = 4.7$ k Ω , $C = 22$ pF) ^{注3}		1.8	8.0	mA
	I_{DD2} ^{注1}	4.0 MHz RC発振HALTモード ($R = 4.7$ k Ω , $C = 22$ pF) ^{注3}		0.8	5.0	mA
	I_{DD3} ^{注1}	STOPモード		0.1	1000	μ A
	I_{DD4} ^{注2}	4.0 MHz RC発振A/D動作モード ($R = 4.7$ k Ω , $C = 22$ pF) ^{注3}		3.0	10	mA

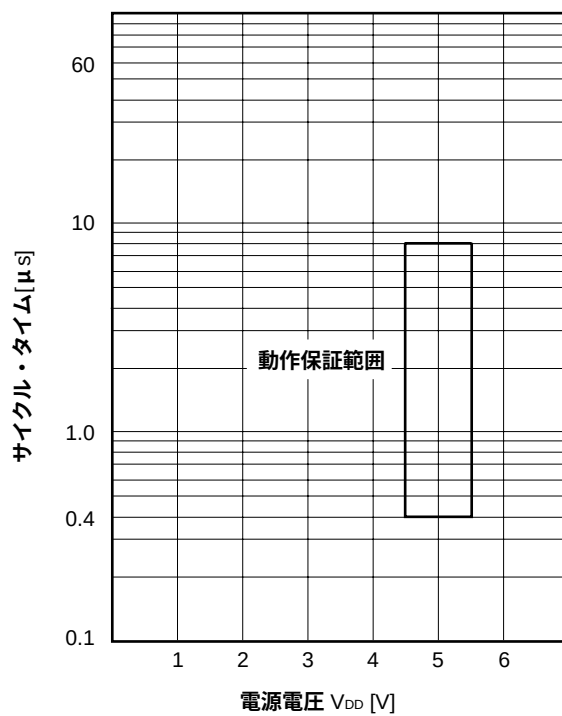
- 注1. AV_{DD} 電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
 2. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
 3. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

AC特性

- (1) 基本動作 ($V_{DD} = 4.5 \sim 5.5$ V, $T_A = -40 \sim +110$ °C (μ PD78912xA(A1), 78913xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78912xA(A2), 78913xA(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}		0.4		8	μ s
TI80入力 ハイ, ロウ・レベル幅	t_{TIH} , t_{TIL}		0.1			μ s
TI80入力周波数	f_{TI}		0		4	MHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP2	10			μ s
RESET ロウ・レベル幅	t_{RSL}		10			μ s
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μ s

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($V_{DD} = 4.5 \sim 5.5$ V, $T_A = -40 \sim +110$ °C (μ PD78912xA(A1), 78913xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78912xA(A2), 78913xA(A2)))

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}		800			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH1},$ t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}		150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}		400			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1\text{ k}\Omega, C = 100\text{ pF}$ ^注	0		250	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}		800			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH2},$ t_{KL2}		400			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}		100			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}		400			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1\text{ k}\Omega, C = 100\text{ pF}$ ^注	0		300	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}				120	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}				240	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}		100			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}		400			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

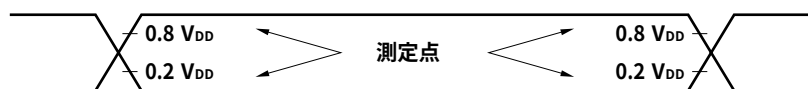
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					78125	bps

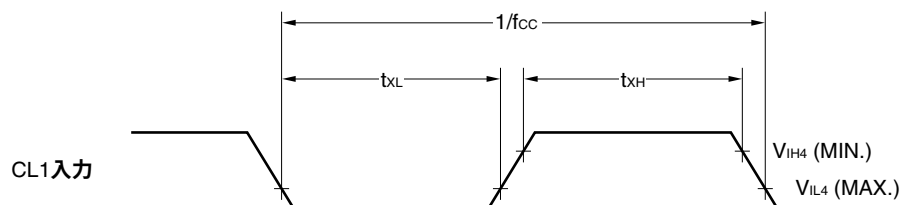
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t_{KCY3}		800			ns
ASCK20 ハイ, ロウ・レベル幅	$t_{KH3},$ t_{KL3}		400			ns
転送レート					39063	bps
ASCK20立ち上がり, 立ち下がり時間	$t_R,$ t_F				1	μ s

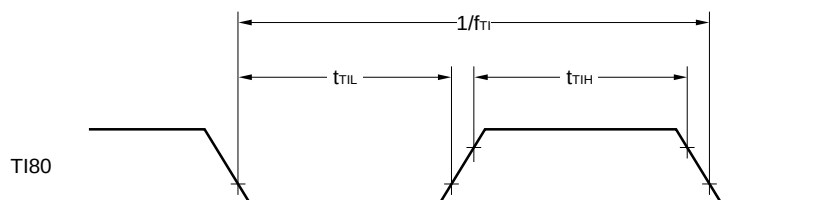
ACタイミング測定点 (CL1入力を除く)



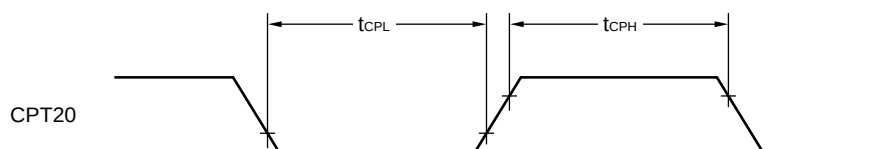
クロック・タイミング



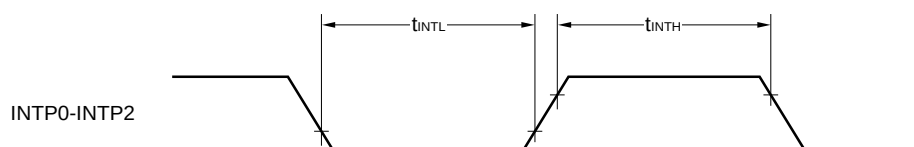
TIタイミング



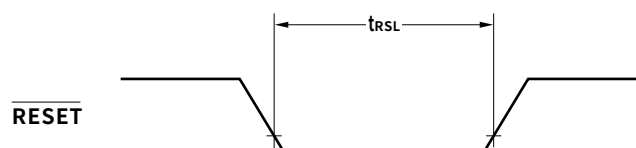
キャプチャ入力タイミング



割り込み入力タイミング

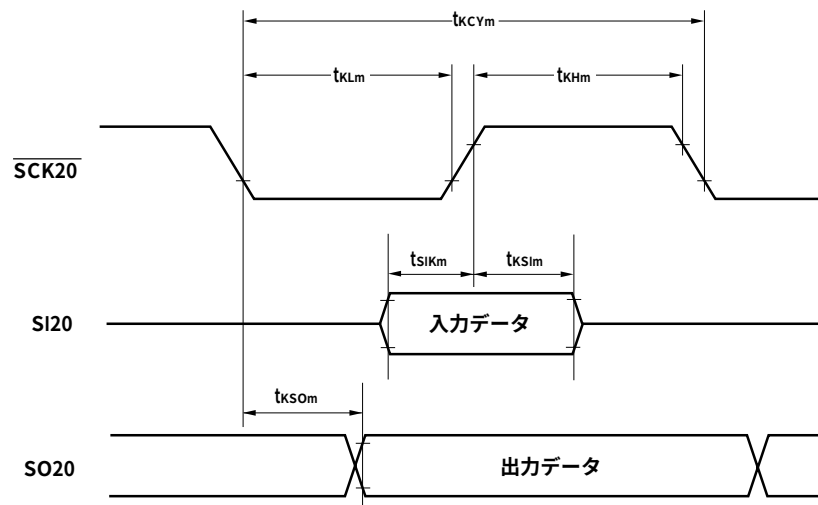


RESET入力タイミング



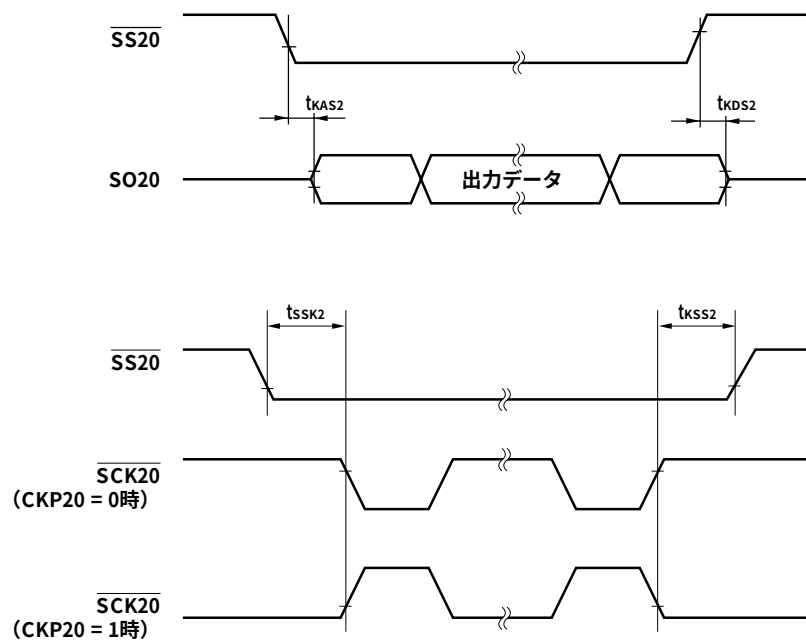
シリアル転送タイミング

3線式シリアルI/Oモード：

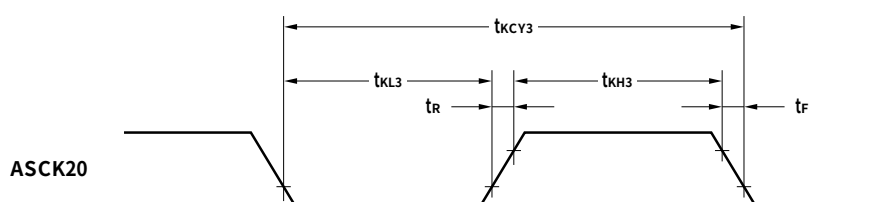


m = 1, 2

3線式シリアルI/Oモード ($\overline{SS20}$ 使用時)：



UARTモード (外部クロック入力)：



8ビットA/Dコンバータ特性 (μ PD78912xA(A1), 78912xA(A2)のみ)

($AV_{DD} = V_{DD} = 4.5 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V, $T_A = -40 \sim +110$ °C (μ PD78912xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78912xA(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^{注1, 2}				± 0.4	± 1.0	%FSR
変換時間	t_{CONV}		14		28	μ s
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 (± 0.2 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

10ビットA/Dコンバータ特性 (μ PD78913xA(A1), 78913xA(A2)のみ)

($AV_{DD} = V_{DD} = 4.5 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V, $T_A = -40 \sim +110$ °C (μ PD78913xA(A1)) ,
 $-40 \sim +125$ °C (μ PD78913xA(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}				± 0.4	± 0.6	%FSR
変換時間	t_{CONV}		14		28	μ s
ゼロ・スケール誤差 ^{注1, 2}					± 0.6	%FSR
フルスケール誤差 ^{注1, 2}					± 0.6	%FSR
積分直線性誤差 ^{注1}	ILE				± 4.5	LSB
微分直線性誤差 ^{注1}	DLE				± 2.0	LSB
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 (± 0.05 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性

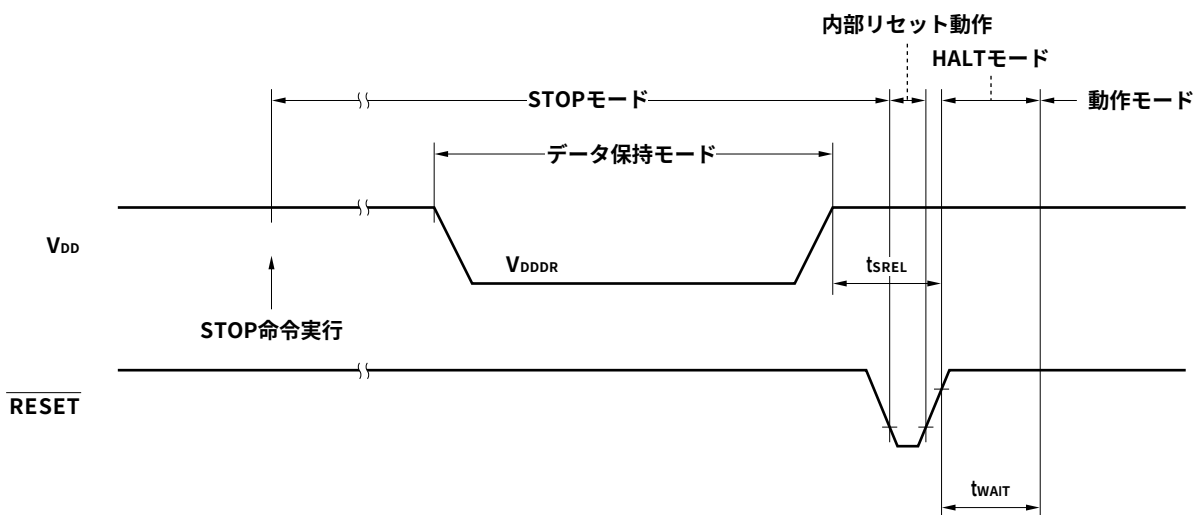
(T_A = -40~+110 °C (μ PD78912xA(A1), 78913xA(A1)) ,-40~+125 °C (μ PD78912xA(A2), 78913xA(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μ s
発振安定ウエイト時間 ^注	t _{WAIT}	RESETによる解除		2 ⁷ /f _{CC}		s
		割り込み要求による解除		2 ⁷ /f _{CC}		s

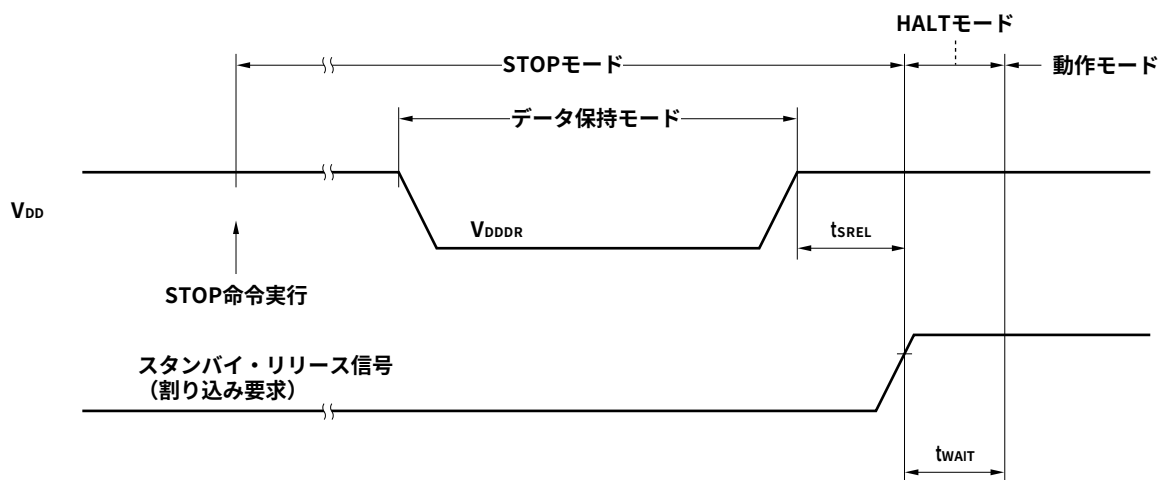
注 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

備考 f_{CC}：システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第29章 電気的特性 (μ PD78F9136B, 78F9136B(A))

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD} , AV _{DD}	V _{DD} = AV _{DD}	−0.3〜+6.5	V
	V _{PP}	注	−0.3〜+10.5	V
入力電圧	V _{I1}	P50-P53以外の端子	−0.3〜V _{DD} +0.3	V
	V _{I2}	P50-P53 N-chオープン・ドレイン	−0.3〜+13	V
出力電圧	V _O		−0.3〜V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子 μ PD78F9136B	−10	mA
		全端子合計	−30	mA
		1端子 μ PD78F9136B(A)	−7	mA
		全端子合計	−22	mA
ロウ・レベル出力電流	I _{OL}	1端子 μ PD78F9136B	30	mA
		全端子合計	160	mA
		1端子 μ PD78F9136B(A)	10	mA
		全端子合計	120	mA
動作周囲温度	T _A	通常動作時	−40〜+85	°C
		フラッシュ・メモリ・プログラミング時	10〜40	°C
保存温度	T _{stg}		−40〜+125	°C

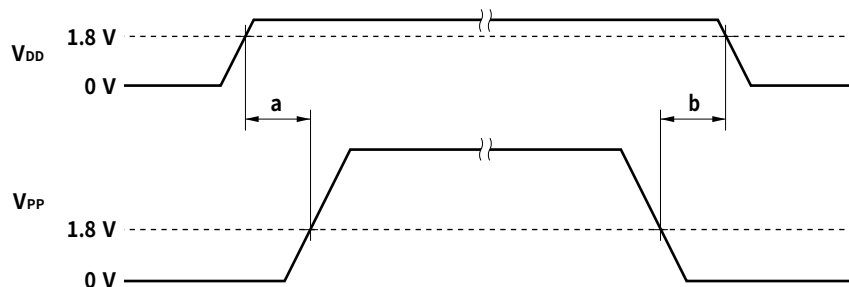
注 フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること (下図のa)。

・電源電圧立ち下がり時

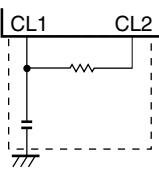
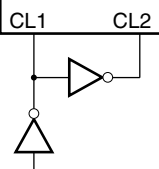
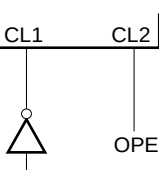
V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μs以上経過後、V_{DD}を立ち下げること (下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5\text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
RC発振		発振周波数 (f_{cc}) ^{注1}		2.0		4.0	MHz
外部クロック		CL1入力周波数 (f_{cc}) ^{注1}		1.0		5.0	MHz
		CL1入力ハイ, ロウ・レベル幅 (t_{xH} , t_{xL})		85		500	ns
		CL1入力周波数 (f_{cc}) ^{注1}	$V_{DD} = 2.7 \sim 5.5\text{ V}$	1.0		5.0	MHz
		CL1入力ハイ, ロウ・レベル幅 (t_{xH} , t_{xL})	$V_{DD} = 2.7 \sim 5.5\text{ V}$	85		500	ns

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

RC発振周波数特性 ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
発振周波数	f _{CC1}	R = 11.0 kΩ, C = 22 pF	V _{DD} = 2.7～5.5 V	1.5	2.0	2.5	MHz
	f _{CC2}	ターゲット：2MHz	V _{DD} = 1.8～3.6 V	0.5	2.0	2.5	MHz
	f _{CC3}		V _{DD} = 1.8～5.5 V	0.5	2.0	2.5	MHz
	f _{CC4}		R = 6.8 kΩ, C = 22 pF	V _{DD} = 2.7～5.5 V	2.5	3.0	3.5
	f _{CC5}	ターゲット：3MHz	V _{DD} = 1.8～3.6 V	0.75	3.0	3.5	MHz
	f _{CC6}		V _{DD} = 1.8～5.5 V	0.75	3.0	3.5	MHz
	f _{CC7}		R = 4.7 kΩ, C = 22 pF	V _{DD} = 2.7～5.5 V	3.5	4.0	4.7
	f _{CC8}	ターゲット：4MHz	V _{DD} = 1.8～3.6 V	1.0	4.0	4.7	MHz
	f _{CC9}		V _{DD} = 1.8～5.5 V	1.0	4.0	4.7	MHz

備考 発振周波数のTYP.値を2.0～4.0 MHzに収めるため、上記9つのいずれかの値でRCを設定してください。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (1/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78F9136B				−1	mA
		全端子合計					−15	mA
		1端子あたり	μ PD78F9136B(A)				−1	mA
		全端子合計					−11	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78F9136B				10	mA
		全端子合計					80	mA
		1端子あたり	μ PD78F9136B(A)				3	mA
		全端子合計					60	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子		V _{DD} = 2.7~5.5 V	0.7 V _{DD}	V _{DD}	V	
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V	
	V _{IH2}	P50-P53	N-chオープン・ドレイン	V _{DD} = 2.7~5.5 V	0.7 V _{DD}	12	V	
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	12	V	
	V _{IH3}	RESET, P20-P25		V _{DD} = 2.7~5.5 V	0.8 V _{DD}	V _{DD}	V	
				V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V	
	V _{IH4}	CL1, CL2		V _{DD} = 4.5~5.5 V	V _{DD} −0.5	V _{DD}	V	
				V _{DD} = 1.8~5.5 V	V _{DD} −0.1	V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子		V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V	
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V	
	V _{IL2}	P50-P53		V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V	
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V	
	V _{IL3}	RESET, P20-P25		V _{DD} = 2.7~5.5 V	0	0.2 V _{DD}	V	
				V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V	
	V _{IL4}	CL1, CL2		V _{DD} = 4.5~5.5 V	0	0.4	V	
				V _{DD} = 1.8~5.5 V	0	0.1	V	
ハイ・レベル出力電圧	V _{OH1}	V _{DD} = 4.5~5.5 V, I _{OH} = −1 mA			V _{DD} −1.0		V	
	V _{OH2}	V _{DD} = 1.8~5.5 V, I _{OH} = −100 μA			V _{DD} −0.5		V	
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA (μ PD78F9136B)			1.0	V	
			V _{DD} = 4.5~5.5 V, I _{OL} = 3 mA (μ PD78F9136B(A))			1.0	V	
			V _{DD} = 1.8~5.5 V, I _{OL} = 400 μA			0.5	V	
	V _{OL2}	P50-P53	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA (μ PD78F9136B)			1.0	V	
			V _{DD} = 4.5~5.5 V, I _{OL} = 3 mA (μ PD78F9136B(A))			1.0	V	
			V _{DD} = 1.8~5.5 V, I _{OL} = 1.6 mA			0.4	V	
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, CL1, CL2以外の端子		V _I = V _{DD}		3	μA	
	I _{LIH2}	CL1, CL2				20	μA	
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)		V _I = 12 V		20	μA	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (2/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, CL1, CL2以外の端子	V _I = 0 V			-3	μ A
	I _{LIL2}	CL1, CL2				-20	μ A
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)				-3 ^{注1}	μ A
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				3	μ A
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				-3	μ A
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P50-P53以外の端子		50	100	200	k Ω
電源電流	I _{DD1} ^{注2}	4.0 MHzRC発振動作モード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		6.5	18.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		3.9	7.9	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		3.0	5.0	mA
	I _{DD2} ^{注2}	4.0 MHzRC発振HALTモード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		2.5	5.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		1.0	2.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		0.75	1.5	mA
	I _{DD3} ^{注2}	STOPモード	V _{DD} = 5.0 V ± 10 %		0.1	30	μ A
			V _{DD} = 3.0 V ± 10 %		0.05	10	μ A
			V _{DD} = 2.0 V ± 10 %		0.05	10	μ A
	I _{DD4} ^{注3}	4.0 MHzRC発振A/D動作モード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		7.7	20.3	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		5.1	10.2	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		4.0	7.0	mA

注1. ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が-60 μ A (MAX.) 流れます。

2. AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
3. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
4. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
5. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

書き込み消去特性 ($T_A = 10 \sim 40\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8 \sim 5.5\text{ V}$, RC発振動作モード)

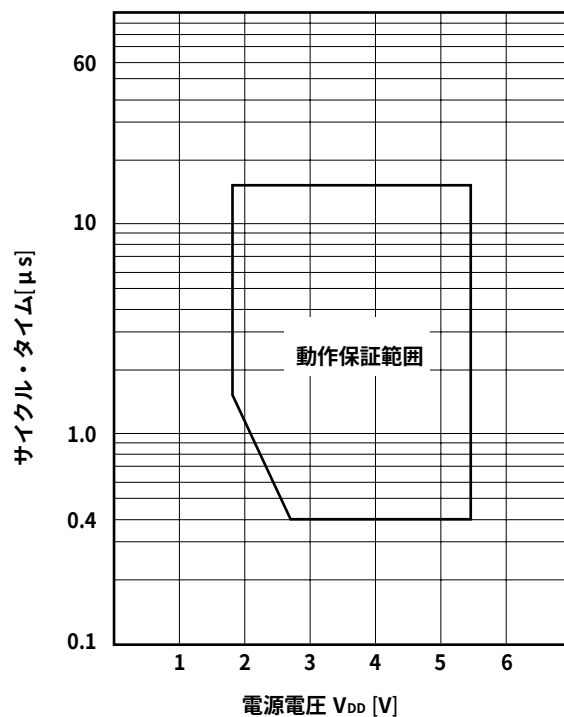
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 (V_{DD} 端子) 注	I_{DDW}	V_{PP} 電源電圧 = V_{PP1} 時			21	mA
書き込み電流 (V_{PP} 端子) 注	I_{PPW}	V_{PP} 電源電圧 = V_{PP1} 時			22.5	mA
消去電流 (V_{DD} 端子) 注	I_{DDE}	V_{PP} 電源電圧 = V_{PP1} 時			21	mA
消去電流 (V_{PP} 端子) 注	I_{PPE}	V_{PP} 電源電圧 = V_{PP1} 時			115	mA
単位消去時間	t_{er}		0.2	0.2	0.2	s
Total消去時間	t_{era}				20	s
書き換え回数		消去／書き込みを1サイクルとする	20	20	20	回
V_{PP} 電源電圧	V_{PP0}	通常モード時	0		$0.2 V_{DD}$	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 AV_{DD} 電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		16	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		16	μs
TI80入力 ハイ, ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
TI80入力周波数	f_{Ti}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH}	INTP0-INTP2	10			μs
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH}		10			μs
	t_{CPL}					

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY1}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
SCK20ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	V _{DD} = 2.7~5.5 V	t _{KCY1} /2 - 50			ns
		V _{DD} = 1.8~5.5 V	t _{KCY1} /2 - 150			ns
SI20セットアップ時間 (対SCK20↑)	t _{SIK1}	V _{DD} = 2.7~5.5 V	150			ns
		V _{DD} = 1.8~5.5 V	500			ns
SI20ホールド時間 (対SCK20↑)	t _{KS1}	V _{DD} = 2.7~5.5 V	400			ns
		V _{DD} = 1.8~5.5 V	600			ns
SCK20↓→SO20 出力遅延時間	t _{KSO1}	R = 1 kΩ, C = 100 pF ^注	V _{DD} = 2.7~5.5 V 0		250	ns
			V _{DD} = 1.8~5.5 V 0		1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY2}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
SCK20ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	V _{DD} = 2.7~5.5 V	400			ns
		V _{DD} = 1.8~5.5 V	1600			ns
SI20セットアップ時間 (対SCK20↑)	t _{SIK2}	V _{DD} = 2.7~5.5 V	100			ns
		V _{DD} = 1.8~5.5 V	150			ns
SI20ホールド時間 (対SCK20↑)	t _{KS2}	V _{DD} = 2.7~5.5 V	400			ns
		V _{DD} = 1.8~5.5 V	600			ns
SCK20↓→SO20 出力遅延時間	t _{KSO2}	R = 1 kΩ, C = 100 pF ^注	V _{DD} = 2.7~5.5 V 0		300	ns
			V _{DD} = 1.8~5.5 V 0		1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t _{KAS2}	V _{DD} = 2.7~5.5 V			120	ns
		V _{DD} = 1.8~5.5 V			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t _{KDS2}	V _{DD} = 2.7~5.5 V			240	ns
		V _{DD} = 1.8~5.5 V			800	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t _{SSK2}	V _{DD} = 2.7~5.5 V	100			ns
		V _{DD} = 1.8~5.5 V	150			ns
SS20ホールド時間 (対SCK20最終エッジ)	t _{KSS2}	V _{DD} = 2.7~5.5 V	400			ns
		V _{DD} = 1.8~5.5 V	600			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		V _{DD} = 2.7~5.5 V			78125	bps
		V _{DD} = 1.8~5.5 V			19531	bps

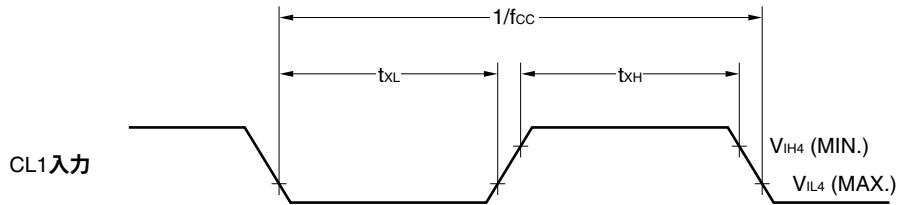
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7~5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8~5.5 V	1600			ns
転送レート		V _{DD} = 2.7~5.5 V			39063	bps
		V _{DD} = 1.8~5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

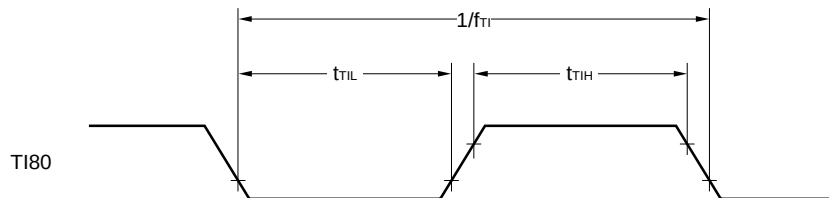
ACタイミング測定点 (CL1入力を除く)



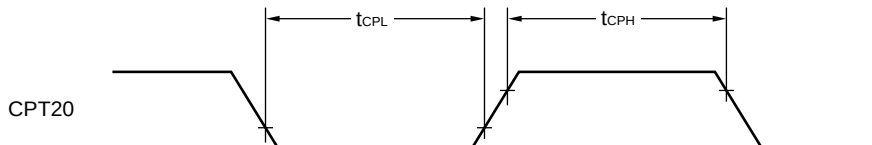
クロック・タイミング



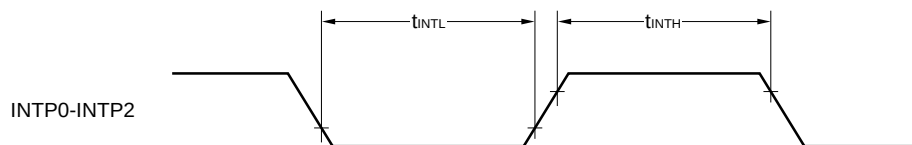
TIタイミング



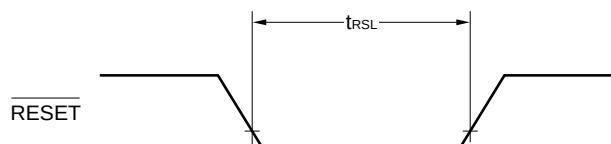
キャプチャ入力タイミング



割り込み入力タイミング

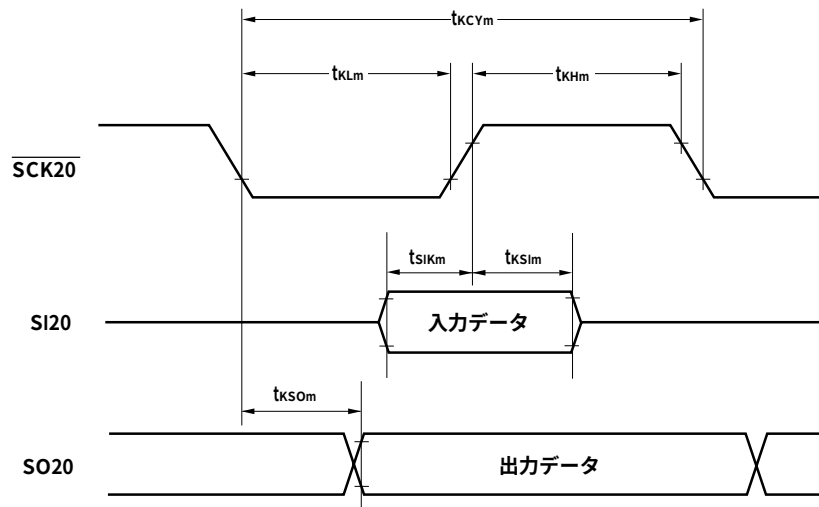


RESET入力タイミング



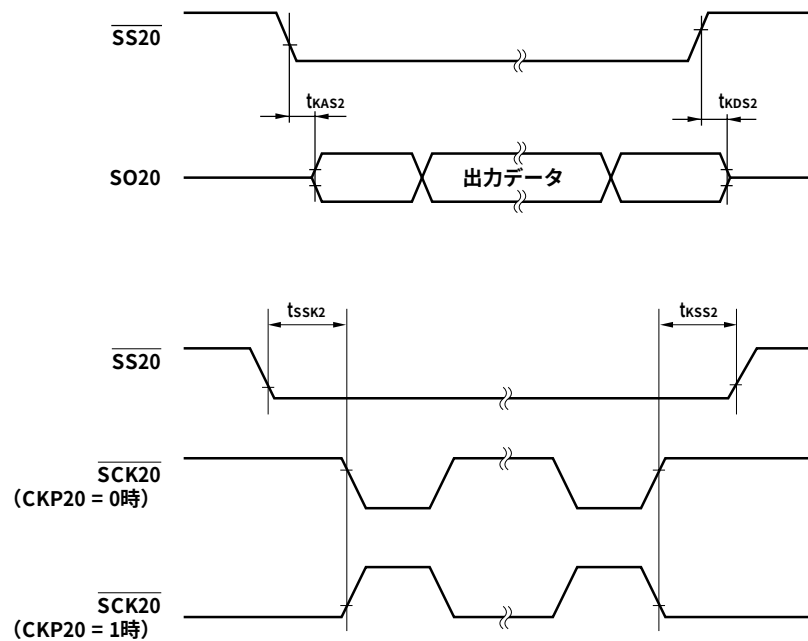
シリアル転送タイミング

3線式シリアルI/Oモード：

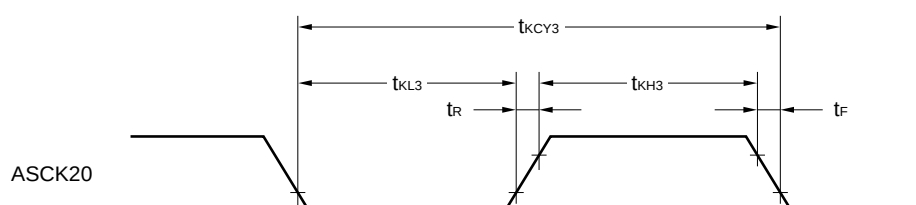


m = 1, 2

3線式シリアルI/Oモード (SS20使用時)：



UARTモード (外部クロック入力)：



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} = V_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 0.2	± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$		± 0.4	± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		± 0.8	± 1.2	%FSR
変換時間	t_{CONV}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	14		100	μs
		$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	14		100	μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	28		100	μs
ゼロ・スケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
フルスケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
積分直線性誤差 ^{注1}	ILE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 4.5	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 8.5	LSB
微分直線性誤差 ^{注1}	DLE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 2.0	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 3.5	LSB
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 ($\pm 0.05 \text{ \%FSR}$)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

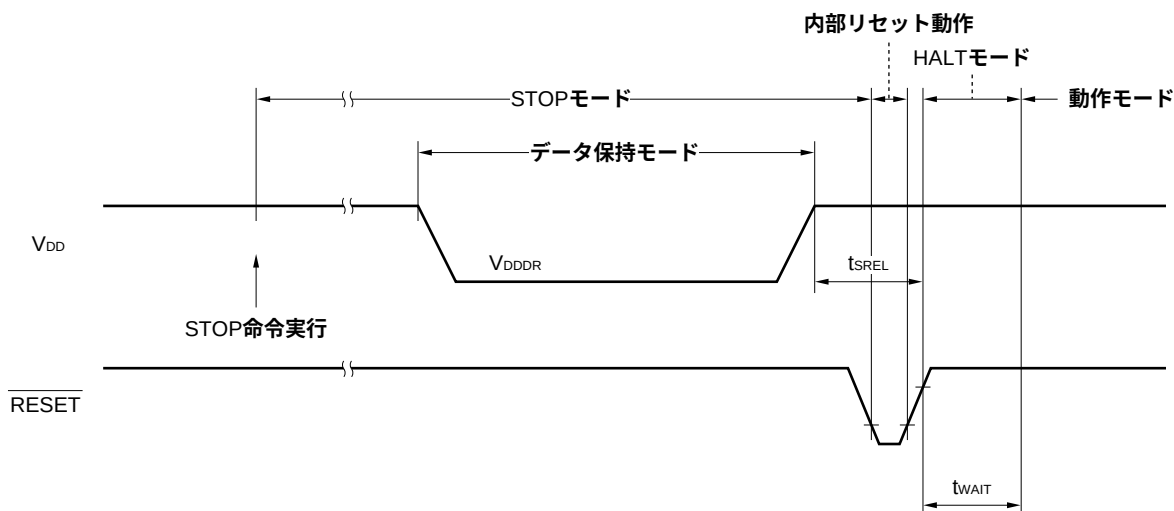
データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間 ^注	t_{WAIT}	RESETによる解除		$2^7/f_{CC}$		s
		割り込み要求による解除		$2^7/f_{CC}$		s

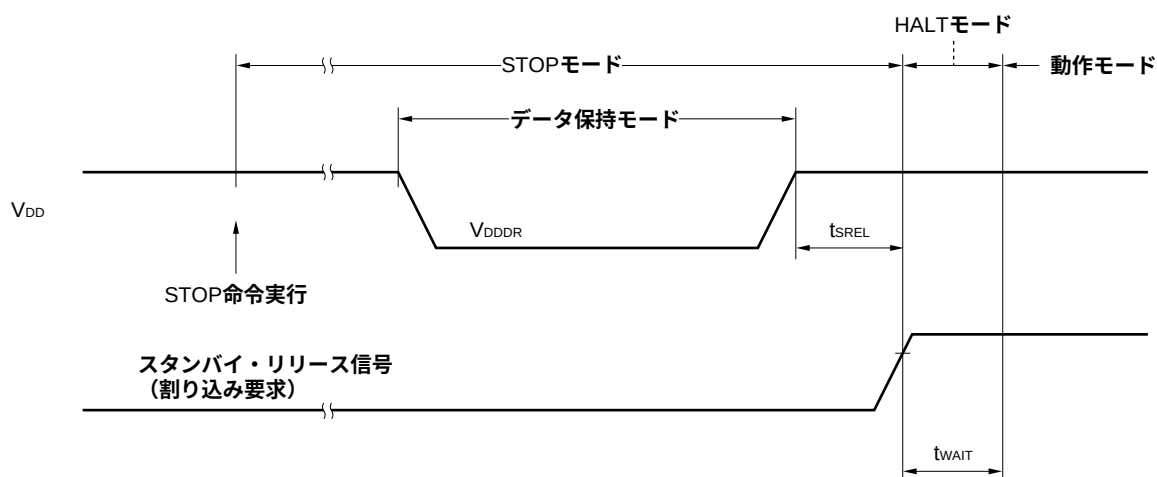
注 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

備考 f_{CC} ：システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第30章 電気的特性 (μ PD78F9136B(A1))

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD} , AV _{DD}	V _{DD} = AV _{DD}	−0.3~+6.5	V
	V _{PP}	注	−0.3~+10.5	V
入力電圧	V _{I1}	P50-P53以外の端子	−0.3~V _{DD} +0.3	V
	V _{I2}	P50-P53 N-chオープン・ドレイン	−0.3~+13	V
出力電圧	V _O		−0.3~V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	−4	mA
		全端子合計	−14	mA
ロウ・レベル出力電流	I _{OL}	1端子	5	mA
		全端子合計	80	mA
動作周囲温度	T _A	通常動作時	−40~+105	°C
		フラッシュ・メモリ・プログラミング時	10~40	°C
保存温度	T _{stg}		−40~+125	°C

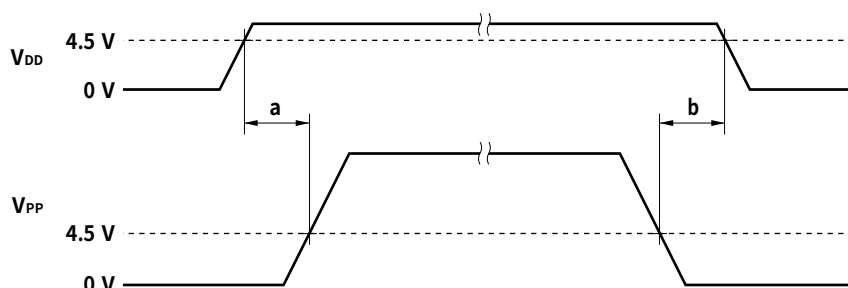
注 フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (4.5 V) に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること (下図のa)。

・電源電圧立ち下がり時

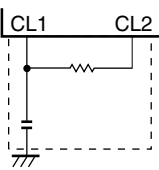
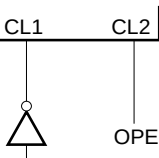
V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (4.5 V) を下回ってから10 μs以上経過後、V_{DD}を立ち下げること (下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 4.5 \sim 5.5\text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
RC発振		発振周波数 (f_{cc}) 注		2.0		4.0	MHz
外部クロック		CL1入力周波数 (f_{cc}) 注		1.0		5.0	MHz
		CL1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})		85		500	ns

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. 発振回路を構成するR, C素子については、 $T_A = 105\text{ }^{\circ}\text{C}$ で動作保証している型番を使用してください。

DC特性 (T_A = -40~+105 °C, V_{DD} = 4.5~5.5 V (1/2))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり			-1	mA
		全端子合計			-7	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり			1.6	mA
		全端子合計			40	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P53 N-chオープン・ドレイン	0.7 V _{DD}		10	V
	V _{IH3}	RESET, P20-P25	0.8 V _{DD}		V _{DD}	V
	V _{IH4}	CL1, CL2	V _{DD} -0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子	0		0.3 V _{DD}	V
	V _{IL2}	P50-P53	0		0.3 V _{DD}	V
	V _{IL3}	RESET, P20-P25	0		0.2 V _{DD}	V
	V _{IL4}	CL1, CL2	0		0.1	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1 mA	V _{DD} -2.0			V
	V _{OH2}	I _{OH} = -100 μA	V _{DD} -1.0			V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	I _{OL} = 1.6 mA		2.0	V
			I _{OL} = 400 μA		1.0	V
	V _{OL2}	P50-P53	I _{OL} = 1.6 mA		1.0	V
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, CL1, CL2以外の端子	V _I = V _{DD}		10	μA
	I _{LIH2}	CL1, CL2			20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)	V _I = 10 V		80	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, CL1, CL2以外の端子	V _I = 0 V		-10	μA
	I _{LIL2}	CL1, CL2			-20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)			-10 [※]	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			10	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			-10	μA
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P50-P53, P60-P63以外の端子	50	100	300	kΩ

注 ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が-60 μA (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+105 °C, V_{DD} = 4.5~5.5 V) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I _{DD1} ^{注1}	4.0 MHz RC発振動作モード (R = 4.7 kΩ, C = 22pF) ^{注3}		7.5	20.0	mA
	I _{DD2} ^{注1}	4.0 MHz RC発振HALTモード (R = 4.7 kΩ, C = 22pF) ^{注3}		3.0	5.5	mA
	I _{DD3} ^{注1}	STOPモード		1	1000	μA
	I _{DD4} ^{注2}	4.0 MHz RC発振A/D動作モード (R = 4.7 kΩ, C = 22pF) ^{注3}		8.7	22.3	mA

注1. AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

2. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

3. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

書き込み消去特性 (T_A = 10~40 °C, V_{DD} = 4.5~5.5 V, RC発振動作モード)

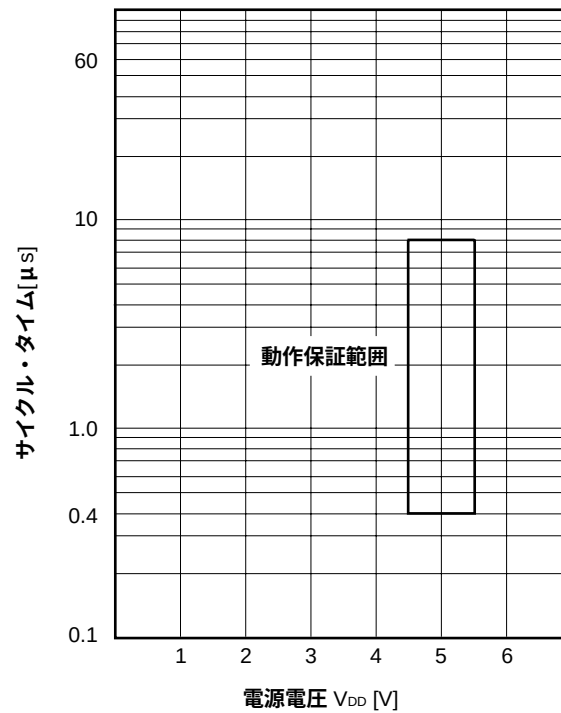
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 (V _{DD} 端子) ^注	I _{DDW}	V _{PP} 電源電圧 = V _{PP1} 時			21	mA
書き込み電流 (V _{PP} 端子) ^注	I _{PPW}	V _{PP} 電源電圧 = V _{PP1} 時			22.5	mA
消去電流 (V _{DD} 端子) ^注	I _{DDE}	V _{PP} 電源電圧 = V _{PP1} 時			21	mA
消去電流 (V _{PP} 端子) ^注	I _{PPE}	V _{PP} 電源電圧 = V _{PP1} 時			115	mA
単位消去時間	t _{er}		0.2	0.2	0.2	s
Total消去時間	t _{era}				20	s
書き換え回数		消去／書き込みを1サイクルとする	20	20	20	回
V _{PP} 電源電圧	V _{PP0}	通常モード時	0		0.2 V _{DD}	V
	V _{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

AC特性

(1) 基本動作 ($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 4.5 \sim 5.5\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}		0.4		8	μs
TI80入力 ハイ, ロウ・レベル幅	t_{TIH} , t_{TIL}		0.1			μs
TI80入力周波数	f_{TI}		0		4	MHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP2	10			μs
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μs

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $V_{DD} = 4.5 \sim 5.5\text{ V}$)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}		800			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}		150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}		400			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1\text{ k}\Omega$, $C = 100\text{ pF}$ ^注	0		250	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}		800			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		400			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}		100			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}		400			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1\text{ k}\Omega$, $C = 100\text{ pF}$ ^注	0		300	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}				120	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}				240	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}		100			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}		400			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					78125	bps

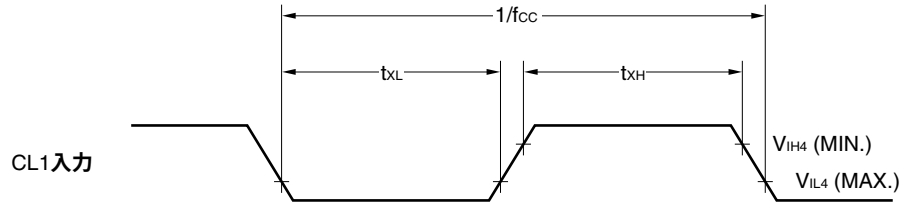
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}		800			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}		400			ns
転送レート					39063	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

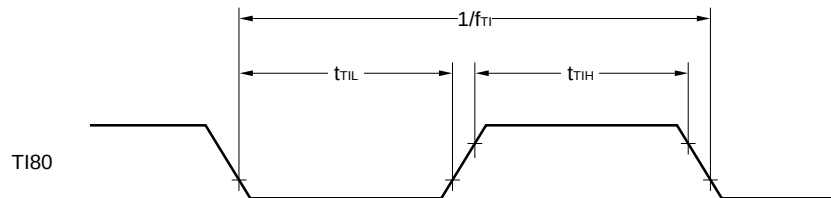
ACタイミング測定点 (CL1入力を除く)



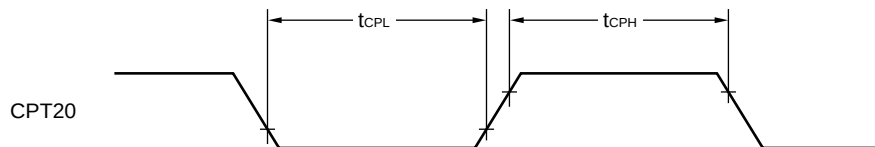
クロック・タイミング



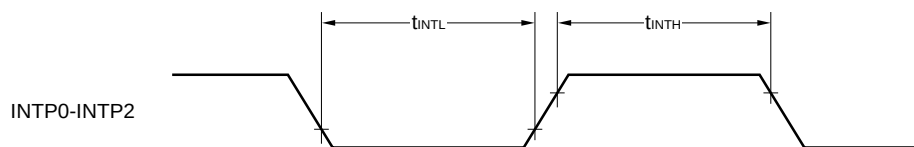
TIタイミング



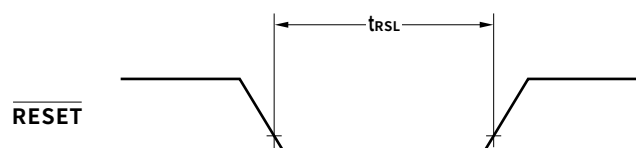
キャプチャ入力タイミング



割り込み入力タイミング

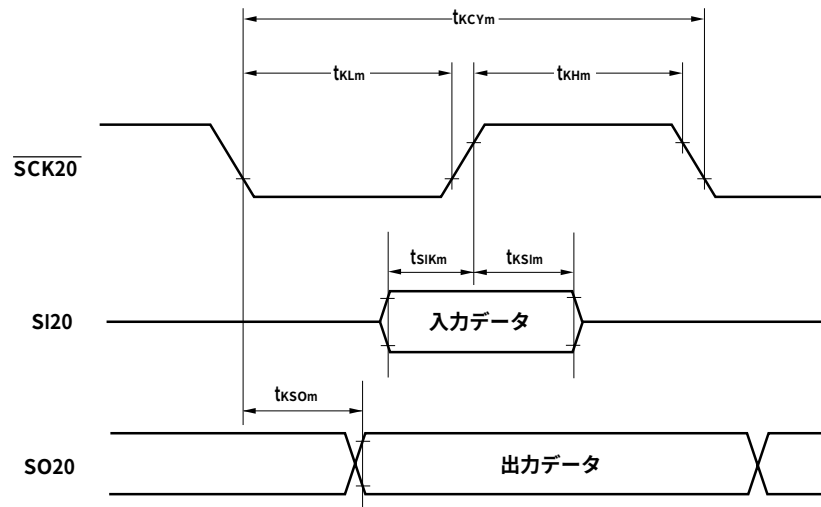


RESET入力タイミング



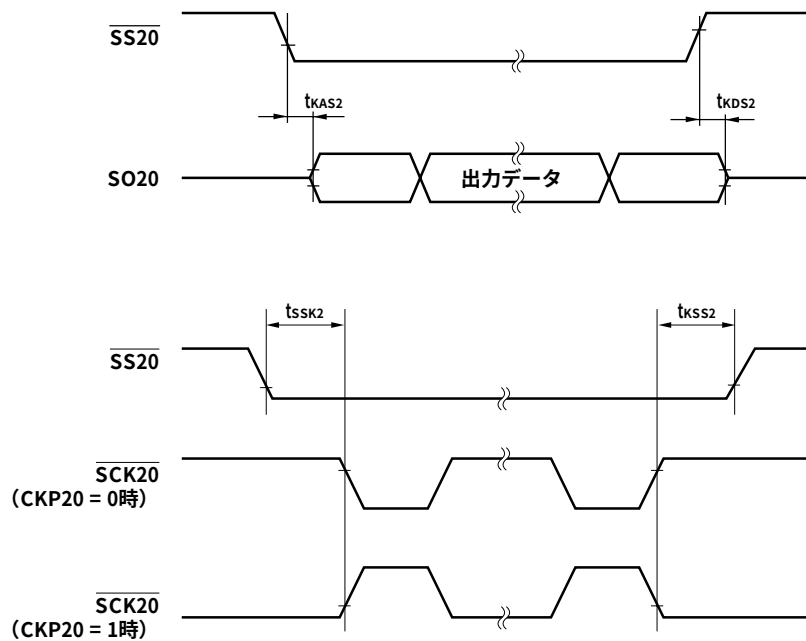
シリアル転送タイミング

3線式シリアルI/Oモード：

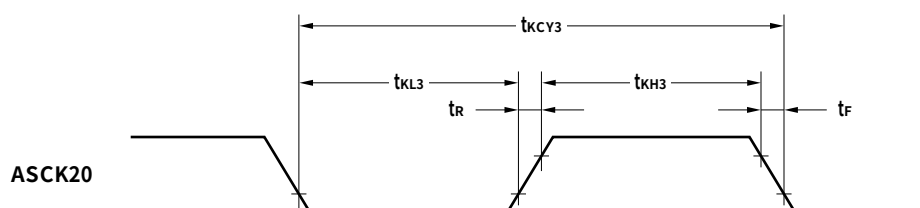


$m = 1, 2$

3線式シリアルI/Oモード ($\overline{\text{SS20}}$ 使用時)：



UARTモード (外部クロック入力)：



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $AV_{DD} = V_{DD} = 4.5 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}				±0.4	±0.6	%FSR
変換時間	t _{CONV}		14		28	μs
ゼロ・スケール誤差 ^{注1, 2}					±0.6	%FSR
フルスケール誤差 ^{注1, 2}					±0.6	%FSR
積分直線性誤差 ^{注1}	ILE				±4.5	LSB
微分直線性誤差 ^{注1}	DLE				±2.0	LSB
アナログ入力電圧	V _{IAN}		0		AV _{DD}	V

注1. 量子化誤差 (±0.05 %FSR)を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

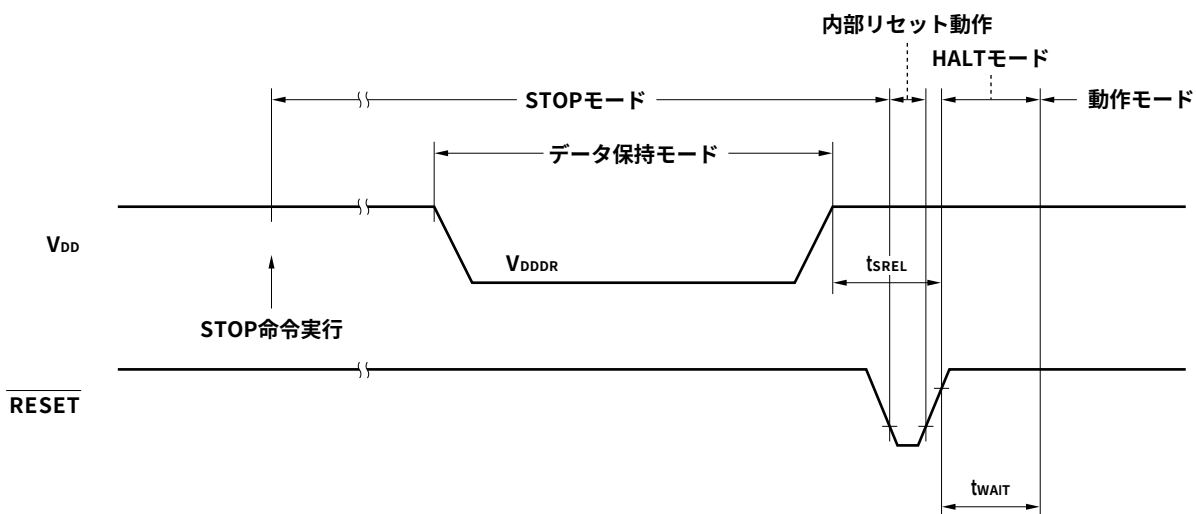
データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40～+105 °C)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^注	t _{WAIT}	RESETによる解除		2 ⁷ /f _{CC}		s
		割り込み要求による解除		2 ⁷ /f _{CC}		s

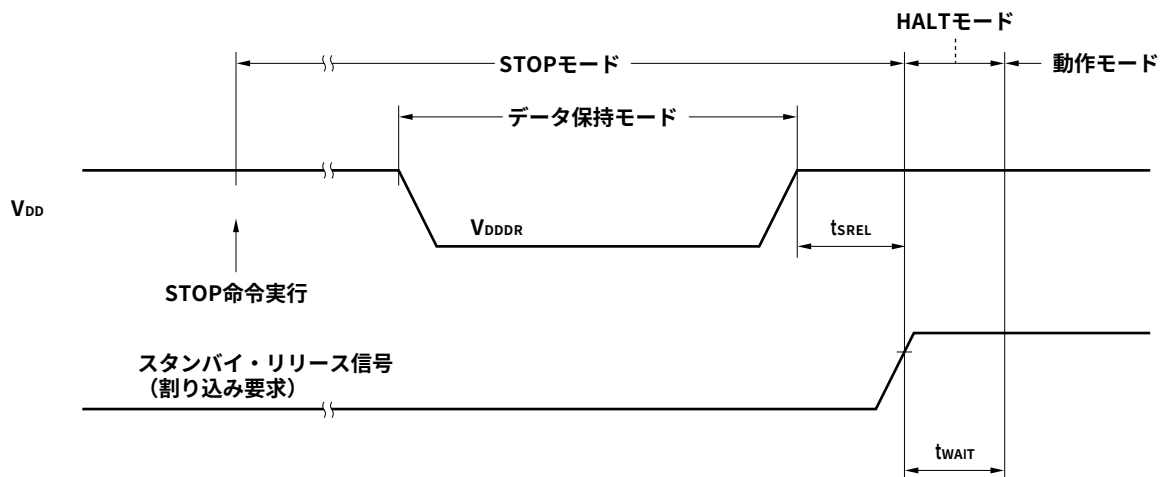
注 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

備考 f_{CC}：システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第31章 電気的特性 (μ PD78F9136A)

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD} , A _{VDD}	V _{DD} = A _{VDD}	−0.3〜+6.5	V
	V _{PP}	注	−0.3〜+10.5	V
入力電圧	V _{I1}	P50-P53以外の端子	−0.3〜V _{DD} +0.3	V
	V _{I2}	P50-P53 N-chオープン・ドレイン	−0.3〜+13	V
出力電圧	V _O		−0.3〜V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	−10	mA
		全端子合計	−30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	−40〜+85	°C
		フラッシュ・メモリ・プログラミング時	10〜40	°C
保存温度	T _{stg}		−40〜+125	°C

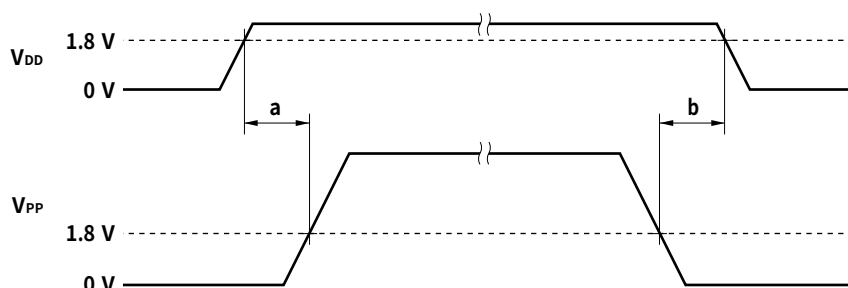
注 フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること (下図のa)。

・電源電圧立ち下がり時

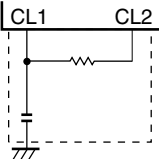
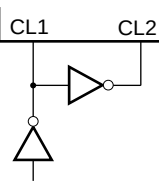
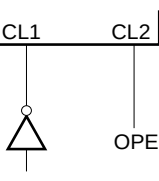
V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μs以上経過後、V_{DD}を立ち下げること (下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
RC発振子		発振周波数 (f _{cc}) 注1	V _{DD} = 発振電圧範囲	2.0		4.0	MHz
外部クロック		CL1入力周波数 (f _{cc}) 注1		1.0		5.0	MHz
		CL1入力ハイ, ロウ・レベル幅 (t _{xH} , t _{xL})		85		500	ns
		CL1入力周波数 (f _{cc}) 注1	V _{DD} = 2.7~5.5 V	1.0		5.0	MHz
		CL1入力ハイ, ロウ・レベル幅 (t _{xH} , t _{xL})		85		500	ns

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

RC発振周波数特性 (T_A = -40~+85°C)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
発振周波数	f _{CC1}	R = 11.0 kΩ, C = 22 pF	V _{DD} = 2.7~5.5 V	1.5	2.0	2.5	MHz
	f _{CC2}	ターゲット：2MHz	V _{DD} = 1.8~3.6 V	0.5	2.0	2.5	MHz
	f _{CC3}		V _{DD} = 1.8~5.5 V	0.5	2.0	2.5	MHz
	f _{CC4}		R = 6.8 kΩ, C = 22 pF	V _{DD} = 2.7~5.5 V	2.5	3.0	3.5
	f _{CC5}	ターゲット：3MHz	V _{DD} = 1.8~3.6 V	0.75	3.0	3.5	MHz
	f _{CC6}		V _{DD} = 1.8~5.5 V	0.75	3.0	3.5	MHz
	f _{CC7}		R = 4.7 kΩ, C = 22 pF	V _{DD} = 2.7~5.5 V	3.5	4.0	4.7
	f _{CC8}	ターゲット：4MHz	V _{DD} = 1.8~3.6 V	1.0	4.0	4.7	MHz
	f _{CC9}		V _{DD} = 1.8~5.5 V	1.0	4.0	4.7	MHz

備考 発振周波数のTYP.値を2.0~4.0 MHzに収めるため、上記9つのいずれかの値でRCを設定してください。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり			-1	mA
		全端子合計			-15	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり			10	mA
		全端子合計			80	mA
ハイ・レベル入力電圧	V _{IH1}	下記以外の端子	V _{DD} = 2.7~5.5 V	0.7 V _{DD}	V _{DD}	V
			V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53 N-chオープン・ドレイン	V _{DD} = 2.7~5.5 V	0.7 V _{DD}	12	V
			V _{DD} = 1.8~5.5 V, T _A = 25~85 °C	0.9 V _{DD}	12	V
	V _{IH3}	RESET, P20-P25	V _{DD} = 2.7~5.5 V	0.8 V _{DD}	V _{DD}	V
			V _{DD} = 1.8~5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	CL1, CL2	V _{DD} = 4.5~5.5 V	V _{DD} - 0.5	V _{DD}	V
			V _{DD} = 1.8~5.5 V	V _{DD} - 0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	下記以外の端子	V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V
			V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V
	V _{IL2}	P50-P53	V _{DD} = 2.7~5.5 V	0	0.3 V _{DD}	V
	V _{IL3}	RESET, P20-P25	V _{DD} = 2.7~5.5 V	0	0.2 V _{DD}	V
			V _{DD} = 1.8~5.5 V	0	0.1 V _{DD}	V
	V _{IL4}	CL1, CL2	V _{DD} = 4.5~5.5 V	0	0.4	V
			V _{DD} = 1.8~5.5 V	0	0.1	V
ハイ・レベル出力電圧	V _{OH1}	V _{DD} = 4.5~5.5 V, I _{OH} = -1 mA	V _{DD} - 1.0			V
	V _{OH2}	V _{DD} = 1.8~5.5 V, I _{OH} = -100 μA	V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA		1.0	V
			V _{DD} = 1.8~5.5 V, I _{OL} = 400 μA		0.5	V
	V _{OL2}	P50-P53	V _{DD} = 4.5~5.5 V, I _{OL} = 10 mA		1.0	V
			V _{DD} = 1.8~5.5 V, I _{OL} = 1.6 mA		0.4	V
ハイ・レベル入力リーク電流	I _{LIH1}	P50-P53, CL1, CL2以外の端子	V _{IN} = V _{DD}		3	μA
	I _{LIH2}	CL1, CL2			20	μA
	I _{LIH3}	P50-P53 (N-chオープン・ドレイン)	V _{IN} = 12 V		20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P50-P53, CL1, CL2以外の端子	V _{IN} = 0 V		-3	μA
	I _{LIL2}	CL1, CL2			-20	μA
	I _{LIL3}	P50-P53 (N-chオープン・ドレイン)			-3 ^注	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			-3	μA
ソフトウェア・プルアップ抵抗	R _I	V _I = 0 V, P50-P53以外の端子	50	100	200	kΩ

注 ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が-60 μA (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 1.8~5.5 V) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I _{DD1} ^{注1}	4.0 MHz RC発振動作 モード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注3}	5.0	15.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注4}	1.9	4.9	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}	1.5	3.0	mA
	I _{DD2} ^{注1}	4.0 MHz RC発振HALT モード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注3}	2.5	5.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注4}	1.0	2.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}	0.75	1.5	mA
	I _{DD3} ^{注1}	STOPモード	V _{DD} = 5.0 V ± 10 %	0.1	30	μA
			V _{DD} = 3.0 V ± 10 %	0.05	10	μA
			V _{DD} = 2.0 V ± 10 %	0.05	10	μA
	I _{DD4} ^{注2}	4.0 MHz RC発振A/D動作 モード (R = 4.7kΩ, C = 22pF)	V _{DD} = 5.0 V ± 10 % ^{注3}	6.2	17.3	mA
			V _{DD} = 3.0 V ± 10 % ^{注4}	3.1	7.2	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}	2.5	5.0	mA

注1. AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

2. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

3. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）

4. 低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

書き込み消去特性 (T_A = 10~40 °C, V_{DD} = 1.8~5.5 V, RC発振動作モード)

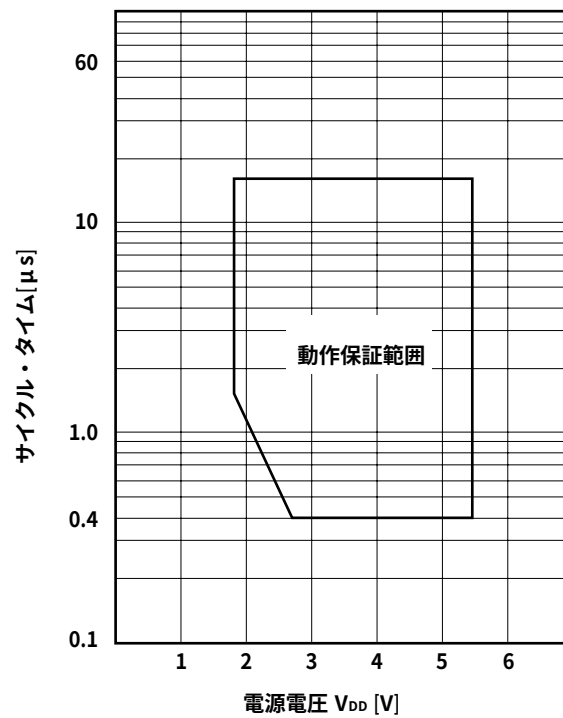
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 (V _{DD} 端子) ^注	I _{DDW}	V _{PP} 電源電圧 = V _{PP1} 時			18	mA
書き込み電流 (V _{PP} 端子) ^注	I _{PPW}	V _{PP} 電源電圧 = V _{PP1} 時			22.5	mA
消去電流 (V _{DD} 端子) ^注	I _{DDE}	V _{PP} 電源電圧 = V _{PP1} 時			18	mA
消去電流 (V _{PP} 端子) ^注	I _{PPE}	V _{PP} 電源電圧 = V _{PP1} 時			115	mA
単位消去時間	t _{er}		0.5	1	1	s
Total消去時間	t _{era}				20	s
書き換え回数		消去／書き込みを1サイクルとする	20	20	20	回
V _{PP} 電源電圧	V _{PP0}	通常モード時	0		0.2 V _{DD}	V
	V _{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		16	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		16	μs
TI80入力 ハイ、ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
TI80入力周波数	f_{Ti}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
割り込み入力 ハイ、ロウ・レベル幅	t_{INTH}	INTP0-INTP2	10			μs
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μs
CPT20入力 ハイ、ロウ・レベル幅	t_{CPH}		10			μs
	t_{CPL}					

 T_{CY} vs V_{DD} 

(2) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(i) 3線式シリアルI/Oモード (SCK20…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK20…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セットアップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns
SS20セットアップ時間 (対SCK20初回エッジ)	t_{SSK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SS20ホールド時間 (対SCK20最終エッジ)	t_{KSS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

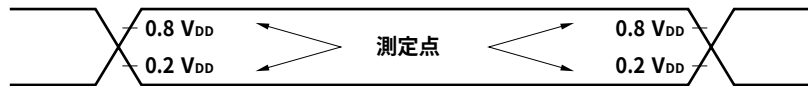
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

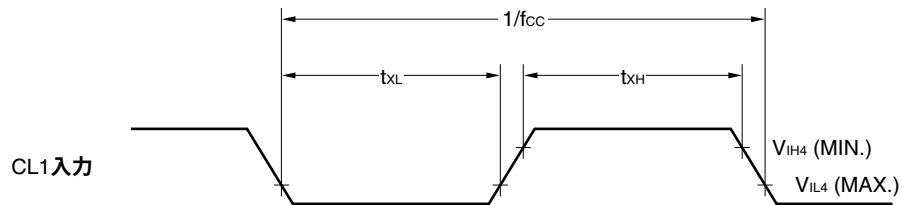
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・ タイム	t _{KCY3}	V _{DD} = 2.7~5.5 V	800			ns
		V _{DD} = 1.8~5.5 V	3200			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7~5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8~5.5 V	1600			ns
転送レート		V _{DD} = 2.7~5.5 V			39063	bps
		V _{DD} = 1.8~5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

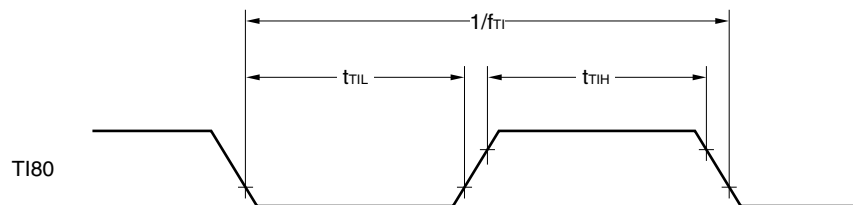
ACタイミング測定点 (CL1入力を除く)



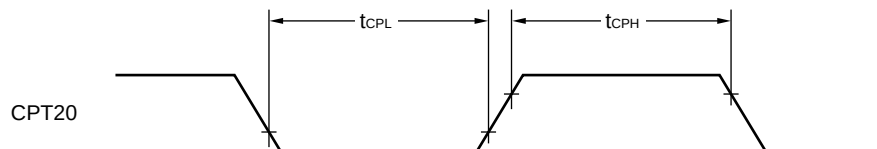
クロック・タイミング



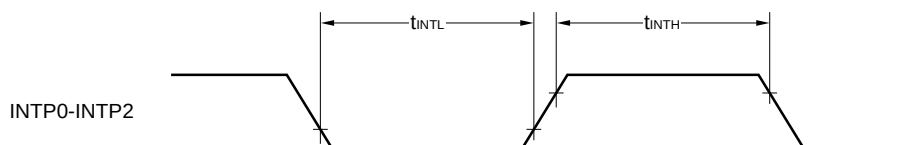
TIタイミング



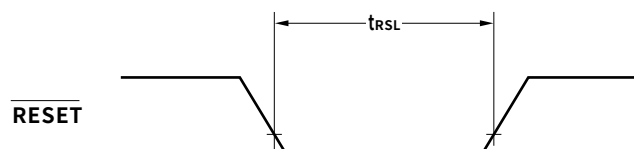
キャプチャ入力タイミング



割り込み入力タイミング

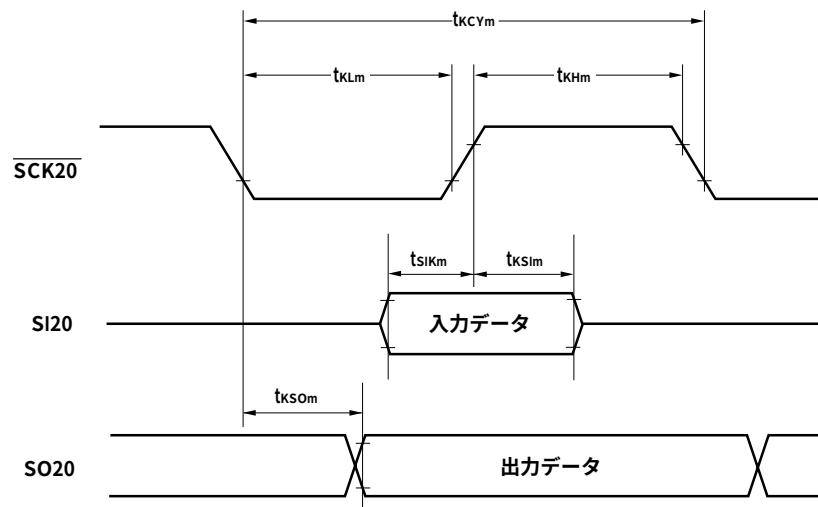


RESET入力タイミング



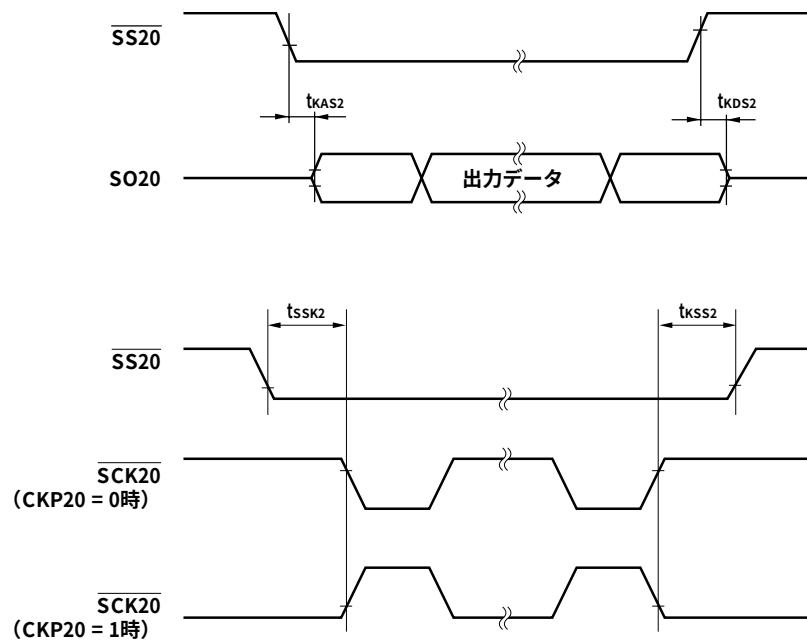
シリアル転送タイミング

3線式シリアルI/Oモード：

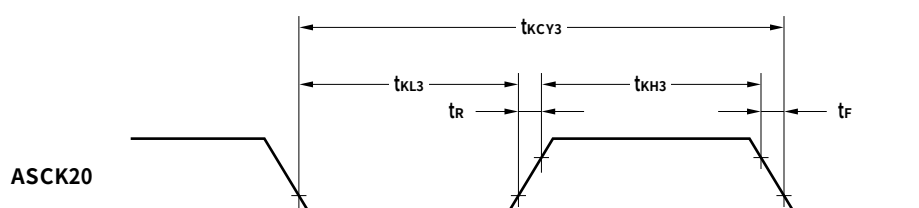


m = 1, 2

3線式シリアルI/Oモード (SS20使用時)：



UARTモード (外部クロック入力)：



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} = V_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 0.2	± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$		± 0.4	± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		± 0.8	± 1.2	%FSR
変換時間	t_{CONV}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	14		100	μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	28		100	μs
ゼロ・スケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
フルスケール誤差 ^{注1, 2}		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 1.2	%FSR
積分直線性誤差 ^{注1}	ILE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 4.5	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 8.5	LSB
微分直線性誤差 ^{注1}	DLE	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			± 2.0	LSB
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			± 3.5	LSB
アナログ入力電圧	V_{IAN}		0		AV_{DD}	V

注1. 量子化誤差 ($\pm 0.05 \text{ %FSR}$) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

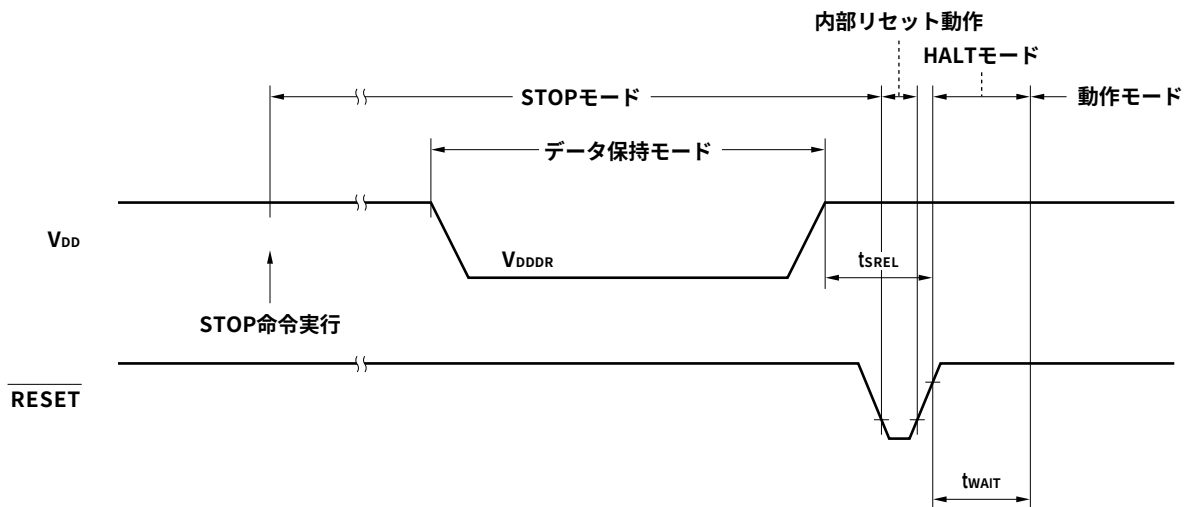
データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間 ^注	t_{WAIT}	RESETによる解除		$2^7/f_{CC}$		s
		割り込み要求による解除		$2^7/f_{CC}$		s

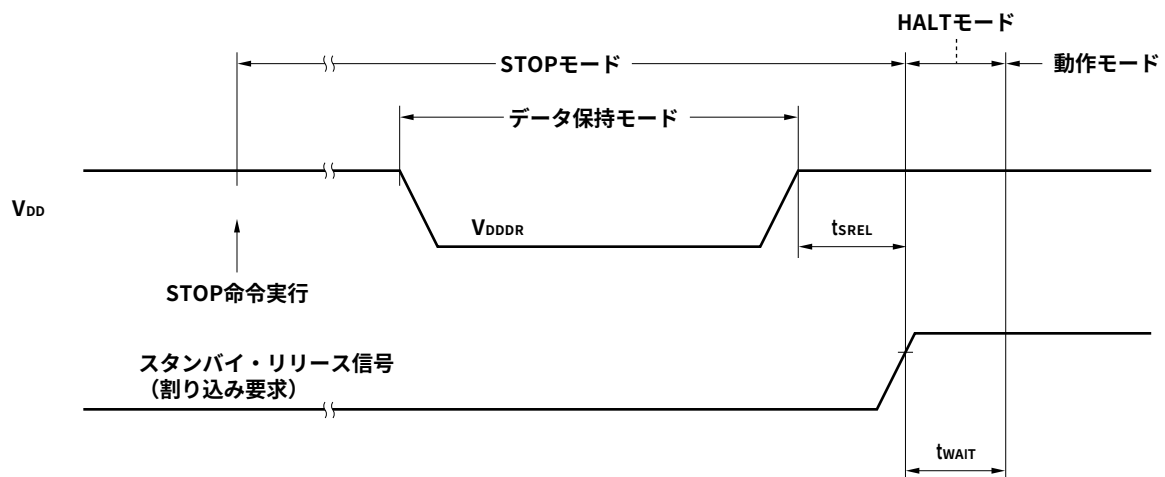
注 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

備考 f_{CC} ：システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



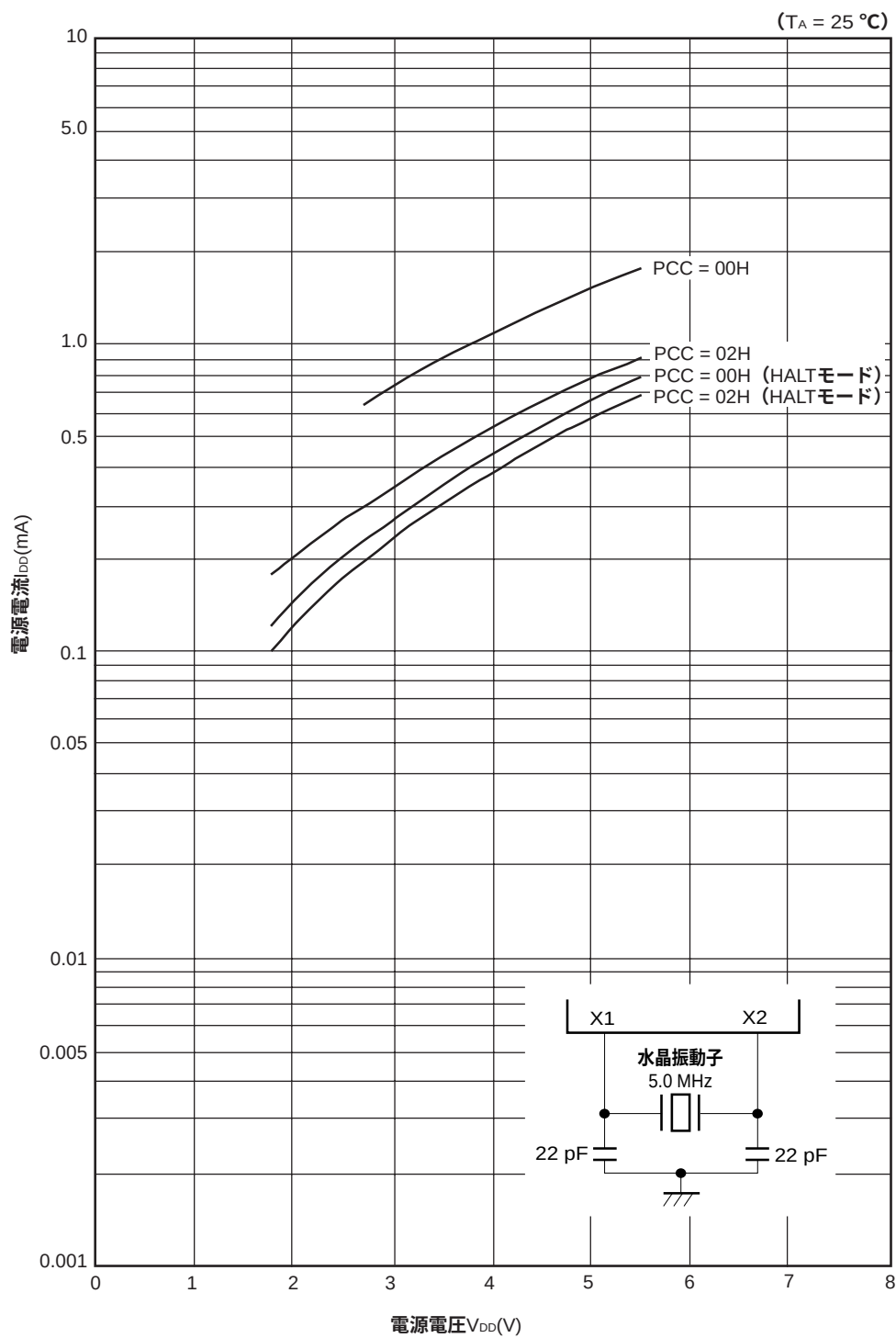
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



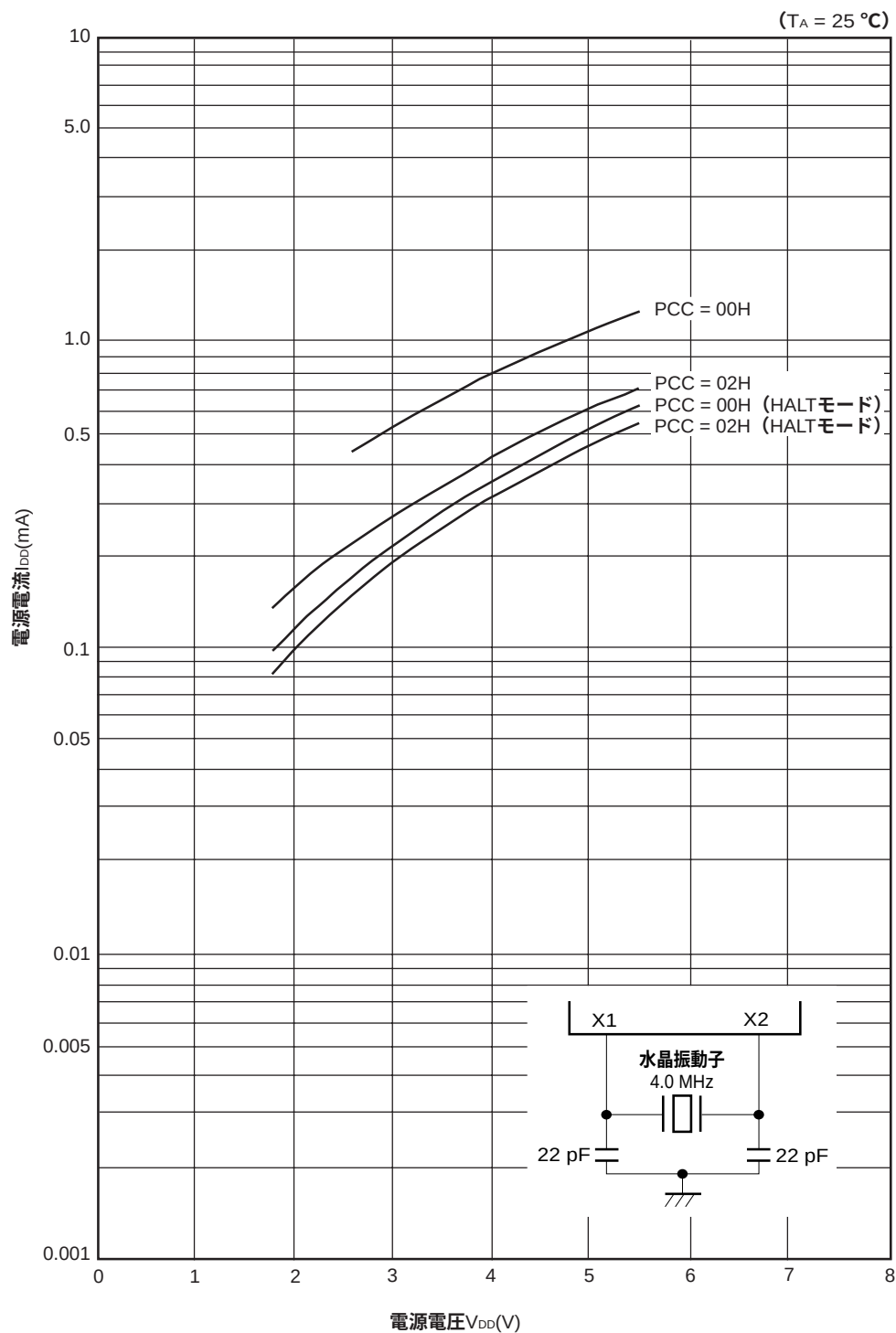
第32章 特性曲線 (参考値)

(μ PD78910xA, 78911xA, 78910xA(A), 78911xA(A))

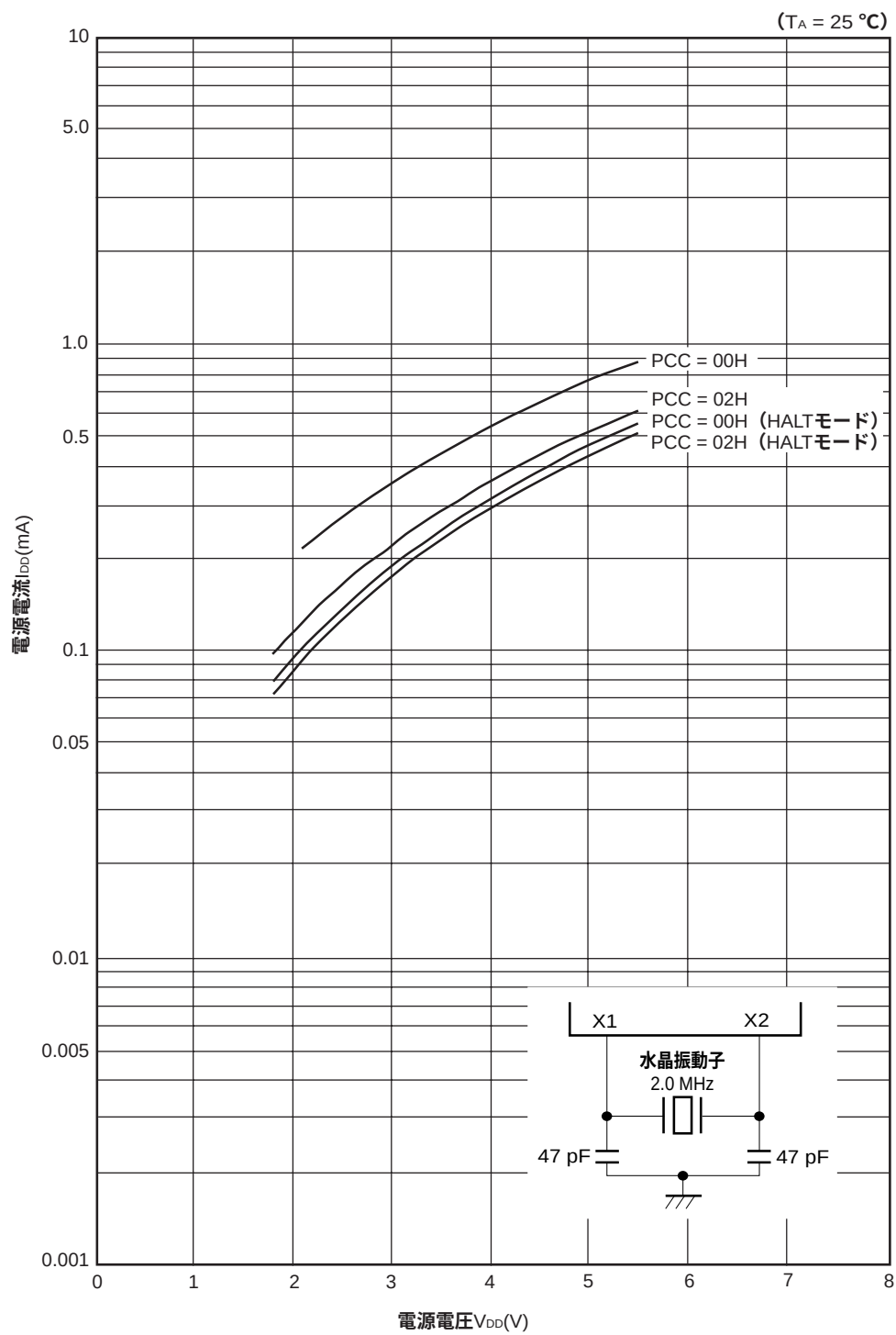
I_{DD} vs V_{DD} (システム・クロック: 5.0 MHz 水晶振動子)



I_{DD} vs V_{DD} (システム・クロック：4.0 MHz水晶振動子)



I_{DD} vs V_{DD} (システム・クロック：2.0 MHz水晶振動子)

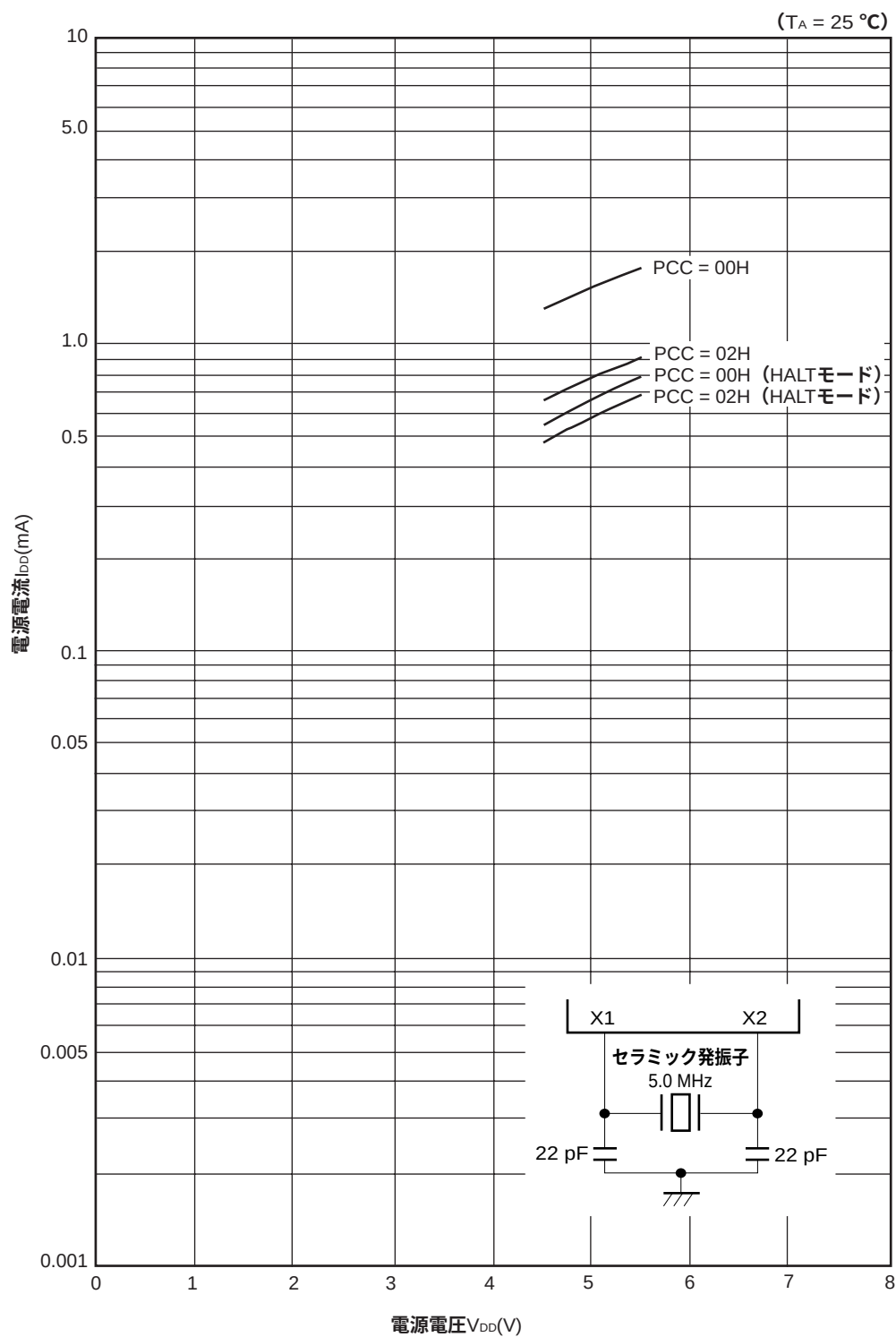


★

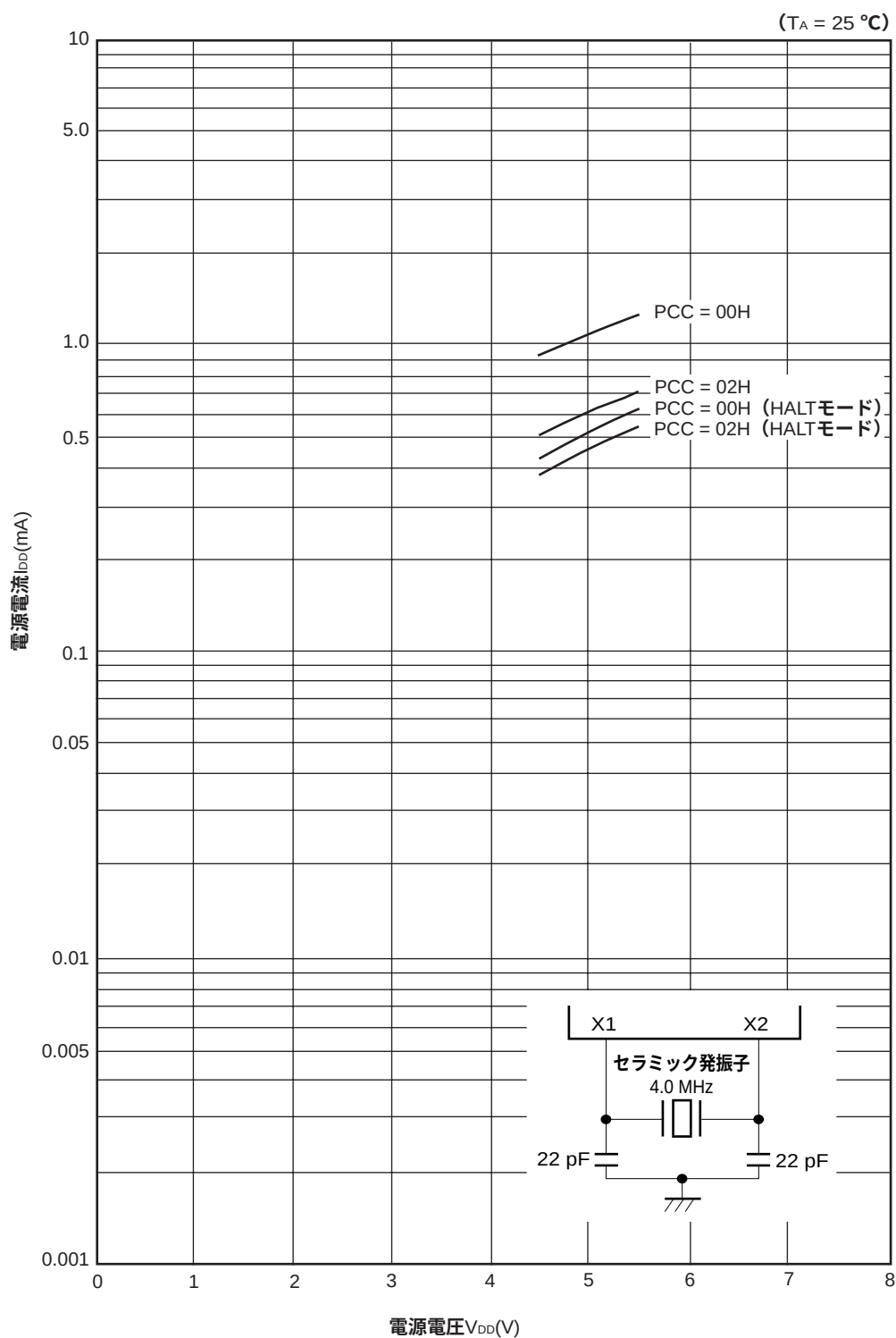
第33章 特性曲線 (参考値)

(μ PD78910xA(A1), 78911xA(A1), 78910xA(A2), 78911xA(A2))

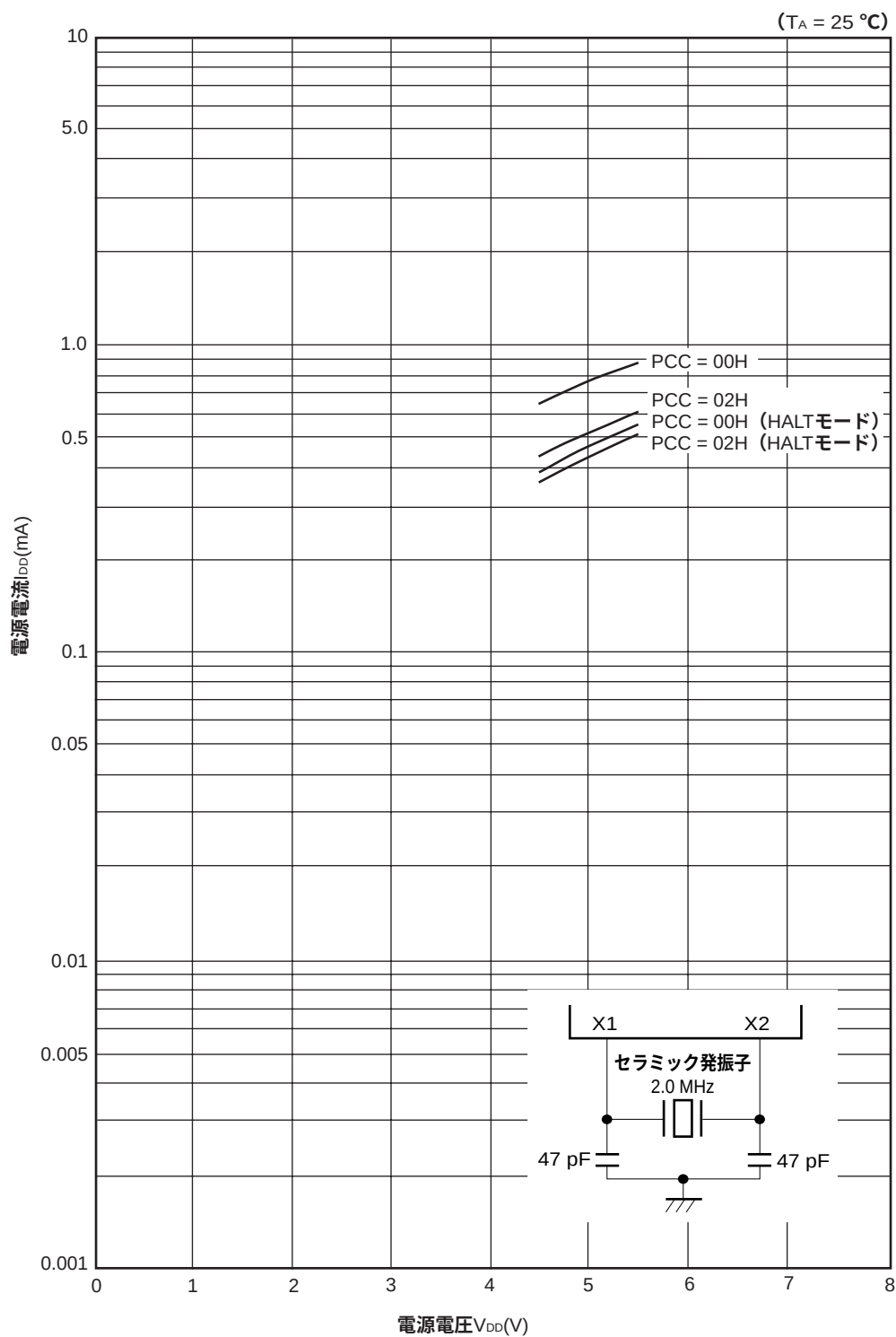
I_{DD} vs V_{DD} (システム・クロック: 5.0 MHzセラミック発振子)



I_{DD} vs V_{DD} (システム・クロック: 4.0 MHzセラミック発振子)



I_{DD} vs V_{DD} (システム・クロック: 2.0 MHzセラミック発振子)

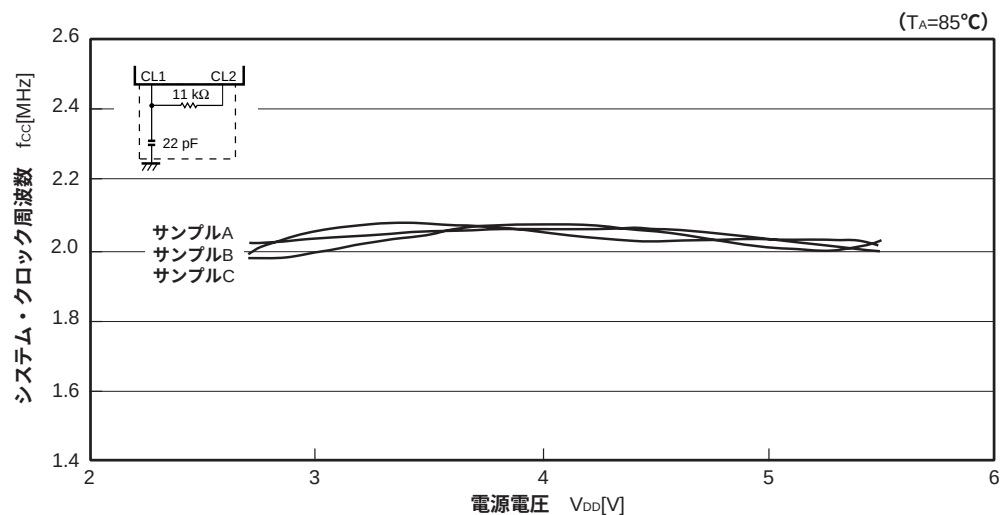
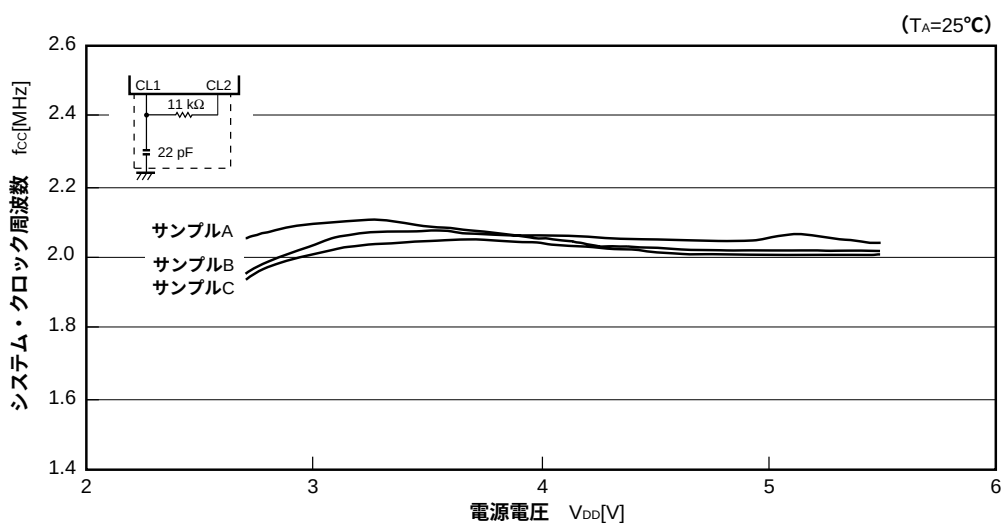
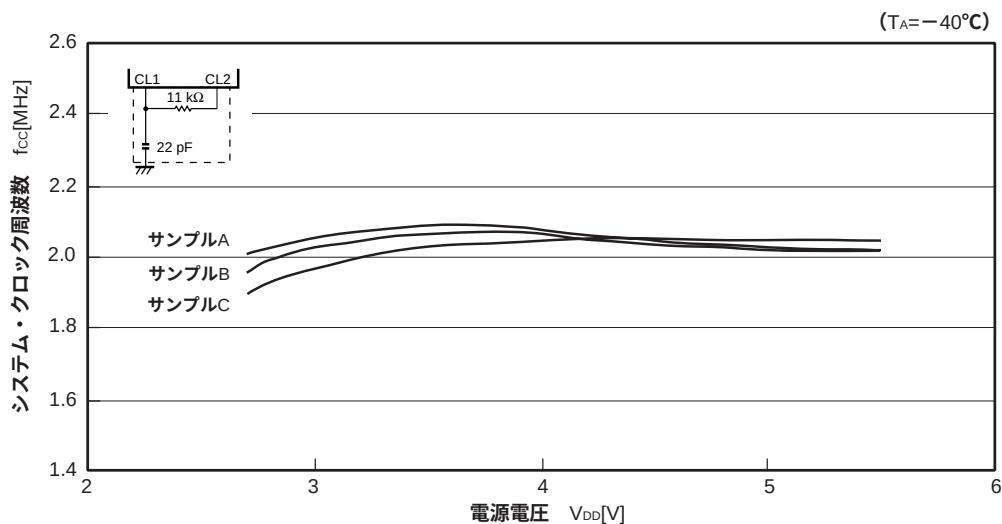


★

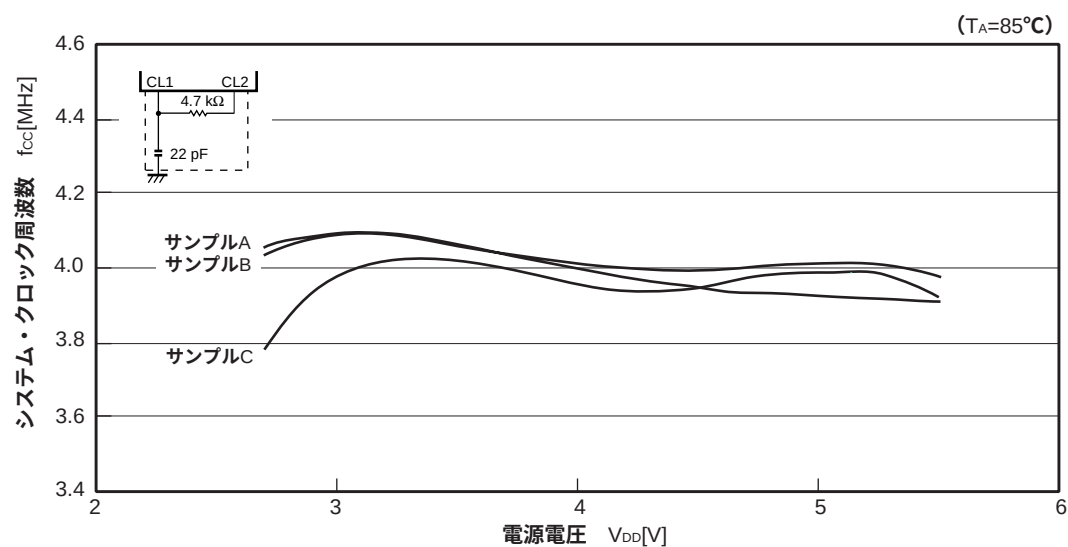
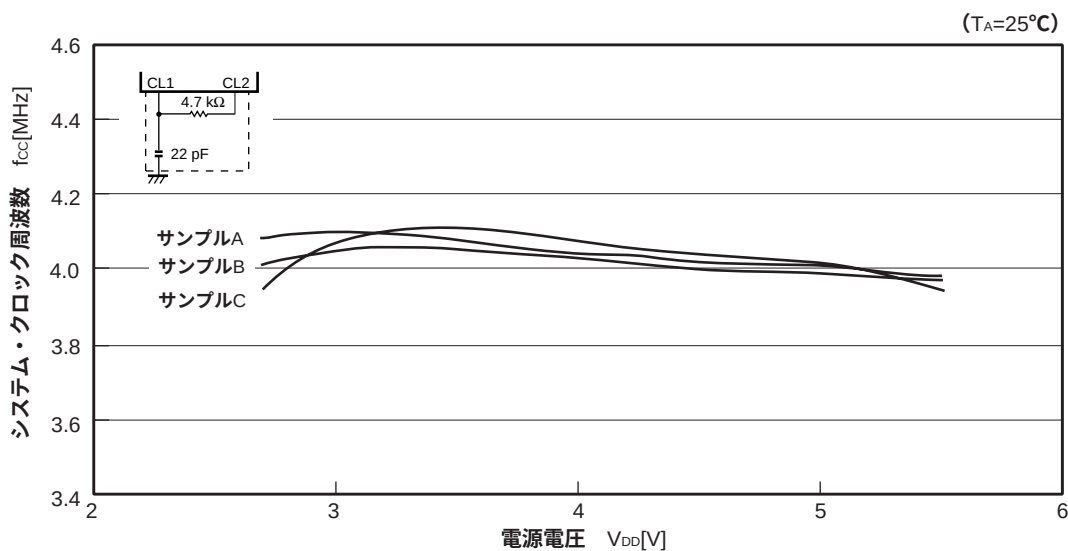
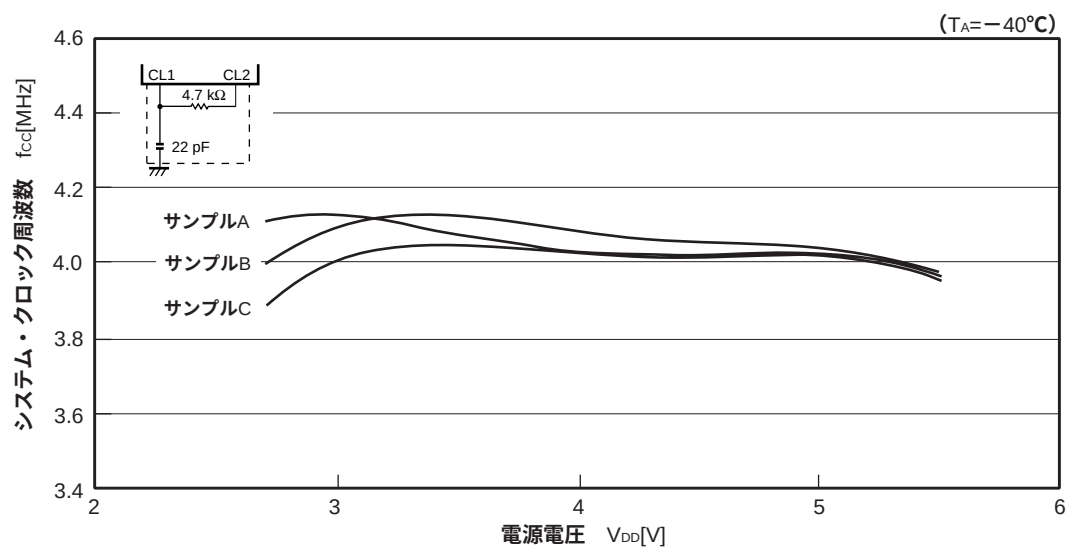
第34章 RC発振周波数特性例（参考値）

(μ PD78912xA, 78913xA, 78912xA(A), 78913xA(A), 78F9136A)

f_{CC} vs V_{DD} (RC発振, $R = 11\text{ k}\Omega$, $C = 22\text{ pF}$)



f_{CC} vs V_{DD} (RC発振, $R = 4.7\text{ k}\Omega$, $C = 22\text{ pF}$)

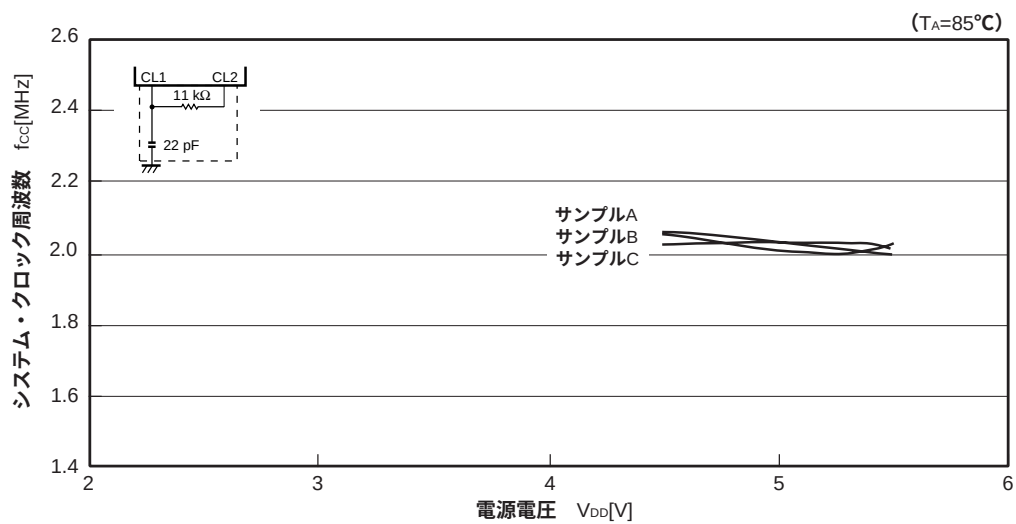
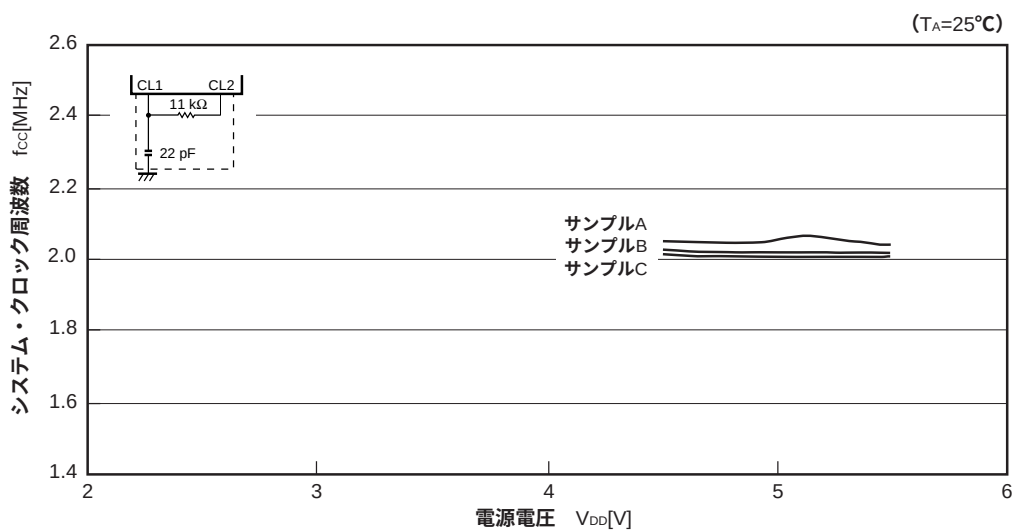
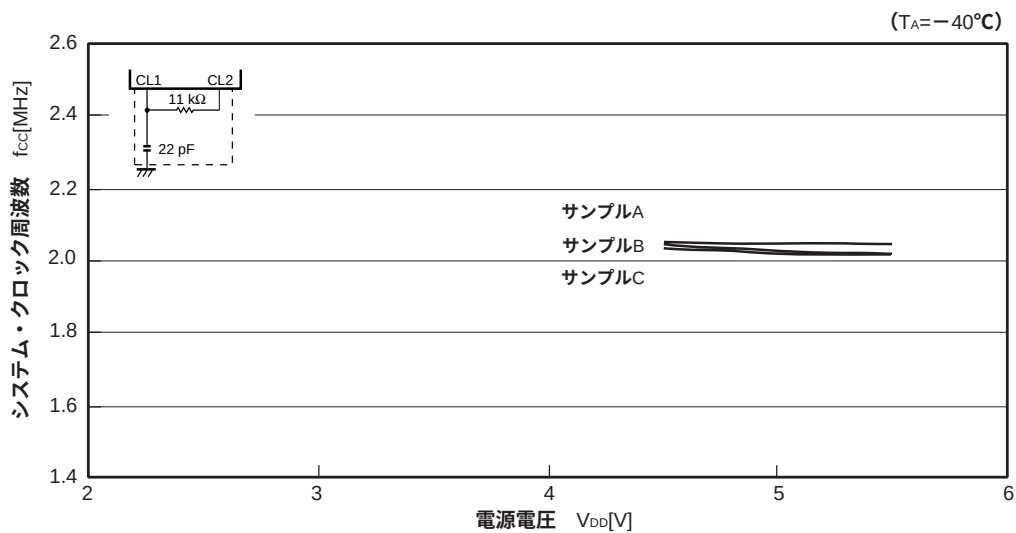


★

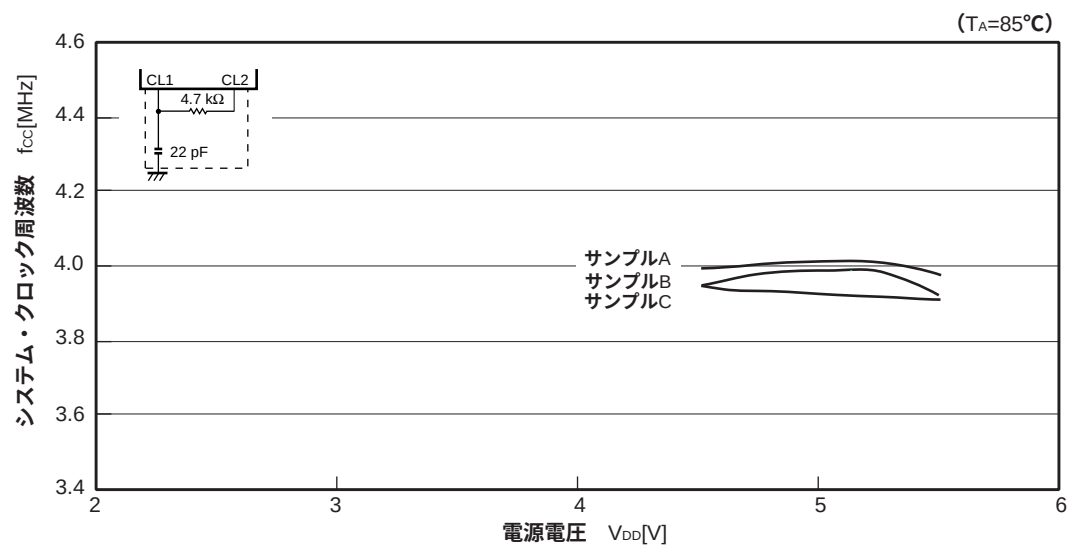
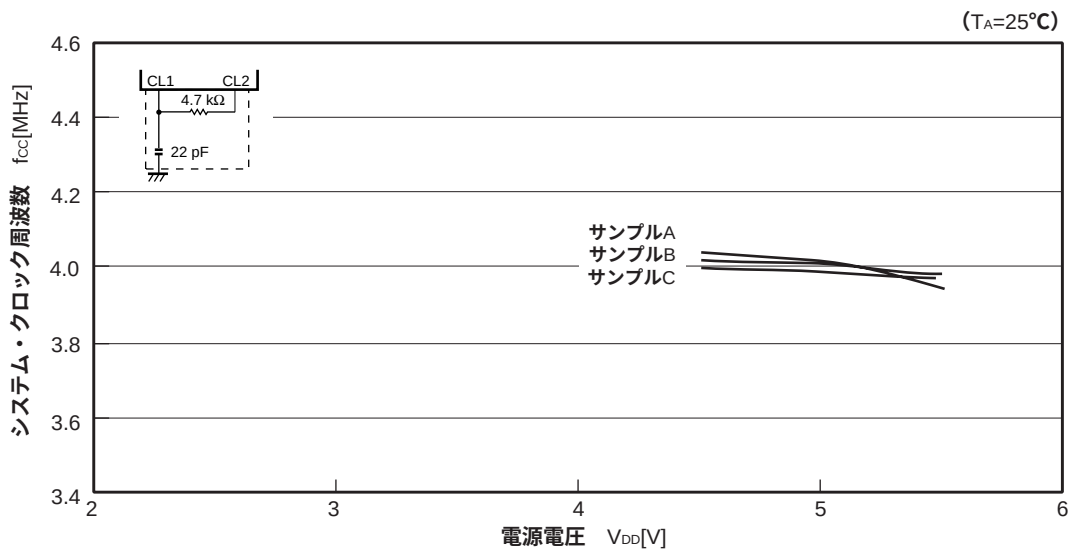
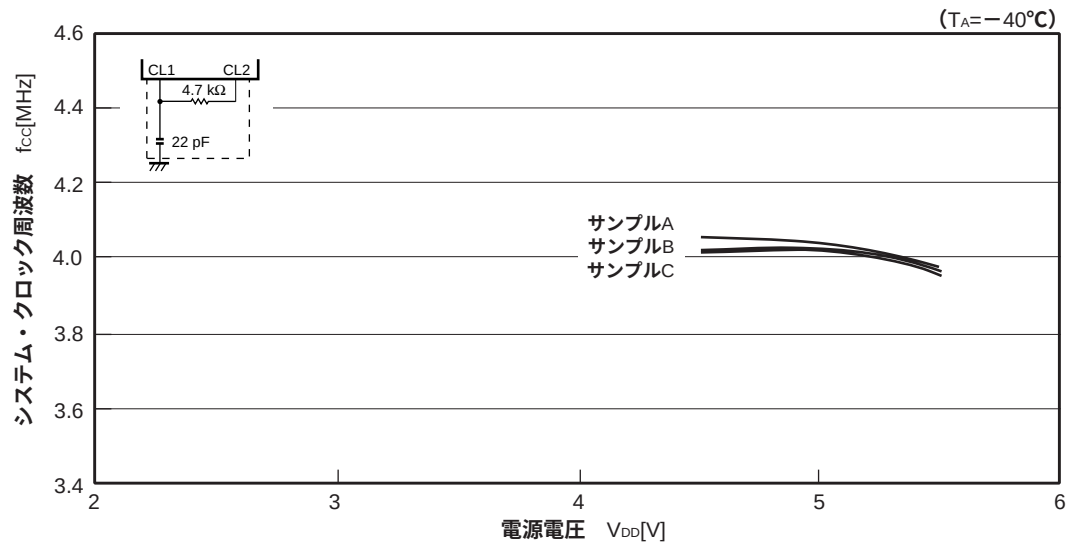
第35章 RC発振周波数特性例（参考値）

(μ PD78912xA(A1), 78913xA(A1), 78912xA(A2), 78913xA(A2))

f_{CC} vs V_{DD} (RC発振, $R = 11\text{ k}\Omega$, $C = 22\text{ pF}$)

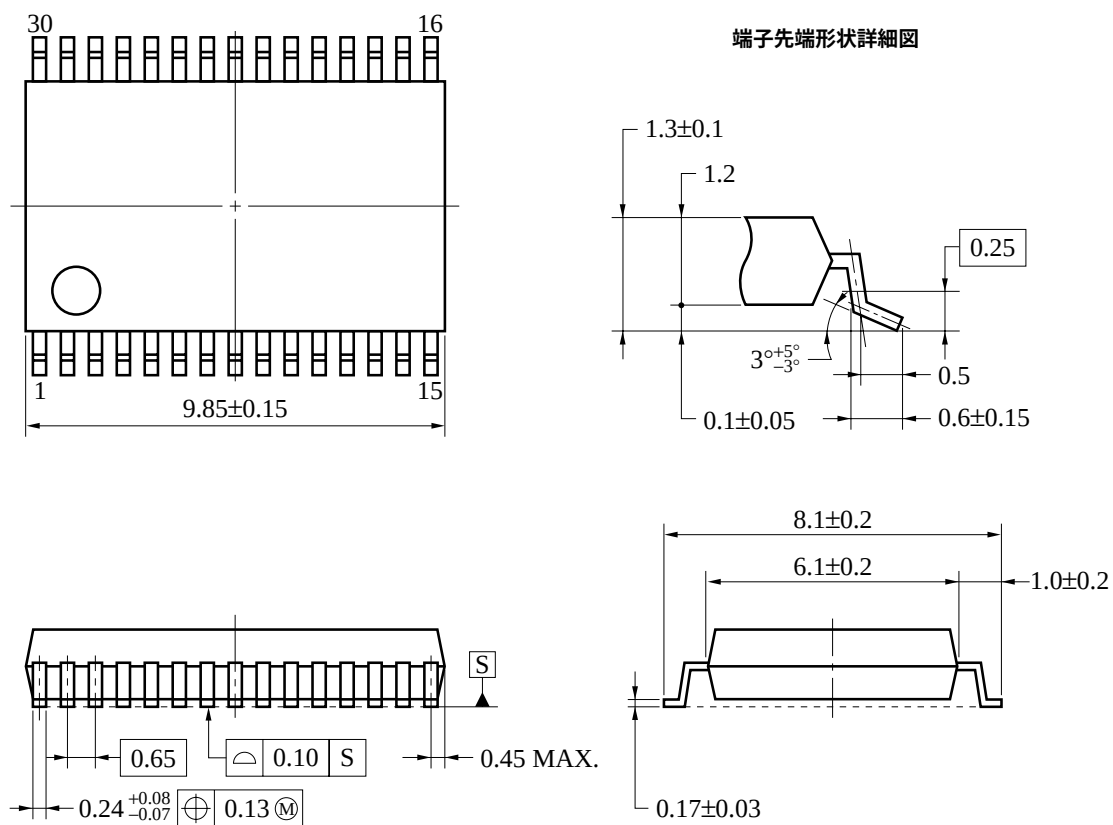


f_{CC} vs V_{DD} (RC発振, $R = 4.7\text{ k}\Omega$, $C = 22\text{ pF}$)



第36章 外形図

30ピン・プラスチックSSOP (7.62 mm (300)) 外形図 (単位: mm)



S30MC-65-5A4-2

第37章 半田付け推奨条件

μ PD789104A, 789114A, 789124A, 789134Aサブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表37-1 表面実装タイプの半田付け条件 (1/2)

- (1) μ PD789101AMC-×××-5A4, μ PD789102AMC-×××-5A4, μ PD789104AMC-×××-5A4
 μ PD789111AMC-×××-5A4, μ PD789112AMC-×××-5A4, μ PD789114AMC-×××-5A4
 μ PD789121AMC-×××-5A4, μ PD789122AMC-×××-5A4, μ PD789124AMC-×××-5A4
 μ PD789131AMC-×××-5A4, μ PD789132AMC-×××-5A4, μ PD789134AMC-×××-5A4
 μ PD789101AMC(A)-×××-5A4, μ PD789102AMC(A)-×××-5A4, μ PD789104AMC(A)-×××-5A4
 μ PD789111AMC(A)-×××-5A4, μ PD789112AMC(A)-×××-5A4, μ PD789114AMC(A)-×××-5A4
 μ PD789121AMC(A)-×××-5A4, μ PD789122AMC(A)-×××-5A4, μ PD789124AMC(A)-×××-5A4
 μ PD789131AMC(A)-×××-5A4, μ PD789132AMC(A)-×××-5A4, μ PD789134AMC(A)-×××-5A4
 μ PD789101AMC(A1)-×××-5A4, μ PD789102AMC(A1)-×××-5A4, μ PD789104AMC(A1)-×××-5A4
 μ PD789111AMC(A1)-×××-5A4, μ PD789112AMC(A1)-×××-5A4, μ PD789114AMC(A1)-×××-5A4
 μ PD789121AMC(A1)-×××-5A4, μ PD789122AMC(A1)-×××-5A4, μ PD789124AMC(A1)-×××-5A4
 μ PD789131AMC(A1)-×××-5A4, μ PD789132AMC(A1)-×××-5A4, μ PD789134AMC(A1)-×××-5A4
 μ PD789101AMC(A2)-×××-5A4, μ PD789102AMC(A2)-×××-5A4, μ PD789104AMC(A2)-×××-5A4
 μ PD789111AMC(A2)-×××-5A4, μ PD789112AMC(A2)-×××-5A4, μ PD789114AMC(A2)-×××-5A4
 μ PD789121AMC(A2)-×××-5A4, μ PD789122AMC(A2)-×××-5A4, μ PD789124AMC(A2)-×××-5A4
 μ PD789131AMC(A2)-×××-5A4, μ PD789132AMC(A2)-×××-5A4, μ PD789134AMC(A2)-×××-5A4

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：3回以内	VP15-00-3
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイス一辺当たり）	—

注意 半田付け方式の併用は避けください（ただし、端子部分加熱方式は除く）。

表37-1 表面実装タイプの半田付け条件 (2/2)

- (2) μ PD78F9116BMC-5A4, μ PD78F9136BMC-5A4,
 μ PD78F9116BMC(A)-5A4, μ PD78F9136BMC(A)-5A4,
 μ PD78F9116BMC(A1)-5A4, μ PD78F9136BMC(A1)-5A4

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 °C，時間：30秒以内（210 °C以上）， 回数：2回以内，制限日数：7日間 [※] （以降は125°Cプリバーク 10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 °C，時間：40秒以内（200 °C以上）， 回数：2回以内，制限日数：7日間 [※] （以降は125°Cプリバーク 10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	VP15-107-2
ウェーブ・ソルダーリ ング	半田槽温度：260 °C以下，時間：10秒以内，回数1回， 予備加熱温度：120 °C MAX.（パッケージ表面温度）， 制限日数：7日間 [※] （以降は125°Cプリバーク 10時間必要）	WS60-107-1
端子部分加熱	端子温度：300 °C以下，時間：3秒以内（デバイス一辺当たり）	—

注 ドライパック開封後の保存制限日数で，保管条件は25°C，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

- (3) μ PD78F9116AMC-5A4, μ PD78F9136AMC-5A4

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 °C，時間：30秒以内（210 °C以上）， 回数：3回以内，制限日数：7日間 [※] （以降は125°Cプリバーク 10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	IR35-107-3
VPS	パッケージ・ピーク温度：215 °C，時間：40秒以内（200 °C以上）， 回数：3回以内，制限日数：7日間 [※] （以降は125°Cプリバーク 10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	VP15-107-3
ウェーブ・ソルダーリ ング	半田槽温度：260 °C以下，時間：10秒以内，回数1回， 予備加熱温度：120 °C MAX.（パッケージ表面温度）， 制限日数：7日間 [※] （以降は125°Cプリバーク 10時間必要）	WS60-107-1
端子部分加熱	端子温度：300 °C以下，時間：3秒以内（デバイス一辺当たり）	—

注 ドライパック開封後の保存制限日数で，保管条件は25°C，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

付録A 開発ツール

μ PD789104A/114A/124A/134Aサブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A-1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

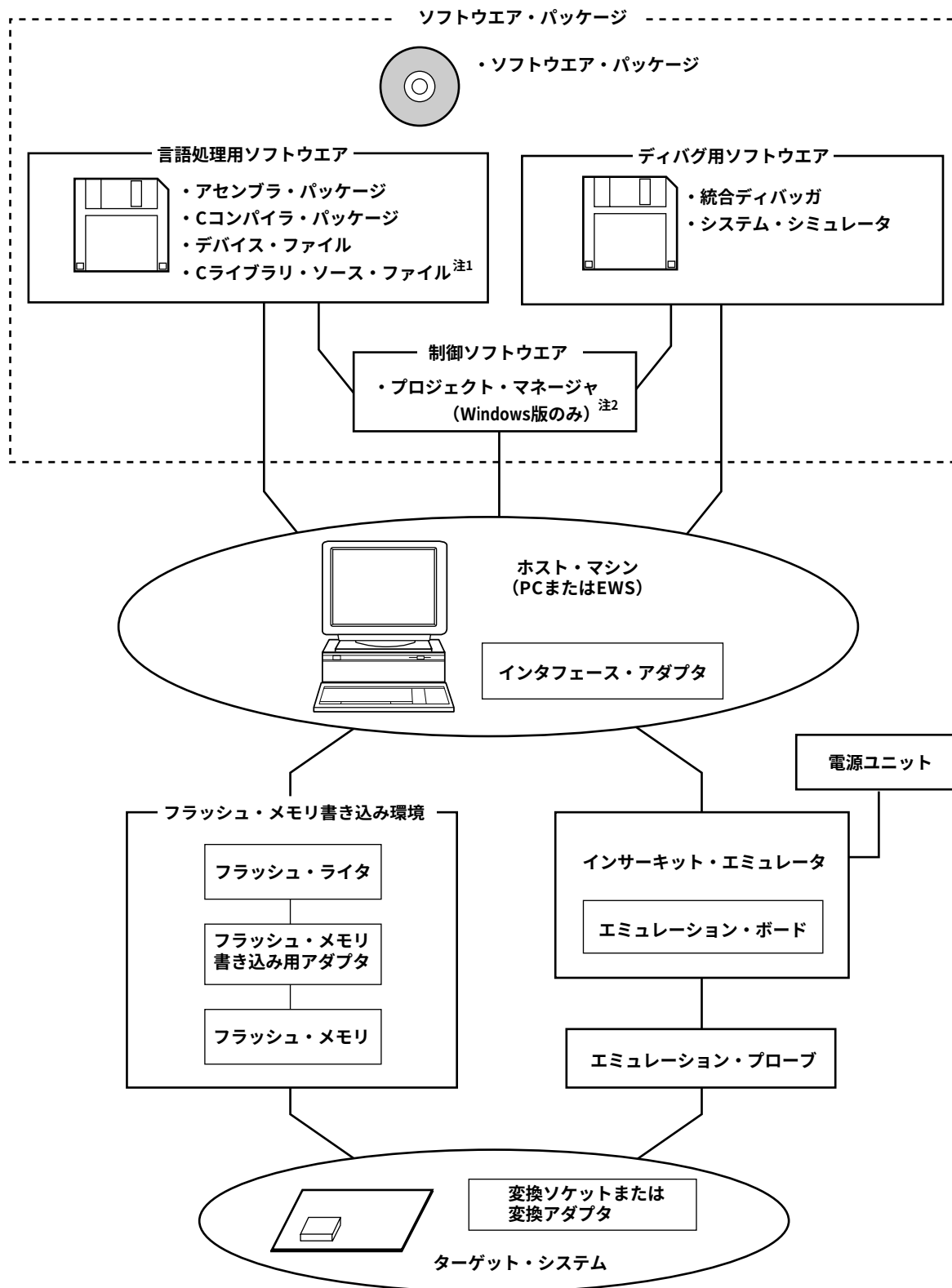
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

●Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows95
- Windows98
- Windows2000
- WindowsNT[®]Ver.4.0

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A. 1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0S, CC78K0S, ID78K0-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: μ SXXXXSP78K0S
-------------------------	---

備考 オーダ名称のXXXXは、使用するOSにより異なります。

μ SXXXXSP78K0S

XXXX	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789136) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ SXXXXRA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789136) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ SXXXXCC78K0S
DF789136 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: μ SXXXXDF789136
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: μ SXXXXCC78K0S-L

注1. DF789136は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) の中には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.1) , Solaris TM (Rel.2.5.1)	

μS××××DF789136

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.1) ,	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。Windows以外の環境では使用できません。
--------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

FlashproIII (型番 FL-PR3, PG-FP3) FlashproIV (型番 FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-30MC フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。FlashproIIIに接続して使用します。 30ピン・プラスチックSSOP (MC-5A4タイプ)

備考 FL-PR3, FL-PR4, FA-30MCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール（ハードウェア）

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバッガ（ID78K0S-NS）に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。 カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100～240 Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタ（Cバス対応）
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル（PCMCIAソケット対応）
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ（ISAバス対応）
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789136-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-30MC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 NSPACK30BK, YSPACK30BKと組み合わせて使用します。
NSPACK30BK YSPACK30BK 変換アダプタ	30ピン・プラスチックSSOP（MC-5A4タイプ）を実装できるように作られたターゲット・システムの基板と、NP-30MCを接続するための変換アダプタです。

備考1. NP-30MCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. NSPACK30BK, YSPACK30BKは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

A. 6 ディバグ用ツール（ソフトウェア）

ID78K0S-NS 統合ディバグ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバグです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル（DF789136）と組み合わせて使用します。 オーダ名称：μS××××ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF789136）と組み合わせて使用します。 オーダ名称：μS××××SM78K0S
DF789136 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称：μS××××DF789136

注 DF789136は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するOS、供給媒体により異なります。

μS××××ID78K0S-NS

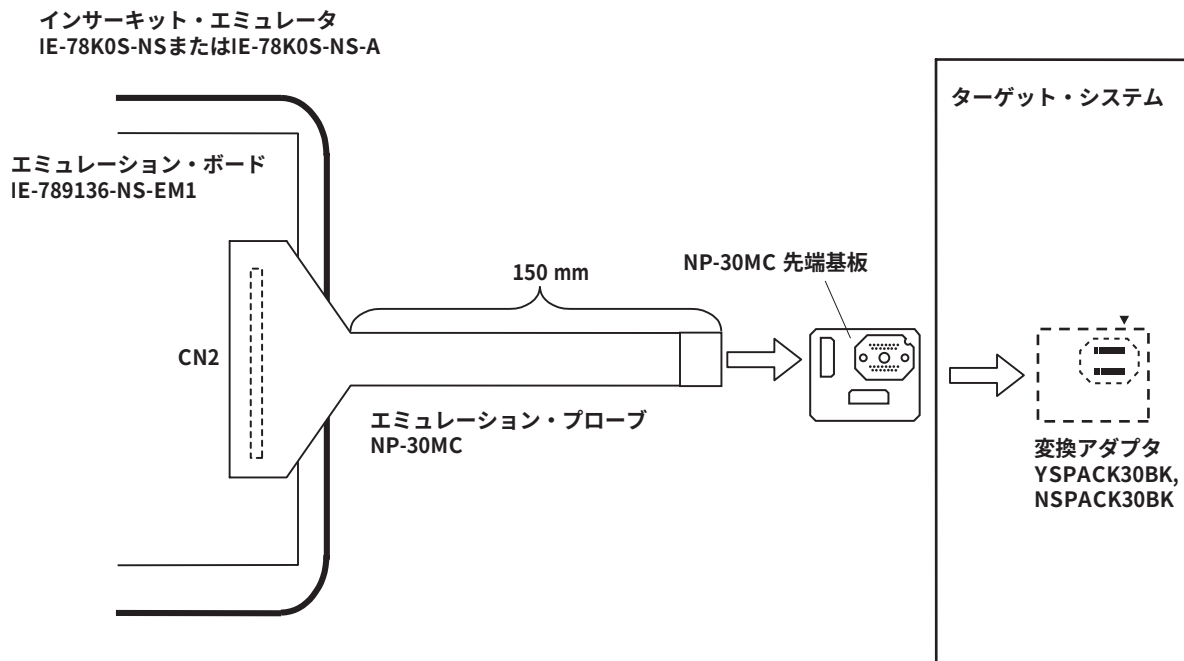
μS××××SM78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

付録B ターゲット・システム設計上の注意

エミュレーション・プローブと変換アダプタとの接続条件図を以下に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

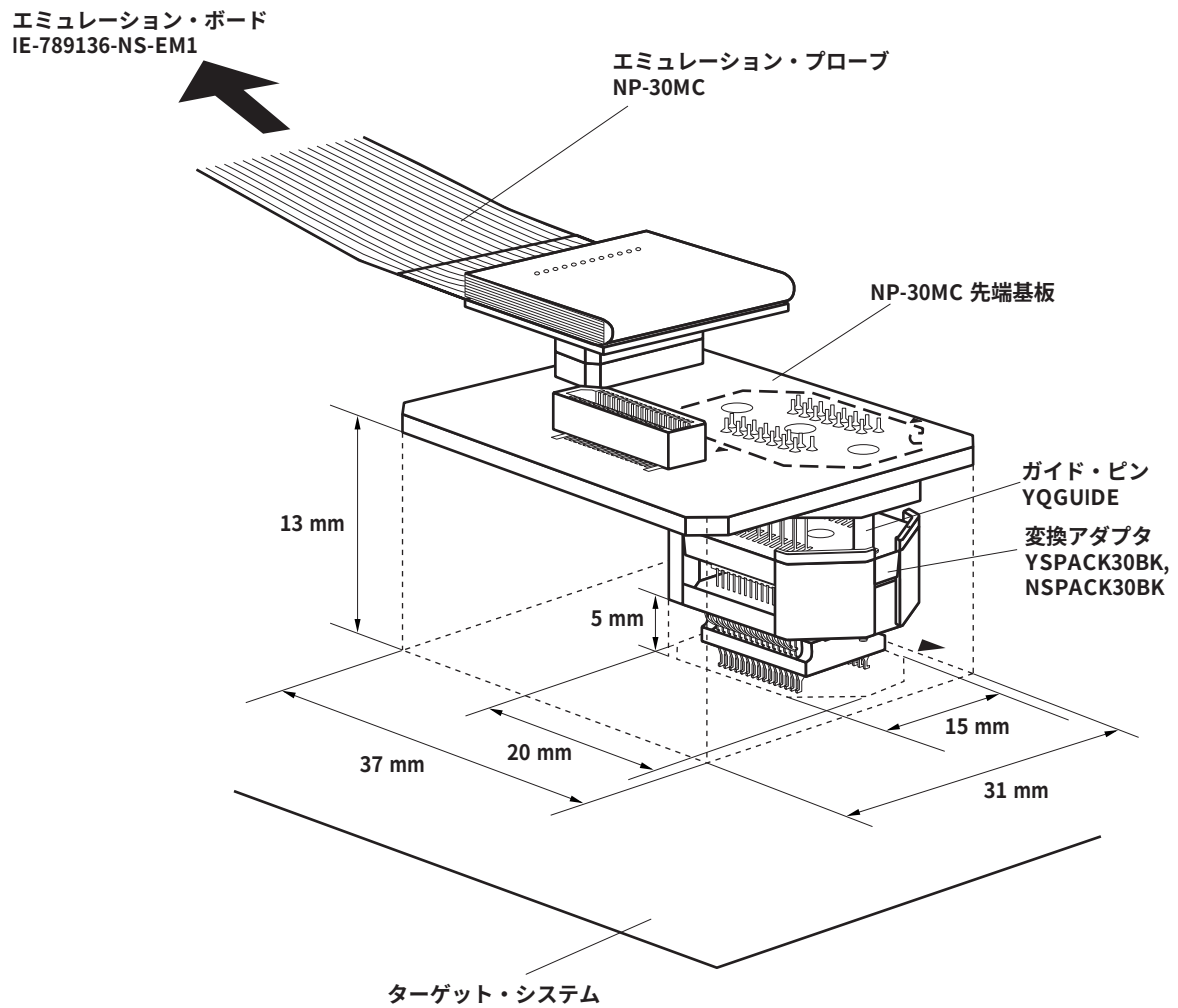
図B-1 インサーキット・エミュレータから変換アダプタまでの距離



備考 NP-30MCは、株式会社内藤電誠町田製作所の製品です。

YSPACK30BK, NSPACK30BKは、東京エレテック株式会社の製品です。

図B-2 ターゲット・システムの接続条件



備考 NP-30MCは、株式会社内藤電誠町田製作所の製品です。

YSPACK30BK, NSPACK30BK, YQGUIDEは、東京エレテック株式会社の製品です。

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) … 179, 188
アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) … 177, 184, 187, 199
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) … 141
A/Dコンバータ・モード・レジスタ0 (ADM0) … 147, 160
アナログ入力チャネル指定レジスタ0 (ADS0) … 148, 161
A/D変換結果レジスタ0 (ADCR0) … 145, 158

【か行】

外部割り込みモード・レジスタ0 (INTM0) … 218

【さ行】

16ビット・コンペア・レジスタ20 (CR20) … 112
16ビット乗算結果格納レジスタ0 (MUL0) … 208
16ビット・キャプチャ・レジスタ20 (TCP20) … 112
16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) … 113
16ビット・タイマ・カウンタ20 (TM20) … 112
受信バッファ・レジスタ20 (RXB20) … 174
乗算器コントロール・レジスタ0 (MULC0) … 210
乗算データ・レジスタA0 (MRA0) … 208
乗算データ・レジスタB0 (MRB0) … 208
シリアル動作モード・レジスタ20 (CSIM20) … 175, 183, 186, 198
送信シフト・レジスタ20 (TXS20) … 174

【た行】

タイマ・クロック選択レジスタ2 (TCL2) … 140

【は行】

8ビット・コンペア・レジスタ80 (CR80) … 125
8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) … 126
8ビット・タイマ・カウンタ80 (TM80) … 125
発振安定時間選択レジスタ (OSTS) … 227
プルアップ抵抗オプション・レジスタ0 (PU0) … 91
プルアップ抵抗オプション・レジスタB2 (PUB2) … 92
プロセッサ・クロック・コントロール・レジスタ (PCC) … 97, 104
ポート0 (P0) … 82

ポート1 (P1)	...	83
ポート2 (P2)	...	84
ポート5 (P5)	...	88
ポート6 (P6)	...	89
ポート・モード・レジスタ0 (PM0)	...	90
ポート・モード・レジスタ1 (PM1)	...	90
ポート・モード・レジスタ2 (PM2)	...	90, 115, 127
ポート・モード・レジスタ5 (PM5)	...	90
ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)	...	180, 189, 200

[わ行]

割り込みマスク・フラグ・レジスタ0 (MK0)	...	217
割り込みマスク・フラグ・レジスタ1 (MK1)	...	217
割り込み要求フラグ・レジスタ0 (IF0)	...	216
割り込み要求フラグ・レジスタ1 (IF1)	...	216

C.2 レジスタ索引（アルファベット順）

[A]

- ADCR0 : A/D変換結果レジスタ0 ... 145, 158
- ADM0 : A/Dコンバータ・モード・レジスタ0 ... 147, 160
- ADS0 : アナログ入力チャネル指定レジスタ0 ... 148, 161
- ASIM20 : アシンクロナス・シリアル・インタフェース・モード・レジスタ20 ... 177, 184, 187, 199
- ASIS20 : アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 ... 179, 188

[B]

- BRGC20 : ボー・レート・ジェネレータ・コントロール・レジスタ20 ... 180, 189, 200

[C]

- CR20 : 16ビット・コンペア・レジスタ20 ... 112
- CR80 : 8ビット・コンペア・レジスタ80 ... 125
- CSIM20 : シリアル動作モード・レジスタ20 ... 175, 183, 186, 198

[I]

- IF0 : 割り込み要求フラグ・レジスタ0 ... 216
- IF1 : 割り込み要求フラグ・レジスタ1 ... 216
- INTM0 : 外部割り込みモード・レジスタ0 ... 218

[M]

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 217
- MK1 : 割り込みマスク・フラグ・レジスタ1 ... 217
- MRA0 : 乗算データ・レジスタA0 ... 208
- MRB0 : 乗算データ・レジスタB0 ... 208
- MUL0 : 16ビット乗算結果格納レジスタ0 ... 208
- MULC0 : 乗算器コントロール・レジスタ0 ... 210

[O]

- OSTS : 発振安定時間選択レジスタ ... 227

[P]

- P0 : ポート0 ... 82
- P1 : ポート1 ... 83
- P2 : ポート2 ... 84
- P5 : ポート5 ... 88
- P6 : ポート6 ... 89
- PCC : プロセッサ・クロック・コントロール・レジスタ ... 97, 104
- PM0 : ポート・モード・レジスタ0 ... 90
- PM1 : ポート・モード・レジスタ1 ... 90
- PM2 : ポート・モード・レジスタ2 ... 90, 115, 127

PM5 : ポート・モード・レジスタ5 ... 90
 PU0 : プルアップ抵抗オプション・レジスタ0 ... 91
 PUB2 : プルアップ抵抗オプション・レジスタB2 ... 92

[R]

RXB20 : 受信バッファ・レジスタ20 ... 174

[T]

TCL2 : タイマ・クロック選択レジスタ2 ... 140
 TCP20 : 16ビット・キャプチャ・レジスタ20 ... 112
 TM20 : 16ビット・タイマ・カウンタ20 ... 112
 TM80 : 8ビット・タイマ・カウンタ80 ... 125
 TMC20 : 16ビット・タイマ・モード・コントロール・レジスタ20 ... 113
 TMC80 : 8ビット・タイマ・モード・コントロール・レジスタ80 ... 126
 TXS20 : 送信シフト・レジスタ20 ... 174

[W]

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 141

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	前版からの改版内容	適用箇所
第2版	• μ PD789101A(A1), 789102A(A1), 789104A(A1), 789111A(A1), 789112A(A1), 789114A(A1), 789121A(A1), 789122A(A1), 789124A(A1), 789131A(A1), 789132A(A1), 789134A(A1), 789101A(A2), 789102A(A2), 789104A(A2), 789111A(A2), 789112A(A2), 789114A(A2), 789121A(A2), 789122A(A2), 789124A(A2), 789131A(A2), 789132A(A2), 789134A(A2), 78F9116B, 78F9136B, 78F9116B(A), 78F9136B(A), 78F9116B(A1), 78F9136B(A1)を追加 • 拡張規格品に関する記述を追加	全 般
	• 1. 1 拡張規格品と従来規格品についてを追加 • 1. 10 標準水準品と(A)製品, (A1)製品, (A2)製品との違いを追加	第1章 概 説 (μ PD789104A, 789114Aサブシリーズ)
	2. 9 標準水準品と(A)製品, (A1)製品, (A2)製品との違いを追加	第2章 概 説 (μ PD789124A, 789134Aサブシリーズ)
	• 8. 4. 1 タイマ割り込みとしての動作の記述を修正 • 図8-5 タイマ割り込み動作のタイミングを修正 • 8. 4. 2 タイマ出力としての動作の記述を修正 • 図8-7 タイマ出力のタイミングを修正 • 8. 5 16ビット・タイマ20の注意事項を追加	第8章 16ビット・タイマ20
	9. 5 8ビット・タイマ/イベント・カウンタ80の注意事項の記述を追加	第9章 8ビット・タイマ/イベント・カウンタ80
	11. 5 (8) ANI0-ANI3端子の入カインピーダンスについてを追加	第11章 8ビットA/Dコンバータ (μ PD789104A, 789124Aサブシリーズ)
	• 12. 2 (2) A/D変換結果レジスタ0 (ADCR0) の記述を修正 • 12. 5 (8) ANI0-ANI3端子の入カインピーダンスについてを追加	第12章 10ビットA/Dコンバータ (μ PD789114A, 789134Aサブシリーズ)
	• 図13-1 シリアル・インタフェース20のブロック図を修正 • 13. 3 (4) (c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成を追加 • 13. 4. 2 (2) (f) 受信データの読み出しを追加	第13章 シリアル・インタフェース 20
	図15-2 割り込み要求フラグ・レジスタのフォーマットに注意3を追加	第15章 割り込み機能
	章を全面改訂	第18章 μ PD78F9116A, 78F9116B, 78F9136A, 78F9136B
	章を追加	第21章～第31章 電気的特性
		第32章, 第33章 特性曲線 (参考値)
		第34章, 第35章 RC発振周波数特性例 (参考値)
		第36章 外形図
		第37章 半田付け推奨条件
	付録を全面改訂	付録A 開発ツール
	付録を追加	付録B ターゲット・システム設計上の注意
		付録D 改版履歴
	付録B 組み込み用ソフトウェアを削除	—

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@lsi.nec.co.jp

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクス特約店へお申し付けください。