

RL78/G15

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っていません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルは RL78/G15 の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- 8 ピン： R5F1200x (x=7, 8)
- 10 ピン： R5F1201x (x=7, 8)
- 16 ピン： R5F1204x (x=7, 8)
- 20 ピン： R5F1206x (x=7, 8)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/G15 のマニュアルは、このマニュアルとソフトウェア編（RL78 ファミリ共通）の 2 冊に分かれています。

RL78/G15 ユーザーズ・マニュアル ハードウェア編	RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編
●端子機能	●CPU 機能
●内部ブロック機能	●命令セット
●割り込み	●命令の説明
●その他の内蔵周辺機能	
●電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。

□RL78/G15 マイクロコントローラの命令機能の詳細を知りたいとき

→別冊の RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編 (R01US0015J) を参照してください。

凡 例	データ表記の重み	: 左が上位桁、右が下位桁
	アクティブ・ロウの表記	: ××× (端子、信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数…××××または××××B 10進数…×××× 16進数…××××H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G15 ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0959E
RL78 ファミリー ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込みおよびオンチップ・デバッグ機能関連資料

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78、78K、V850、RX100、RX200、RX600 (RX64x 除く)、R8C、SH 編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	注1	注1
E1、E20 エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2 エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 エミュレータ Lite ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	注2	注2

注1. PG-FP6 の資料は以下のホーム・ページを参照してください。

和文 : <https://www.renesas.com/jp/ja/software-tool/pg-fp6>

英文 : <https://www.renesas.com/us/en/software-tool/pg-fp6>

注2. Renesas Flash Programmer の資料は以下のホーム・ページを参照してください。

和文 : <https://www.renesas.com/jp/ja/software-tool/renesas-flash-programmer-programming-gui>

英文 : <https://www.renesas.com/us/en/software-tool/renesas-flash-programmer-programming-gui>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ 実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROM は、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlash は、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash®を使用しています。

目次

第1章	概説	19
1.1	特長	19
1.2	型名一覧	22
1.3	端子接続図 (Top View)	24
1.3.1	8ピン製品	24
1.3.2	10ピン製品	25
1.3.3	16ピン製品	26
1.3.4	20ピン製品	29
1.4	端子名称	31
1.5	ブロック図	32
1.5.1	8ピン製品	32
1.5.2	10ピン製品	33
1.5.3	16ピン製品	34
1.5.4	20ピン製品	35
1.6	機能概要	36
第2章	端子機能	38
2.1	ポート機能	38
2.1.1	8ピン製品	38
2.1.2	10ピン製品	39
2.1.3	16ピン製品	40
2.1.4	20ピン製品	41
2.2	ポート以外の機能	43
2.2.1	製品別の搭載機能	43
2.2.2	機能説明	44
2.3	未使用端子の処理	45
2.4	端子ブロック図	46
第3章	CPUアーキテクチャ	55
3.1	概要	55
3.2	メモリ空間	56
3.2.1	内部プログラム・メモリ空間	59
3.2.2	ミラー領域	62
3.2.3	内部データ・メモリ空間	63
3.2.4	特殊機能レジスタ (SFR : Special Function Register) 領域	63
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	63
3.2.6	データ・メモリ・アドレッシング	64
3.3	プロセッサ・レジスタ	65
3.3.1	制御レジスタ	65

3.3.2	汎用レジスタ	68
3.3.3	ES, CS レジスタ	69
3.3.4	特殊機能レジスタ (SFR : Special Function Register)	70
3.3.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	73
3.4	命令アドレスのアドレッシング	78
3.4.1	レラティブ・アドレッシング	78
3.4.2	イミューディエト・アドレッシング	79
3.4.3	テーブル・インダイレクト・アドレッシング	80
3.4.4	レジスタ・インダイレクト・アドレッシング	80
3.5	処理データ・アドレスに対するアドレッシング	81
3.5.1	インプライド・アドレッシング	81
3.5.2	レジスタ・アドレッシング	82
3.5.3	ダイレクト・アドレッシング	83
3.5.4	ショート・ダイレクト・アドレッシング	84
3.5.5	SFR アドレッシング	85
3.5.6	レジスタ・インダイレクト・アドレッシング	86
3.5.7	ベースト・アドレッシング	87
3.5.8	ベースト・インデクスト・アドレッシング	91
3.5.9	スタック・アドレッシング	92
3.6	不正メモリ・アクセス検出機能	95
第 4 章	ポート機能	97
4.1	ポートの機能	97
4.2	ポートの構成	97
4.2.1	ポート 0	98
4.2.2	ポート 2	98
4.2.3	ポート 4	98
4.2.4	ポート 12	99
4.2.5	ポート 13	99
4.3	ポート機能を制御するレジスタ	100
4.3.1	ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12)	103
4.3.2	ポート・レジスタ 0, 2, 4, 12, 13 (P0, P2, P4, P12, P13)	105
4.3.3	プルアップ抵抗オプション・レジスタ 0, 2, 4, 12 (PU0, PU2, PU4, PU12)	107
4.3.4	ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4)	109
4.3.5	ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)	110
4.3.6	周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3)	111
4.4	ポート機能の動作	115
4.4.1	入出力ポートへの書き込み	115
4.4.2	入出力ポートからの読み出し	115
4.4.3	入出力ポートでの演算	115
4.5	兼用機能使用時のレジスタ設定	116
4.5.1	兼用機能使用時の基本的な考え方	116

4.5.2	出力機能を使用しない兼用機能のレジスタ設定	117
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	118
4.6	ポート機能使用時の注意事項	126
4.6.1	ポート・レジスタ n (Pn) に対する 1 ビット・メモリ操作命令に関する注意事項	126
4.6.2	端子設定に関する注意事項	127
第 5 章	クロック発生回路	128
5.1	クロック発生回路の機能	128
5.2	クロック発生回路の構成	130
5.3	クロック発生回路を制御するレジスタ	132
5.3.1	クロック動作モード制御レジスタ (CMC)	133
5.3.2	システム・クロック制御レジスタ (CKC)	134
5.3.3	クロック動作ステータス制御レジスタ (CSC)	135
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	137
5.3.5	発振安定時間選択レジスタ (OSTS)	139
5.3.6	周辺イネーブル・レジスタ 0 (PER0)	141
5.3.7	動作スピード・モード制御レジスタ (OSMC)	143
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	144
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	145
5.4	システム・クロック発振回路	146
5.4.1	X1 発振回路 (16 ピンと 20 ピン製品のみ)	146
5.4.2	高速オンチップ・オシレータ	149
5.4.3	低速オンチップ・オシレータ	149
5.5	クロック発生回路の動作	149
5.6	クロックの制御	151
5.6.1	高速オンチップ・オシレータの設定例	151
5.6.2	X1 発振回路の設定例	152
5.6.3	CPU クロック状態移行図	153
5.6.4	CPU クロックの移行前の条件と移行後の処理	156
5.6.5	CPU クロックの切り替えとメイン・システム・クロックの切り替えに要する時間	157
5.6.6	クロック発振停止前の条件	157
5.7	発振子と発振回路定数	158
第 6 章	タイマ・アレイ・ユニット	159
6.1	タイマ・アレイ・ユニットの機能	161
6.1.1	単独チャンネル動作機能	161
6.1.2	複数チャンネル連動動作機能	164
6.1.3	8 ビット・タイマ動作機能 (チャンネル 1, 3 のみ)	166
6.2	タイマ・アレイ・ユニットの構成	167
6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	172
6.2.2	タイマ・データ・レジスタ mn (TDRmn)	174
6.3	タイマ・アレイ・ユニットを制御するレジスタ	176

6.3.1	周辺イネーブル・レジスタ 0 (PER0)	177
6.3.2	タイマ・クロック選択レジスタ m (TPSm)	178
6.3.3	タイマ・モード・レジスタ mn (TMRmn)	182
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn)	188
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	189
6.3.6	タイマ・チャンネル開始レジスタ m (TSm)	190
6.3.7	タイマ・チャンネル停止レジスタ m (TTm)	192
6.3.8	タイマ出力許可レジスタ m (TOEm)	193
6.3.9	タイマ出力レジスタ m (TOm)	194
6.3.10	タイマ出力レベル・レジスタ m (TOLm)	195
6.3.11	タイマ出力モード・レジスタ m (TOMm)	196
6.3.12	入力切り替え制御レジスタ (ISC)	197
6.3.13	ノイズ・フィルタ許可レジスタ 1 (NFEN1)	198
6.3.14	タイマ入出力端子のポート機能を制御するレジスタ	200
6.4	タイマ・アレイ・ユニットの基本ルール	201
6.4.1	複数チャンネル連動動作機能の基本ルール	201
6.4.2	8ビット・タイマ動作機能の基本ルール (チャンネル 1, 3 のみ)	203
6.5	カウンタの動作	204
6.5.1	カウント・クロック (f_{TCLK})	204
6.5.2	カウンタのスタート・タイミング	206
6.5.3	カウンタの動作	207
6.6	チャンネル出力 (TOmn 端子) の制御	212
6.6.1	TOmn 端子の出力回路の構成	212
6.6.2	TOmn 端子の出力設定	214
6.6.3	チャンネル出力操作時の注意事項	215
6.6.4	TOmn ビットの一括操作	221
6.6.5	カウント動作開始時のタイマ割り込みと TOmn 端子出力について	223
6.7	タイマ入力 (TImn) の制御	224
6.7.1	TImn の入力回路構成	224
6.7.2	ノイズ・フィルタ	224
6.7.3	チャンネル入力操作時の注意事項	225
6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	226
6.8.1	インターバル・タイマ/方形波出力としての動作	226
6.8.2	外部イベント・カウンタとしての動作	232
6.8.3	分周器としての動作 (チャンネル 0, 3 のみ)	237
6.8.4	入力パルス間隔測定としての動作	244
6.8.5	入力信号のハイ/ロウ・レベル幅測定としての動作	249
6.8.6	ディレイ・カウンタとしての動作	254
6.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	259
6.9.1	ワンショット・パルス出力機能としての動作	259
6.9.2	PWM 機能としての動作	269
6.9.3	多重 PWM 出力機能としての動作	278

6.9.4	2 入力式ワンショット・パルス出力としての動作	289
6.10	タイマ・アレイ・ユニット使用時の注意事項	298
6.10.1	タイマ出力使用時の注意事項	298
第 7 章	12 ビット・インターバル・タイマ	299
7.1	12 ビット・インターバル・タイマの機能	299
7.2	12 ビット・インターバル・タイマの構成	299
7.3	12 ビット・インターバル・タイマを制御するレジスタ	300
7.3.1	周辺イネーブル・レジスタ 0 (PER0)	300
7.3.2	動作スピード・モード制御レジスタ (OSMC)	301
7.3.3	インターバル・タイマ・コントロール・レジスタ (ITMC)	302
7.4	12 ビット・インターバル・タイマの動作	303
7.4.1	12 ビット・インターバル・タイマの動作タイミング	303
7.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度 HALT/STOP モードに 移行する設定手順	304
第 8 章	クロック出力／ブザー出力制御回路	305
8.1	クロック出力／ブザー出力制御回路の機能	305
8.2	クロック出力／ブザー出力制御回路の構成	306
8.3	クロック出力／ブザー出力制御回路を制御するレジスタ	306
8.3.1	クロック出力選択レジスタ 0 (CKS0)	307
8.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	308
8.4	クロック出力／ブザー出力制御回路の動作	309
8.4.1	出力端子の動作	309
第 9 章	ウォッチドッグ・タイマ	310
9.1	ウォッチドッグ・タイマの機能	310
9.2	ウォッチドッグ・タイマの構成	311
9.3	ウォッチドッグ・タイマを制御するレジスタ	312
9.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	312
9.4	ウォッチドッグ・タイマの動作	313
9.4.1	ウォッチドッグ・タイマの動作制御	313
9.4.2	ウォッチドッグ・タイマの時間設定	314
第 10 章	A/D コンバータ	315
10.1	A/D コンバータの機能	315
10.2	A/D コンバータの構成	317
10.3	A/D コンバータで使用するレジスタ	319
10.3.1	周辺イネーブル・レジスタ 0 (PER0)	320
10.3.2	A/D コンバータ・モード・レジスタ 0 (ADM0)	321
10.3.3	A/D コンバータ・モード・レジスタ 2 (ADM2)	325
10.3.4	10 ビット A/D 変換結果レジスタ (ADCR)	326

10.3.5	8ビットA/D変換結果レジスタ (ADCRH)	327
10.3.6	アナログ入力チャンネル指定レジスタ (ADS)	328
10.3.7	A/Dテスト・レジスタ (ADTES)	329
10.3.8	アナログ入力端子のポート機能を制御するレジスタ	329
10.4	A/Dコンバータの変換動作	330
10.5	入力電圧と変換結果	332
10.6	A/Dコンバータの動作モード	334
10.7	A/Dコンバータの設定フロー・チャート	335
10.7.1	A/D変換対象: ANI0-ANI10の設定	335
10.7.2	A/D変換対象: 内部基準電圧の設定	336
10.8	A/Dコンバータ特性表の読み方	337
10.8.1	分解能	337
10.8.2	総合誤差	337
10.8.3	量子化誤差	338
10.8.4	ゼロスケール誤差	338
10.8.5	フルスケール誤差	338
10.8.6	積分直線性誤差	338
10.8.7	微分直線性誤差	339
10.8.8	変換時間	340
10.8.9	サンプリング時間	340
10.9	A/Dコンバータの注意事項	341
10.9.1	STOPモード時の動作電流について	341
10.9.2	ANI0-ANI10端子の入力電圧について	341
10.9.3	競合動作について	341
10.9.4	ノイズ対策について	341
10.9.5	アナログ入力 (ANIn) 端子	342
10.9.6	アナログ入力 (ANIn) 端子の入力インピーダンスについて	343
10.9.7	割り込み要求フラグ (ADIF) について	343
10.9.8	A/D変換スタート直後の変換結果について	343
10.9.9	A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて	343
10.9.10	内部等価回路について	344
10.9.11	A/Dコンバータの動作開始について	344
第11章	コンパレータ	345
11.1	コンパレータの機能	345
11.2	コンパレータの構成	346
11.3	コンパレータを制御するレジスタ	348
11.3.1	周辺イネーブル・レジスタ 0 (PER0)	349
11.3.2	コンパレータモード設定レジスタ (COMPMDR)	350
11.3.3	コンパレータフィルタ制御レジスタ (COMPFIR)	352
11.3.4	コンパレータ出力制御レジスタ (COMPOCR)	354
11.3.5	コンパレータの入出力端子のポート機能を制御するレジスタ	355

11.4	コンパレータ n の動作説明 (n=0, 1)	356
11.4.1	コンパレータ n のデジタル・フィルタ動作 (n=0, 1)	357
11.4.2	コンパレータ n の割り込み動作 (n=0, 1)	357
11.4.3	コンパレータ n 出力 (n=0, 1)	357
11.5	コンパレータの設定フロー・チャート	358
11.5.1	コンパレータの動作許可 (CMP0 の場合で説明しています)	359
11.5.2	コンパレータの動作禁止 (CMP0 の場合で説明しています)	360
第 12 章	シリアル・アレイ・ユニット	361
12.1	シリアル・アレイ・ユニットの機能	362
12.1.1	簡易 SPI (CSI00, CSI01)	362
12.1.2	UART (UART0)	363
12.1.3	簡易 I ² C (IIC00, IIC01)	364
12.2	シリアル・アレイ・ユニットの構成	365
12.2.1	シフト・レジスタ	367
12.2.2	シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビット	368
12.3	シリアル・アレイ・ユニットを制御するレジスタ	370
12.3.1	周辺イネーブル・レジスタ 0 (PER0)	371
12.3.2	シリアル・クロック選択レジスタ m (SPSm)	372
12.3.3	シリアル・モード・レジスタ mn (SMRmn)	373
12.3.4	シリアル通信動作設定レジスタ mn (SCRmn)	375
12.3.5	シリアル・データ・レジスタ mn (SDRmn)	378
12.3.6	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)	380
12.3.7	シリアル・ステータス・レジスタ mn (SSRmn)	381
12.3.8	シリアル・チャンネル開始レジスタ m (SSm)	383
12.3.9	シリアル・チャンネル停止レジスタ m (STm)	384
12.3.10	シリアル・チャンネル許可ステータス・レジスタ m (SEm)	385
12.3.11	シリアル出力許可レジスタ m (SOEm)	386
12.3.12	シリアル出力レジスタ m (SOM)	387
12.3.13	シリアル出力レベル・レジスタ m (SOLm)	388
12.3.14	入力切り替え制御レジスタ (ISC)	390
12.3.15	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	391
12.3.16	シリアル入出力端子のポート機能を制御するレジスタ	392
12.4	動作停止モード	393
12.4.1	ユニット単位で動作停止とする場合	393
12.4.2	チャンネルごとに動作停止とする場合	394
12.5	簡易 SPI (CSI00, CSI01) 通信の動作	396
12.5.1	マスタ送信	398
12.5.2	マスタ受信	407
12.5.3	マスタ送受信	417
12.5.4	スレーブ送信	427
12.5.5	スレーブ受信	436

12.5.6	スレーブ送受信	443
12.5.7	転送クロック周波数の算出	454
12.5.8	簡易 SPI (CSI00, CSI01) 通信時におけるエラー発生時の処理手順	456
12.6	UART (UART0) 通信の動作	457
12.6.1	UART 送信	459
12.6.2	UART 受信	469
12.6.3	ボー・レートの算出	476
12.6.4	UART (UART0) 通信時におけるエラー発生時の処理手順	481
12.7	簡易 I ² C (IIC00, IIC01) 通信の動作	482
12.7.1	アドレス・フィールド送信	484
12.7.2	データ送信	490
12.7.3	データ受信	494
12.7.4	ストップ・コンディション発生	499
12.7.5	転送レートの算出	500
12.7.6	簡易 I ² C (IIC00, IIC01) 通信時におけるエラー発生時の処理手順	503
第 13 章	シリアル・インタフェース IICA	504
13.1	シリアル・インタフェース IICA の機能	504
13.2	シリアル・インタフェース IICA の構成	507
13.3	シリアル・インタフェース IICA を制御するレジスタ	511
13.3.1	周辺イネーブル・レジスタ 0 (PER0)	512
13.3.2	IICA コントロール・レジスタ 00 (IICCTL00)	513
13.3.3	IICA ステータス・レジスタ 0 (IICCS0)	517
13.3.4	IICA フラグ・レジスタ 0 (IICF0)	520
13.3.5	IICA コントロール・レジスタ 01 (IICCTL01)	522
13.3.6	IICA ロウ・レベル幅設定レジスタ 0 (IICWL0)	525
13.3.7	IICA ハイ・レベル幅設定レジスタ 0 (IICWH0)	525
13.3.8	IICA シリアル入出力端子のポート機能を制御するレジスタ	526
13.4	I ² C バス・モードの機能	527
13.4.1	端子構成	527
13.4.2	IICWL0, IICWH0 レジスタによる転送クロック設定方法	528
13.5	I ² C バスの定義および制御方法	530
13.5.1	スタート・コンディション	531
13.5.2	アドレス	532
13.5.3	転送方向指定	533
13.5.4	アクノリッジ (ACK)	533
13.5.5	ストップ・コンディション	535
13.5.6	クロック・ストレッチ	536
13.5.7	クロック・ストレッチ解除方法	538
13.5.8	割り込み要求 (INTIICA0) 発生タイミングおよびクロック・ストレッチ制御	539
13.5.9	アドレスの一致検出方法	540
13.5.10	エラーの検出	540

13.5.11	拡張コード	541
13.5.12	アービトレーション	542
13.5.13	ウェイク・アップ機能	544
13.5.14	通信予約	547
13.5.15	その他の注意事項	551
13.5.16	通信動作	553
13.5.17	I ² C 割り込み要求 (INTIICA0) の発生タイミング	563
13.6	タイミング・チャート	583
第 14 章	割り込み機能	599
14.1	割り込み機能の種類	599
14.2	割り込み要因と構成	599
14.3	割り込み機能を制御するレジスタ	604
14.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)	606
14.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)	608
14.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H)	609
14.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	611
14.3.5	プログラム・ステータス・ワード (PSW)	612
14.4	割り込み処理動作	613
14.4.1	マスカブル割り込み要求の受け付け動作	613
14.4.2	ソフトウェア割り込み要求の受け付け動作	616
14.4.3	多重割り込み処理	616
14.4.4	割り込み要求の保留	621
第 15 章	スタンバイ機能	623
15.1	概要	623
15.2	スタンバイ機能を制御するレジスタ	624
15.3	スタンバイ機能の動作	624
15.3.1	HALT モード	624
15.3.2	STOP モード	628
第 16 章	リセット機能	634
16.1	リセット動作のタイミング	636
16.2	リセット期間中の動作状態	638
16.3	リセット要因を確認するレジスタ	640
16.3.1	リセット・コントロール・フラグ・レジスタ (RESF)	640
第 17 章	セレクトابل・パワーオン・リセット回路	643
17.1	セレクトابل・パワーオン・リセット回路の機能	643
17.2	セレクトابل・パワーオン・リセット回路の構成	644

17.3	セレクトابل・パワーオン・リセット回路の動作	645
17.4	セレクトابل・パワーオン・リセット回路の注意事項	646
第 18 章	オプション・バイト	647
18.1	オプション・バイトの機能	647
18.1.1	ユーザ・オプション・バイト (000C0H-000C2H)	647
18.1.2	オンチップ・デバッグ・オプション・バイト (000C3H)	647
18.2	ユーザ・オプション・バイトのフォーマット	648
18.3	オンチップ・デバッグ・オプション・バイトのフォーマット	651
18.4	オプション・バイトの設定	652
第 19 章	フラッシュ・メモリ	653
19.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	655
19.1.1	プログラミング環境	657
19.1.2	通信方式	657
19.2	外部デバイス (UART 内蔵) による書き込み方法	659
19.2.1	プログラミング環境	659
19.2.2	通信方式	660
19.3	オンボード上の端子処理	661
19.3.1	P40/TOOL0 端子	661
19.3.2	$\overline{\text{RESET}}$ 端子	662
19.3.3	ポート端子	662
19.3.4	X1, X2 端子 (16 ピン製品、20 ピン製品)	662
19.3.5	電源	663
19.4	シリアル・プログラミング方法	664
19.4.1	シリアル・プログラミング手順	664
19.4.2	フラッシュ・メモリ・プログラミング・モード	665
19.4.3	通信方式	666
19.4.4	通信コマンド	666
19.5	PG-FP6 使用時の各コマンド処理時間 (参考値)	667
19.6	セルフ・プログラミング	668
19.6.1	セルフ・プログラミングを制御するレジスタ	668
19.6.1.1	フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH/FLAPL)	669
19.6.1.2	フラッシュ・エンド・アドレス指定レジスタ H, L (FLSEDH/FLSEDL)	670
19.6.1.3	フラッシュ・ライト・バッファ・レジスタ HH, HL, LH, LL (FLWHH/FLWHL/FLWLH/FLWLL)	672
19.6.1.4	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	673
19.6.1.5	フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)	674
19.6.1.6	フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)	675
19.6.1.7	フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH/FSASTL)	676
19.6.2	コード/データ・フラッシュ・メモリのセルフ・プログラミング実行手順	677
19.6.3	セルフ・プログラミング時の注意事項	680

19.7	データ・フラッシュ	681
19.7.1	データ・フラッシュの概要	681
19.7.2	データ・フラッシュへのアクセス手順	681
第 20 章	オンチップ・デバッグ機能	682
20.1	E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続	682
20.2	外部デバイス (UART 内蔵) との接続	684
20.3	オンチップ・デバッグ・セキュリティ ID	685
20.4	ユーザ資源の確保	686
第 21 章	10 進補正 (BCD) 回路	687
21.1	10 進補正回路の機能	687
21.2	10 進補正回路で使用するレジスタ	687
21.2.1	BCD 補正結果レジスタ (BCDADJ)	687
21.3	10 進補正回路の動作	688
第 22 章	命令セットの概要	690
22.1	凡例	690
22.1.1	オペランドの表現形式と記述方法	690
22.1.2	オペレーション欄の説明	692
22.1.3	フラグ動作欄の説明	693
22.1.4	PREFIX 命令	693
22.2	オペレーション一覧	694
第 23 章	電气的特性 (T_A=-40°C~+85°C)	709
23.1	絶対最大定格	710
23.2	発振回路特性	711
23.2.1	X1 発振回路特性	711
23.2.2	オンチップ・オシレータ特性	711
23.3	DC 特性	712
23.3.1	端子特性	712
23.3.2	電源電流特性	714
23.4	AC 特性	716
23.5	シリアル・インタフェース特性	718
23.5.1	シリアル・アレイ・ユニット	718
23.5.2	シリアル・インタフェース IICA	723
23.6	アナログ特性	724
23.6.1	A/D コンバータ特性	724
23.6.2	コンパレータ特性	725
23.6.3	内部基準電圧特性	725
23.6.4	SPOR 回路特性	726
23.6.5	電源電圧立ち上がり傾き特性	726

23.7	RAM データ保持特性.....	727
23.8	フラッシュ・メモリ・プログラミング特性.....	728
23.9	専用フラッシュ・メモリ・プログラマ通信 (UART)	729
23.10	フラッシュ・メモリ・プログラミング・モード引き込みタイミング	729
第 24 章	電気的特性 (T_A=-40°C~+105°C, T_A=-40°C~+125°C)	730
24.1	絶対最大定格	731
24.2	発振回路特性	732
24.2.1	X1 発振回路特性	732
24.2.2	オンチップ・オシレータ特性	732
24.3	DC 特性.....	733
24.3.1	端子特性.....	733
24.3.2	電源電流特性.....	735
24.4	AC 特性.....	737
24.5	シリアル・インタフェース特性	739
24.5.1	シリアル・アレイ・ユニット	739
24.5.2	シリアル・インタフェース IICA.....	744
24.6	アナログ特性	745
24.6.1	A/D コンバータ特性.....	745
24.6.2	コンパレータ特性	746
24.6.3	内部基準電圧特性	746
24.6.4	SPOR 回路特性.....	747
24.6.5	電源電圧立ち上がり傾き特性	747
24.7	RAM データ保持特性.....	748
24.8	フラッシュ・メモリ・プログラミング特性.....	749
24.9	専用フラッシュ・メモリ・プログラマ通信 (UART)	750
24.10	フラッシュ・メモリ・プログラミング・モード引き込みタイミング	750
第 25 章	外形図	751
25.1	8 ピン製品.....	751
25.2	10 ピン製品.....	752
25.3	16 ピン製品.....	753
25.4	20 ピン製品.....	755
付録 A	改版履歴	756
A.1	本版で修正した箇所	756
A.2	前版までの改版履歴	757

第1章 概説

1.1 特長

低消費電力テクノロジー

- $V_{DD}=2.4\sim 5.5V$ の単一電源
- HALT モード
- STOP モード

RL78 CPU コア

- 3 段パイプラインの CISC アーキテクチャ
- 最小命令実行時間：高速（ $0.0625\mu s$ ：高速オンチップ・オシレータ・クロック 16MHz 動作時）から低速（ $1.0\mu s$ ：1MHz 動作時）までを変更可能
- アドレス空間：1M バイト
- 汎用レジスタ：8 ビット・レジスタ $\times 8 \times 4$ バンク
- 内蔵 RAM：1KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：4KB~8KB
- ブロック・サイズ：1KB
- 消去後書き込みのみ可能
- オンチップ・デバッグ機能内蔵
- セルフプログラミング機能あり（但し、ブート・スワップ機能とフラッシュ・シールド・ウィンドウ機能なし）

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：1KB
- ブロック・サイズ：512B
- 書き換えサイズ：32 ビット
- バックグラウンド・オペレーション（BGO）は非対応（データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は不可能）
- 書き換え回数：1,000,000 回（TYP.）
- 書き換え電圧： $V_{DD}=2.4V\sim 5.5V$

★ 高速オンチップ・オシレータ

- 16MHz/8MHz/4MHz/2MHz/1MHz から選択
- 周波数精度±1.0% ($V_{DD}=2.4\sim 5.5V$ 、 $T_A=-20\sim +85^{\circ}C$) (G : 産業用途、M : 産業用途)
- 周波数精度±1.5% ($V_{DD}=2.4\sim 5.5V$ 、 $T_A=-40\sim -20^{\circ}C$) (G : 産業用途、M : 産業用途)
- 周波数精度±1.5% ($V_{DD}=2.4\sim 5.5V$ 、 $T_A=+85\sim +105^{\circ}C$) (G : 産業用途)
- 周波数精度±1.5% ($V_{DD}=2.4\sim 5.5V$ 、 $T_A=+85\sim +125^{\circ}C$) (M : 産業用途)
- 周波数精度±2.0% ($V_{DD}=2.4\sim 5.5V$ 、 $T_A=-40\sim +85^{\circ}C$) (A : 民生用途)

動作周囲温度

- $T_A=-40\sim +85^{\circ}C$ (A : 民生用途)
- $T_A=-40\sim +105^{\circ}C$ (G : 産業用途)
- $T_A=-40\sim +125^{\circ}C$ (M : 産業用途)

電源管理とリセット機能

- セレクタブル・パワーオン・リセット (SPOR) 回路内蔵 (リセットを 3 段階で選択、停止設定有り)

シリアル・インタフェース

- 簡易 SPI (CSI^{注1}) : 1~2 チャンネル
- UART : 1 チャンネル
- 簡易 I²C : 1~2 チャンネル
- I²C : 1 チャンネル

注1. 一般的には SPI と呼ばれる機能ですが、本製品では CSI とも呼称しているため、本マニュアルでは併記します。

タイマ

- 16 ビット・タイマ : 8 チャンネル
- 12 ビット・インターバル・タイマ : 1 チャンネル
- ウォッチドッグ・タイマ : 1 チャンネル (専用の低速オンチップ・オシレータ・クロックで動作可能)

A/D コンバータ

- 8/10 ビット分解能 A/D コンバータ ($V_{DD}=2.4\sim 5.5V$)
- アナログ入力 : 3~11 チャンネル
- 内部基準電圧 (0.815V(TYP.))

コンパレータ

- 1~2 チャンネル
- 動作モード : コンパレータ高速モード、コンパレータ低速モード
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

入出力ポート

- I/O ポート : 6~18 本 (N-ch オープン・ドレイン出力[V_{DD} 耐圧] : 2~9 本)
- N-ch オープン・ドレイン、内蔵プルアップの切り替え可能
- 外部割込み機能 : 8 チャンネル
- クロック出力/ブザー出力制御回路内蔵

その他

- 10 進補正 (BCD) 回路内蔵

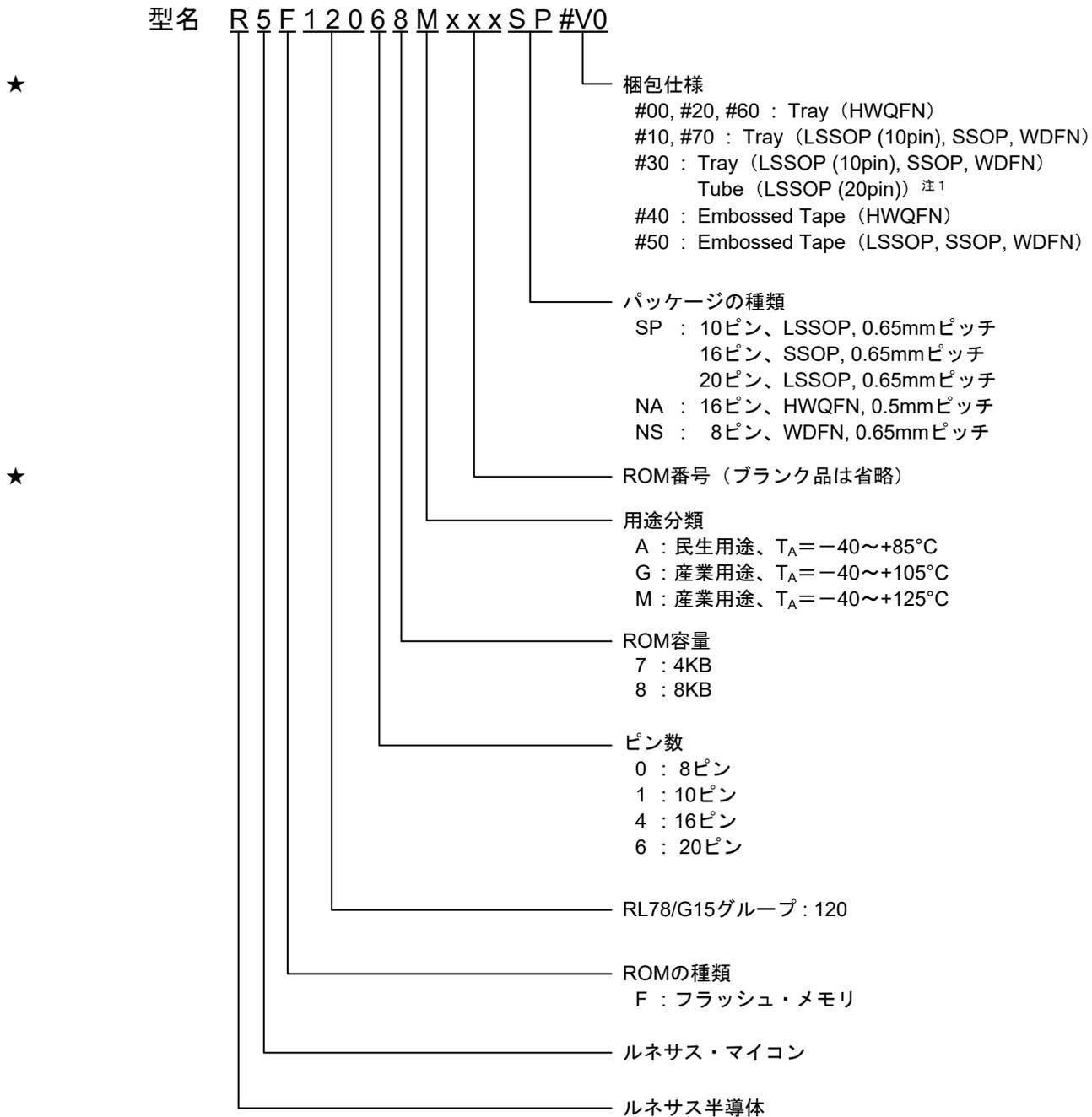
備考 製品によって、搭載している機能が異なります。「1.6 機能概要」を参照してください。

ROM, RAM 容量

フラッシュ ROM	データ・フラッシュ	RAM	RL78/G15			
			8 ピン	10 ピン	16 ピン	20 ピン
8KB	1KB	1KB	R5F12008	R5F12018	R5F12048	R5F12068
4KB	1KB	1KB	R5F12007	R5F12017	R5F12047	R5F12067

1.2 型名一覧

図 1-1 RL78/G15 の型名とメモリ・サイズ、パッケージ



注1. 20ピンLSSOP製品のみ、梱包仕様はTubeとなります。

★

表 1-1 発注型名一覧

ピン数	パッケージ	用途・区分 ^{注1}	発注型名		ルネサス・コード
			品名	梱包仕様	
8 ピン	8 ピン・プラスチック WDFN (3×3mm, 0.65mm ピッチ)	A	R5F12008ANS, R5F12007ANS	#10, #30, #50, #70	PWSN0008JG-A
		G	R5F12008GNS, R5F12007GNS		
		M	R5F12008MNS, R5F12007MNS		
10 ピン	10 ピン・プラスチック LSSOP (4.4×3.6mm, 0.65mm ピッチ)	A	R5F12018ASP, R5F12017ASP	#10, #30, #50, #70	PLSP0010JA-A
		G	R5F12018GSP, R5F12017GSP		
		M	R5F12018MSP, R5F12017MSP		
16 ピン	16 ピン・プラスチック SSOP (4.4×5.0mm, 0.65mm ピッチ)	A	R5F12048ASP, R5F12047ASP	#10, #30, #50, #70	PRSP0016JC-B
		G	R5F12048GSP, R5F12047GSP		
		M	R5F12048MSP, R5F12047MSP		
16 ピン	16 ピン・プラスチック HWQFN (3×3mm, 0.5mm ピッチ)	A	R5F12048ANA, R5F12047ANA	#00, #20, #40, #60	PWQN0016KD-A
		G	R5F12048GNA, R5F12047GNA		
		M	R5F12048MNA, R5F12047MNA		
20 ピン	20 ピン・プラスチック LSSOP (4.4×6.5mm, 0.65mm ピッチ)	A	R5F12068ASP, R5F12067ASP	#30, #50	PLSP0020JB-A
		G	R5F12068GSP, R5F12067GSP		
		M	R5F12068MSP, R5F12067MSP		

注1. 用途・区分は、「[図 1-1 RL78/G15 の型名とメモリ・サイズ、パッケージ](#)」を参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は弊社ホームページの対象製品のページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 8 ピン製品

- 8 ピン・プラスチック WDFN (3×3mm, 0.65mm ピッチ)

P40/TOOL0/PCLBUZ0/VCOUT0/INTP2/(TI01/TO01)	1	RL78/G15 (Top View)	8	P137/INTP0/TI00
P125/RESET/INTP1/(VCOUT0)	2		7	P04/ANI3/IVREF0/INTP3/TI01/TO01/SCK00/SCL00
V _{SS}	3		6	P03/TOOLTxD/ANI2/IVCMP0/INTP4/TO00/SO00/TxD0/SCLA0/(TI00)
V _{DD}	4		5	P01/TOOLRxD/ANI0/INTP5/TI02/TO02/SI00/RxD0/SDA00/SDAA0

表 1-2 8 ピン製品の兼用機能

ピン 番号	I/O	電源、システム、 クロック、デバッグ	アナログ		HMI	タイマ	通信インターフェース	
			A/D コンバータ	コンパレータ	割り込み機能	タイマ・アレイ・ ユニット	シリアル・アレイ・ ユニット	シリアル・ インタフェース IICA
1	P40	TOOL0 PCLBUZ0	—	VCOUT0	INTP2	(TI01/TO01)	—	—
2	P125	RESET	—	(VCOUT0)	INTP1	—	—	—
3	—	V _{SS}	—	—	—	—	—	—
4	—	V _{DD}	—	—	—	—	—	—
5	P01	TOOLRxD	ANI0	—	INTP5	TI02/TO02	SI00/RxD0/ SDA00	SDAA0
6	P03	TOOLTxD	ANI2	IVCMP0	INTP4	(TI00) TO00	SO00/TxD0	SCLA0
7	P04	—	ANI3	IVREF0	INTP3	TI01/TO01	SCK00/SCL00	—
8	P137	—	—	—	INTP0	TI00	—	—

備考1. 端子名称は、「1.4 端子名称」を参照してください。

備考2. () 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。
「図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) のフォーマット」を参照してください。

1.3.2 10 ピン製品

- 10 ピン・プラスチック LSSOP (4.4×3.6mm, 0.65mm ピッチ)

P40/TOOL0/INTP2/(TI01/TO01)/(PCLBUZ0)	1	RL78/G15 (Top View)	10	P04/ANI3/IVREF0/INTP3/TI01/TO01
P125/RESET/INTP1/(VCOU0)	2		9	P03/ANI2/INTP4/IVCMP0/TO00/SCLA0/(TI00)
P137/INTP0/TI00	3		8	P02/PCLBUZ0/ANI1/INTP7/VCOU0/SCK00/SCL00/(TI01/TO01)
V _{SS}	4		7	P01/TOOLRxD/ANI0/INTP5/TI02/TO02/SI00/RxD0/SDA00/SDAA0
V _{DD}	5		6	P00/TOOLTxD/INTP6/SO00/TxD0

表 1-3 10 ピン製品の兼用機能

ピン番号	I/O	デジタル・ポート 電源、システム、クロック、デバッグ	アナログ		HMI	タイマ	通信インターフェース	
			A/Dコンバータ	コンパレータ	割り込み機能	タイマ・アレイ・ユニット	シリアル・アレイ・ユニット	シリアル・インターフェース IICA
1	P40	TOOL0 (PCLBUZ0)	—	—	INTP2	(TI01/TO01)	—	—
2	P125	RESET	—	(VCOU0)	INTP1	—	—	—
3	P137	—	—	—	INTP0	TI00	—	—
4	—	V _{SS}	—	—	—	—	—	—
5	—	V _{DD}	—	—	—	—	—	—
6	P00	TOOLTxD	—	—	INTP6	—	SO00/TxD0	—
7	P01	TOOLRxD	ANI0	—	INTP5	TI02/TO02	SI00/RxD0/SDA00	SDAA0
8	P02	PCLBUZ0	ANI1	VCOU0	INTP7	(TI01/TO01)	SCK00/SCL00	—
9	P03	—	ANI2	IVCMP0	INTP4	(TI00) TO00	—	SCLA0
10	P04	—	ANI3	IVREF0	INTP3	TI01/TO01	—	—

備考1. 端子名称は、「1.4 端子名称」を参照してください。

備考2. () 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。
「図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) のフォーマット」を参照してください。

1.3.3 16 ピン製品

- 16 ピン・プラスチック SSOP (4.4 × 5.0mm, 0.65mm ピッチ)

P41/TI03/TO03/(INTP4)/(TI02/TO02)	1	RL78/G15 (Top View)	16	P07/ANI6/SCK01/SCL01/SDAA0/(INTP5)/(TO03)
P40/TOOL0/INTP2/(PCLBUZ0)/(TI01/TO01)	2		15	P06/ANI5/SI01/SDA01/SCLA0/(PCLBUZ0)/(INTP7)/(SCK00/SCL00)
P125/RESET/INTP1/(VCOU0)	3		14	P05/ANI4/TI02/TO02/SO01/(INTP6)/(SCK00/SCL00)/(SI00/RxD0/SDA00)
P137/INTP0/TI00	4		13	P04/ANI3/IVREF0/INTP3/TI01/TO01/(SI00/RxD0/SDA00)/(SO00/TxD0)
P122/X2/EXCLK/TI05/TO05/(INTP2)	5		12	P03/ANI2/IVCMP0/INTP4/TO00/(TI00)/(SO00/TxD0)
P121/X1/TI07/TO07/(INTP3)	6		11	P02/PCLBUZ0/ANI1/VCOU0/INTP7/SCK00/SCL00/(TI01/TO01)/(SO01)
V _{SS}	7		10	P01/TOOLRxD/ANI0/INTP5/SI00/RxD0/SDA00/(TI02/TO02)/(SI01)/(SDA01)/(SDAA0)
V _{DD}	8		9	P00/TOOLTxD/INTP6/SO00/TxD0/(SCK01/SCL01)/(SCLA0)

- 16 ピン・プラスチック HWQFN (3×3mm, 0.5mm ピッチ)

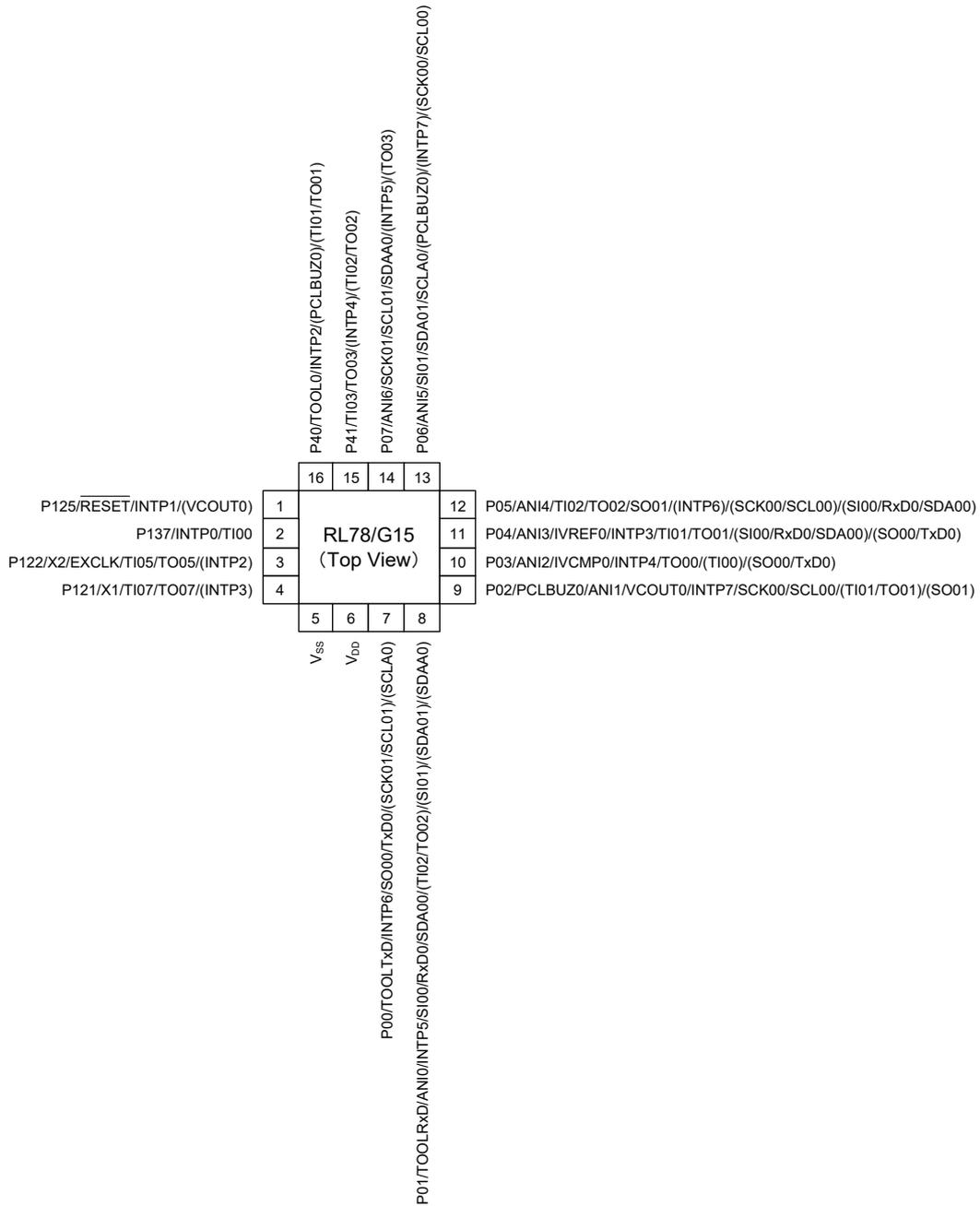


表 1-4 16ピン製品の兼用機能

ピン番号		I/O	電源、システム、 クロック、デバッグ	アナログ		HMI	タイマ	通信インターフェース	
16SSOP	16HWQFN	デジタル・ポート		A/Dコンバータ	コンパレータ	割り込み機能	タイマ・アレイ・ ユニット	シリアル・アレイ・ ユニット	シリアル・ インタフェース IICA
1	15	P41	—	—	—	(INTP4)	TI03/TO03 (TI02/TO02)	—	—
2	16	P40	TOOL0 (PCLBUZ0)	—	—	INTP2	(TI01/TO01)	—	—
3	1	P125	RESET	—	(VCOUT0)	INTP1	—	—	—
4	2	P137	—	—	—	INTP0	TI00	—	—
5	3	P122	X2 EXCLK	—	—	(INTP2)	TI05/TO05	—	—
6	4	P121	X1	—	—	(INTP3)	TI07/TO07	—	—
7	5	—	V _{SS}	—	—	—	—	—	—
8	6	—	V _{DD}	—	—	—	—	—	—
9	7	P00	TOOLTxD	—	—	INTP6	—	SO00/TxD0 (SCK01/SCL01)	(SCLA0)
10	8	P01	TOOLRxD	ANI0	—	INTP5	(TI02/TO02)	SI00/RxD0/ SDA00 (SI01)/(SDA01)	(SDAA0)
11	9	P02	PCLBUZ0	ANI1	VCOUT0	INTP7	(TI01/TO01)	SCK00/SCL00 (SO01)	—
12	10	P03	—	ANI2	IVCMP0	INTP4	(TI00) TO00	(SO00/TxD0)	—
13	11	P04	—	ANI3	IVREF0	INTP3	TI01/TO01	(SI00/RxD0/ SDA00) (SO00/TxD0)	—
14	12	P05	—	ANI4	—	(INTP6)	TI02/TO02	SO01 (SCK00/SCL00) (SI00/RxD0/ SDA00)	—
15	13	P06	(PCLBUZ0)	ANI5	—	(INTP7)	—	SI01/SDA01 (SCK00/SCL00)	SCLA0
16	14	P07	—	ANI6	—	(INTP5)	(TO03)	SCK01/SCL01	SDAA0

備考1. 端子名称は、「1.4 端子名称」を参照してください。

備考2. () 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。
「図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) のフォーマット」を参照してください。

★ 備考3. QFN パッケージ製品は、exposed die pad を電氣的にオープンとし、プリント基板に半田実装してください。

1.3.4 20 ピン製品

- 20 ピン・プラスチック LSSOP (4.4×6.5mm, 0.65mm ピッチ)

P21/ANI9/IVCMP1/(INTP7)/(TO00)	1	RL78/G15 (Top View)	20	P22/ANI8/TI06/TO06/(INTP5)/(SDA01)
P20/ANI10/IVREF1/(INTP1)/(TI00)/(TI03/TO03)/(SCK01/SCL01)	2		19	P23/ANI7/TI04/TO04/(INTP6)/(SCL01)
P41/VCOOUT1/TI03/TO03/(INTP4)/(TI02/TO02)/(SO01)/(SDA01)	3		18	P07/ANI6/SCK01/SCL01/SDAA0/(INTP5)/(TO03)
P40/TOOL0/INTP2/(PCLBUZ0)/(TI01/TO01)	4		17	P06/ANI5/SI01/SDA01/SCLA0/(PCLBUZ0)/(INTP7)/(SCK00/SCL00)
P125/RESET/INTP1/(VCOOUT0)/(VCOOUT1)/(SI01)	5		16	P05/ANI4/TI02/TO02/SO01/(INTP6)/(SCK00/SCL00)/(SI00/RxD0/SDA00)
P137/INTP0/TI00	6		15	P04/ANI3/IVREF0/INTP3/TI01/TO01/(SI00/RxD0/SDA00)/(SO00/TxD0)
P122/X2/EXCLK/TI05/TO05/(INTP2)	7		14	P03/ANI2/IVCMP0/INTP4/TO00/(TI00)/(SO00/TxD0)
P121/X1/TI07/TO07/(INTP3)	8		13	P02/PCLBUZ0/ANI1/VCOOUT0/INTP7/SCK00/SCL00/(TI01/TO01)/(SO01)
V _{SS}	9		12	P01/TOOLRxD/ANI0/INTP5/SI00/RxD0/SDA00/(TI02/TO02)/(SI01)/(SDA01)/(SDAA0)
V _{DD}	10		11	P00/TOOLTxD/INTP6/SO00/TxD0/(SCK01/SCL01)/(SCLA0)

表 1-5 20 ピン製品の兼用機能 (1/2)

ピン番号	I/O	電源、システム、クロック、デバッグ	アナログ		HMI	タイマ	通信インターフェース	
			A/D コンバータ	コンパレータ	割り込み機能	タイマ・アレイ・ユニット	シリアル・アレイ・ユニット	シリアル・インターフェース IICA
1	P21	—	ANI9	IVCMP1	(INTP7)	(TO00)	—	—
2	P20	—	ANI10	IVREF1	(INTP1)	(TI00) (TI03/TO03)	(SCK01/SCL01)	—
3	P41	—	—	VCOOUT1	(INTP4)	TI03/TO03 (TI02/TO02)	(SO01)/(SDA01)	—
4	P40	TOOL0 (PCLBUZ0)	—	—	INTP2	(TI01/TO01)	—	—
5	P125	RESET	—	(VCOOUT0) (VCOOUT1)	INTP1	—	(SI01)	—
6	P137	—	—	—	INTP0	TI00	—	—
7	P122	X2 EXCLK	—	—	(INTP2)	TI05/TO05	—	—
8	P121	X1	—	—	(INTP3)	TI07/TO07	—	—
9		V _{SS}	—	—	—	—	—	—
10		V _{DD}	—	—	—	—	—	—
11	P00	TOOLTxD	—	—	INTP6	—	SO00/TxD0 (SCK01/SCL01)	(SCLA0)
12	P01	TOOLRxD	ANI0	—	INTP5	(TI02/TO02)	SI00/RxD0/SDA00 (SI01)/(SDA01)	(SDAA0)
13	P02	PCLBUZ0	ANI1	VCOOUT0	INTP7	(TI01/TO01)	SCK00/SCL00 (SO01)	—
14	P03	—	ANI2	IVCMP0	INTP4	(TI00) TO00	(SO00/TxD0)	—
15	P04	—	ANI3	IVREF0	INTP3	TI01/TO01	(SI00/RxD0/ SDA00) (SO00/TxD0)	—
16	P05	—	ANI4	—	(INTP6)	TI02/TO02	SO01 (SCK00/SCL00) (SI00/RxD0/ SDA00)	—

表 1-5 20 ピン製品の兼用機能 (2/2)

ピン 番号	I/O	電源、システム、 クロック、デバッグ	アナログ		HMI	タイマ	通信インタフェース	
			A/D コンバータ	コンパレータ	割り込み機能	タイマ・アレイ・ ユニット	シリアル・アレイ・ ユニット	シリアル・ インタフェース IICA
20LSSOP	デジタル・ポート							
17	P06	(PCLBUZ0)	ANI5	—	(INTP7)	—	SI01/SDA01 (SCK00/SCL00)	SCLA0
18	P07	—	ANI6	—	(INTP5)	(TO03)	SCK01/SCL01	SDAA0
19	P23	—	ANI7	—	(INTP6)	TI04/TO04	(SCL01)	—
20	P22	—	ANI8	—	(INTP5)	TI06/TO06	(SDA01)	—

備考1. 端子名称は、「1.4 端子名称」を参照してください。

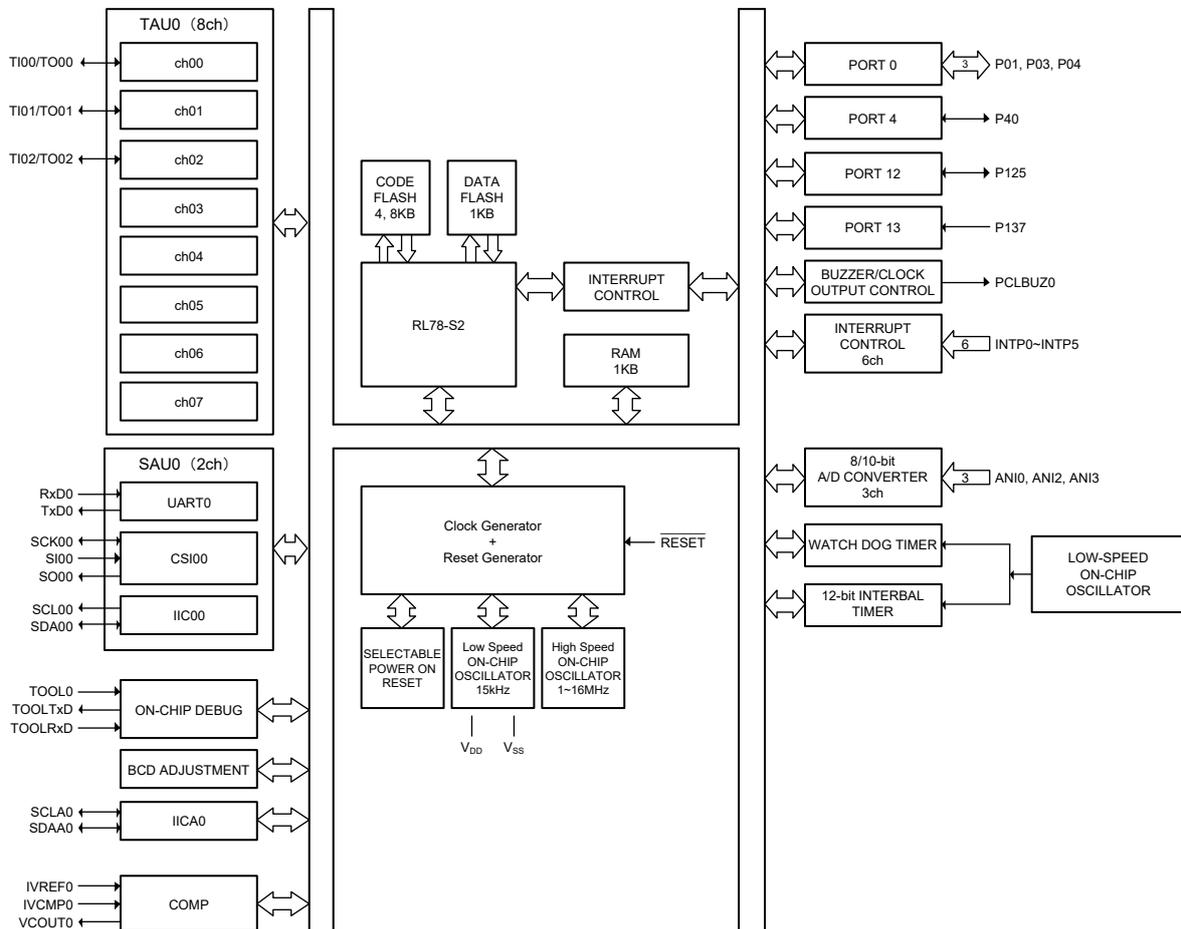
備考2. () 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。
「[図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 \(PIOR0-3\) のフォーマット](#)」を参照してください。

1.4 端子名称

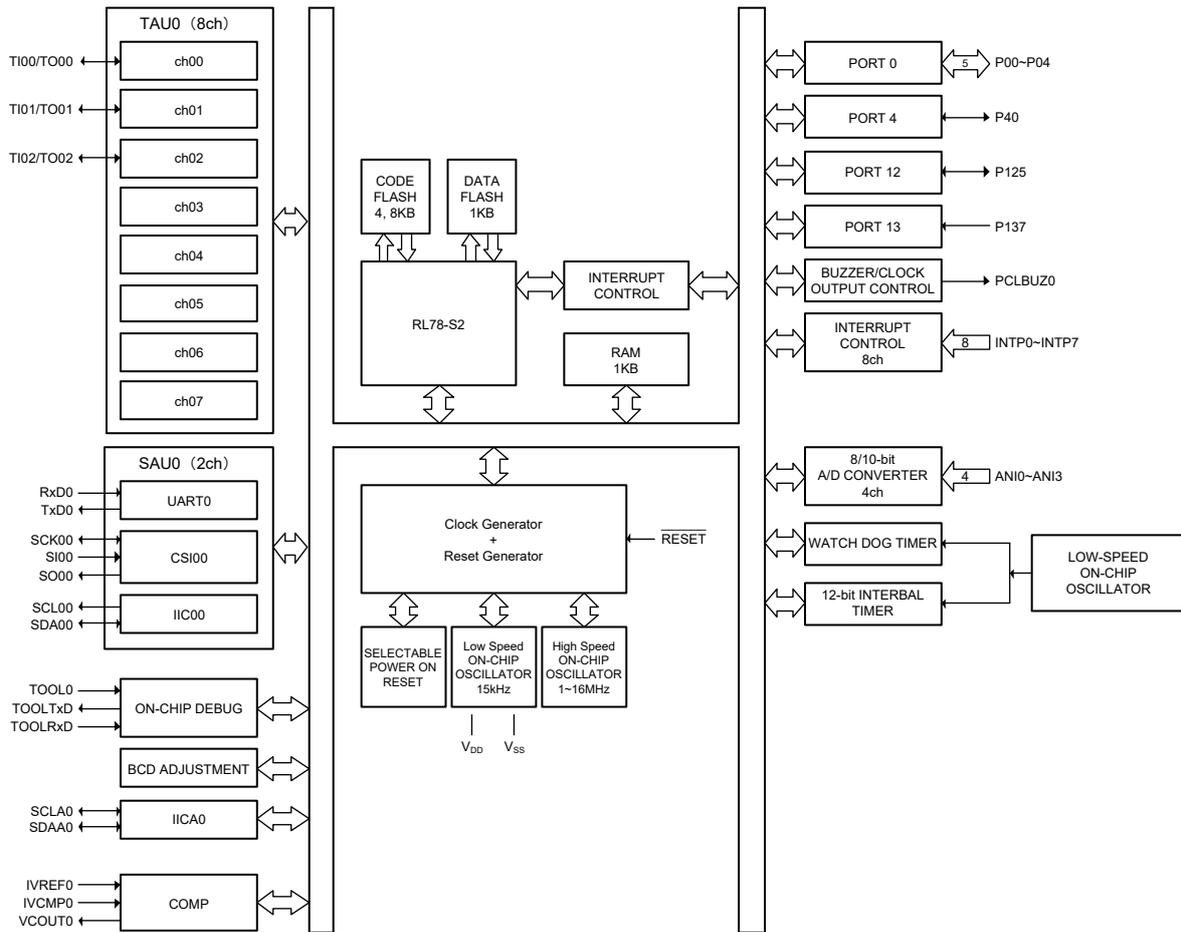
ANI0-ANI10	: Analog Input
INTP0-INTP7	: Interrupt Request From Peripherals
P00-P07	: Port 0
P20-P23	: Port 2
P40, P41	: Port 4
P121, P122, P125	: Port 12
P137	: Port 13
PCLBUZ0	: Programmable Clock Output/Buzzer Output
EXCLK	: External Clock Input
X1, X2	: Crystal Oscillator (Main System Clock)
IVCMP0, IVCMP1	: Comparator Input
VCOUT0, VCOUT1	: Comparator Output
IVREF0, IVREF1	: Comparator Reference Input
$\overline{\text{RESET}}$: Reset
RxD0	: Receive Data
SCK00, SCK01	: Serial Clock Input/Output
SCL00, SCL01, SCLA0	: Serial Clock Output
SDA00, SDA01, SDAA0	: Serial Data Input/Output
SI00, SI01	: Serial Data Input
SO00, SO01	: Serial Data Output
TI00-TI07	: Timer Input
TO00-TO07	: Timer Output
TOOL0	: Data Input/Output for Tool
TOOLRxD, TOOLTxD	: Data Input/Output for External Device
TxD0	: Transmit Data
V _{DD}	: Power Supply
V _{SS}	: Ground

1.5 ブロック図

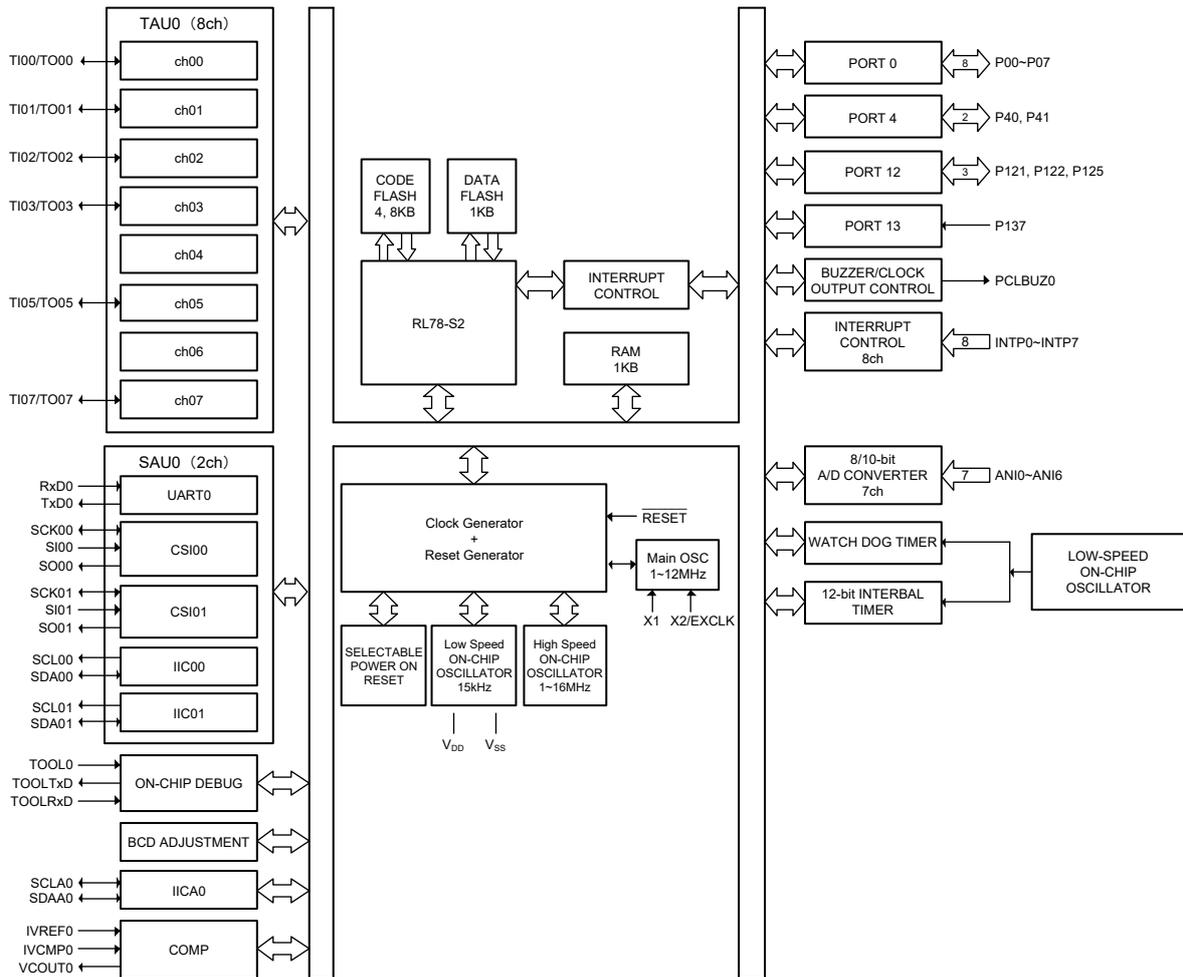
1.5.1 8ピン製品



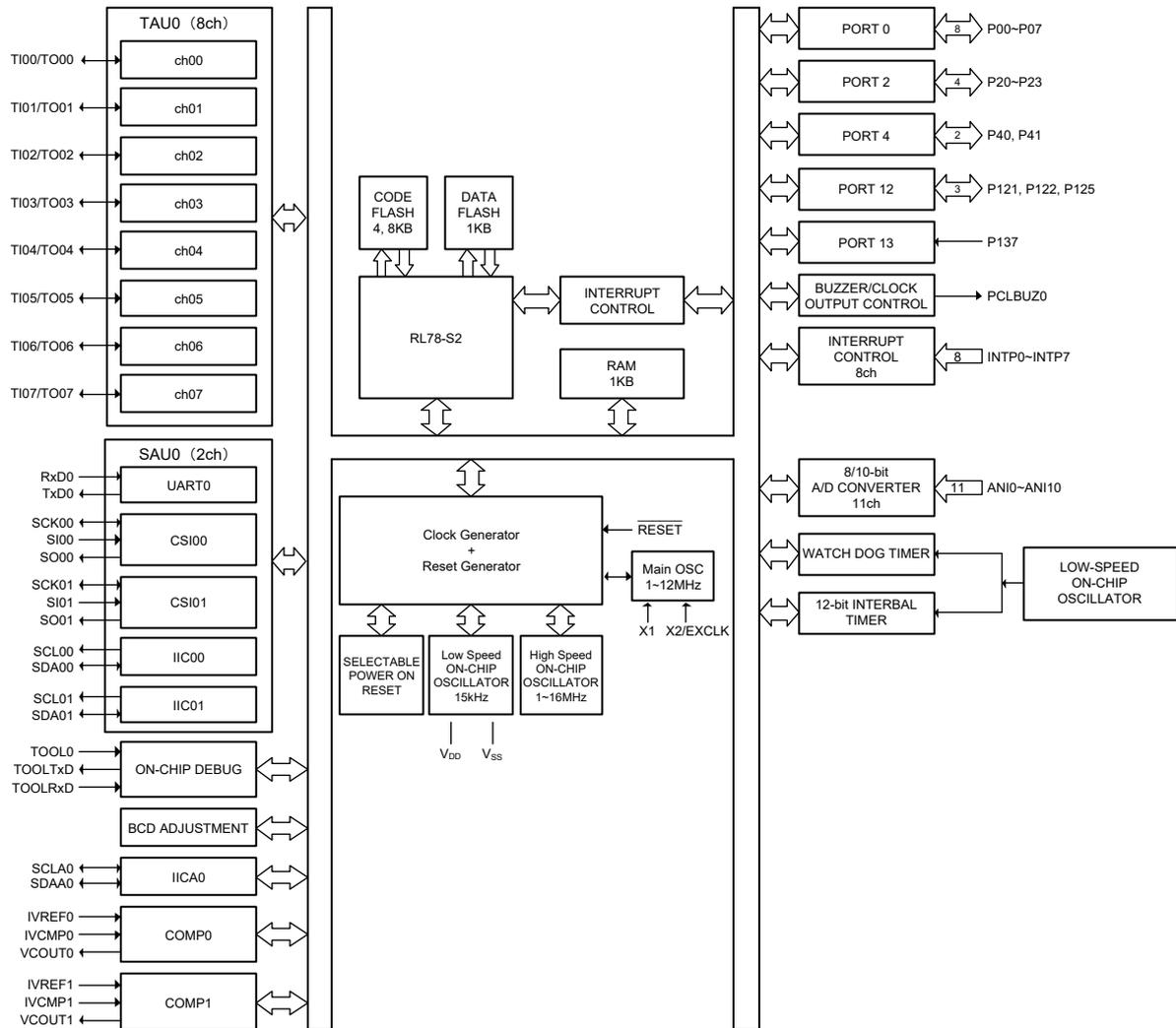
1.5.2 10 ピン製品



1.5.3 16 ピン製品



1.5.4 20 ピン製品



1.6 機能概要

周辺 I/O リダイレクション・レジスタ (PIOR) を 00H に設定したときの機能概要を示します。

(1/2)

項目		8 ピン		10 ピン		16 ピン		20 ピン	
		R5F12007	R5F12008	R5F12017	R5F12018	R5F12047	R5F12048	R5F12067	R5F12068
コード・フラッシュ・メモリ		4KB	8KB	4KB	8KB	4KB	8KB	4KB	8KB
データ・フラッシュ・メモリ		1KB							
RAM		1KB							
メイン・システム・クロック	高速システム・クロック	—		—		X1, X2 (水晶/セラミック) 発振: 1~12MHz: V _{DD} =2.4~5.5V 外部メイン・システム・クロック入力 (EXCLK): 1~16MHz: V _{DD} =2.4~5.5V			
	高速オンチップ・オシレータ・クロック	1~16MHz (V _{DD} =2.4~5.5V)							
低速オンチップ・オシレータ・クロック		15kHz (TYP.)							
汎用レジスタ		8 ビット・レジスタ×8×4 バンク							
最小命令実行時間		0.0625μs (16MHz 動作時)							
命令セット		<ul style="list-style-type: none"> データ転送 (8/16 ビット) 加減/論理演算 (8/16 ビット) 乗算 (8 ビット×8 ビット) ローテート、バレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など 							
I/O ポート	合計	6		8		14		18	
	CMOS 入出力	5		7		13		17	
	CMOS 入力	1							
タイマ	16 ビット・タイマ	8 チャンネル							
	ウォッチドッグ・タイマ	1 チャンネル							
	12 ビット・インターバル・タイマ	1 チャンネル							
	タイマ出力	3 本 (PWM 出力: 2 本) 注1	3 本 (PWM 出力: 2 本) 注1	6 本 (PWM 出力: 4 本) 注1	8 本 (PWM 出力: 7 本) 注1				
クロック出力/ブザー出力		1 本							
		Up to 10MHz (周辺ハードウェア・クロック: f _{MAIN} =10MHz 動作時)							
コンパレータ		1 チャンネル		1 チャンネル		1 チャンネル		2 チャンネル	
8/10 ビット分解能 A/D コンバータ		3 チャンネル		4 チャンネル		7 チャンネル		11 チャンネル	
シリアル・インタフェース		簡易 SPI (CSI) : 1 チャンネル/簡易 I ² C : 1 チャンネル/ UART : 1 チャンネル				簡易 SPI (CSI 注2) : 2 チャンネル/簡易 I ² C : 2 チャンネル/UART : 1 チャンネル			
		I ² C バス		1 チャンネル					
ベクタ割り込み要因数	内部	8		10		16		19	
	外部	6		8		8		8	
リセット		<ul style="list-style-type: none"> RESET 端子によるリセット ウォッチドッグ・タイマによる内部リセット セレクトラブル・パワーオン・リセットによる内部リセット 不正命令の実行による内部リセット 注3 データ保持下限電圧による内部リセット 不正メモリ・アクセスによる内部リセット 							

(2/2)

項目	8 ピン		10 ピン		16 ピン		20 ピン	
	R5F12007	R5F12008	R5F12017	R5F12018	R5F12047	R5F12048	R5F12067	R5F12068
セレクトابل・パワーオン・リセット回路	<ul style="list-style-type: none"> 検出電圧 立ち上がり (V_{SPOR}) : 2.25V/2.68V/3.02V/4.45V (MAX.) 立ち下がり (V_{SPDR}) : 2.20V/2.62V/2.96V/4.37V (MAX.) 							
オンチップ・デバッグ機能	あり							
電源電圧	V _{DD} =2.4~5.5V							
動作周囲温度	T _A =-40~+85°C (A: 民生用途)、T _A =-40~+105°C (G: 産業用途)、T _A =-40~+125°C (M: 産業用途)							

- 注1. マスタの数と使用チャネルの設定によって、出力数は変わります（「6.9.3 多重 PWM 出力機能としての動作」参照）。
- 注2. 一般的には SPI と呼ばれる機能ですが、本製品では CSI とも呼称しているため、本マニュアルでは併記します。
- 注3. FFH の命令コードを実行したときに発生します。不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 8ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P01	7-3-2	入出力	アナログ入力	TOOLRxD/ANI0/INTP5/TI02/ TO02/SI00/RxD0/SDA00/ SDAA0	ポート 0。 3 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03 の出力は N-ch オープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 P01, P03, P04 はアナログ入力に設定可能 注 ¹ 。
P03	7-9-2			TOOLTxD/ANI2/IVCMP0/ INTP4/TO00/SO00/TxD0/ SCLA0/(TI00)	
P04				ANI3/IVREF0/INTP3/TI01/ TO01/SCK00/SCL00	
P40	7-1-1	入出力	入力ポート	TOOL0/PCLBUZ0/VCOUT0/ INTP2/(TI01/TO01)	ポート 4。 1 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P125	3-2-1	入出力	入力ポート	RESET/INTP1/(VCOUT0)	ポート 12。 1 ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125 は外部リセット用の入力端子(RESET)と兼用しています。 外部リセットとして使用する場合は、オプション・バイト (000C1H) の PORTSELB ビットに“1”を設定してください。
P137	2-1-2	入力	入力ポート	INTP0/TI00	ポート 13。 1 ビット入力専用ポート。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ 0 (PMC0) で設定します (1 ビット単位で設定可能)。

備考 () 内の機能は、周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) の設定により、割り当て可能です。詳細は、「[図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 \(PIOR0-3\) のフォーマット](#)」を参照してください。

2.1.2 10ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-2	入出力	入力ポート	TOOLTxD/INTP6/SO00/TxD0	ポート 0。
P01	7-3-2		アナログ入力	TOOLRxD/ANI0/INTP5/TI02/ TO02/SI00/RxD0/SDA00/ SDAA0	5ビット入出力ポート。
P02					PCLBUZ0/ANI1/INTP7/ VCOUT0/SCK00/SCL00/ (TI01/TO01)
P03	7-9-2			ANI2/INTP4/IVCMP0/TO00/ SCLA0/(TI00)	P00, P01, P03 の出力は N-ch オープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。
P04				ANI3/IVREF0/INTP3/TI01/ TO01	P01-P04 はアナログ入力に設定可能 ^{注1} 。
P40	7-1-1	入出力		入力ポート	TOOL0/INTP2/(TI01/TO01)/ (PCLBUZ0)
P125	3-2-1	入出力	入力ポート	RESET/INTP1/(VCOUT0)	ポート 12。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125 は外部リセット用の入力端子(RESET)と兼用しています。 外部リセットとして使用する場合は、オプション・バイト (000C1H) の PORTSELB ビットに“1”を設定してください。
P137	2-1-2	入力	入力ポート	INTP0/TI00	ポート 13。 1ビット入力専用ポート。

注1. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ 0 (PMC0) で設定します (1ビット単位で設定可能)。

備考 () 内の機能は、周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) の設定により、割り当て可能です。詳細は、「[図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 \(PIOR0-3\) のフォーマット](#)」を参照してください。

2.1.3 16ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-2	入出力	アナログ入力	TOOLTxD/INTP6/SO00/ TxD0/(SCK01/SCL01)/ (SCLA0)	ポート 0。 8 ビット入出力ポート。 1 ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01, P03-P07 の出力は N-ch オープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 P01-P07 はアナログ入力に設定可能 ^{注1} 。
P01	7-3-2			TOOLRxD/ANI0/INTP5/SI00/ RxD0/SDA00/(TI02/TO02)/ (SI01)/(SDA01)/(SDAA0)	
P02				PCLBUZ0/ANI1/VCOU0/ INTP7/SCK00/SCL00/ (TI01/TO01)/(SO01)	
P03	7-9-2			ANI2/IVCMP0/INTP4/TO00/ (TI00)/(SO00/TxD0)	
P04				ANI3/IVREF0/INTP3/TI01/ TO01/(SI00/RxD0/SDA00)/ (SO00/TxD0)	
P05	7-3-2			ANI4/TI02/TO02/SO01/ (INTP6)/(SCK00/SCL00)/ (SI00/RxD0/SDA00)	
P06				ANI5/SI01/SDA01/SCLA0/ (PCLBUZ0)/(INTP7)/ (SCK00/SCL00)	
P07				ANI6/SCK01/SCL01/SDAA0/ (INTP5)/(TO03)	
P40	7-1-1	入出力	入力ポート	TOOL0/INTP2/(PCLBUZ0)/ (TI01/TO01)	ポート 4。 2 ビット入出力ポート。 1 ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41				TI03/TO03/(INTP4)/ (TI02/TO02)	
P121	7-2-2	入出力	入力ポート	X1/TI07/TO07/(INTP3)	ポート 12。 3 ビット入出力ポート。 P121, P122, P125 はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125 は外部リセット用の入力端子 (RESET) と兼用しています。 外部リセットとして使用する場合は、オプション・バイト (000C1H) の PORTSELB ビットに “1” を設定してください。
P122				X2/EXCLK/TI05/TO05/ (INTP2)	
P125	3-2-1			RESET/INTP1/(VCOU0)	
P137	2-1-2	入力	入力ポート	INTP0/TI00	ポート 13。 1 ビット入力専用ポート。

注1. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ 0 (PMC0) で設定します (1 ビット単位で設定可能)。

備考 () 内の機能は、周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) の設定により、割り当て可能です。詳細は、「[図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 \(PIOR0-3\) のフォーマット](#)」を参照してください。

2.1.4 20 ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-2	入出力	アナログ入力	TOOLTxD/INTP6/SO00/ TxD0/(SCK01/SCL01)/ (SCLA0)	ポート 0。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01, P03-P07 の出力は N-ch オープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 P01-P07 はアナログ入力に設定可能 ^{注1} 。
P01	7-3-2			TOOLRxD/ANI0/INTP5/SI00/ RxD0/SDA00/(TI02/TO02)/ (SI01)/(SDA01)/(SDAA0)	
P02				PCLBUZ0/ANI1/VCOUT0/ INTP7/SCK00/SCL00/ (TI01/TO01)/(SO01)	
P03	7-9-2			ANI2/IVCMP0/INTP4/TO00/ (TI00)/(SO00/TxD0)	
P04				ANI3/IVREF0/INTP3/TI01/ TO01/(SI00/RxD0/SDA00)/ (SO00/TxD0)	
P05	7-3-2			ANI4/TI02/TO02/SO01/ (INTP6)/(SCK00/SCL00)/ (SI00/RxD0/SDA00)	
P06				ANI5/SI01/SDA01/SCLA0/ (PCLBUZ0)/(INTP7)/ (SCK00/SCL00)	
P07				ANI6/SCK01/SCL01/SDAA0/ (INTP5)/(TO03)	
P20	7-9-1	入出力	アナログ入力	ANI10/IVREF1/(INTP1)/(TI00)/ (TI03/TO03)/(SCK01/SCL01)	ポート 2。 4 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P22 の出力は N-ch オープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 P20-P23 はアナログ入力に設定可能 ^{注1} 。
P21				ANI9/IVCMP1/(INTP7)/ (TO00)	
P22	7-3-2			ANI8/TI06/TO06/(INTP5)/ (SDA01)	
P23	7-3-1			ANI7/TI04/TO04/(INTP6)/ (SCL01)	
P40	7-1-1	入出力	入力ポート	TOOL0/INTP2/(PCLBUZ0)/ (TI01/TO01)	ポート 4。 2 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41 の出力は N-ch オープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。
P41	7-1-2			VCOUT1/TI03/TO03/(INTP4)/ (TI02/TO02)/(SO01)/(SDA01)	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P121	7-2-2	入出力	入力ポート	X1/TI07/TO07/(INTP3)	ポート 12。 3 ビット入出力ポート。 P121, P122, P125 はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125 は外部リセット用の入力端子 (RESET) と兼用しています。 外部リセットとして使用する場合は、オプション・バイト (000C1H) の PORTSELB ビットに "1" を設定してください。
P122				X2/EXCLK/TI05/TO05/(INTP2)	
P125	3-2-1	RESET/INTP1/(VCOUT0)/(VCOUT1)/(SI01)			
P137	2-1-2	入力	入力ポート	INTP0/TI00	ポート 13。 1 ビット入力専用ポート。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) で設定します (1 ビット単位で設定可能)。

備考 () 内の機能は、周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) の設定により、割り当て可能です。詳細は、「[図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 \(PIOR0-3\) のフォーマット](#)」を参照してください。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

機能名称	20ピン 製品	16ピン 製品	10ピン 製品	8ピン 製品
ANI0	○	○	○	○
ANI1	○	○	○	—
ANI2	○	○	○	○
ANI3	○	○	○	○
ANI4	○	○	—	—
ANI5	○	○	—	—
ANI6	○	○	—	—
ANI7	○	—	—	—
ANI8	○	—	—	—
ANI9	○	—	—	—
ANI10	○	—	—	—
IVCMP0	○	○	○	○
IVREF0	○	○	○	○
VCOUT0	○	○	○	○
IVCMP1	○	—	—	—
IVREF1	○	—	—	—
VCOUT1	○	—	—	—
INTP0	○	○	○	○
INTP1	○	○	○	○
INTP2	○	○	○	○
INTP3	○	○	○	○
INTP4	○	○	○	○
INTP5	○	○	○	○
INTP6	○	○	○	—
INTP7	○	○	○	—
PCLBUZ0	○	○	○	○
RESET	○	○	○	○
X1	○	○	—	—
X2	○	○	—	—
EXCLK	○	○	—	—
TOOLTxD	○	○	○	○
TOOLRxD	○	○	○	○
TOOL0	○	○	○	○
V _{DD}	○	○	○	○
V _{SS}	○	○	○	○

機能名称	20ピン 製品	16ピン 製品	10ピン 製品	8ピン 製品
RxD0	○	○	○	○
TxD0	○	○	○	○
SCL00	○	○	○	○
SDA00	○	○	○	○
SCL01	○	○	—	—
SDA01	○	○	—	—
SCK00	○	○	○	○
SI00	○	○	○	○
SO00	○	○	○	○
SCK01	○	○	—	—
SI01	○	○	—	—
SO01	○	○	—	—
SCLA0	○	○	○	○
SDAA0	○	○	○	○
TI00	○	○	○	○
TO00	○	○	○	○
TI01	○	○	○	○
TO01	○	○	○	○
TI02	○	○	○	○
TO02	○	○	○	○
TI03	○	○	—	—
TO03	○	○	—	—
TI04	○	—	—	—
TO04	○	—	—	—
TI05	○	○	—	—
TO05	○	○	—	—
TI06	○	—	—	—
TO06	○	—	—	—
TI07	○	○	—	—
TO07	○	○	—	—

2.2.2 機能説明

機能名称	入出力	機能
ANI0-ANI10	入力	A/D コンバータのアナログ入力（「 図 10-22 アナログ入力端子の処理 」参照）
VCOUT0, VCOUT1	出力	コンパレータ出力
IVCMP0, IVCMP1	入力	コンパレータのアナログ入力
IVREF0, IVREF1	入力	コンパレータの基準電圧入力
INTP0-INTP7	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり、立ち下がり、立ち上がりと立ち下がりの両エッジ
PCLBUZ0	出力	クロック出力／ブザー出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介して V_{DD} に接続してください。
RxD0	入力	シリアル・インタフェース UART0 のシリアル・データ入力
TxD0	出力	シリアル・インタフェース UART0 のシリアル・データ出力
SCK00, SCK01	入出力	シリアル・インタフェース CSI00, CSI01 のシリアル・クロック入力/出力
SI00, SI01	入力	シリアル・インタフェース CSI00, CSI01 のシリアル・データ入力
SO00, SO01	出力	シリアル・インタフェース CSI00, CSI01 のシリアル・データ出力
SCL00, SCL01	出力	シリアル・インタフェース簡易 I ² C (IIC00, IIC01) のシリアル・クロック出力
SDA00, SDA01	入出力	シリアル・インタフェース簡易 I ² C (IIC00, IIC01) のシリアル・データ入出力
SCLA0	入出力	シリアル・インタフェース IICA0 のクロック入出力
SDAA0	入出力	シリアル・インタフェース IICA0 のシリアル・データ入出力
TI00-TI07	入力	16 ビット・タイマ 00-07 への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07	出力	16 ビット・タイマ 00-07 のタイマ出力
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
V_{DD}	—	正電源
V_{SS}	—	グランド電位
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッグ用データ入出力
TOOLRxD	入力	フラッシュ・メモリ・プログラマ時外部デバイス接続用 UART シリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラマ時外部デバイス接続用 UART シリアル・データ送信

注意 リセット解除時の P40/TOOL0 と動作モードとの関係は、次のようになります。

表 2-1 リセット解除時の P40/TOOL0 と動作モードとの関係

P40/TOOL0	動作モード
V_{DD}	通常動作モード
0V	フラッシュ・メモリ・プログラミング・モード

詳細は、「[19.4.2 フラッシュ・メモリ・プログラミング・モード](#)」を参照してください。

備考 ノイズ対策およびラッチアップ対策として、 V_{DD} - V_{SS} ライン間へのバイパスコンデンサ（0.1 μ F 程度）を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

各端子の未使用端子の処理を表2-2に示します。

備考 製品により、搭載している端子が異なります。「1.3 端子接続図 (Top View)」、「2.1 ポート機能」を参照してください。

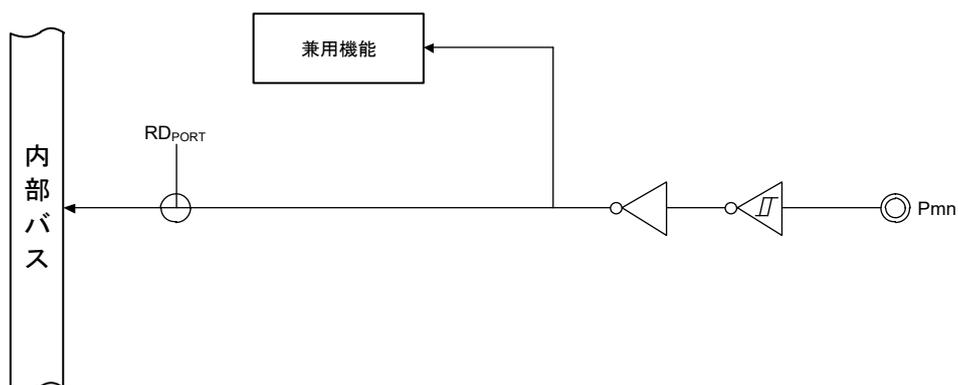
表 2-2 各端子の未使用処理

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P20-P23		入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、 V_{DD} に接続してください。 出力時：オープンにしてください。
P41		入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P121, P122		入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P125/ $\overline{\text{RESET}}$	入出力	PORTSELB=0 : 入力時：個別に抵抗を介して、 V_{DD} に接続してください。 出力時：オープンにしてください。
		PORTSELB=1 : オープンまたは V_{DD} に接続してください。
P137	入力	個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。

2.4 端子ブロック図

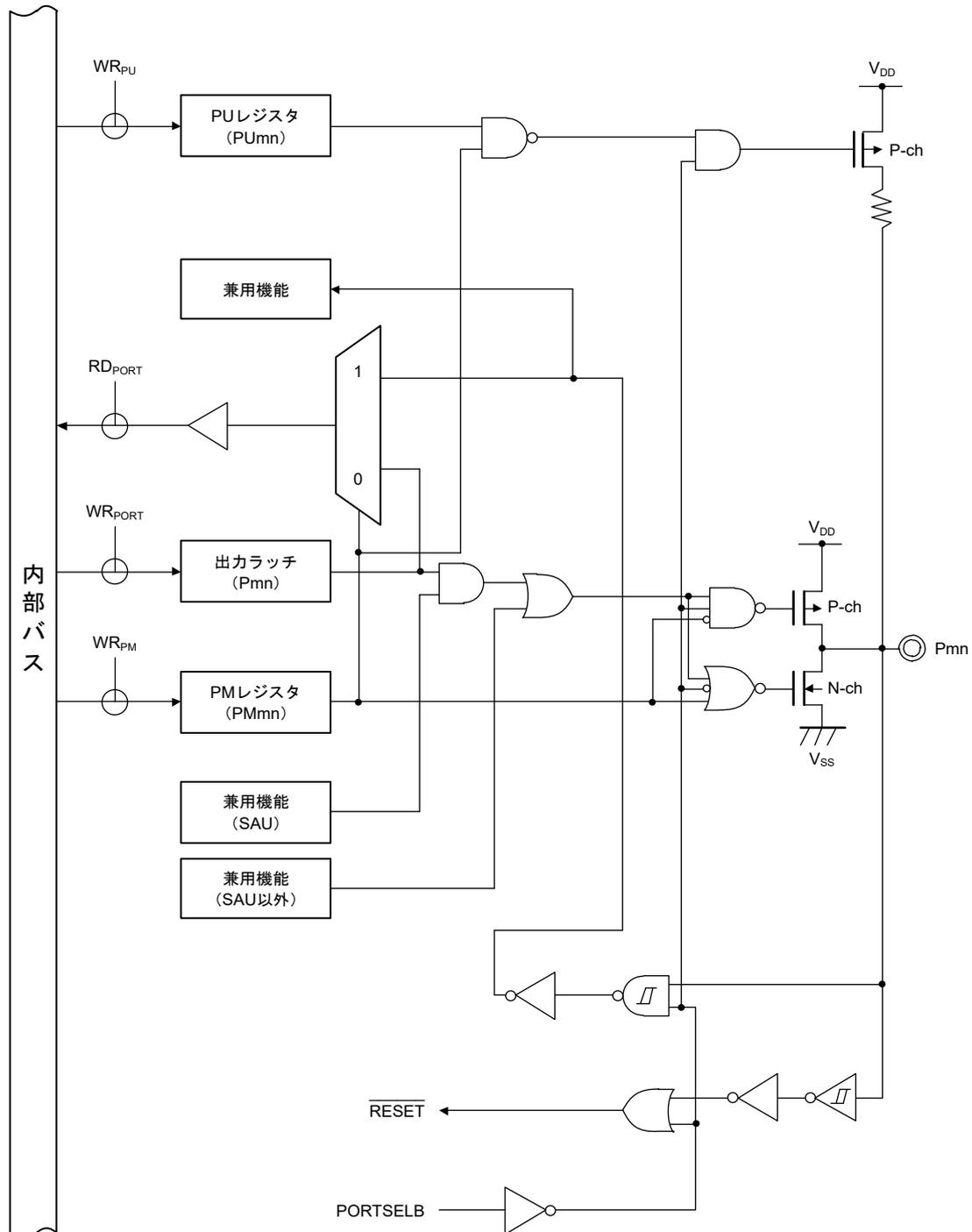
「2.1.1 8ピン製品」～「2.1.4 20ピン製品」に記載した端子タイプについて、端子ブロック図を図2-1～図2-9に示します。

図2-1 端子タイプ2-1-2の端子ブロック図



備考 兼用機能は、「2.1 ポート機能」を参照してください。

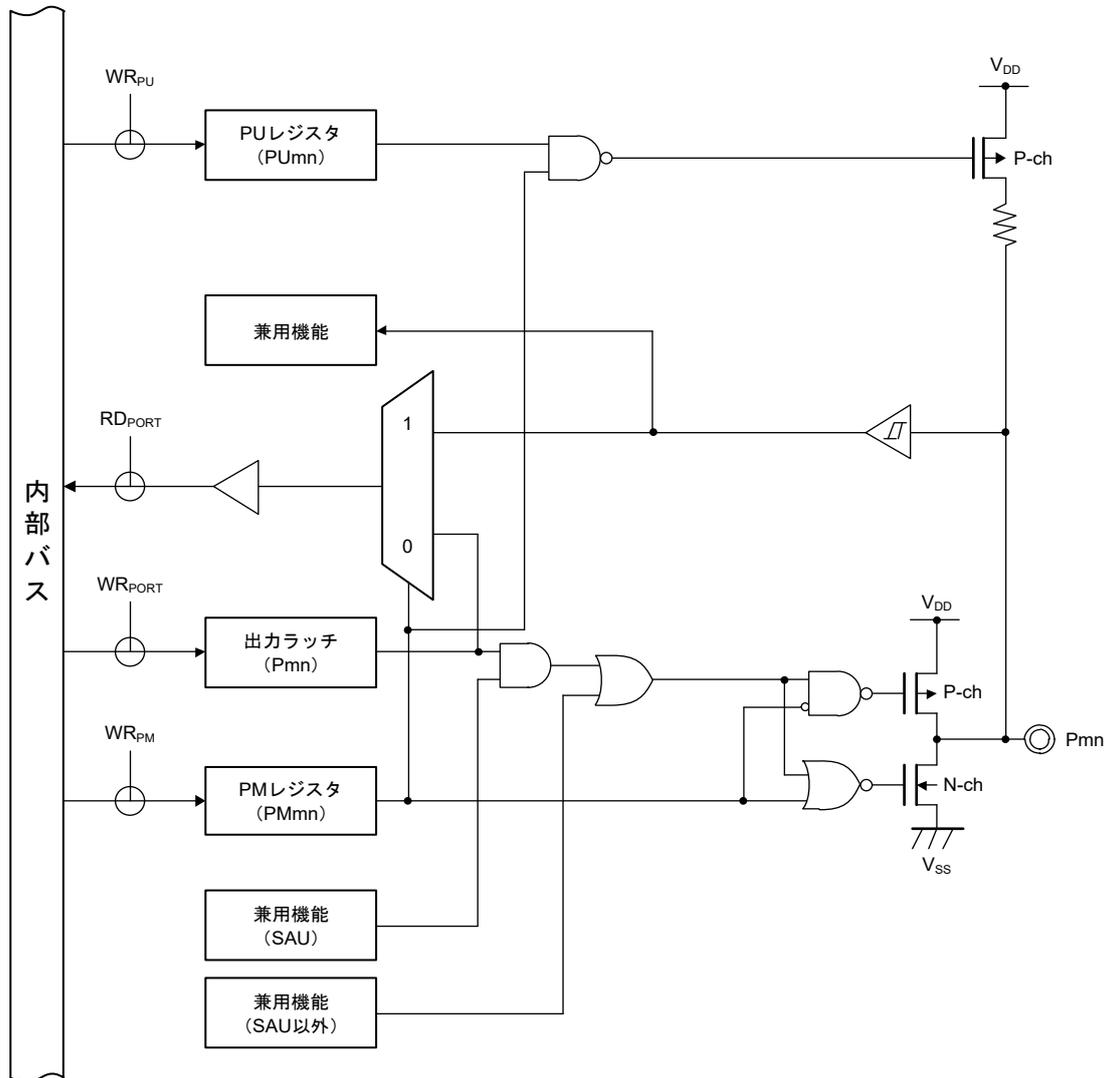
図2-2 端子タイプ3-2-1の端子ブロック図



備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

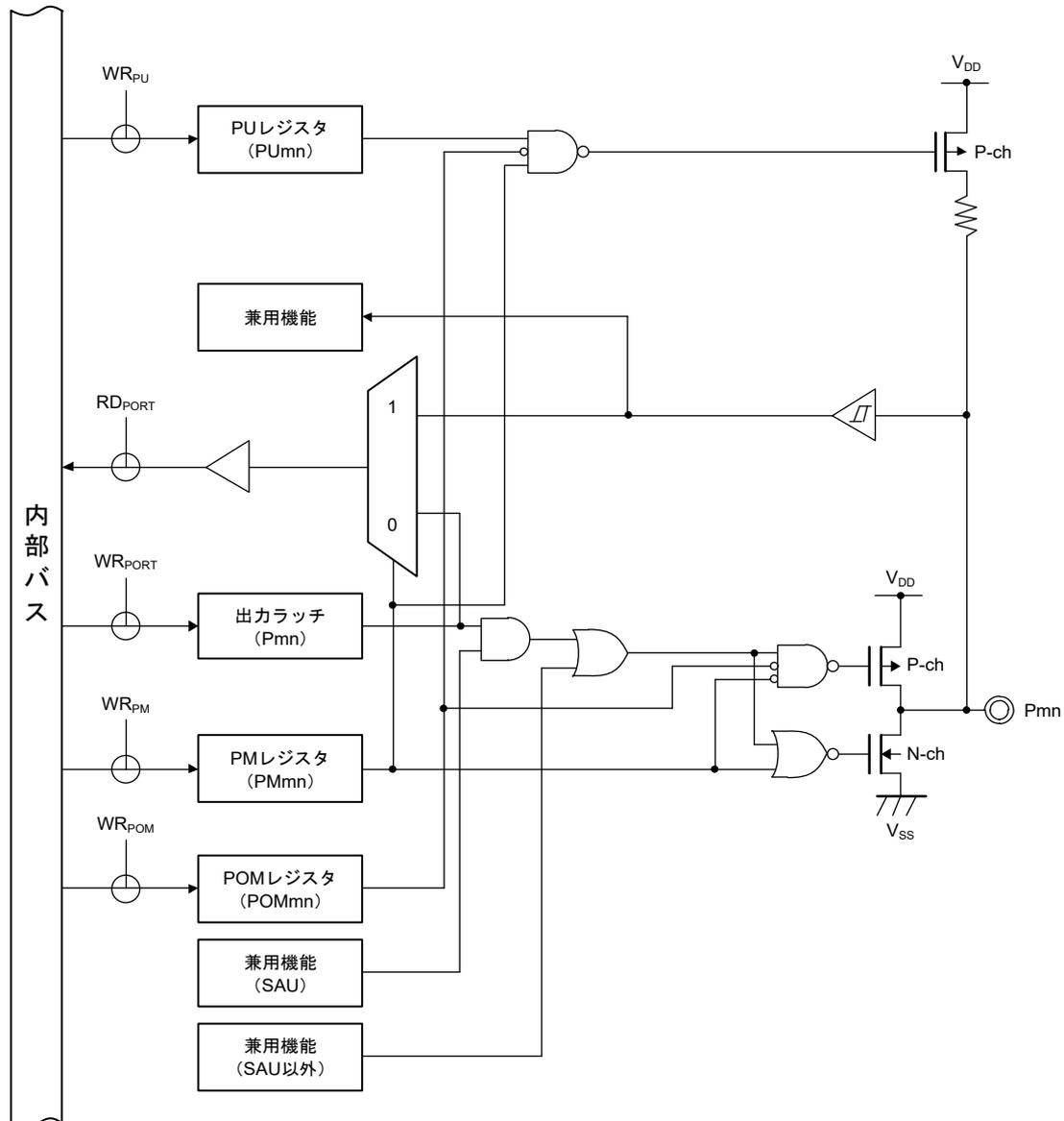
図2-3 端子タイプ7-1-1の端子ブロック図



備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-4 端子タイプ7-1-2の端子ブロック図

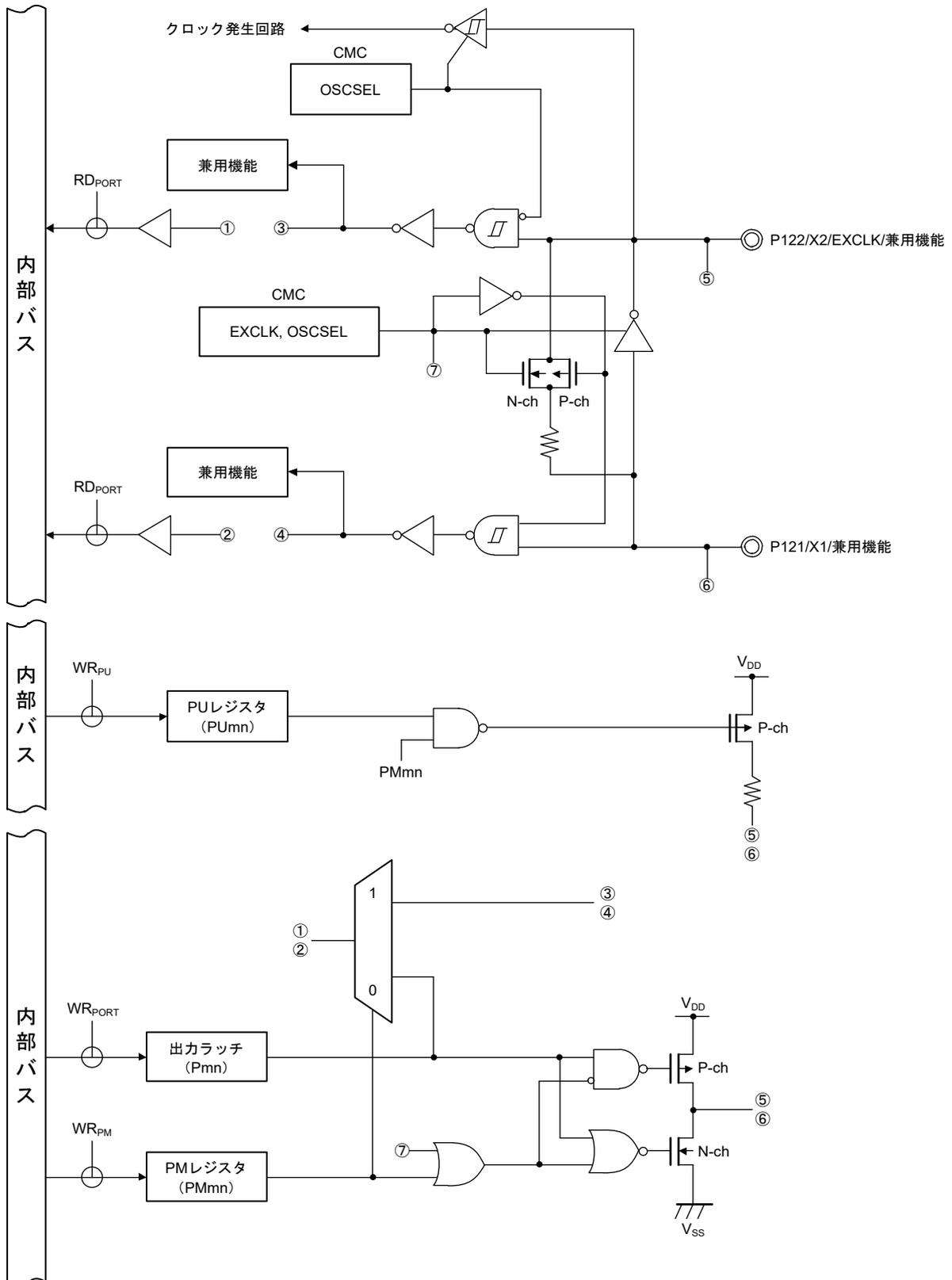


注意 ポート出力モード・レジスタ (POMx) で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入カバッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

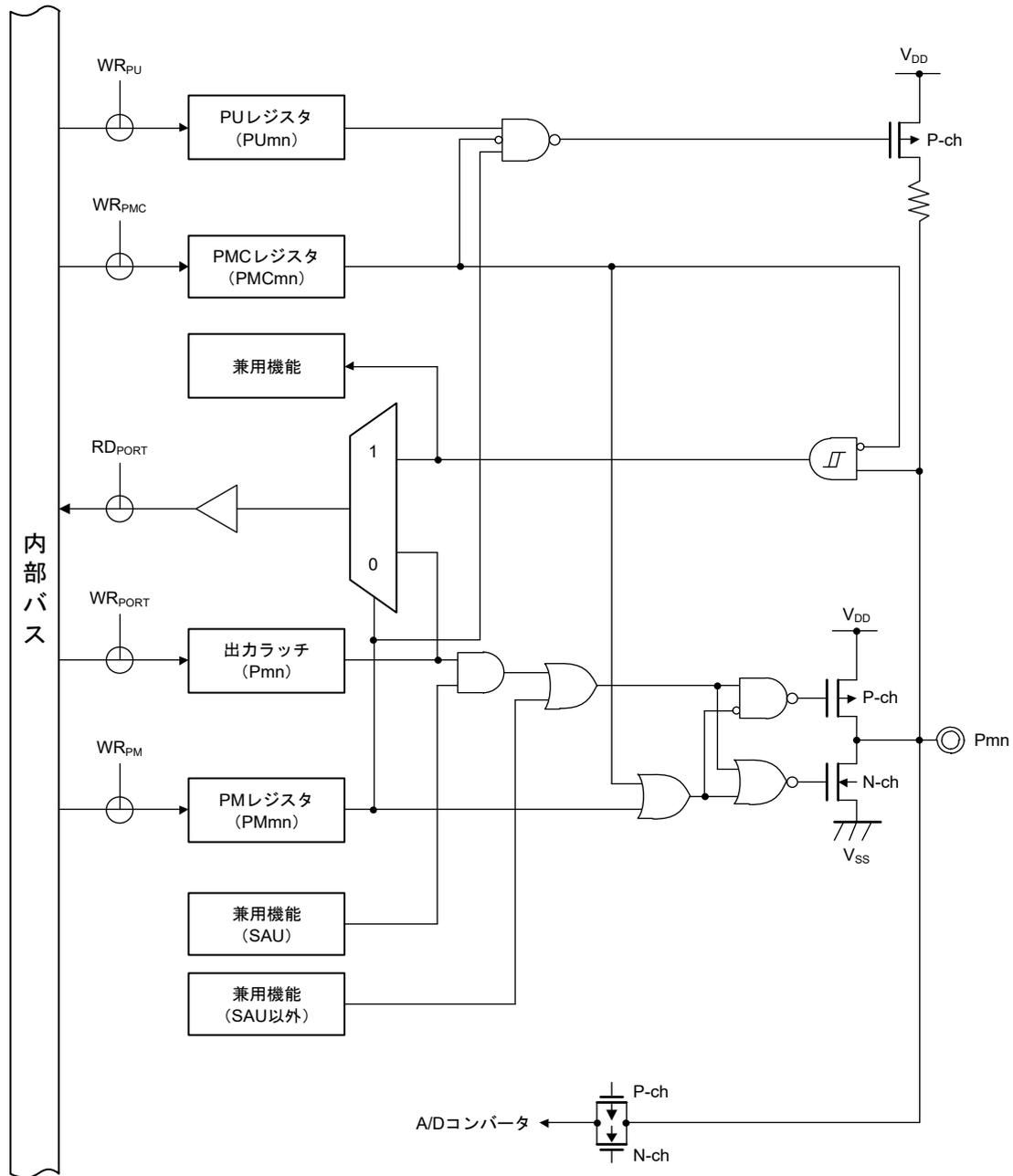
備考2. SAU : シリアル・アレイ・ユニット

図2-5 端子タイプ7-2-2の端子ブロック図



備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

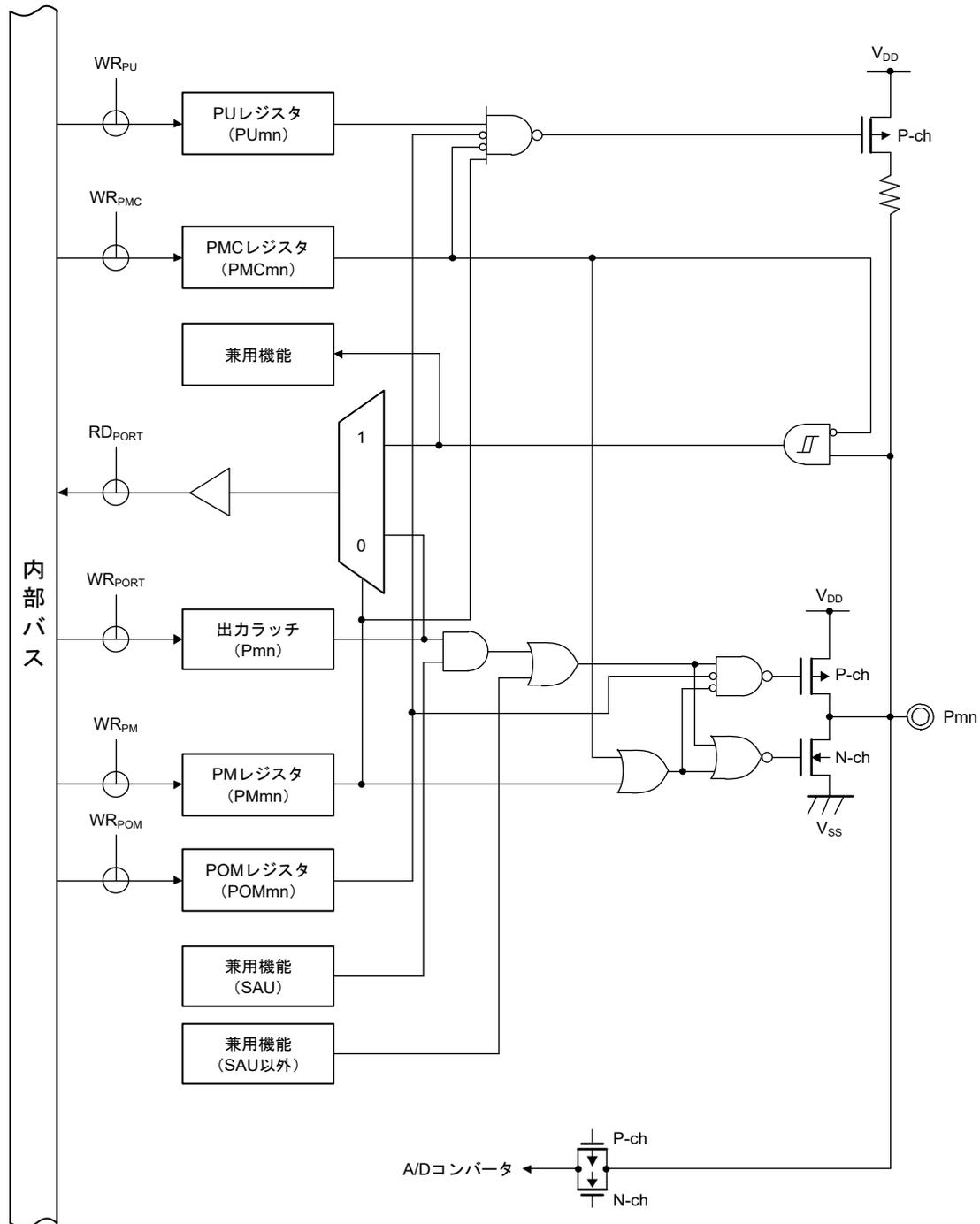
図2-6 端子タイプ7-3-1の端子ブロック図



備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-7 端子タイプ7-3-2の端子ブロック図

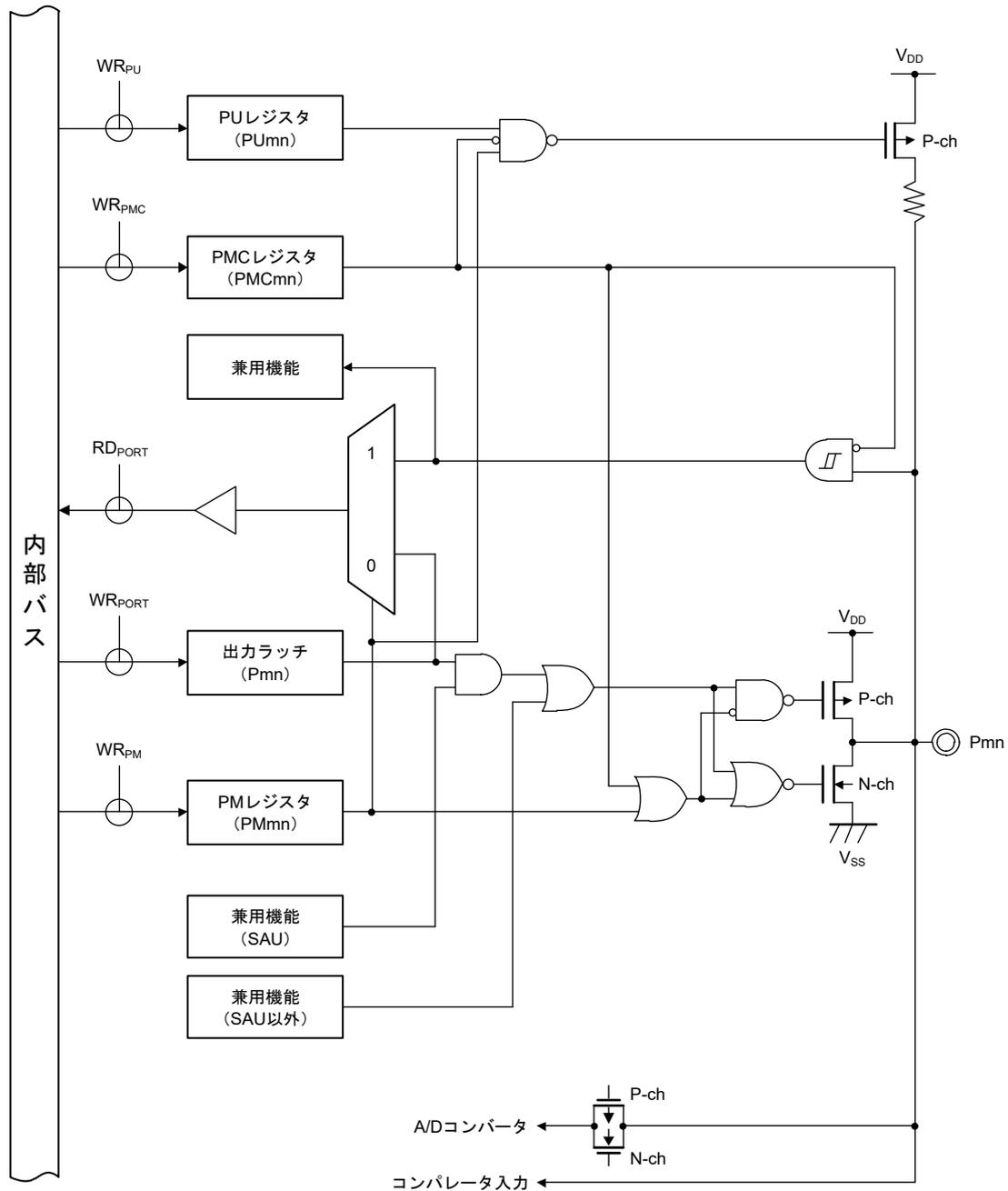


注意 ポート出力モード・レジスタ (POMx) で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

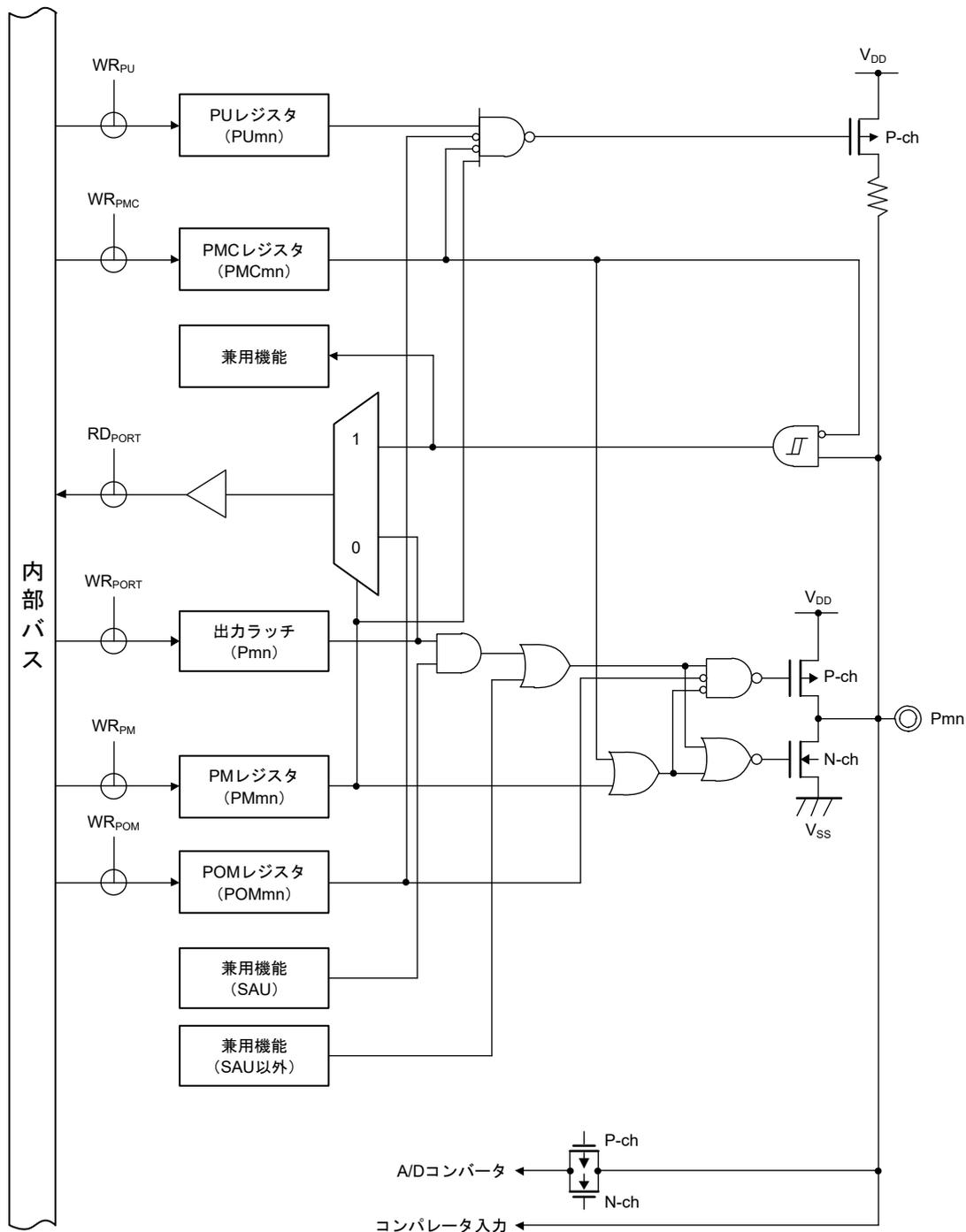
図2-8 端子タイプ7-9-1の端子ブロック図



備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-9 端子タイプ7-9-2の端子ブロック図



注意 ポート出力モード・レジスタ (POMx) で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

第3章 CPU アーキテクチャ

3.1 概要

RL78 マイクロコントローラの CPU コアは、命令フェッチ用のバスとアドレス・バス、データ・バスが独立したハーバード・アーキテクチャを採用しています。さらに、命令フェッチとデコード、メモリ・アクセスの3段パイプライン制御を採用して、従来の CPU コアより効率が飛躍的に向上しています。高性能で高機能な処理を必要とする様々なアプリケーションに対して、高性能かつ高速な命令処理で応えます。

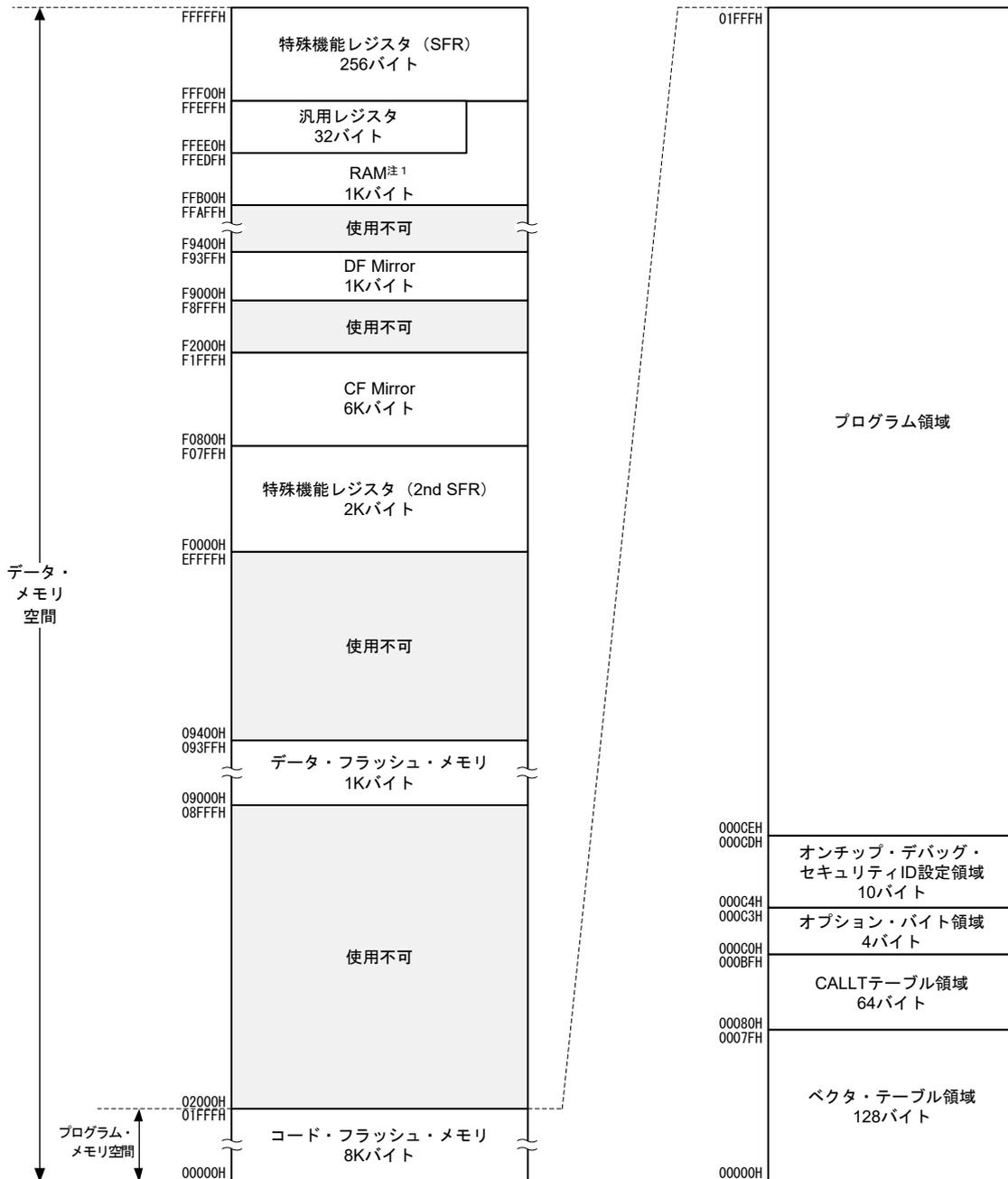
RL78/G15 の CPU は RL78-S2 コアであり、主に次のような特徴があります。

- 3 段パイプラインの CISC アーキテクチャ
- アドレス空間 : 1M バイト
- 最小命令実行時間 : 1 クロック / 1 命令
- 汎用レジスタ : 8 ビット・レジスタ × 8 × 4 バンク
- 命令 : 75 種類
- データ配置 : リトル・エンディアン

3.2 メモリ空間

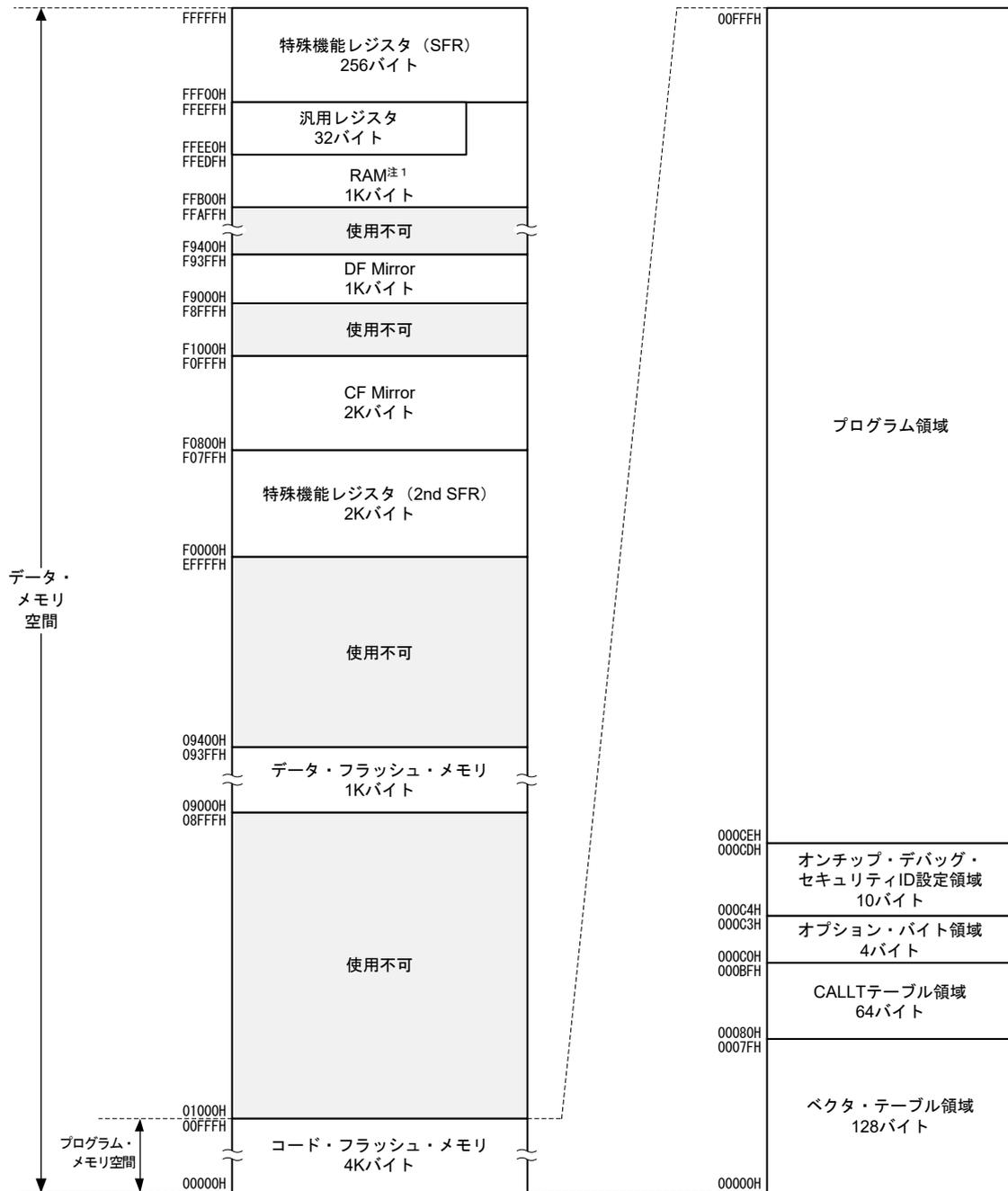
RL78/G15は、1Mバイトのアドレス空間をアクセスできます。図3-1、図3-2に、メモリ・マップを示します。

図3-1 メモリ・マップ (R5F120x8 (x=0, 1, 4, 6))



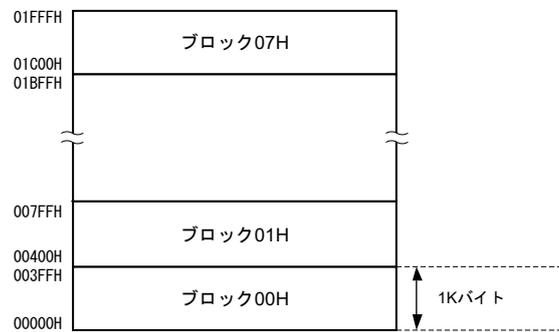
注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

図 3-2 メモリ・マップ (R5F120x7 (x=0, 1, 4, 6))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック=1Kバイト）。アドレス値とブロック番号については、「表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応」を参照してください。



(R5F120x8 (x=0,1,4,6)の場合)

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号
00000H-003FFH	00H
00400H-007FFH	01H
00800H-00BFFH	02H
00C00H-00FFFH	03H
01000H-013FFH	04H
01400H-017FFH	05H
01800H-01BFFH	06H
01C00H-01FFFH	07H

3.2.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G15 は、次に示す内部 ROM（フラッシュ・メモリ）を内蔵しています。

表 3-2 内部 ROM 容量

製品	内部 ROM	
	構造	容量
R5F120x8 (x=0, 1, 4, 6)	フラッシュ・メモリ	8192×8 ビット (00000H-01FFFFH)
R5F120x7 (x=0, 1, 4, 6)		4096×8 ビット (00000H-00FFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FH の 128 バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは 2 バイトとしているため、割り込みの飛び先アドレスは 00000H-0FFFFH の 64K アドレスとなります。16 ビット・アドレスのうち下位 8 ビットが偶数アドレスに、上位 8 ビットが奇数アドレスに格納されます。

表 3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	20 ピン	16 ピン	10 ピン	8 ピン
00000H	RESET, SPOR, WDT, TRAP, IAW	○	○	○	○
00004H	INTWDTI	○	○	○	○
00006H	INTP0	○	○	○	○
00008H	INTP1	○	○	○	○
0000AH	INTP2	○	○	○	○
0000CH	INTP3	○	○	○	○
0000EH	INTP4	○	○	○	○
00010H	INTP5	○	○	○	○
00012H	INTST0, INTCSI00, INTIIC00	○	○	○	○
00014H	INTSR0, INTCSI01, INTIIC01	○	○	○	○
00016H	INTSRE0	○	○	○	○
00018H	INTTM01H	○	○	○	○
0001AH	INTTM00	○	○	○	○
0001CH	INTTM01	○	○	○	○
0001EH	INTAD	○	○	○	○
00020H	INTP6	○	○	○	—
00022H	INTP7	○	○	○	—
00024H	INTTM03H	○	○	○	○
00026H	INTIICA0	○	○	○	○
00028H	INTTM02	○	○	○	○
0002AH	INTTM03	○	○	○	○
0002CH	INTIT	○	○	○	○
0002EH	INTTM04	○	○	○	○
00030H	INTTM05	○	○	○	○
00032H	INTTM06	○	○	○	○
00034H	INTTM07	○	○	○	○
00036H	INTCMP0	○	○	○	○
00038H	INTCMP1	○	—	—	—
0007EH	BRK	○	○	○	○

(2) CALLT 命令テーブル領域

00080H-000BFH の 64 バイト領域には、2 バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは 00000H-0FFFFH 内の値を設定してください (アドレス・コードが 2 バイトのため)。

(3) オプション・バイト領域

000C0H-000C3H の 4 バイト領域にオプション・バイト領域を用意しています。詳細は「**第 18 章 オプション・バイト**」を参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH の 10 バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。詳細は「**第 20 章 オンチップ・デバッグ機能**」を参照してください。

3.2.2 ミラー領域

RL78/G15 では、00800H-01FFFFH のコード・フラッシュ・エリアを F0800H-F1FFFFH ヘミラーしています。また、09000H-093FFFH のデータ・フラッシュ・エリアを F9000-F93FFFH ヘミラーしています。

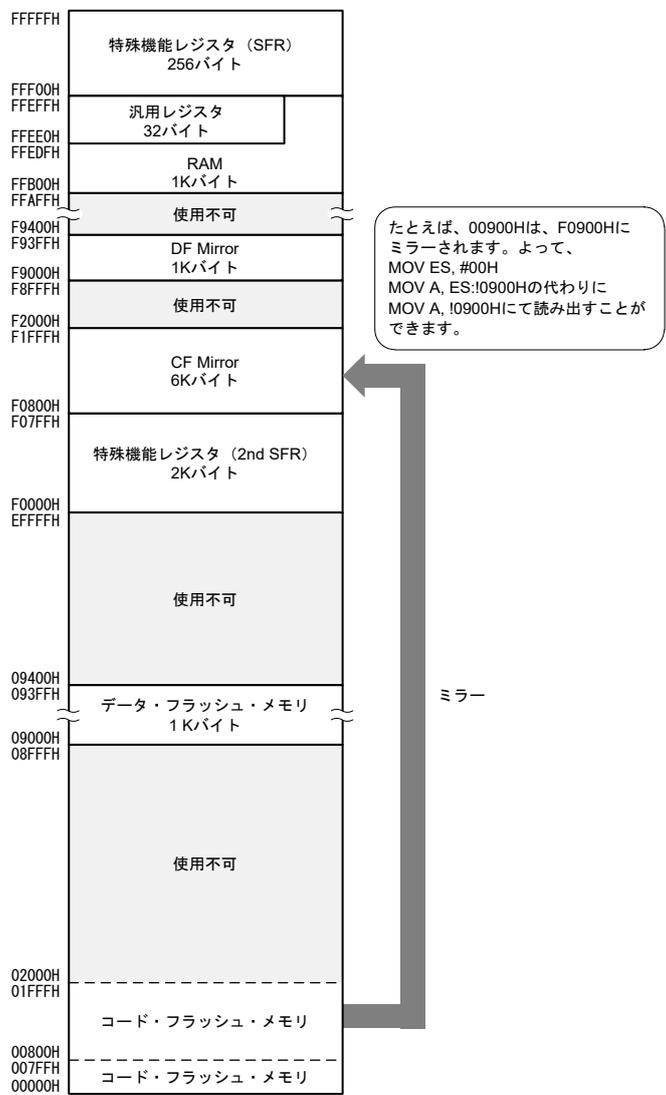
ミラー先の F0800H-F1FFFFH および F9000-F93FFFH からデータを読み出すことにより、オペランドに ES レジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張 SFR、RAM 領域、使用不可領域にはミラーされません。

各製品のミラー領域は、「3.2 メモリ空間」を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例) R5F120x8 (x=0, 1, 4, 6) (フラッシュ・メモリ 8K バイト、RAM 1K バイト) の場合



3.2.3 内部データ・メモリ空間

RL78/G15 は、次に示す RAM を内蔵しています。

表 3-4 内部 RAM 容量

製品	内部 RAM
R5F120x8 (x=0, 1, 4, 6)	1024×8 ビット (FFB00H-FFEFFH)
R5F120x7 (x=0, 1, 4, 6)	

内部 RAM は、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部 RAM 領域のうち FFEE0H-FFEFFH の 32 バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられます。

また、スタック・メモリは内部 RAM を使用します。

注意 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

3.2.4 特殊機能レジスタ（SFR : Special Function Register）領域

FFF00H-FFFFFH の領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（「3.3.4 特殊機能レジスタ（SFR : Special Function Register）」の表 3-5 参照）。

注意 SFR が割り付けられていないアドレスにアクセスしないでください。

3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）領域

F0000H-F07FFH の領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（「3.3.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）」の表 3-6 参照）。

SFR 領域（FFF00H-FFFFFH）以外の SFR が割り付けられています。ただし、拡張 SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

注意 拡張 SFR が割り付けられていないアドレスにアクセスしないでください。

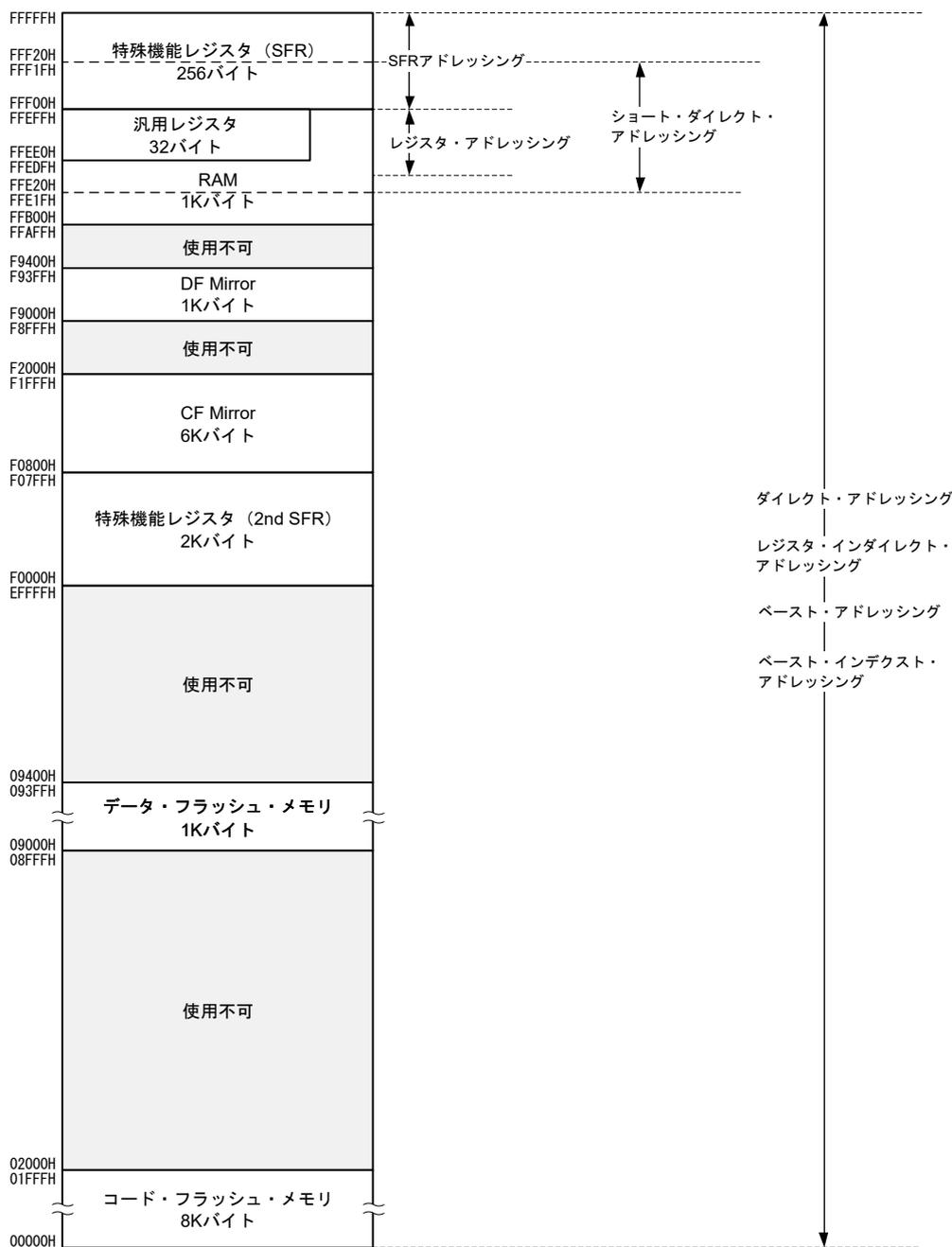
3.2.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G15では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-3にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3.5 処理データ・アドレスに対するアドレッシング」を参照してください。

図3-3 データ・メモリとアドレッシングの対応



3.3 プロセッサ・レジスタ

RL78/G15は、次のプロセッサ・レジスタを内蔵しています。

3.3.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

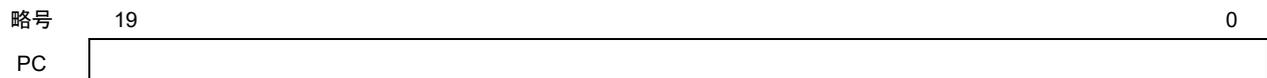
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000H, 00001H 番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3-4 プログラム・カウンタの構成



(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-5 プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

(a) 割り込み許可フラグ (IE)

CPU の割り込み要求受け付け動作を制御するフラグです。

IE=0 のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE=1 のときは割り込み許可 (EI) 状態となります。このときマスカブル割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI 命令の実行または割り込みの受け付けでリセット (0) され、EI 命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算や比較で結果がゼロまたは等しいときセット (1) され、それ以外の場合にリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4 個のレジスタ・バンクのうち 1 つを選択する 2 ビットのフラグです。

SEL RBn 命令の実行によって選択されたレジスタ・バンクを示す 2 ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット 3 からキャリーがあったとき、またはビット 3 へのボローがあったときセット (1) され、それ以外の場合にリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H) (「14.3.3」参照) で ISP0, ISP1 フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

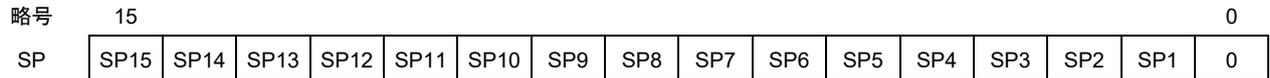
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する 16 ビットのレジスタです。スタック領域としては内部 RAM 領域のみ設定可能です。

図 3-6 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

- 注意 1.** SP の内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 注意 2.** 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

3.3.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

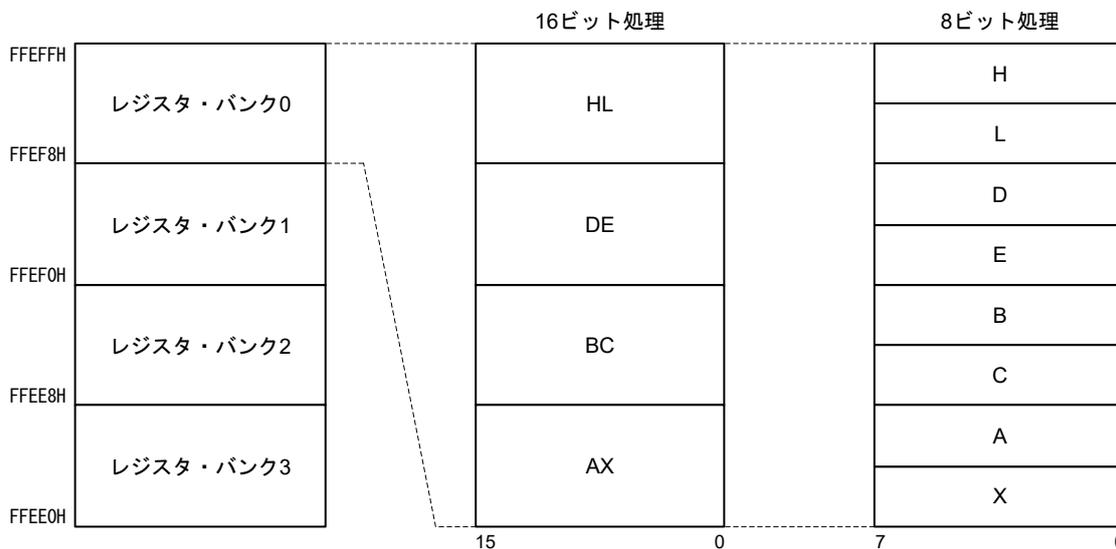
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL R_n）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み処理で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタ（FFEE0H-FFEFFH）の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3-7 汎用レジスタの構成

(a) 機能名称



3.3.3 ES, CS レジスタ

ES レジスタでデータ・アクセス、CS レジスタで（レジスタ・インダイレクト・アドレッシング）分岐命令実行時の、それぞれ上位アドレスを指定できます。

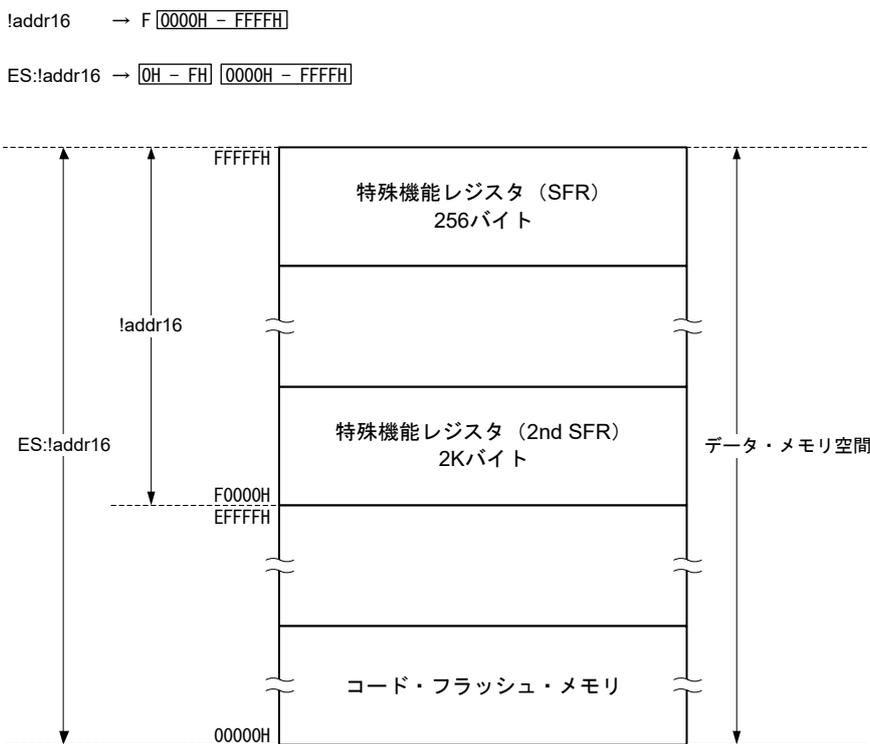
ES レジスタのリセット後の初期値は 0FH、CS レジスタのリセット後の初期値は 00H です。

図 3-8 ES/CS レジスタの構成

略号	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
略号	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16 ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFFH の 64K バイト空間ですが、ES:を付加すると 00000H-FFFFFFH の 1M バイト空間に拡張できます。

図 3-9 データ・アクセス領域の拡張



3.3.4 特殊機能レジスタ (SFR : Special Function Register)

SFR は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR 空間は、FFF00H-FFFFFH の領域に割り付けられています。

SFR は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

[1 ビット操作]

1 ビット操作命令のオペランド (sfr.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

[8 ビット操作]

8 ビット操作命令のオペランド (sfr) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

[16 ビット操作]

16 ビット操作命令のオペランド (sfrp) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3-5 に SFR の一覧を示します。表中の項目の意味は次のとおりです。

[略号]

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。アセンブラ、デバッグおよびシミュレータ使用時に命令のオペランドとして記述できます。

[R/W]

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

[操作可能ビット単位]

操作可能なビット単位 (1, 8, 16) を “○” で示します。“—” は操作できないビット単位であることを示します。

[リセット時]

リセット信号発生時の各レジスタの状態を示します。

注意 SFR が割り付けられていないアドレスにアクセスしないでください。

備考 拡張 SFR (2nd SFR) については、「3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)」を参照してください。

表 3-5 SFR 一覧 (1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ 0	P0		R/W	○	○	—	00H
FFF02H	ポート・レジスタ 2	P2		R/W	○	○	—	00H
FFF04H	ポート・レジスタ 4	P4		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ 12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ 13	P13		R/W	○	○	—	不定
FFF10H	シリアル・データ・レジスタ 00	TXD0/SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—			
FFF12H	シリアル・データ・レジスタ 01	RXD0/SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—			
FFF18H	タイマ・データ・レジスタ 00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ 01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○		00H
FFF1EH	10ビット A/D 変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビット A/D 変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ 0	PM0		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ 2	PM2		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ 4	PM4		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ 12	PM12		R/W	○	○	—	FFH
FFF30H	A/D コンバータ・モード・レジスタ 0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0		R/W	○	○	—	00H
FFF50H	IICA シフト・レジスタ 0	IICA0		R/W	—	○	—	00H
FFF51H	IICA ステータス・レジスタ 0	IICS0		R	○	○	—	00H
FFF52H	IICA フラグ・レジスタ 0	IICF0		R/W	○	○	—	00H
FFF60H	コンパレータモード設定レジスタ	COMPMDR		R/W	○	○	—	00H
FFF61H	コンパレータフィルタ制御レジスタ	COMPFIR		R/W	○	○	—	00H
FFF62H	コンパレータ出力制御レジスタ	COMPOCR		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ 02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ 03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○		00H
FFF68H	タイマ・データ・レジスタ 04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ 05	TDR05		R/W	—	—	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ 06	TDR06		R/W	—	—	○	0000H
FFF6DH								

表 3-5 SFR 一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF6EH	タイマ・データ・レジスタ 07	TDR07	R/W	—	—	○	0000H
FFF6FH							
FFF90H	インターバル・タイマ・コントロール・レジスタ	ITMC	R/W	—	—	○	0FFFH
FFF91H							
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	—	80H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ 0	CKS0	R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	不定 ^{注1}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	1AH/9AH ^{注2}
FFFE0H	割り込み要求フラグ・レジスタ 0	IF0L	IF0	R/W	○	○	00H
FFFE1H		IF0H		R/W	○	○	
FFFE2H	割り込み要求フラグ・レジスタ 1	IF1L	IF1	R/W	○	○	00H
FFFE3H		IF1H		R/W	○	○	
FFFE4H	割り込みマスク・フラグ・レジスタ 0	MK0L	MK0	R/W	○	○	FFH
FFFE5H		MK0H		R/W	○	○	
FFFE6H	割り込みマスク・フラグ・レジスタ 1	MK1L	MK1	R/W	○	○	FFH
FFFE7H		MK1H		R/W	○	○	
FFFE8H	優先順位指定フラグ・レジスタ 00	PR00L	PR00	R/W	○	○	FFH
FFFE9H		PR00H		R/W	○	○	
FFFEAH	優先順位指定フラグ・レジスタ 01	PR01L	PR01	R/W	○	○	FFH
FFFEBH		PR01H		R/W	○	○	
FFFECH	優先順位指定フラグ・レジスタ 10	PR10L	PR10	R/W	○	○	FFH
FFFE DH		PR10H		R/W	○	○	
FFFE EH	優先順位指定フラグ・レジスタ 11	PR11L	PR11	R/W	○	○	FFH
FFFE FH		PR11H		R/W	○	○	

注1. リセット要因により、次のように異なります。

リセット要因		RESET入力	不正命令の実行によるリセット	WDTによるリセット	不正メモリ・アクセスによるリセット	SPORによるリセット	データ保持 下限電圧によるリセット
レジスタ	RESF	クリア (0)	セット (1)	保持		保持	クリア (0)
	TRAP		保持	セット (1)	保持		
	WDTRF		保持		セット (1)		
	IAWRF		保持		セット (1)		
	SPORF		保持		セット (1)		

注2. WDTE レジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張 SFR (2nd SFR) については、「表 3-6 拡張 SFR (2nd SFR) 一覧 (1/4)」を参照してください。

3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張 SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張 SFR 空間は、F0000H-F07FFH の領域です。SFR 領域 (FFF00H-FFFFFFH) 以外の SFR が割り付けられています。ただし、拡張 SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

拡張 SFR は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

[1 ビット操作]

1 ビット操作命令のオペランド (!addr16.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

[8 ビット操作]

8 ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

[16 ビット操作]

16 ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3-6 に拡張 SFR の一覧を示します。表中の項目の意味は次のとおりです。

[略号]

拡張 SFR のアドレスを示す略号です。アセンブラで予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。アセンブラ、デバッグおよびシミュレータ使用時に命令のオペランドとして記述できます。

[R/W]

該当する拡張 SFR が読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

[操作可能ビット単位]

操作可能なビット単位 (1, 8, 16) を “○” で示します。“—” は操作できないビット単位であることを示します。

[リセット時]

リセット信号発生時の各レジスタの状態を示します。

注意 拡張 SFR (2nd SFR) が割り付けられていないアドレスにアクセスしないでください。

備考 SFR 領域の SFR については、「3.2.4 特殊機能レジスタ (SFR : Special Function Register) 領域」を参照してください。

表 3-6 拡張 SFR (2nd SFR) 一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/D コンバータ・モード・レジスタ 2	ADM2	R/W	○	○	—	00H
F0013H	A/D テスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ 0	PU0	R/W	○	○	—	00H
F0032H	プルアップ抵抗オプション・レジスタ 2	PU2	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ 4	PU4	R/W	○	○	—	01H
F003CH	プルアップ抵抗オプション・レジスタ 12	PU12	R/W	○	○	—	00H
F004EH	ポート入力モード・レジスタ 14	PIM14	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ 0	POM0	R/W	○	○	—	00H
F0052H	ポート出力モード・レジスタ 2	POM2	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ 4	POM4	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ 0	PMC0	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロール・レジスタ 2	PMC2	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ 0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ 1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0075H	周辺 I/O リダイレクション・レジスタ 2	PIOR2	R/W	—	○	—	00H
F0077H	周辺 I/O リダイレクション・レジスタ 0	PIOR0	R/W	—	○	—	00H
F0079H	周辺 I/O リダイレクション・レジスタ 1	PIOR1	R/W	—	○	—	00H
F007CH	周辺 I/O リダイレクション・レジスタ 3	PIOR3	R/W	—	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定 ^{注1}
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 ^{注2}
F00BEH	フラッシュ・シーケンサ・周波数設定レジスタ	FSSET	R/W	—	○	—	00H
F00C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F00C1H	フラッシュ・シーケンサ制御レジスタ	FSSQ	R/W	—	○	—	00H
F00C2H	フラッシュ・アドレス・ポインタ L	FLAPL	R/W	—	○	—	00H
F00C3H	フラッシュ・アドレス・ポインタ H	FLAPH	R/W	—	○	—	00H
F00C4H	フラッシュ・エンド・アドレス・ポインタ L	FLSEDL	R/W	—	○	—	00H
F00C5H	フラッシュ・エンド・アドレス・ポインタ H	FLSEDH	R/W	—	○	—	00H
F00C6H	フラッシュ・シーケンサ・ステータス・レジスタ L	FSASTL	R	—	○	—	00H
F00C7H	フラッシュ・シーケンサ・ステータス・レジスタ H	FSASTH	R	—	○	—	00H
F00C8H	フラッシュ・ライト・バッファ・レジスタ LL	FLWLL	R/W	—	○	—	00H
F00C9H	フラッシュ・ライト・バッファ・レジスタ LH	FLWLH	R/W	—	○	—	00H
F00CAH	フラッシュ・ライト・バッファ・レジスタ HL	FLWHL	R/W	—	○	—	00H
F00CBH	フラッシュ・ライト・バッファ・レジスタ HH	FLWHH	R/W	—	○	—	00H
F00F0H	周辺イネーブル・レジスタ 0	PER0	R/W	○	○	—	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00FEH	BCD 補正結果レジスタ	BCDADJ	R	—	○	—	不定

表 3-6 拡張 SFR (2nd SFR) 一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0100H	シリアル・ステータス・レジスタ 00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—			
F0102H	シリアル・ステータス・レジスタ 01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—			
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ 00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—			
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ 01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—			
F0110H	シリアル・モード・レジスタ 00	SMR00		R/W	—	—	○	0020H
F0111H					—	—		
F0112H	シリアル・モード・レジスタ 01	SMR01		R/W	—	—	○	0020H
F0113H					—	—		
F0118H	シリアル通信動作設定レジスタ 00	SCR00		R/W	—	—	○	0087H
F0119H					—	—		
F011AH	シリアル通信動作設定レジスタ 01	SCR01		R/W	—	—	○	0087H
F011BH					—	—		
F0120H	シリアル・チャンネル許可ステータス・レジスタ 0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—			
F0122H	シリアル・チャンネル開始レジスタ 0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—			
F0124H	シリアル・チャンネル停止レジスタ 0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—			
F0126H	シリアル・クロック選択レジスタ 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—			
F0128H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0303H
F0129H					—	—		
F012AH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—			
F0134H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—			
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H					—	—		
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H					—	—		
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H					—	—		
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H					—	—		
F0188H	タイマ・カウンタ・レジスタ 04	TCR04		R	—	—	○	FFFFH
F0189H					—	—		
F018AH	タイマ・カウンタ・レジスタ 05	TCR05		R	—	—	○	FFFFH
F018BH					—	—		
F018CH	タイマ・カウンタ・レジスタ 06	TCR06		R	—	—	○	FFFFH
F018DH					—	—		

表 3-6 拡張 SFR (2nd SFR) 一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
F018EH	タイマ・カウンタ・レジスタ 07	TCR07	R	—	—	○	FFFFH	
F018FH								
F0190H	タイマ・モード・レジスタ 00	TMR00	R/W	—	—	○	0000H	
F0191H								
F0192H	タイマ・モード・レジスタ 01	TMR01	R/W	—	—	○	0000H	
F0193H								
F0194H	タイマ・モード・レジスタ 02	TMR02	R/W	—	—	○	0000H	
F0195H								
F0196H	タイマ・モード・レジスタ 03	TMR03	R/W	—	—	○	0000H	
F0197H								
F0198H	タイマ・モード・レジスタ 04	TMR04	R/W	—	—	○	0000H	
F0199H								
F019AH	タイマ・モード・レジスタ 05	TMR05	R/W	—	—	○	0000H	
F019BH								
F019CH	タイマ・モード・レジスタ 06	TMR06	R/W	—	—	○	0000H	
F019DH								
F019EH	タイマ・モード・レジスタ 07	TMR07	R/W	—	—	○	0000H	
F019FH								
F01A0H	タイマ・ステータス・レジスタ 00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ 01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ 02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ 03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01A8H	タイマ・ステータス・レジスタ 04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—	—		
F01AAH	タイマ・ステータス・レジスタ 05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—	—		
F01ACH	タイマ・ステータス・レジスタ 06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—	—		
F01AEH	タイマ・ステータス・レジスタ 07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・レジスタ 0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ 0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ 0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ 0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ 0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		

表 3-6 拡張 SFR (2nd SFR) 一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01BAH	タイマ出力許可レジスタ 0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ 0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ 0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F0230H	IICA コントロール・レジスタ 00	IICCTL00		R/W	○	○	—	00H
F0231H	IICA コントロール・レジスタ 01	IICCTL01		R/W	○	○	—	00H
F0232H	IICA ロー・レベル幅設定レジスタ 0	IICWL0		R/W	—	○	—	FFH
F0233H	IICA ハイ・レベル幅設定レジスタ 0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ 0	SVA0		R/W	—	○	—	00H

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト 000C2H の FRQSEL2-FRQSEL0 で設定した値になります。

備考 SFR 領域の SFR については、「表 3-5 SFR 一覧 (1/2)」を参照してください。

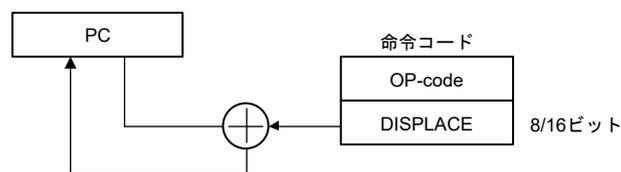
3.4 命令アドレスのアドレッシング

3.4.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレースメント値（符号付きの補数データ：-128～+127 または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図 3-10 レラティブ・アドレッシングの概略



3.4.2 イミューディエト・アドレッシング

【機能】

命令語中のイミューディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミューディエト・アドレッシングには 20 ビットのアドレスを指定する CALL !!addr20 / BR !!addr20 と、16 ビットのアドレスを指定する CALL !addr16 / BR !addr16 があります。16 ビット・アドレスを指定する場合は上位 4 ビットには 0000 が入ります。

図 3-11 CALL !!addr20/BR !!addr20 の例

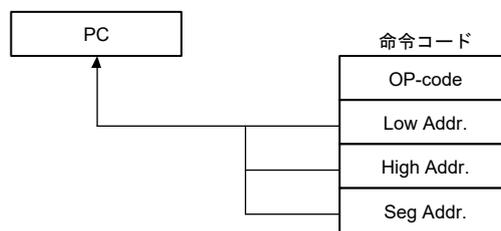
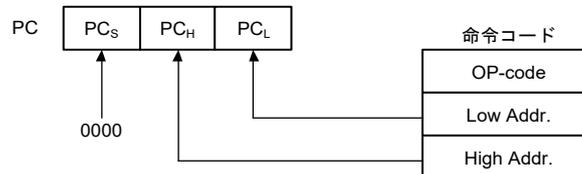


図 3-12 CALL !addr16/BR !addr16 の例



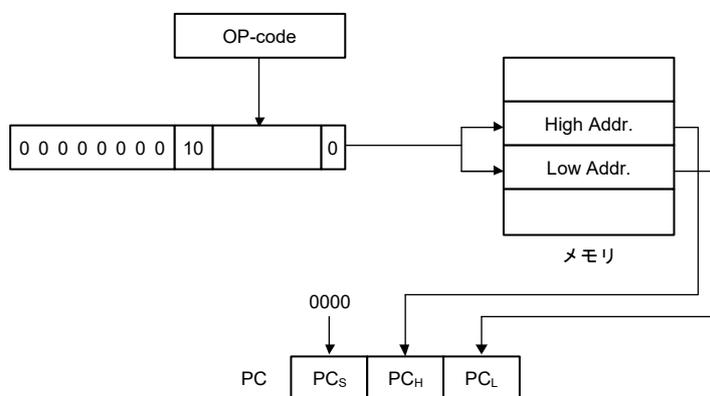
3.4.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データにより CALLT テーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングは CALLT 命令にのみ適用されます。

RL78 マイクロコントローラでは、00000H-0FFFFH の64Kバイト空間のみ分岐可能です。

図 3-13 テーブル・インダイレクト・アドレッシングの概略

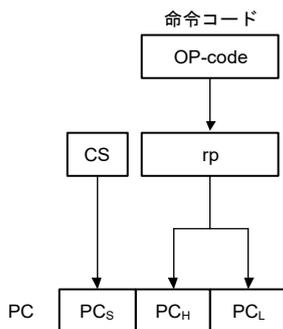


3.4.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）と CS レジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングは CALL AX / BC / DE / HL と BR AX 命令にのみ適用されます。

図 3-14 レジスタ・インダイレクト・アドレッシングの概略



3.5 処理データ・アドレスに対するアドレッシング

3.5.1 インプライド・アドレッシング

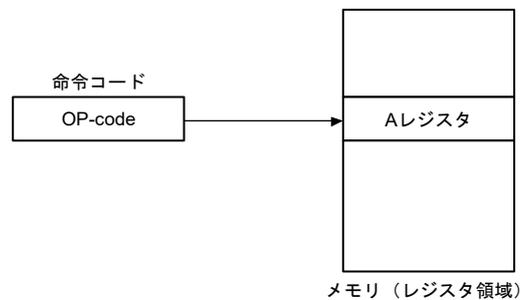
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングは MULU X のみに適用されます。

図 3-15 インプライド・アドレッシングの概略



3.5.2 レジスタ・アドレッシング

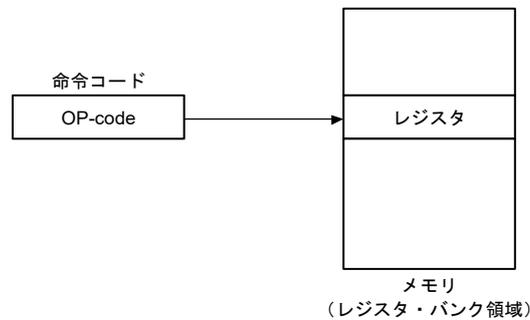
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X、A、C、B、E、D、L、H
rp	AX、BC、DE、HL

図 3-16 レジスタ・アドレッシングの概略



3.5.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは 16 ビット・イミディエト・データ (F0000H-FFFFFH 空間のみ指定可能)
ES:!addr16	ラベルまたは 16 ビット・イミディエト・データ (ES レジスタにて上位 4 ビット・アドレス指定)

図 3-17 !addr16 の例

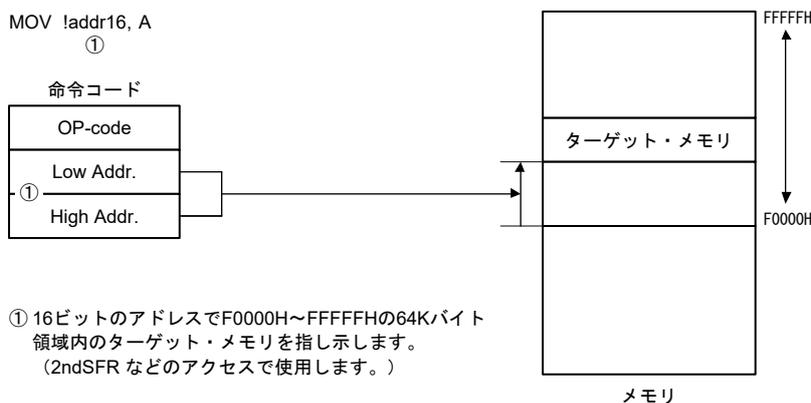
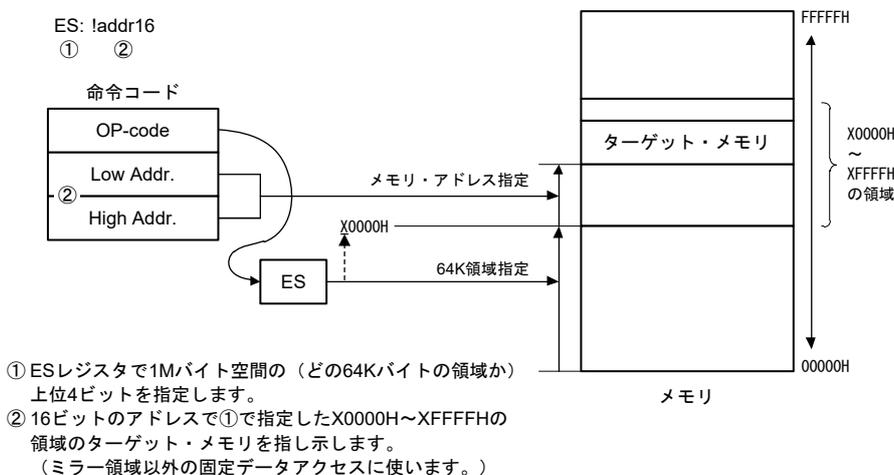


図 3-18 ES:!addr16 の例



3.5.4 ショート・ダイレクト・アドレッシング

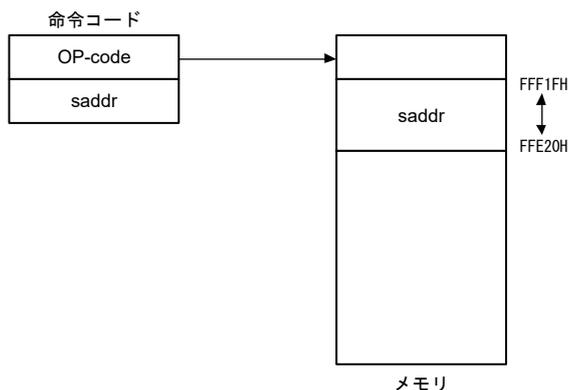
【機能】

命令語中の 8 ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのは FFE20H-FFF1FH の空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたは FFE20H-FFF1FH のイミディエト・データまたは 0FE20H-0FF1FH のイミディエト・データ (FFE20H-FFF1FH 空間のみ指定可能)
SADDRP	ラベルまたは FFE20H-FFF1FH のイミディエト・データまたは 0FE20H-0FF1FH のイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH 空間のみ指定可能)

図 3-19 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRP は、(実アドレスの上位 4 ビット・アドレスを省略した) 16 ビットのイミディエト・データで FE20H-FF1FH の値を記述することができます。また、20 ビットのイミディエト・データで FFE20H-FFF1FH の値を記述することもできます。

ただし、どちらの形式で書いても、メモリは FFE20H-FFF1FH 空間のアドレスが指定されます。

3.5.5 SFR アドレッシング

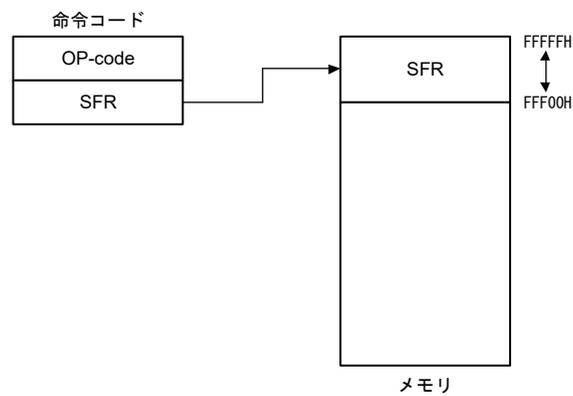
【機能】

命令語中の 8 ビット・データで対象となる SFR アドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのは FFF00H-FFFFFH の空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFR レジスタ名
SFRP	16 ビット操作可能な SFR レジスタ名 (偶数アドレス)

図 3-20 SFR アドレッシングの概略



3.5.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH 空間のみ指定可能)
—	ES:[DE], ES:[HL] (ES レジスタにて上位 4 ビット・アドレス指定)

図 3-21 [DE], [HL]の例

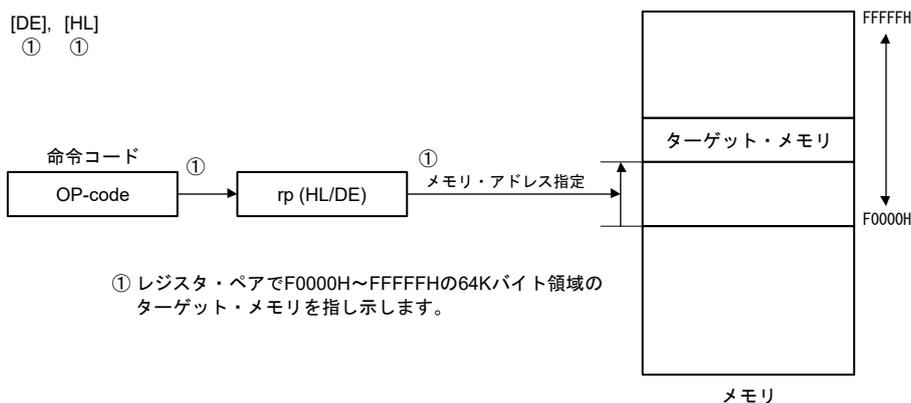
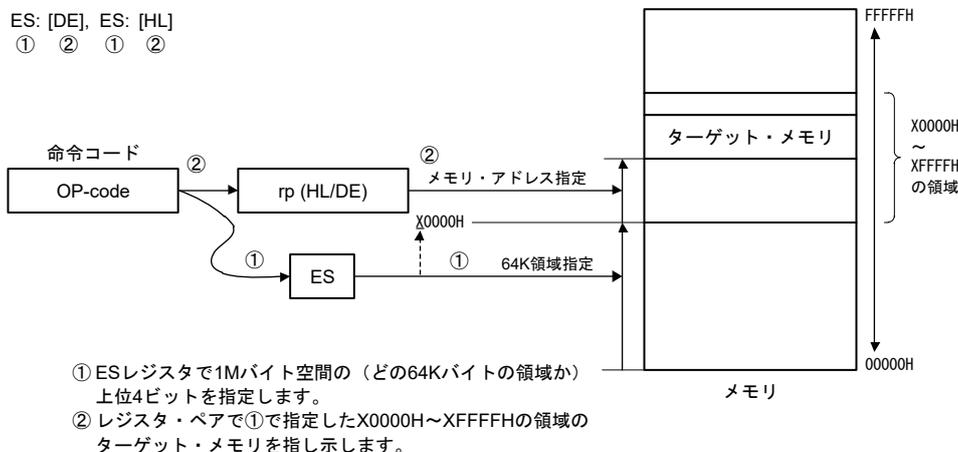


図 3-22 ES:[DE], ES:[HL]の例



3.5.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または 16 ビットのイミディエト・データをベース・アドレスとし、8 ビット・イミディエト・データまたは 16 ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+byte], [DE+byte], [SP+byte] (F0000H-FFFFFH 空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH 空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH 空間のみ指定可能)
—	ES:[HL+byte], ES:[DE+byte] (ES レジスタにて上位 4 ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ES レジスタにて上位 4 ビット・アドレス指定)
—	ES:word[BC] (ES レジスタにて上位 4 ビット・アドレス指定)

図 3-23 [SP+byte]の例

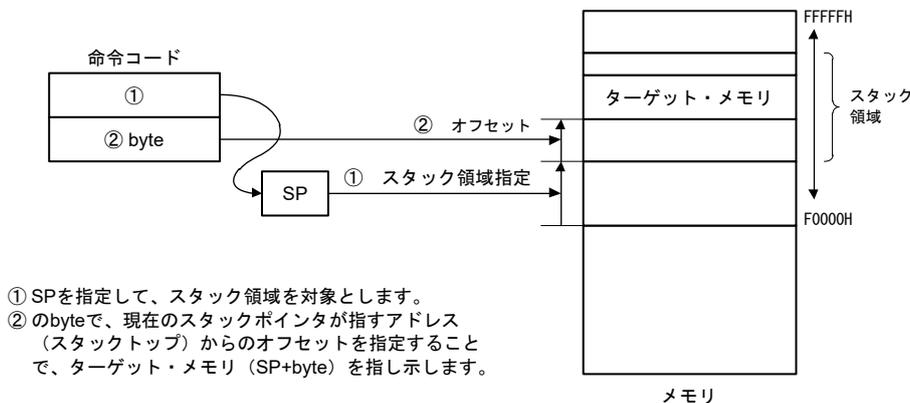


図 3-24 [HL+byte], [DE+byte]の例

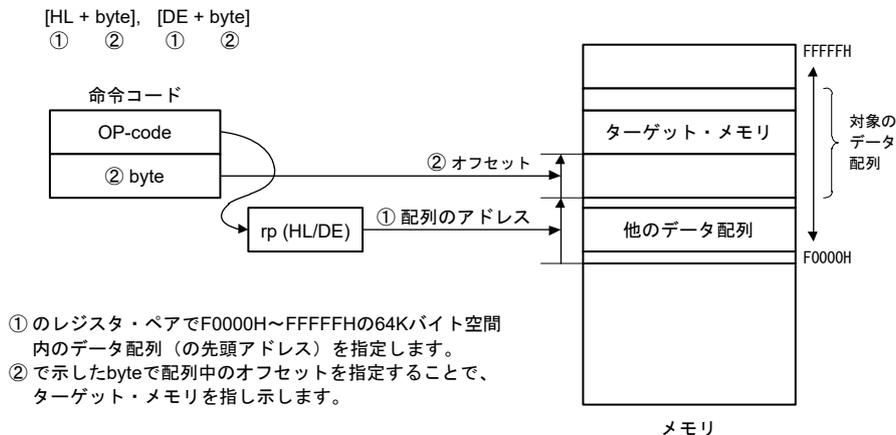


図 3-25 word[B], word[C]の例

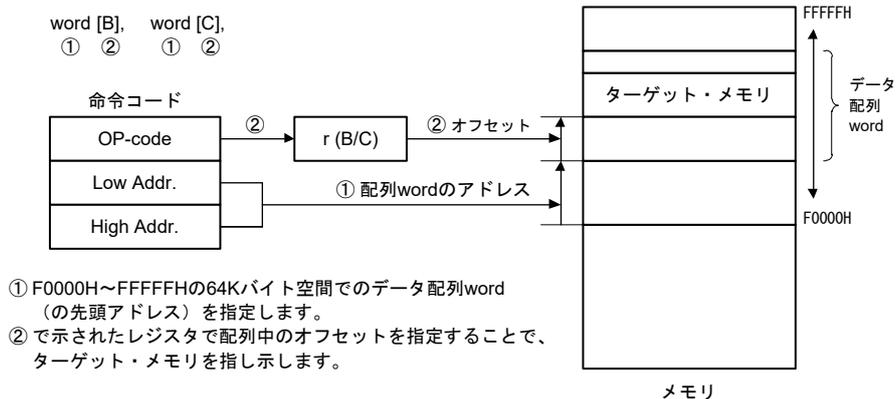


図 3-26 word[BC]の例

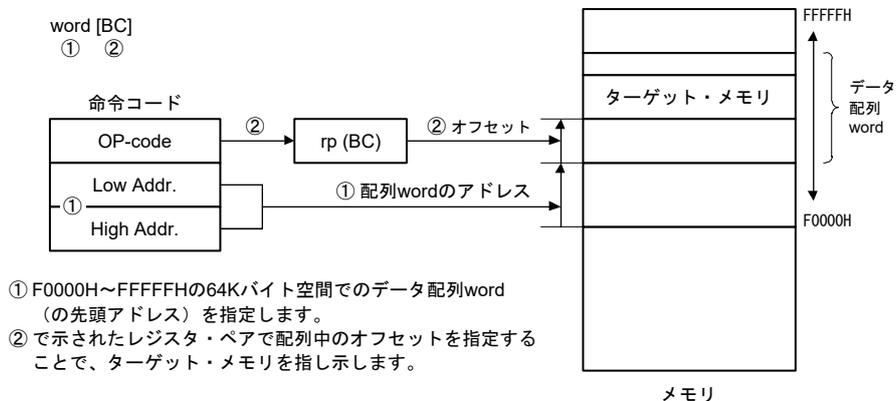


図 3-27 ES:[HL+byte], ES:[DE+byte]の例

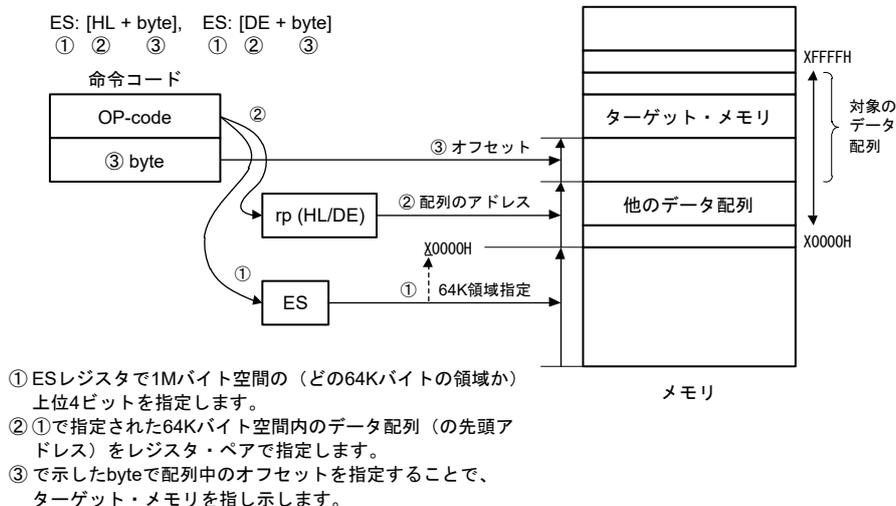


図 3-28 ES:word[B], ES:word[C]の例

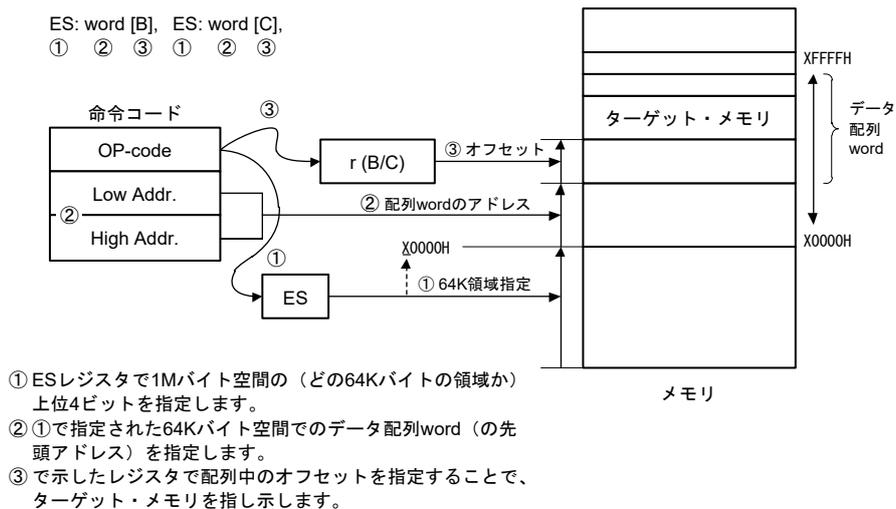
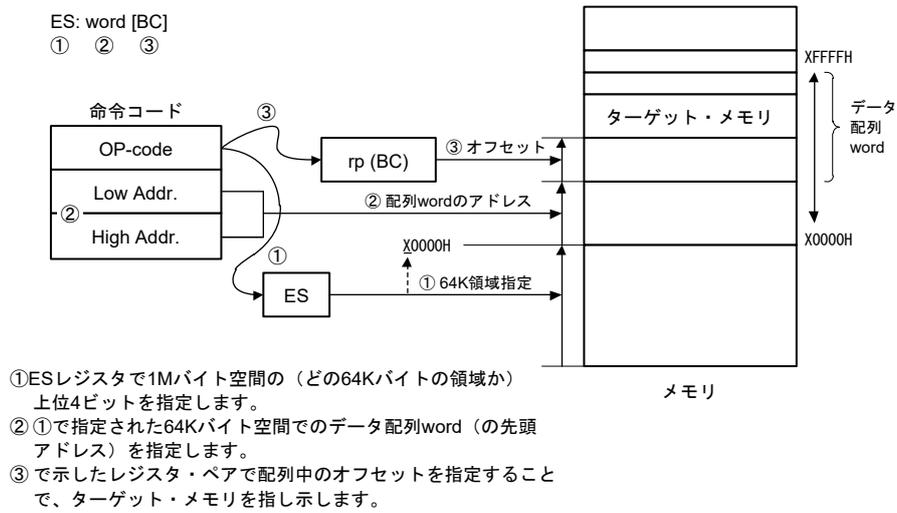


図 3-29 ES:word[BC]の例



3.5.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定される B レジスタまたは C レジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C] (F0000H-FFFFFH 空間のみ指定可能)
—	ES:[HL+B], ES:[HL+C] (ES レジスタにて上位 4 ビット・アドレス指定)

図 3-30 [HL+B], [HL+C]の例

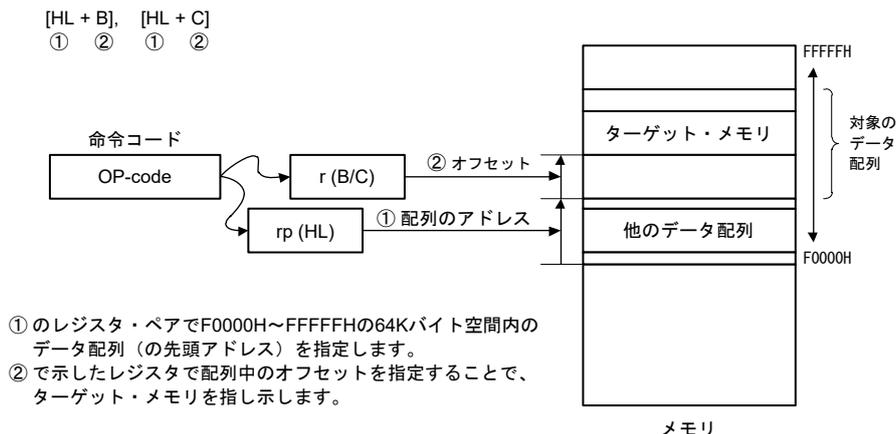
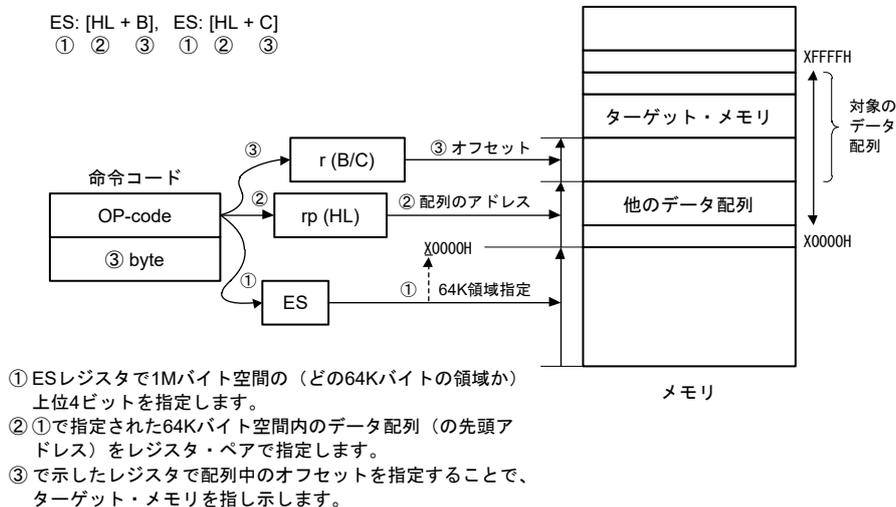


図 3-31 ES:[HL+B], ES:[HL+C]の例



3.5.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH、POP、サブルーチン・コール、リターン命令の実行時、および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部 RAM 上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図 3-32～図 3-37 のようになります。

図 3-32 PUSH rp の例

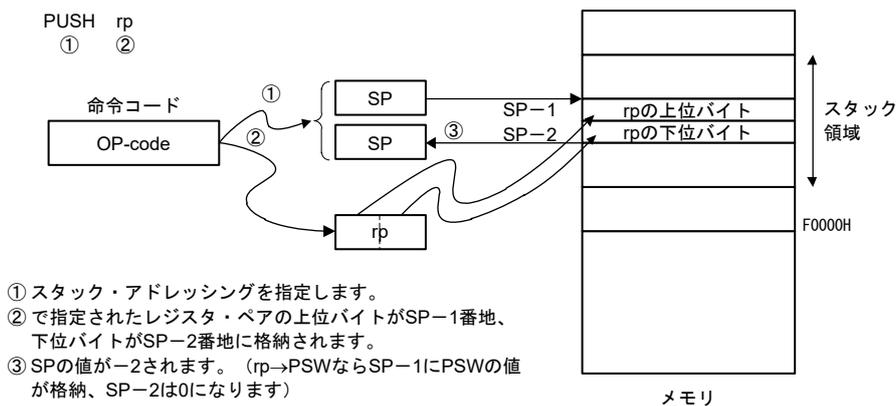


図 3-33 POP の例

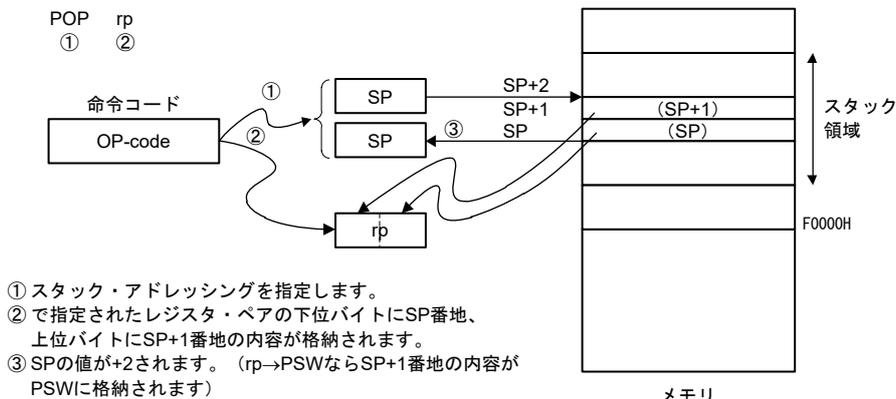


図 3-34 CALL, CALLT の例

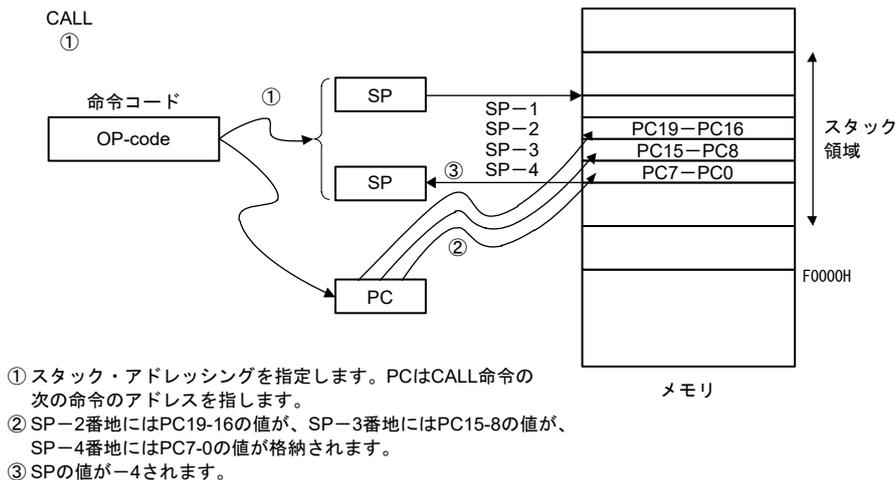


図 3-35 RET の例

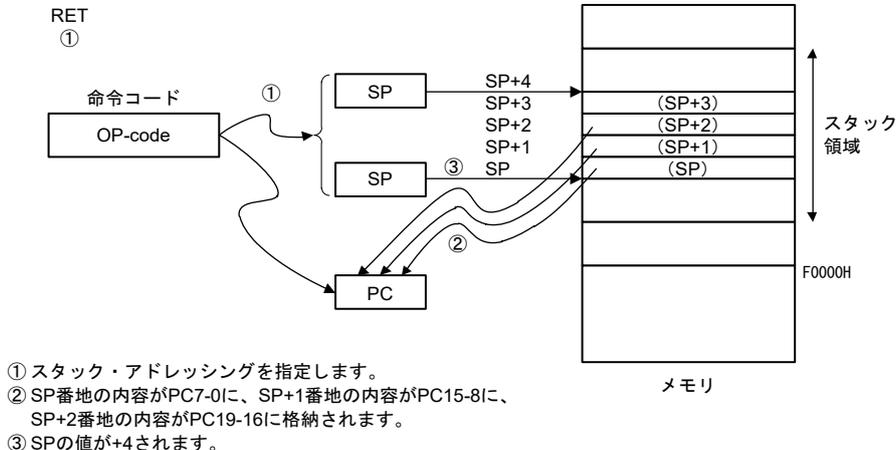


図 3-36 割り込み, BRK の例

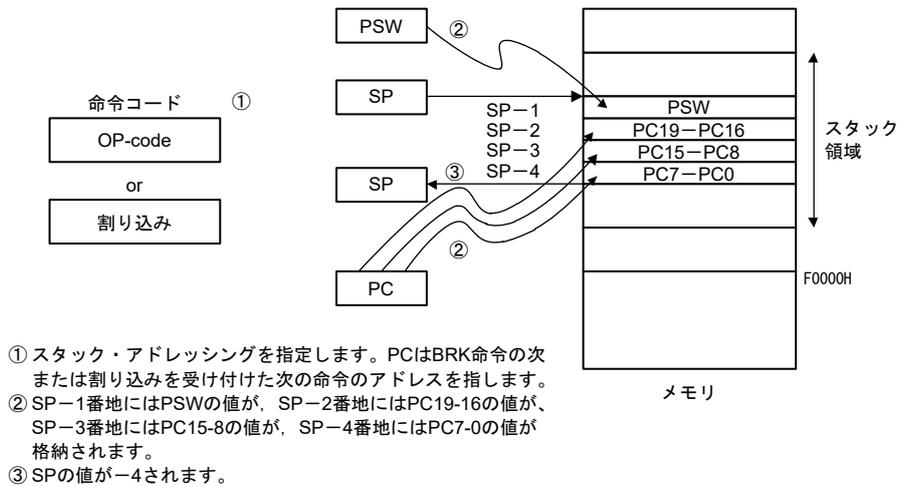
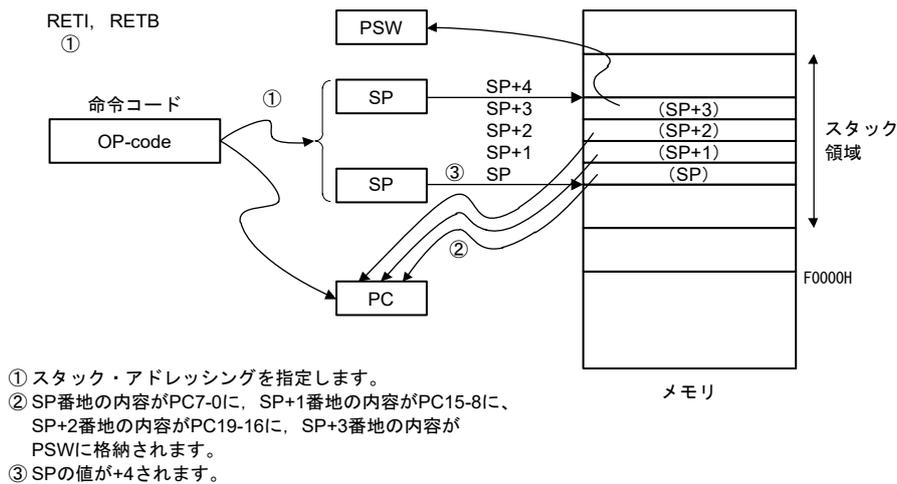


図 3-37 RETI, RETB の例



3.6 不正メモリ・アクセス検出機能

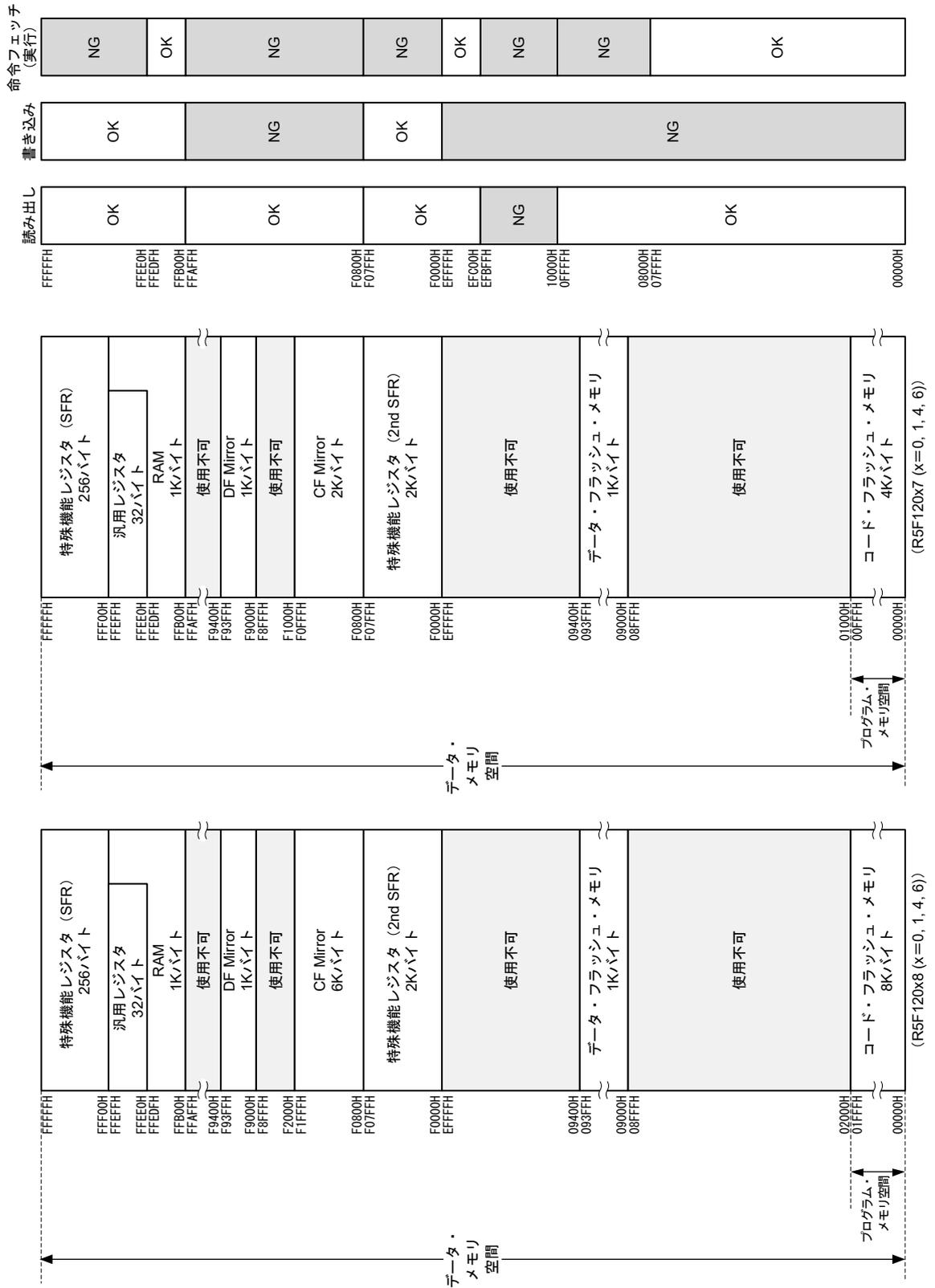
IEC60730 では CPU と割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、**図 3-38** で「NG」と記載した範囲になります。

リセット機能の詳細は、「**第 16 章 リセット機能**」を参照してください。

図 3-38 不正アクセス検出空間



第4章 ポート機能

4.1 ポートの機能

RL78 マイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、「**第2章 端子機能**」を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表 4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12) ポート・レジスタ 0, 2, 4, 12, 13 (P0, P2, P4, P12, P13) プルアップ抵抗オプション・レジスタ 0, 2, 4, 12 (PU0, PU2, PU4, PU12) ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4) ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) 周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3)
ポート	<ul style="list-style-type: none"> ● 8 ピン製品 合計：6 本 (CMOS 入出力：5 本 (N-ch O.D.出力 (V_{DD} 耐圧)：2 本)、CMOS 入力：1 本) ● 10 ピン製品 合計：8 本 (CMOS 入出力：7 本 (N-ch O.D.出力 (V_{DD} 耐圧)：3 本)、CMOS 入力：1 本) ● 16 ピン製品 合計：14 本 (CMOS 入出力：13 本 (N-ch O.D.出力 (V_{DD} 耐圧)：7 本)、CMOS 入力：1 本) ● 20 ピン製品 合計：18 本 (CMOS 入出力：17 本 (N-ch O.D.出力 (V_{DD} 耐圧)：9 本)、CMOS 入力：1 本)
内蔵プルアップ抵抗	<ul style="list-style-type: none"> ● 8 ピン製品 合計：5 本 ● 10 ピン製品 合計：7 本 ● 16 ピン製品 合計：13 本 ● 20 ピン製品 合計：17 本

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P07^{注1}端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00, P01, P03-P07 端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-ch オープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力とクロック入出力、フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART のデータ送受信、アナログ入力、コンパレータの出力、クロック/ブザー出力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、P00 は入力モードに、P01-P07 はアナログ入力モードになります。

注1. 8ピン製品はP01, P03, P04、10ピン製品はP00-P04、16ピン、20ピン製品はP00-P07です。

4.2.2 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。P20-P23^{注1}端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ2 (PU2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P22 端子の出力は、ポート出力モード・レジスタ2 (POM2) により1ビット単位でN-ch オープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力とクロック入出力、アナログ入力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、P20-P23 はアナログ入力モードになります。

注1. 20ピン製品の場合。

4.2.3 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40, P41 端子^{注1}を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P41 端子の出力は、ポート出力モード・レジスタ4 (POM4) により1ビット単位でN-ch オープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、シリアル・インタフェースのデータ入出力とクロック入出力、コンパレータの出力、クロック/ブザー出力、タイマの入出力、外部割り込み要求入力があります。リセット信号の発生により、入力モードになります。

注1. 8ピン、10ピン製品はP40、16ピン、20ピン製品はP40, P41です。

4.2.4 ポート 12

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 12 (PM12) により 1 ビット単位で入力モード/出力モードの指定ができます。P121^{注1}, P122^{注1}, P125 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 12 (PU12) により、1 ビット単位で内蔵プルアップ抵抗を使用できます。(P125 はRESET入力 (PORTSELB=1) 設定時は、内蔵プルアップ抵抗が常時有効になります。)

また兼用機能として外部割り込み要求入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、リセット入力、シリアル・インタフェースのデータ入力、コンパレータの出力、タイマの入出力があります。リセット信号の発生により、入力モードになります。

注1. 16 ピン, 20 ピン製品の場合。

注意 電源投入後、P125 はRESET入力として機能します。オプション・バイト (000C1H) の PORTSELB ビットにより、このポートを P125/INTP1/(VCOUT0)/(VCOUT1)/(SI01)または、RESETに定義します。P125/INTP1/(VCOUT0)/(VCOUT1)/(SI01)に設定する場合、セレクトابل・パワーオン・リセット (SPOR) 回路によるリセット期間中および SPOR 回路によるリセット解除から通常動作を開始するまでの期間は、この端子にロウ・レベルを入力しないでください。この期間にロウ・レベルを入力し続けると、外部リセット状態が継続します。なお、この端子の内蔵プルアップ抵抗は、電源投入後から有効になります。

4.2.5 ポート 13

P137 は入力専用ポートです。また兼用機能としてタイマ入力、外部割り込み要求入力があります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12)
- ポート・レジスタ 0, 2, 4, 12, 13 (P0, P2, P4, P12, P13)
- プルアップ抵抗オプション・レジスタ 0, 2, 4, 12 (PU0, PU2, PU4, PU12)
- ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4)
- ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)
- 周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表 4-2～表 4-5 を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表 4-2 Pm, PMn, PUp, POMq, PMCr レジスタとそのビット (8 ピン製品)

ポート		ビット名				
		Pm レジスタ	PMn レジスタ	PUp レジスタ	POMq レジスタ	PMCr レジスタ
PORT0	1	P01	PM01	PU01	POM01	PMC01
	3	P03	PM03	PU03	POM03	PMC03
	4	P04	PM04	PU04	—	PMC04
PORT4	0	P40	PM40	PU40	—	—
PORT12	5	P125	PM125	PU125	—	—
PORT13	7	P137	—	—	—	—

表 4-3 Pm, PMn, PUp, POMq, PMCr レジスタとそのビット (10 ピン製品)

ポート		ビット名				
		Pm レジスタ	PMn レジスタ	PUp レジスタ	POMq レジスタ	PMCr レジスタ
PORT0	0	P00	PM00	PU00	POM00	—
	1	P01	PM01	PU01	POM01	PMC01
	2	P02	PM02	PU02	—	PMC02
	3	P03	PM03	PU03	POM03	PMC03
	4	P04	PM04	PU04	—	PMC04
PORT4	0	P40	PM40	PU40	—	—
PORT12	5	P125	PM125	PU125	—	—
PORT13	7	P137	—	—	—	—

表 4-4 Pm, PMn, PUp, POMq, PMCr レジスタとそのビット (16 ピン製品)

ポート		ビット名				
		Pm レジスタ	PMn レジスタ	PUp レジスタ	POMq レジスタ	PMCr レジスタ
PORT0	0	P00	PM00	PU00	POM00	—
	1	P01	PM01	PU01	POM01	PMC01
	2	P02	PM02	PU02	—	PMC02
	3	P03	PM03	PU03	POM03	PMC03
	4	P04	PM04	PU04	POM04	PMC04
	5	P05	PM05	PU05	POM05	PMC05
	6	P06	PM06	PU06	POM06	PMC06
	7	P07	PM07	PU07	POM07	PMC07
PORT4	0	P40	PM40	PU40	—	—
	1	P41	PM41	PU41	—	—
PORT12	1	P121	PM121	PU121	—	—
	2	P122	PM122	PU122	—	—
	5	P125	PM125	PU125	—	—
PORT13	7	P137	—	—	—	—

表 4-5 Pm, PMn, PUp, POMq, PMCr レジスタとそのビット (20 ピン製品)

ポート		ビット名				
		Pm レジスタ	PMn レジスタ	PUp レジスタ	POMq レジスタ	PMCr レジスタ
PORT0	0	P00	PM00	PU00	POM00	—
	1	P01	PM01	PU01	POM01	PMC01
	2	P02	PM02	PU02	—	PMC02
	3	P03	PM03	PU03	POM03	PMC03
	4	P04	PM04	PU04	POM04	PMC04
	5	P05	PM05	PU05	POM05	PMC05
	6	P06	PM06	PU06	POM06	PMC06
	7	P07	PM07	PU07	POM07	PMC07
PORT2	0	P20	PM20	PU20	—	PMC20
	1	P21	PM21	PU21	—	PMC21
	2	P22	PM22	PU22	POM22	PMC22
	3	P23	PM23	PU23	—	PMC23
PORT4	0	P40	PM40	PU40	—	—
	1	P41	PM41	PU41	POM41	—
PORT12	1	P121	PM121	PU121	—	—
	2	P122	PM122	PU122	—	—
	5	P125	PM125	PU125	—	—
PORT13	7	P137	—	—	—	—

備考 m=0, 2, 4, 12, 13
n=0, 2, 4, 12
p=0, 2, 4, 12
q=0, 2, 4
r=0, 2

各レジスタのフォーマットの説明を次に示します。

4.3.1 ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、「4.5 兼用機能使用時のレジスタ設定」を参照し、設定してください。

図4-1 ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12) のフォーマット

8 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	PM04	PM03	1	PM01	1	FFF20H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM12	1	1	PM125	1	1	1	1	1	FFF2CH	FFH	R/W

10 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM12	1	1	PM125	1	1	1	1	1	FFF2CH	FFH	R/W

16 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM12	1	1	PM125	1	1	PM122	PM121	1	FFF2CH	FFH	R/W

20 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM12	1	1	PM125	1	1	PM122	PM121	1	FFF2CH	FFH	R/W

PMmn	Pmn 端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 m=0, 2, 4, 12
n=0~7

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ 0, 2, 4, 12, 13 (P0, P2, P4, P12, P13)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます^{注1}。

ポート・レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、P13 は不定、その他は 00H になります。

注1. アナログ入力ポート (PMCxx=1, PMxx=1) に設定したポートをリードすると端子入力レベルに関係なく、常に 0 が読み出されます。

P125/RESET/INTP1/(VCOU0)/(VCOU1)/(SI01)端子をRESET入力 (PORTSELB=1) に設定した場合、P125 をリードすると、常に 1 が読み出されます。

図 4-2 ポート・レジスタ 0, 2, 4, 12, 13 (P0, P2, P4, P12, P13) のフォーマット

8 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	P04	P03	0	P01	0	FFF00H	00H (出カラッチ)	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H (出カラッチ)	R/W
P12	0	0	P125	0	0	0	0	0	FFF0CH	00H (出カラッチ)	R/W
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

10 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	P04	P03	P02	P01	P00	FFF00H	00H (出カラッチ)	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H (出カラッチ)	R/W
P12	0	0	P125	0	0	0	0	0	FFF0CH	00H (出カラッチ)	R/W
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

16 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出カラッチ)	R/W
P12	0	0	P125	0	0	P122	P121	0	FFF0CH	00H (出カラッチ)	R/W
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

20 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラッチ)	R/W
P2	0	0	0	0	P23	P22	P21	P20	FFF02H	00H (出カラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出カラッチ)	R/W
P12	0	0	P125	0	0	P122	P121	0	FFF0CH	00H (出カラッチ)	R/W
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

Pmn	出カデータの制御 (出カモード時)	入カデータの読み出し (入カモード時)
0	0 を出力	ロウ・レベルを入力
1	1 を出力	ハイ・レベルを入力

備考 m=0, 2, 4, 12, 13
n=0~7

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ 0, 2, 4, 12 (PU0, PU2, PU4, PU12)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、次の使用条件を満たしたビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。

内蔵プルアップ抵抗の使用条件：

- PMmn=1 (入力モード)
- PMCmn=0 (デジタル入出力)
- POMmn=0 (通常出力モード)

出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定 (PMC=1) にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PU4 は 01H、PU12 は 20H、PU0, PU2 は 00H になります。

図 4-3 プルアップ抵抗オプション・レジスタ 0, 2, 4, 12 (PU0, PU2, PU4, PU12) のフォーマット

8 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	PU03	0	PU01	0	F0030H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU12	0	0	PU125 ^{注1}	0	0	0	0	0	F003CH	20H	R/W

10 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU12	0	0	PU125 ^{注1}	0	0	0	0	0	F003CH	20H	R/W

16 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	01H	R/W
PU12	0	0	PU125 ^{注1}	0	0	PU122	PU121	0	F003CH	20H	R/W

20 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU2	0	0	0	0	PU23	PU22	PU21	PU20	F0032H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	01H	R/W
PU12	0	0	PU125 ^{注1}	0	0	PU122	PU121	0	F003CH	20H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注1. P125/INTP1/(VCOUT0)/(VCOUT1)/(SI01)端子 (PORTSELB=0) 設定時のみ操作することができます。
(RESET入力 (PORTSELB=1) 設定時は、常時有効 (PU125=1) になります。)

備考 m=0, 2, 4, 12
n=0~7

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4)

CMOS 出力/N-ch オープン・ドレイン出力を 1 ビット単位で設定するレジスタです。

外部デバイスとの簡易 I²C 通信時の SDA00, SDA01 端子に N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択できます。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意 N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モード (POM_mn=1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図 4-4 ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4) のフォーマット

8 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	POM03	0	POM01	0	F0050H	00H	R/W

10 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	POM03	0	POM01	POM00	F0050H	00H	R/W

16 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	0	POM01	POM00	F0050H	00H	R/W

20 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	0	POM01	POM00	F0050H	00H	R/W
POM2	0	0	0	0	0	POM22	0	0	F0052H	00H	R/W
POM4	0	0	0	0	0	0	POM41	0	F0054H	00H	R/W

POM _m n	P0n 端子の出力モードの選択
0	通常出力モード
1	N-ch オープン・ドレイン出力 (V _{DD} 耐圧) モード

備考 m=0, 2, 4
n=0~7

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-5 ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) のフォーマット

8 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	PMC04	PMC03	1	PMC01	1	F0060H	FFH	R/W

10 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	PMC04	PMC03	PMC02	PMC01	1	F0060H	FFH	R/W

16 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	1	F0060H	FFH	R/W

20 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	1	F0060H	FFH	R/W

PMC2	1	1	1	1	PMC23	PMC22	PMC21	PMC20	F0062H	FFH	R/W
------	---	---	---	---	-------	-------	-------	-------	--------	-----	-----

PMCmn	P0n 端子のデジタル入出力／アナログ入力の選択
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

備考 m=0, 2
n=1~7

注意 1. PMC0, PMC2 レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ 0, 2 (PM0, PM2) で入力モードに選択してください。

注意 2. 搭載していないビットには必ず初期値を設定してください。

4.3.6 周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3)

周辺 I/O リダイレクト機能の許可/禁止を設定するレジスタです。

周辺 I/O リダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIOR0-3 レジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR0-3 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 4-6 周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) のフォーマット

8 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR0	0	0	0	0	0	PIOR02	0	PIOR00	F0077H	00H	R/W
PIOR3	0	0	0	0	0	PIOR32	0	0	F007CH	00H	R/W

10 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR0	0	0	0	0	PIOR03	PIOR02	0	PIOR00	F0077H	00H	R/W
PIOR3	0	0	0	0	0	PIOR32	0	PIOR30	F007CH	00H	R/W

16 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR0	0	PIOR06	PIOR05	PIOR04	PIOR03	PIOR02	0	PIOR00	F0077H	00H	R/W
PIOR1	0	0	0	PIOR14	0	PIOR12	PIOR11	PIOR10	F0079H	00H	R/W
PIOR2	0	PIOR26	0	PIOR24	PIOR23	PIOR22	PIOR21	0	F0075H	00H	R/W
PIOR3	0	0	0	PIOR34	0	PIOR32	PIOR31	PIOR30	F007CH	00H	R/W

20 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR0	PIOR07	PIOR06	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00	F0077H	00H	R/W
PIOR1	0	0	0	PIOR14	PIOR13	PIOR12	PIOR11	PIOR10	F0079H	00H	R/W
PIOR2	PIOR27	PIOR26	PIOR25	PIOR24	PIOR23	PIOR22	PIOR21	PIOR20	F0075H	00H	R/W
PIOR3	0	0	PIOR35	PIOR34	PIOR33	PIOR32	PIOR31	PIOR30	F007CH	00H	R/W

8 ピン製品

ビット	機能	設定値	
		0	1
PIOR02	TI01/TO01	P04	P40
PIOR00	TI00	P137	P03
PIOR32	VCOUT0	P40	P125

10 ピン製品

ビット	機能	設定値	
		0	1
PIOR00	TI00	P137	P03
PIOR32	VCOUT0	P02	P125
PIOR30	PCLBUZ0	P02	P40

ビット		機能	設定値			
			00	01	10	11
PIOR03	PIOR02	TI01/TO01	P04	P40	P02	設定禁止

16 ピン製品

ビット		機能	設定値	
			0	1
PIOR06		TO03	P41	P07
PIOR00		TI00	P137	P03
PIOR14		SCLA0	P06	P00
		SDAA0	P07	P01
PIOR12		SCK01/SCL01	P07	P00
		SI01/SDA01	P06	P01
		SO01	P05	P02
PIOR26		INTP6	P00	P05
PIOR24		INTP5	P01	P07
PIOR23		INTP4	P03	P41
PIOR22		INTP3	P04	P121
PIOR21		INTP2	P40	P122
PIOR34		INTP7	P02	P06
PIOR32		VCOUT0	P02	P125

ビット		機能	設定値			
			00	01	10	11
PIOR05	PIOR04	TI02/TO02	P05	P01	P41	設定禁止
PIOR03	PIOR02	TI01/TO01	P04	P40	P02	設定禁止
PIOR11		SCK00/SCL00	P02	P06	P05	設定禁止
		SI00/RxD0/SDA00	P01	P05	P04	設定禁止
		SO00/TxD0	P00	P04	P03	設定禁止
PIOR31	PIOR30	PCLBUZ0	P02	P40	P06	設定禁止

20 ピン製品

ビット	機能	設定値	
		0	1
PIOR14	SCLA0	P06	P00
	SDAA0	P07	P01
PIOR23	INTP4	P03	P41
PIOR22	INTP3	P04	P121
PIOR21	INTP2	P40	P122
PIOR20	INTP1	P125	P20
PIOR33	VCOUT1	P41	P125
PIOR32	VCOUT0	P02	P125

ビット		機能	設定値			
			00	01	10	11
PIOR07	PIOR06	TI03	P41	P41	P20	設定禁止
		TO03	P41	P07	P20	
PIOR05	PIOR04	TI02/TO02	P05	P01	P41	設定禁止
PIOR03	PIOR02	TI01/TO01	P04	P40	P02	設定禁止
PIOR01	PIOR00	TI00	P137	P03	P20	設定禁止
		TO00	P03	P03	P21	
PIOR13	PIOR12	SCK01	P07	P00	P20	P07
		SCL01	P07	P00	P20	P23
		SI01	P06	P01	P125	P06
		SDA01	P06	P01	P41	P22
		SO01	P05	P02	P41	P05
PIOR11	PIOR10	SCK00/SCL00	P02	P06	P05	設定禁止
		SI00/RxD0/SDA00	P01	P05	P04	設定禁止
		SO00/TxD0	P00	P04	P03	設定禁止
PIOR27	PIOR26	INTP6	P00	P05	P23	設定禁止
PIOR25	PIOR24	INTP5	P01	P07	P22	設定禁止
PIOR35	PIOR34	INTP7	P02	P06	P21	設定禁止
PIOR31	PIOR30	PCLBUZ0	P02	P40	P06	設定禁止

注意 搭載していないビットには必ず初期値を設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令で、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令で、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令で、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令で、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されず。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。ただし、出力バッファがオフしているので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

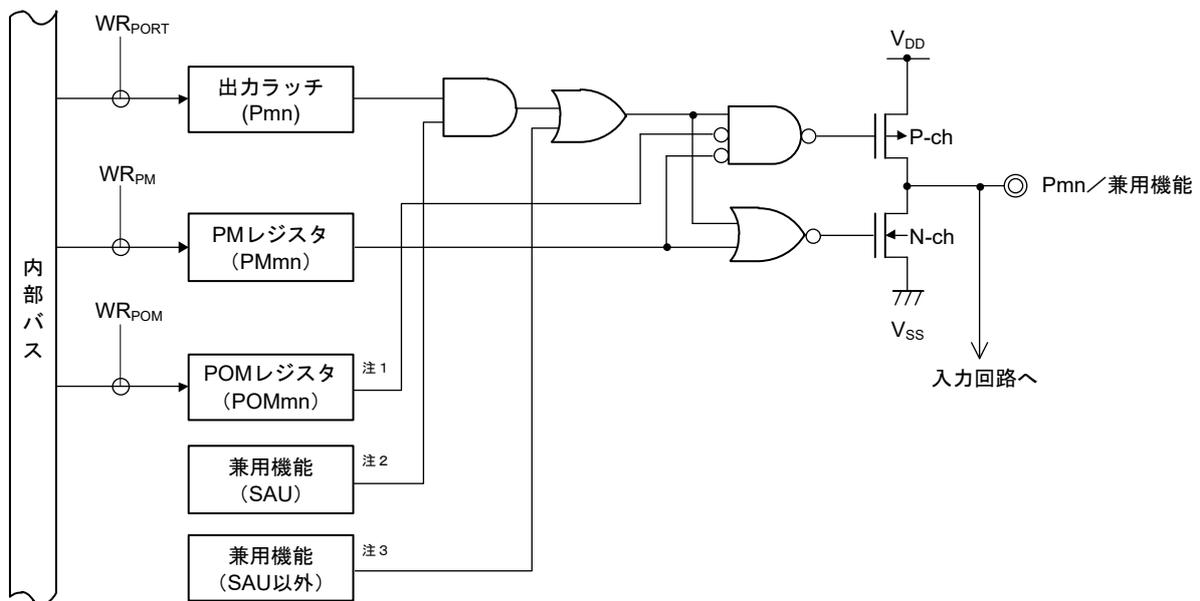
4.5 兼用機能使用時のレジスタ設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-7に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能(TAU、クロック/ブザー出力、IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-6に示します。

図4-7 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0) と考えてください。

注2. 兼用機能がない場合には、この信号はHigh (1) と考えてください。

注3. 兼用機能がない場合には、この信号はLow (0) と考えてください。

備考 m: ポート番号 (m=0, 2, 4, 12, 13)、n: ビット番号 (n=0~7)

表 4-6 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU の出力機能	SAU 以外の出力機能
ポート出力機能	—	出力は High (1)	出力は Low (0)
SAU の出力機能	High (1)	—	出力は Low (0)
SAU 以外の出力機能	Low (0)	don't care	出力は Low (0) ^{注1}

注1. 1つの端子に SAU 以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力は Low (0) にしておく必要があります。具体的な設定方法については、「4.5.2 出力機能を使用しない兼用機能のレジスタ設定」を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺 I/O リダイレクト機能の対象になっている場合には、周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能または他の兼用機能を使用することが可能となります。

(1) SOP=1/TxDq=1 (SAU のシリアル出力 (SOP/TxDq) を使用しない場合の設定)

SAU をシリアル入力のみで使用するなど、シリアル出力 (SOP/TxDq) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ 0 (SOE0) のビットを 0 (出力禁止) に設定し、シリアル出力レジスタ 0 (SO0) の SO0n ビットを 1 (High) に設定してください。これは初期状態と同じ設定です。

(2) SCKp=1/SDAr=1/SCLr=1 (SAU のチャンネル n を使用しない場合の設定)

SAU を使用しない場合は、シリアル・チャンネル許可ステータス・レジスタ 0 (SE0) のビット n (SE0n) を 0 (動作停止状態) に設定し、使用しない出力に対応したシリアル出力許可レジスタ 0 (SOE0) のビットを 0 (出力禁止) に設定し、シリアル出力レジスタ 0 (SO0) の SO0n ビットと CKO0n ビットを 1 (High) に設定してください。これは初期状態と同じ設定です。

(3) TO0n=0 (TAU のチャンネル n の出力を使用しない場合の設定)

TAU の TO0n 出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ 0 (TOE0) のビットを 0 (出力禁止)、タイマ出力レジスタ 0 (TO0) のビットを 0 (Low) に設定してください。これは初期状態と同じ設定です。

(4) SDAA0=0/SCLA0=0 (IICA を使用しない場合の設定)

IICA を使用しない場合は、IICA コントロール・レジスタ 00 (IICCTL00) の IICE0 ビットを 0 (動作停止) にしてください。これは初期状態と同じ設定です。

(5) PCLBUZ0=0 (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ 0 (CKS0) の PCLOE0 ビットを 0 (出力禁止) にしてください。これは初期状態と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表 4-7 に示します。ポート機能を制御するレジスタを表 4-7 のように設定してください。なお、表 4-7 の表記については次の備考を参照してください。

- 備考 — : 対象外
 × : don't care
 PIORr : 周辺 I/O リダイレクション・レジスタ r (r=0-3)
 POMp : ポート出力モード・レジスタ p (p=0, 2, 4)
 PMCq : ポート・モード・コントロール・レジスタ q (q=0, 2)
 PMn : ポート・モード・レジスタ n (n=0, 2, 4, 12)
 Pm : ポートの出力ラッチ (m=0, 2, 4, 12, 13)
 () 内の機能は、周辺 I/O リダイレクション・レジスタ 0-3 (PIOR0-3) の設定により、割り当て可能です。

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (1/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	兼用機能出力		20ピン	16ピン	10ピン	8ピン
	機能名称	入出力						SAU の出力機能	SAU 以外				
P00	P00	入力	—	×	—	1	×	×	×	○	○	○	—
		出力	—	0	—	0	0/1	TxD0/SO00=1 (SCK01/SCL01)=1 ^{注1}	(SCLA0)=0 ^{注1}				
		N-chOD 出力	—	1	—	0	0/1						
	SO00	出力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	0	—	0	1	(SCK01/SCL01)=1 ^{注1}	(SCLA0)=0 ^{注1}	○	○	○	—
	TxD0	出力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	0/1	—	0	1	(SCK01/SCL01)=1 ^{注1}	(SCLA0)=0 ^{注1}	○	○	○	—
	INTP6	入力	PIOR27=0 ^{注2} PIOR26=0 ^{注1}	×	—	1	×	×	×	○	○	○	—
	(SCK01)	入力	PIOR13=0 ^{注2} PIOR12=1 ^{注1}	×	—	1	×	×	×	○	○	—	—
		出力	PIOR13=0 ^{注2} PIOR12=1 ^{注1}	0	—	0	1	TxD0/SO00=1	(SCLA0)=0				
	(SCL01)	出力	PIOR13=0 ^{注2} PIOR12=1 ^{注1}	0	—	0	1	TxD0/SO00=1	(SCLA0)=0	○	○	—	—
(SCLA0)	入出力	PIOR14=1	1	—	0	0	×	×	○	○	—	—	

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (2/9)

端子 名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	兼用機能出力		20 ピン	16 ピン	10 ピン	8 ピン
	機能名称	入出力						SAU の出力機能	SAU 以外				
P01	P01	入力	—	×	0	1	×	×	×	○	○	○	○
		出力	—	0	0	0	0/1	SDA00=1 (SDA01)=1 ^{注1}	(TO02)=0 (SDAA0)=0 ^{注1} SDAA0=0 ^{注3}				
		N-chOD 出力	—	1	0	0	0/1						
	ANI0	アナログ入力	—	×	1	1	×	×	×	○	○	○	○
	SI00	入力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	×	0	1	×	×	×	○	○	○	○
	RxD0	入力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	×	0	1	×	×	×	○	○	○	○
	SDA00	入出力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	1	0	0	1	(SDA01)=1 ^{注1}	(TO02)=0 (SDAA0)=0 ^{注1} SDAA0=0 ^{注3}	○	○	○	○
	INTP5	入力	PIOR25=0 ^{注2} PIOR24=0 ^{注1}	×	0	1	×	×	×	○	○	○	○
	(TI02)	入力	PIOR05=0 PIOR04=1	×	0	1	×	×	×	○	○	—	—
	(TO02)	出力	PIOR05=0 PIOR04=1	0	0	0	0	×	(SDAA0)=0	○	○	—	—
	(SI01)	入力	PIOR13=0 ^{注2} PIOR12=1	×	0	1	×	×	×	○	○	—	—
	(SDA01)	入出力	PIOR13=0 ^{注2} PIOR12=1	1	0	0	1	SDA00=1	(TO02)=0 (SDAA0)=0	○	○	—	—
	(SDAA0)	入出力	PIOR14=1	1	0	0	0	×	(TO02)=0	○	○	—	—
	TI02	入力	—	×	0	1	×	×	×	—	—	○	○
	TO02	出力	—	0	0	0	0	×	SDAA0=0	—	—	○	○
SDAA0	入出力	—	1	0	0	0	×	(TO02)=0	—	—	○	○	

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (3/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	兼用機能出力		20ピン	16ピン	10ピン	8ピン
	機能名称	入出力						SAU の出力機能	SAU 以外				
P02	P02	入力	—	—	0	1	×	×	×	○	○	○	—
		出力	—	—	0	0	0/1	SCK00/SCL00=1 (SO01)=1 ^{注1}	PCLBUZ0=0 VCOUT0=0 (TO01)=0				
	ANI1	アナログ入力	—	—	1	1	×	×	×	○	○	○	—
	SCK00	入力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	—	0	1	×	×	×	○	○	○	—
		出力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	—	0	0	1	(SO01)=1 ^{注1}	PCLBUZ0=0 VCOUT0=0 (TO01)=0				
	SCL00	出力	PIOR11=0 ^{注1} PIOR10=0 ^{注1}	—	0	0	1	(SO01)=1 ^{注1}	PCLBUZ0=0 VCOUT0=0 (TO01)=0	○	○	○	—
	PCLBUZ0	出力	PIOR31=0 ^{注1} PIOR30=0	—	0	0	0	×	VCOUT0=0 (TO01)=0	○	○	○	—
	VCOUT0	出力	PIOR32=0	—	0	0	0	×	PCLBUZ0=0 (TO01)=0	○	○	○	—
	INTP7	入力	PIOR35=0 ^{注2} PIOR34=0 ^{注1}	—	0	1	×	×	×	○	○	○	—
	(TI01)	入力	PIOR03=1 PIOR02=0	—	0	1	×	×	×	○	○	○	—
	(TO01)	出力	PIOR03=1 PIOR02=0	—	0	0	0	×	PCLBUZ0=0 VCOUT0=0	○	○	○	—
	(SO01)	出力	PIOR13=0 ^{注2} PIOR12=1	—	0	0	1	SCK00/SCL00=1	PCLBUZ0=0 VCOUT0=0 (TO01)=0	○	○	—	—
P03	P03	入力	—	×	0	1	×	×	×	○	○	○	○
		出力	—	0	0	0	0/1	SO00/TxD0=1 ^{注4} (SO00/TxD0)=1 ^{注1}	TO00=0 SCLA0=0 ^{注3}				
		N-chOD 出力	—	1	0	0	0/1						
	ANI2	アナログ入力	—	×	1	1	×	×	×	○	○	○	○
	TO00	出力	PIOR01=0 ^{注2} PIOR00=0 ^{注2}	0	0	0	0	×	SCLA0=0 ^{注3}	○	○	○	○
	INTP4	入力	PIOR23=0 ^{注1}	×	0	1	×	×	×	○	○	○	○
	IVCMP0	入力	—	×	1	1	×	×	×	○	○	○	○
	(TI00)	入力	PIOR01=0 ^{注2} PIOR00=1	×	0	1	×	×	×	○	○	○	○
	(SO00)	出力	PIOR11=1 PIOR10=0	0	0	0	1	×	TO00=0	○	○	—	—
	(TxD0)	出力	PIOR11=1 PIOR10=0	0/1	0	0	1	×	TO00=0	○	○	—	—
	SCLA0	入出力	—	1	0	0	0	×	TO00=0	—	—	○	○
	SO00	出力	—	0	0	0	1	×	TO00=0 SCLA0=0	—	—	—	○
TxD0	出力	—	0/1	0	0	1	×	TO00=0 SCLA0=0	—	—	—	○	

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (4/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	兼用機能出力		20ピン	16ピン	10ピン	8ピン
	機能名称	入出力						SAU の出力機能	SAU 以外				
P04	P04	入力	—	×	0	1	×	×	×	○	○	○	○
		出力	—	0	0	0	0/1	(SO00/TxD0)=1 ^{注1} (SDA00)=1 ^{注1} SCL00/SCL00=1 ^{注4}	TO01=0				
		N-chOD 出力	—	1	0	0	0/1						
	ANI3	アナログ入力	—	×	1	1	×	×	×	○	○	○	○
	TI01	入力	PIOR03=0 ^{注5} PIOR02=0	×	0	1	×	×	×	○	○	○	○
	TO01	出力	PIOR03=0 ^{注5} PIOR02=0	0	0	0	0	×	×	○	○	○	○
	IVREF0	入力	—	×	1	1	×	×	×	○	○	○	○
	INTP3	入力	PIOR22=0 ^{注1}	×	0	1	×	×	×	○	○	○	○
	(SI00)	入力	PIOR11=1 PIOR10=0	×	0	1	×	×	×	○	○	—	—
	(RxD0)	入力	PIOR11=1 PIOR10=0	×	0	1	×	×	×	○	○	—	—
	(SDA00)	入出力	PIOR11=1 PIOR10=0	1	0	0	1	(SO00/TxD0)=1	TO01=0	○	○	—	—
	(SO00)	出力	PIOR11=0 PIOR10=1	0	0	0	1	(SDA00)=1	TO01=0	○	○	—	—
	(TxD0)	出力	PIOR11=0 PIOR10=1	0/1	0	0	1	(SDA00)=1	TO01=0	○	○	—	—
SCK00	入力	—	×	0	1	×	×	×	—	—	—	○	
	出力	—	0	0	0	1	×	TO01=0					
SCL00	出力	—	0	0	0	1	×	TO01=0	—	—	—	○	
P05	P05	入力	—	×	0	1	×	×	×	○	○	—	—
		出力	—	0	0	0	0/1	SO01=1 (SCK00/SCL00)=1 (SDA00)=1	TO02=0				
		N-chOD 出力	—	1	0	0	0/1						
	ANI4	アナログ入力	—	×	1	1	×	×	×	○	○	—	—
	TI02	入力	PIOR05=0 PIOR04=0	×	0	1	×	×	×	○	○	—	—
	TO02	出力	PIOR05=0 PIOR04=0	0	0	0	0	×	×	○	○	—	—
	SO01	出力	PIOR13=0 ^{注2} PIOR12=0	0	0	0	1	(SCK00/SCL00)=1 (SDA00)=1	TO02=0	○	○	—	—
	(INTP6)	入力	PIOR27=0 ^{注2} PIOR26=1	×	0	1	×	×	×	○	○	—	—
	(SCK00)	入力	PIOR11=1 PIOR10=0	×	0	1	×	×	×	○	○	—	—
		出力	PIOR11=1 PIOR10=0	0	0	0	1	SO01=1 (SDA00)=1	TO02=0				
	(SCL00)	出力	PIOR11=1 PIOR10=0	0	0	0	1	SO01=1 (SDA00)=1	TO02=0	○	○	—	—
	(SI00)	入力	PIOR11=0 PIOR10=1	×	0	1	×	×	×	○	○	—	—
	(RxD0)	入力	PIOR11=0 PIOR10=1	×	0	1	×	×	×	○	○	—	—
(SDA00)	入出力	PIOR11=0 PIOR10=1	1	0	0	1	SO01=1 (SCK00/SCL00)=1	TO02=0	○	○	—	—	

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (5/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	兼用機能出力		20ピン	16ピン	10ピン	8ピン
	機能名称	入出力						SAU の出力機能	SAU 以外				
P06	P06	入力	—	×	0	1	×	×	×	○	○	—	—
		出力	—	0	0	0	0/1	SDA01=1 (SCK00/SCL00)=1	SCLA0=0 (PCLBUZ0)=0				
		N-chOD 出力	—	1	0	0	0/1						
	ANI5	アナログ入力	—	×	1	1	×	×	×	○	○	—	—
	SI01	入力	PIOR13=0 ^{注2} PIOR12=0	×	0	1	×	×	×	○	○	—	—
	SDA01	入出力	PIOR13=0 ^{注2} PIOR12=0	1	0	0	1	(SCK00/SCL00)=1	SCLA0=0 (PCLBUZ0)=0	○	○	—	—
	SCLA0	入出力	PIOR14=0	1	0	0	0	×	(PCLBUZ0)=0	○	○	—	—
	(INTP7)	入力	PIOR35=0 ^{注2} PIOR34=1	×	0	1	×	×	×	○	○	—	—
	(PCLBUZ0)	出力	PIOR31=1 PIOR30=0	0	0	0	0	×	SCLA0=0	○	○	—	—
	(SCK00)	入力	PIOR11=0 PIOR10=1	×	0	1	×	×	×	○	○	—	—
	出力	PIOR11=0 PIOR10=1	0	0	0	1	SDA01=1	SCLA0=0 (PCLBUZ0)=0					
(SCL00)	出力	PIOR11=0 PIOR10=1	0	0	0	1	SDA01=1	SCLA0=0 (PCLBUZ0)=0	○	○	—	—	
P07	P07	入力	—	×	0	1	×	×	×	○	○	—	—
		出力	—	0	0	0	0/1	SCK01/SCL01=1	(TO03)=0 SDAA0=0				
		N-chOD 出力	—	1	0	0	0/1						
	ANI6	アナログ入力	—	×	1	1	×	×	×	○	○	—	—
	(TO03)	出力	PIOR07=0 ^{注2} PIOR06=1	0/1	0	0	0	×	SDAA0=0	○	○	—	—
	SCK01	入力	PIOR13=0 ^{注2} PIOR12=0	×	0	1	×	×	×	○	○	—	—
		出力	PIOR13=0 ^{注2} PIOR12=0	0	0	0	1	×	(TO03)=0 SDAA0=0				
	SCL01	出力	PIOR13=0 ^{注2} PIOR12=0	0	0	0	1	×	(TO03)=0 SDAA0=0	○	○	—	—
SDAA0	入出力	PIOR14=0	1	0	0	0	×	(TO03)=0	○	○	—	—	
(INTP5)	入力	PIOR25=0 ^{注2} PIOR24=1	×	0	1	×	×	×	○	○	—	—	

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (6/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	兼用機能出力		20ピン	16ピン	10ピン	8ピン
	機能名称	入出力						SAU の出力機能	SAU 以外				
P20	P20	入力	—	—	0	1	×	×	×	○	—	—	—
		出力	—	—	0	0	0/1	(SCK01/SCL01)=1	(TO03)=0	○	—	—	—
	ANI10	アナログ入力	—	—	1	1	×	×	×	○	—	—	—
	IVREF1	入力	—	—	1	1	×	×	×	○	—	—	—
	(INTP1)	入力	PIOR20=1	—	0	1	×	×	×	○	—	—	—
	(TI00)	入力	PIOR01=1 PIOR00=0	—	0	1	×	×	×	○	—	—	—
	(TI03)	入力	PIOR07=1 PIOR06=0	—	0	1	×	×	×	○	—	—	—
	(TO03)	出力	PIOR07=1 PIOR06=0	—	0	0	0	×	×	○	—	—	—
	(SCK01)	入力	PIOR13=1 PIOR12=0	—	0	1	×	×	×	○	—	—	—
出力		PIOR13=1 PIOR12=0	—	0	0	1	×	(TO03)=0	○	—	—	—	
(SCL01)	出力	PIOR13=1 PIOR12=0	—	0	0	1	—	(TO03)=0	○	—	—	—	
P21	P21	入力	—	—	0	1	×	—	×	○	—	—	—
		出力	—	—	0	0	0/1	—	(TO00)=0	○	—	—	—
	ANI9	アナログ入力	—	—	1	1	×	—	×	○	—	—	—
	IVCMP1	入力	—	—	1	1	×	—	×	○	—	—	—
	(INTP7)	入力	PIOR35=1 PIOR34=0	—	0	1	×	—	×	○	—	—	—
(TO00)	出力	PIOR01=1 PIOR00=0	—	0	0	0	—	×	○	—	—	—	
P22	P22	入力	—	×	0	1	×	×	×	○	—	—	—
		出力	—	0	0	0	0/1	(SDA01)=1	TO06=0	○	—	—	—
		N-chOD 出力	—	1	0	0	0/1	—	—	○	—	—	—
	ANI8	アナログ入力	—	×	1	1	×	×	×	○	—	—	—
	(SDA01)	入出力	PIOR13=1 PIOR12=1	1	0	0	1	×	TO06=0	○	—	—	—
	TI06	入力	—	×	0	1	×	×	×	○	—	—	—
	TO06	出力	—	0	0	0	0	×	×	○	—	—	—
(INTP5)	入力	PIOR25=1 PIOR24=0	×	0	1	×	×	×	○	—	—	—	
P23	P23	入力	—	—	0	1	×	×	×	○	—	—	—
		出力	—	—	0	0	0/1	(SCL01)=1	TO04=0	○	—	—	—
	ANI7	アナログ入力	—	—	1	1	×	×	×	○	—	—	—
	(SCL01)	出力	PIOR13=1 PIOR12=1	—	0	0	1	×	TO04=0	○	—	—	—
	(INTP6)	入力	PIOR27=1 PIOR26=0	—	0	1	×	×	×	○	—	—	—
	TI04	入力	—	—	0	1	×	×	×	○	—	—	—
TO04	出力	—	—	0	0	0	×	×	○	—	—	—	

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (7/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	兼用機能出力		20 ピン	16 ピン	10 ピン	8 ピン
	機能名称	入出力						SAU の出力機能	SAU 以外				
P40	P40	入力	—	—	—	1	×	—	×	○	○	○	○
		出力	—	—	—	0	0/1	—	(PCLBUZ0)=0 ^{注5} (TO01)=0 PCLBUZ0=0 ^{注4} VCOUT=0 ^{注4}	○	○	○	○
	(PCLBUZ0)	出力	PIOR31=0 ^{注1} PIOR30=1	—	—	0	0	—	(TO01)=0	○	○	○	—
	(TI01)	入力	PIOR03=0 ^{注5} PIOR02=1	—	—	1	×	—	×	○	○	○	○
	(TO01)	出力	PIOR03=0 ^{注5} PIOR02=1	—	—	0	0	—	(PCLBUZ0)=0 ^{注5} PCLBUZ0=0 ^{注4} VCOUT=0 ^{注4}	○	○	○	○
	INTP2	入力	PIOR21=0 ^{注1}	×	—	1	×	—	×	○	○	○	○
	PCLBUZ0	出力	—	—	—	0	0	—	(TO01)=0 VCOUT=0	—	—	—	○
	VCOUT0	出力	PIOR32=0	—	—	0	0	—	(TO01)=0 PCLBUZ0=0	—	—	—	○
P41	P41	入力	—	×	—	1	×	×	×	○	○	—	—
		出力	—	0	—	0	0/1	(SDA01/SO01)=1 ^{注2}	TO03=0 (TO02)=0 VCOUT1=0 ^{注2}	○	○	—	—
		N-chOD 出力	—	1	—	0	0/1						
	TI03	入力	PIOR07=0 ^{注2}	×	—	1	×	×	×	○	○	—	—
	TO03	出力	PIOR07=0 ^{注2} PIOR06=0	0	—	0	0	×	(TO02)=0 VCOUT1=0 ^{注2}	○	○	—	—
	(INTP4)	入力	PIOR23=1	×	—	1	×	×	×	○	○	—	—
	(TI02)	入力	PIOR05=1 PIOR04=0	×	—	1	×	×	×	○	○	—	—
	(TO02)	出力	PIOR05=1 PIOR04=0	0	—	0	0	×	TO03=0 VCOUT1=0 ^{注2}	○	○	—	—
	VCOUT1	出力	PIOR33=0	0	—	0	0	×	TO03=0 (TO02)=0	○	—	—	—
(SDA01)	入出力	PIOR13=1 PIOR12=0	1	—	0	1	×	TO03=0 (TO02)=0 VCOUT1=0	○	—	—	—	
(SO01)	出力	PIOR13=1 PIOR12=0	0	—	0	1	×	TO03=0 (TO02)=0 VCOUT1=0	○	—	—	—	

注1. 16ピン, 20ピン製品のみ

注2. 20ピン製品のみ

注3. 8ピン, 10ピン製品のみ

注4. 8ピン製品のみ

注5. 10~20ピン製品のみ

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (8/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	CMC (EXCLK,OSCSEL)	兼用機能出力	20 ピン	16 ピン	10 ピン	8 ピン
	機能名称	入出力											
P121	P121	入力	—	—	—	1	×	00/10/11	×	○	○	—	—
		出力	—	—	—	0	0/1	00/10/11	TO07=0				
	X1	入力	—	—	—	×	×	01	×	○	○	—	—
	(INTP3)	入力	PIOR22=1	—	—	1	×	00/10/11	×	○	○	—	—
	TI07	入力	—	—	—	1	×	00/10/11	×	○	○	—	—
	TO07	出力	—	—	—	0	0	00/10/11	×	○	○	—	—
P122	P122	入力	—	—	—	1	×	00/10	×	○	○	—	—
		出力	—	—	—	0	0/1	00/10	TO05=0				
	X2	入力	—	—	—	×	×	01	×	○	○	—	—
	EXCLK	入力	—	—	—	×	×	11	×	○	○	—	—
	(INTP2)	入力	PIOR21=1	—	—	1	×	00/10	×	○	○	—	—
	TI05	入力	—	—	—	1	×	00/10	×	○	○	—	—
	TO05	出力	—	—	—	0	0	00/10	×	○	○	—	—

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (9/9)

端子名称	使用機能		PIORr	POMp	PMCq	PMn	Pm	備考	兼用機能出力	20 ピン	16 ピン	10 ピン	8 ピン
	機能名称	入出力											
P125	P125	入力	—	—	—	1	×	オプション・バイト 000C1H PORTSELB=0	×	○	○	○	○
		出力	—	—	—	0	0/1		(VCOUT0)=0 (VCOUT1)=0 ^{注1}				
	INTP1	入力	PIOR20=0 ^{注1}	—	—	1	×		×	○	○	○	○
	(VCOUT0)	出力	PIOR32=1	—	—	0	0		(VCOUT1)=0 ^{注1}	○	○	○	○
	(VCOUT1)	出力	PIOR33=1	—	—	0	0		(VCOUT0)=0	○	—	—	—
	(SI01)	入力	PIOR13=1 PIOR12=0	—	—	1	×		×	○	—	—	—
	RESET	入力	—	—	—	×	×		オプション・バイト 000C1H PORTSELB=1	×	○	○	○
P137	P137	入力	—	—	—	—	×	—	—	○	○	○	○
	TI00	入力	PIOR01=0 ^{注1} PIOR00=0	—	—	—	×	—	—	○	○	○	○
	INTP0	入力	—	—	—	—	×	—	—	○	○	○	○

注1. 20ピン製品のみ

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn) に対する 1 ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して 1 ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

【例】

P00 は出力ポート、P01-P07 は入力ポート（端子状態はすべてハイ・レベル）で、かつポート 0 の出カラッチの値が“00H”のとき、出力ポート P00 の出力を 1 ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート 0 の出カラッチの値は、“FFH”になります。

【説明】

PMnm ビット=1 であるポートの Pn レジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。1 ビット・メモリ操作命令は RL78 マイクロコントローラ内部で、次の順序で行われます。

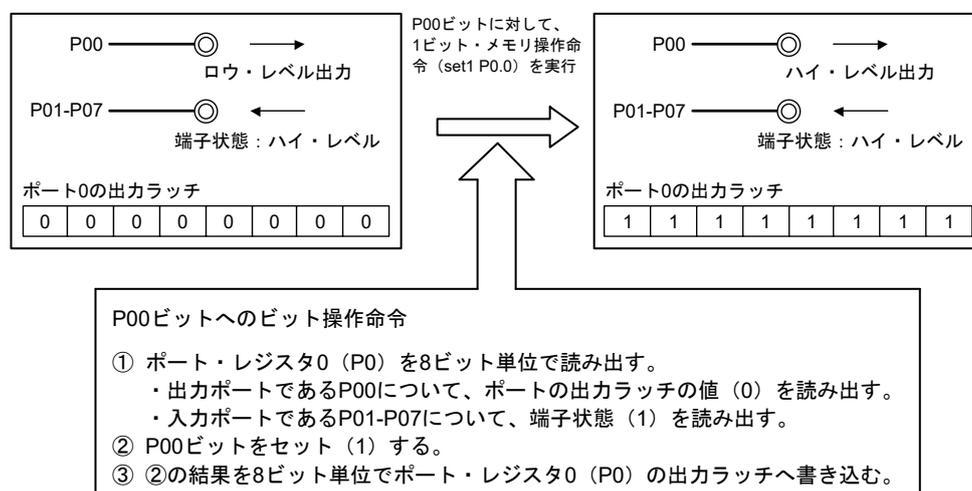
- ① Pn レジスタを 8 ビット単位で読み出し
- ② 対象の 1 ビットを操作
- ③ Pn レジスタへ 8 ビット単位で書き込み

①のとき、出力ポートである P00 は出カラッチの値 (0) を読み出し、入力ポートである P01-P07 は端子状態を読み出します。このとき P01-P07 の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

②の操作で、値は“FFH”となります。

③の操作で、出カラッチに“FFH”が書き込まれます。

図 4-8 1 ビット・メモリ操作命令 (P00 の場合)



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺 I/O リダイレクション・レジスタ 0-3（PIOR0-3）の設定により、割り当てられた機能も同様です。兼用出力については、「4.5 兼用機能使用時のレジスタ設定」を参照してください。

入力として使用する端子では、兼用機能の出力が無効（バッファ出力が Hi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1 発振回路（16 ピン製品と 20 ピン製品のみ）

X1 端子、X2 端子に発振子を接続することにより、 $f_x=1\sim 12\text{MHz}$ のクロックを発振させることができます。

また、EXCLK/X2/P122 端子から外部メイン・システム・クロック ($f_{EX}=1\sim 16\text{MHz}$) を供給することもできます。

STOP 命令の実行または MSTOP ビット（クロック動作ステータス制御レジスタ（CSC）のビット 7）の設定により、発振子の発振を停止、または外部メイン・システム・クロック入力を無効にすることができます。

② 高速オンチップ・オシレータ

オプションバイト（000C2H）により、 $f_{IH}=16/8/4/2/1\text{MHz}$ （TYP.）から周波数を選択し、発振させることができます。リセット解除後、CPU は必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP 命令の実行または、HIOSTOP ビット（CSC レジスタのビット 0）の設定により、発振を停止することができます。オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、「[図 5-9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット](#)」を参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数[MHz]				
	1	2	4	8	16
$2.4\text{V}\leq V_{DD}\leq 5.5\text{V}$	○	○	○	○	○

備考 ○：動作可能、—：動作不可

メイン・システム・クロックは、MCM0 ビット（システム・クロック制御レジスタ（CKC）のビット 4）の設定により、高速システム・クロック（X1 クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

また、EXCLK/X2/P122 端子から外部メイン・システム・クロック ($f_{EX}=1\sim 16\text{MHz}$) を供給することができます。STOP 命令の実行または MSTOP ビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

(2) 低速オンチップ・オシレータ・クロック

$f_{IL}=15\text{kHz}$ (TYP.) のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックを CPU クロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ウォッチドッグ・タイマ
- 12 ビット・インターバル・タイマ

オプション・バイト (000C0H) のビット 4 (WDTON) または、動作スピード・モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) のどちらか、または両方が 1 のときに動作します。

ただし、WDTON=1、WUTMMCK0=0 かつオプション・バイト (000C0H) のビット 0 (WDSTBYON) が 0 のときに、HALT 命令または STOP 命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考 f_X : X1 クロック発振周波数
 f_{EX} : 外部メイン・システム・クロック周波数
 f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5-1 クロック発生回路の構成

項目	構成	8ピン 製品	10ピン 製品	16ピン 製品	20ピン 製品
制御レジスタ	クロック動作モード制御レジスタ (CMC)	—	—	○	○
	システム・クロック制御レジスタ (CKC)	—	—	○	○
	クロック動作ステータス制御レジスタ (CSC)	—	—	○	○
	発振安定時間カウンタ状態レジスタ (OSTC)	—	—	○	○
	発振安定時間選択レジスタ (OSTS)	—	—	○	○
	周辺イネーブル・レジスタ 0 (PER0)	○	○	○	○
	動作スピード・モード制御レジスタ (OSMC)	○	○	○	○
	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	○	○	○	○
	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	○	○	○	○
発振回路	X1 発振回路	—	—	○	○
	高速オンチップ・オシレータ	○	○	○	○
	低速オンチップ・オシレータ	○	○	○	○

備考 ○：あり、—：なし

備考 f_X : X1 クロック発振周波数
 f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 f_{EX} : 外部メイン・システム・クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{MAIN} : メイン・システム・クロック周波数
 f_{CLK} : CPU/周辺ハードウェア・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、製品ごとに次のレジスタで制御します。

(1) 8ピンと10ピン製品

- 周辺イネーブル・レジスタ 0 (PER0)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 動作スピード・モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

(2) 16ピンと20ピン製品

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0 (PER0)
- 動作スピード・モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

注意 製品によって搭載するレジスタとビットは異なります。搭載していないレジスタとビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121/TI07/TO07/(INTP3), X2/EXCLK/P122/TI05/TO05/(INTP2)端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図 5-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH
EXCLK	OSCSEL	高速システム・クロック端子の動作モード		X1/P121/TI07/TO07/(INTP3)端子		X2/EXCLK/P122/TI05/TO05/(INTP2)端子		
0	0	入出力ポート・モード		入出力ポート				
0	1	X1 発振モード		水晶/セラミック発振子接続				
1	0	入出力ポート・モード		入出力ポート				
1	1	外部クロック入力モード		入出力ポート			外部クロック入力	
AMPH	X1 クロック発振周波数の制御							
0	$1\text{MHz} \leq f_x \leq 10\text{MHz}$							
1	$10\text{MHz} \leq f_x \leq 12\text{MHz}$							

- 注意 1.** CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMC レジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H 以外の誤書き込みで復帰不可) を防止するために、リセット解除後は必ず 00H に設定してください。
- 注意 2.** リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定で X1 発振を開始する前に、CMC レジスタを設定してください。
- 注意 3.** X1 クロック発振周波数が 10MHz を越える場合は、必ず AMPH ビットに 1 を設定してください。AMPH ビットは、リセット解除後 f_{CLK} に f_{IH} を選択した状態 (f_{CLK} を f_{MX} に切り替える前の状態) で設定してください。
- 注意 4.** X1 端子, X2 端子の動作モードを切り換える場合、MSTOP=1 の状態で行ってください。

備考 f_x : X1 クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

メイン・システム・クロックを選択するレジスタです。

CKC レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 5-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	0	0	0	0

MCS	メイン・システム・クロック (f_{MAIN}) のステータス
0	高速オンチップ・オシレータ・クロック (f_{IH})
1	高速システム・クロック (f_{MX})

MCM0	メイン・システム・クロック (f_{MAIN}) の動作制御
0	メイン・システム・クロック (f_{MAIN}) に高速オンチップ・オシレータ・クロック (f_{IH}) を選択
1	メイン・システム・クロック (f_{MAIN}) に高速システム・クロック (f_{MX}) を選択

注1. ビット 5 は Read Only です。

注意 1. ビット 0-3, 6, 7 には、必ず 0 を設定してください。

注意 2. メイン・システム・クロック (f_{MAIN}) に高速システム・クロック (f_{MX}) を選択する場合は、 f_{MX} の発振動作を開始させ、発振安定時間を経過後に切り替えしてください。

注意 3. メイン・システム・クロック周波数 (f_{MAIN}) を変更すると、周辺ハードウェア・クロックも同時に変更されます。 f_{MAIN} を変更する場合は、各周辺機能を停止させてから MCM0 ビットの設定を行ってください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H になります。

図 5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：80H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	0	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1 発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1 発振回路動作	EXCLK 端子からの外部クロック有効	入力ポート
1	X1 発振回路停止	EXCLK 端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ・クロック動作
1	高速オンチップ・オシレータ・クロック停止

- 注意 1. リセット解除後は、クロック動作モード制御レジスタ (CMC) を設定してから CSC レジスタを設定してください。
- 注意 2. X1 端子, X2 端子の動作モードを切り換える場合、MSTOP=1 の状態で行ってください。
- 注意 3. MSTOP=0 を設定する場合、先に X1 端子, X2 端子を fx 動作モードに切り換えてください。入力ポート・モードでは、MSTOP フラグの設定は無効です。
- 注意 4. リセット解除後 MSTOP ビットを 0 に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただし OSTS レジスタを初期値のまま使用する場合は、OSTS レジスタを設定する必要はありません。
- 注意 5. MSTOP ビットの設定で X1 発振を開始する場合は、X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
- 注意 6. fx 動作モード中に MSTOP=1 とする場合、先に CKC レジスタの MCS=0 であるかを確認してください。
- 注意 7. fx 動作中、MSTOP フラグの書き込みは有効ですが、停止制御は行いません。
- 注意 8. CPU/周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは、CSC レジスタで停止させないでください。
- 注意 9. クロック発振停止するためのレジスタのフラグ設定と停止前の条件は、表 5-2 のようになります。クロックを停止する場合は、クロック停止前の条件を確認してから実行してください。

表 5-2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止前条件	CSC レジスタのフラグ設定
X1 クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロックで動作 (MCS=0)	MSTOP=1
外部メイン・システム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速システム・クロックで動作 (MCS=1)	HIOSTOP=1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1 クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1 クロックの発振安定時間を確認することができます。

- CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックの発振を開始した場合
- CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後、STOP モードを解除した場合

OSTC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP 命令、MSTOP ビット (クロック動作ステータス制御レジスタ (CSC) のビット 7) = 1 により、00H になります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1 クロック発振開始時 (EXCLK, OSCSEL=0, 1→MSTOP=0)
- STOP モードを解除したとき

図 5-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

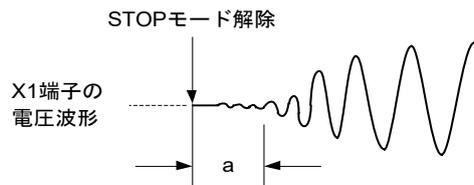
MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								$f_x=10\text{MHz}$ 時	$f_x=16\text{MHz}$ 時	
0	0	0	0	0	0	0	0	$(2^8+16) / f_x$ 未満	27.2 μs 未満	17.0 μs 未満
1	0	0	0	0	0	0	0	$(2^8+16) / f_x$ 以上	27.2 μs 以上	17.0 μs 以上
1	1	0	0	0	0	0	0	$(2^9+16) / f_x$ 以上	52.8 μs 以上	33.0 μs 以上
1	1	1	0	0	0	0	0	$(2^{10}+16) / f_x$ 以上	104 μs 以上	65.0 μs 以上
1	1	1	1	0	0	0	0	$(2^{11}+16) / f_x$ 以上	206 μs 以上	129 μs 以上
1	1	1	1	1	0	0	0	$(2^{13}+16) / f_x$ 以上	820 μs 以上	513 μs 以上
1	1	1	1	1	1	0	0	$(2^{15}+16) / f_x$ 以上	3.27ms 以上	2.05ms 以上
1	1	1	1	1	1	1	0	$(2^{17}+16) / f_x$ 以上	13.1ms 以上	8.19ms 以上
1	1	1	1	1	1	1	1	$(2^{18}+16) / f_x$ 以上	26.2ms 以上	16.4ms 以上

注意 1. 上記時間経過後、MOST8 ビットから順番に“1”となっていき、そのまま“1”を保持します。

注意 2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。
次のときには、OSTS レジスタの発振安定時間を、発振開始後に OSTC レジスタで確認したいカウント値より大きい値に設定してください。

- CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックの発振を開始したい場合
- CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後、STOP モードを解除したい場合

注意 3. X1 クロックの発振安定時間は、クロック発振を開始するまでの時間（下図 a）は含みません。



備考 f_x : X1 クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

STOP モード解除時の X1 クロックの発振安定時間を選択するレジスタです。

CPU クロックに X1 クロックを選択した場合、STOP モード解除後は、OSTS レジスタで設定した時間を自動でウェイトします。CPU クロックを高速オンチップ・オシレータ・クロックから X1 クロックに切り換える場合や、CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後 STOP モードを解除した場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。

OSTC レジスタでは、あらかじめ OSTS レジスタで設定した時間までの確認ができます。

OSTS レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、07H になります。

図 5-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				$f_x=10\text{MHz}$ 時	$f_x=16\text{MHz}$ 時
0	0	0	$(2^8+16) / f_x$	27.2 μs	17.0 μs
0	0	1	$(2^9+16) / f_x$	52.8 μs	33.0 μs
0	1	0	$(2^{10}+16) / f_x$	104 μs	65.0 μs
0	1	1	$(2^{11}+16) / f_x$	206 μs	129 μs
1	0	0	$(2^{13}+16) / f_x$	820 μs	513 μs
1	0	1	$(2^{15}+16) / f_x$	3.27ms	2.05ms
1	1	0	$(2^{17}+16) / f_x$	13.1ms	8.19ms
1	1	1	$(2^{18}+16) / f_x$	26.2ms	16.4ms

注意 1. CPU クロックが X1 クロック時に STOP モードへ移行する場合は、STOP 命令の実行よりも前に OSTS レジスタを設定しておいてください。

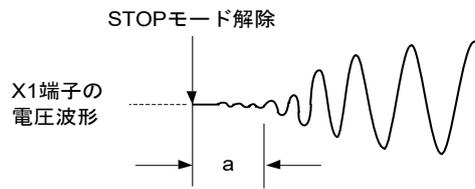
注意 2. OSTS レジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) の MSTOP ビットを 0 に設定する前に行ってください。

注意 3. X1 クロックの発振安定時間中は、OSTS レジスタを変更しないでください。

注意 4. 発振安定時間カウンタは OSTS レジスタで設定した発振安定時間までしかカウントしません。次のときには、OSTS レジスタの発振安定時間を、発振開始後に OSTC レジスタで確認したいカウント値より大きい値に設定してください。

- CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックの発振を開始したい場合
- CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後、STOP モードを解除したい場合 (したがって、STOP モード解除後の OSTC レジスタは、OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意 5. X1 クロックの発振安定時間は、クロック発振を開始するまでの時間（下図 a）は含みません。



備考 f_x : X1 クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0 (PER0)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット（1）してください。

- 12ビット・インターバル・タイマ
- A/Dコンバータ
- コンパレータ
- シリアル・インタフェース IICA
- シリアル・アレイ・ユニット
- タイマ・アレイ・ユニット

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ 0 (PER0) のフォーマット (1/2)

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN ^{注1}	CMPEN ^{注1}	ADCEN	IICA0EN ^{注1}	0	SAU0EN	0	TAU0EN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用するSFRへのライト不可 • 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

CMPEN	コンパレータの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • コンパレータで使用するSFRへのライト不可 • コンパレータはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • コンパレータで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • A/Dコンバータで使用するSFRへのライト不可 • A/Dコンバータはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • A/Dコンバータで使用するSFRへのリード／ライト可

図 5-7 周辺イネーブル・レジスタ 0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN ^{注1}	CMPEN ^{注1}	ADCEN	IICA0EN ^{注1}	0	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェース IICA の入力クロック供給の制御
0	入力クロック供給停止 <ul style="list-style-type: none"> シリアル・インタフェース IICA で使用する SFR へのライト不可 シリアル・インタフェース IICA はリセット状態
1	入力クロック供給 <ul style="list-style-type: none"> シリアル・インタフェース IICA で使用する SFR へのリード/ライト可

SAU0EN	シリアル・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 <ul style="list-style-type: none"> シリアル・アレイ・ユニットで使用する SFR へのライト不可 シリアル・アレイ・ユニットはリセット状態
1	入力クロック供給 <ul style="list-style-type: none"> シリアル・アレイ・ユニットで使用する SFR へのリード/ライト可

TAU0EN	タイマ・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 <ul style="list-style-type: none"> タイマ・アレイ・ユニットで使用する SFR へのライト不可 タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 <ul style="list-style-type: none"> タイマ・アレイ・ユニットで使用する SFR へのリード/ライト可

注1. 16ピンと20ピン製品のみ

注意 1. ビット 1, 3 は必ず 0 を設定してください。

注意 2. 次のビットには必ず 0 を設定してください。

8ピンと10ピン製品 : ビット 1, 3, 4, 6, 7

16ピンと20ピン製品 : ビット 1, 3

5.3.7 動作スピード・モード制御レジスタ (OSMC)

OSMC レジスタでは、12 ビット・インターバル・タイマの動作クロックの供給を制御します。12 ビット・インターバル・タイマを動作させるときは、先に WUTMMCK0=1 に設定し、停止させるまで WUTMMCK0=0 に設定しないでください。

OSMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 5-8 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12 ビット・インターバル・タイマの動作クロックの供給
0	クロック供給停止
1	低速オンチップ・オシレータ・クロック (f _{IL}) 供給

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータ・クロックの周波数を変更するレジスタです。

HOCODIV は、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト (000C2H) FRQSEL2 - FRQSEL0 で設定した値になります。

図 5-9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト (000C2H) FRQSEL2 - FRQSEL0 の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択
0	0	1	16MHz
0	1	0	8MHz
0	1	1	4MHz
1	0	0	2MHz
1	0	1	1MHz
上記以外			設定禁止

注意 1. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH}) を CPU/周辺ハードウェア・クロック (f_{CLK}) に選択している状態で行ってください。

注意 2. HOCODIV レジスタで周波数を変更後、次の遷移時間を経過して周波数が切り替わります。

- 変更前の周波数で最大 3 クロック動作
- 変更後の周波数で最大 3 クロックの CPU/周辺ハードウェア・クロック・ウェイト

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ (タイマ・アレイ・ユニット) を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、V_{DD} 端子電圧に変化があった場合、周波数は変動します。
 温度、V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図 5-10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H リセット時 : 不定^{注1} R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ 最低速 ↑ ↓ 最高速
0	0	0	0	0	0	
0	0	0	0	0	1	
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
⋮						
1	1	1	1	1	0	
1	1	1	1	1	1	

注1. リセット値は出荷時に調整した値です。

備考 HIOTRM レジスタの 1 ビットあたり高速オンチップ・オシレータ・クロック精度を約 0.05%補正できます。

5.4 システム・クロック発振回路

5.4.1 X1 発振回路（16ピンと20ピン製品のみ）

X1 発振回路は X1 端子, X2 端子に接続された水晶振動子またはセラミック発振子（1~12MHz）によって発振します。また、外部クロックを入力することができます。その場合は EXCLK 端子にクロック信号を入力してください。

X1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット 7, 6（EXCLK, OSCSEL）を次のように設定してください。

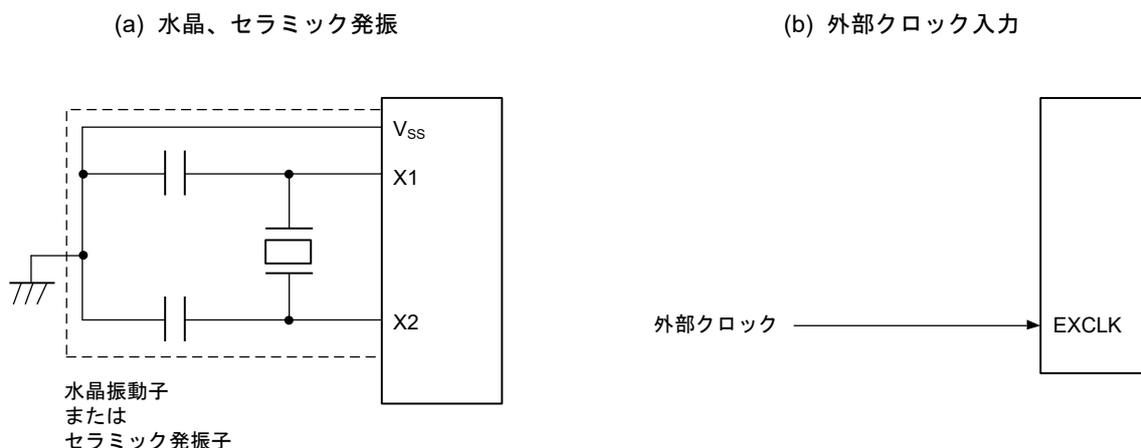
- 水晶、セラミック発振 : EXCLK, OSCSEL=0, 1
- 外部クロック入力 : EXCLK, OSCSEL=1, 1

X1 発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL=0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、「表 2-2 各端子の未使用処理」を参照してください。

図 5-11 に X1 発振回路の外付け回路例を示します。

図 5-11 X1 発振回路の外付け回路例



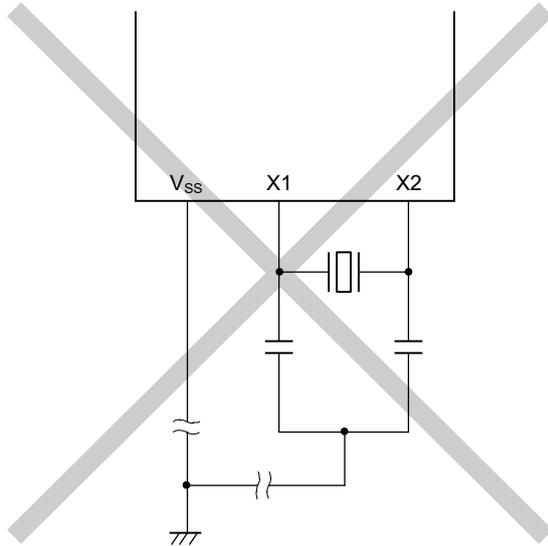
注意 X1 発振回路を使用する場合は、配線容量などの影響を避けるために、図 5-11 の破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

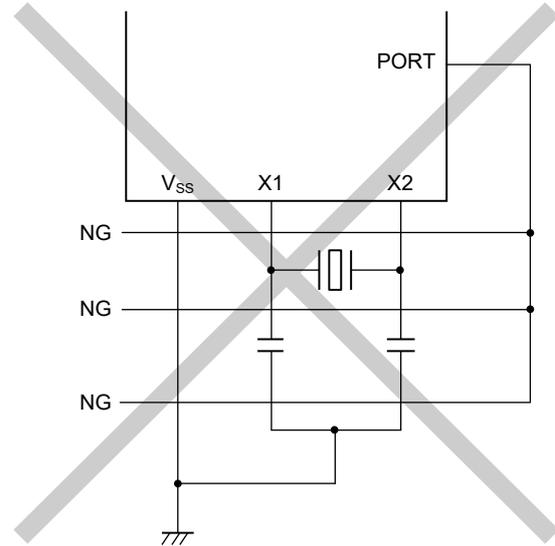
図5-12に発振子の接続の悪い例を示します。

図5-12 発振子の接続の悪い例 (1/2)

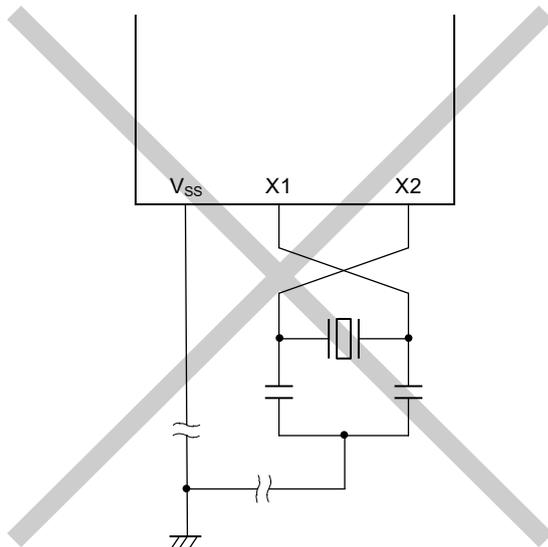
(a) 接続回路の配線が長い



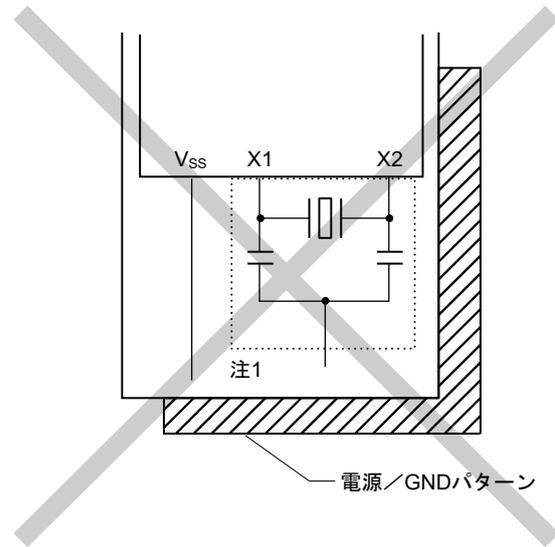
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある

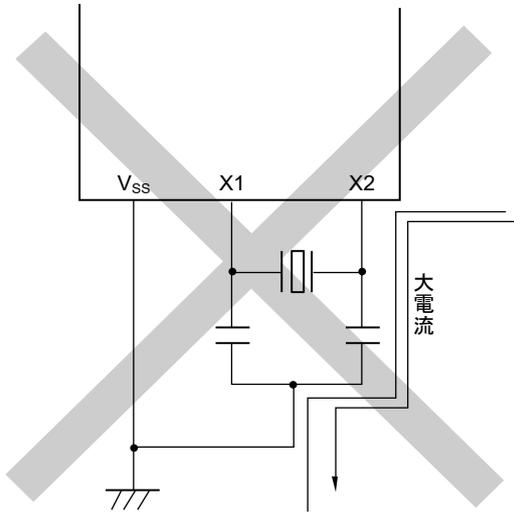


注1. 多層基板や両面基板において、X1端子、X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

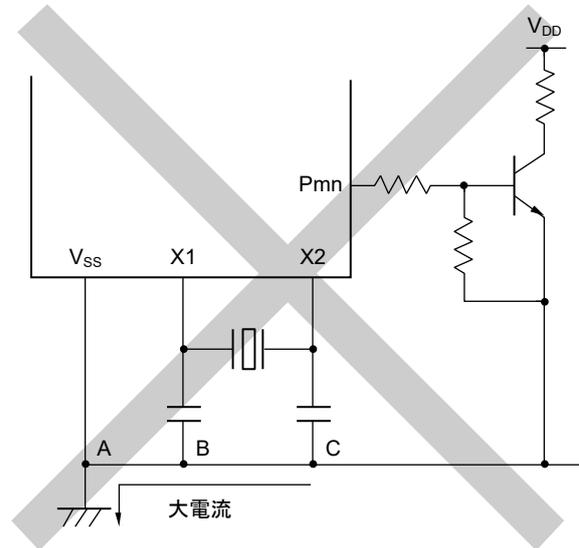
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

図 5-12 発振子の接続の悪い例 (2/2)

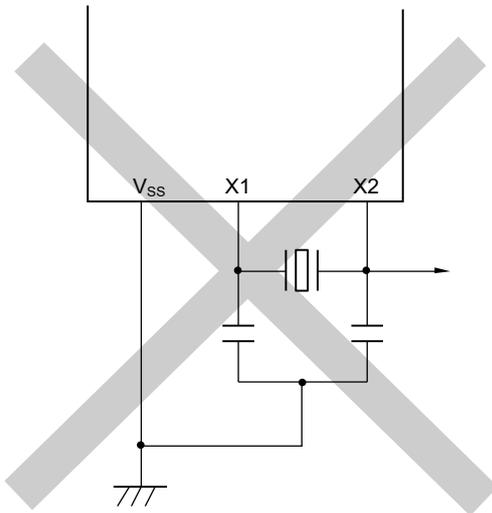
(e) 変化する大電流が信号線に近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A 点, B 点, C 点の電位が変動する)



(g) 信号を取り出している



5.4.2 高速オンチップ・オシレータ

高速オンチップ・オシレータを内蔵しています。オプションバイト（000C2H）により 16MHz, 8MHz, 4MHz, 2MHz, 1MHz から周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）のビット 0（HIOSTOP）にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.3 低速オンチップ・オシレータ

低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ、12 ビット・インターバル・タイマのクロックとして使用します。CPU クロックとして使用できません。

ウォッチドッグ・タイマ動作時、または動作スピード・モード制御レジスタ（OSMC）のビット 4（WUTMMCK0）が 1 のときに、低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0=0 のとき、低速オンチップ・オシレータは停止します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどの CPU の動作モードを制御します（**図 5-1** を参照）。

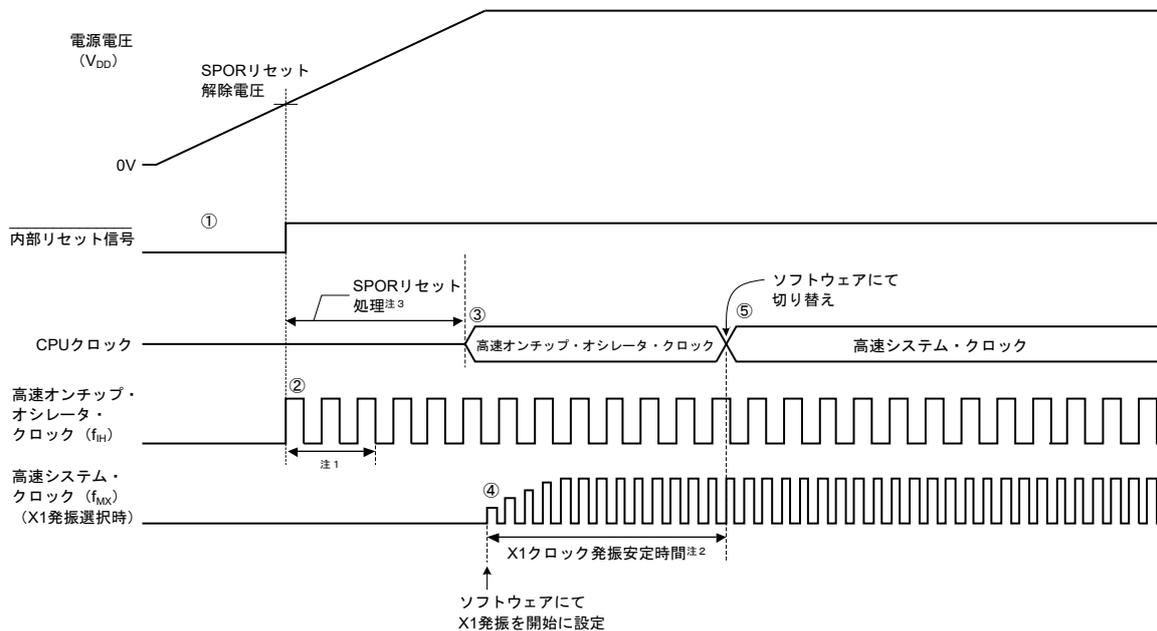
- メイン・システム・クロック (f_{MAIN})
 - 高速システム・クロック^{注1} (f_{MX})
 - X1 クロック^{注1} (f_X)
 - 外部メイン・システム・クロック^{注1} (f_{EX})
 - 高速オンチップ・オシレータ・クロック (f_{IH})
- 低速オンチップ・オシレータ・クロック (f_{IL})
- CPU/周辺ハードウェア・クロック (f_{CLK})

リセット解除後、CPU は高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、**図 5-13** に示します。

注1. 16ピンと20ピン製品のみ

図 5-13 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、セレクトابل・パワーオン・リセット (SPOR) 回路による内部リセット信号が発生します。
- ② 電源電圧が SPOR 回路の検出電圧を越えると、リセットが解除され、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちと SPOR リセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1 クロックは、ソフトウェアにて発振開始を設定してください（「5.6.2 X1 発振回路の設定例」を参照）。
- ⑤ CPU を X1 クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

注3. SPOR リセット処理時間は、「第 17 章 セレクトابل・パワーオン・リセット回路」を参照してください。

注意 EXCLK 端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

リセット解除後、CPU/周辺ハードウェア・クロック (f_{CLK}) として高速オンチップ・オシレータ・クロックが供給されます。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL2 で選択できます。この周波数は、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) で変更できます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・ バイト (000C2H)	7	6	5	4	3	2	1	0
	1	1	1	1	1	FRQSEL2	FRQSEL1	FRQSEL0

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	1	16MHz
0	1	0	8MHz
0	1	1	4MHz
1	0	0	2MHz
1	0	1	1MHz
上記以外			設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

	7	6	5	4	3	2	1	0
	0	0	0	0	0	HOCODIV 2	HOCODIV 1	HOCODIV 0

HOCODIV 2	HOCODIV 1	HOCODIV 0	選択周波数
0	0	1	16MHz
0	1	0	8MHz
0	1	1	4MHz
1	0	0	2MHz
1	0	1	1MHz
上記以外			設定禁止

- 注意 1.** HOCODIV レジスタの設定は、周波数の変更前、変更後ともに動作可能な電圧範囲で行ってください。
- 注意 2.** HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH}) を CPU/周辺ハードウェア・クロック (f_{CLK}) に選択している状態で行ってください。
- 注意 3.** HOCODIV レジスタで周波数を変更後、次の遷移時間を経過して周波数が切り替わります。
- ・変更前の周波数で最大3クロック動作
 - ・変更後の周波数で最大3クロックの CPU/周辺ハードウェア・クロック・ウェイト

5.6.2 X1 発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) で X1 クロックを f_{CLK} に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMC レジスタの OSCSEL ビットをセット (1)、 $f_x > 10\text{MHz}$ の場合は AMPH ビットをセット (1) して X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL						AMPH
	0	1	0	0	0	0	0	0/1

AMPH ビット : X1 クロックが 10MHz 以下の場合は 0 を設定してください。

- ② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。

例) 10MHz の発振子で 104 μs 以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSC レジスタの MSTOP ビットをクリア (0) して X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP							HIOSTOP
	0	0	0	0	0	0	0	0

- ④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。

例) 10MHz の発振子で 104 μs 以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

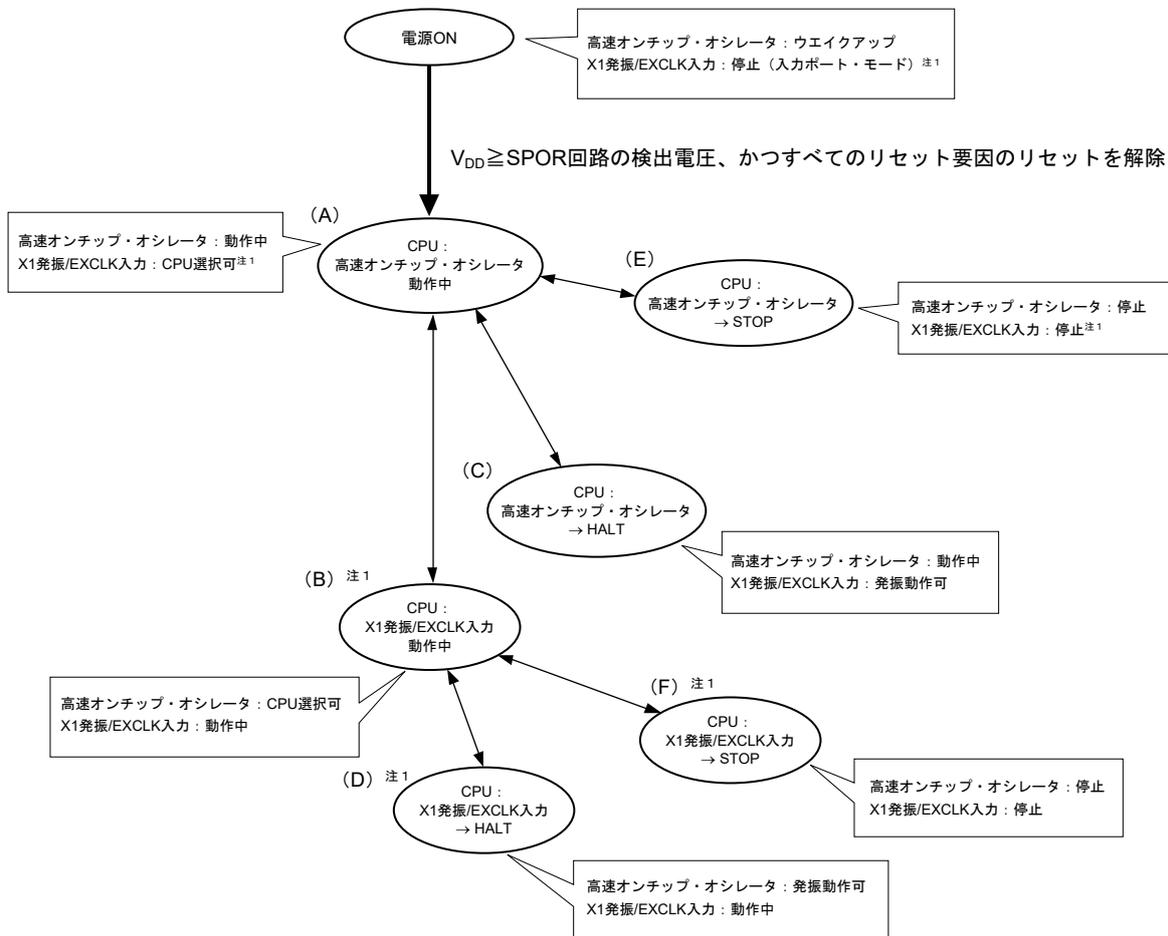
- ⑤ CKC レジスタの MCM0 ビットで X1 クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC			MCS	MCM0				
	0	0	0	1	0	0	0	0

5.6.3 CPU クロック状態移行図

この製品の CPU クロック状態移行図を図 5-14 に示します。

図 5-14 CPU クロック状態移行図



注1. 16ピンと20ピン製品のみ

CPU クロックの移行と SFR レジスタの設定例を表 5-3 に示します。

表 5-3 16 ピン製品および 20 ピン製品の CPU クロックの移行と SFR レジスタの設定例 (1/2)

- (1) CPU を高速オンチップ・オシレータ・クロック動作 (A) から高速システム・クロック動作 (B) へ移行 (リセット解除直後、CPU は高速オンチップ・オシレータ・クロックで動作 (A))

(SFR レジスタの設定順序) →

状態遷移	SFR レジスタの設定フラグ	CMC レジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
		EXCLK	OSCSSEL	AMPH		MSTOP		MCM0
(A) → (B) (X1 クロック : $1\text{MHz} \leq f_x \leq 10\text{MHz}$)	0	1	0	注2	0	確認必要	1	
(A) → (B) (X1 クロック : $10\text{MHz} < f_x \leq 12\text{MHz}$)	0	1	1	注2	0	確認必要	1	
(A) → (B) (外部メイン・システム・クロック)	1	1	x	注2	0	確認不要	1	

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8 ビット・メモリ操作命令で 1 回だけ設定可能です。

注2. 発振安定時間選択レジスタ (OSTS) で、発振安定時間を次のように設定してください。
期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTS レジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (「第 23 章 電気的特性 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$) 」、「第 24 章 電気的特性 ($T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$, $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$) 」を参照) に電源電圧が達してから、クロックを設定してください。

備考1. x : don't care

備考2. 表 5-3 の (A) - (F) は、図 5-14 の (A) - (F) に対応しています。

表 5-3 16 ピン製品および 20 ピン製品の CPU クロックの移行と SFR レジスタの設定例 (2/2)

(2) CPU を高速システム・クロック動作 (B) から、高速オンチップ・オシレータ・クロック動作 (A) へ移行

(SFR レジスタの設定順序) →

状態遷移	SFR レジスタの設定フラグ	CSC レジスタ	発振精度安定待ち	CKC レジスタ
		HIOSTOP		MCM0
(B) → (A)		0	27μs (TYP.)	0

高速システム・クロック動作中、高速オンチップ・オシレータを動作させていた場合は設定不要

(3) CPU が高速オンチップ・オシレータ・クロック動作中 (A) に HALT モード (C) へ移行

CPU が高速システム・クロック動作中 (B) に HALT モード (D) へ移行

状態遷移	設定内容
(A) → (C)	HALT 命令を実行する
(B) → (D)	

(4) CPU が高速オンチップ・オシレータ・クロック動作中 (A) に STOP モード (E) へ移行

CPU が高速システム・クロック動作中 (B) に STOP モード (F) へ移行

(SFR レジスタの設定順序) →

状態遷移		設定内容		
(A) → (E)		STOP モード中に動作できない周辺機能を停止する	—	STOP 命令を実行する
(B) → (F)	X1 発振		OSTS レジスタを設定する	
	外部クロック		—	

備考 表 5-3 の (A) - (F) は、図 5-14 の (A) - (F) に対応しています。

5.6.4 CPU クロックの移行前の条件と移行後の処理

CPU クロックの移行前の条件と移行後の処理について、次に示します。

表 5-4 CPU クロックの移行について

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1 クロック	X1 発振が安定していること <ul style="list-style-type: none"> • OSCSEL=1, EXCLK=0, MSTOP=0 • 発振安定時間経過後 	CPU クロックが移行後のクロックに切り替わったことを確認したあと、高速オンチップ・オシレータを停止 (HIOSTOP=1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK 端子からの外部クロック入力を有効にすること <ul style="list-style-type: none"> • OSCSEL=1, EXCLK=1, MSTOP=0 	
X1 クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること <ul style="list-style-type: none"> • HIOSTOP=0 • 発振精度安定時間経過後 	CPU クロックが移行後のクロックに切り替わったことを確認したあと、X1 を発振停止可能 (MSTOP=1)
	外部メイン・システム・クロック	移行不可	—
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること <ul style="list-style-type: none"> • HIOSTOP=0 • 発振精度安定時間経過後 	CPU クロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP=1)
	X1 クロック	移行不可	—

5.6.5 CPU クロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4（MCM0）の設定により、メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇄高速システム・クロック）をすることができます。

実際の切り替え動作は、CKC レジスタを書き換えた直後ではなく、CKC レジスタを変更したのち、数クロックは切り替え前のクロックで動作します（表 5-5 参照）。

メイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKC レジスタのビット5（MCS）で判定できます。

CPU クロックを切り替えると、周辺ハードウェアのクロックも同時に切り替わります。

表 5-5 メイン・システム・クロックの切り替え ($f_{IH} \leftrightarrow f_{MX}$) に要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 ($f_{MAIN}=f_{IH}$)	1 ($f_{MAIN}=f_{MX}$)
0 ($f_{MAIN}=f_{IH}$)	$f_{MX} \geq f_{IH}$	—	$1 + f_{IH}/f_{MX}$
	$f_{MX} < f_{IH}$	—	$2f_{IH}/f_{MX}$ クロック
1 ($f_{MAIN}=f_{MX}$)	$f_{MX} \geq f_{IH}$	$2f_{MX}/f_{IH}$ クロック	—
	$f_{MX} < f_{IH}$	$1 + f_{MX} / f_{IH}$	—

備考1. 切り替え前の CPU クロックのクロック数です。

備考2. 小数点以下を切り上げてください。

例) メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合 ($f_{IH}=8\text{MHz}$ 選択, $f_{MX}=10\text{MHz}$ 発振時)

$$2f_{MX}/f_{IH}=2 (10/8) = 2.5 \rightarrow 3 \text{ クロック}$$

5.6.6 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。クロックを停止する場合は、クロック停止前の条件を確認してから実行してください。

表 5-6 クロック発振停止前の条件とフラグ設定

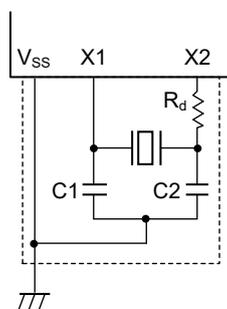
クロック	クロック停止前条件	SFR レジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS=1 (CPU が高速システム・クロックで動作)	HIOSTOP=1
X1 クロック	MCS=0 (CPU が高速オンチップ・オシレータ・クロックで動作)	MSTOP=1
外部メイン・システム・クロック		

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数（参考）は、当社ホームページの対象製品ページを参照してください。

- 注意 1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。
また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。
- 注意 2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC 特性の規格内で使用してください。

図 5-15 外付け発振回路例



備考 16ピンと20ピン製品のみ

第6章 タイマ・アレイ・ユニット

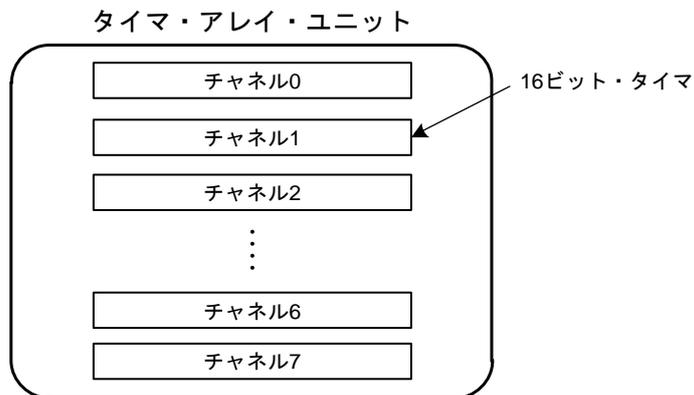
ユニット	チャンネル	20, 16, 10, 8 ピン
ユニット 0	チャンネル 0	○
	チャンネル 1	○
	チャンネル 2	○
	チャンネル 3	○
	チャンネル 4	○
	チャンネル 5	○
	チャンネル 6	○
	チャンネル 7	○

注意 1. タイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

注意 2. この章では、以降の主な説明を 20 ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは 8 個の 16 ビット・タイマを搭載しています。

各 16 ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ (→「6.8.1 インターバル・タイマ/方形波出力としての動作」参照) • 方形波出力 (→「6.8.1 インターバル・タイマ/方形波出力としての動作」参照) • 外部イベント・カウンタ (→「6.8.2 外部イベント・カウンタとしての動作」参照) • 分周器^{注1} (→「6.8.3 分周器としての動作 (チャンネル0, 3のみ)」参照) • 入力パルス間隔測定 (→「6.8.4 入力パルス間隔測定としての動作」参照) • 入力信号のハイ/ロウ・レベル幅測定 (→「6.8.5 入力信号のハイ/ロウ・レベル幅測定としての動作」参照) • デイレイ・カウンタ (→「6.8.6 デイレイ・カウンタとしての動作」参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力 (→「6.9.1 ワンショット・パルス出力機能としての動作」参照) • PWM 出力 (→「6.9.2 PWM 機能としての動作」参照) • 多重 PWM 出力 (→「6.9.3 多重 PWM 出力機能としての動作」参照) • 2入力式ワンショット・パルス出力 (→「6.9.4 2入力式ワンショット・パルス出力としての動作」参照)

注1. チャンネル0, 3のみ

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ (上位/下位) として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ (上位/下位8ビット・タイマ) / 方形波出力 (下位8ビット・タイマのみ)
- 外部イベント・カウンタ (下位8ビット・タイマのみ)
- デイレイ・カウンタ (下位8ビット・タイマのみ)

また、チャンネル1は、ISCレジスタを設定することで、シリアル・アレイ・ユニットのUART0と連携することができます。入力パルス間隔測定モードを利用して通信相手のポー・レート幅を測定することができ、UART0のポー・レート補正を実現することが可能です。

6.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャネル動作機能

単独チャネル動作機能は、他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

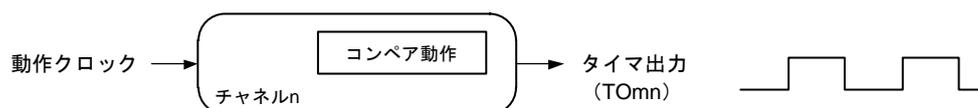


備考1. m : ユニット番号 (m=0) 、n : チャネル番号 (n=0-7)

備考2. チャネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50% の方形波をタイマ出力端子 (TOMn) より出力します。

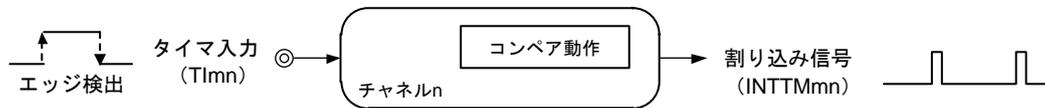


備考1. m : ユニット番号 (m=0) 、n : チャネル番号 (n=0-7)

備考2. チャネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

(3) 外部イベント・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

備考2. チャンネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

(4) 分周器機能 (チャンネル 0, 3 のみ)

タイマ入力端子 (TI0n) から入力されたクロックを分周して出力端子 (TO0n) より出力します。

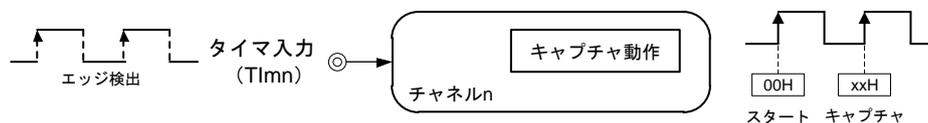


備考1. n : チャンネル番号 (n=0, 3)

備考2. チャンネル 0, 3 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

(5) 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

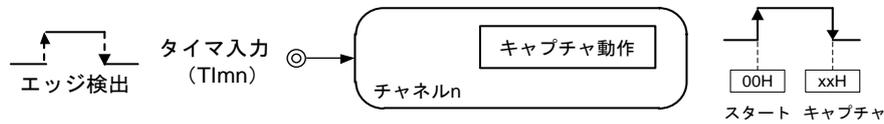


備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

備考2. チャンネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

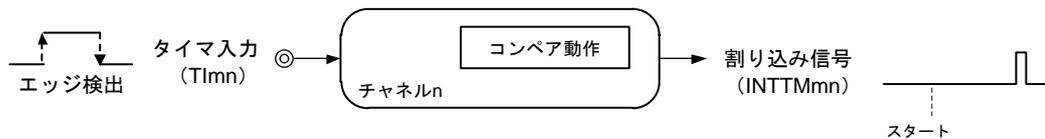


備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

備考2. チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、「表6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

(7) デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のディレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

備考2. チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、「表6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

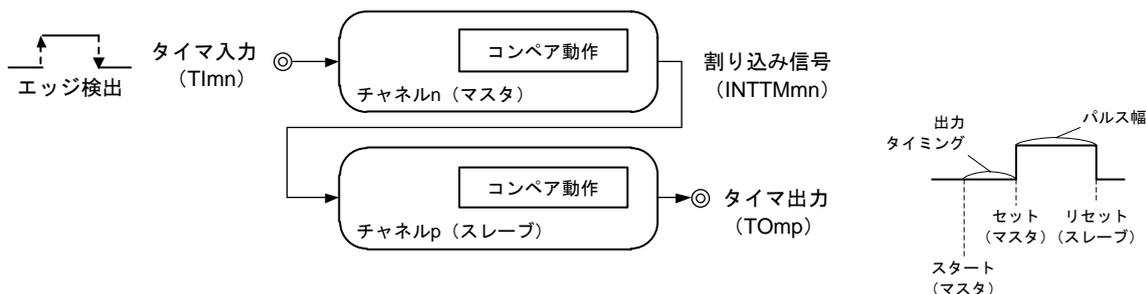
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。

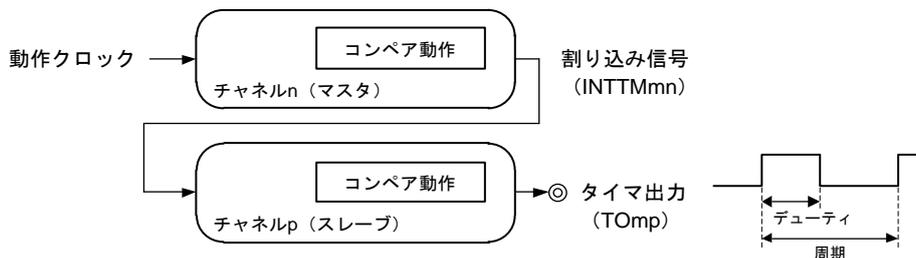


注意 複数チャンネル連動動作機能のルールの詳細については、「6.4.1 複数チャンネル連動動作機能の基本ルール」を参照してください。

備考 m: ユニット番号 (m=0)、n: チャンネル番号 (n=0-7)
 p: スレーブ・チャンネル番号 (n < p ≤ 7)

(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。

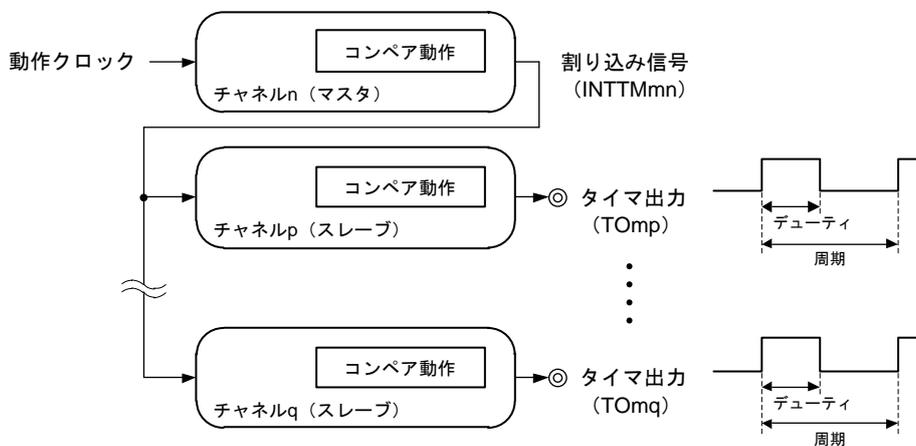


注意 複数チャンネル連動動作機能のルールの詳細については、「6.4.1 複数チャンネル連動動作機能の基本ルール」を参照してください。

備考 m: ユニット番号 (m=0)、n: チャンネル番号 (n=0-7)
 p: スレーブ・チャンネル番号 (n < p ≤ 7)

(3) 多重 PWM (Pulse Width Modulation) 出力

PWM 機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティの PWM 信号を最大7種類生成することができます。

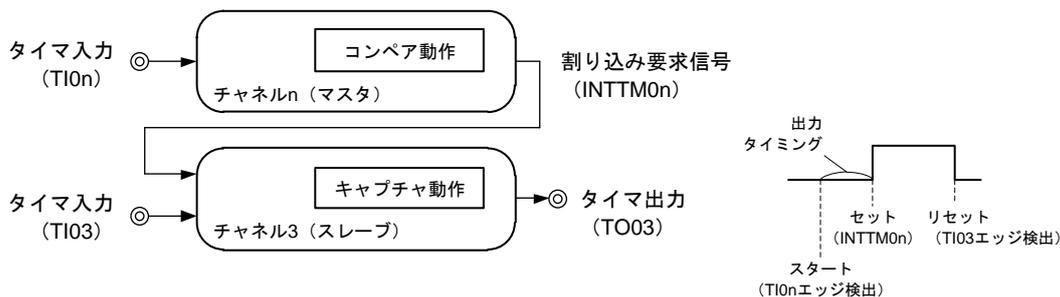


注意 複数チャンネル連動動作機能のルールの詳細については、「6.4.1 複数チャンネル連動動作機能の基本ルール」を参照してください。

備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0-7)
 p, q : スレーブ・チャンネル番号 (n < p < q ≤ 7)

(4) 2入力式ワンショット・パルス出力

2チャンネルをセットで使用し、タイマ入力端子 (TI0n, TI03) に入力される有効エッジで、タイマ出力端子 (TO03) をセット/リセットして任意のワンショット・パルスを生成します。



注意 複数チャンネル連動動作機能の使用にあたっては、いくつかのルールがあります。詳細は、「6.4.1 複数チャンネル連動動作機能の基本ルール」を参照してください。

備考 n : チャンネル番号 (n=0, 2)
 p : スレーブ・チャンネル番号 (p=3)

6.1.3 8ビット・タイマ動作機能（チャンネル1,3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1,3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。
詳細は、「6.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1,3のみ）」を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表 6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI07 ^{注1}
タイマ出力	TO00-TO07 ^{注1} 、出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • タイマ・クロック選択レジスタ m (TPSm) • タイマ・チャンネル許可ステータス・レジスタ m (TEm) • タイマ・チャンネル開始レジスタ m (TSm) • タイマ・チャンネル停止レジスタ m (TTm) • タイマ出力許可レジスタ m (TOEm) • タイマ出力レジスタ m (TOM) • タイマ出力レベル・レジスタ m (TOLm) • タイマ出力モード・レジスタ m (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> • タイマ・モード・レジスタ mn (TMRmn) • タイマ・ステータス・レジスタ mn (TSRmn) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 1 (NFEN1) • ポート・モード・コントロール・レジスタ (PMCxx) ^{注2} • ポート・モード・レジスタ (PMxx) ^{注2} • ポート・レジスタ (Pxx) ^{注2}

注1. チャンネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

注2. 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx)、ポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は、「4.5.3 使用するポート機能および兼用機能のレジスタ設定例」を参照してください。

備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0-7)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

表 6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ ユニット・チャンネル		各製品の入出力端子の有無			
		20ピン	16ピン	10ピン	8ピン
ユニット0	チャンネル0	P21/(TO00) P20/(TI00) P137/TI00 P03/TO00/(TI00)	P137/TI00 P03/TO00/(TI00)		
	チャンネル1	P40/(TI01/TO01) P02/(TI01/TO01) P04/TI01/TO01			P40/(TI01/TO01) P04/TI01/TO01
	チャンネル2	P41/(TI02/TO02) P01/(TI02/TO02) P05/TI02/TO02		P01/TI02/TO02	
	チャンネル3	P41/TI03/TO03 P07/(TO03) P20/(TI03/TO03)	P41/TI03/TO03 P07/(TO03)	—	—
	チャンネル4	P23/TI04/TO04	—	—	—
	チャンネル5	P122/TI05/TO05		—	
	チャンネル6	P22/TI06/TO06	—	—	—
	チャンネル7	P121/TI07/TO07		—	

- 備考1.** タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。
- 備考2.** —：タイマ入出力端子はないが、チャンネルは搭載（インターバルタイマとしてのみ使用可能）
×：チャンネル非搭載
- 備考3.** ()は周辺 I/O リダイレクション・レジスタ（PIOR0-3）設定したときの兼用ポート。詳細は、「4.3.6 周辺 I/O リダイレクション・レジスタ 0-3（PIOR0-3）」を参照してください。

図6-1にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニットの全体ブロック図

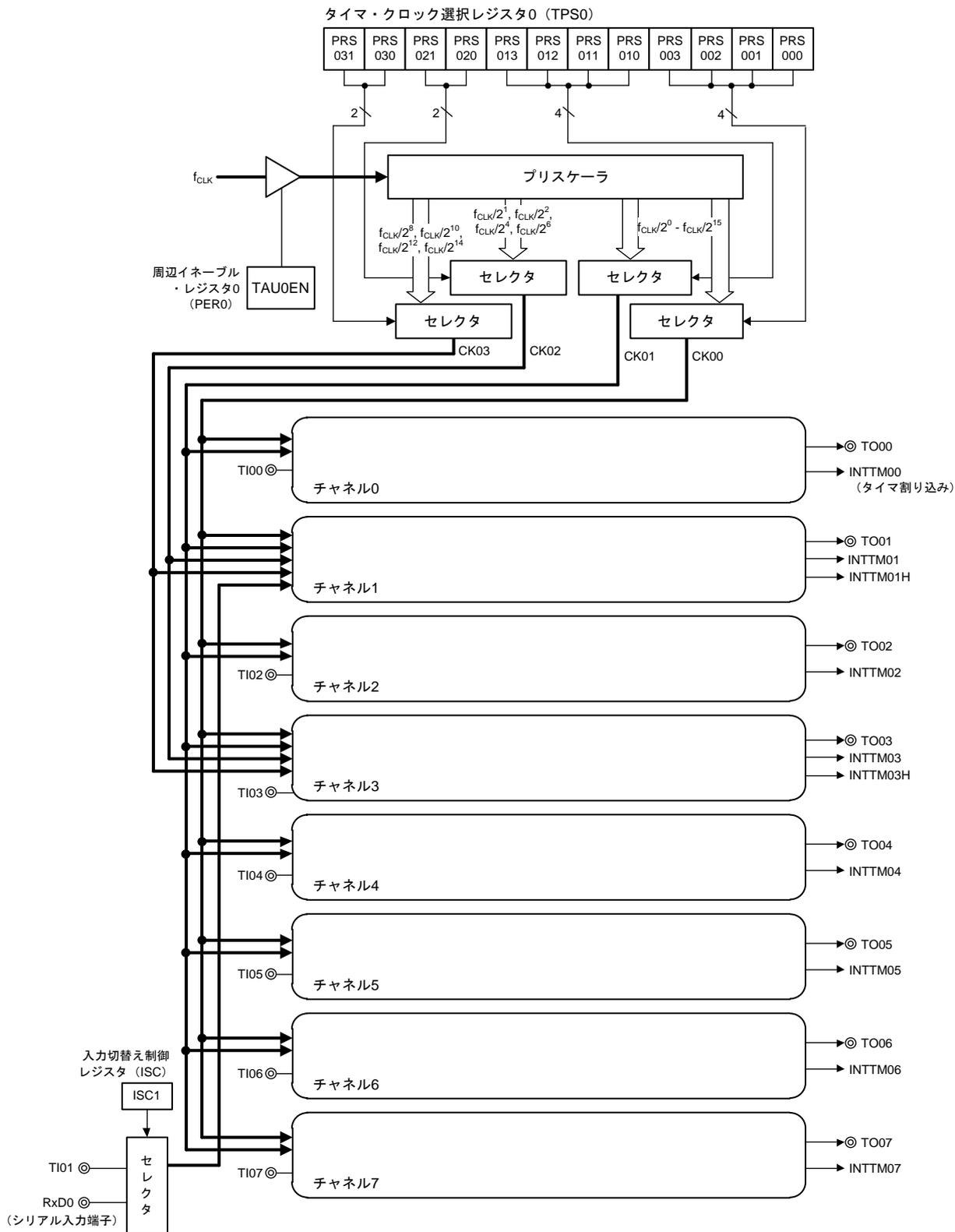
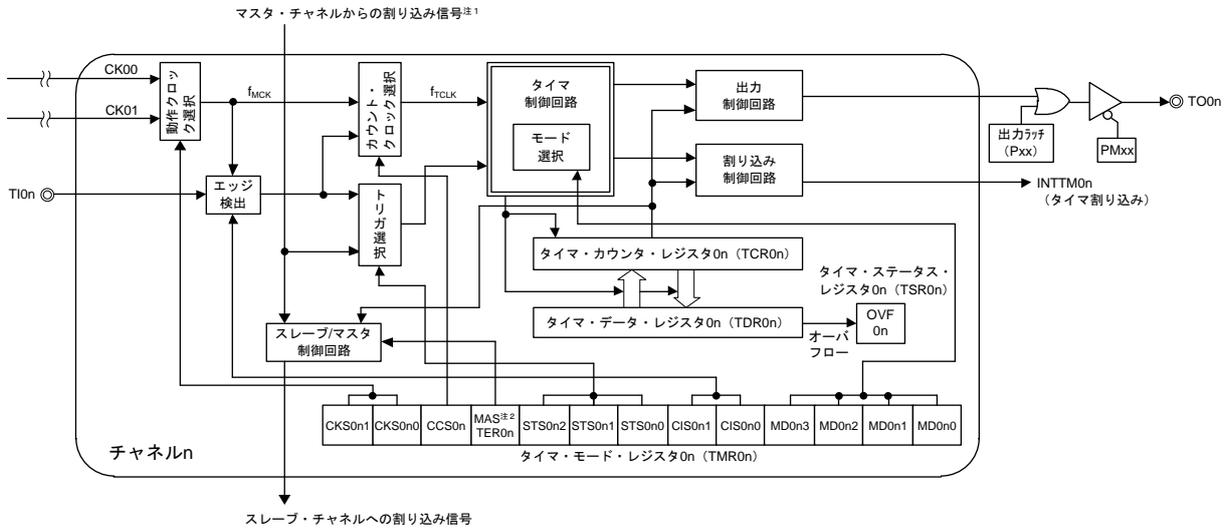


図 6-2 タイマ・アレイ・ユニットのチャンネル 0, 2, 4, 6 内部ブロック図

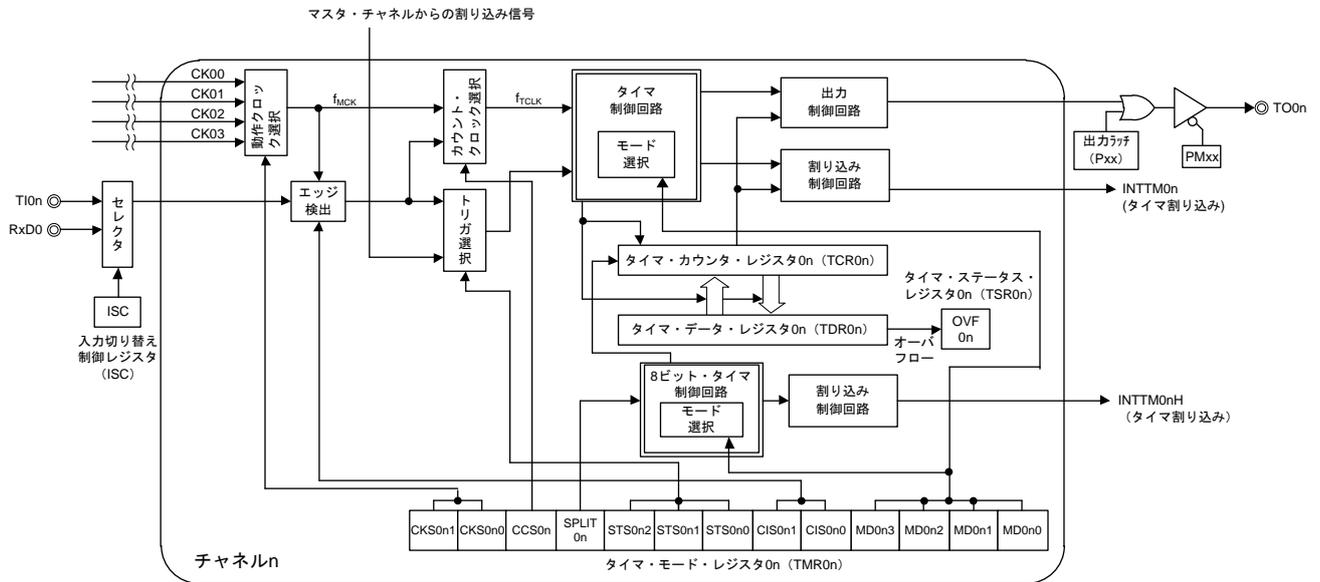


注1. チャンネル 2, 4, 6 のみ

注2. n=2, 4, 6 のみ

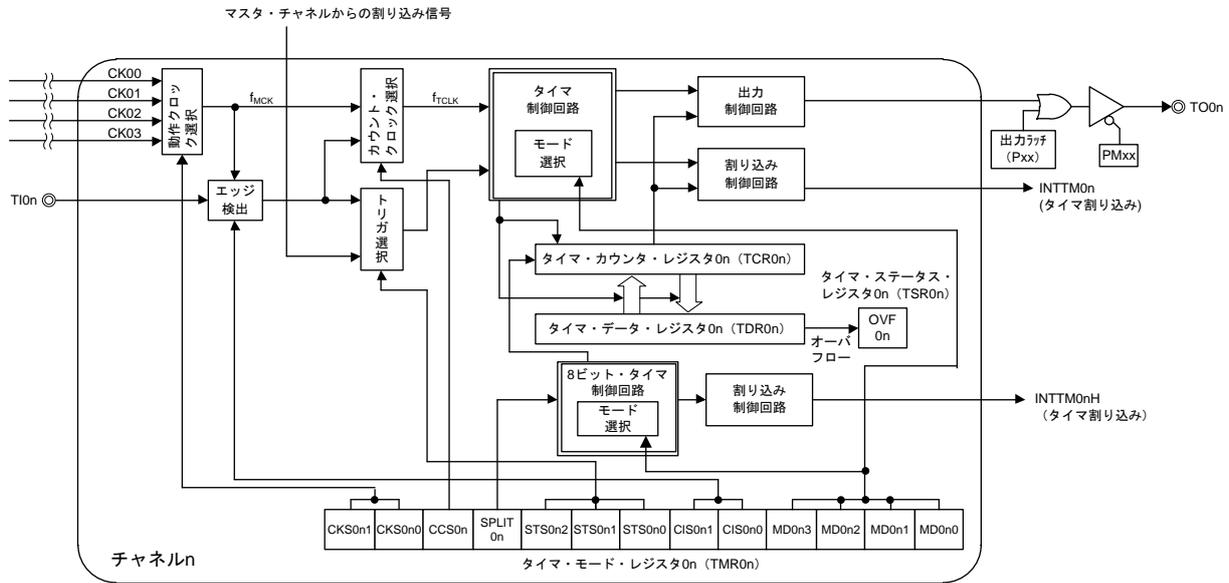
備考 n=0, 2, 4, 6

図 6-3 タイマ・アレイ・ユニットのチャンネル 1 内部ブロック図



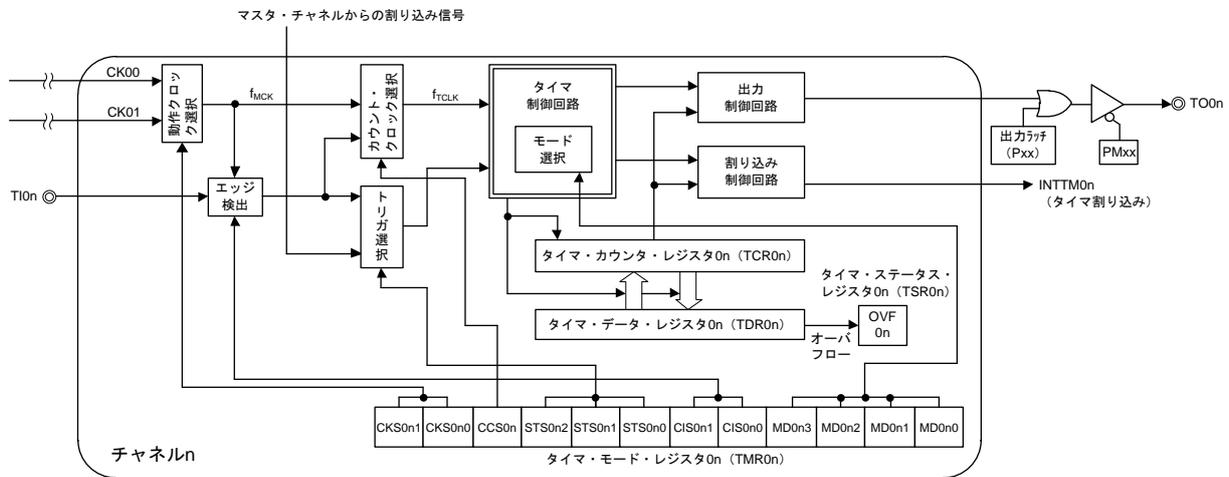
備考 n=1

図 6-4 タイマ・アレイ・ユニットのチャンネル 3 内部ブロック図



備考 n=3

図 6-5 タイマ・アレイ・ユニットのチャンネル n (n=5, 7) 内部ブロック図



備考 n=5, 7

6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmn レジスタは、カウント・クロックをカウントする 16 ビットのリード専用レジスタです。

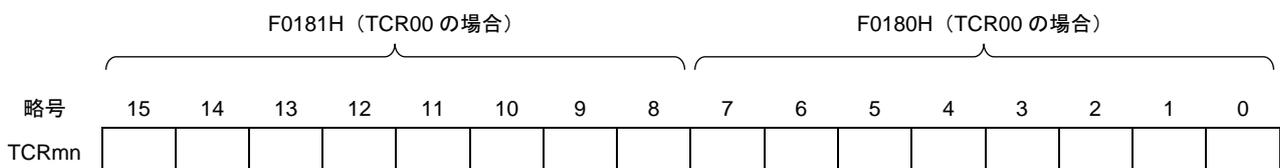
カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります (「6.3.3 タイマ・モード・レジスタ mn (TMRmn)」参照)。

図 6-6 タイマ・カウンタ・レジスタ mn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07), F01C0H, F01C1H (TCR10) - F01CEH, F01CFH (TCR17)

リセット時 : FFFFH R



備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0-7)

タイマ・カウンタ・レジスタ mn (TCRmn) をリードすることにより、カウント値をリードできます。

次の場合、カウント値は FFFFH になります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットをクリアしたとき
- PWM 出力モードで、スレーブ・チャンネルのカウント完了時
- デイレイ・カウント・モードで、スレーブ・チャンネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- 多重 PWM 出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は 0000H になります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意 TCRmn レジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

TCRmn レジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表 6-3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^{注1}			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn=1) した場合の値	カウント動作を一時停止 (TTmn=1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値+1

注1. チャネル n がタイマ動作停止状態 (TEmn=0) かつカウント動作許可状態 (TSmn=1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値が TCRmn レジスタに保持されます。

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0-7)

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。

TDRmn レジスタは任意のタイミングで書き換えることができます。

16 ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3 レジスタは、8 ビット・タイマ・モード時 (タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3) の SPLITm1, SPLITm3 ビットが 1) に、上位 8 ビットを TDRm1H, TDRm3H、下位 8 ビットを TDRm1L, TDRm3L として、8 ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmn レジスタは 0000H になります。

図 6-7 タイマ・データ・レジスタ mn (TDRmn) (n=0, 2, 4-7) のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)
リセット時 : 0000H R/W

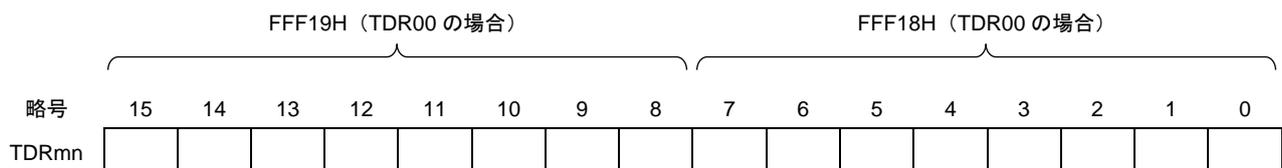
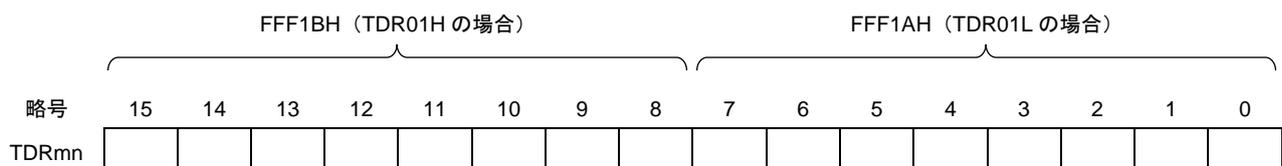


図 6-8 タイマ・データ・レジスタ mn (TDRmn) (n=1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ mn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmn レジスタに設定した値からダウン・カウントをスタートして、0000H になったときに割り込み信号 (INTTMmn) を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定した TDRmn レジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn) のカウント値を TDRmn レジスタにキャプチャします。

キャプチャ・トリガとして、TImn 端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn) で設定します。

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0-7)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

6.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット 0 を使用する場合は、必ずビット 0 (TAU0EN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは 00H になります。

図 6-9 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	CMPEN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット 0 の入カクロックの制御
0	入カクロック供給停止 <ul style="list-style-type: none"> タイマ・アレイ・ユニット 0 で使用する SFR へのライト不可 タイマ・アレイ・ユニット 0 はリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> タイマ・アレイ・ユニット 0 で使用する SFR へのリード/ライト可

注意 1. タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN=1 の状態で、下記のレジスタの設定を行ってください。TAUmEN=0 の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ 1 (NFEN1)、ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)、ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12)、ポート・レジスタ 0, 2, 4, 12, 13 (P0, P2, P4, P12, P13) は除く）。

- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャネル許可ステータス・レジスタ m (TEm)
- タイマ・チャネル開始レジスタ m (TSM)
- タイマ・チャネル停止レジスタ m (TTm)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)

注意 2. 次のビットには必ず“0”を設定してください。
ビット 1, 3

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される 2 種類または 4 種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する 16 ビット・レジスタです。CKm0 は TPSm レジスタのビット 3-0 で、CKm1 は TPSm レジスタのビット 7-4 で選択します。さらにチャンネル 1, 3 のみ、CKm2, CKm3 も選択できます。CKm2 は TPSm レジスタのビット 9-8 で、CKm3 は TPSm レジスタのビット 13, 12 で選択できます。

タイマ動作中の TPSm レジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03 ビットが書き換え可能な場合 (n=0-7) :

動作クロックに CKm0 を選択 (CKSmn1, CKSmn0=0, 0) しているチャンネルがすべて停止状態 (TEmn=0)

PRSm10-PRSm13 ビットが書き換え可能な場合 (n=0-7) :

動作クロックに CKm1 を選択 (CKSmn1, CKSmn0=0, 1) しているチャンネルがすべて停止状態 (TEmn=0)

PRSm20, PRSm21 ビットが書き換え可能な場合 (n=1, 3) :

動作クロックに CKm2 を選択 (CKSmn1, CKSmn0=1, 0) しているチャンネルがすべて停止状態 (TEmn=0)

PRSm30-PRSm31 ビットが書き換え可能な場合 (n=1, 3) :

動作クロックに CKm3 を選択 (CKSmn1, CKSmn0=1, 1) しているチャンネルがすべて停止状態 (TEmn=0)

TPSm レジスタは 16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSm レジスタは 0000H になります。

図 6-10 タイマ・クロック選択レジスタ m (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRSm 31	PRSm 30	0	0	PRSm 21	PRSm 20	PRSm 13	PRSm 12	PRSm 11	PRSm 10	PRSm 03	PRSm 02	PRSm 01	PRSm 00

PRSmk3	PRSmk2	PRSmk1	PRSmk0	動作クロック (CKmk) の選択 ^{注1} (k=0, 1)	f _{CLK} (MHz)				
					f _{CLK} (MHz)				
					1	2	4	8	16
0	0	0	0	f _{CLK}	1MHz	2MHz	4MHz	8MHz	16MHz
0	0	0	1	f _{CLK} /2	500kHz	1MHz	2MHz	4MHz	8MHz
0	0	1	0	f _{CLK} /2 ²	250kHz	500kHz	1MHz	2MHz	4MHz
0	0	1	1	f _{CLK} /2 ³	125kHz	250kHz	500MHz	1MHz	2MHz
0	1	0	0	f _{CLK} /2 ⁴	62.5kHz	125kHz	250kHz	500kHz	1MHz
0	1	0	1	f _{CLK} /2 ⁵	31.3kHz	62.5kHz	125kHz	250kHz	500kHz
0	1	1	0	f _{CLK} /2 ⁶	15.6kHz	31.3kHz	62.5kHz	125kHz	250kHz
0	1	1	1	f _{CLK} /2 ⁷	7.81kHz	15.6kHz	31.3kHz	62.5kHz	125kHz
1	0	0	0	f _{CLK} /2 ⁸	3.91kHz	7.81kHz	15.6kHz	31.3kHz	62.5kHz
1	0	0	1	f _{CLK} /2 ⁹	1.95kHz	3.91kHz	7.81kHz	15.6kHz	31.3kHz
1	0	1	0	f _{CLK} /2 ¹⁰	977Hz	1.95kHz	3.91kHz	7.81kHz	15.6kHz
1	0	1	1	f _{CLK} /2 ¹¹	488Hz	977Hz	1.95kHz	3.91kHz	7.81kHz
1	1	0	0	f _{CLK} /2 ¹²	244Hz	488Hz	977Hz	1.95kHz	3.91kHz
1	1	0	1	f _{CLK} /2 ¹³	122Hz	244Hz	488kHz	977Hz	1.95kHz
1	1	1	0	f _{CLK} /2 ¹⁴	61Hz	122Hz	244Hz	488Hz	977Hz
1	1	1	1	f _{CLK} /2 ¹⁵	30.5Hz	61Hz	122Hz	244Hz	488Hz

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。

注意 1. ビット 15, 14, 11, 10 には、必ず 0 を設定してください。

注意 2. 動作クロック (CKmk) に f_{CLK} (分周なし) を選択し、TDRnm=0000H (m=0, n=0-7) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

備考2. TPS0 レジスタで選択するクロックの波形は、立ち上がりから f_{CLK} の 1 周期分だけハイ・レベルになります。詳しくは、「6.5.1 カウント・クロック (fTCLK)」を参照してください。

図 6-10 タイマ・クロック選択レジスタ m (TPSm) のフォーマット (2/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRSm 31	PRSm 30	0	0	PRSm 21	PRSm 20	PRSm 13	PRSm 12	PRSm 11	PRSm 10	PRSm 03	PRSm 02	PRSm 01	PRSm 00

PRSm21	PRSm20		動作クロック (CKm2) の選択 ^{注1}				
			f _{CLK} (MHz)				
			1	2	4	8	16
0	0	f _{CLK} /2	500kHz	1MHz	2MHz	4MHz	8MHz
0	1	f _{CLK} /2 ²	250kHz	500kHz	1MHz	2MHz	4MHz
1	0	f _{CLK} /2 ⁴	62.5kHz	125kHz	250kHz	500kHz	1MHz
1	1	f _{CLK} /2 ⁶	15.6kHz	31.3kHz	62.5kHz	125kHz	250kHz

PRSm31	PRSm30		動作クロック (CKm3) の選択 ^{注1}				
			f _{CLK} (MHz)				
			1	2	4	8	16
0	0	f _{CLK} /2 ⁸	3.91kHz	7.81kHz	15.6kHz	31.3kHz	62.5kHz
0	1	f _{CLK} /2 ¹⁰	977Hz	1.95kHz	3.91kHz	7.81kHz	15.6kHz
1	0	f _{CLK} /2 ¹²	244Hz	488Hz	977Hz	1.95kHz	3.91kHz
1	1	f _{CLK} /2 ¹⁴	61Hz	122Hz	244Hz	488Hz	977Hz

注1. f_{CLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。
動作クロック (f_{MCK})、Tl_{mn} 端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット 15, 14, 11, 10 には、必ず 0 を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロック CKSm2, CKSm3 で設定可能なインターバル時間

クロック		インターバル時間 ^{注1} ($f_{CLK}=16\text{MHz}$)			
		10 μs	100 μs	1ms	10ms
CKm2	$f_{CLK}/2$	○	—	—	—
	$f_{CLK}/2^2$	○	—	—	—
	$f_{CLK}/2^4$	○	○	—	—
	$f_{CLK}/2^6$	○	○	—	—
CKm3	$f_{CLK}/2^8$	—	○	○	—
	$f_{CLK}/2^{10}$	—	—	○	○
	$f_{CLK}/2^{12}$	—	—	○	○
	$f_{CLK}/2^{14}$	—	—	—	○

注1. ○には5%以下の誤差が含まれます。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択する $f_{CLK}/2^i$ の波形の詳細は、「6.5.1 カウント・クロック (fTCLK)」を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16 ビット/8 ビット・タイマの選択 (チャンネル 1, 3 のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMRmn レジスタは、動作中 (TE_{mn}=1 のとき) の書き換えは禁止です。ただし、ビット 7, 6 (CIS_{mn1}, CIS_{mn0}) は、一部の機能で動作中 (TE_{mn}=1 のとき) の書き換えが可能です (詳細は「6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能」、「6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能」を参照)。

TMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmn レジスタは 0000H になります。

注意 TMRmn レジスタのビット 11 は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmn ビット (n=2, 4, 6)

TMRm1, TMRm3 : SPLITmn ビット (n=1, 3)

TMRm0, TMRm5, TMRm7 : 0 固定

図6-11 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (1/5)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2, 4, 6)	CKSm n1	CKSm n0	0	CCSm n	MAST ERmn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=1, 3)	CKSm n1	CKSm n0	0	CCSm n	SPLIT mn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=0, 5, 7)	CKSm n1	CKSm n0	0	CCSm n	0 ^{注1}	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

CKSmn 1	CKSmn 0	チャンネル n の動作クロック (f _{MCK}) の選択
0	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm3
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCSmn ビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{TCLK}) を生成します。		
動作クロック CKm2, CKm3 は、チャンネル 1, 3 のみ選択可能です。		

CCSmn	チャンネル n のカウント・クロック (f _{TCLK}) の選択
0	CKSmn0, CKSmn1 ビットで指定した動作クロック (f _{MCK})
1	TImn 端子からの入力信号の有効エッジ <ul style="list-style-type: none"> チャンネル 1 では、ISC で選択した入力信号の有効エッジ
カウント・クロック (f _{TCLK}) は、カウンタ/出力制御回路/割り込み制御回路に使用されます。	

注1. ビット 11 は Read only の 0 固定で、書き込みは無視されます。

注意 1. ビット 13, 5, 4 には、必ず 0 を設定してください。

注意 2. カウント・クロック (f_{TCLK}) に CKSmn0, CKSmn1 ビットで指定した動作クロック (f_{MCK})、TImn 端子からの入力信号の有効エッジのどれを選択していても、f_{TCLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。

備考 m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

図 6-11 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (2/5)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2, 4, 6)	CKSm n1	CKSm n0	0	CCSm n	MAST ERmn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=1, 3)	CKSm n1	CKSm n0	0	CCSm n	SPLIT mn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=0, 5, 7)	CKSm n1	CKSm n0	0	CCSm n	0 ^{注1}	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

(TMRmn (n=2, 4, 6) のビット 11)

MASTE Rmn	チャンネル n の単独チャンネル動作／複数チャンネル連動動作 (スレーブ／マスタ) の選択
0	単独チャンネル動作機能、または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル 2, 4, 6 のみマスタ・チャンネル (MASTERmn=1) に設定できます。 チャンネル 0, 5, 7 は 0 固定となります (チャンネル 0 は最上位チャンネルのため、このビットの設定によらずマスタとして動作します)。 また、単独チャンネル動作機能として使用するチャンネルは、MASTERmn=0 にします。	

(TMRmn (n=1, 3) のビット 11)

SPLITm n	チャンネル 1, 3 の 8 ビット・タイマ／16 ビット・タイマ動作の選択
0	16 ビット・タイマとして動作 (単独チャンネル動作機能、または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8 ビット・タイマとして動作

STSmn 2	STSmn 1	STSmn 0	チャンネル n のスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn 端子入力の有効エッジを、スタート・トリガ／キャプチャ・トリガの両方に使用
0	1	0	Tlmn 端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
1	1	0	2 入力式ワンショット・パルス出力のスレーブ・チャンネル時： マスタ・チャンネルの割り込み要求信号 (INTTM0n) をスタート・トリガとして使用 スレーブ・チャンネルの TI03 端子入力の有効エッジをエンド・トリガとして使用
上記以外			設定禁止

注1. ビット 11 は Read only の 0 固定で、書き込みは無視されます。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-11 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (3/5)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2, 4, 6)	CKSm n1	CKSm n0	0	CCSm n	MAST ERmn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=1, 3)	CKSm n1	CKSm n0	0	CCSm n	SPLIT mn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=0, 5, 7)	CKSm n1	CKSm n0	0	CCSm n	0 ^{注1}	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

CISmn1	CISmn0	TImn 端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ、キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ、キャプチャ・トリガ : 立ち下がリエッジ

STSmn2-STSmn0 ビット=010B 時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0 ビット=10B に設定してください。

注1. ビット 11 は Read only の 0 固定で、書き込みは無視されます。

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0-7)

図6-11 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (4/5)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2, 4, 6)	CKSm n1	CKSm n0	0	CCSm n	MAST ERmn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=1, 3)	CKSm n1	CKSm n0	0	CCSm n	SPLIT mn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=0, 5, 7)	CKSm n1	CKSm n0	0	CCSm n	0 ^{注1}	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

MDmn3	MDmn2	MDmn1	チャンネル n の動作モードの設定	対応する機能	TCR のカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/ 方形波出力/分周器機能/ PWM 出力 (マスタ)	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定/ 2 入力式ワンショット・パルス出力 (スレーブ)	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ ワンショット・パルス出力/ 2 入力式ワンショット・パルス出力 (マスタ) PWM 出力 (スレーブ)	ダウン・カウント
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は、MDmn0 ビットによって変わります (下表を参照)。					

注1. ビット 11 は Read only の 0 固定で、書き込みは無視されます。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-11 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (5/5)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2, 4, 6)	CKSm n1	CKSm n0	0	CCSm n	MAST ERmn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=1, 3)	CKSm n1	CKSm n0	0	CCSm n	SPLIT mn	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=0, 5, 7)	CKSm n1	CKSm n0	0	CCSm n	0 ^{注1}	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0	0	0	MDmn 3	MDmn 2	MDmn 1	MDmn 0

動作モード (MDmn3-MDmn1 で設定 (上表参照))	MDmn0	カウント・スタートと割り込みの設定
<ul style="list-style-type: none"> • インターバル・タイマ・モード (0, 0, 0) • キャプチャ・モード (0, 1, 0) 	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
<ul style="list-style-type: none"> • イベント・カウンタ・モード (0, 1, 1) 	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
<ul style="list-style-type: none"> • ワンカウント・モード^{注2} (1, 0, 0) 	0	カウント動作中のスタート・トリガを無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。その際に割り込みは発生しない。
<ul style="list-style-type: none"> • キャプチャ&ワンカウント・モード (1, 1, 0) 	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。カウント動作中のスタート・トリガを無効とする。その際に割り込みは発生しない。
上記以外		設定禁止

注1. ビット 11 は Read only の 0 固定で、書き込みは無視されます。

注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力 (INTTMmn)、TOMn 出力は制御しません。

注3. 動作中にスタート・トリガ (TSmn=1) が掛かると、カウンタを初期化し、再カウント・スタートします (割り込み要求は発生せず)。

備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0-7)

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmn レジスタは、チャンネル n のカウンタのオーバーフロー状況を表示するレジスタです。

TSRmn レジスタは、キャプチャ・モード (MDmn3-MDmn1=010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1=110B) のみ有効です。各動作モードでの OVF ビットの動作とセット/クリア条件は表 6-5 を参照してください。

TSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。

また TSRmn レジスタの下位 8 ビットは、TSRmnL で 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmn レジスタは 0000H になります。

図 6-12 タイマ・ステータス・レジスタ mn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネル n のカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF=1 のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF=0) されます。	

備考 m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

表 6-5 各動作モードにおける OVF ビットの動作とセット/クリア条件

タイマの動作モード	OVF ビット	セット/クリア条件
<ul style="list-style-type: none"> キャプチャ・モード キャプチャ&ワンカウント・モード 	クリア	キャプチャ時にオーバーフローが発生していない場合
	セット	キャプチャ時にオーバーフローが発生していた場合
<ul style="list-style-type: none"> インターバル・タイマ・モード イベント・カウンタ・モード ワンカウント・モード 	クリア	— (使用不可)
	セット	

備考 OVF ビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEm レジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEm レジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSm レジスタの各ビットが1にセットされると、TEm レジスタの対応ビットが1にセットされます。TTm レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEm レジスタは、16 ビット・メモリ操作命令で読み出します。

また TEm レジスタの低位 8 ビットは、TEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEm レジスタは 0000H になります。

図 6-13 タイマ・チャンネル許可ステータス・レジスタ m (TEm) のフォーマット

アドレス : F01B0H, F01B1H (TE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEHm3	チャンネル 3 が 8 ビット・タイマ・モード時、上位側 8 ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャンネル 1 が 8 ビット・タイマ・モード時、上位側 8 ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャンネル n の動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル 1, 3 が 8 ビット・タイマ・モード時は、TEm1, TEm3 で下位側 8 ビット・タイマの動作許可／停止状態を表示します。	

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

6.3.6 タイマ・チャンネル開始レジスタ m (TSm)

TSm レジスタは、タイマ・カウンタ・レジスタ mn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが 1 にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが 1 にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3=1) になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは、16 ビット・メモリ操作命令で設定します。

また TSm レジスタの下位 8 ビットは、TSmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSm レジスタは 0000H になります。

図 6-14 タイマ・チャンネル開始レジスタ m (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャンネル 3 が 8 ビット・タイマ・モード時、上位側 8 ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm3 ビットを 1 にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm3 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (「6.5.2 カウンタのスタート・タイミング」の表 6-6 参照)。

TSHm1	チャンネル 1 が 8 ビット・タイマ・モード時、上位側 8 ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm1 ビットを 1 にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm1 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (「6.5.2 カウンタのスタート・タイミング」の表 6-6 参照)。

TSmn	チャンネル n の動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEmn ビットを 1 にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRmn レジスタのカウント動作開始は、各動作モードにより異なります (「6.5.2 カウンタのスタート・タイミング」の表 6-6 参照)。 チャンネル 1, 3 が 8 ビット・タイマ・モード時は、TSm1, TSm3 が下位側 8 ビット・タイマの動作許可 (スタート) トリガになります。

(注意、備考は次ページにあります。)

- 注意 1. ビット 15-12, 10, 8 には必ず 0 を設定してください。
- 注意 2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを 1 に設定するまでに、次の期間ウェイトが必要になります。
- TImn 端子のノイズ・フィルタ有効時 (TNFENmn=1) : 動作クロック (f_{MCK}) の 4 クロック
 - TImn 端子のノイズ・フィルタ無効時 (TNFENmn=0) : 動作クロック (f_{MCK}) の 2 クロック
- 備考 1. TSm レジスタの読み出し値は常に 0 となります。
- 備考 2. m : ユニット番号 (m=0) 、n : チャネル番号 (n=0-7)

6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

TTm レジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3 ビットはトリガ・ビットなので、動作停止状態 (TEmn, TEHm1, TEHm3=0) になるとすぐ TTmn, TTHm1, TTHm3 ビットはクリアされます。

TTm レジスタは、16 ビット・メモリ操作命令で設定します。

また TTm レジスタの下位 8 ビットは、TTmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTm レジスタは 0000H になります。

図 6-15 タイマ・チャンネル停止レジスタ m (TTm) のフォーマット

アドレス : F01B4H, F01B5H (TT0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャンネル 3 が 8 ビット・タイマ・モード時、上位側 8 ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3 ビットを 0 にクリアし、カウント動作停止状態になる。

TTHm1	チャンネル 1 が 8 ビット・タイマ・モード時、上位側 8 ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1 ビットを 0 にクリアし、カウント動作停止状態になる。

TTmn	チャンネル n の動作停止トリガ
0	トリガ動作しない
1	TEmn ビットを 0 にクリアし、カウント動作停止状態になる。 チャンネル 1, 3 が 8 ビット・タイマ・モード時は、TTm1, TTm3 が下位側 8 ビット・タイマの動作停止トリガになります。

注意 ビット 15-12, 10, 8 には必ず 0 を設定してください。

備考1. TTm レジスタの読み出し値は常に 0 となります。

備考2. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

6.3.8 タイマ出力許可レジスタ m (TOEm)

TOEm レジスタは、各チャンネルのタイマ出力許可/禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEm レジスタは、16 ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図 6-16 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOEm 7	TOEm 6	TOEm 5	TOEm 4	TOEm 3	TOEm 2	TOEm 1	TOEm 0

TOEmn	チャンネル n のタイマ出力許可/禁止
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。

注意 ビット 15-8 には必ず 0 を設定してください。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

6.3.9 タイマ出力レジスタ m (TOM)

TOM レジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOMn) から出力されます。

このレジスタの TOMn ビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn=0) のみ可能です。タイマ出力許可時 (TOEmn=1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されません。

また、TOMn 兼用端子をポート機能として使用する場合は、該当する TOMn ビットに“0”を設定してください。

TOM レジスタは、16 ビット・メモリ操作命令で設定します。

また TOM レジスタの下位 8 ビットは、TOML で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM レジスタは 0000H になります。

図 6-17 タイマ出力レジスタ m (TOM) のフォーマット

アドレス : F01B8H, F01B9H (TO0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM	0	0	0	0	0	0	0	0	TOM7	TOM6	TOM5	TOM4	TOM3	TOM2	TOM1	TOM0

TOMn	チャンネル n のタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット 15-8 には必ず 0 を設定してください。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

6.3.10 タイマ出力レベル・レジスタ m (TOLm)

TOLm レジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネル n の反転設定は、タイマ出力許可 (TOEmn=1)、複数チャンネル連動動作機能 (TOMmn=1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn=0) 時には、このレジスタの設定は無効となります。

TOLm レジスタは、16 ビット・メモリ操作命令で設定します。

また TOLm レジスタの下位 8 ビットは、TOLmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLm レジスタは 0000H になります。

図 6-18 タイマ出力レベル・レジスタ m (TOLm) のフォーマット

アドレス : F01BCH, F01BDH (TOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャンネル n のタイマ出力レベルの制御
0	正論理出力 (アクティブ・ハイ)
1	負論理出力 (アクティブ・ロウ)

注意 ビット 15-8, 0 には必ず 0 を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号 (m=0)、n : チャンネル番号 (n=0-7)

6.3.11 タイマ出力モード・レジスタ m (TOMm)

TOMm レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを 0 に設定します。

複数チャンネル連動動作機能 (PWM 出力、ワンショット・パルス出力、多重 PWM 出力、2 入力式ワンショット・パルス出力) として使用する場合、マスタ・チャンネルの対応ビットを 0 に設定し、スレーブ・チャンネルの対応ビットを 1 に設定します。

このレジスタによる各チャンネル n の設定は、タイマ出力許可 (TOEmn=1) 時にタイマ出力信号がセット/リセットされるタイミングで反映されます。

TOMm レジスタは、16 ビット・メモリ操作命令で設定します。

また TOMm レジスタの下位 8 ビットは、TOMmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMm レジスタは 0000H になります。

図 6-19 タイマ出力モード・レジスタ m (TOMm) のフォーマット

アドレス : F01BEH, F01BFH (TOM0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOMm 7	TOMm 6	TOMm 5	TOMm 4	TOMm 3	TOMm 2	TOMm 1	0

TOMmn	チャンネル n のタイマ出力モードの制御
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMmp) で出力がリセットされる)

注意 ビット 15-8, 0 には必ず 0 を設定してください。

備考 m : ユニット番号 (m=0)

n : チャンネル番号

n=0-7 (マスタ・チャンネル時 : n=0, 2, 4, 6)

p : スレーブ・チャンネル番号

n < p ≤ 7

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、「6.4.1 複数チャンネル連動動作機能の基本ルール」を参照してください)

6.3.12 入力切り替え制御レジスタ (ISC)

ISC レジスタの ISC1, ISC0 ビットは、チャンネル 1 をシリアル・アレイ・ユニットと連携して UART0 のボー・レート補正を実現するときに使用します。

ISC1 ビットに 1 を設定すると、シリアル・データ入力端子 (RxD0) の入力信号がタイマ入力として選択されます。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISC レジスタは 00H になります。

図 6-20 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル 1 の入力切り替え
0	TI01 端子の入力信号をタイマ入力とする (通常動作)
1	RxD0 端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とボー・レート補正用のパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0 端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0 端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット 7-2 に必ず 0 を設定してください。

6.3.13 ノイズ・フィルタ許可レジスタ 1 (NFEN1)

NFEN1 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (f_{MCK}) で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (f_{MCK}) で同期化だけを行います^{注1}。

NFEN1 レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1 レジスタは 00H になります。

注1. 詳細は、「6.5.1(2) TImn 端子からの入力信号の有効エッジを選択した場合 (CCSmn=1)」、「6.5.2 カウンタのスタート・タイミング」、「6.7 タイマ入力 (TImn) の制御」を参照してください。

図 6-21 ノイズ・フィルタ許可レジスタ 1 (NFEN1) のフォーマット (1/2)

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN07	TI07 端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN06	TI06 端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN05	TI05 端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN04	TI04 端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN03	TI03 端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							

備考 チャンネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

図 6-21 ノイズ・フィルタ許可レジスタ 1 (NFEN1) のフォーマット (2/2)

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN02	TI02 端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN01	TI01 端子のノイズ・フィルタ使用可否 ^{注1}							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN00	TI00 端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							

注1. 入力切り替え制御レジスタ (ISC) の ISC1 ビットを設定することにより、適用する端子を切り替えることができます。

ISC1=0 に設定 : TI01 端子のノイズ・フィルタ使用可否選択が可能

ISC1=1 に設定 : RxD0 端子のノイズ・フィルタ使用可否選択が可能

備考 チャネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は、「表 6-2 各製品に搭載しているタイマ入出力端子」を参照してください。

6.3.14 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャンネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート・モード・コントロール・レジスタ（PMCxx））を設定してください。詳細は、「4.3.1 ポート・モード・レジスタ 0, 2, 4, 12（PM0, PM2, PM4, PM12）」、「4.3.2 ポート・レジスタ 0, 2, 4, 12, 13（P0, P2, P4, P12, P13）」、「4.3.5 ポート・モード・コントロール・レジスタ 0, 2（PMC0, PMC2）」を参照してください。

また、製品によって設定するポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート・モード・コントロール・レジスタ（PMCxx）が異なります。詳細は、「4.5.3 使用するポート機能および兼用機能のレジスタ設定例」を参照してください。

タイマ出力端子を兼用するポート（P03/TO00 など）をタイマ出力として使用するときは、各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビット、ポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例) P03/TO00 をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ 0 の PMC03 ビットを 0 に設定

ポート・モード・レジスタ 0 の PM03 ビットを 0 に設定

ポート・レジスタ 0 の P03 ビットを 0 に設定

タイマ入力端子を兼用するポート（P04/TI01 など）をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

例) P04/TI01 をタイマ入力として使用する場

ポート・モード・コントロール・レジスタ 0 の PMC04 ビットを 0 に設定

ポート・モード・レジスタ 0 の PM04 ビットを 1 に設定

ポート・レジスタ 0 の P04 ビットを 0 または 1 に設定

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, …）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例) チャンネル2をマスタ・チャンネルにした場合、
チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, …）をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例) チャンネル0, チャンネル4をマスタ・チャンネルにした場合、
マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。
マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できません。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。

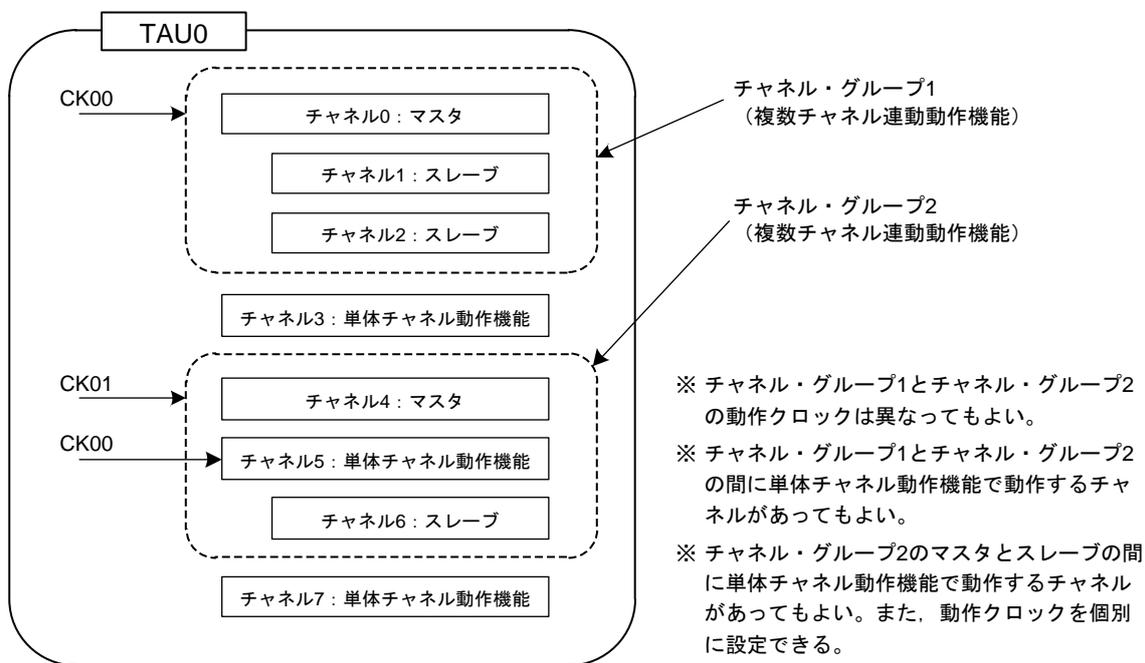
(14) タイマ・モード・レジスタ m0 (TMRm0) は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m：ユニット番号 (m=0)、n：チャンネル番号 (n=0-7)

例)



6.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLITmn ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0=1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能／方形波出力機能
 - 外部イベント・カウンタ機能
 - デイレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能 (ワンショット・パルス、PWM、多重 PWM) を使用することはできません。

備考 m : ユニット番号 (m=0) 、n : チャンネル番号 (n=1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (f_{TCLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{TCLK}) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (f_{MCK})
- TImn 端子からの入力信号の有効エッジ

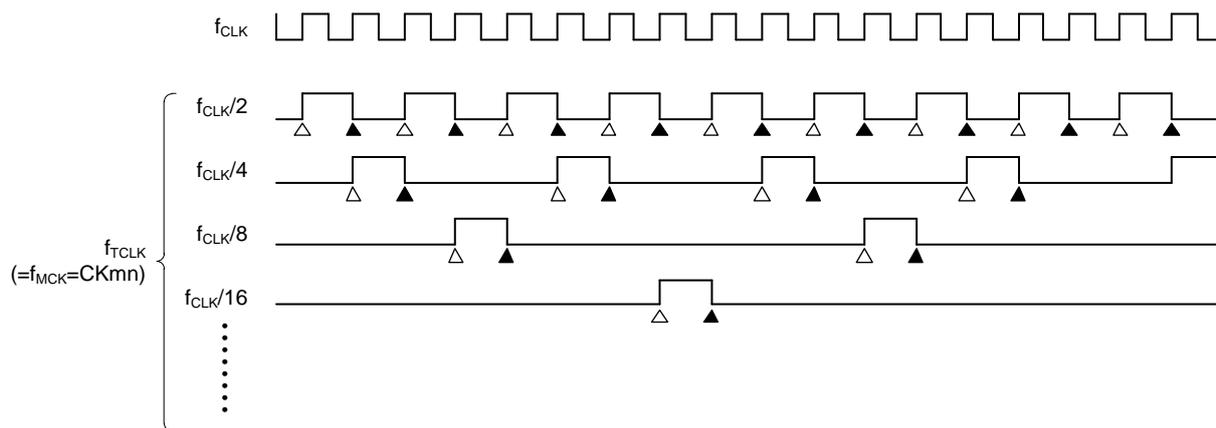
タイマ・アレイ・ユニットは、 f_{CLK} との同期をとって動作するように設計されているため、カウント・クロック (f_{TCLK}) のタイミングは次のようになります。

(1) CKSmn0, CKSmn1 ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCSmn=0)

カウント・クロック (f_{TCLK}) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、 $f_{CLK} \sim f_{CLK}/2^{15}$ となります。ただし、 f_{CLK} の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから f_{CLK} の 1 周期分だけハイ・レベルになる信号となります。 f_{CLK} を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、 f_{CLK} との同期をとるため、カウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが、このことを便宜上 “カウント・クロックの立ち上がりでカウントする” と表現します。

図 6-22 f_{CLK} とカウント・クロック (f_{TCLK}) のタイミング (CCSmn=0 時)



備考1. Δ : カウント・クロックの立ち上がり
▲ : 同期化、カウンタのインクリメント/デクリメント

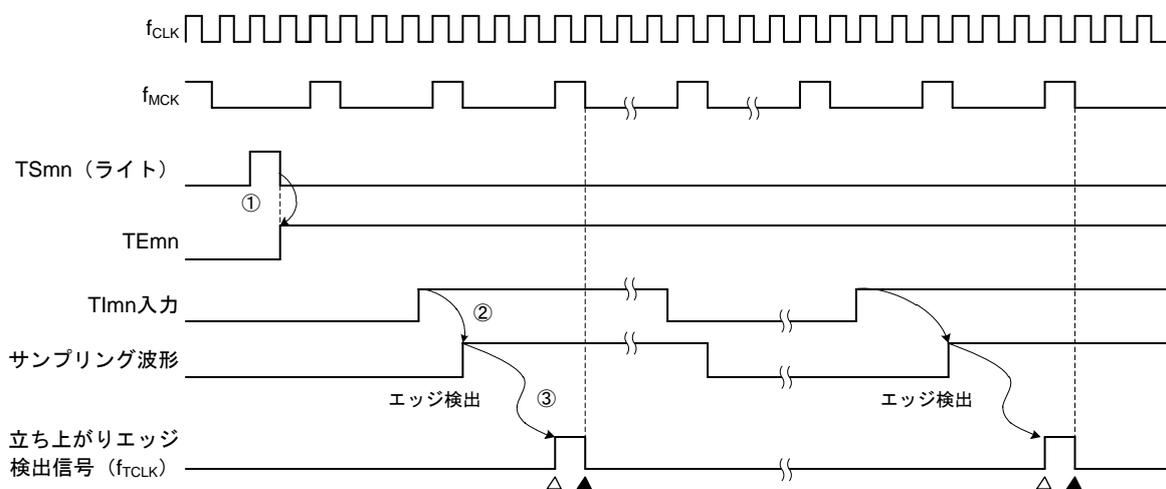
備考2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TImn 端子からの入力信号の有効エッジを選択した場合 (CCSmn=1)

カウント・クロック (f_{CLK}) は、TImn 端子からの入力信号の有効エッジを検出し、次の f_{MCK} の立ち上がり同期した信号になります。これは、実際の TImn 端子からの入力信号より f_{MCK} の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、 f_{MCK} の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、 f_{CLK} との同期をとるためにカウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図 6-23 f_{CLK} とカウント・クロック (f_{CLK}) のタイミング (CCSmn=1、ノイズ・フィルタ未使用時)



- ① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。
- ② TImn 入力の立ち上がりが f_{MCK} でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. Δ : カウント・クロックの立ち上がり
 \blacktriangle : 同期化、カウンタのインクリメント/デクリメント

備考2. f_{CLK} : CPU/周辺ハードウェア・クロック
 f_{MCK} : チャンネル n の動作クロック

備考3. 入力パルス間隔測定、入力信号のハイ/ロウ・レベル幅測定、ディレイ・カウンタ、ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn) は、タイマ・チャンネル開始レジスタ m (TSMn) の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn=1 にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出 (TSMn=1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (「6.5.3(1) インターバル・タイマ・モードの動作」参照)。
イベント・カウンタ・モード	TSMn ビットに 1 を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。 TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (「6.5.3(2) イベント・カウンタ・モードの動作」参照)。
キャプチャ・モード	スタート・トリガ検出 (TSMn=1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (「6.5.3(3) キャプチャ・モードの動作 (入力パルス間隔測定)」参照)。
ワンカウント・モード	タイマ動作停止 (TEmn=0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (「6.5.3(4) ワンカウント・モードの動作」参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn=0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (「6.5.3(5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定)」参照)。

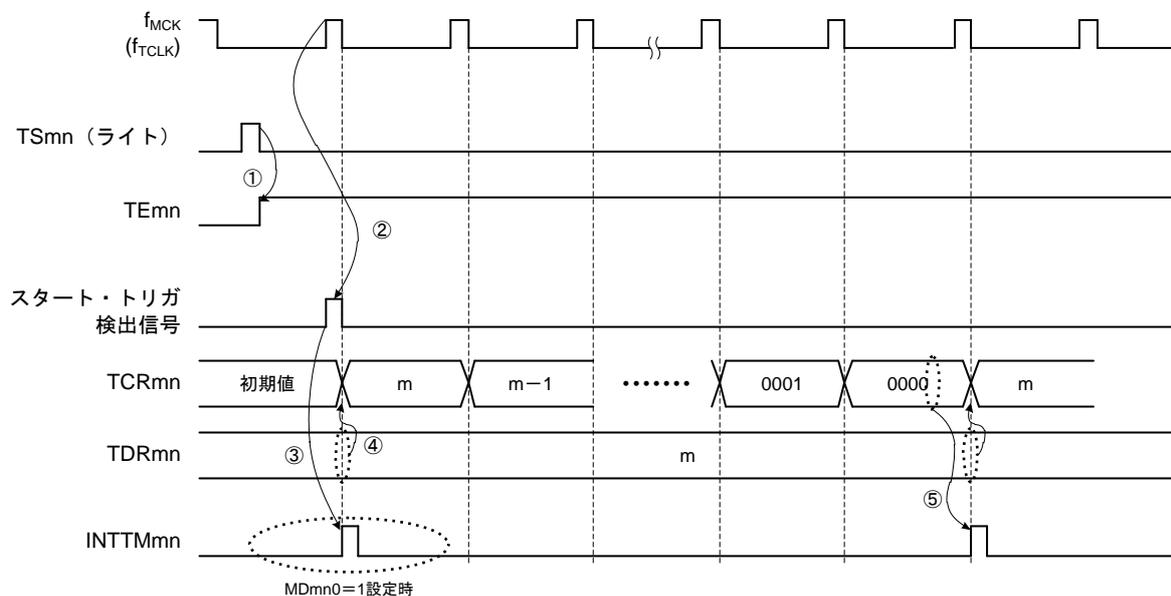
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmn ビットへ 1 を書き込むことにより、動作許可状態 (TEmn=1) となります。タイマ・カウンタ・レジスタ mn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MDmn0 ビットが 1 に設定されている場合には、スタート・トリガにより、INTTMmn が発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmn レジスタがカウント・ダウンしてカウント値が 0000H になると、次のカウント・クロック (f_{MCK}) で INTTMmn を発生し、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードしてカウントを継続します。

図 6-24 動作タイミング (インターバル・タイマ・モード)



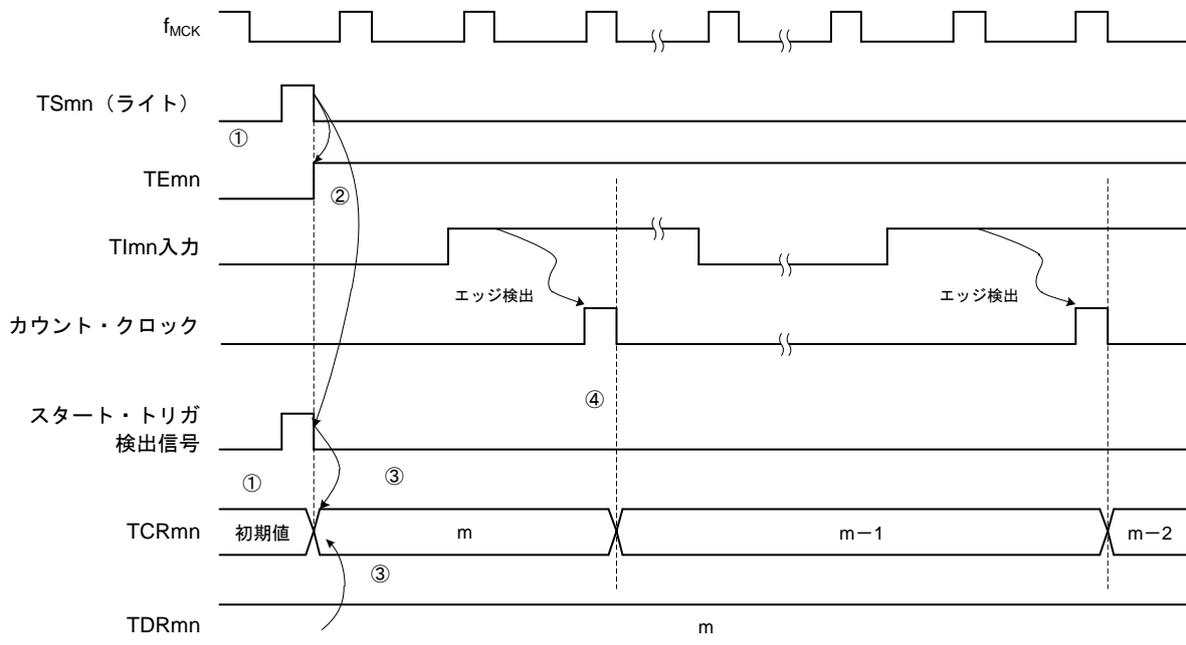
注意 カウント・クロックの1周期目の動作は TSmn ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0=1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK} 、スタート・トリガ検出信号、INTTMmn は、 f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 (TEmn=0) の期間、タイマ・カウンタ・レジスタ mn (TCRmn) は、初期値を保持します。
- ② TSmn ビットへ 1 を書き込むことにより、動作許可状態 (TEmn=1) となります。
- ③ TSmn=1→TEmn=1 と同時に、TCRmn レジスタにタイマ・データ・レジスタ mn (TDRmn) の値をロードし、カウントを開始します。
- ④ 以降は TImn 入力の有効エッジでのカウント・クロックに従い、TCRmn レジスタの値をダウン・カウントします。

図 6-25 動作タイミング (イベント・カウンタ・モード)

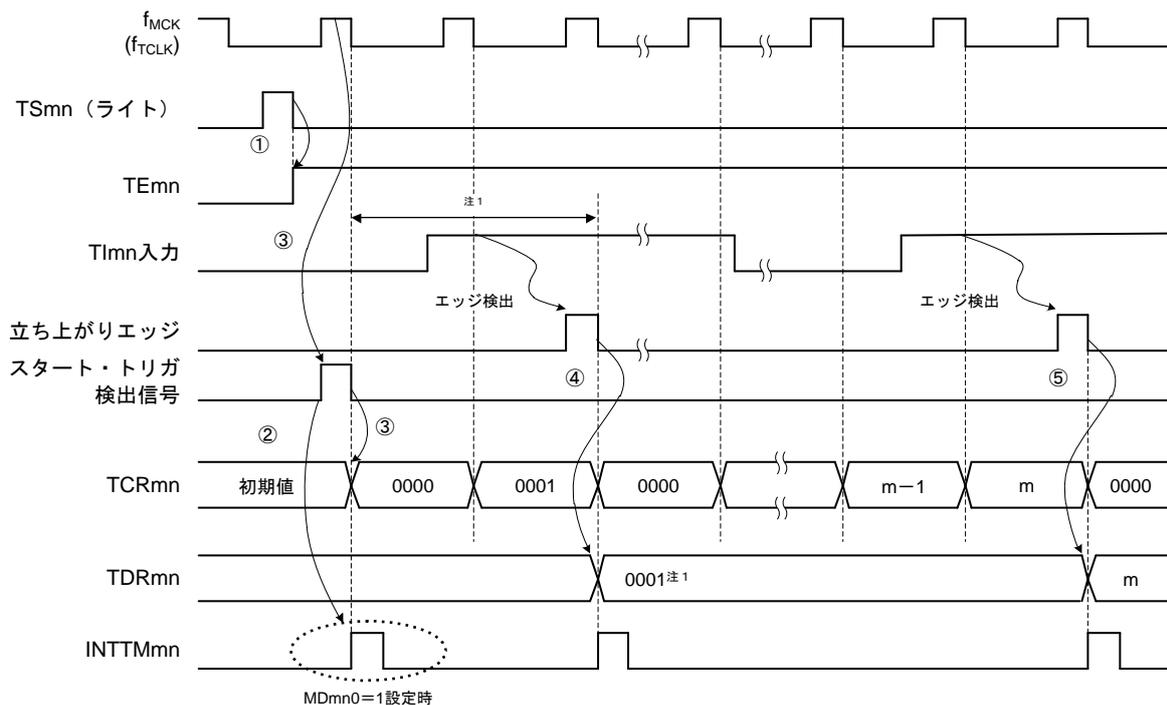


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は $TImn$ 入力からさらに f_{MCK} の 2 周期分 (合計で 3~4 周期分) 遅くなります。1 周期分の誤差は $TImn$ 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作（入力パルス間隔測定）

- ① TSmn ビットへ 1 を書き込むことにより、動作許可状態（TEmn=1）となります。
- ② タイマ・カウンタ・レジスタ mn（TCRmn）は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウンタ・クロック（f_{MCK}）で、スタート・トリガが発生します。そして 0000H の値を TCRmn レジスタにロードし、キャプチャ・モードでのカウントを開始します。（MDmn0 ビットが 1 に設定されている場合には、スタート・トリガにより、INTTMmn が発生します。）
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは 0000H からカウントを続けます。
- ⑤ 次の TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図 6-26 動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注1. スタート前から TImn にクロックが入力されている（トリガがある）場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では 0001：2 クロック分の間隔）ので、無視してください。

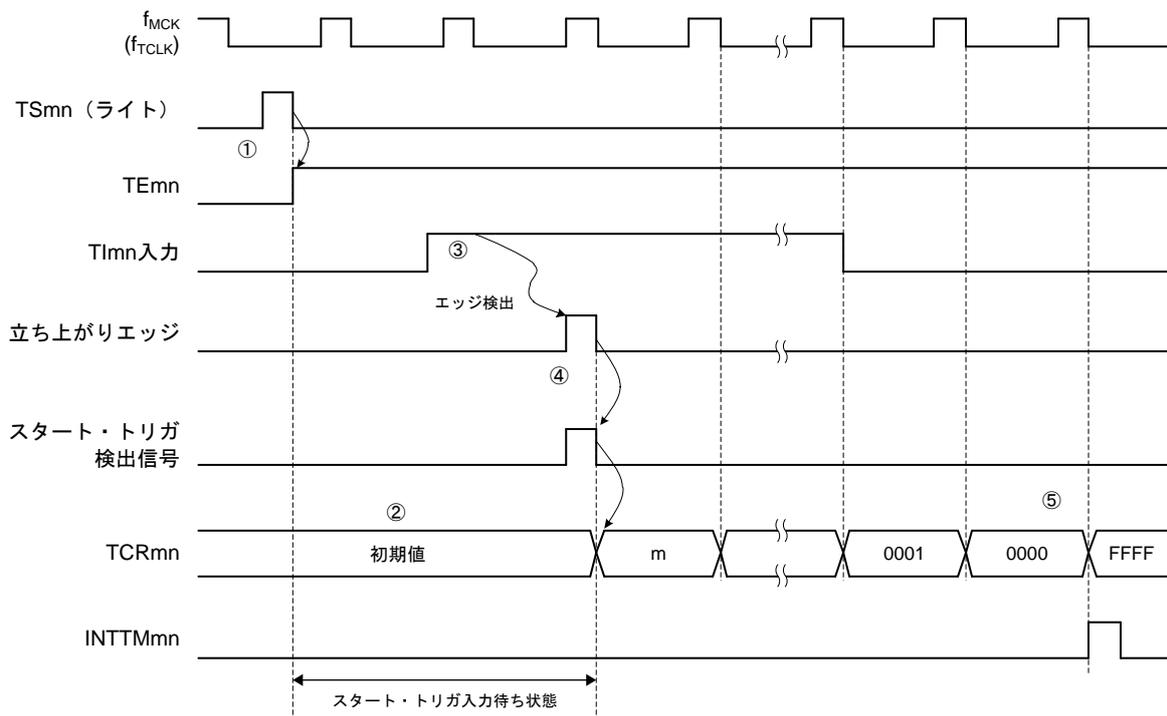
注意 カウント・クロックの 1 周期目の動作は TSmn ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1 周期目は最大でカウント・クロック 1 クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0=1 に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn 入力からさらに f_{MCK} の2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmn ビットへ1を書き込むことにより、動作許可状態 (TEmn=1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmn レジスタの値 (m) を TCRmn レジスタにロードし、カウントを開始します。
- ⑤ TCRmn レジスタがカウント・ダウンしてカウント値が 0000H になると、INTTMmn 割り込みを発生し、TCRmn レジスタは FFFFH で停止します。

図 6-27 動作タイミング (ワンカウント・モード)

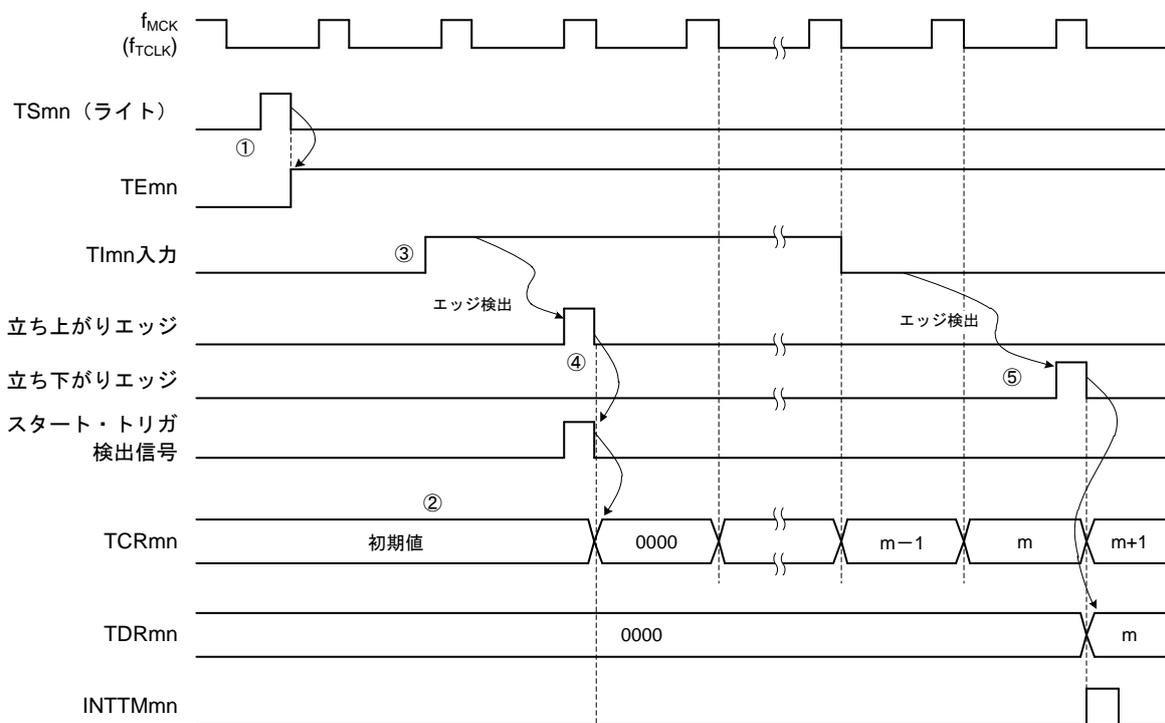


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn 入力からさらに f_{MCK} の2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

- ① タイマ・チャンネル開始レジスタ m (TSMn) の TSMn ビットに 1 を書き込むことにより、動作許可状態 (TEmn=1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000H を TCRmn レジスタにロードし、カウントを開始します。
- ⑤ TImn 入力の立ち下がりエッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図 6-28 動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

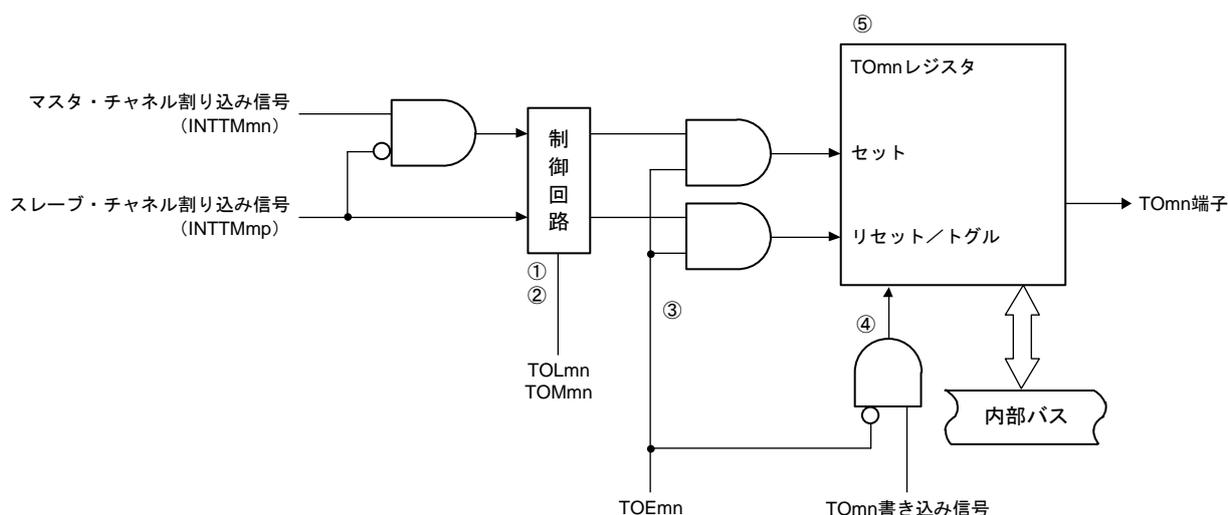


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TImn 入力からさらに f_{MCK} の 2 周期分（合計で 3~4 周期分）遅くなります。1 周期分の誤差は TImn 入力とカウンタ・クロック (f_{MCK}) が非同期なためです。

6.6 チャンネル出力（TOmn 端子）の制御

6.6.1 TOmn 端子の出力回路の構成

図 6-29 出力回路構成図



TOmn 端子の出力回路の説明を次に示します。

- ① TOMmn=0（マスタ・チャンネル出力モード）のときは、タイマ出力レベル・レジスタ m (TOLm) の設定値は無視され、INTTMmp（スレーブ・チャンネル・タイマ割り込み）のみがタイマ出力レジスタ m (TOm) に伝えられます。
- ② TOMmn=1（スレーブ・チャンネル出力モード）のときは、INTTMmn（マスタ・チャンネル・タイマ割り込み）と INTTMmp（スレーブ・チャンネル・タイマ割り込み）が TOm レジスタに伝えられます。
このとき、TOLm レジスタが有効となり、次のように信号を制御します。
TOLmn=0 の場合：正論理出力（INTTMmn→セット、INTTMmp→リセット）
TOLmn=1 の場合：負論理出力（INTTMmn→リセット、INTTMmp→セット）

また、INTTMmn と INTTMmp が同時に発生した場合（PWM 出力の 0%出力時）は、INTTMmp（リセット信号）が優先され、INTTMmn（セット信号）はマスクされます。

- ③ タイマ出力許可状態 (TOEmn=1) で、INTTMmn（マスタ・チャンネル・タイマ割り込み）と INTTMmp（スレーブ・チャンネル・タイマ割り込み）が TOm レジスタに伝えられます。TOm レジスタへの書き込み (TOMmn 書き込み信号) は無効となります。

また、TOEmn=1 のとき、割り込み信号以外で TOmn 端子の出力が変化することはありません。

TOmn 端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn=0) に設定し TOm レジスタに値を書き込む必要があります。

（備考は次ページにあります。）

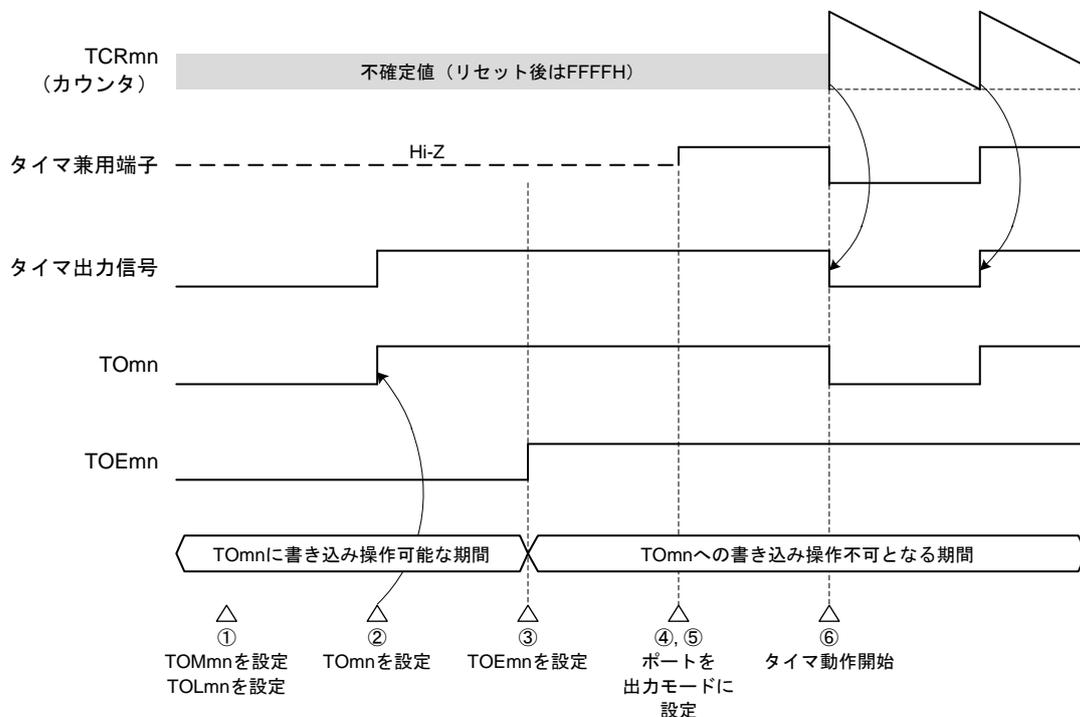
- ④ タイマ出力禁止状態 (TOEmn=0) で、対象チャネルの TOmn ビットへの書き込み (TOmn 書き込み信号) が有効となります。タイマ出力禁止状態 (TOEmn=0) のとき、INTTMmn (マスタ・チャネル・タイマ割り込み) と INTTMmp (スレーブ・チャネル・タイマ割り込み) は TOm レジスタに伝えられません。
- ⑤ TOm レジスタは常に読み出し可能であり、TOmn 端子の出力レベルを確認することができます。

備考 m : ユニット番号 (m=0)
n : チャネル番号
n=0-7 (マスタ・チャネル時 : n=0, 2, 4, 6)
p : スレーブ・チャネル番号
n < p ≤ 7

6.6.2 TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図 6-30 タイマ出力設定から動作開始までの状態変化



- ① タイマ出力の動作モードを設定します。
 - TOMmn ビット (0: マスタ・チャンネル出力モード、1: スレーブ・チャンネル出力モード)
 - TOLmn ビット (0: 正論理出力、1: 負論理出力)
- ② タイマ出力レジスタ m (TOm) を設定することにより、タイマ出力信号が初期状態に設定されます。
- ③ TOEmn ビットに 1 を書き込み、タイマ出力動作を許可します (TOm レジスタへの書き込みは不可となります)。
- ④ ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します (「6.3.14 タイマ入出力端子のポート機能を制御するレジスタ」参照)。
- ⑤ ポートの入出力設定を出力に設定します (「6.3.14 タイマ入出力端子のポート機能を制御するレジスタ」参照)。
- ⑥ タイマを動作許可にします (TSmn=1)。

備考 m: ユニット番号 (m=0)、n: チャンネル番号 (n=0-7)

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中の TOm, TOEm, TOLm レジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタ mn (TCRmn)、タイマ・データ・レジスタ mn (TDRmn) の動作) は、TOmn 出力回路とは独立しています。よって、タイマ出力レジスタ m (TOm)、タイマ出力許可レジスタ m (TOEm)、タイマ出力レベル・レジスタ m (TOLm) の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形を TOmn 端子から出力するためには、「6.7 タイマ入力 (TImn) の制御」、「6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能」で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で、TOm レジスタを除く TOEm レジスタ、TOLm レジスタの設定値変更を行うと、タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは、TOmn 端子に出力される波形が異なる場合があります。

備考 m: ユニット番号 (m=0)、n: チャンネル番号 (n=0-7)

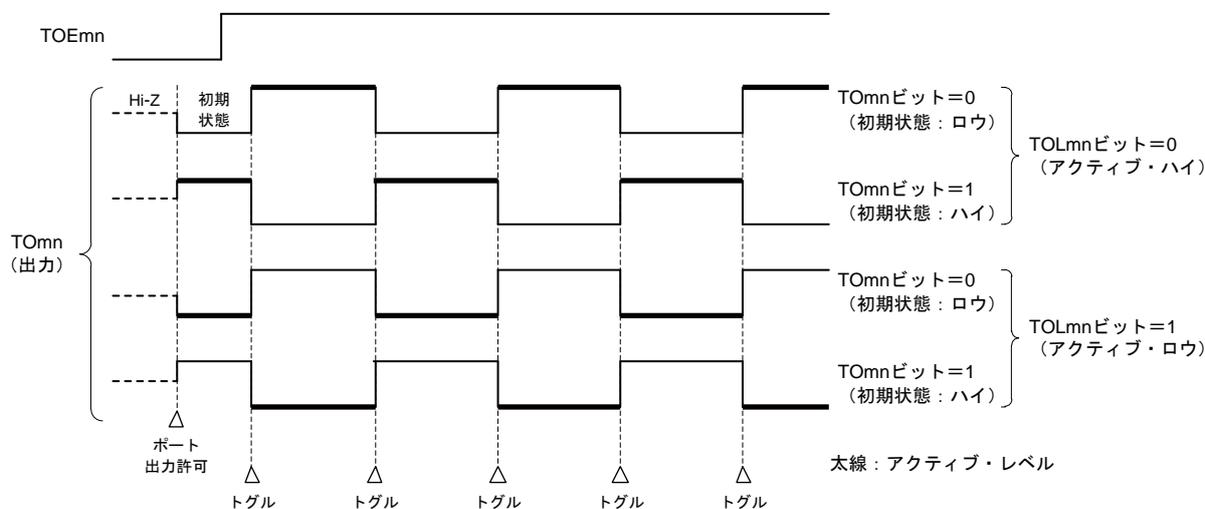
(2) TOmn 端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOEmn=0) の状態でタイマ出力レジスタ m (TOm) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn=1) に設定した場合の TOmn 端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOMmn=0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOMmn=0) の時、タイマ出力レベル・レジスタ m (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生により TOmn 端子の出力レベルを反転します。

図 6-31 トグル出力時 (TOMmn=0) の TOmn 端子出力状態



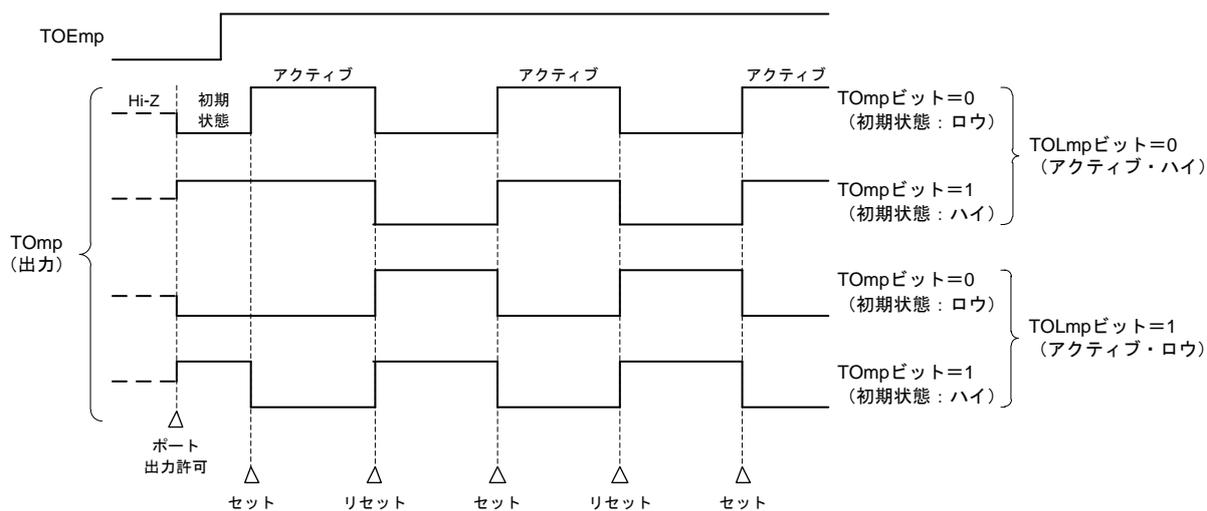
備考1. トグル : TOmn 端子の出力状態を反転

備考2. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

(b) スレーブ・チャンネル出力モード (TOMmp=1) 設定で動作を開始した場合 (PWM 出力)

スレーブ・チャンネル出力モード (TOMmp=1) の時、タイマ出力レベル・レジスタ m (TOLm) の設定によりアクティブ・レベルを決定します。

図 6-32 PWM 出力時 (TOMmp=1) の TOmp 端子出力状態



- 備考1. セット : TOmp 端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TOmp 端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
- 備考2. m : ユニット番号 (m=0) 、 p : チャンネル番号 (p=1-7)

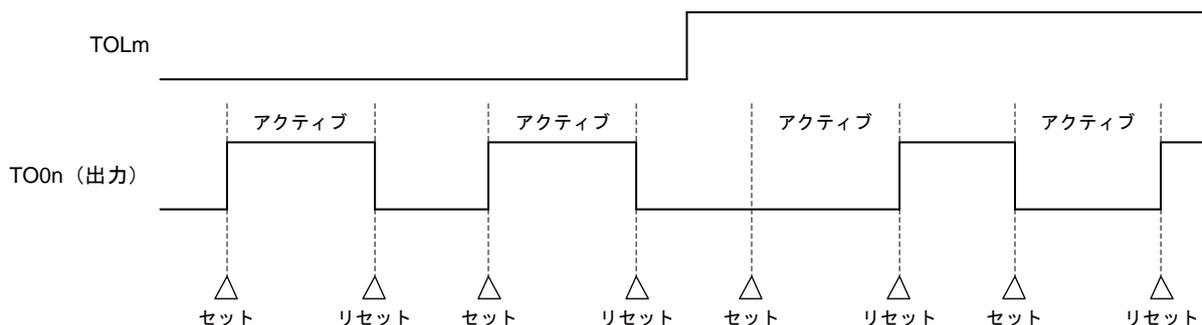
(3) TOMn 端子のスレーブ・チャンネル出力モード (TOMmn=1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ m (TOLm) の設定を変更した場合

タイマ動作中に TOLm レジスタの設定を変更した場合、設定が有効となるのは TOMn 端子変化条件の発生タイミングです。TOLm レジスタの書き換えでは、TOMn 端子の出力レベルは変化しません。

TOMmn=1 で、タイマ動作中 (TEmn=1) に TOLm レジスタの値を変更した場合の動作を次に示します。

図 6-33 タイマ動作中に TOLm レジスタの内容を変更した場合の動作



備考1. セット : TOMn 端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOMn 端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

(b) セット/リセット・タイミング

PWM 出力時に、0%/100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時の TOMn 端子/TOMn ビットのセット・タイミングをスレーブ・チャンネルにて 1 カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

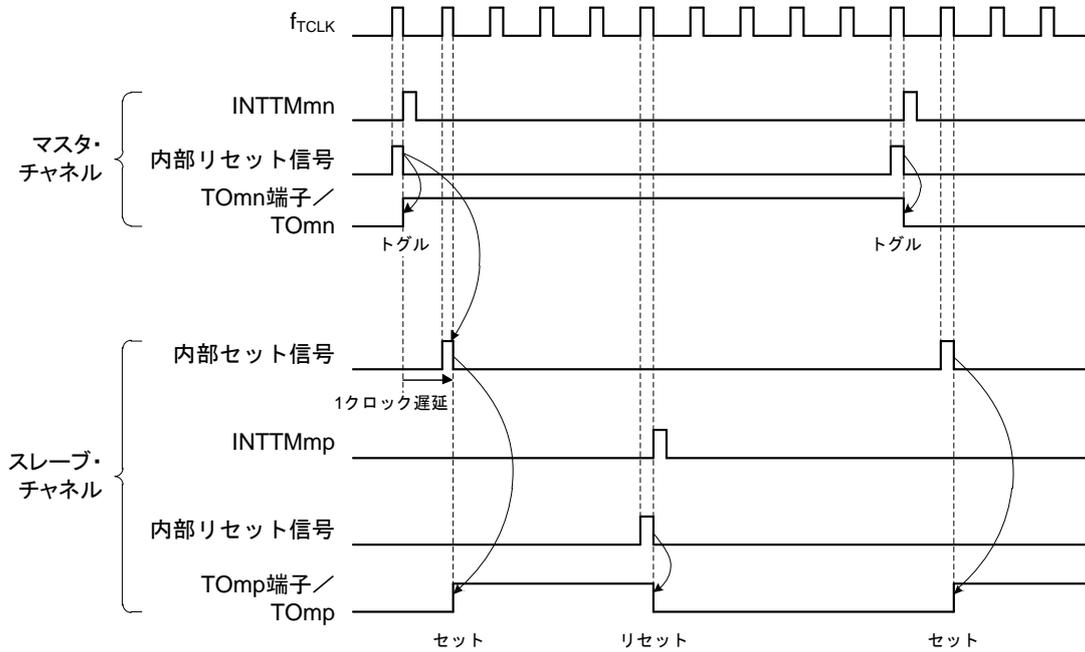
マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図 6-34 に示します。

マスタ・チャンネル : TOEmn=1, TOMmn=0, TOLmn=0

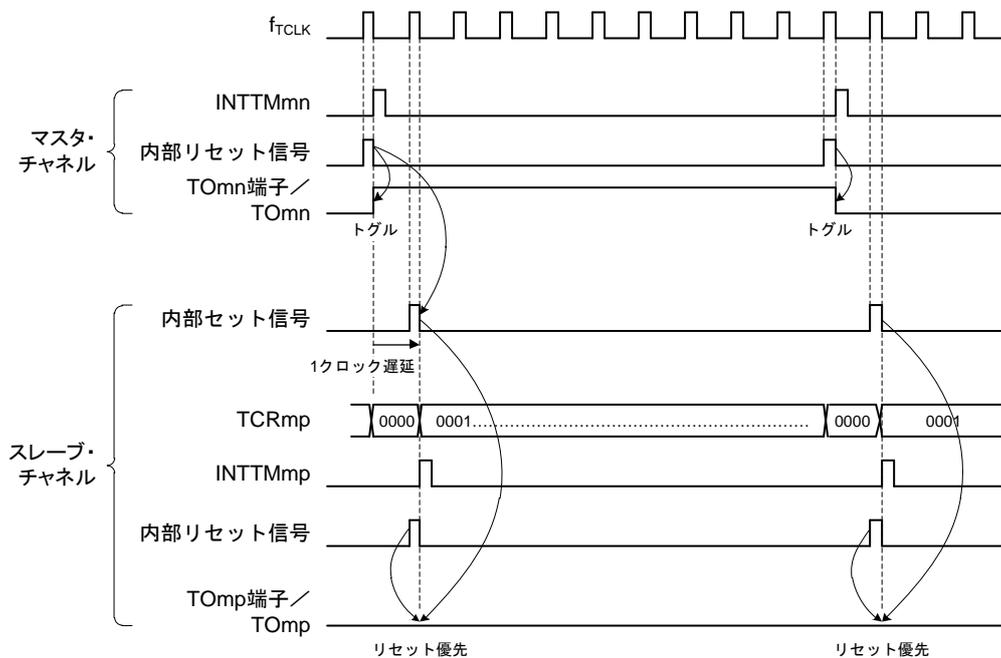
スレーブ・チャンネル : TOEmp=1, TOMmp=1, TOLmp=0

図6-34 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング



(備考は次ページにあります。)

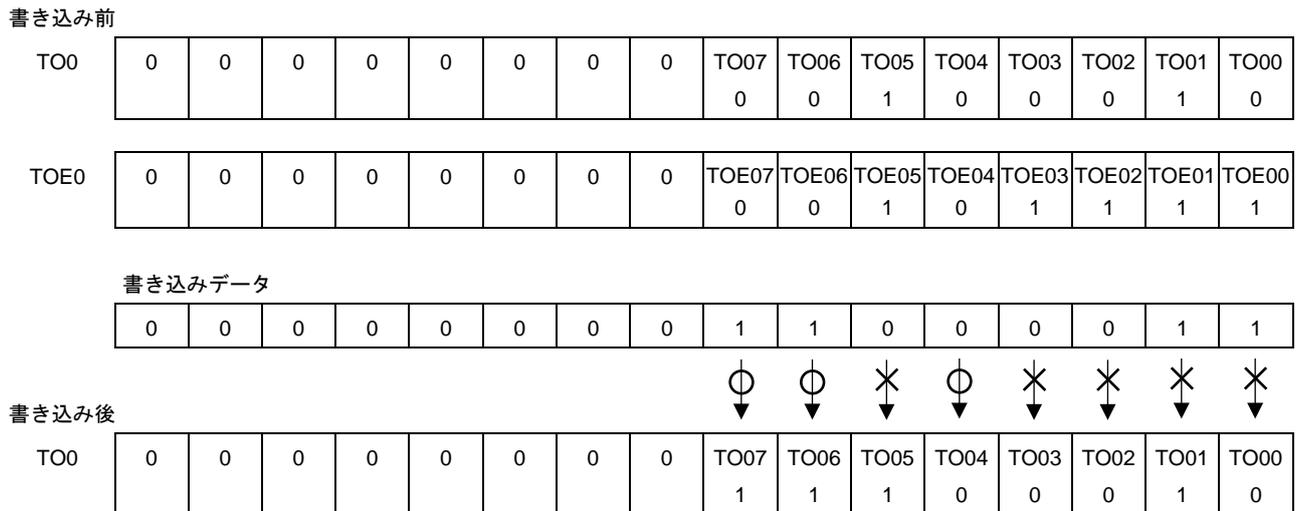
備考1. 内部リセット信号 : TOmn 端子のリセット／トグル信号
内部セット信号 : TOmn 端子のセット信号

備考2. m : ユニット番号 (m=0)
n : チャンネル番号
n=0-7 (マスタ・チャンネル時 : n=0, 2, 4, 6)
p : スレーブ・チャンネル番号
n < p ≤ 7

6.6.4 TOmn ビットの一括操作

タイマ出力レジスタ m (TOm) には、タイマ・チャンネル開始レジスタ m (TSm) と同様に、1 レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみ TOmn ビットへの書き込み可能 (TOEmn=0) とすることによって任意のビットのみ操作することが可能です。

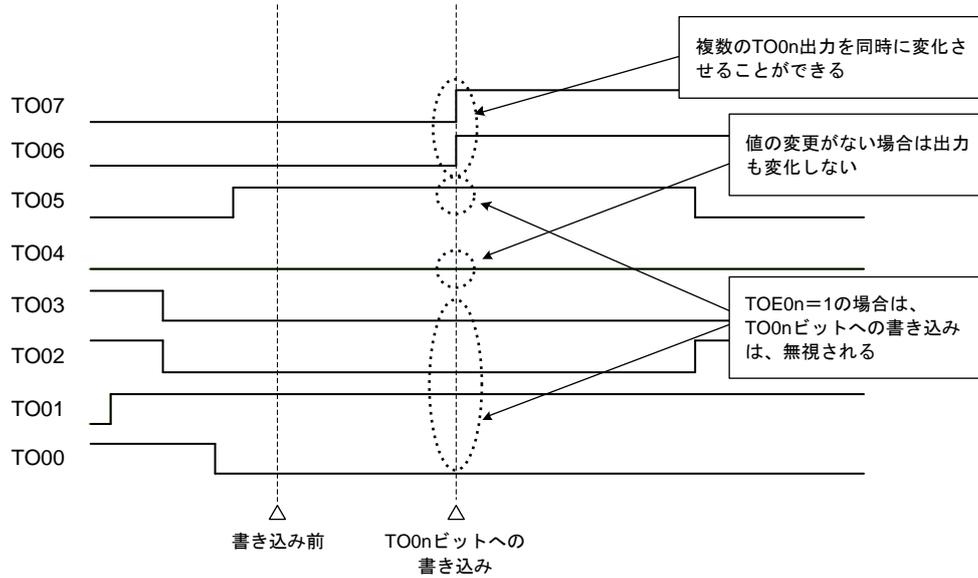
図 6-35 TO0n ビットの一括操作例



TOEmn=0 の TOmn ビットのみ書き込みが行われます。TOEmn=1 の TOmn ビットへの書き込みは無視されます。

TOEmn=1 に設定されている TOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図 6-36 TO0n ビットの一括操作による TO0n の端子状態



備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0-7)

6.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

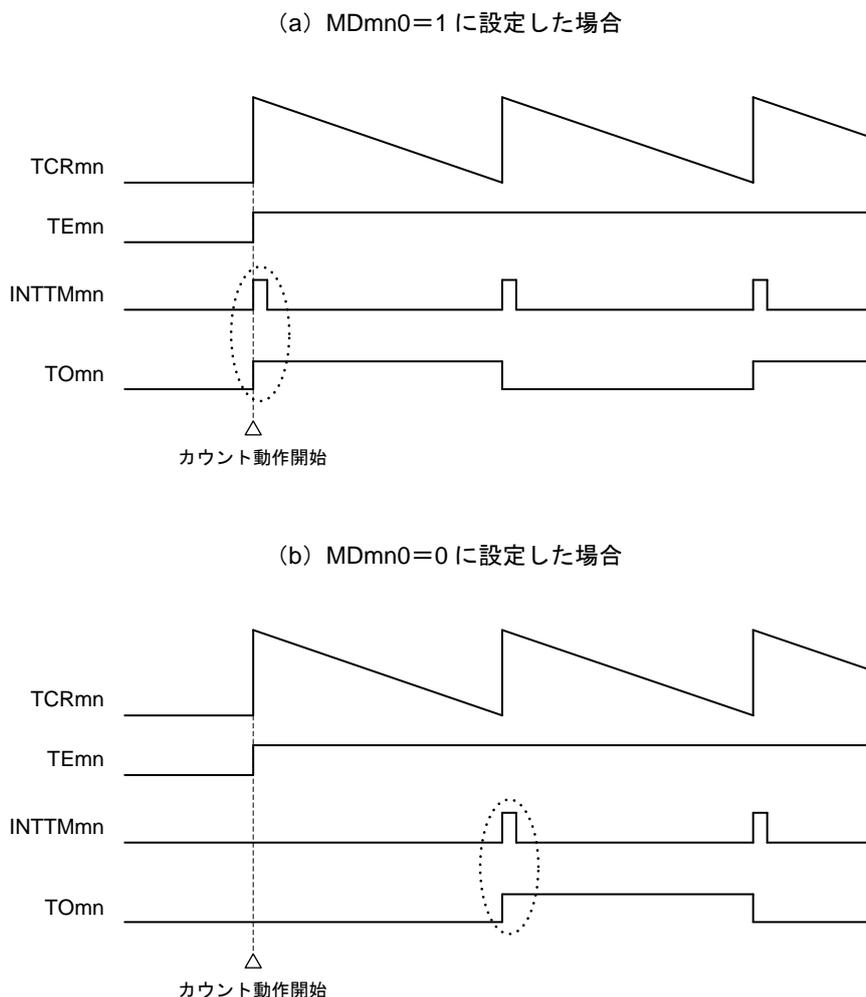
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0=1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn=1, TOMmn=0) に設定した場合の動作例を次に示します。

図 6-37 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0=1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0=0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1 周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

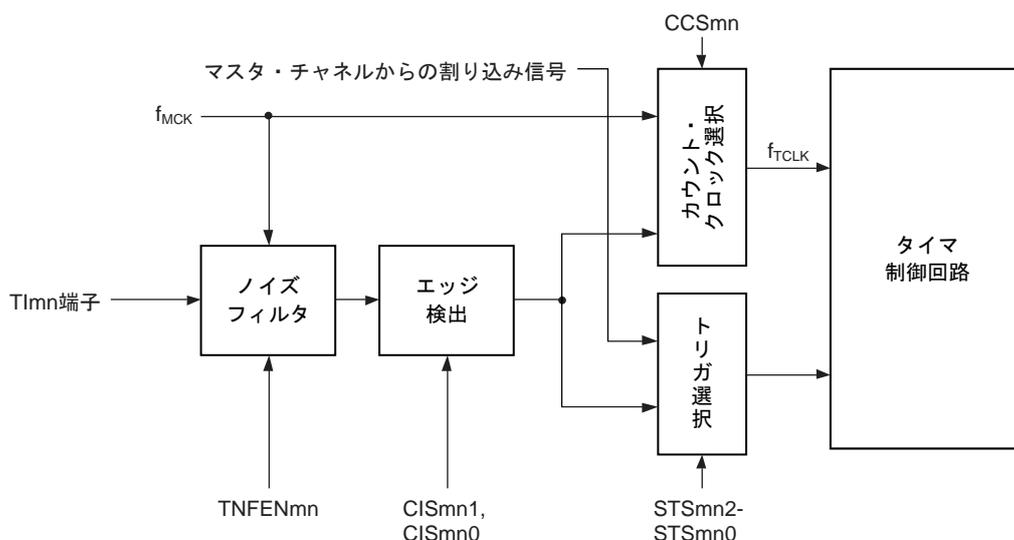
備考 m : ユニット番号 (m=0) 、n : チャネル番号 (n=0-7)

6.7 タイマ入力 (TImn) の制御

6.7.1 TImn の入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

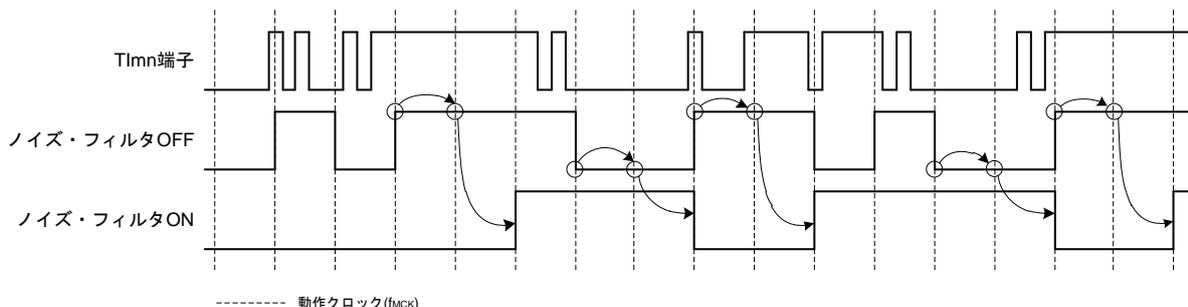
図 6-38 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネル n の動作クロック (f_{MCK}) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネル n の動作クロック (f_{MCK}) で同期化のあと、2クロックの一致検出を行います。以下に、TImn 入力端子に対するノイズ・フィルタ ON/OFF によるノイズ・フィルタ回路を通過後の波形を示します。

図 6-39 TImn 入力端子に対するノイズ・フィルタ ON/OFF によるサンプリング波形



6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn)、ビット 9 (STSmn1)、ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn)、ビット 9 (STSmn1)、ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔で INTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1)$$

(2) 方形波出力としての動作

TOmn は、INTTMmn 発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn 出力波形の周期と周波数は、次の式で求めることができます。

$$\text{TOmn からの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1) \times 2$$

$$\text{TOmn からの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmn の設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSm) のチャンネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0=0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0=1 ならば、INTTMmn を出力して、TOmn をトグルします。

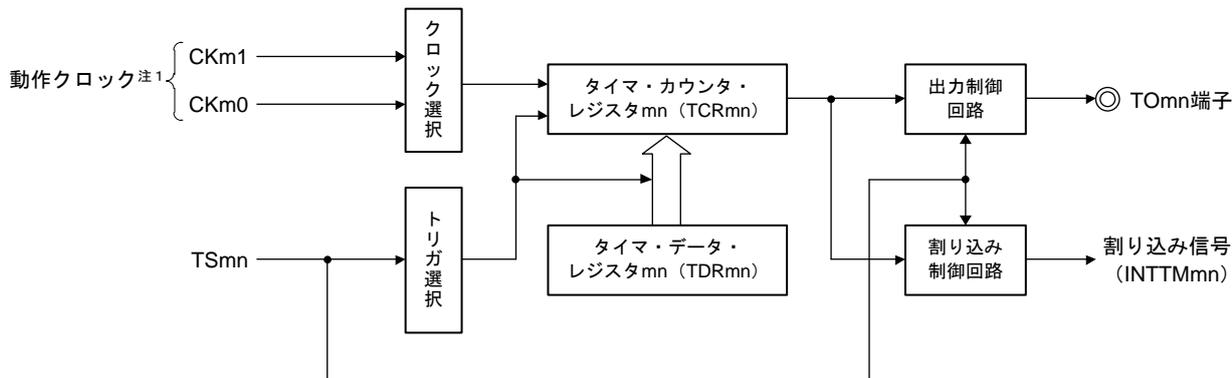
その後、TCRmn レジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn=0000H になったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を続けます。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

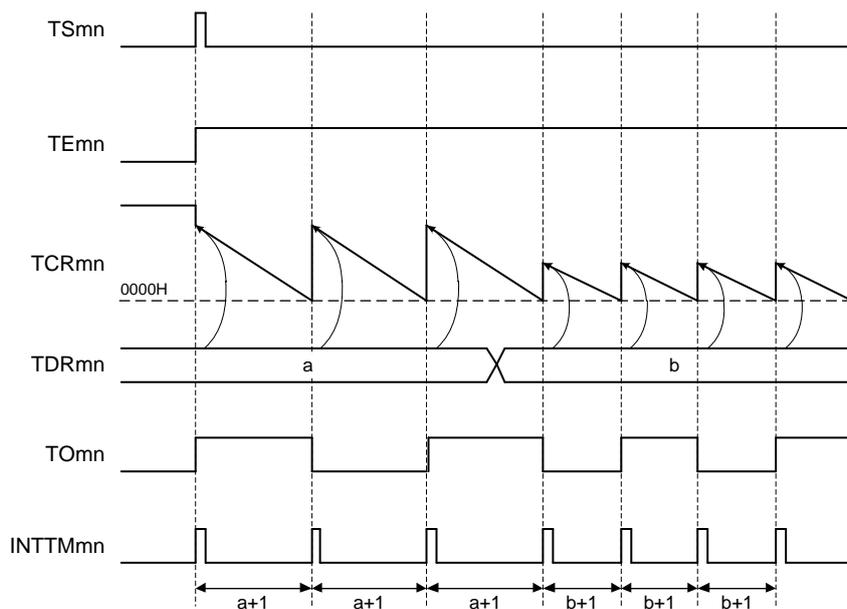
備考 m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

図 6-40 インターバル・タイマ／方形波出力としての動作のブロック図



注1. チャンネル 1, 3 の場合は、CKm0, CKm1, CKm2, CKm3 からクロックを選択できます。

図 6-41 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0=1)



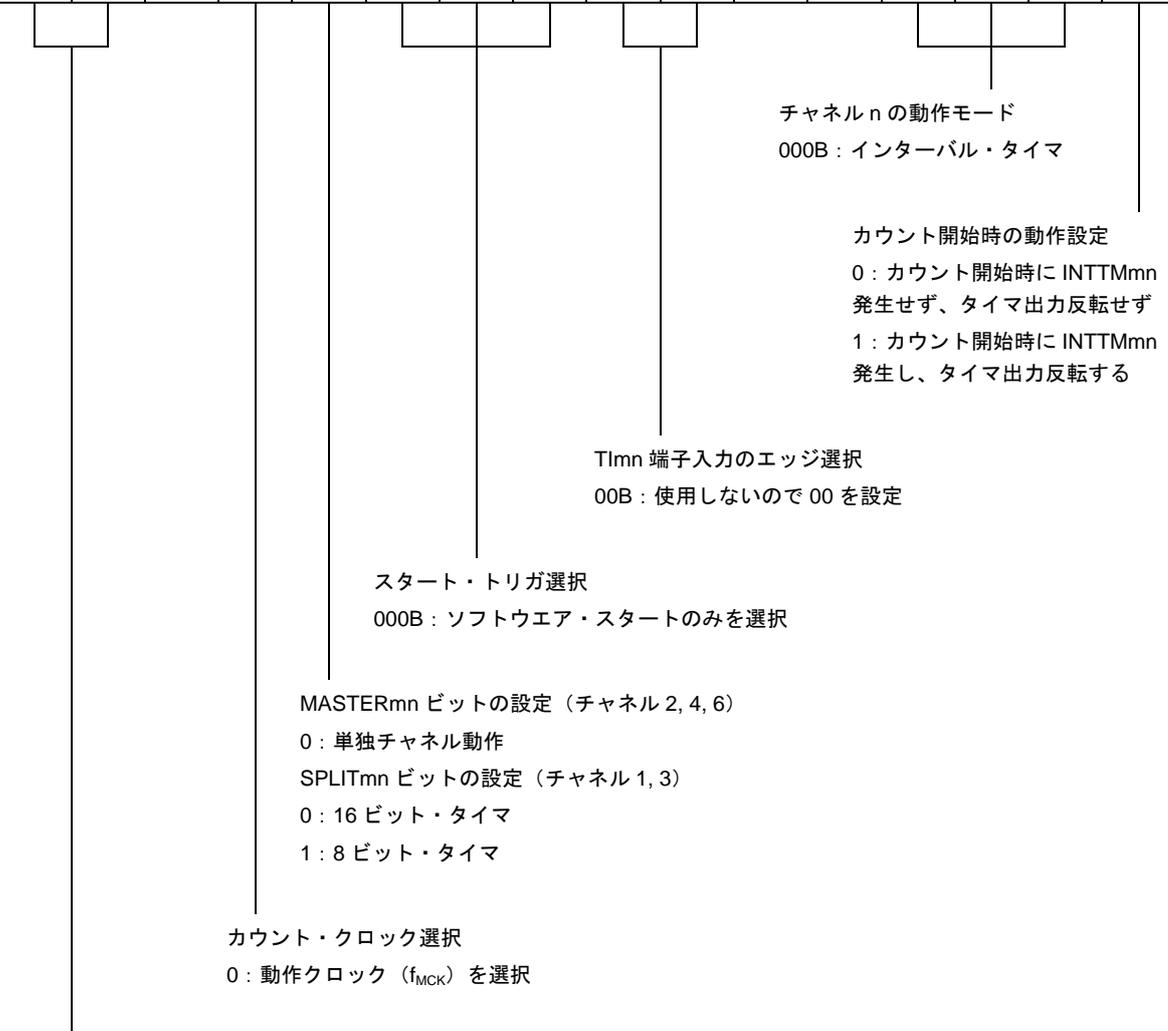
備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n
 TEMn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n
 TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)
 TDRmn : タイマ・データ・レジスタ mn (TDRmn)
 TOMn : TOMn 端子出力信号

図 6-42 インターバル・タイマ／方形波出力時のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ mn (TMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSm	CKSm		CCSm	M/S ^{注1}	STSmn	STSmn	STSmn	CISmn	CISmn			MDmn	MDmn	MDmn	MDmn
	n1	n0		n		2	1	0	1	0			3	2	1	0
	1/0	1/0	0	0	0/1	0	0	0	0	0	0	0	0	0	0	1/0



チャンネル n の動作モード
000B : インターバル・タイマ

カウント開始時の動作設定
0 : カウント開始時に INTTMmn
発生せず、タイマ出力反転せず
1 : カウント開始時に INTTMmn
発生し、タイマ出力反転する

Tlmn 端子入力のエッジ選択
00B : 使用しないので 00 を設定

スタート・トリガ選択
000B : ソフトウェア・スタートのみを選択

MASTERmn ビットの設定 (チャンネル 2, 4, 6)
0 : 単独チャンネル動作
SPLITmn ビットの設定 (チャンネル 1, 3)
0 : 16 ビット・タイマ
1 : 8 ビット・タイマ

カウント・クロック選択
0 : 動作クロック (f_{MCK}) を選択

動作クロック (f_{MCK}) の選択
00B : チャンネル n の動作クロックに CKm0 を選択
10B : チャンネル n の動作クロックに CKm1 を選択
01B : チャンネル 1, 3 の動作クロックに CKm2 を選択 (チャンネル 1, 3 のみ選択可)
11B : チャンネル 1, 3 の動作クロックに CKm3 を選択 (チャンネル 1, 3 のみ選択可)

注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット
TMRm1, TMRm3 の場合 : SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図6-42 インターバル・タイマ／方形波出力時のレジスタ設定内容例 (2/2)

(b) タイマ出力レジスタ m (TOm)

		ビット n
TOm	TOmn	0 : TOmn より 0 を出力する
	1/0	1 : TOmn より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

		ビット n
TOEm	TOEn	0 : カウント動作による TOmn 出力動作停止
	1/0	1 : カウント動作による TOmn 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

		ビット n
TOLm	TOLmn	0 : TOMmn=0 (マスタ・チャンネル出力モード) では 0 を設定
	0	

(e) タイマ出力モード・レジスタ m (TOMm)

		ビット n
TOMm	TOMmn	0 : マスタ・チャンネル出力モードを設定
	0	

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-43 インターバル・タイマ／方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	
チャンネル 初期設定	タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn) にインターバル (周期) 値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	TOmn 出力を使用する場合、 タイマ出力モード・レジスタ m (TOMm) の TOMmn ビットに 0 (マスタ・チャンネル出力モード) を設定する TOLmn ビットに 0 を設定する TOmn ビットを設定し、TOmn 出力の初期レベルを確定する	TOmn 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は、TOmn 初期設定レベルが出力される。
	TOEmn ビットに 1 を設定し、TOmn の動作を許可 ポート・レジスタとポート・モード・レジスタに 0 を設定する	チャンネルは動作停止状態なので、TOmn は変化しない TOmn 端子は TOMn 設定レベルを出力
動作開始	(TOmn 出力を使用する場合で、かつ動作再開時のみ TOEmn ビットに 1 を設定する) TSmn (TSHm1, TSHm3) ビットに 1 を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn (TEHm1, TEHm3) = 1 になり、カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードする。TMRmn レジスタの MDmn0 ビットが 1 の場合は、INTTMmn を発生し、TOmn もトグル動作する。
	動作中	カウンタ (TCRmn) はダウン・カウント動作を行い、0000H までカウントしたら、再び TCRmn レジスタは TDRmn レジスタの値をロードし、カウント動作を継続する。TCRmn=0000H 検出で INTTMmn を発生し、TOmn はトグル動作する。 以降、この動作を繰り返す。
動作停止	TTmn (TTHm1, TTHm3) ビットに 1 を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn (TEHm1, TEHm3) = 0 になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TOmn 出力は初期化されず、状態保持
	TOEmn ビットに 0 を設定し、TOmn ビットに値を設定する	TOmn 端子は TOMn ビットに設定したレベルを出力

(備考は次ページにあります。)

図 6-43 インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、 TOmn ビットに 0 を設定する	TOmn 端子出力レベルはポート機能により保持される。
	TOmn 端子の出力レベルを保持不要の場合 設定不要	
	PER0 レジスタの TAUmEN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが 0 になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

6.8.2 外部イベント・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (T_Sm) の任意のチャンネル・スタート・トリガ・ビット (T_Smn) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

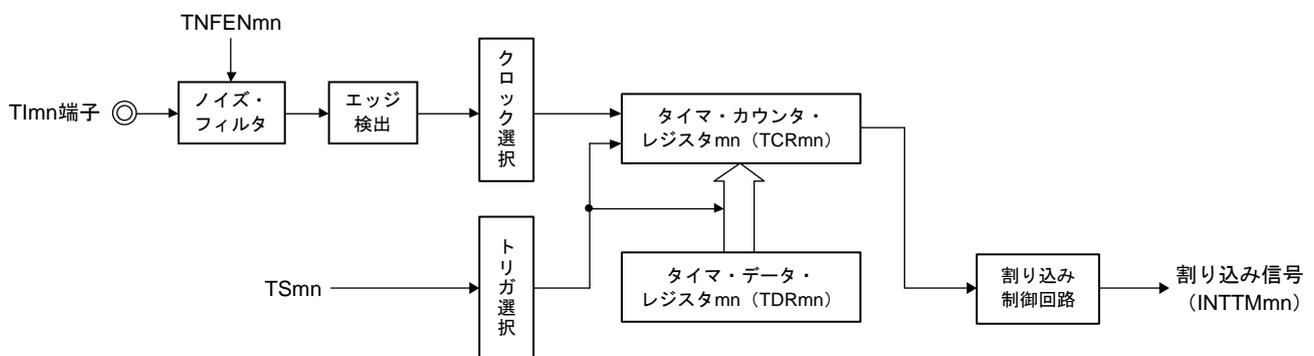
TCRmn レジスタは Tl_{mn} 端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn=0000H となったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

以降、同様の動作を継続します。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

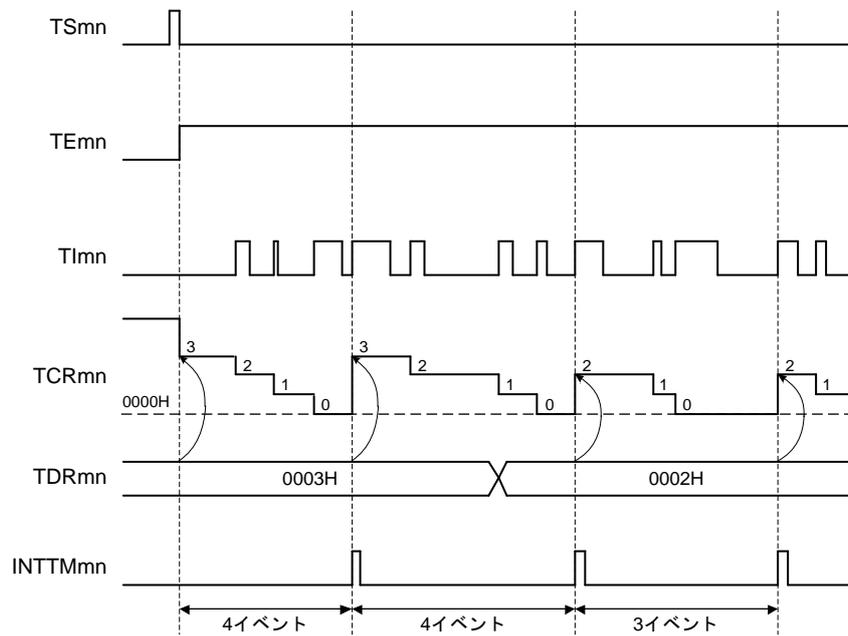
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図 6-44 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

図 6-45 外部イベント・カウンタとしての動作の基本タイミング例



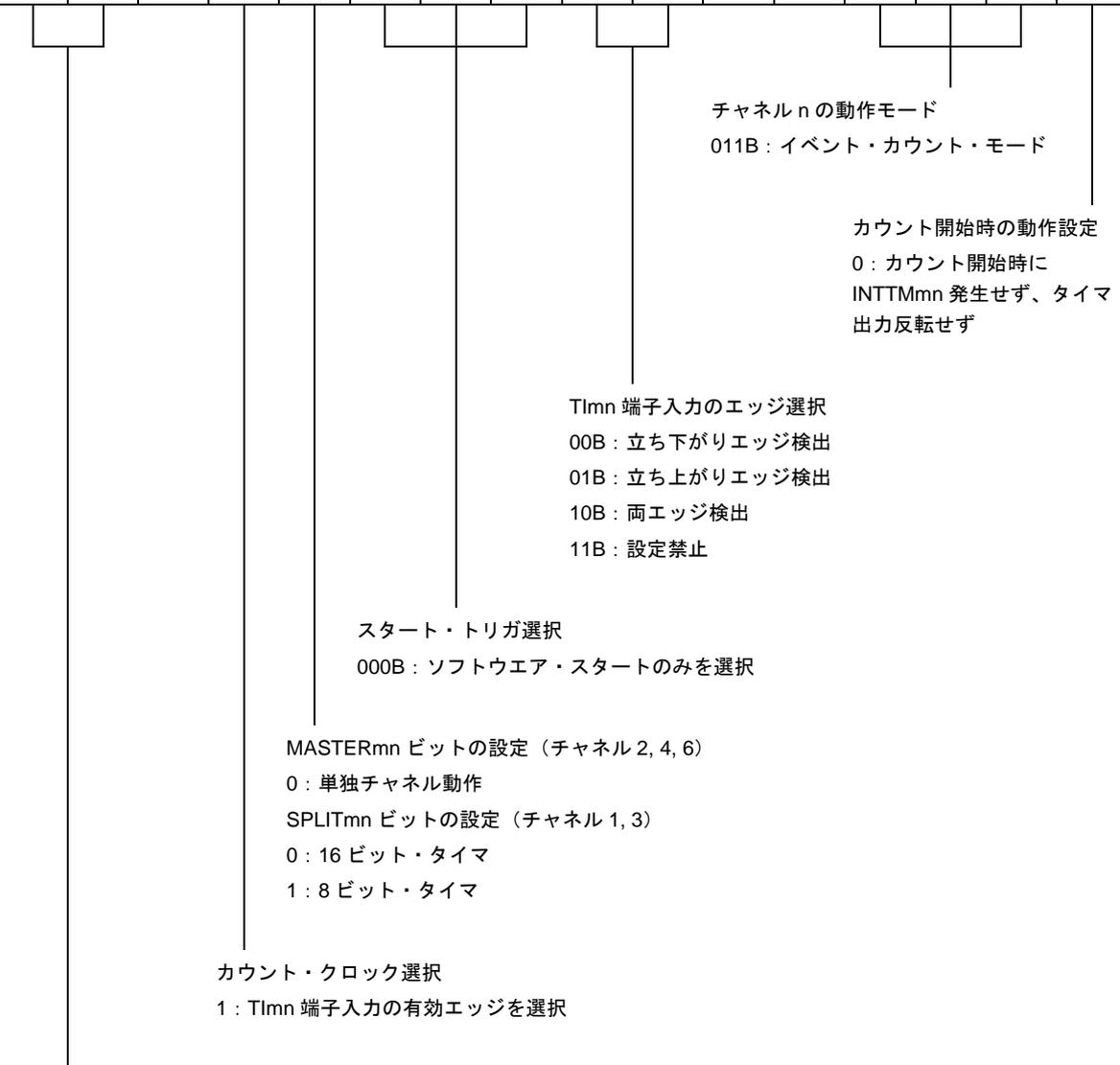
備考1. m : ユニット番号 (m=0) 、n : チャネル番号 (n=0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n
 TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n
 TI mn : TI mn 端子入力信号
 TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)
 TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図 6-46 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ mn (TMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSm	CKSm		CCSm	M/S ^{注1}	STSmn	STSmn	STSmn	CISmn	CISmn			MDmn	MDmn	MDmn	MDmn
	n1	n0		n		2	1	0	1	0			3	2	1	0
	1/0	1/0	0	1	0/1	0	0	0	1/0	1/0	0	0	0	1	1	0



チャンネル n の動作モード
011B : イベント・カウンタ・モード

カウント開始時の動作設定
0 : カウント開始時に
INTTMmn 発生せず、タイマ
出力反転せず

TI_{mn} 端子入力のエッジ選択
00B : 立ち下がりエッジ検出
01B : 立ち上がりエッジ検出
10B : 両エッジ検出
11B : 設定禁止

スタート・トリガ選択
000B : ソフトウェア・スタートのみを選択

MASTER_{mn} ビットの設定 (チャンネル 2, 4, 6)
0 : 単独チャンネル動作
SPLIT_{mn} ビットの設定 (チャンネル 1, 3)
0 : 16 ビット・タイマ
1 : 8 ビット・タイマ

カウント・クロック選択
1 : TI_{mn} 端子入力の有効エッジを選択

動作クロック (f_{MCK}) の選択
00B : チャンネル n の動作クロックに CK_{m0} を選択
10B : チャンネル n の動作クロックに CK_{m1} を選択
01B : チャンネル 1, 3 の動作クロックに CK_{m2} を選択 (チャンネル 1, 3 のみ選択可)
11B : チャンネル 1, 3 の動作クロックに CK_{m3} を選択 (チャンネル 1, 3 のみ選択可)

注1. TMR_{m2}, TMR_{m4}, TMR_{m6} の場合 : MASTER_{mn} ビット
TMR_{m1}, TMR_{m3} の場合 : SPLIT_{mn} ビット
TMR_{m0}, TMR_{m5}, TMR_{m7} の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-46 外部イベント・カウンタ・モード時のレジスタ設定内容例 (2/2)

(b) タイマ出力レジスタ m (TOM)

	ビット n	
TOM	TOMn 0	0 : TOMn より 0 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEn n 0	0 : カウント動作による TOMn 出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn 0	0 : TOMmn=0 (マスタ・チャンネル出力モード) では 0 を設定

(e) タイマ出力モード・レジスタ m (TOMm)

	ビット n	
TOMm	TOMm n 0	0 : マスタ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-47 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する		
チャネル 初期設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応するビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn) にカウント数を設定する タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
動作再開	動作開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=1 になり、カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、TImn 端子入力のエッジ検出待ち状態になる
	動作中	TDRmn レジスタは、任意に設定値変更が可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、使用しない TMRmn レジスタ, TOMmn, TOLmn, TOMn, TOEmn ビットは、設定値変更禁止	TImn 端子入力のエッジが検出されるごとに、カウンタ (TCRmn) はダウン・カウント動作を行う。0000H までカウントしたら、再び TCRmn レジスタは TDRmn レジスタの値をロードし、カウント動作を継続する。TCRmn=0000H 検出で INTTMmn 出力が発生する。以降、この動作を繰り返す。
	動作停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=0 になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止
	TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され、各チャネルの SFR も初期化される

備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0-7)

6.8.3 分周器としての動作（チャンネル 0, 3 のみ）

Tl0n 端子に入力されたクロックを分周し、TO0n 端子から出力する分周器として利用することができます。

TO0n 出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{(\text{TDR0n の設定値} + 1) \times 2\}$$

- 両エッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDR0n の設定値} + 1)$$

タイマ・カウンタ・レジスタ 0n (TCR0n) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ 0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に 1 を設定後、Tl0n の有効エッジ検出で TCR0n レジスタはタイマ・データ・レジスタ 0n (TDR0n) の値をロードします。このときタイマ・モード・レジスタ 0n (TMR0n) の MD0n0=0 ならば、INTTM0n を出力せず、TO0n はトグルしません。TMR0n レジスタの MD0n0=1 ならば、INTTM0n を出力して、TO0n をトグルします。

その後、Tl0n 端子入力の有効エッジに合わせてダウン・カウントを行い、TCR0n=0000H となったら、TO0n をトグルします。同時に TCR0n レジスタは TDR0n レジスタの値をロードして、カウントを継続します。

Tl0n 端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差が TO0n 出力の分周クロック周期に影響します。

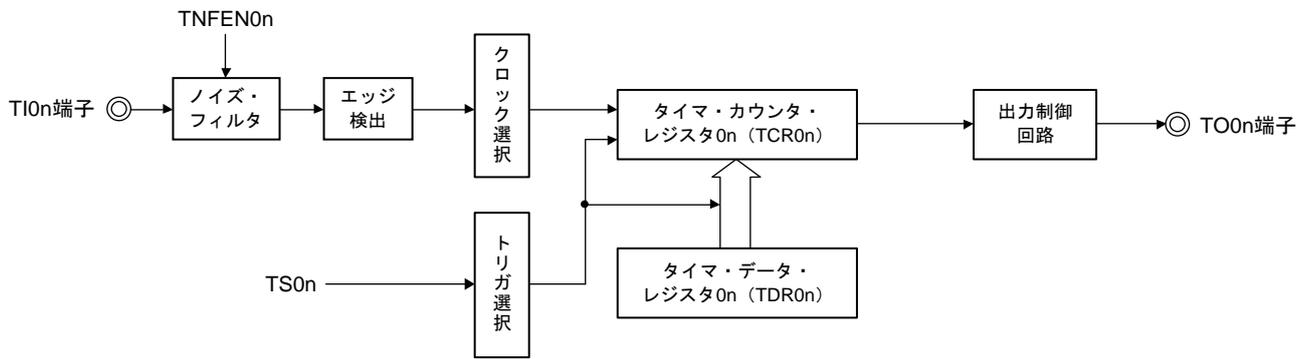
TO0n の出力クロックの周期には、動作クロック 1 周期分のサンプリング誤差が含まれます。

$$\text{T00n 出力のクロック周期} = \text{理想の T00n 出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR0n レジスタは任意のタイミングで書き換えることができます。書き換えた TDR0n レジスタの値は次のカウント期間で有効となります。

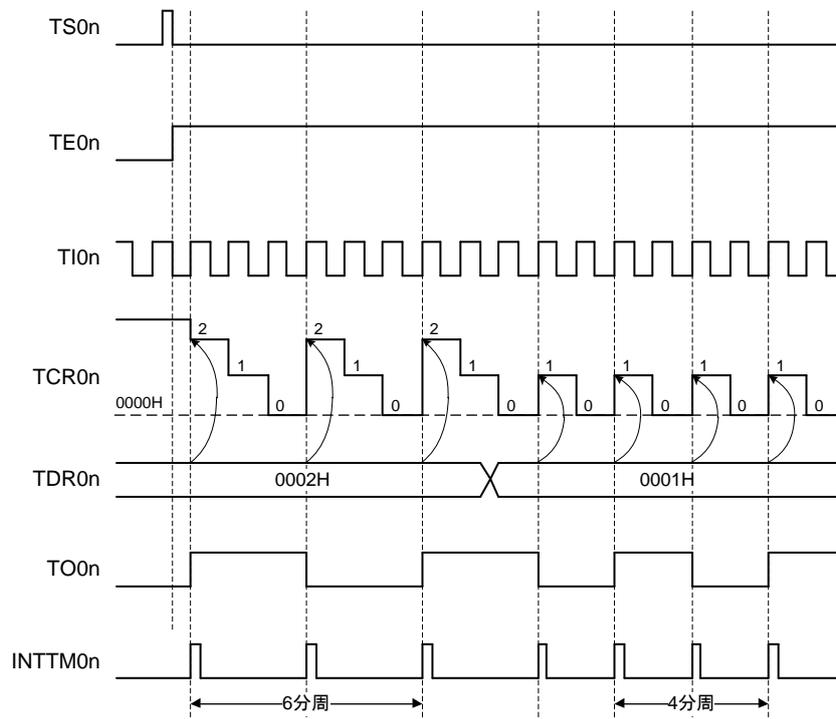
備考 n : チャンネル番号 (n=0, 3)

図6-48 分周器としての動作のブロック図



備考 n : チャネル番号 (n=0, 3)

図 6-49 分周器としての動作の基本タイミング例 (MD0n0=1)



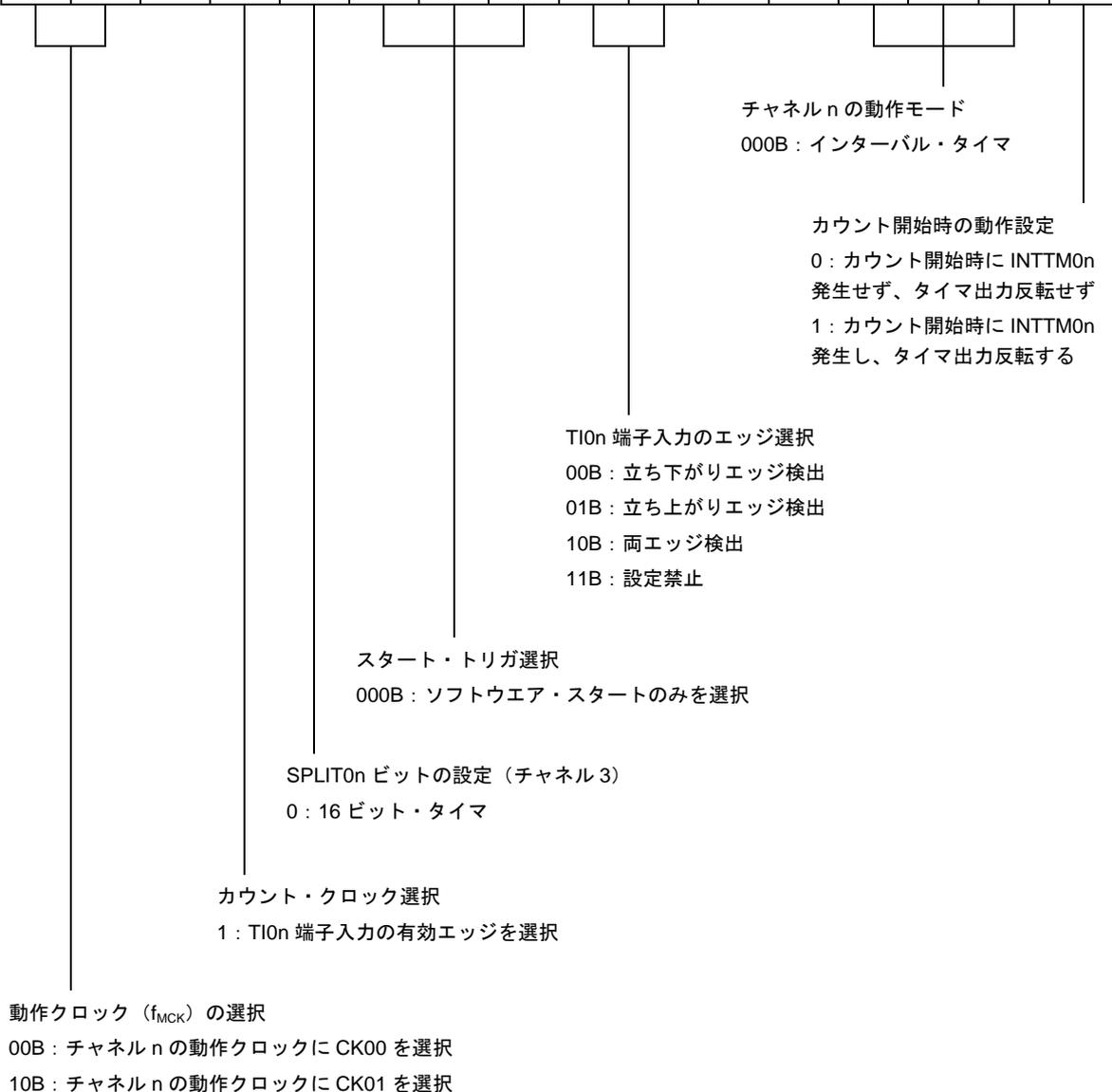
備考1. n : チャネル番号 (n=0, 3)

備考2. TS0n : タイマ・チャンネル開始レジスタ 0 (TS0) のビット n
 TE0n : タイマ・チャンネル許可ステータス・レジスタ 0 (TE0) のビット n
 TI0n : TI0n 端子入力信号
 TCR0n : タイマ・カウンタ・レジスタ 0n (TCR0n)
 TDR0n : タイマ・データ・レジスタ 0n (TDR0n)
 TO0n : TO0n 端子出力信号

図 6-50 分周器として動作時のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ 0n (TMR0n)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n	CKS0n		CCS0n	S ^{注1}	STS0n	STS0n	STS0n	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1	0		1	0	2	1	0	1/0	1/0	0	0	0	0	0	1/0
	1/0	0	0			0	0	0								



注1. チャンネル 3 のみ

備考 n : チャンネル番号 (n=0, 3)

図6-50 分周器として動作時のレジスタ設定内容例 (2/2)

(b) タイマ出力レジスタ 0 (TO0)

	ビット n	
TO0	TO0n 1/0	0 : TO0n より 0 を出力する 1 : TO0n より 1 を出力する

(c) タイマ出力許可レジスタ 0 (TOE0)

	ビット n	
TOE0	TOE0n 1/0	0 : カウント動作による TO0n 出力動作停止 1 : カウント動作による TO0n 出力動作許可

(d) タイマ出力レベル・レジスタ 0 (TOL0)

	ビット n	
TOL0	TOL0n 0	0 : マスタ・チャンネル出力モード (TOM0n=0) では 0 を設定

(e) タイマ出力モード・レジスタ 0 (TOM0)

	ビット n	
TOM0	TOM0n 0	0 : マスタ・チャンネル出力モードを設定

備考 n : チャンネル番号 (n=0, 3)

図 6-51 分周器機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAU0EN ビットに 1 を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ 0 (TPS0) を設定する CK00-CK03 のクロック周波数を確定する	
チャンネル 初期設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応するビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ 0n (TMR0n) を設定する (チャンネルの動作モード確定、検出エッジの選択) タイマ・データ・レジスタ 0n (TDR0n) にインターバル (周期) 値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	タイマ出力モード・レジスタ 0 (TOM0) の TOM0n ビットに 0 (マスタ・チャンネル出力モード) を設定する TOL0n ビットに 0 を設定する TO0n ビットを設定し、TO0n 出力の初期レベルを確定する	TO0n 端子は Hi-Z 出力状態 ▶ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は、TO0n 初期設定レベルが出力される。
	TOE0n ビットに 1 を設定し、TO0n の動作を許可 ポート・レジスタとポート・モード・レジスタに 0 を設定する	▶チャンネルは動作停止状態なので、TO0n は変化しない ▶TO0n 端子は TO0n 設定レベルを出力

備考 n : チャンネル番号 (n=0, 3)

図 6-51 分周器機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE0n ビットに 1 を設定する (動作再開時のみ) TS0n ビットに 1 を設定する → TS0n ビットはトリガ・ビットなので、自動的に 0 に戻る	TE0n=1 になり、カウント動作開始 タイマ・カウンタ・レジスタ 0n (TCR0n) は TDR0n レジスタの値をロードする。TMR0n レジスタの MD0n0 ビットが 1 の場合は、INTTM0n を発生し、TO0n もトグル動作する。
	動作中 TDR0n レジスタは、任意に設定値変更が可能 TCR0n レジスタは、常に読み出し可能 TSR0n レジスタは、使用しない TO0, TOE0 レジスタは、設定値変更可能 TMR0n レジスタ, TOM0n, TOL0n ビットは、設定値変更禁止	カウンタ (TCR0n) はダウン・カウント動作を行い、0000H までカウントしたら、再び TCR0n レジスタは TDR0n レジスタの値をロードし、カウント動作を継続する。TCR0n=0000H 検出で INTTM0n を発生し、TO0n はトグル動作する。 以降、この動作を繰り返す。
	動作停止 TT0n ビットに 1 を設定する → TT0n ビットはトリガ・ビットなので、自動的に 0 に戻る	TE0n=0 になり、カウント動作停止 TCR0n レジスタはカウント値を保持して停止 TO0n 出力は初期化されず、状態保持
	TOE0n ビットに 0 を設定し、TO0n ビットに値を設定する →	TO0n 端子は TO0n 設定レベルを出力
	TAU 停止 TO0n 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0n ビットに 0 を設定する → TO0n 端子の出力レベルを保持不要の場合 設定不要	TO0n 端子出力レベルはポート機能により保持される。
PER0 レジスタの TAU0EN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され、各チャネルの SFR も初期化される (TO0n ビットが 0 になり、TO0n 端子はポート機能となる)	

備考 n : チャネル番号 (n=0, 3)

6.8.4 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn=1 の期間中に、ソフトウェア操作 (TSmn=1) をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

UART0 のポー・レート補正を行う場合は、入力切り替え制御レジスタ (ISC) のビット 1 (ISC1) に 1 を設定してください。

また、以降の説明では「TI0n」を「RXD0」と読み替えてください。ISC1 ビットに 1 を設定すると、シリアル・データ入力 (RXD0) 端子の入力信号がタイマ入力 (TI01) として選択されます。入力パルス間隔測定モードを利用して、スタート・ビットの入力エッジ信号をトリガに通信相手のポー・レート (転送レート) 幅を測定できます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times \left((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1) \right)$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの 1 クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に 1 を設定すると TCRmn レジスタはカウント・クロックに合わせて 0000H からアップ・カウントを開始します。

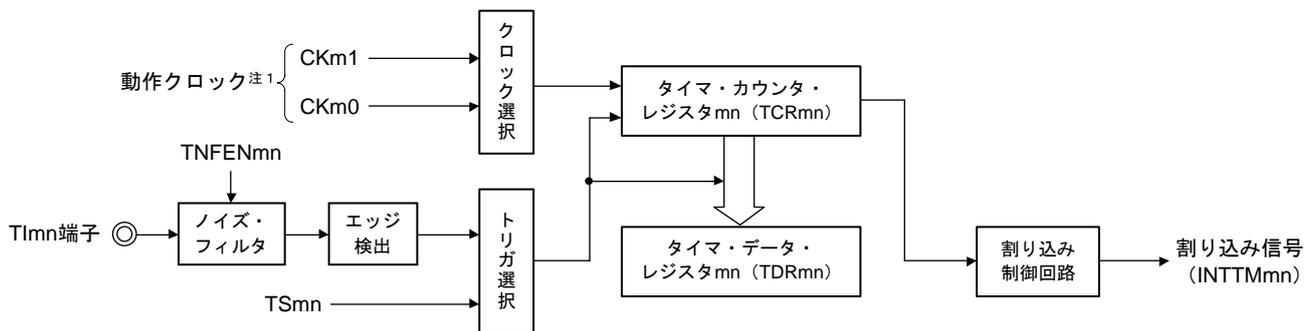
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn) に転送 (キャプチャ) すると同時に、TCRmn レジスタを 0000H にクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットが 1 にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を続けます。

カウント値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタの STSmn2-STSmn0=001B に設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

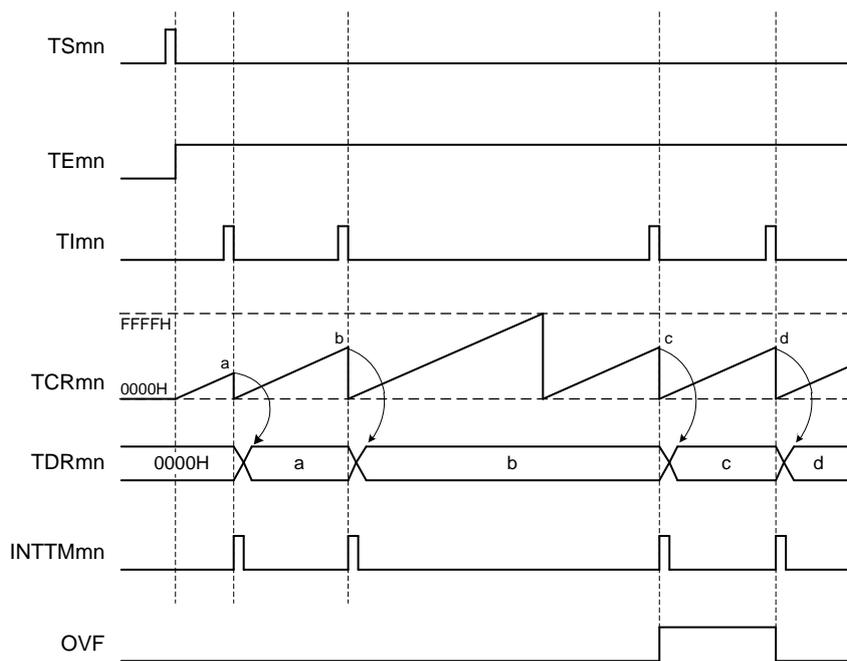
図 6-52 入力パルス間隔測定としての動作のブロック図



注1. チャンネル 1, 3 の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3} からクロックを選択できます。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-53 入力パルス間隔測定としての動作の基本タイミング例 (MD_{mn0}=0)



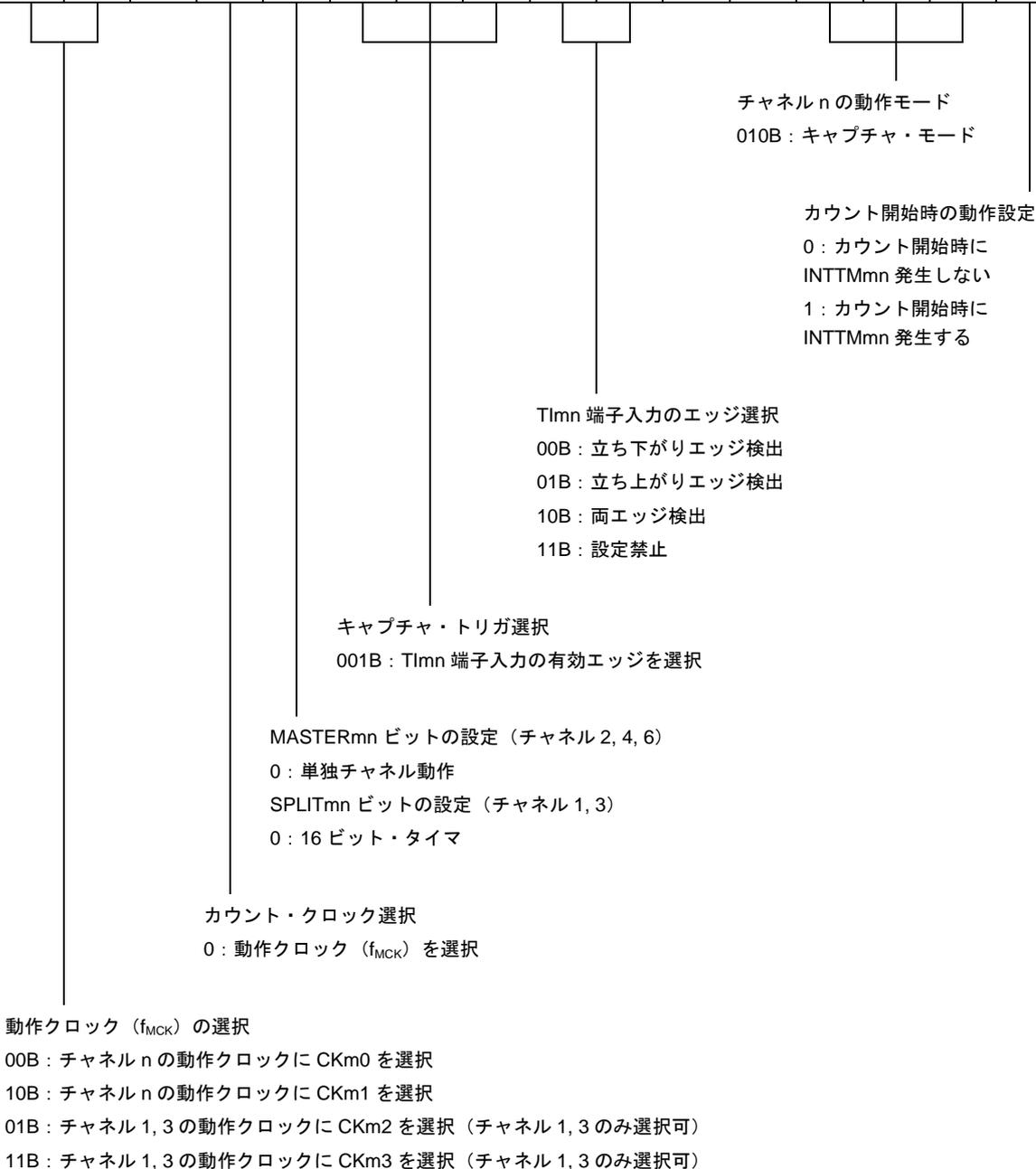
備考1. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

備考2. TSm_n : タイマ・チャンネル開始レジスタ m (TSm) のビット n
 TE_{mn} : タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のビット n
 TI_{mn} : TI_{mn} 端子入力信号
 TCR_{mn} : タイマ・カウンタ・レジスタ mn (TCR_{mn})
 TDR_{mn} : タイマ・データ・レジスタ mn (TDR_{mn})
 OVF : タイマ・ステータス・レジスタ mn (TSR_{mn}) のビット 0

図 6-54 入力パルス間隔測定時のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ mn (TMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSm n1	CKSm n0		CCSm n	M/S ^{注1}	STSmn 2	STSmn 1	STSmn 0	CISmn 1	CISmn 0			MDmn 3	MDmn 2	MDmn 1	MDmn 0
	1/0	0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0



注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット
TMRm1, TMRm3 の場合 : SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-54 入力パルス間隔測定時のレジスタ設定内容例 (2/2)

(b) タイマ出力レジスタ m (TOM)

	ビット n	
TOM	TOMn 0	0 : TOMn より 0 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEn n 0	0 : カウント動作による TOMn 出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn 0	0 : TOMmn=0 (マスタ・チャンネル出力モード) では 0 を設定

(e) タイマ出力モード・レジスタ m (TOMm)

	ビット n	
TOMm	TOMm n 0	0 : マスタ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-55 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する		
チャネル 初期設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応するビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
動作再開	動作開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=1 になり、カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H にクリアする。TMRmn レジスタの MDmn0 ビットが 1 の場合は、INTTMmn を発生する。
	動作中	TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TDRmn レジスタは、常に読み出し可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmn ビットは、設定値変更禁止	カウンタ (TCRmn) は 0000H からアップ・カウント動作を行い、TImn 端子入力の有効エッジの検出または、TSmn ビットに 1 を設定すると、カウント値をタイマ・データ・レジスタ mn (TDRmn) に転送 (キャプチャ) する。同時に、TCRmn レジスタを 0000H にクリアし、INTTMmn を発生する。 このときオーバーフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバーフローが発生していなかったら OVF ビットがクリアされる。 以降、この動作を繰り返す。
	動作停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=0 になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され、各チャネルの SFR も初期化される	

備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0-7)

6.8.5 入力信号のハイ/ロウ・レベル幅測定としての動作

Tlmn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tlmn の信号幅（ハイ・レベル幅/ロウ・レベル幅）を測定することができます。Tlmn の信号幅は次の式で求めることができます。

$$\text{Tlmn 入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times \left((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1) \right)$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、TEmn=1 となり Tlmn 端子のスタート・エッジ検出待ち状態となります。

Tlmn 端子入力のスタート・エッジ（ハイ・レベル幅測定なら Tlmn 端子入力の立ち上がりエッジ）を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定なら Tlmn 端子入力の立ち下がりエッジ）を検出すると、カウンタ値をタイマ・データ・レジスタ mn

(TDRmn) に転送すると同時に INTTmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値+1」の値で停止し、Tlmn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

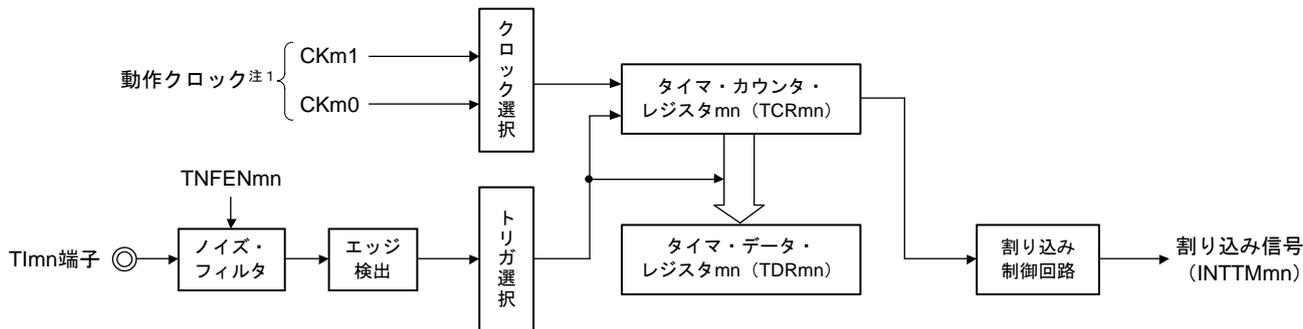
Tlmn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、Tlmn 端子入力の信号幅測定を目的とするため、TEmn=1 期間中の TSmn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0=10B : ロウ・レベル幅を測定する

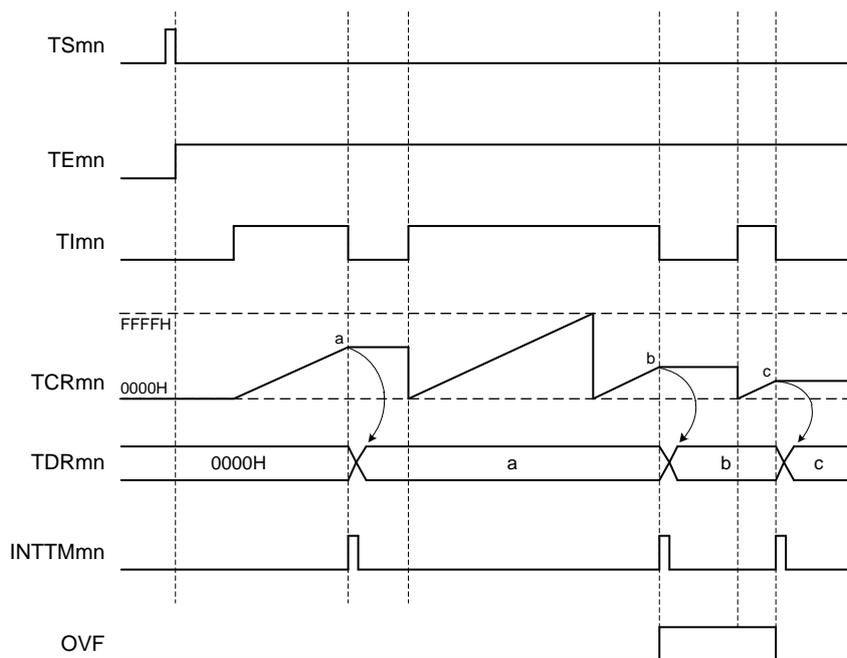
TMRmn レジスタの CISmn1, CISmn0=11B : ハイ・レベル幅を測定する

図 6-56 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注1. チャンネル 1, 3 の場合は、CK m0, CK m1, CK m2, CK m3 からクロックを選択できます。

図 6-57 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例

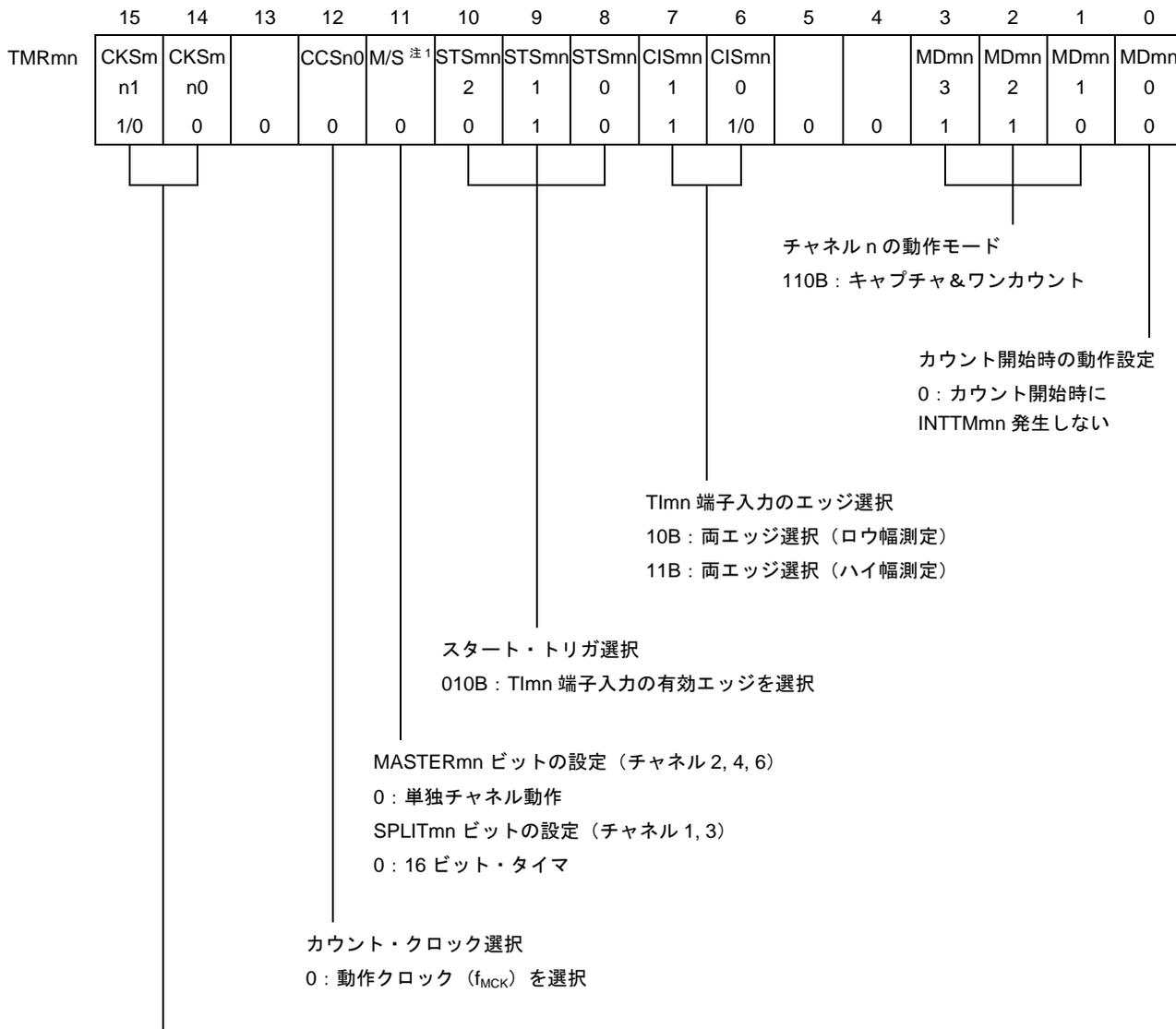


備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

備考2. TS mn : タイマ・チャンネル開始レジスタ m (TS m) のビット n
 TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TE m) のビット n
 TI mn : TI mn 端子入力信号
 TCR mn : タイマ・カウンタ・レジスタ mn (TCR mn)
 TDR mn : タイマ・データ・レジスタ mn (TDR mn)
 OVF : タイマ・ステータス・レジスタ mn (TSR mn) のビット 0

図 6-58 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ mn (TMRmn)



動作クロック (f_{MCK}) の選択

00B : チャンネル n の動作クロックに CKm0 を選択

10B : チャンネル n の動作クロックに CKm1 を選択

01B : チャンネル 1, 3 の動作クロックに CKm2 を選択 (チャンネル 1, 3 のみ選択可)

11B : チャンネル 1, 3 の動作クロックに CKm3 を選択 (チャンネル 1, 3 のみ選択可)

注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット

TMRm1, TMRm3 の場合 : SPLITmn ビット

TMRm0, TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-58 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例 (2/2)

(b) タイマ出力レジスタ m (TOm)

	ビット n	
TOm	TOmn 0	0 : TOMn より 0 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEn n 0	0 : カウント動作による TOMn 出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn 0	0 : TOMmn=0 (マスタ・チャンネル出力モード) では 0 を設定

(e) タイマ出力モード・レジスタ m (TOMm)

	ビット n	
TOMm	TOMm n 0	0 : マスタ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-59 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	
チャンネル 初期設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応するビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定) TOEmn ビットに 0 を設定し、TOMn の動作を停止	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=1 になり、TImn 端子のスタート・エッジ検出待ち状態になる
	TImn 端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H にクリアし、カウント・アップ動作を開始する
動作中	TDRmn レジスタは、常に読み出し可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、常に読み出し可能 TMRmn レジスタ、TOMmn, TOLmn, TOMn, TOEmn ビットは、設定値変更禁止	TImn 端子のスタート・エッジ検出後、カウンタ (TCRmn) は 0000H からアップ・カウント動作を行う。TImn 端子のキャプチャ・エッジが検出されたら、カウント値をタイマ・データ・レジスタ mn (TDRmn) に転送し、INTTMmn を発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットがクリアされる。TCRmn レジスタは、次の TImn 端子のスタート・エッジ検出までカウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=0 になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され、各チャンネルの SFR も初期化される

動作再開

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

6.8.6 ディレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn}（タイマ割り込み）を発生することができます。

また、TE_{mn}=1 の期間中に、ソフトウェア操作で TS_{mn}=1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn}（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求める事ができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

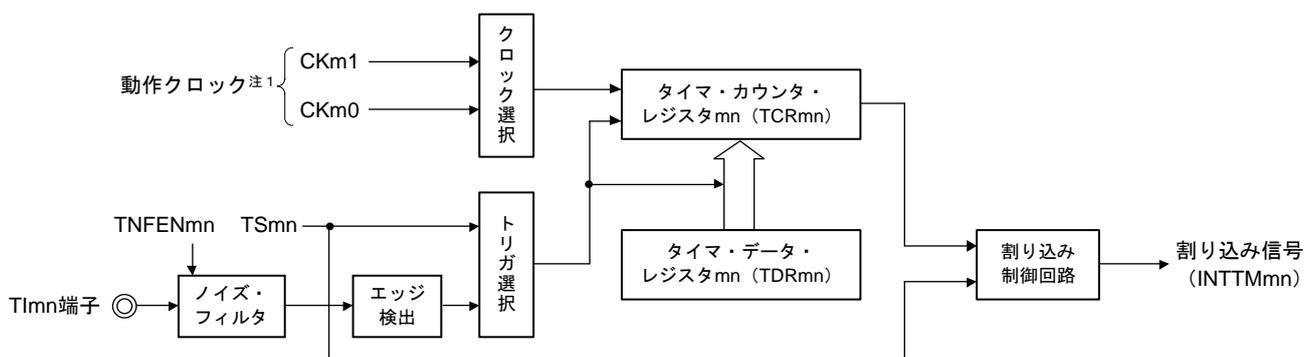
タイマ・カウンタ・レジスタ mn (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3}=1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ mn (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn}=0000H になったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

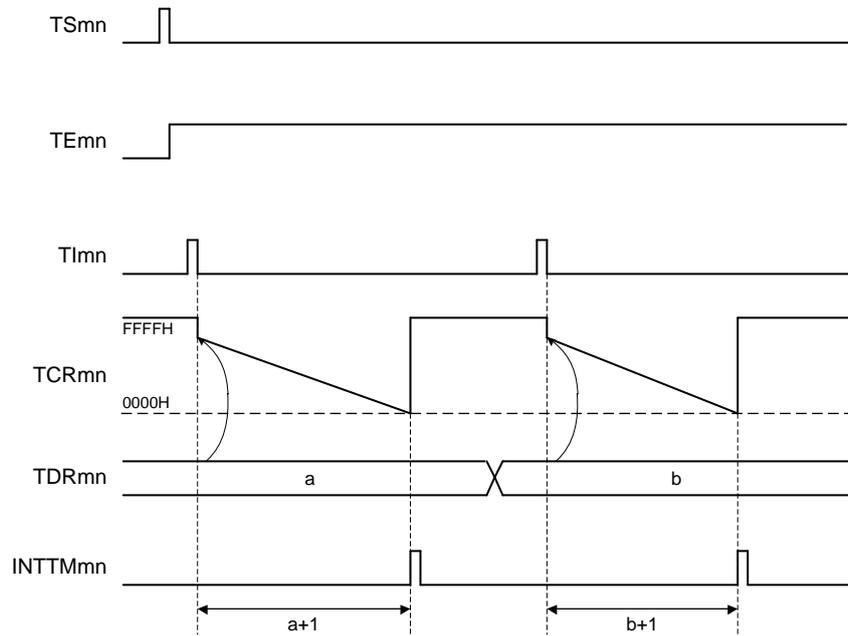
図 6-60 ディレイ・カウンタとしての動作のブロック図



注1. チャンネル 1, 3 の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3} からクロックを選択できます。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-61 デイレイ・カウンタとしての動作の基本タイミング例



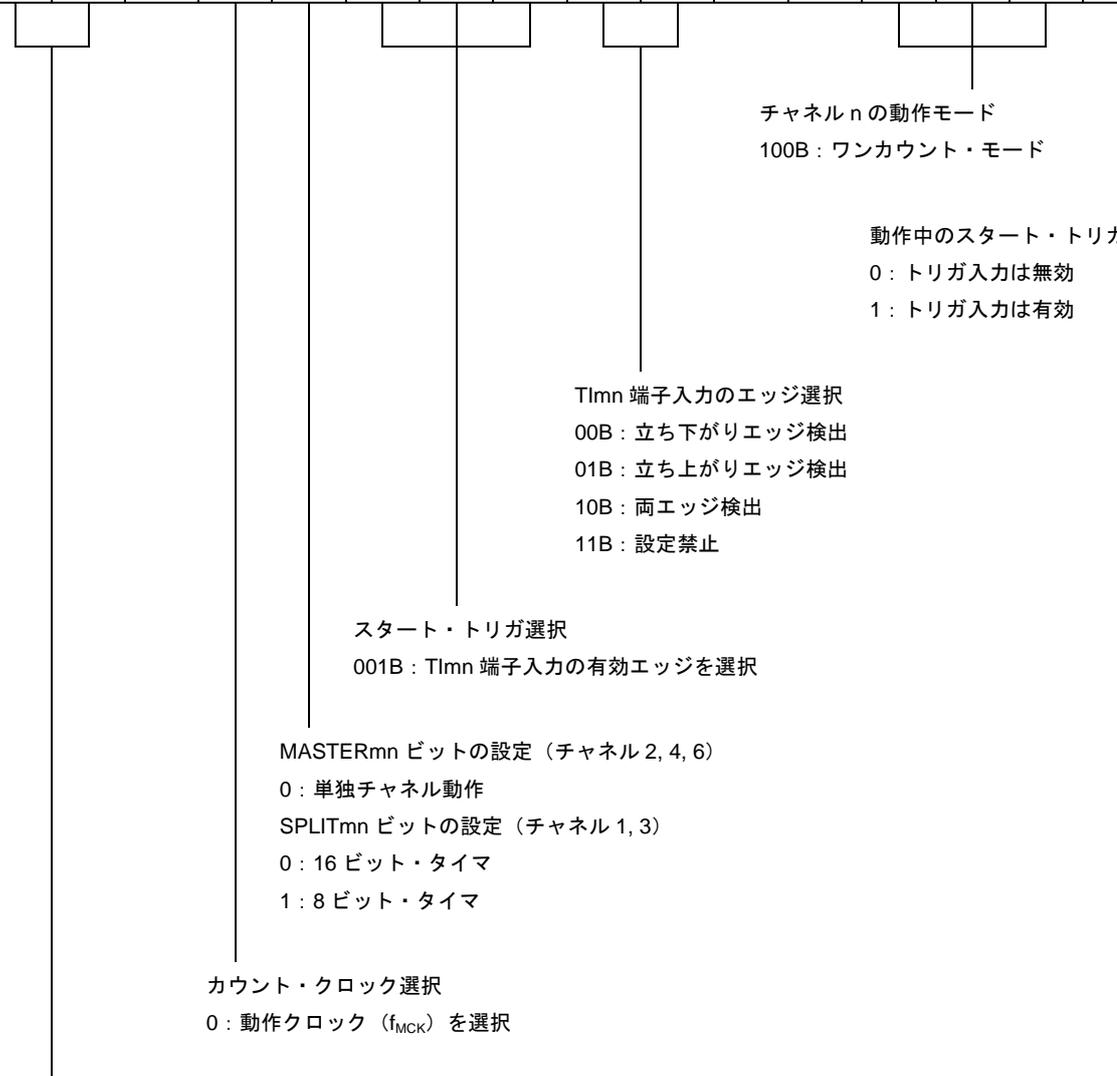
備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n
 TE_{mn} : タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のビット n
 TImn : TImn 端子入力信号
 TCR_{mn} : タイマ・カウンタ・レジスタ mn (TCR_{mn})
 TDR_{mn} : タイマ・データ・レジスタ mn (TDR_{mn})

図 6-62 ディレイ・カウンタ機能時のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ mn (TMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSm	CKSm		CCSm	M/S ^{注1}	STSmn	STSmn	STSmn	CISmn	CISmn			MDmn	MDmn	MDmn	MDmn
	n1	n0		n		2	1	0	1	0			3	2	1	0
	1/0	1/0	0	0	0/1	0	0	1	1/0	1/0	0	0	1	0	0	1/0



チャンネル n の動作モード
100B : ワンカウント・モード

動作中のスタート・トリガ
0 : トリガ入力は無効
1 : トリガ入力是有効

TI mn 端子入力のエッジ選択
00B : 立ち下がりエッジ検出
01B : 立ち上がりエッジ検出
10B : 両エッジ検出
11B : 設定禁止

スタート・トリガ選択
001B : TI mn 端子入力の有効エッジを選択

MASTERmn ビットの設定 (チャンネル 2, 4, 6)
0 : 単独チャンネル動作
SPLITmn ビットの設定 (チャンネル 1, 3)
0 : 16 ビット・タイマ
1 : 8 ビット・タイマ

カウント・クロック選択
0 : 動作クロック (f_{MCK}) を選択

動作クロック (f_{MCK}) の選択
00B : チャンネル n の動作クロックに CKm0 を選択
10B : チャンネル n の動作クロックに CKm1 を選択
01B : チャンネル 1, 3 の動作クロックに CKm2 を選択 (チャンネル 1, 3 のみ選択可)
11B : チャンネル 1, 3 の動作クロックに CKm3 を選択 (チャンネル 1, 3 のみ選択可)

注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット
TMRm1, TMRm3 の場合 : SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図6-62 デイレイ・カウンタ機能時のレジスタ設定内容例 (2/2)

(b) タイマ出力レジスタ m (TOm)

	ビット n	
TOm	TOmn 0	0 : TOMn より 0 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEn n 0	0 : カウント動作による TOMn 出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn 0	0 : TOMmn=0 (マスタ・チャンネル出力モード) では 0 を設定

(e) タイマ出力モード・レジスタ m (TOMm)

	ビット n	
TOMm	TOMm n 0	0 : マスタ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0-7)

図 6-63 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	
チャンネル 初期設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応するビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネル n の動作モード確定) タイマ・データ・レジスタ mn (TDRmn) に遅延時間を設定する TOEmn ビットに 0 を設定し、TOmn の動作を停止	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=1 になり、スタート・トリガ検出 (TImn 端子入力の有効エッジの検出、または TSmn ビットに 1 を設定) 待ち状態となる
	次のスタート・トリガ検出によって、 ダウン・カウントを開始します。 • TImn 端子入力の有効エッジ検出 • ソフトウェアで TSmn ビットに 1 を設定	タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードする。
動作中	TDRmn レジスタは、任意に設定値変更が可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。TCRmn=0000H までカウントしたら INTTMmn 出力を発生し、次のスタート・トリガ検出 (TImn 端子入力の有効エッジの検出、または TSmn ビットに 1 を設定) まで TCRmn=0000H でカウント動作を停止する。
動作停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=0 になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され、各チャンネルの SFR も初期化される

動作再開

備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0-7)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$$\text{ディレイ} = \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{パルス幅} = \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}$$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn=0000H となったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

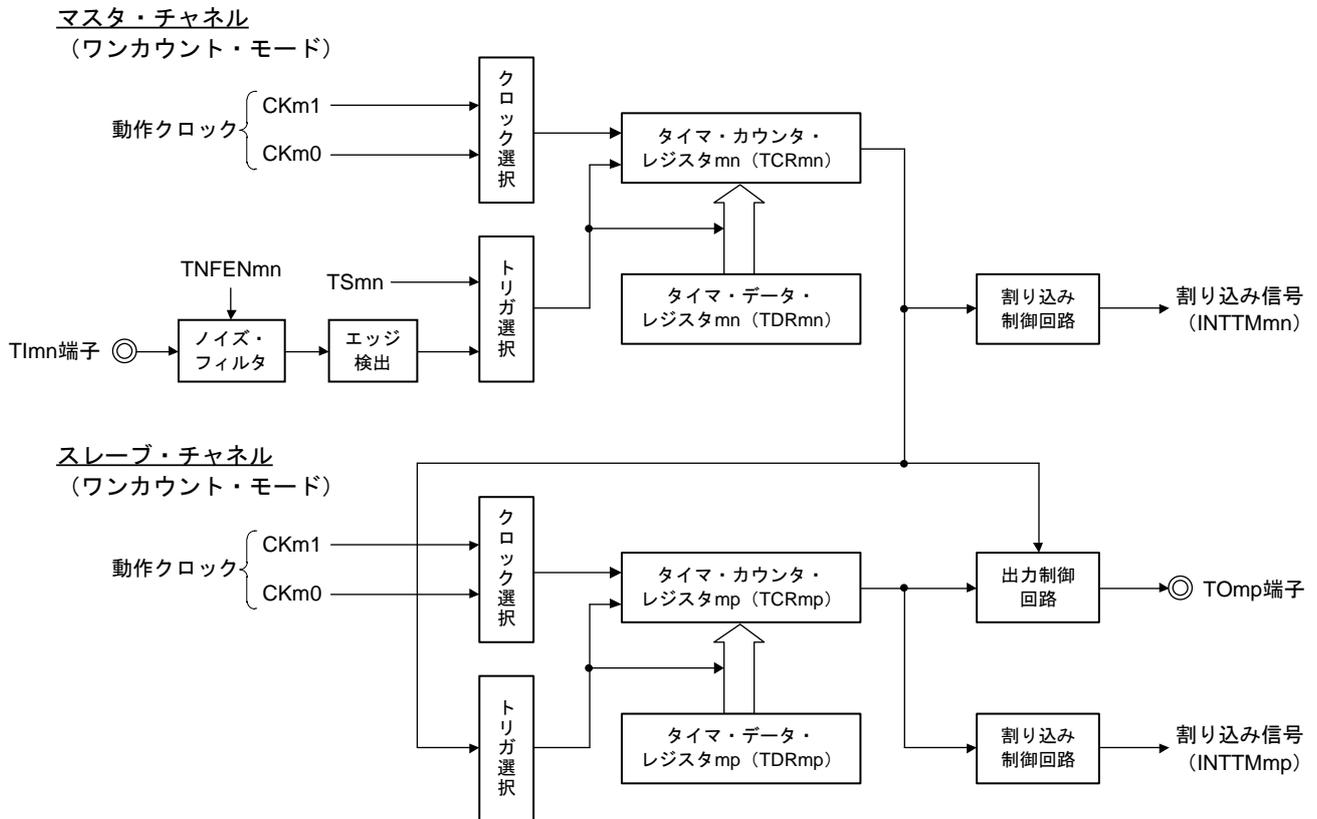
スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値=0000H となったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp=0000H となったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn=1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると不正波形が出力されます。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

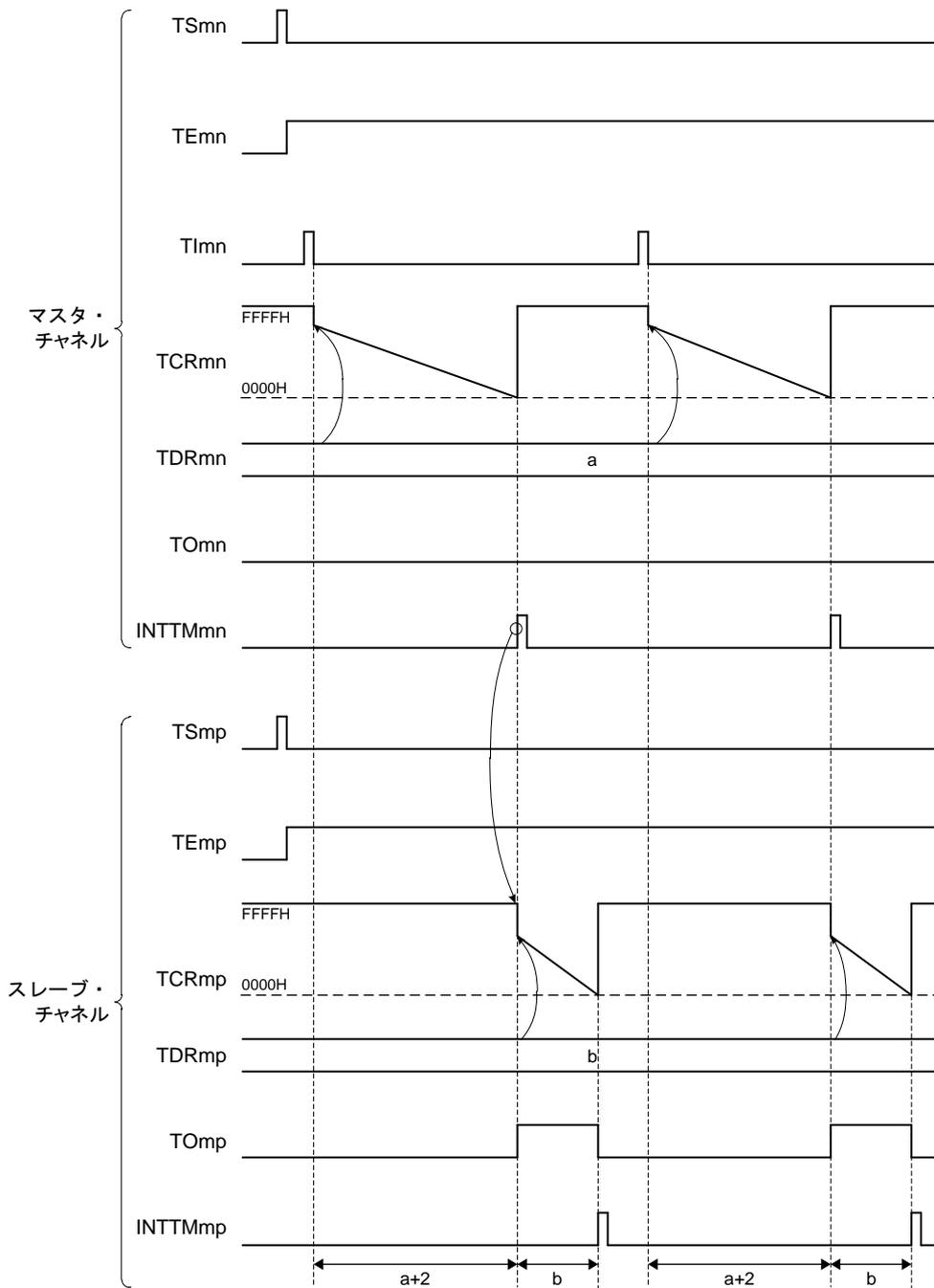
備考 m: ユニット番号 (m=0)、n: マスタ・チャネル番号 (n=0, 2, 4, 6)
p: スレーブ・チャネル番号 (n<p≤7)

図 6-64 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図 6-65 ワンショット・パルス出力機能としての動作の基本タイミング例

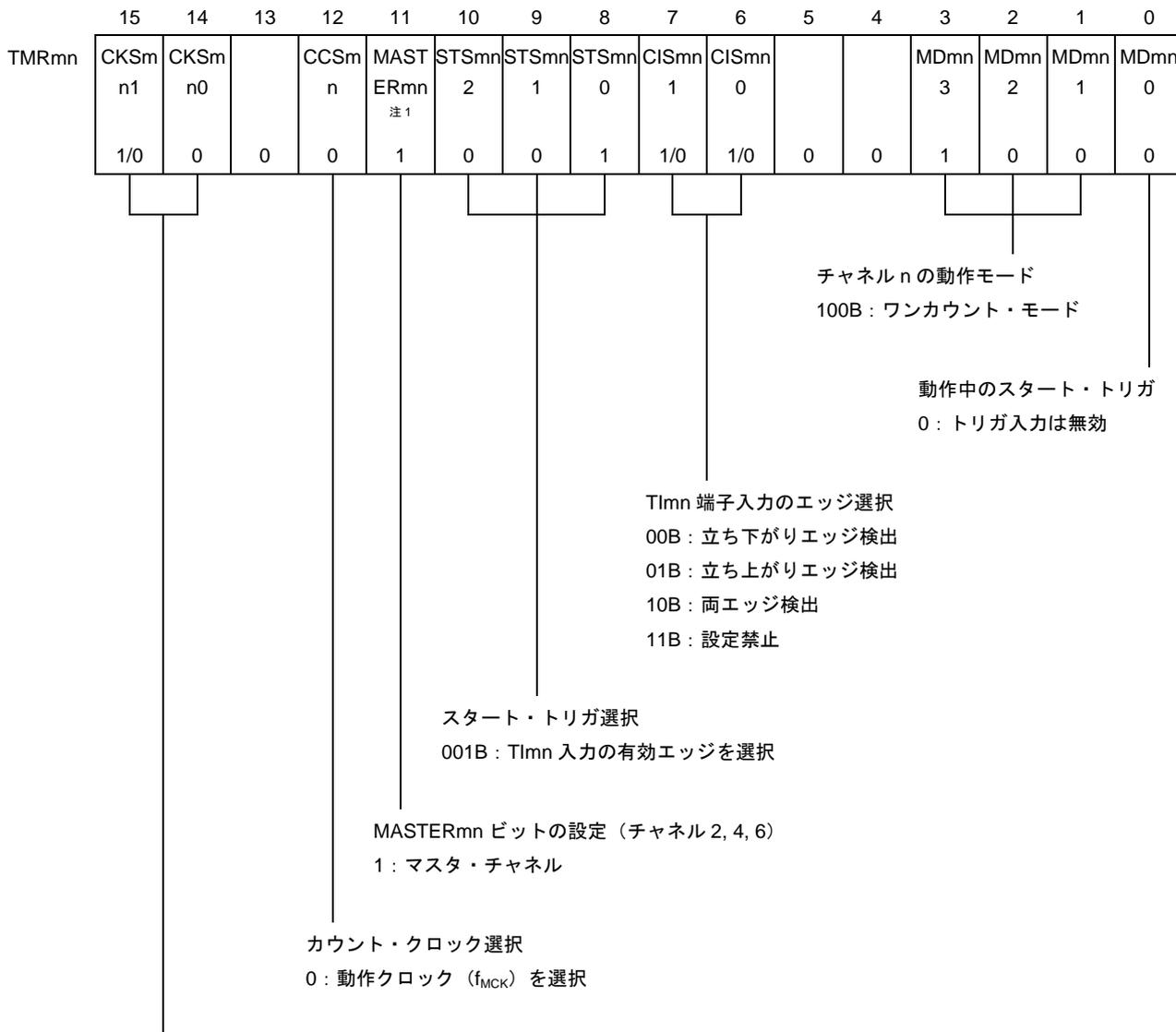


備考1. m : ユニット番号 (m=0) 、n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p
 TImn, TImp : TImn, TImp 端子入力信号
 TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-66 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例（1/2）

(a) タイマ・モード・レジスタ mn (TMRmn)



注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn=1
TMRm0 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4, 6)

図6-66 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例（2/2）

(b) タイマ出力レジスタ m (TOM)

	ビット n	
TOM	TOMn 0	0 : TOMn より 0 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEm n 0	0 : カウント動作による TOMn 出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn 0	0 : TOMmn=0（マスタ・チャンネル出力モード）では 0 を設定

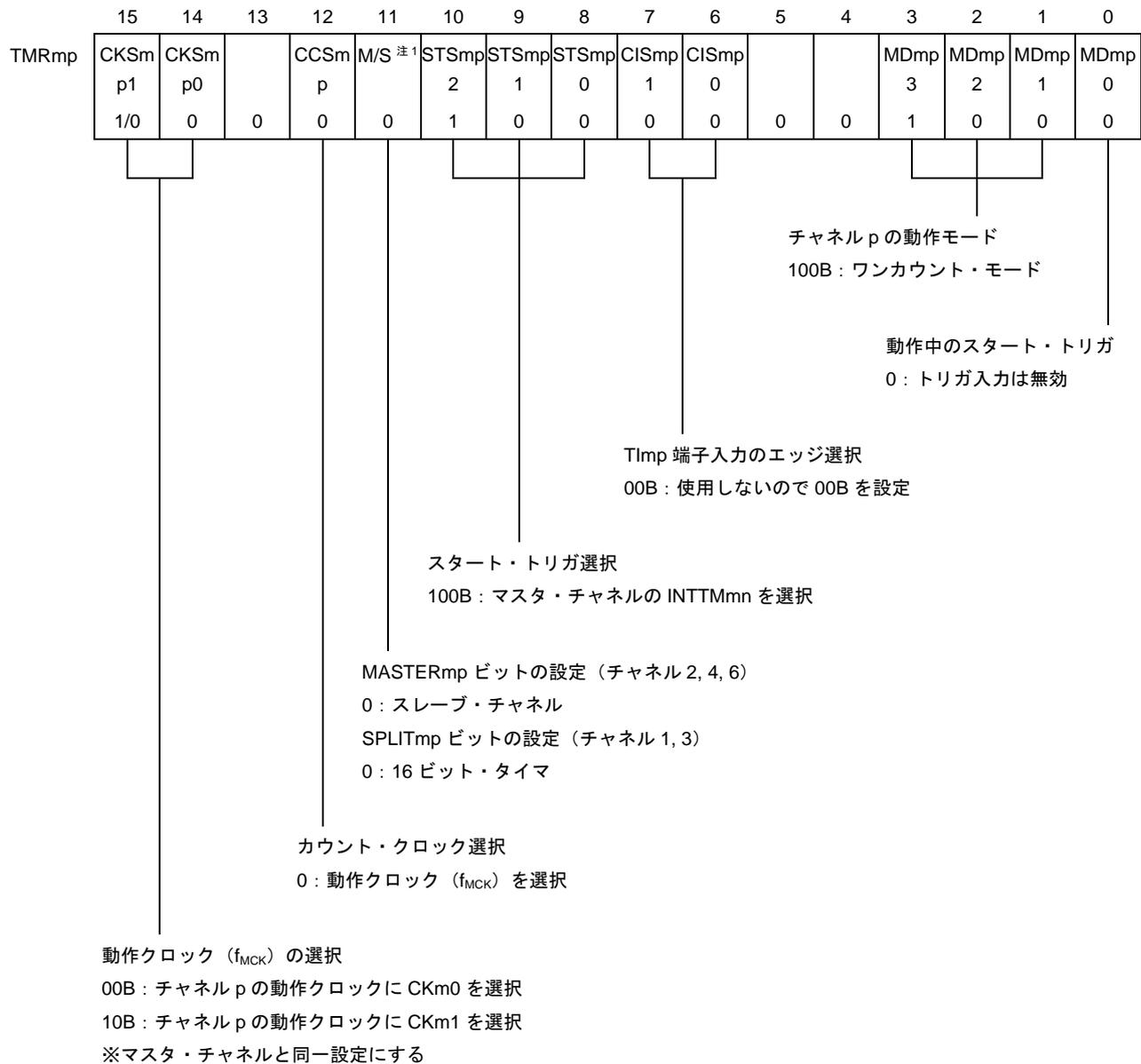
(e) タイマ出力モード・レジスタ m (TOMm)

	ビット n	
TOMm	TOMm n 0	0 : マスタ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4, 6)

図 6-67 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例（1/2）

(a) タイマ・モード・レジスタ mp (TMRmp)



注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット
TMRm1, TMRm3 の場合 : SPLITmp ビット
TMRm5, TMRm7 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n<p≤7)

図 6-67 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例（2/2）

(b) タイマ出力レジスタ m (TOm)

	ビット p	
TOm	TOmp 1/0	0 : TOmp より 0 を出力する 1 : TOmp より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット p	
TOEm	TOEm p 1/0	0 : カウント動作による TOmp 出力動作停止 1 : カウント動作による TOmp 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット p	
TOLm	TOLmp 1/0	0 : 正論理出力（アクティブ・ハイ） 1 : 負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタ m (TOMm)

	ビット p	
TOMm	TOMm p 1	1 : スレーブ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図 6-68 ワンショット・パルス出力機能時の操作手順 (1/3)

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	▶ パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0 と CKm1 のクロック周波数を確定する	
チャンネル 初期設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応するビットに 1 を設定する 使用する 2 チャンネルのタイマ・モード・レジスタ mn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) に出力遅延時間、スレーブ・チャンネルの TDRmp レジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタ m (TOMm) の TOMmp ビットに 1 (スレーブ・チャンネル出力モード) を設定する TOLmp ビットを設定する TOmp ビットを設定し、TOmp 出力の初期レベルを確定する TOEmp ビットに 1 を設定し、TOmp の動作を許可 ポート・レジスタとポート・モード・レジスタに 0 を設定する	TOmp 端子は Hi-Z 出力状態 ▶ ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は、TOmp 初期設定レベルが出力される。 ▶ チャンネルは動作停止状態なので、TOmp は変化しない ▶ TOmp 端子は TOmp 設定レベルを出力

備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図 6-68 ワンショット・パルス出力機能時の操作手順 (2/3)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに 1 を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に 1 を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に 0 に戻る	TEMn=1, TEm=1 となり、マスタ・チャンネルはスタート・トリガ検出 (TImn 端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに 1 を設定) 待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウント動作を開始します。 ● TImn 端子入力の有効エッジ検出 ● ソフトウェアでマスタ・チャンネルの TSmn ビットに 1 を設定 ^{注1}	マスタ・チャンネルがカウント動作開始
動作中	TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出 (TImn 端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに 1 を設定) により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。 TCRmn=0000H までカウントしたら INTTMmn 出力を発生し、次のスタート・トリガ検出までカウント動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウントを開始する。マスタ・チャンネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp=0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn (マスタ)、TTmp (スレーブ) ビットに同時に 1 を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に 0 に戻る	TEMn, TEm=0 になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに 0 を設定し、TOmp ビットに値を設定する	TOmp 端子は TOmp 設定レベルを出力

注1. スレーブ・チャンネルの TSmn ビットには 1 を設定しないでください。

備考 m: ユニット番号 (m=0)、n: マスタ・チャンネル番号 (n=0, 2, 4, 6)

p: スレーブ・チャンネル番号 (n<p≤7)

図 6-68 ワンショット・パルス出力機能時の操作手順 (3/3)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、 TOmp ビットに 0 を設定する →	TOmp 端子出力レベルはポート機能により保持される。
	TOmp 端子の出力レベルを保持不要の場合 設定不要	
	PER0 レジスタの TAUmEN ビットに 0 を設定する →	パワーオフ状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが 0 になり、TOmp 端子はポート機能となる)

備考 m : ユニット番号 (m=0) 、n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n<p≤7)

6.9.2 PWM 機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\text{パルス周期} = \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{デューティ [\%]} = \{\text{TDRmp (スレーブ) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100$$

$$0\% \text{出力} : \text{TDRmp (スレーブ) の設定値} = 0000\text{H}$$

$$100\% \text{出力} : \text{TDRmp (スレーブ) の設定値} \geq \{\text{TDRmn (マスタ) の設定値} + 1\}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値+1} の場合は、デューティ値が 100%を越えますが、集約して 100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に 1 を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタ mn (TDRmn) に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが 0000H になったところで、INTTMmn を出力して、再び TDRmn レジスタから TCRmn レジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に 1 を設定するまでこの動作を繰り返します。

PWM 機能としての動作では、マスタ・チャンネルがダウン・カウントして 0000H になるまでの期間が PWM 出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからの INTTMmn をスタート・トリガとして、TDRmp レジスタから TCRmp レジスタに値をロードし、0000H になるまでダウン・カウントを行います。カウントが 0000H になったところで INTTMmp を出力して、次のスタート・トリガ (マスタ・チャンネルからの INTTMmn) が来るまで待機します。

PWM 機能としての動作では、スレーブ・チャンネルがダウン・カウントして 0000H になるまでの期間が PWM 出力 (TOmp) のデューティとなります。

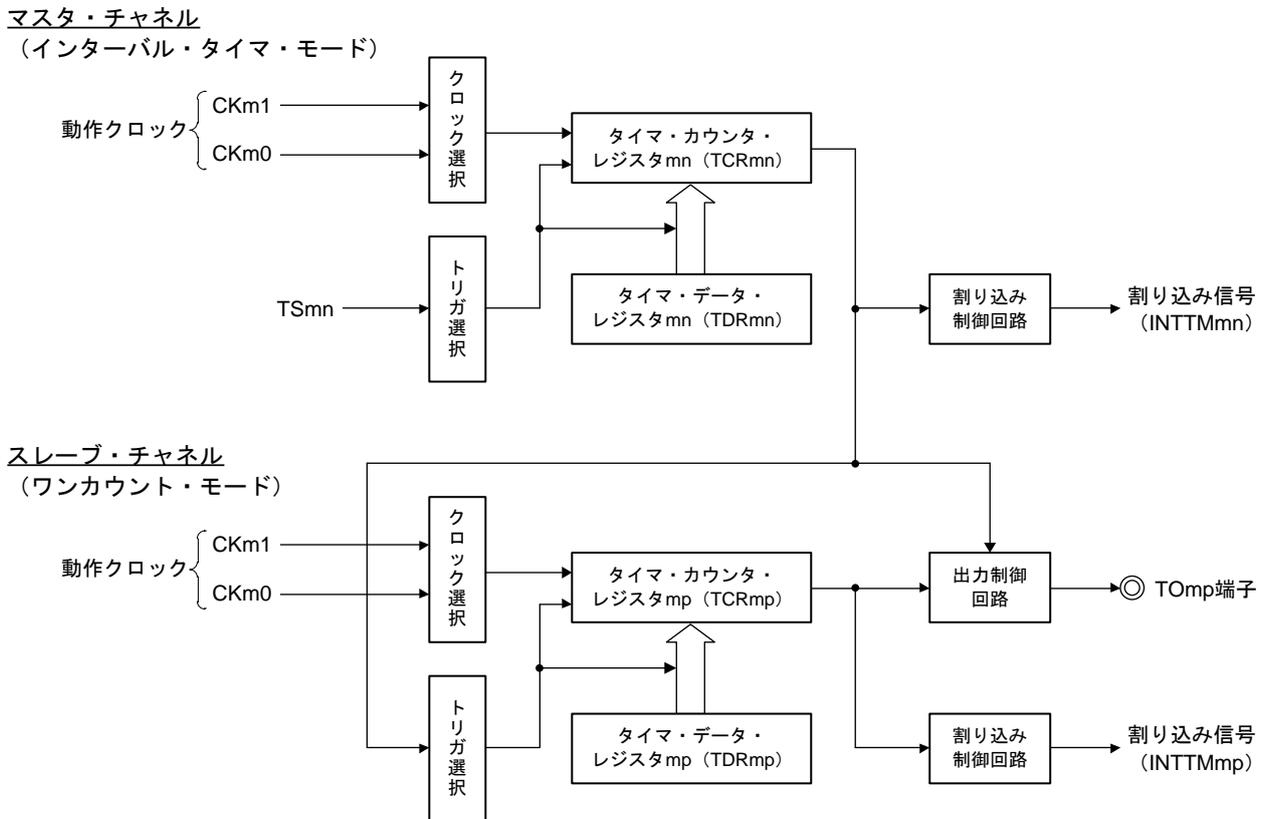
PWM 出力 (TOmp) は、マスタ・チャンネルの INTTMmn 発生から 1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルの TCRmp レジスタが 0000H になったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルの TDRmp レジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値がロードされるのは、マスタ・チャンネルの INTTMmn 発生時となります。そのため、書き換えがマスタ・チャンネルの INTTMmn 発生前と発生後に分かれて行われると、TOmp 端子は期待通りの波形を出力できません。したがって、マスタの TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャンネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4, 6)

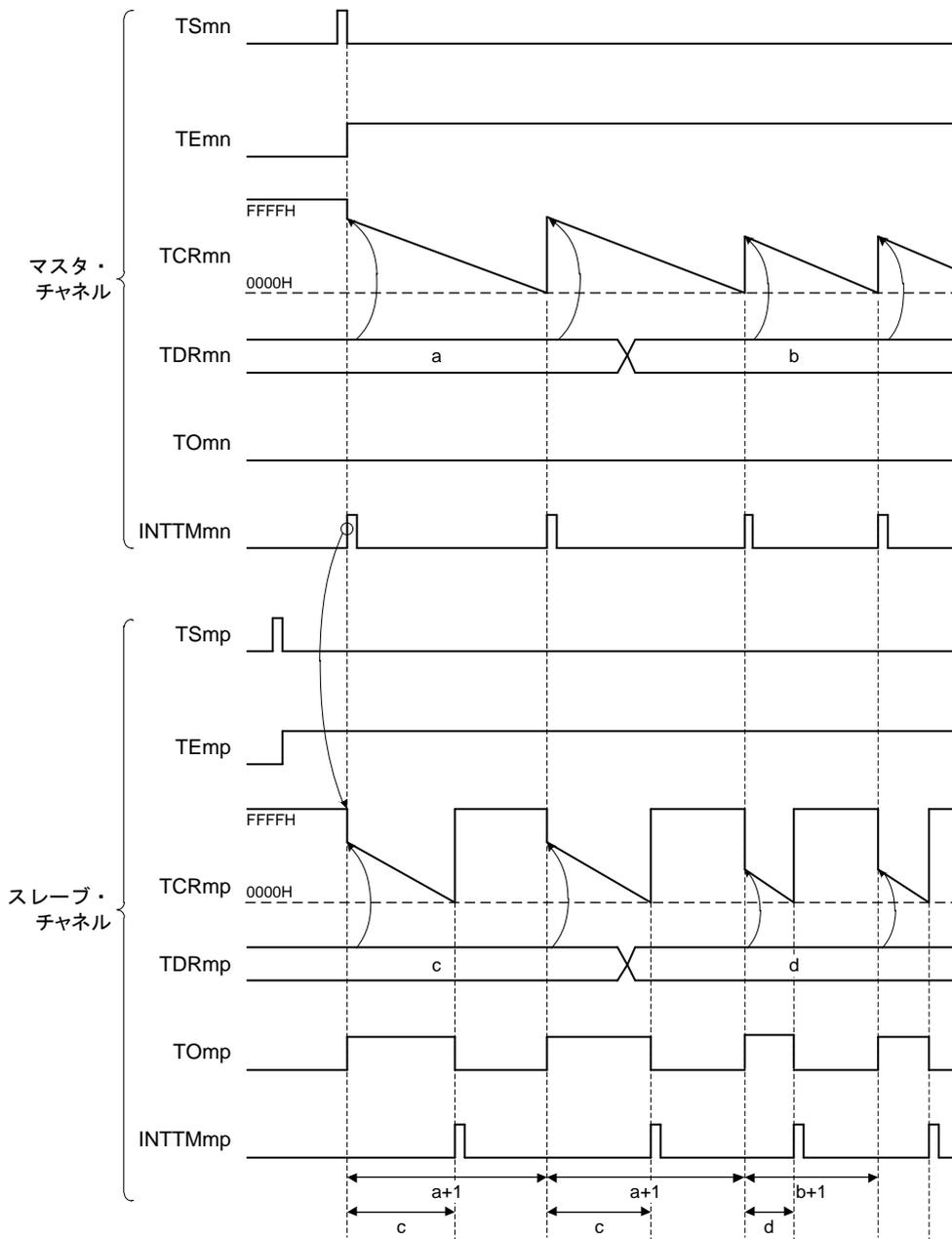
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図 6-69 PWM 機能としての動作のブロック図



備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図 6-70 PWM 機能としての動作の基本タイミング例

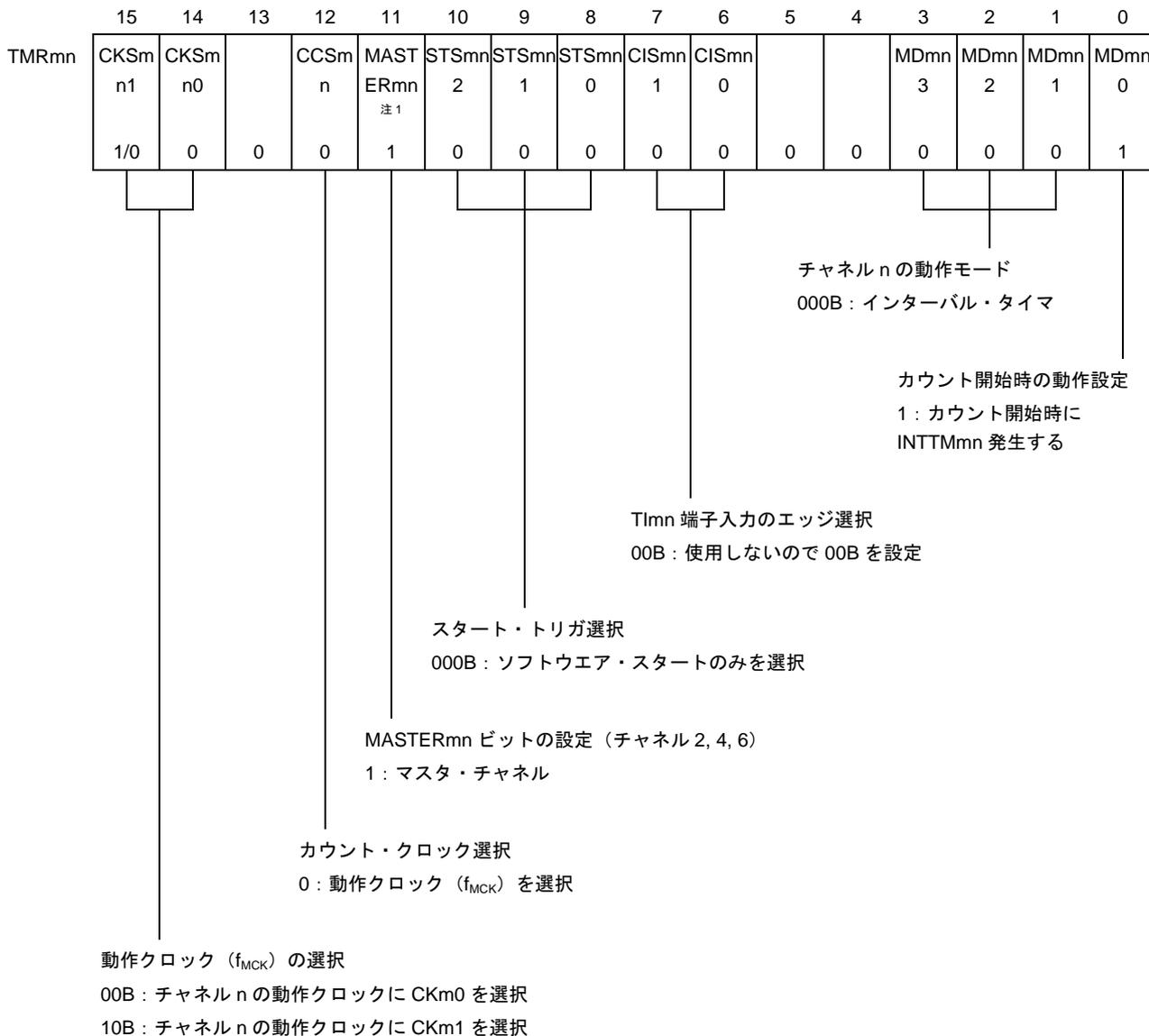


備考1. m : ユニット番号 (m=0) 、n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p
 TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp 端子出力信号

図 6-71 PWM 機能時 (マスタ・チャンネル) のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ mn (TMRmn)



注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn=1
TMRm0 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4, 6)

図6-71 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例（2/2）

(b) タイマ出力レジスタ m (TOM)

	ビット n	
TOM	TOMn 0	0 : TOMn より 0 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEn n 0	0 : カウント動作による TOMn 出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn 0	0 : TOMmn=0（マスタ・チャンネル出力モード）では 0 を設定

(e) タイマ出力モード・レジスタ m (TOMm)

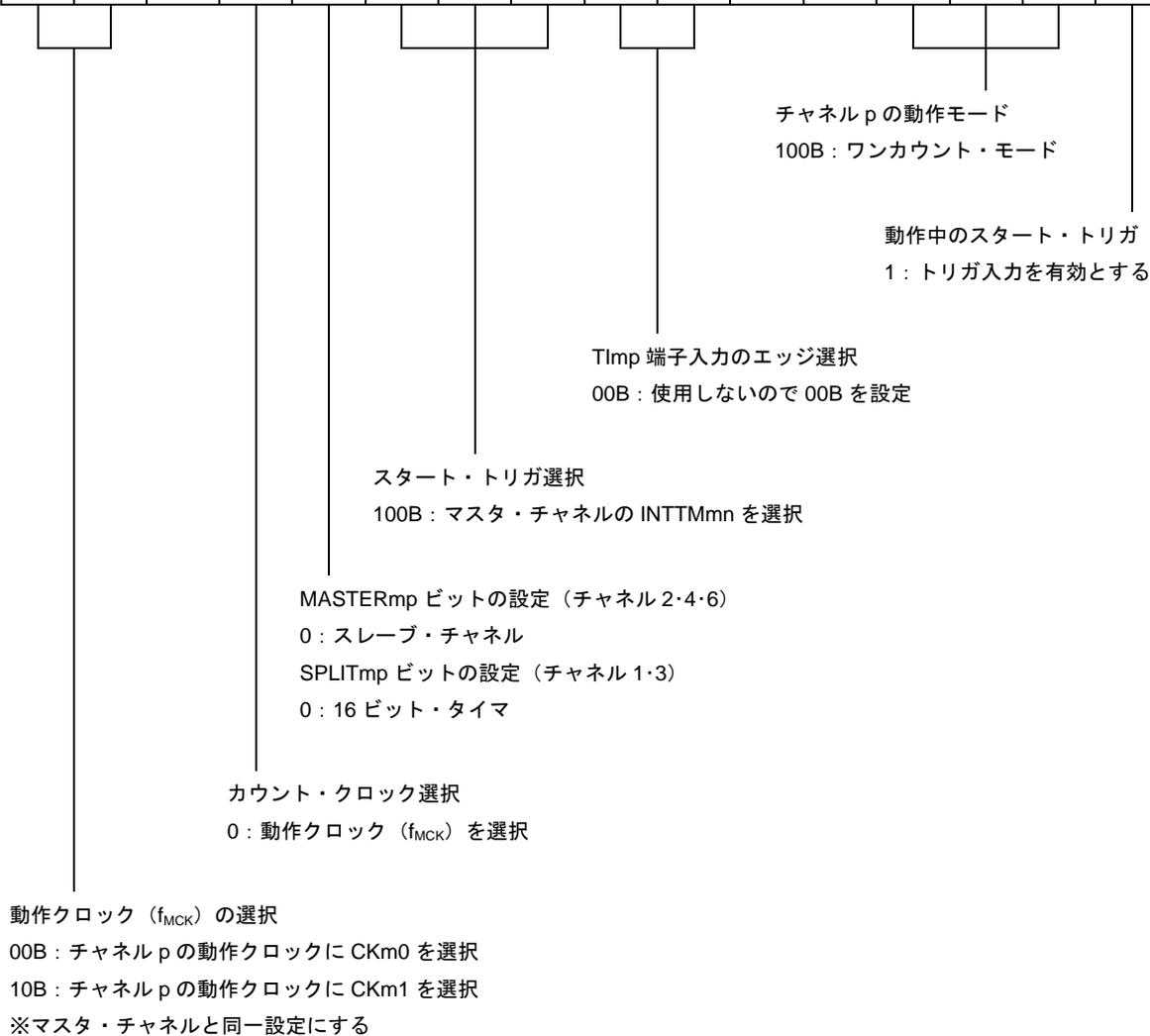
	ビット n	
TOMm	TOMm n 0	0 : マスタ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4, 6)

図 6-72 PWM 機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (1/2)

(a) タイマ・モード・レジスタ mp (TMRmp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSm p1	CKSm p0		CCSm p	M/S 注1	STSmp 2	STSmp 1	STSmp 0	CISmp 1	CISmp 0			MDmp 3	MDmp 2	MDmp 1	MDmp 0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1



注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット
TMRm1, TMRm3 の場合 : SPLITmp ビット
TMRm5, TMRm7 : 0 固定

備考 m : ユニット番号 ($m=0$)、n : マスタ・チャンネル番号 ($n=0, 2, 4, 6$)
p : スレーブ・チャンネル番号 ($n < p \leq 7$)

図 6-72 PWM 機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2/2)

(b) タイマ出力レジスタ m (TOm)

	ビット p	
TOm	TOmp 1/0	0 : TOmp より 0 を出力 1 : TOmp より 1 を出力

(c) タイマ出力許可レジスタ m (TOEm)

	ビット p	
TOEm	TOEm p 1/0	0 : カウント動作による TOmp 出力動作停止 1 : カウント動作による TOmp 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット p	
TOLm	TOLmp 1/0	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ m (TOMm)

	ビット p	
TOMm	TOMm p 1	1 : スレーブ・チャンネル出力モードを設定

備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図 6-73 PWM 機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0 と CKm1 のクロック周波数を確定する	
チャンネル 初期設定	使用する 2 チャンネルのタイマ・モード・レジスタ mn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) にインターバル (周期) 値、スレーブ・チャンネルの TDRmp レジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタ m (TOMm) の TOMmp ビットに 1 (スレーブ・チャンネル出力モード) を設定する TOLmp ビットを設定する TOmp ビットを設定し、TOmp 出力の初期レベルを確定する TOEmp ビットに 1 を設定し、TOmp の動作を許可 ポート・レジスタとポート・モード・レジスタに 0 を設定する	TOmp 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は、TOmp 初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmp は変化しない TOmp 端子は TOmp 設定レベルを出力

(備考は次ページにあります。)

図 6-73 PWM 機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに 1 を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に 1 を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=1, TEmp=1 となる マスタ・チャンネルがカウント動作開始し、INTTMmn を発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn=0000H までカウントしたら INTTMmn を発生する。同時に、TCRmn レジスタは TDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp=0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp (スレーブ) ビットに同時に 1 を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn, TEmp=0 になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに 0 を設定し、TOmp ビットに値を設定する	TOmp 端子は TOmp 設定レベルを出力
TAU 停止	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに 0 を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが 0 になり、TOmp 端子はポート機能となる)

備考 m: ユニット番号 (m=0)、n: マスタ・チャンネル番号 (n=0, 2, 4, 6)
 p: スレーブ・チャンネル番号 (n<p≤7)

6.9.3 多重 PWM 出力機能としての動作

PWM 機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数の PWM 出力を行う機能です。

たとえばスレーブ・チャンネルを 2 個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\text{パルス周期} = \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント・クロック周期}$$

$$\text{デューティ 1[\%]} = \{\text{TDRmp (スレーブ 1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100$$

$$\text{デューティ 2[\%]} = \{\text{TDRmq (スレーブ 2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100$$

備考 TDRmp (スレーブ 1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合
または TDRmq (スレーブ 2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、
デューティ値が 100% を越えますが、集約して 100% 出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル 1 の TCRmp レジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp 端子より PWM 波形を出力します。TCRmp レジスタは、マスタ・チャンネルの INTTMmn をスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp=0000H となったら、INTTMmp を出力し、次のスタート・トリガ (マスタ・チャンネルの INTTMmn) が入力されるまでカウントを停止します。TOmp の出力レベルは、マスタ・チャンネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp=0000H となったらインアクティブ・レベルとなります。

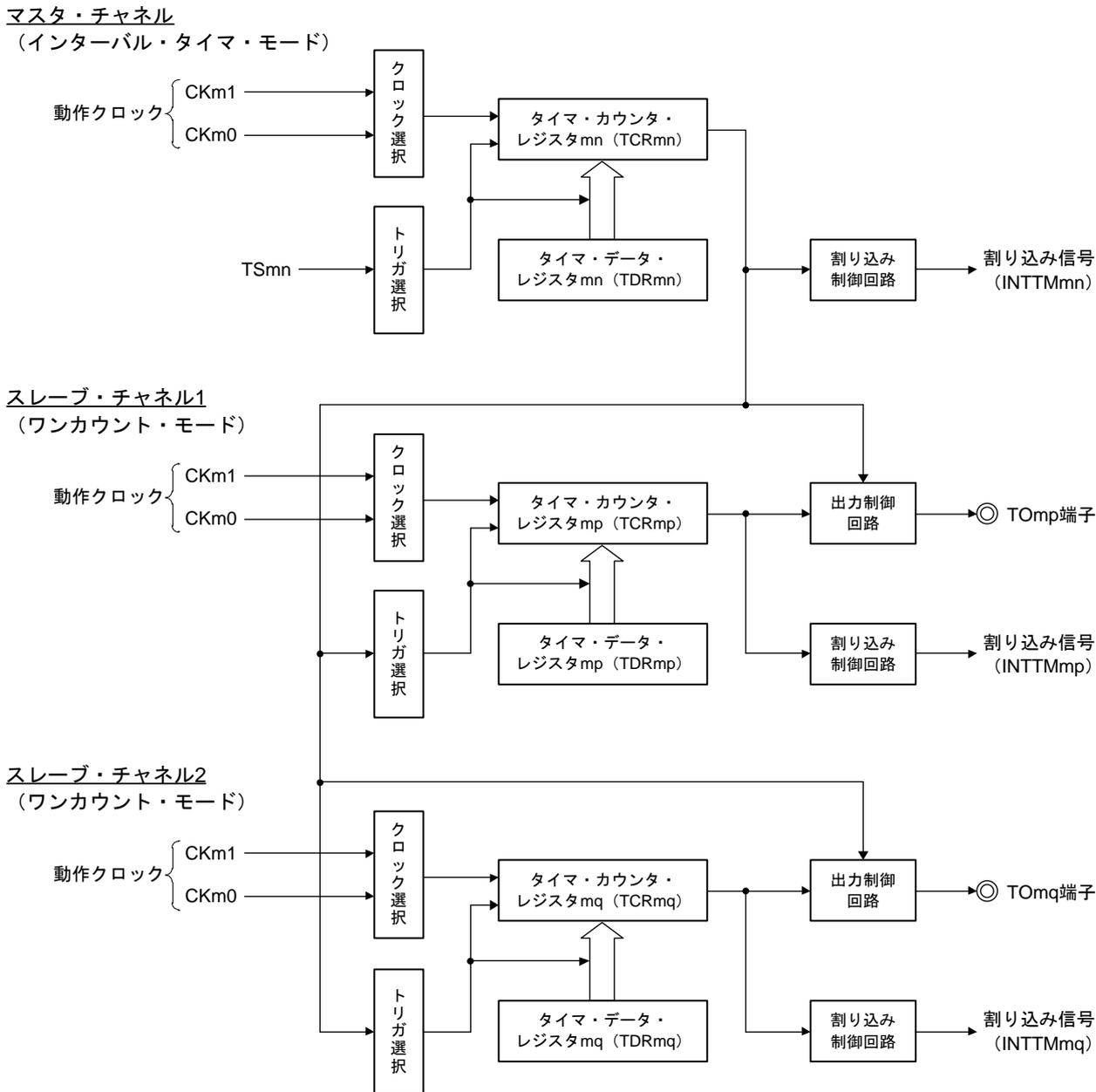
スレーブ・チャンネル 2 の TCRmq レジスタも、スレーブ・チャンネル 1 の TCRmp レジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq 端子より PWM 波形を出力します。TCRmq レジスタは、マスタ・チャンネルの INTTMmn をスタート・トリガとして、TDRmq レジスタの値をロードし、ダウン・カウントを行います。TCRmq=0000H となったら、INTTMmq を出力し、次のスタート・トリガ (マスタ・チャンネルの INTTMmn) が入力されるまでカウントを停止します。TOmq の出力レベルは、マスタ・チャンネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmq=0000H となったらインアクティブ・レベルとなります。

このようにして、チャンネル 0 をマスタ・チャンネルとした場合は、最大 7 種の PWM を同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネル 1 の TDRmp レジスタを両方とも書き換える場合、最低 2 回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値をロードするのは、マスタ・チャンネルの INTTMmn 発生後となるため、書き換えがマスタ・チャンネルの INTTMmn 発生前と発生後に分かれて行われると、TOmp 端子は、期待通りの波形を出力できません。したがって、TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャンネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル 2 の TDRmq レジスタの場合も同様です。)

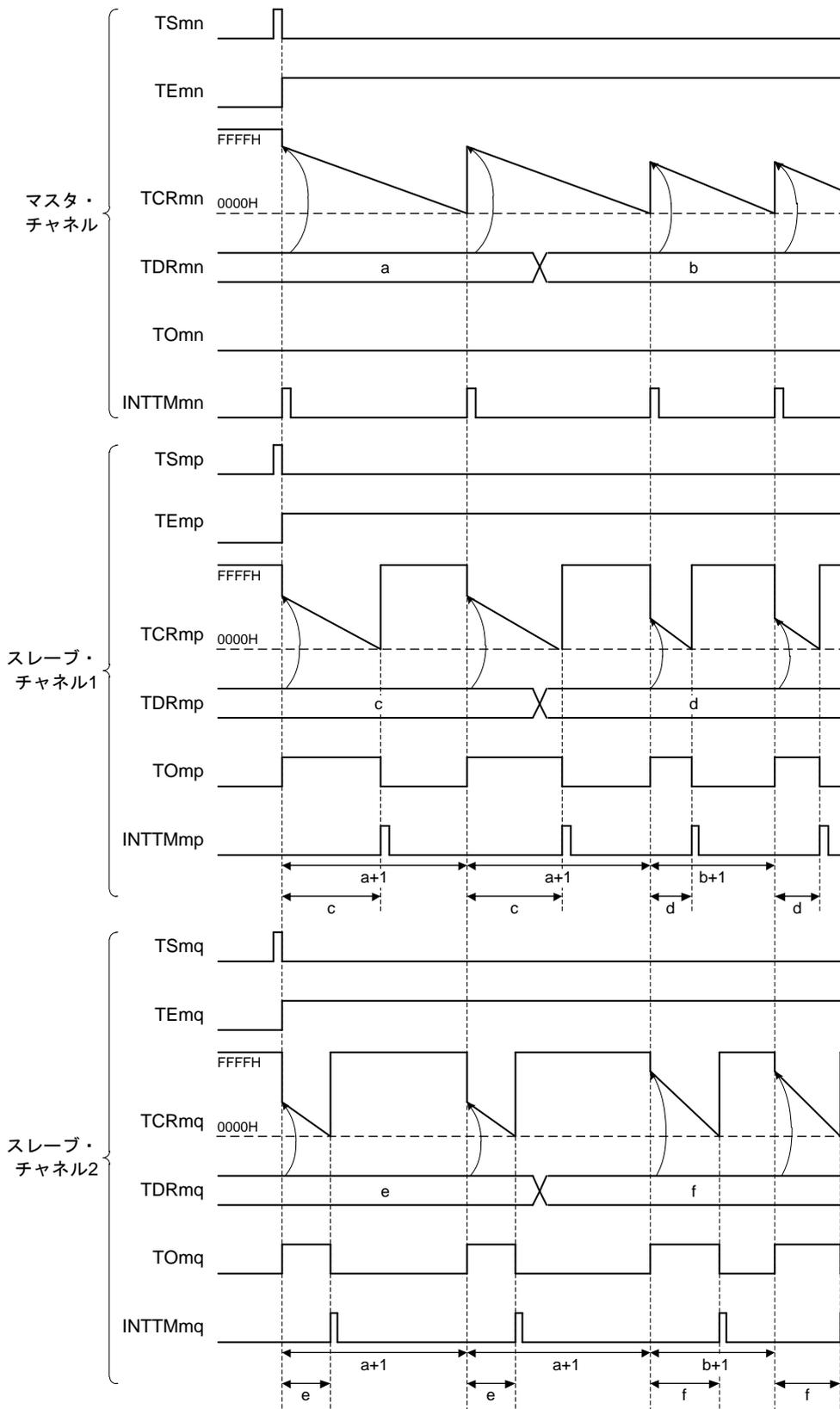
備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4)
p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
n < p < q ≤ 7 (ただし p, q は、n 以降の整数)

図 6-74 多重 PWM 出力機能としての動作のブロック図 (2 種類の PWM を出力する場合)



備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4)
 p : スレーブ・チャンネル番号、 q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし p, q は、n 以降の整数)

図6-75 多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）

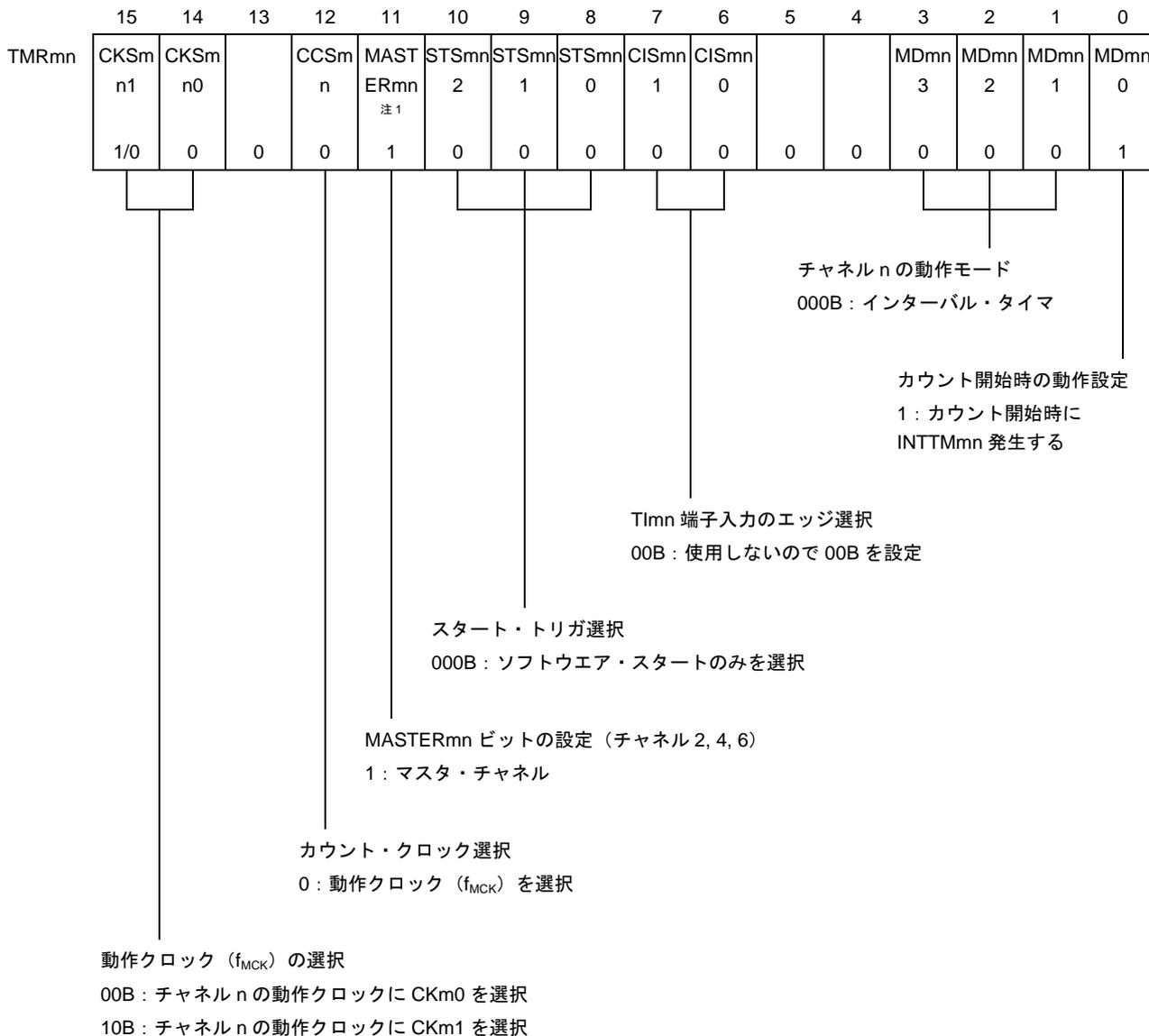


(備考は次ページにあります。)

- 備考1.** m : ユニット番号 ($m=0$)、n : マスタ・チャンネル番号 ($n=0, 2, 4$)
p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし p, q は、n 以降の整数)
- 備考2.** TSmn, TSmp, TSmq : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p, q
TEmn, TEmp, TEMq : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p, q
TCRmn, TCRmp, TCRmq : タイマ・カウンタ・レジスタ mn, mp, mq (TCRmn, TCRmp, TCRmq)
TDRmn, TDRmp, TDRmq : タイマ・データ・レジスタ mn, mp, mq (TDRmn, TDRmp, TDRmq)
TOmn, TOmp, TOmq : TOmn, TOmp, TOmq 端子出力信号

図 6-76 多重 PWM 出力機能時（マスタ・チャンネル）のレジスタ設定内容例（1/2）

(a) タイマ・モード・レジスタ mn (TMRmn)



注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmn=1
TMRm0 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4)

図 6-76 多重 PWM 出力機能時（マスタ・チャンネル）のレジスタ設定内容例（2/2）

(b) タイマ出力レジスタ m (TOM)

	ビット n	
TOM	TOMn 0	0 : TOMn より 0 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEn n 0	0 : カウント動作による TOMn 出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn 0	0 : TOMmn=0（マスタ・チャンネル出力モード）では 0 を設定

(e) タイマ出力モード・レジスタ m (TOMm)

	ビット n	
TOMm	TOMm n 0	0 : マスタ・チャンネル出力モードを設定

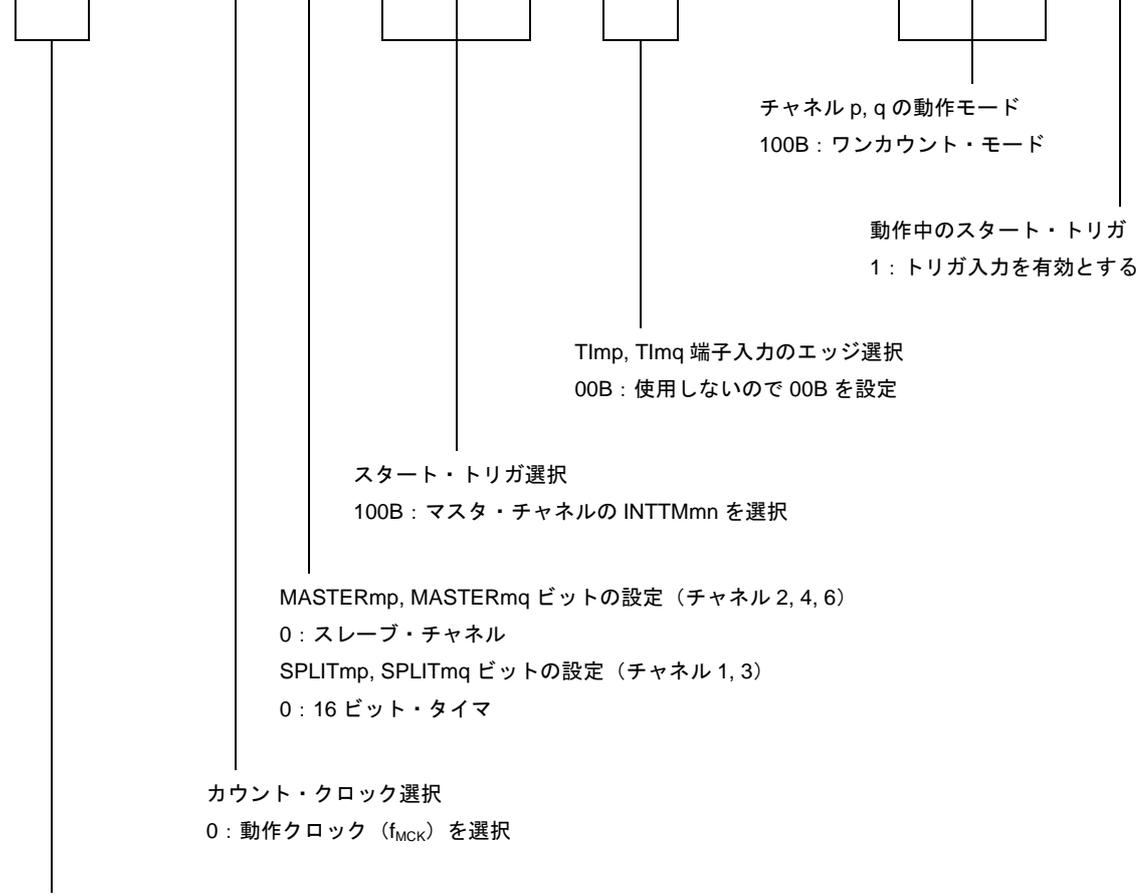
備考 m : ユニット番号 (m=0) 、 n : マスタ・チャンネル番号 (n=0, 2, 4)

図 6-77 多重 PWM 機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2 種類の PWM を出力する場合) (1/2)

(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSm	CKSm		CCSm	M/S ^{注1}	STSmp	STSmp	STSmp	CISmp	CISmp			MDmp	MDmp	MDmp	MDmp
	p1	p0		p		2	1	0	1	0			3	2	1	0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmq	CKSm	CKSm		CCSm	M/S ^{注1}	STSmq	STSmq	STSmq	CISmq	CISmq			MDmq	MDmq	MDmq	MDmq
	q1	q0		q		2	1	0	1	0			3	2	1	0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1



動作クロック (f_{MCK}) の選択
00B : チャンネル p, q の動作クロックに CKm0 を選択
10B : チャンネル p, q の動作クロックに CKm1 を選択
※マスタ・チャンネルと同一設定にする

注1. TMRm2, TMRm4, TMRm6 の場合 : MASTERmp, MASTERmq ビット
TMRm1, TMRm3 の場合 : SPLITmp, SPLITmq ビット
TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m=0) 、n : マスタ・チャンネル番号 (n=0, 2, 4)
p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
n < p < q ≤ 7 (ただし p, q は、n 以降の整数)

図6-77 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）（2/2）

(b) タイマ出力レジスタ m (TOm)

		ビットqビットp		
TOm	TOmq	TOmp		0 : TOmp, TOmq より 0 を出力する
	1/0	1/0		1 : TOmp, TOmq より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

		ビットqビットp		
TOEm	TOEq	TOEp		0 : カウント動作による TOmp, TOmq 出力動作停止
	1/0	1/0		1 : カウント動作による TOmp, TOmq 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

		ビットqビットp		
TOLm	TOLmq	TOLmp		0 : 正論理出力（アクティブ・ハイ）
	1/0	1/0		1 : 負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタ m (TOMm)

		ビットqビットp		
TOMm	TOMmq	TOMmp		1 : スレーブ・チャンネル出力モードを設定
	1	1		

備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4)

p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号

$n < p < q \leq 7$ (ただし p, q は、n 以降の整数)

図 6-78 多重 PWM 機能時の操作手順 (2 種類の PWM を出力する場合) (1/3)

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0 と CKm1 のクロック周波数を確定する	
チャンネル 初期設定	使用する各チャンネルのタイマ・モード・レジスタ mn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) にインターバル (周期) 値、スレーブ・チャンネルの TDRmp, TDRmq レジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタ m (TOMm) の TOMmp, TOMmq ビットに 1 (スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmq ビットを設定する TOmp, TOmq ビットを設定し、TOmp, TOmq 出力の初期レベルを確定する	TOmp, TOmq 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は、TOmp, TOmq 初期設定レベルが出力される。
	TOEmp, TOEmq ビットに 1 を設定し、TOmp, TOmq の動作を許可 ポート・レジスタとポート・モード・レジスタに 0 を設定する	チャンネルは動作停止状態なので、TOmp, TOmq は変化しない TOmp, TOmq 端子は TOmp, TOmq 設定レベルを出力

備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4)
 p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし p, q は、n 以降の連続した整数)

図 6-78 多重 PWM 機能時の操作手順 (2 種類の PWM を出力する場合) (2/3)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 (動作再開時のみ TOEmp, TOEmq (スレーブ) ビットに 1 を設定する) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp, TSmq (スレーブ) ビットに同時に 1 を設定する TSmn, TSmp, TSmq ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn=1, TEmq=1 となる マスタ・チャンネルがカウント動作開始し、INTTMmn を発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp, TMRmq レジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットは、設定値変更禁止 TDRmn, TDRmp, TDRmq レジスタは、マスタ・チャンネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp, TCRmq レジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmq レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。TCRmn=0000H までカウントしたら INTTMmn を発生する。同時に、TCRmn レジスタは TDRmn レジスタの値をロードし、再びダウン・カウンタを開始する。 スレーブ・チャンネル 1 では、マスタ・チャンネルの INTTMmn 信号をトリガとして、TDRmp レジスタ値を TCRmp レジスタに転送し、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 スレーブ・チャンネル 2 では、マスタ・チャンネルの INTTMmn 信号をトリガとして、TDRmq レジスタ値を TCRmq レジスタに転送し、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmq 出力レベルをアクティブ・レベルとする。そして 0000H までカウントしたら TOmq 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp, TTmq (スレーブ) ビットに同時に 1 を設定する TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に 0 に戻る スレーブ・チャンネルの TOEmp, TOEmq ビットに 0 を設定し、TOmp, TOMq ビットに値を設定する	TEmn, TEmq, TEmq=0 になり、カウンタ動作停止 TCRmn, TCRmp, TCRmq レジスタはカウンタ値を保持して停止 TOmp, TOMq 出力は初期化されず、状態保持 TOmp, TOMq 端子は TOmp, TOMq 設定レベルを出力

備考 m : ユニット番号 (m=0)、n : マスタ・チャンネル番号 (n=0, 2, 4)
 p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし p, q は、n 以降の連続した整数)

図 6-78 多重 PWM 機能時の操作手順 (2 種類の PWM を出力する場合) (3/3)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmp, TOmq 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、 TOmp, TOmq ビットに 0 を設定する →	TOmp, TOmq 端子出力レベルはポート機能により保持される。
	TOmp, TOmq 端子の出力レベルを保持不要の場合 設定不要	
	PER0 レジスタの TAUmEN ビットに 0 を設定する →	パワーオフ状態 全回路が初期化され、各チャネルの SFR も初期化される (TOmp, TOmq ビットが 0 になり、TOmp, TOmq 端子はポート機能となる)

備考 m : ユニット番号 (m=0) 、n : マスタ・チャンネル番号 (n=0, 2, 4)
 p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし p, q は、n 以降の連続した整数)

6.9.4 2入力ワンショット・パルス出力としての動作

2端子入力 (TI0n, TI0p 端子入力) により任意のディレイ (出力遅延時間) を持ったワンショット・パルスを生成できます。

ディレイ (出力遅延時間) とワンショット・パルス幅は、次の式で求められます。

$$\text{ディレイ} = \{ \text{TDR0n (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{ワンショット・パルスのアクティブ・レベル幅} =$$

$$\text{カウント} \cdot \text{クロックの周期} \times \left((10000\text{H} \times \text{TSR0p:OVF}) + (\text{TDR0p (スレーブ) のキャプチャ値} + 1) \right)$$

注意 TI0n, TI0p 端子入力は、タイマ・モード・レジスタ 0n (TMR0n) の CKS0n1 ビットで選択した動作クロック (f_{MCK}) でサンプリングされるため、動作クロック (f_{MCK}) の1クロック分の誤差が発生します。

マスタ・チャンネルは、ワンカウント・モードとして動作させます。マスタ・チャンネルの TI0n 端子入力の有効エッジ検出をスタート・トリガにしてディレイ (出力遅延時間) をカウントします。TI0n 端子入力によりスタート・トリガ検出すると、タイマ・データ・レジスタ 0n (TDR0n) に設定した値をタイマ・カウンタ・レジスタ 0n (TCR0n) にロードし、カウント・クロック (f_{CLK}) に合わせてダウン・カウントを行います。TCR0n=0000H になったら INTTM0n を出力し、TO0p 端子からアクティブ・レベルを出力します。次のスタート・トリガ検出があるまで、マスタ・チャンネルはカウント動作を停止します。

スレーブ・チャンネルは、キャプチャ・モードとして動作させます。スレーブ・チャンネルの TI0p 端子入力の有効エッジ検出をエンド・トリガとしてワンショット・パルスをインアクティブ・レベルにします。

TI0p 端子入力によりエンド・トリガ検出すると、TCR0p レジスタのカウント値を TDR0p レジスタに転送 (キャプチャ) して、TCR0p レジスタを 0000H にクリアします。それと同時に、INTTM0p を出力し、TO0p 端子からインアクティブ・レベルを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ 0p (TSR0p) の OVF ビットが1にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

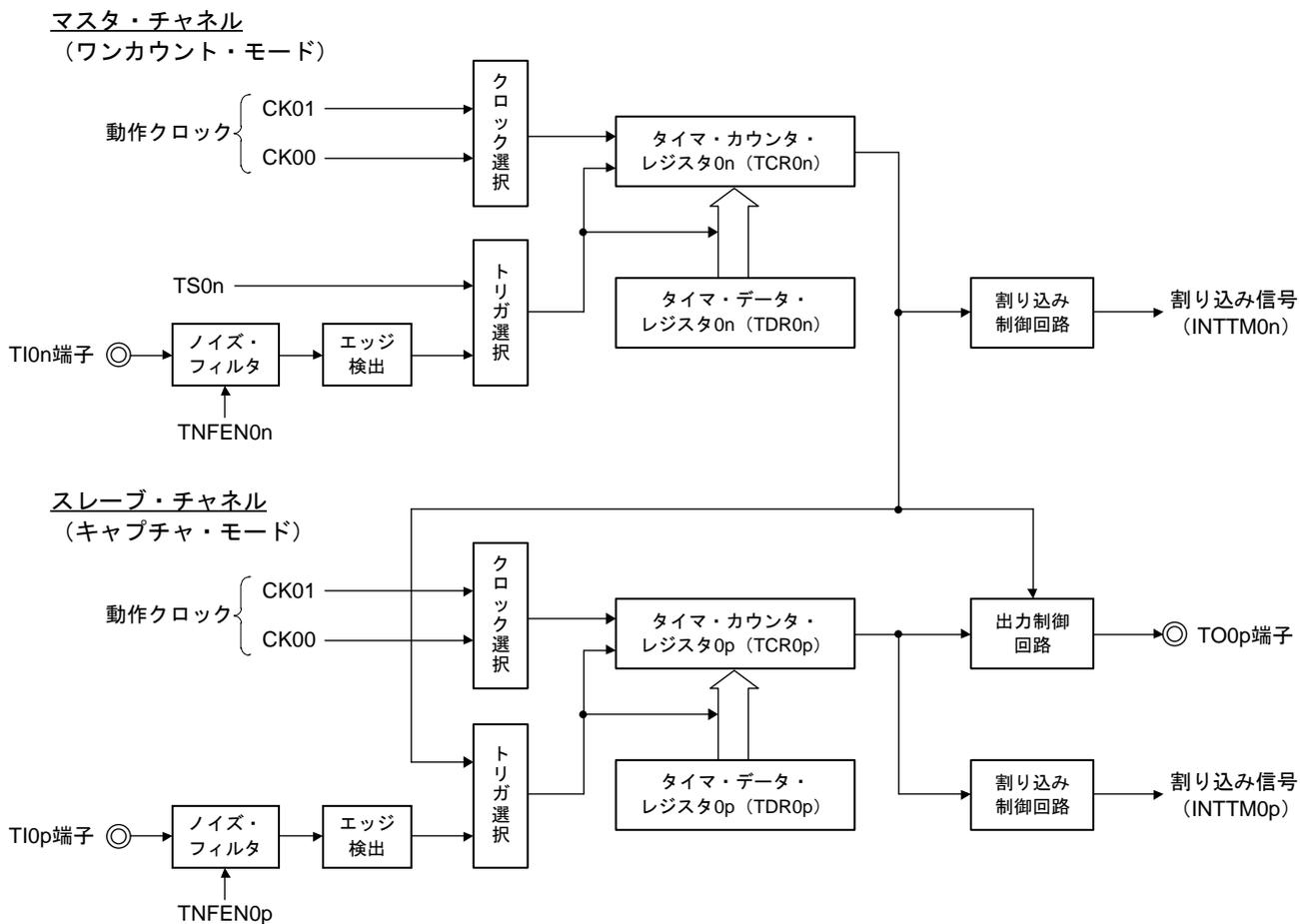
カウント値が TDR0p レジスタにキャプチャされると同時に、アクティブ・レベル期間のオーバフロー有無に応じて、TSR0p レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSR0p レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

マスタ・チャンネルのスタート・アップ検出は、TI0n 端子入力を使用せず、ソフトウェア操作 (TS0n=1) をスタート・トリガにすることもできます。

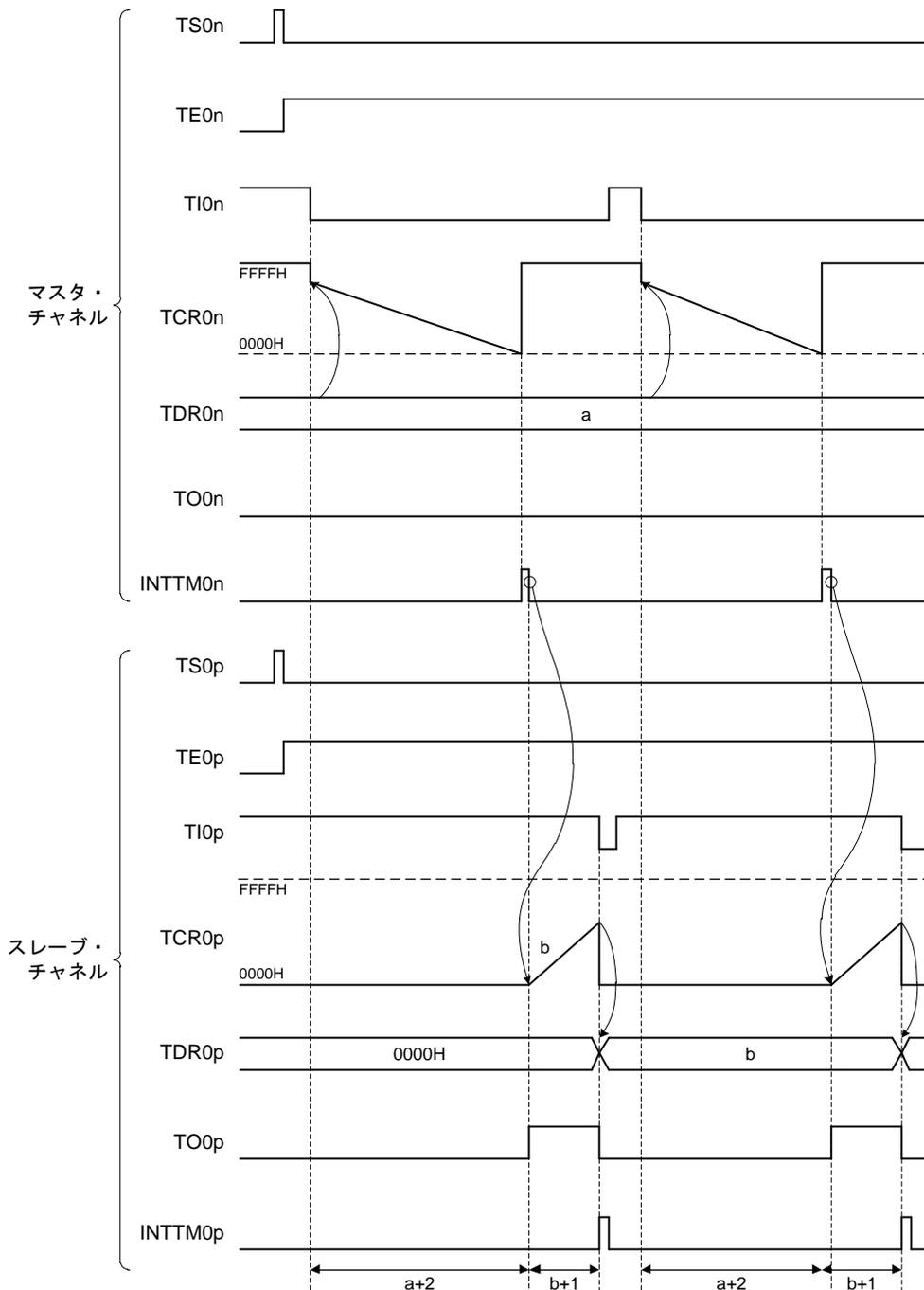
備考 n : マスタ・チャンネル番号 (n=0, 2) 、 p : スレーブ・チャンネル番号 (p=3)

図 6-79 2入力式ワンショット・パルス出力としての動作のブロック図



備考 n: マスタ・チャンネル番号 (n=0, 2)
 p: スレーブ・チャンネル番号 (p=3)

図 6-80 2 入力式ワンショット・パルス出力としての動作の基本タイミング例

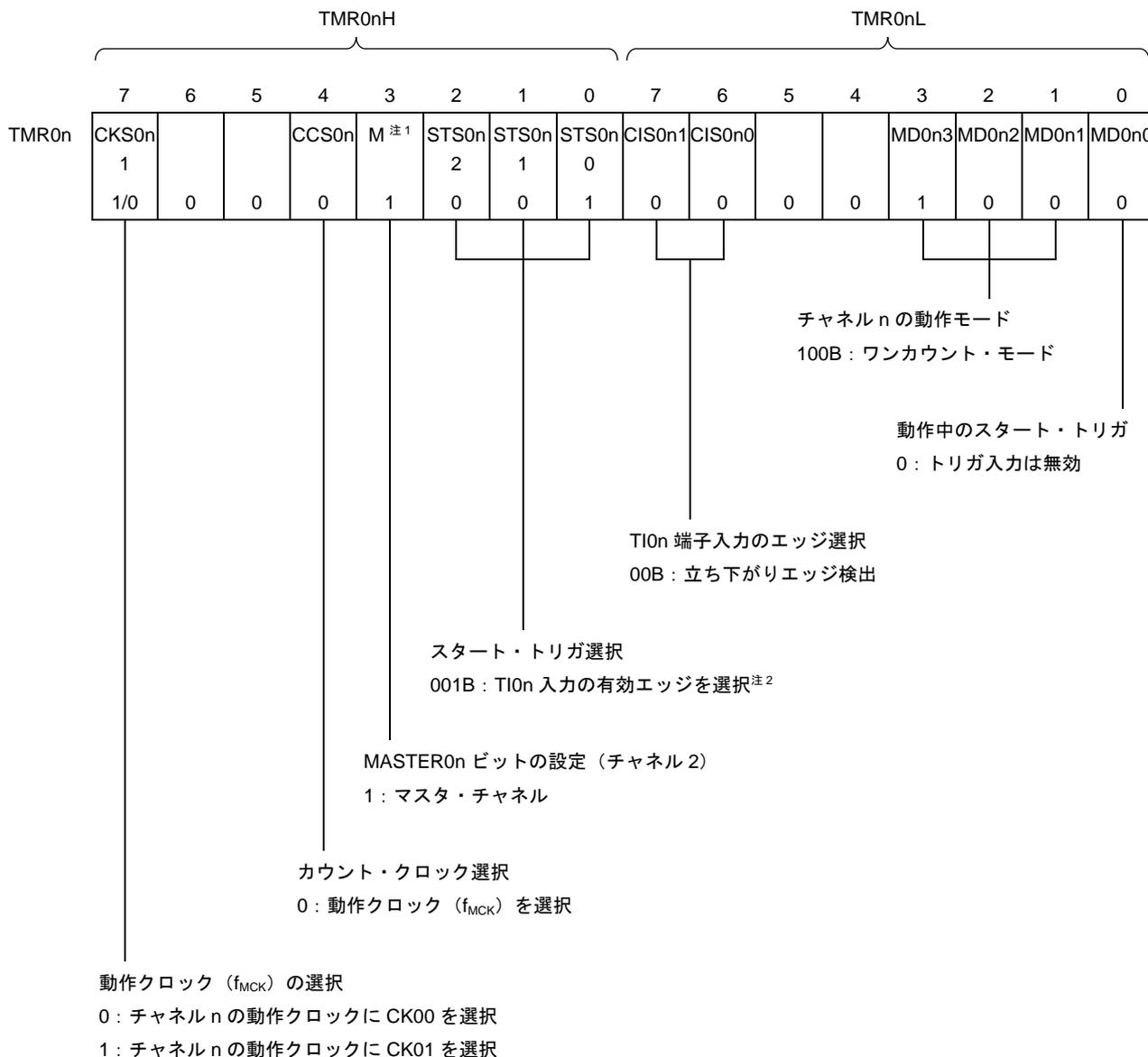


備考1. n : マスタ・チャンネル番号 (n=0, 2)
 p : スレーブ・チャンネル番号 (p=3)

備考2. TS0n, TS0p : タイマ・チャンネル開始レジスタ 0 (TS0) のビット n, p
 TE0n, TE0p : タイマ・チャンネル許可ステータス・レジスタ 0 (TE0) のビット n, p
 TI0n, TI0p : TI0n, TI0p 端子入力信号
 TCR0n, TCR0p : タイマ・カウンタ・レジスタ 0n, 0p (TCR0n, TCR0p)
 TDR0n, TDR0p : タイマ・データ・レジスタ 0n, 0p (TDR0n, TDR0p)
 TO0n, TO0p : TO0n, TO0p 端子出力信号

図 6-81 2 入力式ワンショット・パルス出力（マスタ・チャンネル）のレジスタ設定内容例（1/2）

(a) タイマ・モード・レジスタ 0n（TMR0nH, TMR0nL）



注1. TMR02 の場合 : MASTER02 ビット
 TMR00 : 0 固定

注2. TI0n 端子入力を使用せず、ソフトウェア操作 (TS0n=1) をスタート・トリガにすることもできます。

備考 n : マスタ・チャンネル番号 (n=0, 2)

図 6-81 2 入力式ワンショット・パルス出力（マスタ・チャンネル）のレジスタ設定内容例（2/2）

(b) タイマ出力レジスタ 0 (TO0)

	ビット n	
TO0	TO0n 0	0 : TO0n より 0 を出力する

(c) タイマ出力許可レジスタ 0 (TOE0)

	ビット n	
TOE0	TOE0n 0	0 : カウント動作による TO0n 出力動作停止

(d) タイマ出力レベル・レジスタ 0 (TOL0)

	ビット n	
TOL0	TOL0n 0	0 : TOM0n=0（マスタ・チャンネル出力モード）のため、設定無効

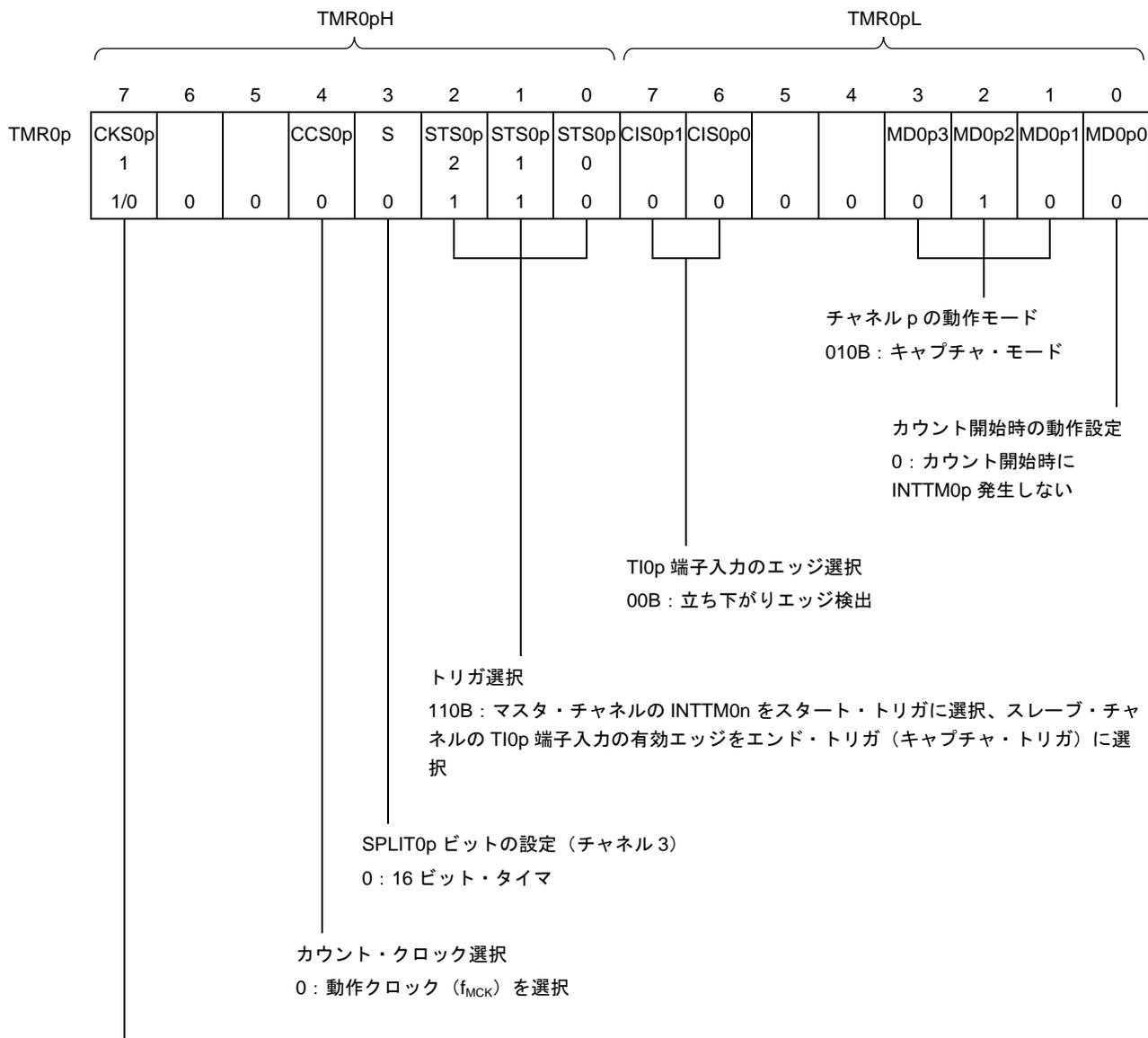
(e) タイマ出力モード・レジスタ 0 (TOM0)

	ビット n	
TOM0	TOM0n 0	0 : マスタ・チャンネル出力モードを設定

備考 n : マスタ・チャンネル番号 (n=0, 2)

図 6-82 2 入力式ワンショット・パルス出力（スレーブ・チャンネル）のレジスタ設定内容例（1/2）

(a) タイマ・モード・レジスタ 0p（TMR0pH, TMR0pL）



備考 n : マスタ・チャンネル番号 (n=0, 2)
p : スレーブ・チャンネル番号 (p=3)

図 6-82 2入力式ワンショット・パルス出力（スレーブ・チャンネル）のレジスタ設定内容例（2/2）

(b) タイマ出力レジスタ 0 (TO0)

	ビット p	
TO0	TO0p 1/0	0 : TO0p より 0 を出力する 1 : TO0p より 1 を出力する

(c) タイマ出力許可レジスタ 0 (TOE0)

	ビット p	
TOE0	TOE0p 1/0	0 : カウント動作による TO0p 出力動作停止 (TO0p ビットに設定したレベルを TO0p 端子から出力) 1 : カウント動作による TO0p 出力動作許可 (TO0p 端子からトグル出力)

(d) タイマ出力レベル・レジスタ 0 (TOL0)

	ビット p	
TOL0	TOL0p 1/0	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ 0 (TOM0)

	ビット p	
TOM0	TOM0p 1	1 : スレーブ・チャンネル出力モードを設定

備考 p : スレーブ・チャンネル番号 (p=3)

図 6-83 2 入力式ワンショット・パルス出力の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、TAU の SFR への書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAU0EN ビットに 1 を設定する (TAU0EN ビットが 0 のときは、読み出し/書き込み不可)	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、TAU の SFR への書き込み可能)
	タイマ・クロック選択レジスタ 0 (TPS0) を設定する 各チャンネルの動作クロック (CK00, CK01) を確定する	
チャンネル 初期設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) を設定する タイマ・モード・レジスタ 0n, p (TMR0n, TMR0p) を設定する (各チャンネルの動作モードを確定、検出エッジの選択)	チャンネルは動作停止状態
	マスタ・チャンネルの設定 タイマ・データ・レジスタ 0n (TDR0n) にディレイ (出力遅延時間) を設定する (TDR0nH, TDR0nL レジスタへのアクセス手順は、「6.2.2 タイマ・データ・レジスタ mn (TDRmn)」を参照) タイマ出力モード・レジスタ 0 (TOM0) の対象ビットに 0 (マスタ・チャンネル出力モード) を設定する TOL0 レジスタの対象ビットに 0 を設定する タイマ出力許可レジスタ 0 (TOE0) の対象ビットに 0 を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタ 0 (TOM0) の対象ビットに 1 (スレーブ・チャンネル出力モード) を設定する TOL0 レジスタの対象ビットを設定する TO0p ビットを設定し、TO0p 出力の初期レベルを確定する TOE0p ビットに 1 を設定し、TO0p の動作を許可 ポート・レジスタとポート・モード・レジスタに 0 を設定する (出力モード設定)	TO0p 端子は Hi-Z 状態 (ポート・モード・レジスタは入力モード) チャンネルは動作停止状態なので、TO0p は変化しない (TO0p ビットを書き換えても TO0p 端子に反映されない) TO0p ビットに設定したレベルを TO0p 端子から出力

備考 n : マスタ・チャンネル番号 (n=0, 2)

p : スレーブ・チャンネル番号 (p=3)

図 6-83 2 入力式ワンショット・パルス出力の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	スレーブ・チャンネルの TOE0p ビットに 1 を設定し、TO0p の動作を許可（動作再開時のみ） TS0 レジスタの対象ビット（マスタ、スレーブ）に 1 を同時に設定する TS0 レジスタの対象ビットはトリガ・ビットなので、自動的に 0 に戻る	TE0 レジスタの対象ビットが 1 となり、マスタ・チャンネルは TI0n 端子入力の有効エッジ検出待ち状態になる
	次のスタート・トリガ検出によって、カウント動作開始 ● TI0n 端子入力の有効エッジ検出 ● ソフトウェアにより TS0n ビットに 1 を設定	マスタ・チャンネルのタイマ・カウンタ・レジスタ 0n（TCR0n）は TDR0n レジスタの値をロードし、ダウン・カウント動作を開始する。
動作中	マスタ・チャンネルの設定変更 TCR0n レジスタは、常に読み出し可能（TCR0nH, TCR0nL レジスタへのアクセス手順は、「6.2.1 タイマ・カウンタ・レジスタ mn（TCRmn）」を参照） TMR0n レジスタは、CIS0n1, CIS0n0 ビットのみ設定値変更可能 TDR0n, TO0, TOE0, TOM0, TOL0 レジスタの対象ビットは、設定値変更禁止 スレーブ・チャンネルの設定変更 TDR0p レジスタは、常に読み出し可能 TCR0p レジスタは、常に読み出し可能 TSR0p レジスタは、常に読み出し可能 TMR0p レジスタは、CIS0p1, CIS0p0 ビットのみ設定値変更可能 TO0p, TOE0p, TOM0, TOL0 レジスタの対象ビットは、設定値変更可能	マスタ・チャンネルのカウンタ（TCR0n）はダウン・カウント動作を行う。TCR0n=0000H までカウントしたら INTTM0n を発生し、次のスタート・トリガ検出（TI0n 端子入力の有効エッジ検出または、TS0n ビットに 1 を設定）まで TCR0n=FFFFH でカウント動作を停止する。 スレーブ・チャンネルは、マスタ・チャンネルの INTTM0n をスタート・トリガとして、タイマ・カウンタ・レジスタ 0p（TCR0p）を 0000H にクリアする。カウンタ（TCR0p）は 0000H からアップ・カウント動作を行い、TI0n 端子入力の有効エッジが検出すると、カウント値をタイマ・データ・レジスタ 0p（TDR0p）に転送（キャプチャ）し、TCR0p レジスタを 0000H にクリアする。同時に、INTTM0p を発生して TO0p 出力レベルをインアクティブ・レベルとする。 以降、この動作を繰り返す。
動作停止	TT0 レジスタの対象ビット（マスタ、スレーブ）に 1 を同時に設定する TT0 レジスタの対象ビットはトリガ・ビットなので、自動的に 0 に戻る	TE0 レジスタの対象ビットが 0 になり、カウント動作停止 TCR0n, TCR0p レジスタはカウント値を保持して停止 TO0p 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOE0p ビットに 0 を設定し、TO0p ビットに値を設定する	TO0p ビットに設定したレベルを TO0p 端子から出力
TAU 停止	TO0p 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後、TO0p ビットに 0 を設定する	TO0p 端子出力レベルはポート機能で保持される。
	PER0 レジスタの TAU0EN ビットに 0 を設定する	パワーオフ状態 （クロック供給停止、TAU の SFR が初期化される）

動作再開

備考 n : マスタ・チャンネル番号 (n=0, 2)
p : スレーブ・チャンネル番号 (p=3)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、「4.5 兼用機能使用時のレジスタ設定」を参照してください。

第7章 12ビット・インターバル・タイマ

7.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み要求信号（INTIT）を発生します。STOPモード、HALTモードからのウエイク・アップのトリガに役立ちます。

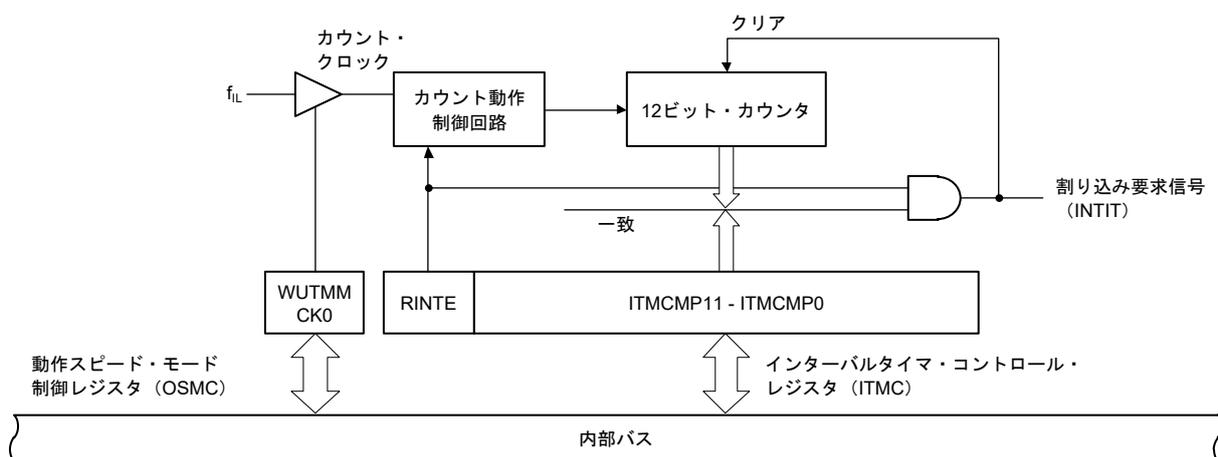
7.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表 7-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0)
	動作スピード・モード制御レジスタ (OSMC)
	インターバル・タイマ・コントロール・レジスタ (ITMC)

図 7-1 12ビット・インターバル・タイマのブロック図



7.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ 0 (PER0)
- 動作スピード・モード制御レジスタ (OSMC)
- インターバル・タイマ・コントロール・レジスタ (ITMC)

7.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用する場合は、必ず最初にビット7 (TMKAEN) を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは00Hになります。

図7-2 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	CMPEN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用する SFR へのライト不可 • 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用する SFR へのリード／ライト可

注意 1. 12ビット・インターバル・タイマへ入カクロック供給 (TMKAEN=1) する前に、OSMC レジスタの WUTMMCK0 ビットをセット (1) して、カウント・クロックを確定させてください。

注意 2. 12ビット・インターバル・タイマの設定をする際には、カウント・クロックが発振安定した状態で、必ず最初に TMKAEN=1 に設定してから下記のレジスタの設定を行ってください。
TMKAEN=0 の場合は、12ビット・インターバル・タイマへの書き込みは無視され、読み出し値は初期値となります (動作スピード・モード制御レジスタ (OSMC) は除く)。

- インターバル・タイマ・コントロール・レジスタ (ITMC)

注意 3. ビット 1, 3 には必ず “0” を設定してください。

7.3.2 動作スピード・モード制御レジスタ (OSMC)

WUTMMCK0 ビットで 12 ビット・インターバル・タイマのカウンタ・クロックの供給を制御します。

12 ビット・インターバル・タイマを動作させるときは、先に WUTMMCK0=1 に設定してください。また、カウンタ動作を停止させるまで WUTMMCK0=0 に設定しないでください。

OSMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 7-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12 ビット・インターバル・タイマのカウンタ・クロックの供給
0	クロック供給停止
1	低速オンチップ・オシレータ・クロック (f_{IL}) 供給

7.3.3 インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMC レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図7-4 インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITMC	RINTE	0	0	0	ITCMP											
					11	10	9	8	7	6	5	4	3	2	1	0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止 (カウント・クリア)
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期 × (ITCMP 設定値 + 1)」の定周期割り込みを発生します。
...	
FFFH	
000H	設定禁止
ITCMP11-ITCMP0=001H, FFFH 設定時の割り込み周期例	
<ul style="list-style-type: none"> ITCMP11-ITCMP0=001H、カウント・クロック : $f_{IL}=15\text{kHz}$ 時 $1/15[\text{kHz}] \times (1+1) \approx 0.1333[\text{ms}] = 133.3 [\mu\text{s}]$ ITCMP11-ITCMP0=FFFH、カウント・クロック : $f_{IL}=15\text{kHz}$ 時 $1/15[\text{kHz}] \times (4095+1) \approx 273[\text{ms}]$ 	

- 注意 1. カウンタ動作停止 (RINTE ビットをクリア (0)) する場合は、TMKAMK フラグをセット (1) して INTIT の割り込み処理禁止にしてから書き換えてください。再度カウンタ動作開始 (RINTE ビットをセット (1)) する場合は、TMKAIF フラグをクリア (0) してから TMKAMK フラグをクリア (0) して INTIT の割り込み処理許可にしてください。
- 注意 2. RINTE ビットの読み出し値は、RINTE ビットをセット (1) した後、カウント・クロックの1クロック後に反映されます。
- 注意 3. スタンバイ・モードから復帰後に RINTE ビット設定して、再度スタンバイ・モードに移行する場合は、RINTE ビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上の時間経過後に移行してください。
- 注意 4. ITCMP11-ITCMP0 ビットの値を変更する場合は、必ずカウンタ動作停止 (RINTE=0) のときに行ってください。ただし、RINTE ビットを 0→1 または 1→0 に変更すると同時に ITCMP11-ITCMP0 ビットの値を変更することは可能です。

7.4 12ビット・インターバル・タイマの動作

7.4.1 12ビット・インターバル・タイマの動作タイミング

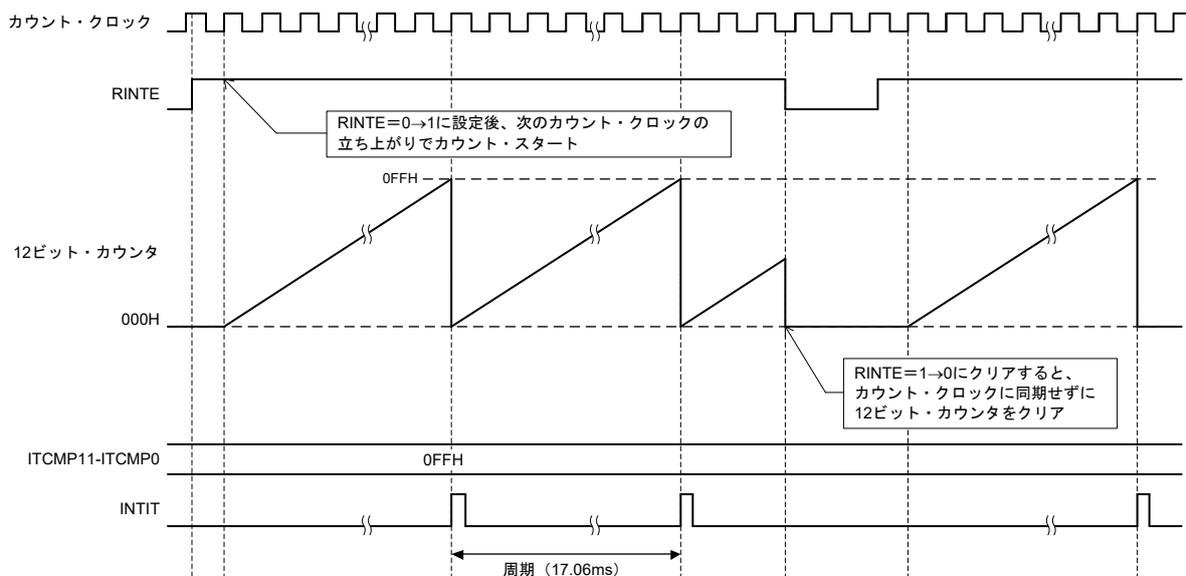
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求信号（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットをセット（1）すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタの値がITCMP11-ITCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値をクリア（0）してカウントを継続すると同時に、割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を図7-5に示します。

図7-5 12ビット・インターバル・タイマ動作のタイミング
 (ITCMP11-ITCMP0=0FFH、カウント・クロック : $f_{IL}=15\text{kHz}$)

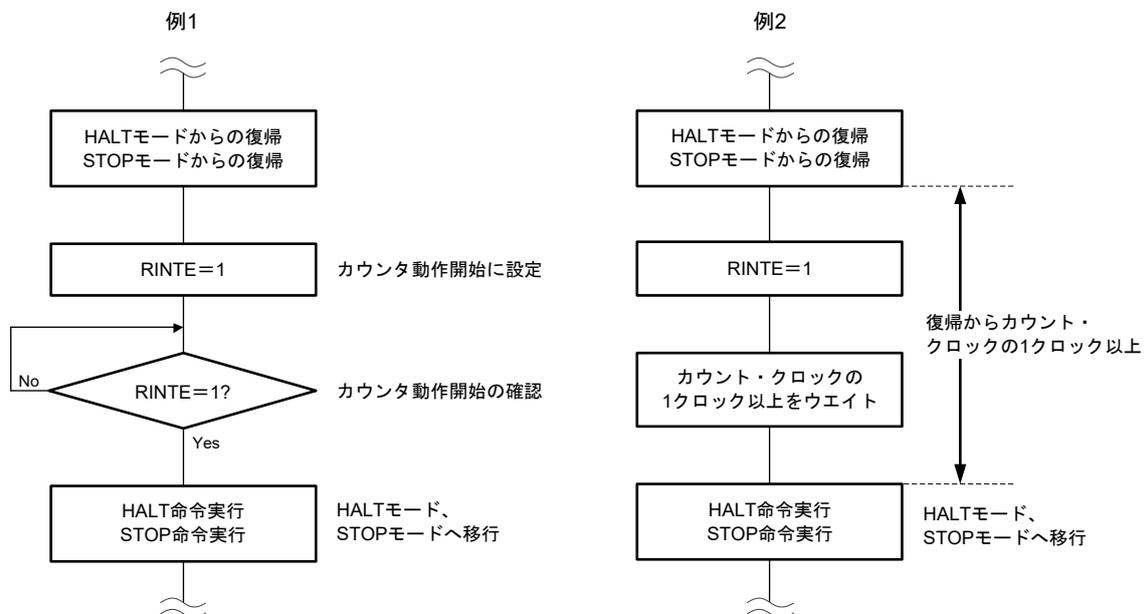


7.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度 HALT/STOP モードに移行する設定手順

HALT モードもしくは STOP モードから復帰後に RINTE=1 に設定し、再度 HALT モード、STOP モードへ移行する場合は、RINTE=1 に設定してから、RINTE ビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE=1 に設定後、RINTE ビットが1になるのをポーリングで確認後に HALT モード、STOP モードへ移行する（図 7-6 の例 1 を参照）。
- RINTE=1 に設定してから、カウント・クロックの1クロック分以上経過後に HALT モード、STOP モードへ移行する（図 7-6 の例 2 を参照）。

図 7-6 RINTE=1 に設定後の HALT モード、STOP モードへの移行手順



第8章 クロック出力／ブザー出力制御回路

8.1 クロック出力／ブザー出力制御回路の機能

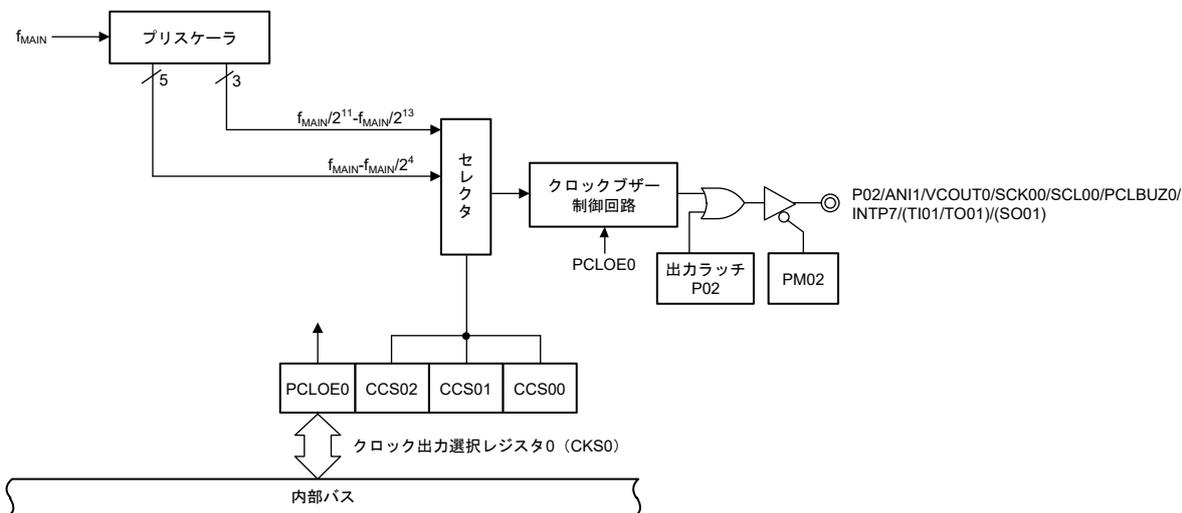
クロック出力は周辺 IC に供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1 つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は、クロック出力選択レジスタ 0 (CKS0) で選択したクロックを出力します。

図 8-1 にクロック出力／ブザー出力制御回路のブロック図を示します。

図 8-1 クロック出力／ブザー出力制御回路のブロック図



注意 1. PCLBUZ0 端子から出力可能な周波数は、「23.4 AC 特性」および「24.4 AC 特性」を参照してください。

備考 この図のクロック出力／ブザー出力端子は、
 16 ピン, 20 ピン製品で PIOR31=0, PIOR30=0、
 10 ピン製品で PIOR30=0
 の場合です。

8.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 8-1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ 0 (CKS0) ポート・モード・レジスタ 0, 4 (PM0, PM4) ポート・レジスタ 0, 4 (P0, P4) ポート・モード・コントロール・レジスタ 0 (PMC0) 周辺 I/O リダイレクション・レジスタ 3 (PIOR3)

8.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- クロック出力選択レジスタ 0 (CKS0)
- ポート・モード・レジスタ 0, 4 (PM0, PM4)
- ポート・モード・コントロール・レジスタ 0 (PMC0)
- 周辺 I/O リダイレクション・レジスタ 3 (PIOR3)

8.3.1 クロック出力選択レジスタ 0 (CKS0)

クロック出力またはブザー周波数出力の端子 (PCLBUZ0) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKS0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 8-2 クロック出力選択レジスタ 0 (CKS0) のフォーマット

アドレス：FFFA5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS0	PCLOE0	0	0	0	0	CCS02	CCS01	CCS00

PCLOE0	PCLBUZ0 端子の出力許可／禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CCS02	CCS01	CCS00		PCLBUZ0 端子の出力クロックの選択				
				f_{MAIN} (MHz)				
				1	5	8	10	16
0	0	0	f_{MAIN}	1MHz	5MHz 注1	8MHz 注1	10MHz 注1	設定禁止 注1
0	0	1	$f_{\text{MAIN}}/2$	500kHz	2.5MHz	4MHz	5MHz 注1	8MHz 注1
0	1	0	$f_{\text{MAIN}}/2^2$	250kHz	1.25MHz	2MHz	2.5MHz	4MHz
0	1	1	$f_{\text{MAIN}}/2^3$	125kHz	625kHz	1MHz	1.25MHz	2MHz
1	0	0	$f_{\text{MAIN}}/2^4$	62.5kHz	312.5kHz	500kHz	625kHz	1MHz
1	0	1	$f_{\text{MAIN}}/2^{11}$	488Hz	2.44kHz	3.91kHz	4.88kHz	7.81kHz
1	1	0	$f_{\text{MAIN}}/2^{12}$	244Hz	1.22kHz	1.95kHz	2.44kHz	3.91kHz
1	1	1	$f_{\text{MAIN}}/2^{13}$	122Hz	610Hz	977Hz	1.22kHz	1.95kHz

注1. 動作電圧範囲によって選択できる出力クロックは異なります。詳しくは、「23.4 AC 特性」および「24.4 AC 特性」を参照してください。

注意 1. 出力クロックの切り替えは、PCLBUZ0 端子の出力禁止 (PCLOE0=0) に設定してから行ってください。

注意 2. STOP モードに移行する場合は、PCLBUZ0 端子を出力禁止 (PCLOE0=0) に設定後、PCLBUZ0 端子の出力クロックの 1.5 クロック以上の時間が経過してから、STOP 命令を実行してください。

備考 f_{MAIN} : メイン・システム・クロック周波数

8.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力制御回路使用時は、クロック出力／ブザー出力端子（PCLBUZ0 端子）と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PM0/PM4）、ポート・レジスタ（P0/P4）、ポート・モード・コントロール・レジスタ 0（PMC0）、周辺 I/O リダイレクション・レジスタ 3（PIOR3））を設定してください。

ポート機能を制御するレジスタの詳細は、「4.3.1 ポート・モード・レジスタ 0, 2, 4, 12（PM0, PM2, PM4, PM12）」、「4.3.2 ポート・レジスタ 0, 2, 4, 12, 13（P0, P2, P4, P12, P13）」、「4.3.5 ポート・モード・コントロール・レジスタ 0, 2（PMC0, PMC2）」、「4.3.6 周辺 I/O リダイレクション・レジスタ 0-3（PIOR0-3）」を参照してください。

PCLBUZ0 端子として使用するときには、対応するポート・モード・レジスタ（PM0）とポート・モード・コントロール・レジスタ 0（PMC0）のビットに 0 を、ポート・レジスタ（P0）とポート・出力モード・レジスタ（POM0）のビットに 0 を設定してください。

詳細は、「4.5.3 使用するポート機能および兼用機能のレジスタ設定例」を参照してください。

下表に PIOR3 レジスタ設定によるクロック出力／ブザー出力端子を示します。

● 16, 20 ピン製品

PIOR31	PIOR30	クロック出力／ブザー出力端子
0	0	P02（初期値）
0	1	P40
1	0	P06

● 10 ピン製品

PIOR30	クロック出力／ブザー出力端子
0	P02（初期値）
1	P40

● 8 ピン製品

クロック出力／ブザー出力端子
P40 端子固定

8.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は、クロック出力選択レジスタ 0 (CKS0) で選択したクロック／ブザーを出力します。

8.4.1 出力端子の動作

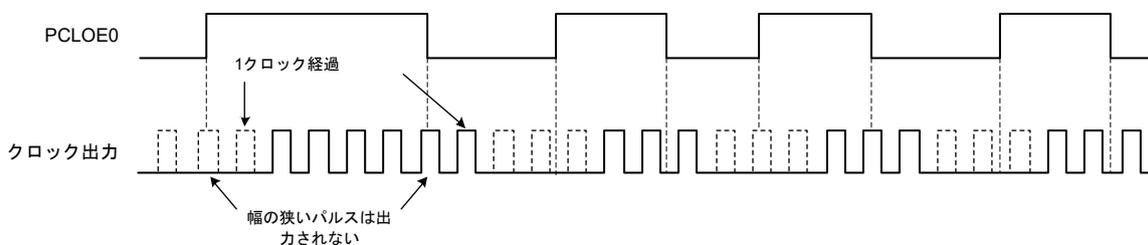
PCLBUZ0 端子は、次の手順で出力します。

1. PCLBUZ0 端子兼用ポートのポート・モード・レジスタ (PM0/PM4)、ポート・レジスタ (P0/P4)、およびポート・モード・コントロール・レジスタ 0 (PMC0) の対応ビットに 0 を設定する。
2. PCLBUZ0 端子のクロック出力選択レジスタ (CKS0) のビット 0-2 (CCS00-CCS02) で出力周波数を選択する (出力は禁止の状態)。
3. CKS0 レジスタのビット 7 (PCLOE0) に 1 を設定し、クロック出力／ブザー出力を許可する。

備考 クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止 (PCLOE0 ビット) を切り替えてから 1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。

PCLOE0 ビットによる出力の許可／停止とクロック出力のタイミングを図 8-3 に示します。

図 8-3 PCLBUZ0 端子からのクロック出力のタイミング



注意 PCLBUZ0 端子を出力禁止 (PCLOE0=0) に設定してから PCLBUZ0 端子の出力クロックの 1.5 クロック以内に STOP モードへ移行すると、PCLBUZ0 端子のクロック出力幅が短くなります。STOP 命令は、PCLBUZ0 端子を出力禁止に設定後、PCLBUZ0 端子の出力クロックの 1.5 クロック以上の時間が経過してから実行してください。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、ユーザ・オプション・バイト (000C0H) でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- WDTE レジスタに“ACH”以外のデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESF レジスタの詳細については「**第16章 リセット機能**」を参照してください。

また、インターバル割り込みは、オーバーフロー時間の約75%到達時に発生します。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 9-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

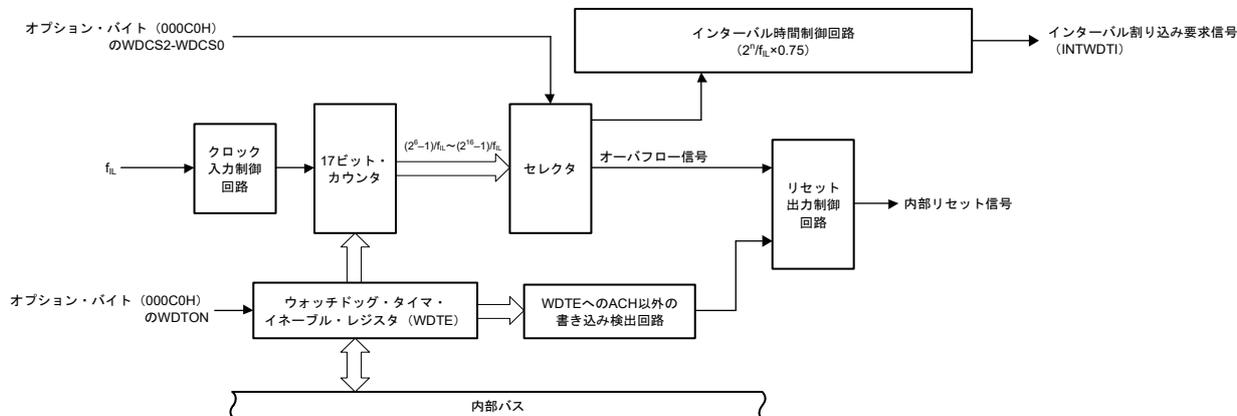
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定を行います。

表 9-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのカウンタ動作制御	ビット 4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット 3-1 (WDSC2- WDSC0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP 時)	ビット 0 (WDSTBYON)

備考 オプション・バイトについては、「第 18 章 オプション・バイト」を参照してください。

図 9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

9.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTE レジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTE レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1AHまたは9AH^{注1}になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH リセット時：1AH/9AH^{注1} R/W

略号	7	6	5	4	3	2	1	0
WDTE								

WDTON ビットの設定値	WDTE レジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注1. WDTE レジスタのリセット値は、オプション・バイト（000C0H）のWDTON ビットの設定値によって異なります。ウォッチドッグ・タイマを動作する場合は、WDTON ビットに1を設定してください。

注意 1. WDTE レジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

注意 2. WDTE レジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意 3. WDTE レジスタのリード値は、“1AH/9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

① ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

- オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、「第18章 オプション・バイト」を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止（リセット解除後、カウンタ停止）
1	カウンタ動作許可（リセット解除後、カウンタ開始）

- オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、「9.4.2 ウォッチドッグ・タイマの時間設定」および「第18章 オプション・バイト」を参照）。

② リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。

③ カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

④ WDTE レジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- WDTE レジスタに1ビット操作命令を使用した場合
- WDTE レジスタに“ACH”以外のデータを書き込んだ場合

注意 1. WDTE レジスタに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 f_{IL} の1クロック短くなる場合があります。

注意 2. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意 3. オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により、HALT および STOP モード時に、ウォッチドッグ・タイマの動作は、次のように異なります。

WDSTBYON=0 : ウォッチドッグ・タイマ動作停止

WDSTBYON=1 : ウォッチドッグ・タイマ動作継続

WDSTBYON=0 の場合、HALT および STOP モード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア（0）して、カウンタ開始します。

STOP モード解除後に $X1$ クロック^{※1}で動作する場合は、CPU は発振安定時間経過後に動作を開始します。そのため、STOP モード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。従って、インターバル割り込みによる STOP モード

解除後に X1 クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

注意 4. WDTON=0, WDSTBYON=1 の設定は禁止です。

注1. 16 ピン, 20 ピン製品のみ

9.4.2 ウォッチドッグ・タイマの時間設定

ウォッチドッグ・タイマのオーバフロー時間とインターバル割り込み時間は、オプション・バイト (000C0H) のビット 3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前に、“ACH” をウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。インターバル割り込みは、オーバフロー時間の約 75%到達時に発生します。

設定可能なオーバフロー時間とインターバル割り込み時間を次に示します。

表 9-3 オーバフロー時間とインターバル割り込み時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマの オーバフロー時間 ($f_{IL}=17.25\text{kHz (MAX.)}$ の場合)	ウォッチドッグ・タイマの インターバル割り込み時間 ($f_{IL}=17.25\text{kHz (MAX.)}$ の場合)
0	0	0	$(2^6 - 1) / f_{IL}$ (3.65ms)	$2^6 / f_{IL} \times 0.75$ (2.78ms)
0	0	1	$(2^7 - 1) / f_{IL}$ (7.36ms)	$2^7 / f_{IL} \times 0.75$ (5.56ms)
0	1	0	$(2^8 - 1) / f_{IL}$ (14.7ms)	$2^8 / f_{IL} \times 0.75$ (11.1ms)
0	1	1	$(2^9 - 1) / f_{IL}$ (29.6ms)	$2^9 / f_{IL} \times 0.75$ (22.2ms)
1	0	0	$(2^{11} - 1) / f_{IL}$ (118ms)	$2^{11} / f_{IL} \times 0.75$ (89.0ms)
1	0	1	$(2^{13} - 1) / f_{IL}$ (474ms)	$2^{13} / f_{IL} \times 0.75$ (356ms)
1	1	0	$(2^{14} - 1) / f_{IL}$ (949ms)	$2^{14} / f_{IL} \times 0.75$ (712ms)
1	1	1	$(2^{16} - 1) / f_{IL}$ (3799ms)	$2^{16} / f_{IL} \times 0.75$ (2849ms)

注意 1. STOP モード解除後に X1 クロック^{※1}で動作する場合は、CPU は発振安定時間経過後に動作を開始します。そのため、STOP モード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。従って、インターバル割り込みによる STOP モード解除後に X1 クロック^{※1}で動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間を考慮してオーバフロー時間を設定してください。

注意 2. INTWDTI 発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に ACH を書き込むまで) カウントを継続します。オーバフロー時間までに ACH が書き込まれない場合は、内部リセット信号を発生します。

注意 3. ウォッチドッグ・タイマのインターバル割り込みは常に発生します。ウォッチドッグ・タイマのインターバル割り込みを使用しない場合は、必ず WDTIMK ビットを 1 に設定して、割り込み処理を禁止してください。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

注1. 16 ピン, 20 ピン製品のみ

第10章 A/D コンバータ

A/D コンバータのアナログ入力チャンネル数は、製品によって異なります。

- 8 ピン製品 : 3 チャンネル (ANI0, ANI2, ANI3)、内部基準電圧^{注1} (0.815V(TYP.))
- 10 ピン製品 : 4 チャンネル (ANI0~ANI3)、内部基準電圧^{注1} (0.815V(TYP.))
- 16 ピン製品 : 7 チャンネル (ANI0~ANI6)、内部基準電圧^{注1} (0.815V(TYP.))
- 20 ピン製品 : 11 チャンネル (ANI0~ANI10)、内部基準電圧^{注1} (0.815V(TYP.))

注1. 内部基準電圧は、A/D コンバータとコンパレータの両方同時に使用できません。A/D コンバータの変換対象に内部基準電圧を選択したときは、コンパレータの基準電圧に内部基準電圧を設定しないでください。

10.1 A/D コンバータの機能

A/D コンバータは、アナログ入力をデジタル値に変換するコンバータで、最大 11 チャンネルのアナログ入力を制御できる構成になっています。A/D コンバータの分解能は、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADTYP ビットにより、10 ビット分解能と 8 ビット分解能を選択できます。

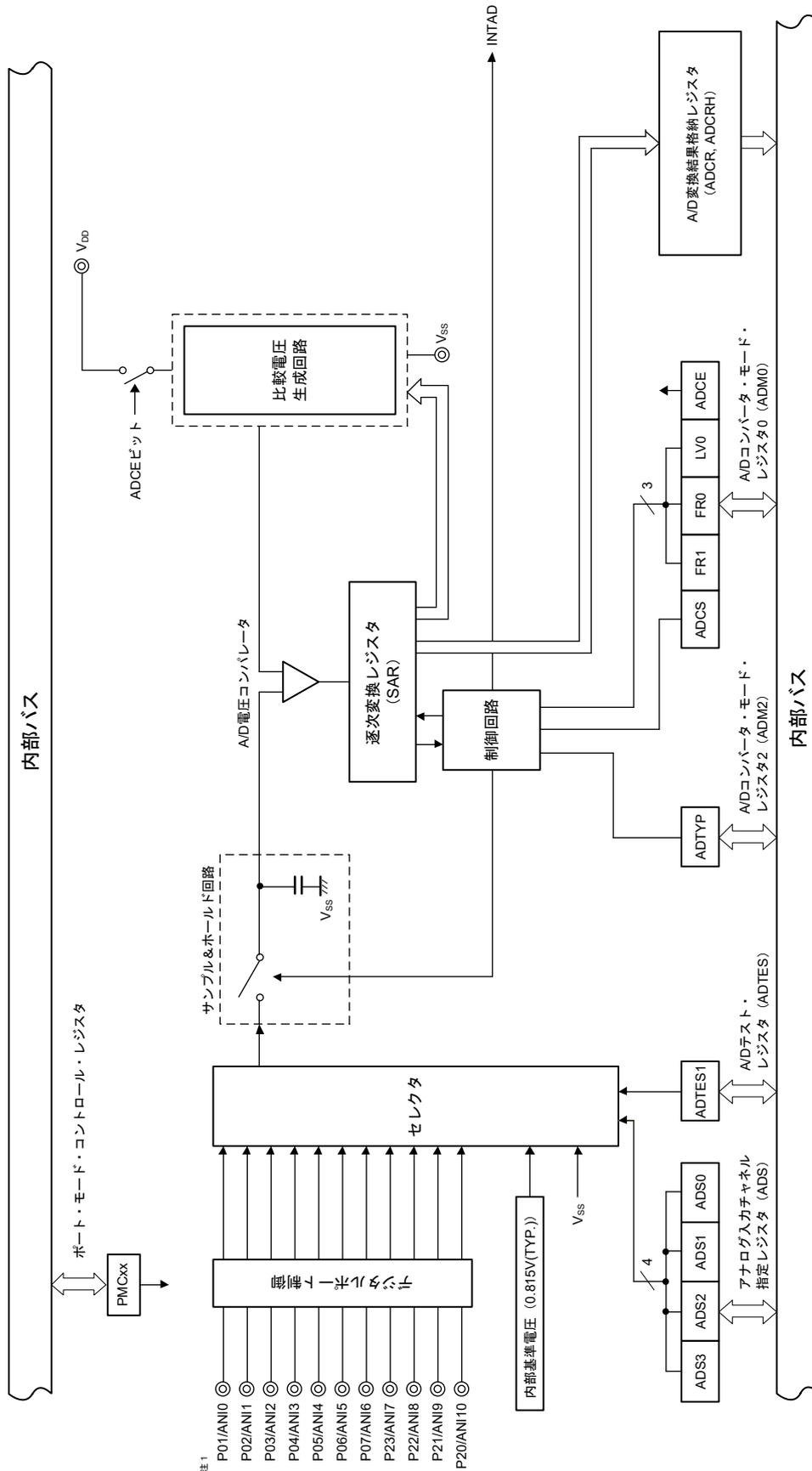
A/D コンバータには、次のような機能があります。

■ 10 ビット/8 ビット分解能 A/D 変換

ANI0~ANI10 からアナログ入力を 1 チャンネル選択し、ソフトウェア操作により 10 ビット/8 ビット分解能の A/D 変換動作を開始します。A/D 変換終了時には、A/D 変換終了割り込み要求信号 (INTAD) を発生します。

A/D コンバータの動作電圧は、2.4V~5.5V です。

図 10-1 A/D コンバータのブロック図



注1. 8ピン製品の場合、AN10、AN12、AN13、10ピン製品の場合、AN10~AN13、16ピン製品の場合、AN10~AN16

10.2 A/D コンバータの構成

A/D コンバータは、次のハードウェアで構成しています。

(1) ANI0~ANI10^{注1}

A/D コンバータの 11 チャンネルのアナログ入力端子です。A/D 変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

A/D コンバータの変換対象は、ANI0~ANI10 のアナログ入力の他に内部基準電圧 (0.815V(TYP.)) を選択することができます。

注1. 8 ピン製品の場合、ANI0, ANI2, ANI3、10 ピン製品の場合、ANI0~ANI3、16 ピン製品の場合、ANI0~ANI6

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を 1 つ 1 つサンプリングし、A/D 電圧コンパレータに送ります。A/D 変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D 電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧を A/D 電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2V_{DD}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2V_{DD}$) より小さい場合には、SAR レジスタの MSB ビットをリセットします。

次に SAR レジスタのビット 8 が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット 9 の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット 9=0 : ($1/4V_{DD}$)

ビット 9=1 : ($3/4V_{DD}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果で SAR レジスタのビット 8 を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット 8=1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット 8=0

このような比較を SAR レジスタのビット 0 まで続けます。

8 ビット分解能で A/D 変換する場合は、SAR レジスタのビット 2 まで続けます。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SAR レジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から 1 ビットずつ設定するレジスタです。

SAR レジスタの最下位ビット (LSB) まで設定すると (A/D 変換終了)、その SAR レジスタの内容 (変換結果) は、A/D 変換結果レジスタ (ADCR) に保持されます。また、A/D 変換が終了すると、A/D 変換終了割り込み要求信号 (INTAD) が発生します。

(6) 10 ビット A/D 変換結果レジスタ (ADCR)

A/D 変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D 変換結果を上位 10 ビットに保持します (下位 6 ビットは 0 に固定)。

(7) 8 ビット A/D 変換結果レジスタ (ADCRH)

A/D 変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D 変換結果の上位 8 ビットを格納します。

(8) 制御回路

A/D 変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D 変換が終了した場合、A/D 変換終了割り込み要求信号 (INTAD) を発生します。

10.3 A/D コンバータで使用するレジスタ

A/D コンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- A/D コンバータ・モード・レジスタ 0 (ADM0)
- A/D コンバータ・モード・レジスタ 2 (ADM2)
- 10 ビット A/D 変換結果レジスタ (ADCR)
- 8 ビット A/D 変換結果レジスタ (ADCRH)
- アナログ入力チャネル指定レジスタ (ADS)
- A/D テスト・レジスタ (ADTES)
- ポート・モード・レジスタ 0, 2 (PM0, PM2)
- ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)

10.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/D コンバータを使用するときは、必ずビット 5 (ADCEN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 10-2 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	CMPEN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

ADCEN	A/D コンバータの入カクロックの制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • A/D コンバータで使用する SFR へのライト不可 • A/D コンバータはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • A/D コンバータで使用する SFR へのリード/ライト可

注意 1. A/D コンバータの設定をする際には、必ず最初に ADCEN=1 の状態で、下記のレジスタを設定してください。ADCEN=0 の場合は、A/D コンバータの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ 0, 2 (PM0, PM2)、ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) は除く）。

- A/D コンバータ・モード・レジスタ 0 (ADM0)
- A/D コンバータ・モード・レジスタ 2 (ADM2)
- 10 ビット A/D 変換結果レジスタ (ADCR)
- 8 ビット A/D 変換結果レジスタ (ADCRH)
- アナログ入力チャネル指定レジスタ (ADS)
- A/D テスト・レジスタ (ADTES)

注意 2. ビット 1, 3 には必ず“0”を設定してください。

10.3.2 A/D コンバータ・モード・レジスタ 0 (ADM0)

A/D 変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 10-3 A/D コンバータ・モード・レジスタ 0 (ADM0) のフォーマット

アドレス : FFF30H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	0	0	FR1 ^{注1}	FR0 ^{注1}	0	LV0 ^{注1}	ADCE
ADCS	A/D 変換動作の制御							
0	変換動作停止 (変換停止状態/変換待機状態)							
1	変換動作許可 (変換動作状態)							
<クリア条件>								
<ul style="list-style-type: none"> • ADCS=0 ライトした場合 • A/D 変換終了時に自動的に“0”にクリア 								
<セット条件>								
<ul style="list-style-type: none"> • ADCE=1 のときに、ADCS=1 ライトした場合 								
ADCE	A/D 電圧コンパレータの動作制御 ^{注2}							
0	A/D 電圧コンパレータの動作停止							
1	A/D 電圧コンパレータの動作許可							

注1. FR1, FR0, LV0 ビットおよび A/D 変換に関する詳細は、「表 10-2 10 ビット分解能 A/D 変換時間の選択」または「表 10-3 8 ビット分解能 A/D 変換時間の選択」を参照してください。

注2. A/D 電圧コンパレータは ADCS ビットと ADCE ビットで動作制御され、動作開始から安定するまでに、0.125 μ s かかります。このため、ADCE ビットをセット (1) してから 0.125 μ s 以上経過したあとに、ADCS ビットをセット (1) することで、最初の変換データより有効となります。0.125 μ s 以上ウエイトしないで ADCS ビットをセット (1) して A/D 変換した場合は、変換データを無視してください。

注意 1. FR1, FR0, LV0 ビットを書き換える場合は、変換待機状態 (ADCS=0、ADCE=1) もしくは変換停止状態 (ADCS=0、ADCE=0) のときに行ってください。また、FR1, FR0, LV0 ビットと ADCS ビットの書き換えを 8 ビット操作命令で同時に行うことは禁止します。

注意 2. ADCS=1、ADCE=0 の設定は禁止です。変換停止状態 (ADCS=0、ADCE=0) のときに、ADCS ビットに“1”を書き込んでもセット (1) されません。

注意 3. ADCS=0、ADCE=0 の設定状態から 8 ビット操作命令で ADCS=1、ADCE=1 に設定することは禁止します。必ず「10.7 A/D コンバータの設定フロー・チャート」に従ってください。

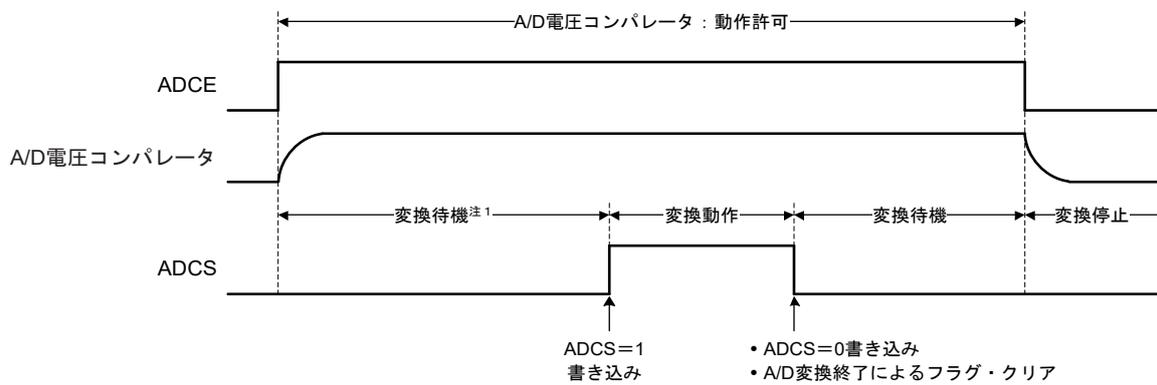
注意 4. ビット 2, 5, 6 には必ず“0”を設定してください。

注意 5. 変換動作状態 (ADCS=1) で、ADCS を再びセット (1) することは禁止です。変換動作状態 (ADCS=1) で、同じチャンネルの再変換が必要な場合は、いったん変換動作を停止 (ADCS=0) してから、再度 A/D 変換動作を開始 (ADCS=1) してください。

表 10-1 ADCS ビットと ADCE ビットの設定

ADCS	ADCE	A/D 変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

図 10-4 A/D 電圧コンパレータ使用時のタイミング・チャート



注1. A/D 電圧コンパレータの動作を許可 (ADCE=1) してから A/D 変換の動作を開始 (ADCS=1) するまで、内部回路安定のため、0.125 μ s 以上のウエイトが必要です。0.125 μ s 以上ウエイトしないで ADCS ビットに 1 を設定した場合は、最初の変換データを無視してください。

表 10-2 10 ビット分解能 A/D 変換時間の選択

A/D コンバータ・モード・レジスタ 0 (ADM0)			変換クロック	変換クロック数	変換時間	変換時間の選択例 (μs)				
FR1	FR0	LV0 注2				f _{CLK} = 1MHz	f _{CLK} = 4MHz	f _{CLK} = 8MHz	f _{CLK} = 10MHz	f _{CLK} = 16MHz
0	0	0	f _{CLK} /8	23f _{AD} (サンプリング・クロック数 : 9f _{AD})	184/f _{CLK}	設定禁止	設定禁止	23.0	18.4	11.5
0	1		f _{CLK} /4		92/f _{CLK}	設定禁止	23.0	11.5	9.2	5.75
1	0		f _{CLK} /2		46/f _{CLK}	設定禁止	11.5	5.75	設定禁止	設定禁止
1	1		f _{CLK}		23/f _{CLK}	23.0	5.75	設定禁止		
0	0	1注1	f _{CLK} /8	17f _{AD} (サンプリング・クロック数 : 3f _{AD})	136/f _{CLK}	設定禁止	設定禁止	17.0	13.6	8.5
0	1		f _{CLK} /4		68/f _{CLK}	設定禁止	17.0	8.5	6.8	4.25
1	0		f _{CLK} /2		34/f _{CLK}	設定禁止	8.5	4.25	設定禁止	設定禁止
1	1		f _{CLK}		17/f _{CLK}	17.0	4.25	設定禁止		

注1. 2.4V ≤ V_{DD} < 2.7V では設定禁止です。2.7V ≤ V_{DD} ≤ 5.5V の場合に選択できます。

注2. A/D コンバータの変換対象に内部基準電圧を選択するときは、必ず LV0 ビットに 0 を設定してください。

表 10-3 8 ビット分解能 A/D 変換時間の選択

A/D コンバータ・モード・レジスタ 0 (ADM0)			変換クロック	変換クロック数	変換時間	変換時間の選択例 (μs)				
FR1	FR0	LV0 注2				f _{CLK} = 1MHz	f _{CLK} = 4MHz	f _{CLK} = 8MHz	f _{CLK} = 10MHz	f _{CLK} = 16MHz
0	0	0	f _{CLK} /8	21f _{AD} (サンプリング・クロック数 : 9f _{AD})	168/f _{CLK}	設定禁止	設定禁止	21.0	16.8	10.5
0	1		f _{CLK} /4		84/f _{CLK}	設定禁止	21.0	10.5	8.4	5.25
1	0		f _{CLK} /2		42/f _{CLK}	設定禁止	10.5	5.25	設定禁止	設定禁止
1	1		f _{CLK}		21/f _{CLK}	21.0	5.25	設定禁止		
0	0	1注1	f _{CLK} /8	15f _{AD} (サンプリング・クロック数 : 3f _{AD})	120/f _{CLK}	設定禁止	設定禁止	15.0	12.0	7.5
0	1		f _{CLK} /4		60/f _{CLK}	設定禁止	15.0	7.5	6.0	3.75
1	0		f _{CLK} /2		30/f _{CLK}	設定禁止	7.5	3.75	設定禁止	設定禁止
1	1		f _{CLK}		15/f _{CLK}	15.0	設定禁止	設定禁止		

注1. 2.4V ≤ V_{DD} < 2.7V では設定禁止です。2.7V ≤ V_{DD} ≤ 5.5V の場合に選択できます。

注2. A/D コンバータの変換対象に内部基準電圧を選択するときは、必ず LV0 ビットに 0 を設定してください。

注意 1. A/D 変換時間は、「23.6.1 A/D コンバータ特性」または「24.6.1 A/D コンバータ特性」に示す変換時間 (t_{CONV}) の範囲内で使用してください。

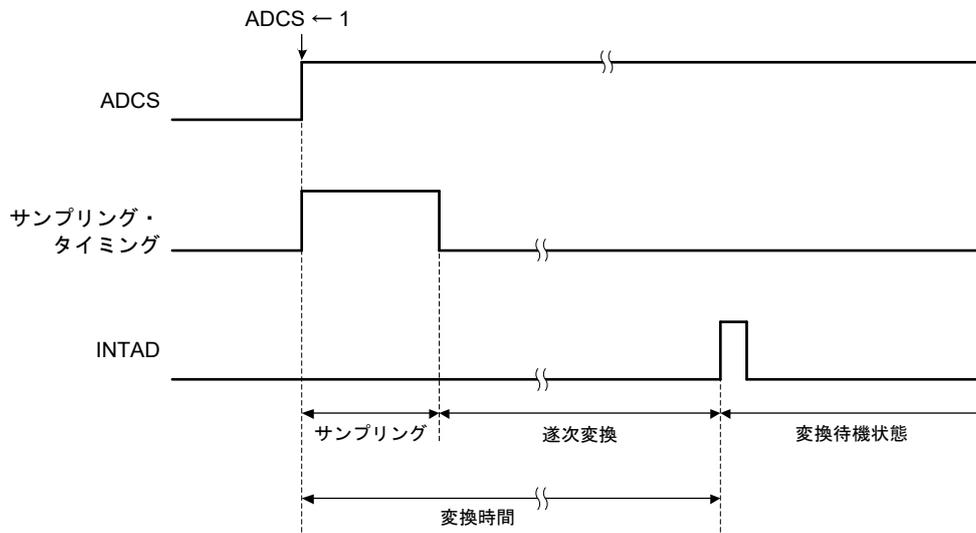
注意 2. A/D コンバータの変換対象に内部基準電圧を選択した場合は、コンパレータの基準電圧には内部基準電圧を使用できません。

注意 3. FR1, FR0, LV0 ビットを同一データ以外に書き換える場合は、変換待機状態 (ADCS=0, ADCE=1) もしくは変換停止状態 (ADCS=0, ADCE=0) のときに行ってください。また、FR1, FR0, LV0 ビットと ADCS ビットの書き換えを 8 ビット操作命令で同時に行うことは禁止します。

注意 4. 変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

図 10-5 A/D コンバータのサンプリングと A/D 変換のタイミング



10.3.3 A/D コンバータ・モード・レジスタ 2 (ADM2)

A/D コンバータの分解能を設定するレジスタです。

ADM2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 10-6 A/D コンバータ・モード・レジスタ 2 (ADM2) のフォーマット

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	<input type="checkbox"/>
ADM2	0	0	0	0	0	0	0	ADTYP

ADTYP	A/D 変換分解能の選択
0	10 ビット分解能
1	8 ビット分解能

注意 ADM2 レジスタを書き換える場合は、必ず変換停止状態 (ADCS=0, ADCE=0) のときに行ってください。

10.3.4 10 ビット A/D 変換結果レジスタ (ADCR)

A/D 変換結果を保持する 16 ビットのレジスタです。下位 6 ビットは“0”固定です。A/D 変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。変換結果の上位 8 ビットが FFF1FH に、下位 2 ビットが FFF1EH の上位 2 ビットに格納されます。

ADCR レジスタは、16 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図 10-7 10 ビット分解能の場合の A/D 変換結果の格納

アドレス : FFF1FH, FFF1EH リセット時 : 0000H R

		FFF1FH								FFF1EH							
略号		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR		ADCR	ADCR	ADCR	ADCR	ADCR	ADCR	ADCR	ADCR	ADCR	ADCR	0	0	0	0	0	0
		9	8	7	6	5	4	3	2	1	0						

- 注意 1.** A/D コンバータ・モード・レジスタ 0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCR/ADCRH レジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS レジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。
- 注意 2.** 8 ビット分解能 A/D 変換を選択時 (A/D コンバータ・モード・レジスタ 2 (ADM2) の ADTYP=1) に ADCR レジスタを読み出すと、下位 2 ビット (ADCR1, ADCR0) は 0 が読み出されます。ただし、8 ビット分解能 A/D 変換を選択直後、A/D 変換を完了せずに ADCR レジスタを読み出した場合、下位 2 ビット (ADCR1, ADCR0) は 0 が読み出されない場合があります。

10.3.5 8 ビット A/D 変換結果レジスタ (ADCRH)

A/D 変換結果を保持する 8 ビットのレジスタです。A/D 変換が終了すると、逐次変換レジスタ (SAR) から変換結果がロードされます。10 ビット分解能の場合は、上位 8 ビットを格納します。

ADCRH レジスタは、8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00H になります。

図 10-8 8 ビット A/D 変換結果レジスタ (ADCRH) のフォーマット

アドレス : FFF1FH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ADCRH	ADCR9	ADCR8	ADCR7	ADCR6	ADCR5	ADCR4	ADCR3	ADCR2

注意 A/D コンバータ・モード・レジスタ 0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCR/ADCRH レジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS レジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

10.3.6 アナログ入力チャネル指定レジスタ (ADS)

A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 10-9 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

ADS3	ADS2	ADS1	ADS0	A/D 変換対象	アナログ入力端子
0	0	0	0	ANI0	P01/ANI0 端子
0	0	0	1	ANI1	P02/ANI1 端子
0	0	1	0	ANI2	P03/ANI2 端子
0	0	1	1	ANI3	P04/ANI3 端子
0	1	0	0	ANI4	P05/ANI4 端子
0	1	0	1	ANI5	P06/ANI5 端子
0	1	1	0	ANI6	P07/ANI6 端子
0	1	1	1	ANI7	P23/ANI7 端子
1	0	0	0	ANI8	P22/ANI8 端子
1	0	0	1	ANI9	P21/ANI9 端子
1	0	1	0	ANI10	P20/ANI10 端子
1	1	0	1	内部基準電圧 (0.815V(TYP.)) ^{注1}	—
上記以外				設定禁止	

注1. A/D コンバータの変換対象に内部基準電圧を選択するときは、A/D コンバータ・モード・レジスタ 0 (ADM0) の LV0 ビットを必ず 0 にしてください。

注意 1. ADS レジスタを書き換える場合は、変換待機状態 (ADCS=0, ADCE=1) もしくは変換停止状態 (ADCS=0, ADCE=0) のときに行ってください。

注意 2. アナログ入力ポートとして使用するポートは、ポート・モード・レジスタ 0, 2 (PM0, PM2) で入力モードに、ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) でアナログ入力に選択してください。ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。

注意 3. 内部基準電圧は、A/D コンバータとコンパレータの両方同時に使用できません。A/D コンバータの変換対象に内部基準電圧を選択 (ADS3-ADS0=1101B) 時は、コンパレータの基準電圧に内部基準電圧を設定できません。

注意 4. ビット 4-7 には必ず "0" を設定してください。

10.3.7 A/D テスト・レジスタ (ADTES)

A/D 変換するアナログ入力に V_{SS} を選択するレジスタです。A/D 変換対象に内部基準電圧 (0.815V(TYP.)) を選択する場合、内部基準電圧の A/D 変換前にサンプリング・コンデンサをディスチャージ変換する必要があります。ADTES レジスタの ADTES1 ビットをセット (1) して、1 回 A/D 変換を行ってください。

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 10-10 A/D テスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	0

ADTES1	A/D 変換対象の選択
0	ANIX/内部基準電圧 (0.815V(TYP.)) (アナログ入力チャンネル指定レジスタ (ADS) で設定)
1	V_{SS} (サンプリング・コンデンサのディスチャージ変換)

注意 内部基準電圧 (0.815V(TYP.)) を A/D 変換する場合、「10.7.2 A/D 変換対象 : 内部基準電圧の設定」の手順に従ってサンプリング・コンデンサのディスチャージ変換を 1 回行ってください。

備考 ビット 0, 2~7 には必ず“0”を設定してください。

10.3.8 アナログ入力端子のポート機能を制御するレジスタ

A/D コンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ 0, 2 (PM0, PM2)、ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)) を設定してください。詳細は、「4.3.1 ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12)」、「4.3.5 ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)」を参照してください。

また、A/D コンバータのアナログ入力端子として使用するときの設定例は、「4.5.3 使用するポート機能および兼用機能のレジスタ設定例」を参照してください。

ANI0-ANI10 端子を A/D コンバータのアナログ入力として使用するときには、各ポートに対応するポート・モード・レジスタ 0, 2 (PM0, PM2) とポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) のビットに 1 を設定してください。

10.4 A/D コンバータの変換動作

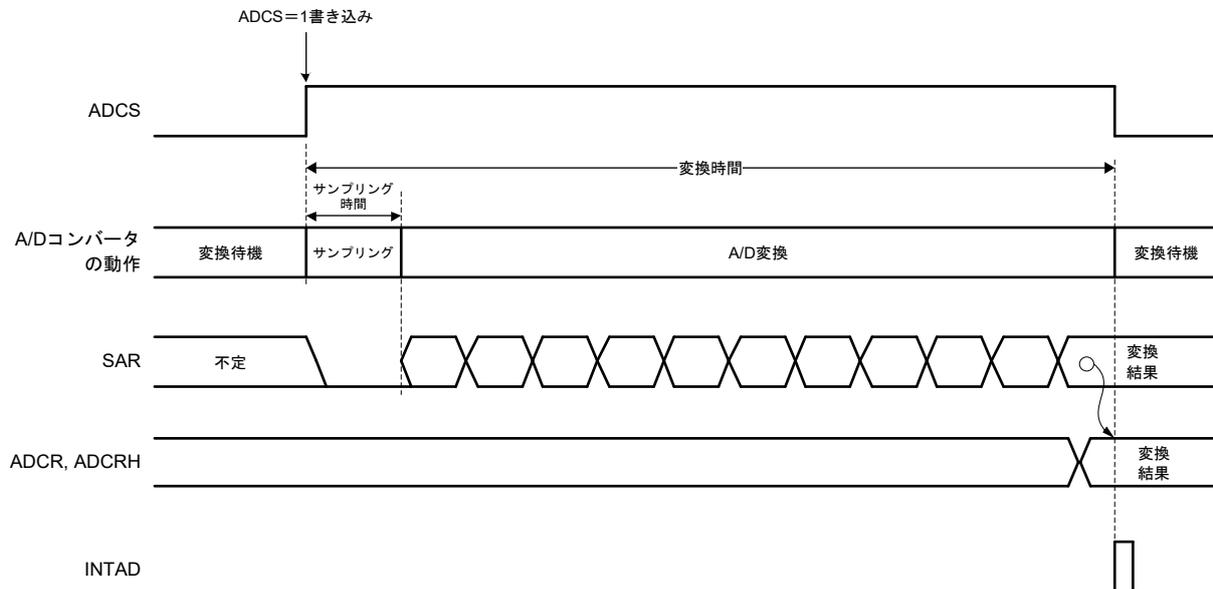
A/D コンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧を A/D 変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 9 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2) V_{DD}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力 $(1/2) V_{DD}$ よりも大きければ、SAR レジスタの MSB ビットをセットしたままです。また、 $(1/2) V_{DD}$ よりも小さければ、MSB ビットはリセットします。
- ⑤ 次に SAR レジスタのビット 8 が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット 9 の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ビット 9=1 : $(3/4) V_{DD}$
 - ビット 9=0 : $(1/4) V_{DD}$この電圧タップとサンプリングされた電圧を比較し、その結果で SAR レジスタのビット 8 を次のように操作します。
 - サンプリングされた電圧 \geq 電圧タップ : ビット 8=1
 - サンプリングされた電圧 $<$ 電圧タップ : ビット 8=0
- ⑥ このような比較を SAR レジスタのビット 0 まで続けます。
- ⑦ 10 ビットの比較が終了したとき、SAR レジスタには有効なデジタルの結果が残り、その値が A/D 変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。
同時に、A/D 変換終了割り込み要求信号 (INTAD) が発生します。
A/D 変換終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態になります。

備考 A/D 変換結果レジスタは 2 種類あります。

- ADCR レジスタ (16 ビット) : 10 ビットの A/D 変換値を格納します。
- ADCRH レジスタ (8 ビット) : 8 ビットの A/D 変換値を格納します。

図 10-11 A/D コンバータの変換動作（ソフトウェア・トリガ・モード）



A/D 変換動作は、ソフトウェア操作により A/D コンバータ・モード・レジスタ 0 (ADM0) のビット 7 (ADCS) をセット (1) して、1 回変換動作が行われます。A/D 変換終了後に ADCS ビットが自動的にクリア (0) されます。

A/D 変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により 0000H また 00H となります。

10.5 入力電圧と変換結果

アナログ入力（ANI0-ANI10, 内部基準電圧）に入力されたアナログ入力電圧と理論上の A/D 変換結果（10 ビット A/D 変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{V_{DD}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

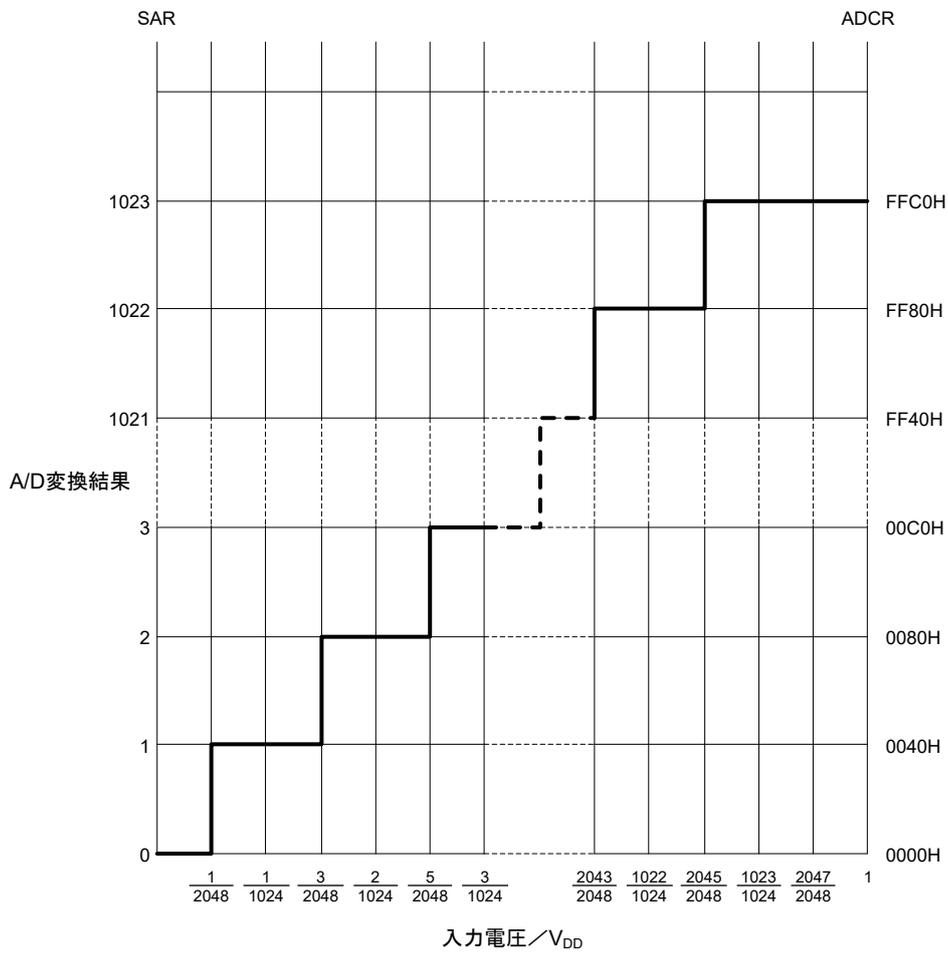
または、

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{V_{DD}}{1024} \leq V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{V_{DD}}{1024}$$

- INT () : () 内の値の整数部を返す関数
V_{AIN} : アナログ入力電圧
ADCR : A/D 変換結果レジスタ（ADCR）の値
SAR : 逐次変換レジスタ

図 10-12 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 10-12 アナログ入力電圧と A/D 変換結果の関係



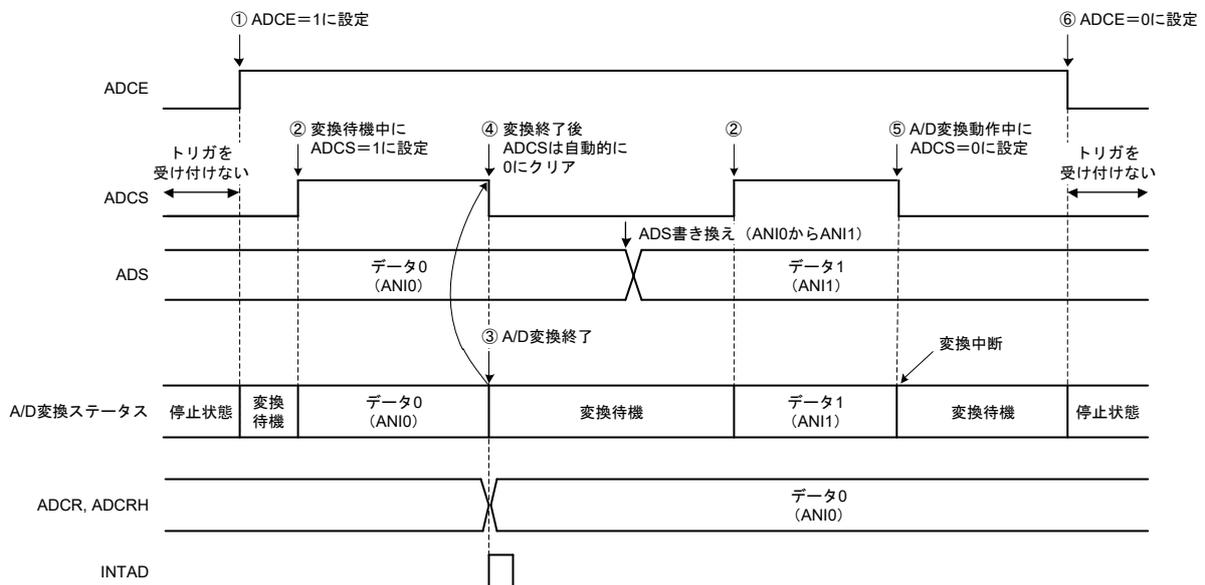
10.6 A/D コンバータの動作モード

A/D コンバータの動作を次に示します。また、設定手順を「10.7 A/D コンバータの設定フロー・チャート」に示します。

- ① 変換停止状態で、A/D コンバータ・モード・レジスタ 0 (ADM0) の ADCE=1 に設定して、変換待機状態になります。
- ② ソフトウェアで安定待ち時間 (0.125 μ s) をカウント後、ADM0 レジスタの ADCS=1 に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力の A/D 変換が開始されます。
- ③ A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR, ADCRH) に格納され、A/D 変換終了割り込み要求信号 (INTAD) が発生します。
- ④ A/D 変換終了後、ADCS ビットは自動的に 0 にクリアされ、変換待機状態となります。
- ⑤ 変換動作中に ADCS=0 に設定すると、現在の A/D 変換は中断され、変換待機状態となります。
- ⑥ 変換待機中に ADCE=0 に設定すると、A/D コンバータは変換停止状態になります。

ADCS=1, ADCE=0 の設定は禁止です。変換停止状態 (ADCS=0, ADCE=0) のときに、ADCS=1 に設定しても無視され、A/D 変換は開始しません。

図 10-13 動作タイミング例

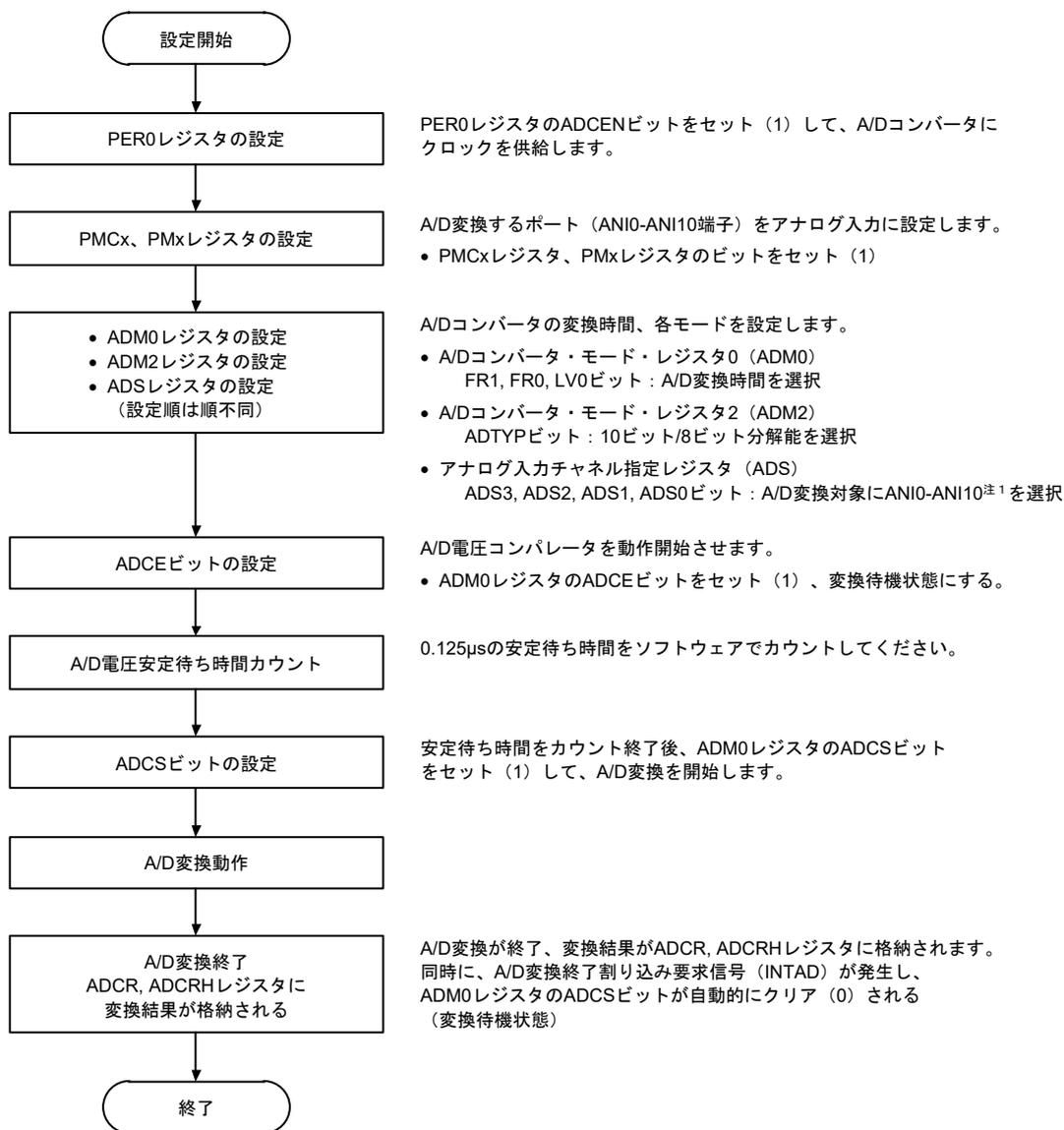


10.7 A/D コンバータの設定フロー・チャート

A/D コンバータの設定フロー・チャートを次に示します。

10.7.1 A/D 変換対象：ANI0-ANI10 の設定

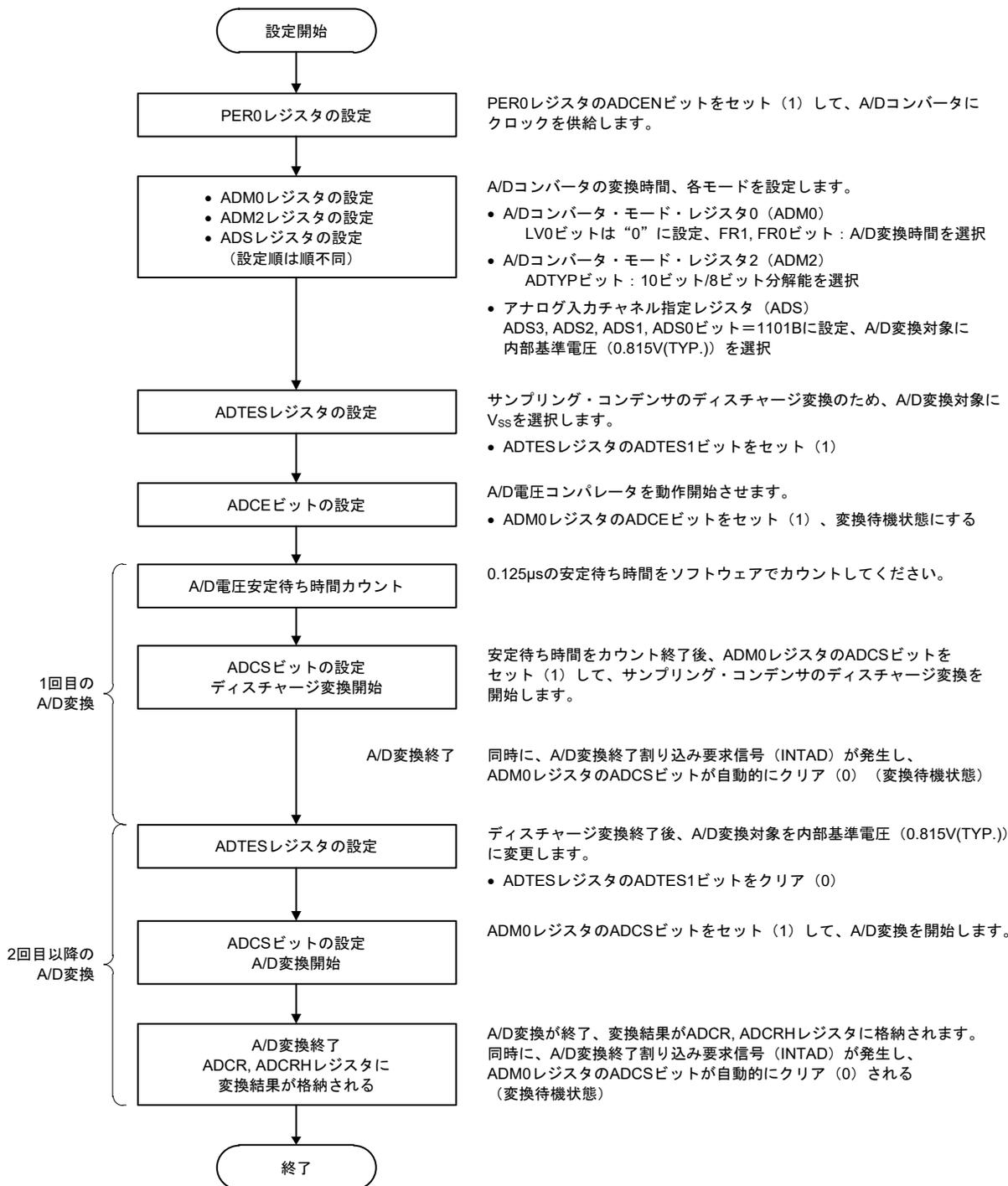
図 10-14 A/D 変換対象：ANI0-ANI10 の設定



注1. 8ピン製品の場合、ANI0, ANI2, ANI3、
10ピン製品の場合、ANI0~ANI3、
16ピン製品の場合、ANI0~ANI6

10.7.2 A/D 変換対象：内部基準電圧の設定

図 10-15 A/D 変換対象：内部基準電圧の設定



10.8 A/D コンバータ特性表の読み方

A/D コンバータに特有な用語について説明します。

10.8.1 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力 1 ビットあたりのアナログ入力電圧の比率を 1LSB (Least Significant Bit) といいます。1LSB のフルスケールに対する比率を %FSR (Full Scale Range) で表します。

分解能 10 ビットのとき

$$\begin{aligned}1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\%\text{FSR}\end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

10.8.2 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

10.8.3 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/D コンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図 10-16 総合誤差

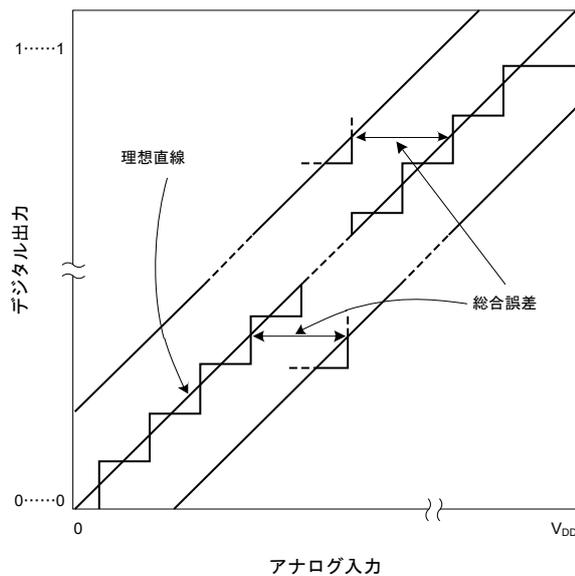
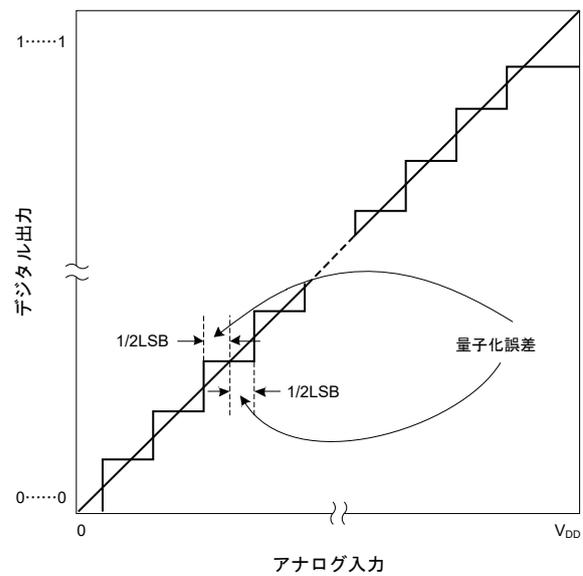


図 10-17 量子化誤差



10.8.4 ゼロスケール誤差

デジタル出力が $0\cdots\cdots 000$ から $0\cdots\cdots 001$ に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2\text{LSB}$) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が $0\cdots\cdots 001$ から $0\cdots\cdots 010$ に変化するときの、アナログ入力電圧の実測値と理論値 ($3/2\text{LSB}$) との差を表します。

10.8.5 フルスケール誤差

デジタル出力が $1\cdots\cdots 110$ から $1\cdots\cdots 111$ に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール $-3/2\text{LSB}$) との差を表します。

10.8.6 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

10.8.7 微分直線性誤差

理想的にはあるコードを出力する幅は 1LSB ですが、あるコードを出力する幅の実測値と理想値との差を表します。

図 10-18 ゼロスケール誤差

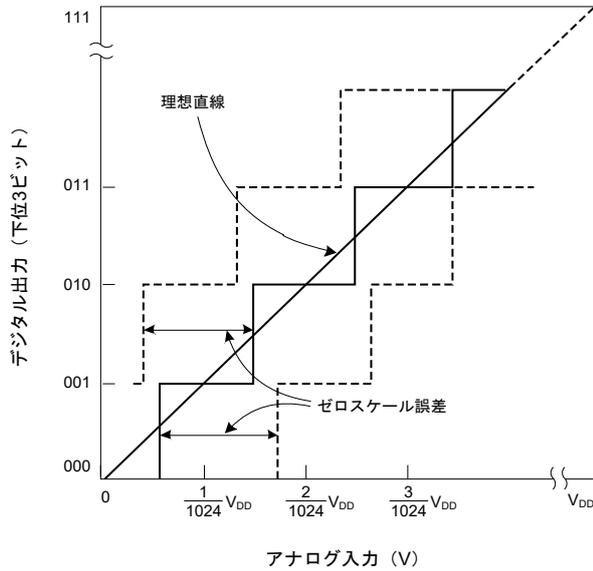


図 10-19 フルスケール誤差

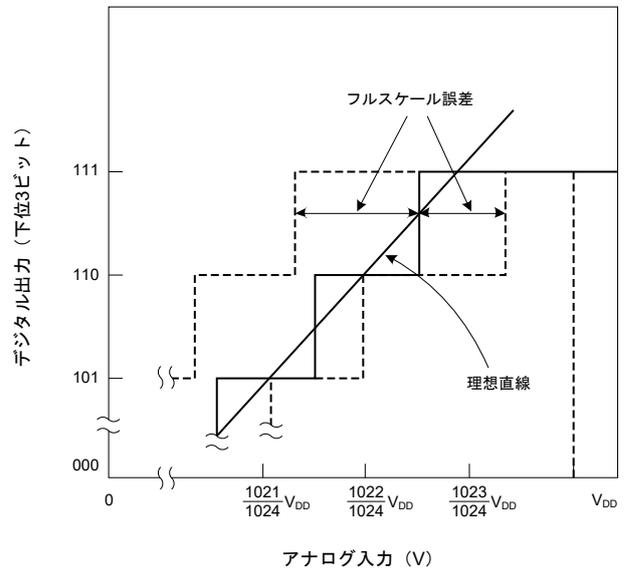


図 10-20 積分直線性誤差

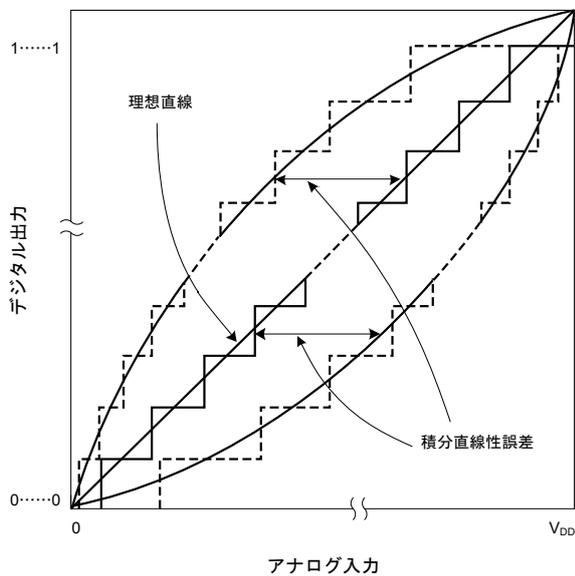
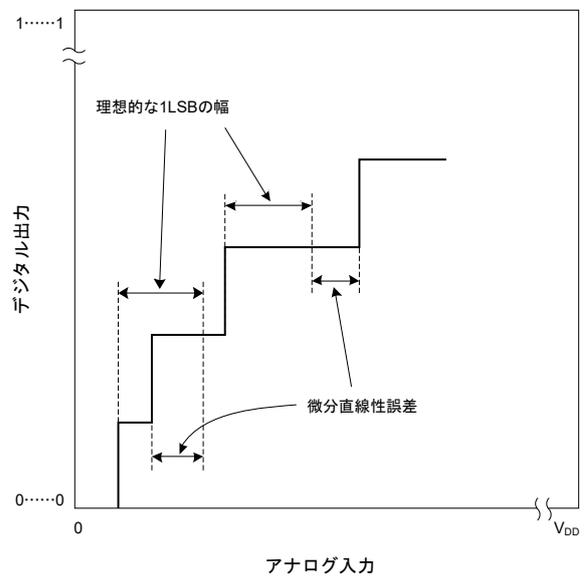


図 10-21 微分直線性誤差



10.8.8 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

10.8.9 サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.9 A/D コンバータの注意事項

10.9.1 STOP モード時の動作電流について

STOP モードに移行する場合は、A/D コンバータを停止（A/D コンバータ・モード・レジスタ 0（ADM0）のビット 7（ADCS）を 0）させてから移行してください。このとき ADM0 レジスタのビット 0（ADCE）も 0 にすることにより、動作電流を低減できます。

10.9.2 ANI0-ANI10 端子の入力電圧について

ANI0-ANI10 端子の入力電圧は、規格の範囲内でご使用ください。特に V_{DD} を超えたり、 V_{SS} 未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

10.9.3 競合動作について

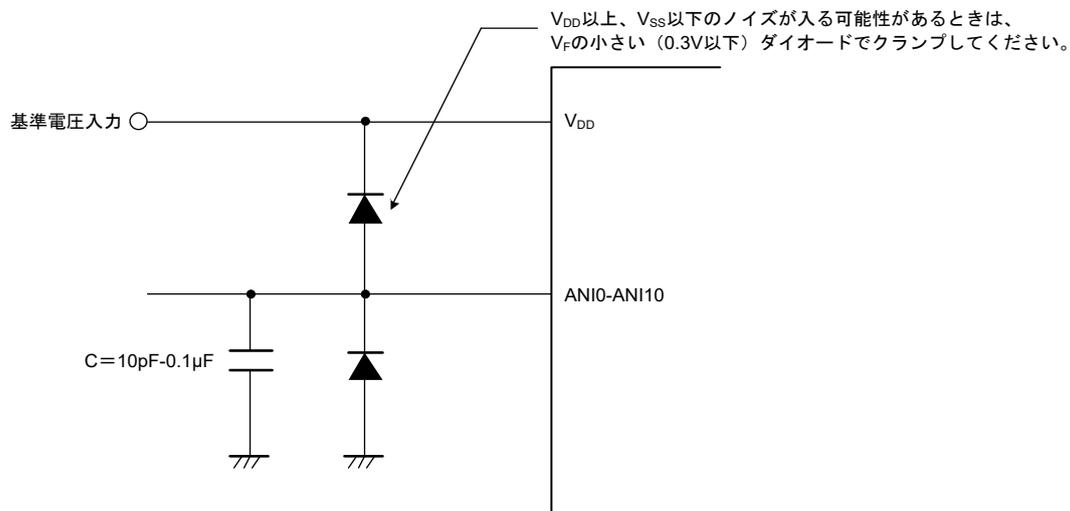
- (1) 変換終了時の A/D 変換結果レジスタ（ADCR, ADCRH）へのライトと、ソフトウェア操作による ADCR, ADCRH レジスタのリードが競合した場合は、ADCR, ADCRH レジスタのリードが優先されます。
リードしたあと、新しい変換結果が ADCR, ADCRH レジスタにライトされます。
- (2) 変換終了時の ADCR, ADCRH レジスタへのライトと、A/D コンバータ・モード・レジスタ 0（ADM0）へのライトが競合した場合は、ADM0 レジスタへのライトが優先されます。ADCR, ADCRH レジスタへのライトはされません。また、A/D 変換終了割り込み要求信号（INTAD）も発生しません。

10.9.4 ノイズ対策について

10 ビット分解能を保つためには、 V_{DD} , ANI0-ANI10 端子へのノイズに注意する必要があります。

- (1) 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。
- (2) アナログ入力源の出カインピーダンスが高いほど影響が大きくなるので、ノイズを低減するために図 10-22 のように、C を外付けすることを推奨します。
- (3) 変換中においては、他の端子をスイッチングしないようにしてください。
- (4) 変換開始直後に HALT モードに設定すると、精度が向上します。

図 10-22 アナログ入力端子の処理



10.9.5 アナログ入力 (ANIn) 端子

- (1) アナログ入力 (ANI0-ANI10^{注1}) 端子は、入力ポート (P01-P07^{注2}、P20-P23^{注2}) 端子と兼用になっています。ANI0-ANI10 端子のいずれかを選択して A/D 変換をする場合、変換中に P01-P07^{注2}、P20-P23^{注2} の兼用ポートへの出力値を変更しないでください。変換精度が低下することがあります。
- (2) A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによって A/D 変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

注1. 8 ピン製品の場合、ANI0, ANI2, ANI3、
10 ピン製品の場合、ANI0-ANI3、
16 ピン製品の場合、ANI0-ANI6

注2. 8 ピン製品の場合、P01, P03, P04、
10 ピン製品の場合、P01-P04、
16 ピン製品の場合、P01-P07

10.9.6 アナログ入力 (ANIn) 端子の入カインピーダンスについて

この A/D コンバータでは、サンプリング時間内に内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけ流れ、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを 1kΩ 以下にし、出カインピーダンスが高いときは、ANI0-ANI10^{注1} 端子とグラウンドの間に 0.1μF 程度のコンデンサを付けることを推奨します (図 10-22 参照)。

注1. 8 ピン製品の場合、ANI0, ANI2, ANI3、
10 ピン製品の場合、ANI0-ANI3、
16 ピン製品の場合、ANI0-ANI6

10.9.7 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) を変更しても、割り込み要求フラグ (ADIF) はクリア (0) されません。A/D 変換を一度停止させて再開する場合は、再開する前に ADIF フラグをクリア (0) してください。

10.9.8 A/D 変換スタート直後の変換結果について

ADCE ビット=1 にしてから、0.125μs 以内に ADCS ビット=1 にした場合、A/D 変換動作をスタートした直後の A/D 変換値は定格を満たさないことがあります。A/D 変換終了割り込み要求信号 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

10.9.9 A/D 変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/D コンバータ・モード・レジスタ 0 (ADM0)、アナログ入力チャンネル指定レジスタ (ADS)、ポート・モード・コントロール・レジスタ (PMCx) に書き込みを行うと、ADCR, ADCRH レジスタの内容が不定となって、正しい変換結果が読み出されることがあります。変換動作終了後、ADM0, ADS, PMCx レジスタに書き込みをする前に、変換結果を読み出してください。

10.9.10 内部等価回路について

アナログ入力部の等価回路を次に示します。

図 10-23 ANIn 端子内部等価回路

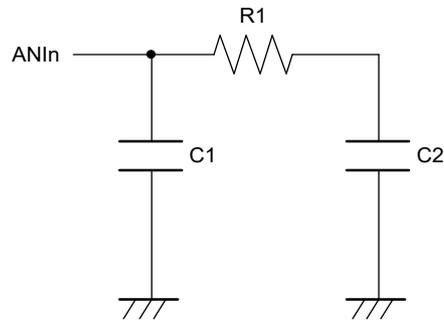


表 10-4 等価回路の各抵抗と容量値

V_{DD}	端子	R1 (k Ω)	C1 (pF)	C2 (pF)
$2.7V \leq V_{DD} \leq 5.5V$	ANI0-ANI10 注1	40	8	1.7
$2.4V \leq V_{DD} < 2.7V$	ANI0-ANI10 注1	200		

注1. 8ピン製品の場合、ANI0, ANI2, ANI3、
10ピン製品の場合、ANI0-ANI3、
16ピン製品の場合、ANI0-ANI6

備考 各抵抗と容量値は保証値ではありません。

10.9.11 A/D コンバータの動作開始について

A/D コンバータの動作は、 V_{DD} の電圧が安定してから開始してください。

第11章 コンパレータ

注意 16, 10, 8 ピン製品には、コンパレータを 1 チャンネルのみ搭載しています。20 ピン製品には、コンパレータを 2 チャンネル搭載しています。この章では、以降の主な説明を 20 ピン製品の場合で説明しています。

11.1 コンパレータの機能

コンパレータには、次のような機能があります。

- コンパレータ応答速度を選択できます。
コンパレータ高速モード：応答遅延時間が短くなりますが、消費電力は大きくなります。
コンパレータ低速モード：応答遅延時間が長くなりますが、消費電力は小さくなります。
- コンパレータの基準電圧は、外部基準電圧入力／内部基準電圧^{注1} (0.815V(TYP.)) を選択できます。
- ノイズ除去用にデジタル・フィルタを搭載、ノイズの除去幅を選択できます。
- コンパレータ出力を反転／非反転して、VCOUTn 端子から出力できます。
- コンパレータ出力の有効エッジを検出して、割り込み (INTCMPn) を発生できます。

注1. 内部基準電圧は、A/D コンバータとコンパレータの両方同時には使用できません。コンパレータの基準電圧に内部基準電圧を選択したときは、A/D コンバータの変換対象に内部基準電圧を設定しないでください。

備考 n=0, 1

11.2 コンパレータの構成

コンパレータは、次のハードウェアで構成しています。

(1) IVCMPn 端子

コンパレータのアナログ入力端子です。コンパレータで比較するアナログ信号を入力します。

備考 n=0, 1

(2) IVREFn 端子

基準電圧を外部から供給する入力端子です。コンパレータの基準電圧と IVCMPn 端子に入力されるアナログ入力を比較します。

コンパレータの基準電圧には、外部から IVREFn 端子に供給するほかに、内部基準電圧 (0.815V(TYP.)) を選択することもできます。

コンパレータの基準電圧の設定は、「11.3.2 コンパレータモード設定レジスタ (COMPMDR)」を参照してください。

備考 n=0, 1

(3) VCOUTn 端子

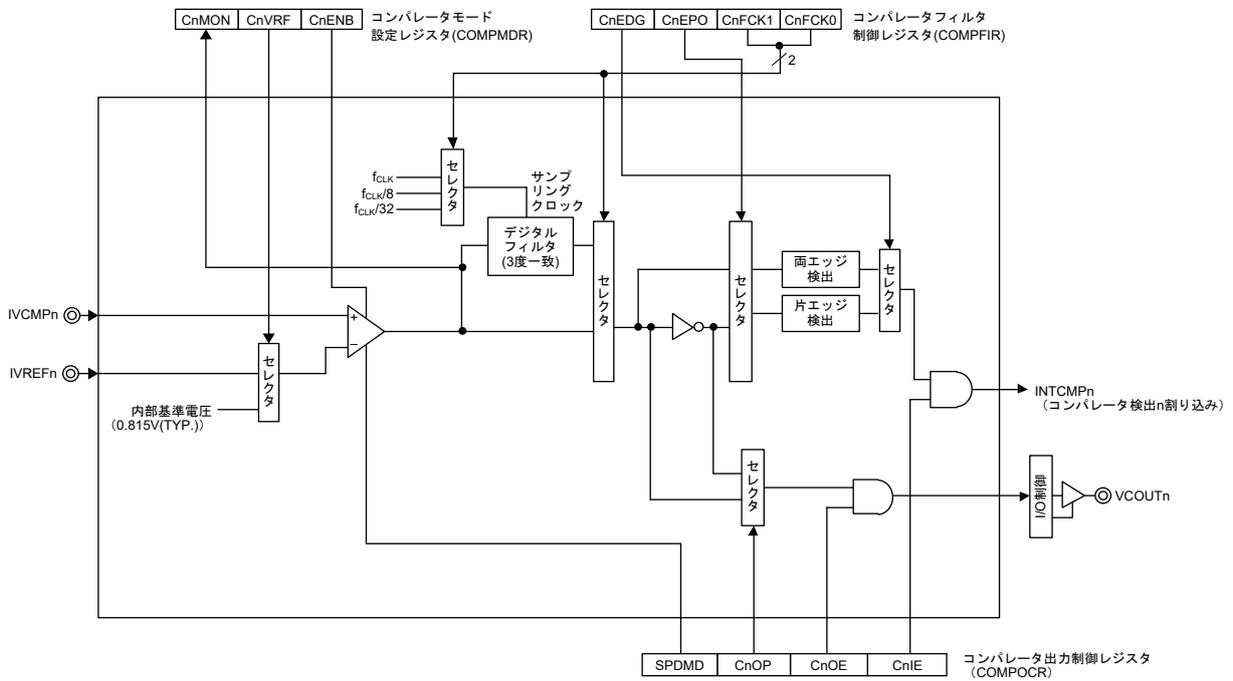
コンパレータの比較結果を出力する端子です。コンパレータ出力を反転/非反転して、VCOUTn 端子から出力できません。

VCOUTn 端子からコンパレータ出力する場合は、「11.4.3 コンパレータ n 出力 (n=0, 1)」を参照してください。

備考 n=0, 1

図 11-1 にコンパレータのブロック図を示します。

図 11-1 コンパレータのブロック図



備考 n=0, 1

11.3 コンパレータを制御するレジスタ

コンパレータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- コンパレータモード設定レジスタ (COMPMDR)
- コンパレータフィルタ制御レジスタ (COMPFIR)
- コンパレータ出力制御レジスタ (COMPOCR)
- ポート・モード・コントロール・レジスタ 0 (PMC0)
- ポート・モード・レジスタ 0 (PM0)
- ポート・レジスタ 0 (P0)
- ポート・モード・コントロール・レジスタ 2 (PMC2)
- ポート・モード・レジスタ 2 (PM2)
- ポート・レジスタ 2 (P2)

11.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット 6 (CMPEN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 11-2 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	CMPEN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

CMPEN	コンパレータの入カクロックの制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • コンパレータで使用する SFR へのライト不可 • コンパレータはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • コンパレータで使用する SFR へのリード／ライト可

注意 コンパレータの設定をする際には、必ず最初に CMPEN=1 の状態で、下記のレジスタを設定してください。CMPEN=0 の場合は、コンパレータの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ 0, 2 (PM0, PM2)、ポート・レジスタ 0, 2 (P0, P2)、ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) は除く）。

- コンパレータモード設定レジスタ (COMPMDR)
- コンパレータフィルタ制御レジスタ (COMPFIR)
- コンパレータ出力制御レジスタ (COMPOCR)

11.3.2 コンパレータモード設定レジスタ (COMPMDR)

コンパレータの基準電圧の選択、比較動作の開始/停止の設定、比較結果の状態を表すレジスタです。

COMPMDR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、CnMON ビット (n=1, 0) は読み出しのみ可能です。

リセット信号の発生により、00H になります。

図 11-3 コンパレータモード設定レジスタ (COMPMDR) のフォーマット

アドレス : FFF60H リセット時 : 00H R/W ^{注1}

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	C1VRF	0	C1ENB	C0MON	C0VRF	0	C0ENB

C1MON ^{注2}	コンパレータ 1 モニタフラグ
0	IVCMP1 < コンパレータ 1 の基準電圧
1	IVCMP1 > コンパレータ 1 の基準電圧

C1VRF	コンパレータ 1 の基準電圧の選択
0	IVREF1 端子から供給
1	内部基準電圧 (0.815V(TYP.)) から供給 ^{注3}

C1ENB	コンパレータ 1 動作の制御
0	コンパレータ 1 動作禁止
1	コンパレータ 1 動作許可

C0MON ^{注4}	コンパレータ 0 モニタフラグ
0	IVCMP0 < コンパレータ 0 の基準電圧
1	IVCMP0 > コンパレータ 0 の基準電圧

C0VRF	コンパレータ 0 の基準電圧の選択
0	IVREF0 端子から供給
1	内部基準電圧 (0.815V(TYP.)) から供給 ^{注5}

C0ENB	コンパレータ 0 動作の制御
0	コンパレータ 0 動作禁止
1	コンパレータ 0 動作許可

注1. ビット 3 とビット 7 は Read only です。

注2. コンパレータ 1 動作許可 (C1ENB=1) に設定してから、C1MON ビットで IVREF1 端子の状態が確認できます。その後、コンパレータ 1 動作禁止 (C1ENB=0) に設定すると C1MON ビットの値は不定となります。

注3. コンパレータ 1 の基準電圧に内部基準電圧 (0.815V(TYP.)) を選択した場合は、A/D コンバータでは内部基準電圧を選択できません。

- 注4. コンパレータ 0 動作許可 (COENB=1) に設定してから、COMON ビットで IVREF0 端子の状態が確認できます。その後、コンパレータ 0 動作禁止 (COENB=0) に設定すると COMON ビットの値は不定となります。
- 注5. コンパレータ 0 の基準電圧に内部基準電圧 (0.815V(TYP.)) を選択した場合は、A/D コンバータでは内部基準電圧を選択できません。

11.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)

コンパレータ割り込み信号の有効エッジの選択、デジタル・フィルタの使用可否を設定するレジスタです。

ノイズ除去が必要な場合は、CnFCK1, CnFCK0 ビット (n=1, 0) を設定して、デジタル・フィルタを有効にしてください。デジタル・フィルタ有効時は、デジタル・フィルタのサンプリング・クロックで 3 クロックの一致検出を行います。

COMPFIR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 11-4 コンパレータフィルタ制御レジスタ (COMPFIR) のフォーマット

アドレス : FFF61H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	C1EPO	コンパレータ 1 割り込み信号の有効エッジの選択 ^{注1}						
0	0	立ち上がりエッジ						
0	1	立ち下がりエッジ						
1	×	立ち上がり、立ち下がりの両エッジ						
C1FCK1	C1FCK0	コンパレータ 1 のデジタル・フィルタ使用可否 ^{注1、注2、注3}						
0	0	デジタル・フィルタ OFF						
0	1	デジタル・フィルタ ON、サンプリング・クロック : f_{CLK}						
1	0	デジタル・フィルタ ON、サンプリング・クロック : $f_{CLK}/8$						
1	1	デジタル・フィルタ ON、サンプリング・クロック : $f_{CLK}/32$						
C0EDG	C0EPO	コンパレータ 0 割り込み信号の有効エッジの選択 ^{注4}						
0	0	立ち上がりエッジ						
0	1	立ち下がりエッジ						
1	×	立ち上がり、立ち下がりの両エッジ						
C0FCK1	C0FCK0	コンパレータ 0 のデジタル・フィルタ使用可否 ^{注4、注5、注6}						
0	0	デジタル・フィルタ OFF						
0	1	デジタル・フィルタ ON、サンプリング・クロック : f_{CLK}						
1	0	デジタル・フィルタ ON、サンプリング・クロック : $f_{CLK}/8$						
1	1	デジタル・フィルタ ON、サンプリング・クロック : $f_{CLK}/32$						

注1. コンパレータ 1 の動作許可中に、C1EDG, C1EPO ビットおよび C1FCK1, C1FCK0 ビットを変更するとコンパレータ検出 1 割り込み (INTCMP1) が発生することがあります。C1EDG, C1EPO ビットおよび C1FCK1, C1FCK0 ビットを変更する場合は、事前に COMPOCR レジスタの C1IE ビットをクリア (0) して割り込み要求禁止にしてください。

また、変更後に割り込み要求フラグ・レジスタ 1H (IF1H) のビット 2 (CMPIF1) をクリア (0) してください。

- 注2. C1FCK1, C1FCK0 ビットの値を変更した場合、デジタル・フィルタの更新に、サンプリング・クロックの 4 クロック分のウェイトが必要になります。コンパレータ検出 1 割り込み (INTCMP1) を使用する場合は、このウェイト経過後に COMPOCR レジスタの C1IE ビットをセット (1) してください。
- 注3. STOP モード中にコンパレータを使用する場合は、デジタル・フィルタ OFF (C1FCK1, C1FCK0=00B) に設定してください。
- 注4. コンパレータ 0 の動作許可中に、C0EDG, C0EPO ビットおよび C0FCK1, C0FCK0 ビットを変更するとコンパレータ検出 0 割り込み (INTCMP0) が発生することがあります。C0EDG, C0EPO ビットおよび C0FCK1, C0FCK0 ビットを変更する場合は、事前に COMPOCR レジスタの C0IE ビットをクリア (0) して割り込み要求禁止にしてください。
また、変更後に割り込み要求フラグ・レジスタ 1H (IF1H) のビット 1 (CMPIF0) をクリア (0) してください。
- 注5. C0FCK1, C0FCK0 ビットの値を変更した場合、デジタル・フィルタの更新に、サンプリング・クロックの 4 クロック分のウェイトが必要になります。コンパレータ検出 0 割り込み (INTCMP0) を使用する場合は、このウェイト経過後に COMPOCR レジスタの C0IE ビットをセット (1) してください。
- 注6. STOP モード中にコンパレータを使用する場合は、デジタル・フィルタ OFF (C0FCK1, C0FCK0=00B) に設定してください。

備考 × : Don't care

11.3.4 コンパレータ出力制御レジスタ (COMPOCR)

コンパレータの応答速度の選択、VCOUTn 出力の制御、割り込み要求信号の許可/禁止を設定するレジスタです。

備考 n=0, 1

COMPOCR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 11-5 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス: FFF62H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD 注1	コンパレータ速度の選択							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C1OP	VCOUT1 出力極性の選択							
0	コンパレータ 1 出力をそのまま VCOUT1 端子から出力する							
1	コンパレータ 1 出力を反転して VCOUT1 端子から出力する							
C1OE	VCOUT1 端子出力許可/禁止							
0	コンパレータ 1 の VCOUT1 端子出力禁止							
1	コンパレータ 1 の VCOUT1 端子出力許可							
C1IE	コンパレータ 1 割り込み要求許可/禁止							
0	コンパレータ 1 割り込み要求禁止							
1	コンパレータ 1 割り込み要求許可							
C0OP	VCOUT0 出力極性の選択							
0	コンパレータ 0 出力をそのまま VCOUT0 端子から出力する							
1	コンパレータ 0 出力を反転して VCOUT0 端子から出力する							
C0OE	VCOUT0 端子出力許可/禁止							
0	コンパレータ 0 の VCOUT0 端子出力禁止							
1	コンパレータ 0 の VCOUT0 端子出力許可							
C0IE	コンパレータ 0 割り込み要求許可/禁止							
0	コンパレータ 0 割り込み要求禁止							
1	コンパレータ 0 割り込み要求許可							

注1. SPDMD ビットを書き換える場合は、必ず COMPMDR レジスタの CnENB ビット (n=0, 1) を 0 にしてから書き換えてください。

11.3.5 コンパレータの入出力端子のポート機能を制御するレジスタ

コンパレータの入出力端子と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ 0 (PM0)、ポート・モード・レジスタ 2 (PM2)、ポート・レジスタ 0 (P0)、ポート・レジスタ 2 (P2)、ポート・モード・コントロール・レジスタ 0 (PMC0)、ポート・モード・コントロール・レジスタ 2 (PMC2)）を設定してください。詳細は、「4.3.1 ポート・モード・レジスタ 0, 2, 4, 12 (PM0, PM2, PM4, PM12)」、「4.3.2 ポート・レジスタ 0, 2, 4, 12, 13 (P0, P2, P4, P12, P13)」、「4.3.5 ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)」を参照してください。また、コンパレータの入出力端子として使用するときの設定例は、「4.5.3 使用するポート機能および兼用機能のレジスタ設定例」を参照してください。

IVCMP0 端子, IVREF0 端子をコンパレータのアナログ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PM0) とポート・モード・コントロール・レジスタ (PMC0) のビットに 1 を設定してください。

VCOUT0 端子をコンパレータの出力として使用するとき、ポート・モード・レジスタ (PM0)、ポート・レジスタ (P0)、ポート・モード・コントロール・レジスタ (PMC0) のビットに 0 を設定してください。なお、VCOUT0 端子の出力設定は「11.4.3 コンパレータ n 出力 (n=0, 1)」の設定手順に従ってポート設定してください。

IVCMP1 端子, IVREF1 端子をコンパレータのアナログ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PM2) とポート・モード・コントロール・レジスタ (PMC2) のビットに 1 を設定してください。

VCOUT1 端子をコンパレータの出力として使用するとき、ポート・モード・レジスタ (PM4)、ポート・レジスタ (P4)、ポート・モード・コントロール・レジスタ (PMC4) のビットに 0 を設定してください。なお、VCOUT1 端子の出力設定は「11.4.3 コンパレータ n 出力 (n=0, 1)」の設定手順に従ってポート設定してください。

11.4 コンパレータ n の動作説明 (n=0, 1)

IVCMPn (n=0, 1) 端子のアナログ入力電圧が基準電圧より高いときに、COMPMDR レジスタの CnMON ビットが 1 になります。一方、IVCMPn 端子のアナログ入力電圧が基準電圧より低いときに、CnMON ビットが 0 になります。

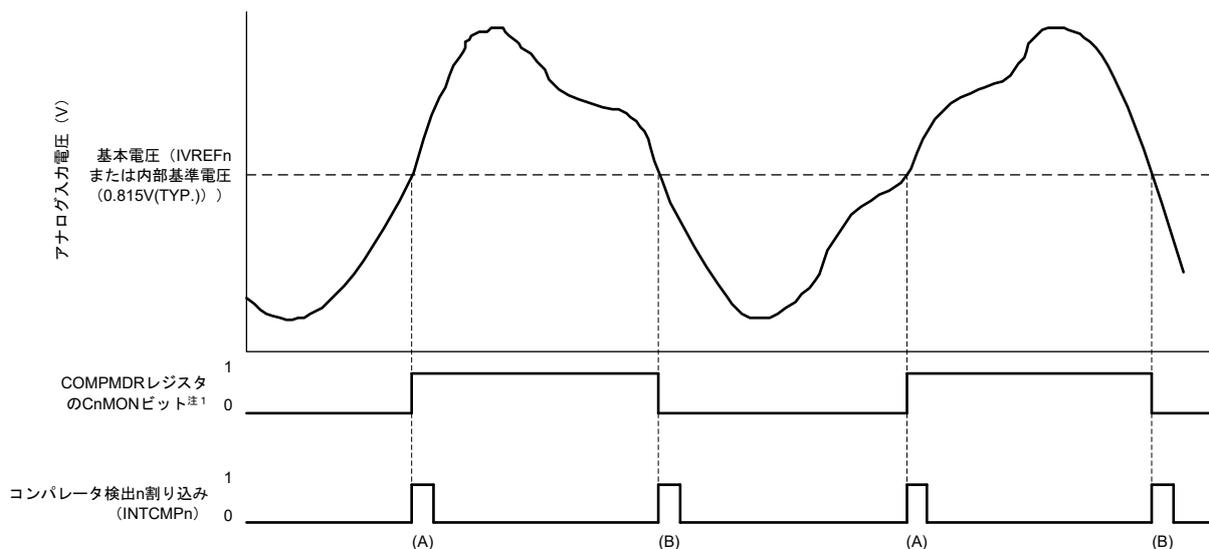
コンパレータ検出 n 割り込み (INTCMPn) を使用する場合は、COMPOCR レジスタの CnIE を 1 (割り込み要求許可) にしてください。このとき比較結果が変化すれば、コンパレータ n 割り込み要求信号が発生します。コンパレータ 0 割り込みの詳細は「11.4.2 コンパレータ n の割り込み動作 (n=0, 1)」を参照してください。

備考 n=0, 1

コンパレータ n 動作例 (デジタル・フィルタなし (COMPFIR レジスタの CnFCK1, CnFCK0=00B)、割り込み両エッジ検出 (CnEDG=1)) を図 11-6 に示します。

備考 n=0, 1

図 11-6 コンパレータ n (n=0, 1) の動作例 (デジタル・フィルタなし、割り込み両エッジ検出)



注1. 出力遅延の時間は、コンパレータ動作モードによって異なります。詳細は、「23.6.2 コンパレータ特性」および「24.6.2 コンパレータ特性」を参照してください。

注意 割り込み有効エッジを立ち上がりエッジ (CnEDG=0, CnEPO=0) に設定したときの INTCMPn は (A) の変化のみになります。

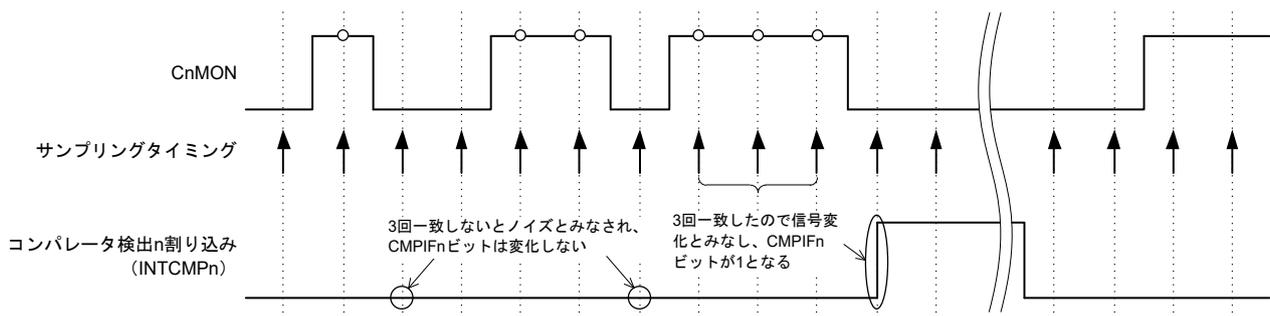
割り込み有効エッジを立ち下がりエッジ (CnEDG=0, CnEPO=1) に設定したときの INTCMPn は (B) の変化のみになります。

11.4.1 コンパレータ n のデジタル・フィルタ動作 (n=0, 1)

コンパレータ n は、デジタル・フィルタを内蔵しています。サンプリング・クロックは COMPFIR レジスタの CnFCK1, CnFCK0 ビットで選択します。サンプリング・クロックごとにコンパレータ n の出力信号をサンプリングして、出力信号のレベルが 3 回一致した次のサンプリング・クロックで、デジタル・フィルタ出力が変化します。

図 11-7 にコンパレータ n (n=0, 1) デジタル・フィルタと割り込み動作例を示します。

図 11-7 コンパレータ n (n=0, 1) デジタル・フィルタと割り込み動作例



備考 図 11-7 は、デジタル・フィルタあり (COMPFIR レジスタの CnFCK1, CnFCK0 ビット=01B, 10B, 11B のいずれか) の場合の動作例です。

11.4.2 コンパレータ n の割り込み動作 (n=0, 1)

コンパレータ n 割り込みを使用するときは、COMPOCR レジスタの CnIE ビットを 1 (割り込み要求許可) にしてください。割り込み要求が発生する条件は、COMPFIR レジスタにより設定します。また、コンパレータ出力にはデジタル・フィルタを付けることが可能です。

レジスタ設定の詳細は、「11.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)」および「11.3.4 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

11.4.3 コンパレータ n 出力 (n=0, 1)

コンパレータの比較結果を VCOUTn 端子から出力することができます。COMPOCR レジスタの CnOP ビットで VCOUTn 端子出力極性 (反転/非反転) を、CnOE ビットで VCOUTn 端子出力許可/禁止を設定します。レジスタ設定の詳細は、「11.3.4 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

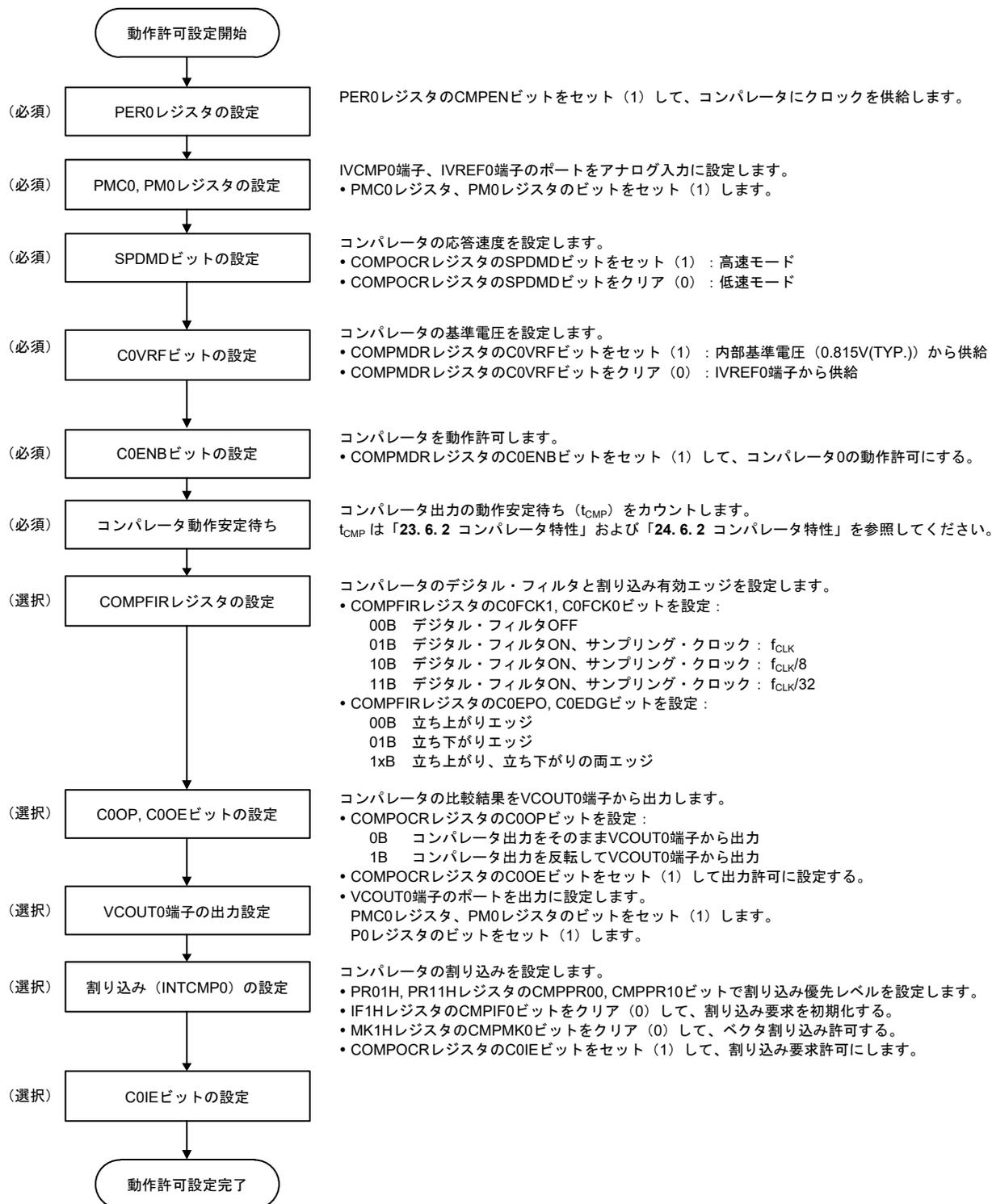
VCOUTn 端子からコンパレータ比較結果を出力する場合は、「図 11-8 コンパレータの動作許可手順」に従って設定してください。

11.5 コンパレータの設定フロー・チャート

コンパレータの設定フロー・チャートを次に示します。

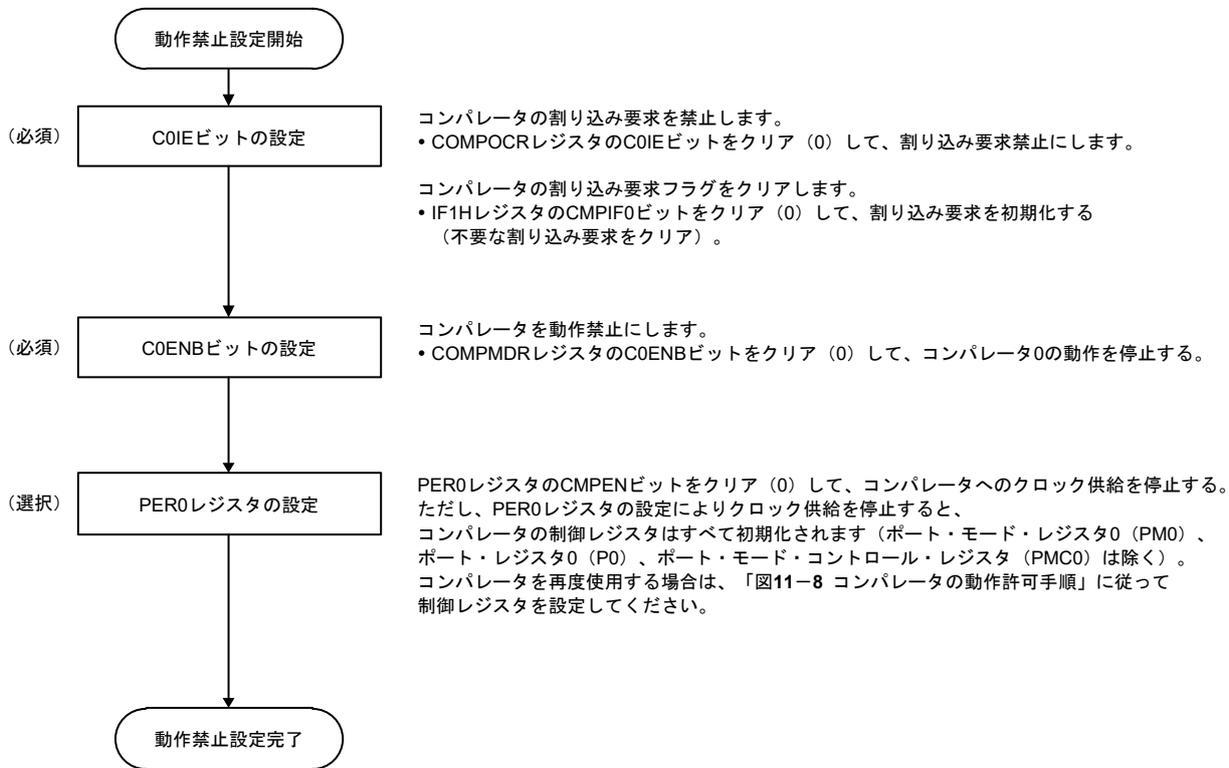
11.5.1 コンパレータの動作許可 (CMP0 の場合で説明しています)

図 11-8 コンパレータの動作許可手順



11.5.2 コンパレータの動作禁止（CMP0 の場合で説明しています）

図 11-9 コンパレータの動作禁止手順



第12章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大2つのシリアル・チャンネルを持ちます。各チャンネルは3線シリアル（簡易 SPI/CSI^{注1}）、UART、簡易 I²C の通信機能を実現できます。

RL78/G15 で対応している各チャンネルの機能割り当ては、次のようになっています。

注1. 一般的には SPI と呼ばれる機能ですが、本製品では CSI とも呼称しているため、本マニュアルでは併記します。

● 10, 8 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	—		—

● 20, 16 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

注意 この章では、以降の主な説明を 20 ピン製品のユニット、チャンネル構成で説明しています。

12.1 シリアル・アレイ・ユニットの機能

RL78/G15 で対応している各シリアル・インタフェースの特徴を示します。

12.1.1 簡易 SPI (CSI00, CSI01)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信/受信を行います。

シリアル・クロック (SCK) 1 本と送信、受信のシリアル・データ (SO, SI) 2 本の計 3 本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、「12.5 簡易 SPI (CSI00, CSI01) 通信の動作」を参照してください。

[データ送受信]

- 7, 8 ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート^{注1}

マスタ通信時 : $\text{Max.f}_{\text{CLK}}/4$

スレーブ通信時 : $\text{Max.f}_{\text{MCK}}/6$

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注1. SCK サイクル・タイム (t_{CY}) の特性を満たす範囲内で使用してください。詳細は、「第 23 章 電気的特性 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)」および「第 24 章 電気的特性 ($T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$, $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$)」を参照してください。

12.1.2 UART (UART0)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の 2 本のラインによる、調歩同期式通信機能です。この 2 本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる 1 データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の 2 チャネルを使用することで、全 2 重 UART 通信が実現できます。

具体的な設定例は、「12.6 UART (UART0) 通信の動作」を参照してください。

[データ送受信]

- 7, 8, 9 ビットのデータ長
- MSB/LSB ファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

ISC レジスタを設定することで、UART0 の RxD0 端子の入力信号を外部割り込み入力やタイマ・アレイ・ユニットのタイマ入力とすることができます。また、タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して通信相手のボー・レート幅を測定することができ、UART0 のボー・レート補正が可能になります。

12.1.3 簡易 I²C (IIC00, IIC01)

シリアル・クロック (SCL) とシリアル・データ (SDA) の 2 本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「12.7 簡易 I²C (IIC00, IIC01) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^{注1}、ACK 検出機能
- 8 ビットのデータ長
(アドレス送信時は、上位 7 ビットでアドレス指定し、最下位 1 ビットで R/W 制御)
- スタート・コンディション、ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACK エラー、オーバラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- アービトレーション負け検出機能
- ウェイト検出機能

注1. 最終データの受信時は、SOEmn ビット (シリアル出力許可レジスタ m (SOEm)) ビットに 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、「12.7.3(2) 処理フロー」を参照してください。

備考1. フル機能の I²C バスをご使用の場合は、「第 13 章 シリアル・インタフェース IICA」を参照してください。

備考2. m : ユニット番号 (m=0)、n : チャネル番号 (n=0, 1)

12.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 12-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8 ビットまたは 9 ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位 8 ビットまたは 9 ビット ^{注1}
シリアル・クロック入出力	SCK00, SCK01 端子 (簡易 SPI 用)、 SCL00, SCL01 端子 (簡易 I ² C 用)
シリアル・データ入力	SI00, SI01 端子 (簡易 SPI 用)、 RxD0 端子 (UART 用)
シリアル・データ出力	SO00, SO01 端子 (簡易 SPI 用)、 TxD0 端子 (UART 用)
シリアル・データ入出力	SDA00, SDA01 端子 (簡易 I ² C 用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • シリアル・クロック選択レジスタ m (SPSm) • シリアル・チャネル許可レジスタ m (SEm) • シリアル・チャネル開始レジスタ m (SSm) • シリアル・チャネル停止レジスタ m (STm) • シリアル出力許可レジスタ m (SOEm) • シリアル出力レジスタ m (SOm) • シリアル出力レベル・レジスタ m (SOLm) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャネル部のレジスタ></p> <ul style="list-style-type: none"> • シリアル・データ・レジスタ mn (SDRmn) • シリアル・モード・レジスタ mn (SMRmn) • シリアル通信動作設定レジスタ mn (SCRmn) • シリアル・ステータス・レジスタ mn (SSRmn) • シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <ul style="list-style-type: none"> • ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4) • ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2) • ポート・モード・レジスタ 0, 2, 4 (PM0, PM2, PM4) • ポート・レジスタ 0, 2, 4 (P0, P2, P4)

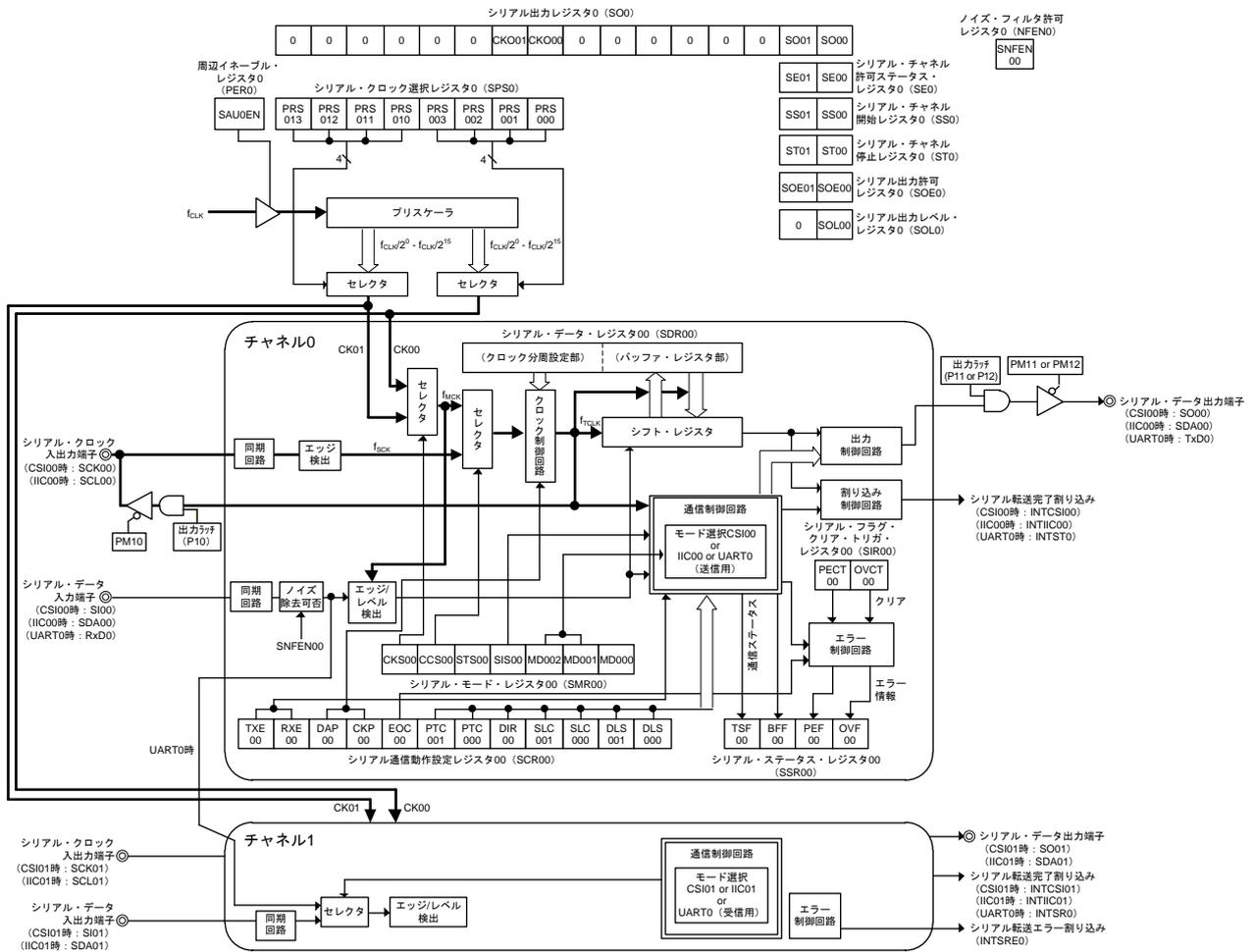
注1. シリアル・データ・レジスタ mn (SDRmn) の下位 8 ビットは、通信方式により、次の SFR 名称でリード/ライト可能です。

- CSIp 通信時 … SIOp (CSIp データ・レジスタ)
- UARTq 受信時 … RXDq (UARTq 受信データ・レジスタ)
- UARTq 送信時 … TXDq (UARTq 送信データ・レジスタ)
- IICr 通信時 … SIOr (IICr データ・レジスタ)

備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0, 1)、p : CSI 番号 (p=00, 01)
q : UART 番号 (q=0)、r : IIC 番号 (r=00, 01)

図 12-1 にシリアル・アレイ・ユニット 0 のブロック図を示します。

図 12-1 シリアル・アレイ・ユニット 0 のブロック図



12.2.1 シフト・レジスタ

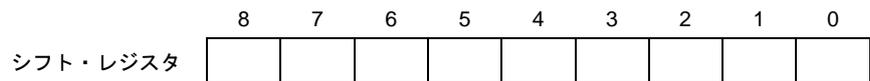
パラレル⇄シリアルの変換を行う 9 ビットのレジスタです。

9 ビット・データ長での UART 通信時は、9 ビット（ビット 0~8）を使用します。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビットを使用します。



12.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビット

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ（16 ビット）です。

ビット 8-0（下位 9 ビット）、またはビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9 の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

下位 8/9 ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット 0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- 7 ビット・データ長 (SDRmn レジスタのビット 0-6 に格納)
- 8 ビット・データ長 (SDRmn レジスタのビット 0-7 に格納)
- 9 ビット・データ長 (SDRmn レジスタのビット 0-8 に格納)

SDRmn レジスタは 16 ビット単位でリード/ライト可能です。

また SDRmn レジスタの下位 8/9 ビットは、通信方式により、次の SFR 名称で 8 ビット単位でリード/ライト可能^{注1}です。

- CSIp 通信時 … SIOp (CSIp データ・レジスタ)
- UARTq 受信時 … RXDq (UARTq 受信データ・レジスタ)
- UARTq 送信時 … TXDq (UARTq 送信データ・レジスタ)
- IICr 通信時 … SIOr (IICr データ・レジスタ)

リセット信号の発生により、SDRmn レジスタは 0000H になります。

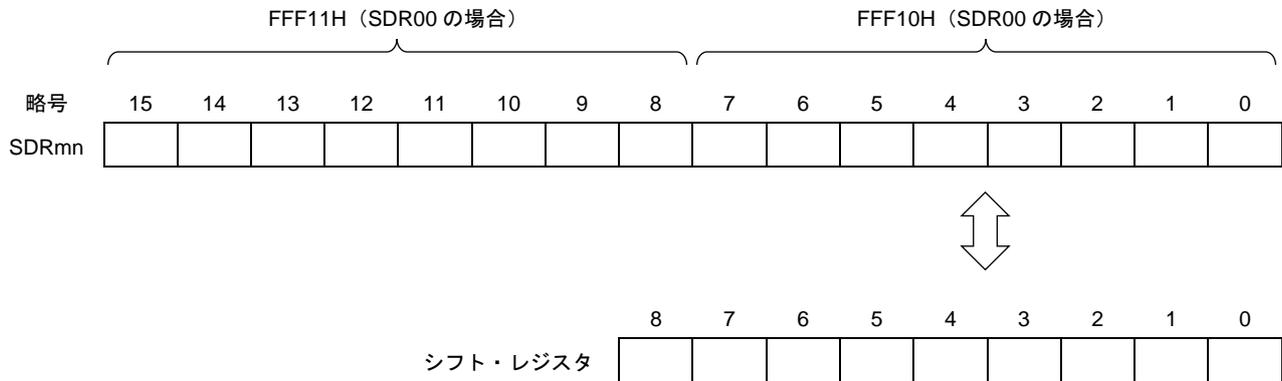
注1. 動作停止 (SEmn=0) 時は、8 ビット・メモリ操作命令による SDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。

備考1. 受信完了後、ビット 0-8 内でデータ長を越える部分のビットには、“0” が格納されます。

備考2. m : ユニット番号 (m=0)、n : チャンネル番号 (n=0, 1)、p : CSI 番号 (p=00, 01)
q : UART 番号 (q=0)、r : IIC 番号 (r=00, 01)

図 12-2 シリアル・データ・レジスタ mn (SDRmn) (mn=00, 01) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W



備考 SDRmn レジスタの上位 7 ビットの機能については、「12.3 シリアル・アレイ・ユニットを制御するレジスタ」を参照してください。

12.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOM)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4)
- ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)
- ポート・モード・レジスタ 0, 2, 4 (PM0, PM2, PM4)
- ポート・レジスタ 0, 2, 4 (P0, P2, P4)

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1)

12.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を使用するときには、必ずビット 2 (SAU0EN) に 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは 00H になります。

図 12-3 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	CMPEN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニット m の入力クロック供給の制御
0	入力クロック供給停止 <ul style="list-style-type: none"> シリアル・アレイ・ユニット m で使用する SFR へのライト不可 シリアル・アレイ・ユニット m はリセット状態
1	入力クロック供給許可 <ul style="list-style-type: none"> シリアル・アレイ・ユニット m で使用する SFR へのリード／ライト可

注意 1. シリアル・アレイ・ユニット m の設定をする際には、必ず最初に SAUmEN=1 の状態で、下記のレジスタ設定を行ってください。SAUmEN=0 の場合は、シリアル・アレイ・ユニット m の制御レジスタは初期値となり、書き込みは無視されます（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ 0 (NFEN0)、ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4)、ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)、ポート・モード・レジスタ 0, 2, 4 (PM0, PM2, PM4)、ポート・レジスタ 0, 2, 4 (P0, P2, P4) は除く）。

- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOM)

注意 2. ビット 3, 1 には、必ず 0 を設定してください。

12.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSm レジスタは、各チャンネルに共通して供給される 2 種類の動作クロック (CKm0, CKm1) を選択する 16 ビット・レジスタです。SPSm レジスタのビット 7-4 で CKm1 を、ビット 3-0 で CKm0 を選択します。

SPSm レジスタは、動作中 (SEmn=1 のとき) の書き換えは禁止です。

SPSm レジスタは 16 ビット・メモリ操作命令で設定します。

また SPSm レジスタの下位 8 ビットは、SPSmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSm レジスタは 0000H になります。

図 12-4 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm 13	PRSm 12	PRSm 11	PRSm 10	PRSm 03	PRSm 02	PRSm 01	PRSm 00

PRSmk3	PRSmk2	PRSmk1	PRSmk0	動作クロック (CKmk) の選択 ^{注1}	f _{CLK} (MHz)				
					f _{CLK} (MHz)				
					1	2	4	8	16
0	0	0	0	f _{CLK}	1MHz	2MHz	4MHz	8MHz	16MHz
0	0	0	1	f _{CLK} /2	500kHz	1MHz	2MHz	4MHz	8MHz
0	0	1	0	f _{CLK} /2 ²	250kHz	500kHz	1MHz	2MHz	4MHz
0	0	1	1	f _{CLK} /2 ³	125kHz	250kHz	500MHz	1MHz	2MHz
0	1	0	0	f _{CLK} /2 ⁴	62.5kHz	125kHz	250kHz	500kHz	1MHz
0	1	0	1	f _{CLK} /2 ⁵	31.25kHz	62.5kHz	125kHz	250kHz	500kHz
0	1	1	0	f _{CLK} /2 ⁶	15.63kHz	31.25kHz	62.5kHz	125kHz	250kHz
0	1	1	1	f _{CLK} /2 ⁷	7.81kHz	15.63kHz	31.25kHz	62.5kHz	125kHz
1	0	0	0	f _{CLK} /2 ⁸	3.91kHz	7.81kHz	15.63kHz	31.25kHz	62.5kHz
1	0	0	1	f _{CLK} /2 ⁹	1.95kHz	3.91kHz	7.81kHz	15.63kHz	31.25kHz
1	0	1	0	f _{CLK} /2 ¹⁰	977Hz	1.95kHz	3.91kHz	7.81kHz	15.63kHz
1	0	1	1	f _{CLK} /2 ¹¹	488Hz	977Hz	1.95kHz	3.91kHz	7.81kHz
1	1	0	0	f _{CLK} /2 ¹²	244Hz	488Hz	977Hz	1.95kHz	3.91kHz
1	1	0	1	f _{CLK} /2 ¹³	122Hz	244Hz	488Hz	977Hz	1.95kHz
1	1	1	0	f _{CLK} /2 ¹⁴	61Hz	122Hz	244Hz	488Hz	977Hz
1	1	1	1	f _{CLK} /2 ¹⁵	31Hz	61Hz	122Hz	244Hz	488Hz

注1. シリアル・アレイ・ユニット (SAU) 動作中に f_{CLK} で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAU の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

注意 ビット 15-8 には、必ず 0 を設定してください。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m=0)

備考3. k : チャンネル番号 (k=0, 1)

12.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、シリアル・クロック (f_{SCK}) 入力の使用可否、スタート・トリガ設定、動作モード (簡易 SPI/CSI, UART, 簡易 I²C) 設定、割り込み要因の選択を行います。また UART モード時のみ、受信データのレベル反転の設定を行います。

SMRmn レジスタは、動作中 (SEmn=1 のとき) の書き換えは禁止です。ただし MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmn レジスタは 0020H になります。

図 12-5 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0112H, F0113H (SMR01) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSm _n	CCSm _n	0	0	0	0	0	STSmn _{注1}	0	SISmn _{0注1}	1	0	0	MDmn ₂	MDmn ₁	MDmn ₀

CKSmn	チャンネル n の動作クロック (f _{MCK}) の選択
0	SPSm レジスタで設定した動作クロック CKm0
1	SPSm レジスタで設定した動作クロック CKm1
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCSmn ビットと SDRmn レジスタの上位 7 ビットの設定により、転送クロック (f _{TCLK}) を生成します。	

CCSmn	チャンネル n の転送クロック (f _{TCLK}) の選択
0	CKSmn ビットで指定した動作クロック f _{MCK} の分周クロック
1	SCKp 端子からの入力クロック f _{SCK} (簡易 SPI/CSI モードのスレーブ転送)
転送クロック f _{TCLK} は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn=0 の場合は、SDRmn レジスタの上位 7 ビットで動作クロック (f _{MCK}) の分周設定を行います。	

STSmn _{注1}	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (簡易 SPI/CSI, UART 送信, 簡易 I ² C 時に選択)
1	RxDq 端子の有効エッジ (UART 受信時に選択)
SSm レジスタに 1 を設定後、上記の要因が満たされてから転送開始となります。	

注1. SMR01 レジスタのみ。

注意 ビット 13-9, 7, 4, 3 (SMR00 レジスタの場合は、ビット 13-6, 4, 3) には、必ず 0 を設定してください。ビット 5 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01)
q : UART 番号 (q=0) 、 r : IIC 番号 (r=00, 01)

図 12-5 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) - F0112H, F0113H (SMR01) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSm n	CCSm n	0	0	0	0	0	STSmn 注1	0	SISmn 0注1	1	0	0	MDmn 2	MDmn 1	MDmn 0

SISmn0 注1	UART モードでのチャンネル n の受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MDmn2	MDmn1	チャンネル n の動作モードの設定
0	0	簡易 SPI (CSI) モード
0	1	UART モード
1	0	簡易 I ² C モード
1	1	設定禁止

MDmn0	チャンネル n の割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データが SDRmn レジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時は MDmn0=1 として、SDRmn データが空になったら次送信データの書き込みを行う。	

注1. SMR01 レジスタのみ。

注意 ビット 13-9, 7, 4, 3 (SMR00 レジスタの場合は、ビット 13-6, 4, 3) には、必ず 0 を設定してください。ビット 5 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01)
q : UART 番号 (q=0) 、 r : IIC 番号 (r=00, 01)

12.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネル n の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmn レジスタは、動作中 (SEmn=1 のとき) の書き換えは禁止です。

SCRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmn レジスタは 0087H になります。

図 12-6 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011AH, F011BH (SCR01) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn	PTCmn	DIRmn	0	SLCmn	SLCmn	0	1	DLSmn	DLSmn
		n	n	n		n	n1	n0			1注1	0			1	0

TXEmn	RXEmn	チャンネル n の動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易 SPI (CSI) モードでのデータとクロックの位相選択	タイプ
0	0	<p>SCKp</p> <p>SOp</p> <p>Slp入カタイミング</p>	1
0	1	<p>SCKp</p> <p>SOp</p> <p>Slp入カタイミング</p>	2
1	0	<p>SCKp</p> <p>SOp</p> <p>Slp入カタイミング</p>	3
1	1	<p>SCKp</p> <p>SOp</p> <p>Slp入カタイミング</p>	4

UART モード、簡易 I²C モード時には、必ず DAPmn, CKPmn=0, 0 に設定してください。

注1. SCR00 レジスタのみ。

注意 ビット 3, 6, 11 には、必ず 0 を設定してください (SCR01 レジスタはビット 5 も 0 に設定してください)。ビット 2 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0, 1)、p : CSI 番号 (p=00, 01)

図 12-6 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011AH, F011BH (SCR01) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPm	CKPm	0	EOCm	PTCm	PTCm	DIRmn	0	SLCmn	SLCmn	0	1	DLSmn	DLSmn
		n	n	n		n	n1	n0			1注1	0			1	0

EOCmn	エラー割り込み信号 (INTSREx (x=0-3)) のマスク制御
0	エラー割り込み INTSREx の発生を禁止する (INTSRx が発生する)
1	エラー割り込み INTSREx の発生を許可する (エラー発生時、INTSRx は発生しない)
簡易 SPI (CSI) モード, 簡易 I ² C モード, UART 送信時には、EOCmn=0 に設定してください。注2	

PTCmn	PTCmn	UART モードでのパリティ・ビットの設定	
1	0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0 パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易 SPI (CSI) モード, 簡易 I ² C モード時には、必ず PTCmn1, PTCmn0=0, 0 に設定してください。			

DIRmn	簡易 SPI (CSI), UART モードでのデータ転送順序の選択
0	MSB ファーストで入出力を行う
1	LSB ファーストで入出力を行う
簡易 I ² C モード時には、必ず DIRmn=0 に設定してください。	

SLCmn	SLCmn	UART モードでのストップ・ビットの設定
1注1	0	
0	0	ストップ・ビットなし
0	1	ストップ・ビット長=1 ビット
1	0	ストップ・ビット長=2 ビット (mn=00 のみ)
1	1	設定禁止
転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みが発生します。 UART 受信時、簡易 I ² C モード時には、1 ビット (SLCmn1, SLCmn0=0, 1) に設定してください。 簡易 SPI (CSI) モード時には、ストップ・ビットなし (SLCmn1, SLCmn0=0, 0) に設定してください。 UART 送信時は、1 ビット (SLCmn1, SLCmn0=0, 1) または 2 ビット (SLCmn1, SLCmn0=1, 0) に設定してください。		

DLSmn	DLSmn	簡易 SPI (CSI), UART モードでのデータ長の設定
1	0	
0	1	9 ビット・データ長 (SDRmn レジスタのビット 0-8 に格納) (UART モード時のみ選択可)
1	0	7 ビット・データ長 (SDRmn レジスタのビット 0-6 に格納)
1	1	8 ビット・データ長 (SDRmn レジスタのビット 0-7 に格納)
その他		設定禁止
簡易 I ² C モード時には、必ず DLSmn1, DLSmn0=1, 1 に設定してください。		

注1. SCR00 レジスタのみ。

注2. CSImn を EOCmn=0 で使用しない場合、エラー割り込み INTSREn が発生する場合があります。

注3. データの内容にかかわらず必ず 0 が付加されます。

注意 ビット 3, 6, 11 には、必ず 0 を設定してください (SCR01 レジスタはビット 5 も 0 に設定してください)。ビット 2 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01)

12.3.5 シリアル・データ・レジスタ mn (SDRmn)

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ（16 ビット）です。

SDR00, SDR01 のビット 8-0（下位 9 ビット）は送受信バッファ・レジスタとして機能し、ビット 15-9（上位 7 ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを 0 に設定した場合は、動作クロックをこの SDRmn レジスタのビット 15-9（上位 7 ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットを 1 に設定した場合は、SDR00, SDR01 のビット 15-9（上位 7 ビット）に“0000000B”を設定してください。SCKp 端子からの入力クロック f_{SCK}（簡易 SPI/CSI モードのスレーブ転送）が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位 8/9 ビット設定します。

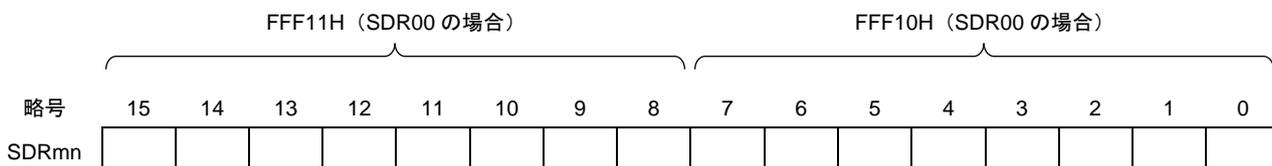
SDRmn レジスタは 16 ビット単位でリード/ライト可能です。

ただし上位 7 ビットへの書き込みおよび読み出しは動作停止状態 (SEmn=0) のときのみ有効です。動作中 (SEmn=1) に SDRmn レジスタに書き込みを行ったときは、下位 8/9 ビットのみ値が書き込まれます。動作中に SDRmn レジスタの読み出しを行った場合、上位 7 ビットは常に 0 が読み出されます。

リセット信号の発生により、SDRmn レジスタは 0000H になります。

図 12-7 シリアル・データ・レジスタ mn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	f _{MCK} /2
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
⋮							⋮
⋮							⋮
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

(注意、備考は、次ページにあります。)

- 注意 1. UART 使用時は、SDRmn[15:9]= (0000000B, 0000001B) は設定禁止です。
- 注意 2. 簡易 I²C 使用時は、SDRmn[15:9]=0000000B は設定禁止です。SDRmn[15:9]=0000001B 以上に設定してください。
- 注意 3. 動作停止 (SEmn=0) 時は、8 ビット・メモリ操作命令による SDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。
- 備考1. SDRmn レジスタの下位 8/9 ビットの機能については、「12.2 シリアル・アレイ・ユニットの構成」を参照してください。
- 備考2. m : ユニット番号 (m=0) 、n : チャネル番号 (n=0, 1)

12.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネル n の各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を 1 にセットすると、シリアル・ステータス・レジスタ mn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐ SIRmn レジスタもクリアされます。

SIRmn レジスタは、16 ビット・メモリ操作命令で設定します。

また SIRmn レジスタの下位 8 ビットは、SIRmnL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmn レジスタは 0000H になります。

図 12-8 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010AH, F010BH (SIR01) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECT mn ^{注1}	PECT mn	OVCT mn

FECT mn ^{注1}	チャンネル n のフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタの FEFmn ビットを 0 にクリアする

PECT mn	チャンネル n のパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタの PEFmn ビットを 0 にクリアする

OVCT mn	チャンネル n のオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタの OVFmn ビットを 0 にクリアする

注1. SIR01 レジスタのみ。

注意 ビット 15-3 (SIR00 レジスタの場合は、ビット 15-2) には、必ず 0 を設定してください。

備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1)

備考2. SIRmn レジスタの読み出し値は常に 0000H となります。

12.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmn レジスタは、チャンネル n の通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。

また SSRmn レジスタの低位 8 ビットは、SSRmnL で 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmn レジスタは 0000H になります。

図 12-9 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) - F0102H, F0103H (SSR01) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn <small>注1</small>	PEFmn	OVFmn n

TSFmn	チャンネル n の通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> <ul style="list-style-type: none"> STm レジスタの STmn ビットに 1 を設定時（通信停止状態）、もしくは SSm レジスタの SSmn ビットに 1 を設定時（通信待機状態） 通信動作が終了時 <セット条件> <ul style="list-style-type: none"> 通信動作を開始時 	

BFFmn	チャンネル n のバッファ・レジスタ状態表示フラグ
0	有効なデータが SDRmn レジスタに格納されていない
1	有効なデータが SDRmn レジスタに格納されている
<クリア条件> <ul style="list-style-type: none"> 送信時において SDRmn レジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時において SDRmn レジスタから受信データの読み出しが終了したとき STm レジスタの STmn ビットに 1 を設定時（通信停止状態）、SSm レジスタの SSmn ビットに 1 を設定時（通信許可状態） <セット条件> <ul style="list-style-type: none"> SCRmn レジスタの TXEmn ビット=1（各通信モードでの送信、送受信モード時）の状態 で SDRmn レジスタに送信データを書き込んだとき SCRmn レジスタの RXEmn ビット=1（各通信モードでの受信、送受信モード時）の状態 で SDRmn レジスタに受信データが格納されたとき 受信エラー時 	

注1. SSR01 レジスタのみ。

備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0, 1)

図 12-9 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0102H, F0103H (SSR01) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn 注1	PEFmn	OVFmn n

FEFmn 注1	チャンネル n のフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART 受信時)
<クリア条件> • SIRmn レジスタの FECTmn ビットに 1 を書き込んだとき <セット条件> • UART 受信完了時に、ストップ・ビットが検出されないとき	

PEFmn	チャンネル n のパリティ/ACK エラー検出フラグ
0	エラーなし
1	パリティ・エラー発生 (UART 受信時)、または ACK 未検出発生 (I ² C 送信時)
<クリア条件> • SIRmn レジスタの PECTmn ビットに 1 を書き込んだとき <セット条件> • UART 受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) • I ² C 送信時に、ACK 受信タイミングにスレーブ側から ACK 信号の応答がなかったとき (ACK 未検出)	

OVFmn	チャンネル n のオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> • SIRmn レジスタの OVCTmn ビットに 1 を書き込んだとき <セット条件> • SCRmn レジスタの RXEmn ビット=1 (各通信モードでの受信、送受信モード時) の状態で、受信データが SDRmn レジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき • 簡易 SPI (CSI) モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注1. SSR01 レジスタのみ。

注意 BFFmn=1 のときに SDRmn レジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVFmn=1) と検出されます。

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1)

12.3.8 シリアル・チャンネル開始レジスタ m (SSm)

SSm レジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に 1 を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 1 にセット (動作許可状態) されます。SSmn ビットはトリガ・ビットなので、SEmn=1 になるとすぐ SSmn ビットはクリアされます。

SSm レジスタは、16 ビット・メモリ操作命令で設定します。

また SSm レジスタの低位 8 ビットは、SSmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSm レジスタは 0000H になります。

図 12-10 シリアル・チャンネル開始レジスタ m (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS01	SS00

SSmn	チャンネル n の動作開始トリガ
0	トリガ動作せず
1	SEmn ビットに 1 をセットし、通信待機状態に遷移する ^{注1}

注1. 通信動作中に SSmn=1 を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 1. SS0 レジスタのビット 15-2 には、必ず 0 を設定してください。

注意 2. UART 受信の場合は、SCRmn レジスタの RXEmn ビットを“1”に設定後に、f_{MCK} の 4 クロック以上間隔をあけてから SSmn=1 を設定してください。

備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1)

備考2. SSm レジスタの読み出し値は常に 0000H となります。

12.3.9 シリアル・チャンネル停止レジスタ m (STm)

STm レジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に 1 を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 0 にクリア (動作停止状態) されます。STmn ビットはトリガ・ビットなので、SEmn=0 になるとすぐ STmn ビットはクリアされます。

STm レジスタは、16 ビット・メモリ操作命令で設定します。

また STm レジスタの下位 8 ビットは、STmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STm レジスタは 0000H になります。

図 12-11 シリアル・チャンネル停止レジスタ m (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST01	ST00

STmn	チャンネル n の動作停止トリガ
0	トリガ動作せず
1	SEmn ビットを 0 にクリアし、通信動作を停止する ^{注1}

注1. 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 ST0 レジスタのビット 15-2 には、必ず 0 を設定してください。

備考1. m : ユニット番号 (m=0)、n : チャンネル番号 (n=0, 1)

備考2. STm レジスタの読み出し値は常に 0000H となります。

12.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEm レジスタは、各チャンネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm) の各ビットに 1 を書き込むと、その対応ビットが 1 にセットされます。シリアル・チャンネル停止レジスタ m (STm) の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の CKOmn ビット (チャンネル n のシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネル n は、SOm レジスタの CKOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEm レジスタは、16 ビット・メモリ操作命令で読み出します。

また SEm レジスタの低位 8 ビットは、SEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEm レジスタは 0000H になります。

図 12-12 シリアル・チャンネル許可ステータス・レジスタ m (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE01	SE00

SEmn	チャンネル n の動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1)

12.3.11 シリアル出力許可レジスタ m (SOEm)

SOEm レジスタは、各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の SOmn ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SOm レジスタの SOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEm レジスタは、16 ビット・メモリ操作命令で設定します。

また SOEm レジスタの下位 8 ビットは、SOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEm レジスタは 0000H になります。

図 12-13 シリアル出力許可レジスタ m (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE01	SOE00

SOEmn	チャンネル n のシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOE0 レジスタのビット 15-2 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0, 1)

12.3.12 シリアル出力レジスタ m (SOm)

SOm レジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタの SOmn ビットの値が、チャンネル n のシリアル・データ出力端子から出力されます。

このレジスタの CKOmn ビットの値が、チャンネル n のシリアル・クロック出力端子から出力されます。

このレジスタの SOmn ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn=0) 時のみ可能です。シリアル出力許可 (SOEmn=1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタの CKOmn ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn=0) 時のみ可能です。チャンネル動作許可 (SEmn=1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当する CKOmn, SOmn ビットに“1”を設定してください。

SOm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOm レジスタは 0303H になります。

図 12-14 シリアル出力レジスタ m (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	CKO01	CKO00	0	0	0	0	0	0	SO01	SO00

CKOmn	チャンネル n のシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャンネル n のシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意 SO0 レジスタのビット 15-10, 7-2 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m=0)、n : チャンネル番号 (n=0, 1)

12.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLm レジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI (CSI) モード、簡易 I²C モード時は、必ず対応するビットに 0 を設定してください。

このレジスタによる各チャンネル n の反転設定は、シリアル出力許可 (SOEmn=1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn=0) 時は SOmn ビットの値がそのまま出力されます。

SOLm レジスタは、動作中 (SEmn=1 のとき) の書き換えは禁止です。

SOLm レジスタは、16 ビット・メモリ操作命令で設定します。

また SOLm レジスタの下位 8 ビットは、SOLmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLm レジスタは 0000H になります。

図 12-15 シリアル出力レベル・レジスタ m (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL00

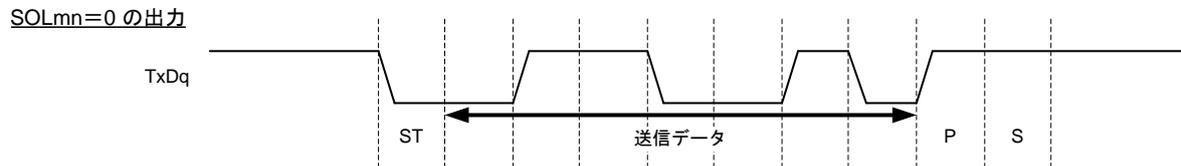
SOLmn	UART モードでのチャンネル n の送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 SOL0 レジスタのビット 15-1 には、必ず 0 を設定してください。

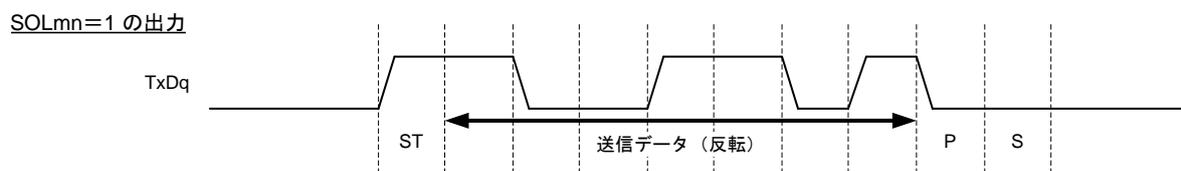
UART 送信時、送信データのレベル反転例を図 12-16 に示します。

図 12-16 送信データのレベル反転例

(a) 非反転出力 (SOLmn=0)



(b) 反転出力 (SOLmn=1)



備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0)

12.3.14 入力切り替え制御レジスタ (ISC)

ISC レジスタの ISC1, ISC0 ビットは、UART0 のポー・レート補正を行うときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット 0 に 1 を設定すると、シリアル・データ入力 (RxD0) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウエイクアップ信号を INTP0 割り込みで検出できます。

ビット 1 に 1 を設定すると、シリアル・データ入力 (RxD0) 端子の入力信号がタイマ入力として選択されます。これによって、ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISC レジスタは 00H になります。

図 12-17 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル 7 の入力切り替え
0	TI01 端子の入力信号をタイマ入力とする (通常動作)
1	RxD0 端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とポー・レート補正用のパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0 端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0 端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット 7-2 には、必ず 0 を設定してください。

12.3.15 ノイズ・フィルタ許可レジスタ 0 (NFEN0)

NFEN0 レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易 SPI (CSI) , 簡易 I²C 通信に使用する端子は、対応するビットに 0 を設定して、ノイズ・フィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (f_{MCK}) で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (f_{MCK}) で同期化だけ行います。

NFEN0 レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0 レジスタは 00H になります。

図 12-18 ノイズ・フィルタ許可レジスタ 0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	0	0	SNFEN00

SNFEN00	RxD0 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

RxD0 端子として使用するときは、SNFEN00=1 に設定してください。
RxD0 以外の機能として使用するときは、SNFEN00=0 に設定してください。

注意 ビット 7-1 には、必ず 0 を設定してください。

12.3.16 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロール・レジスタ（PMCxx）を設定してください。

詳細は、「4.3.1 ポート・モード・レジスタ 0, 2, 4, 12（PM0, PM2, PM4, PM12）」、「4.3.2 ポート・レジスタ 0, 2, 4, 12, 13（P0, P2, P4, P12, P13）」、「4.3.4 ポート出力モード・レジスタ 0, 2, 4（POM0, POM2, POM4）」、「4.3.5 ポート・モード・コントロール・レジスタ 0, 2（PMC0, PMC2）」を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P00/SO00/TxD0/TOOLTxD/INTP6 など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビットおよびポート・モード・レジスタ（PMxx）のビットに 0 を、ポート・レジスタ（Pxx）のビットに 1 を設定してください。

なお、N-ch オープン・ドレイン出力（V_{DD} 耐圧）モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに 1 を設定してください。

例) P00/SO00/TxD0/TOOLTxD/INTP6/(SCK01/SCL01)/(SCLA0)をシリアル・データ出力として使用する場合
ポート・モード・レジスタ 0 の PM00 ビットを 0 に設定
ポート・レジスタ 0 の P00 ビットを 1 に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P01/ANI0/SI00/RxD0/TOOLRxD/SDA00/INTP5/(TI02/TO02)/(SI01)/(SDA01)/(SDAA0)など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに 1 を設定してください。また、ポート・モード・コントロール・レジスタ（PMCxx）のビットに 0 を設定してください。このときポート・レジスタ（Pxx）のビットは、0 または 1 のどちらでもかまいません。

例) P01/ANI0/SI00/RxD0/TOOLRxD/SDA00/INTP5/(TI02/TO02)/(SI01)/(SDA01)/(SDAA0)をシリアル・データ入力として使用する場合
ポート・モード・コントロール・レジスタ 0 の PMC01 ビットを 0 に設定
ポート・モード・レジスタ 0 の PM01 ビットを 1 に設定
ポート・レジスタ 0 の P01 ビットを 0 または 1 に設定

12.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

12.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ 0 (PER0) で行います。PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。シリアル・アレイ・ユニット 0 を停止するときは、ビット 2 (SAU0EN) に 0 を設定してください。

図 12-19 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ 0 (PER0) の設定

(a) 周辺イネーブル・レジスタ 0 (PER0) … 停止する SAUm のビットのみ 0 に設定する

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN ×	CMPEN ×	ADCEN ×	IICA0EN ×	0	SAU0EN 0/1	0	TAU0EN ×

SAUm の入力クロックの制御
0: 入力クロック供給停止
1: 入力クロック供給

注意 1. SAUmEN=0 の場合は、シリアル・アレイ・ユニット m の制御レジスタへの書き込みは無視され、読み出しでも値はすべて初期値となります。ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート出力モード・レジスタ 0, 2, 4 (POM0, POM2, POM4)
- ポート・モード・コントロール・レジスタ 0, 2 (PMC0, PMC2)
- ポート・モード・レジスタ 0, 2, 4 (PM0, PM2, PM4)
- ポート・レジスタ 0, 2, 4 (P0, P2, P4)

注意 2. ビット 1, 3 は必ず“0”にしてください。

備考 □ : 設定不可 (初期値を設定)

× : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて 0 または 1 に設定

12.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図 12-20 チャンネルごとに動作停止とする場合の各レジスタの設定 (1/2)

(a) シリアル・チャンネル停止レジスタ m (STm)

… 各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm															STm1	STm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

1 : SEmn ビットを 0 にクリアし、通信動作を停止

※STmn ビットはトリガ・ビットなので、SEmn=0 になるとすぐ STmn ビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm)

… 各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm															SEm1	SEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

0 : 動作停止状態

※SEm レジスタは Read Only のステータス・レジスタであり、STm レジスタにて動作停止にします。

動作を停止したチャンネルは、SOm レジスタの CKOmnn ビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm)

… 各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
															0/1	0/1

0 : シリアル通信動作による出力停止

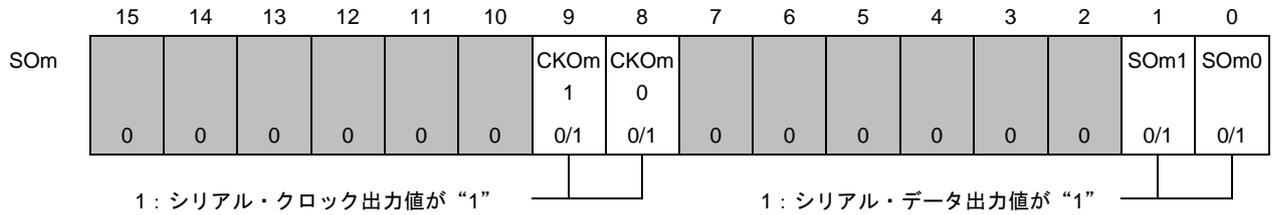
※シリアル出力を停止したチャンネルは、SOm レジスタの SOmn ビットの値をソフトウェアで設定できます。

(備考は、次ページにあります。)

図 12-20 チャンネルごとに動作停止とする場合の各レジスタの設定 (2/2)

(d) シリアル出力レジスタ m (SOm)

… 各チャンネルのシリアル出力のバッファ・レジスタ



※各チャンネルに対応した端子をポート機能として使用する場合は、該当する CKOm, SOm ビットに “1” を設定してください。

備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1)

備考2. □ : 設定不可 (初期値を設定) 、0/1 : ユーザの用途に応じて 0 または 1 に設定

12.5 簡易 SPI (CSI00, CSI01) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の 3 本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8 ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート^{注1}
 - マスタ通信時 : $\text{Max.f}_{\text{CLK}}/4$
 - スレーブ通信時 : $\text{Max.f}_{\text{MCK}}/6$

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注1. SCK サイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください。詳細は、「第 23 章 電気的特性 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)」および「第 24 章 電気的特性 ($T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$, $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$)」を参照してください。

簡易 SPI (CSI00, CSI01) に対応しているチャンネルは、SAU0 のチャンネル 0, 1 です。

● 10, 8 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	—		—

● 20, 16 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

簡易 SPI (CSI00, CSI01) の通信動作は、以下の 6 種類があります。

- マスタ送信 (12.5.1 項を参照)
- マスタ受信 (12.5.2 項を参照)
- マスタ送受信 (12.5.3 項を参照)
- スレーブ送信 (12.5.4 項を参照)
- スレーブ受信 (12.5.5 項を参照)
- スレーブ送受信 (12.5.6 項を参照)

12.5.1 マスタ送信

マスタ送信とは、この RL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易 SPI	CSI00	CSI01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	7 ビットまたは 8 ビット	
転送レート ^{注1}	Max. $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数	
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 <ul style="list-style-type: none"> • DAPmn=0 の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn=1 の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 <ul style="list-style-type: none"> • CKPmn=0 の場合：非反転 • CKPmn=1 の場合：反転 	
データ方向	MSB ファーストまたは LSB ファースト	

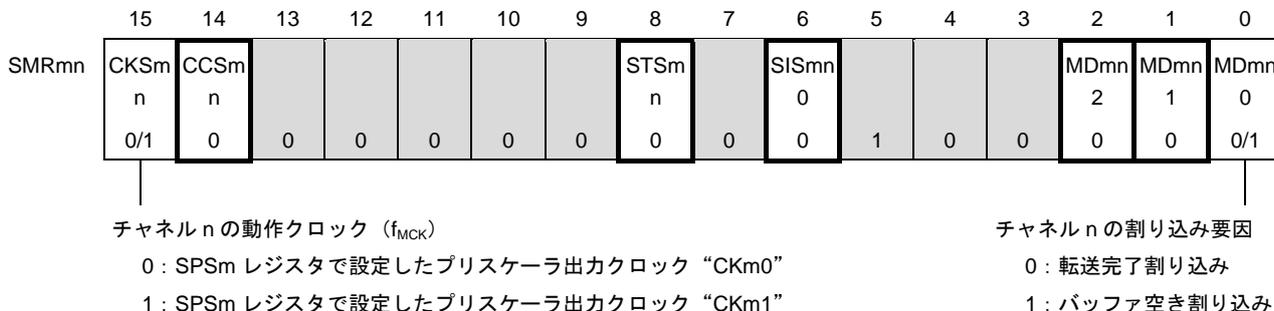
注1. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ）」および「第 24 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）」参照）を満たす範囲で使用してください。

備考 m: ユニット番号 (m=0)、n: チャンネル番号 (n=0, 1)、mn=00, 01

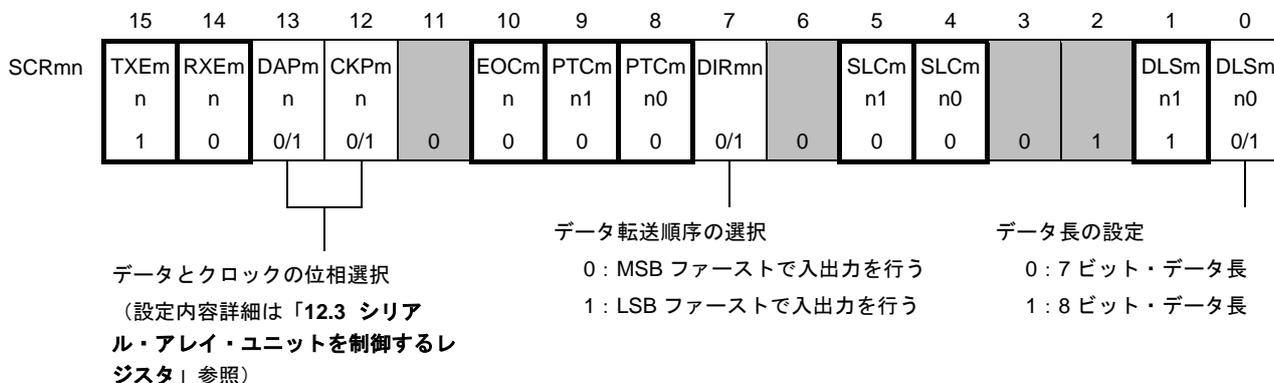
(1) レジスタ設定

図 12-21 簡易 SPI (CSI00, CSI01) のマスタ送信時のレジスタ設定内容例 (1/2)

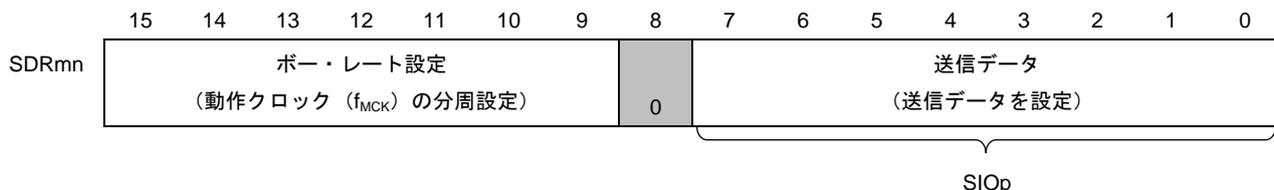
(a) シリアル・モード・レジスタ mn (SMRmn)



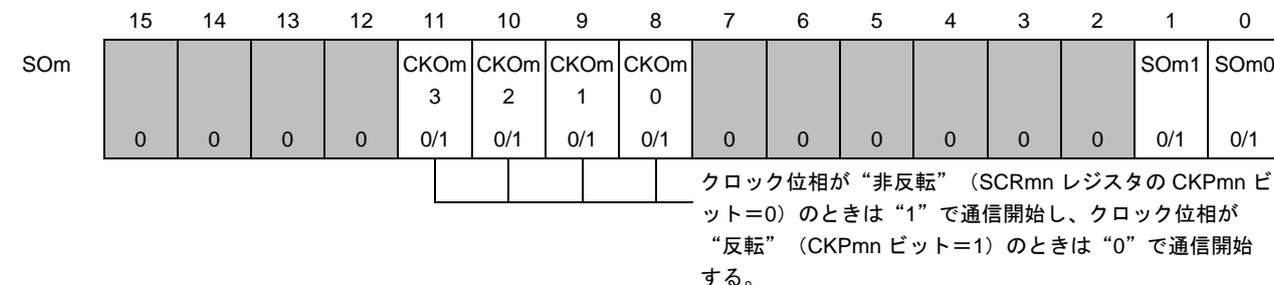
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : SIOp)



(d) シリアル出力レジスタ m (SOM) … 対象チャンネルのビットのみ設定する



(備考は、次ページにあります。)

図 12-21 簡易 SPI (CSI00, CSI01) のマスタ送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力許可レジスタ m (SOEm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
															0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1
															0/1	0/1

備考1. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01**備考2.** □ : 簡易 SPI (CSI) マスタ送信モードでは設定固定、■ : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-22 マスタ送信の初期設定手順

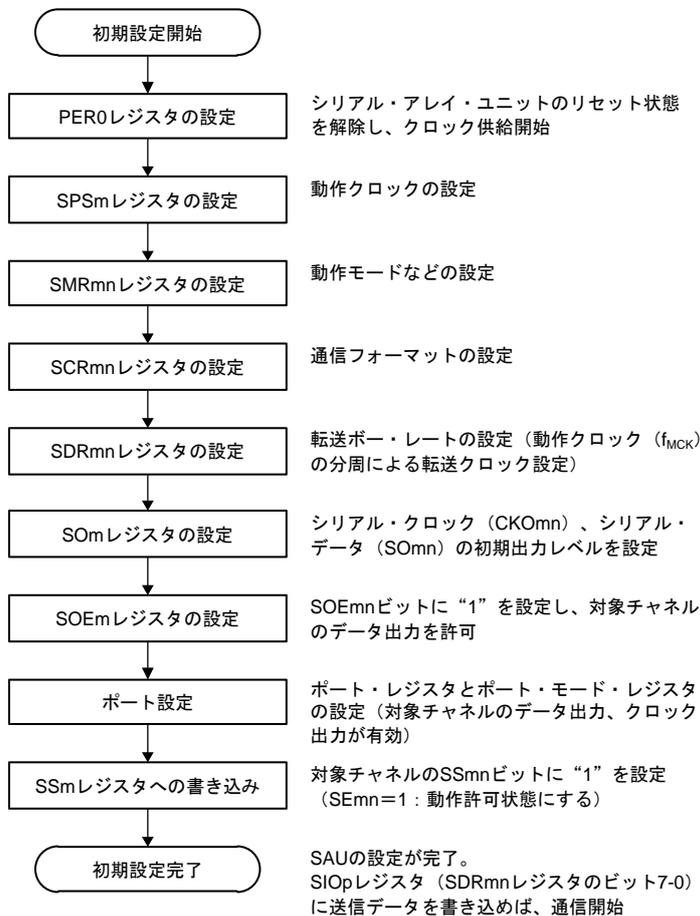


図 12-23 マスタ送信の中断手順

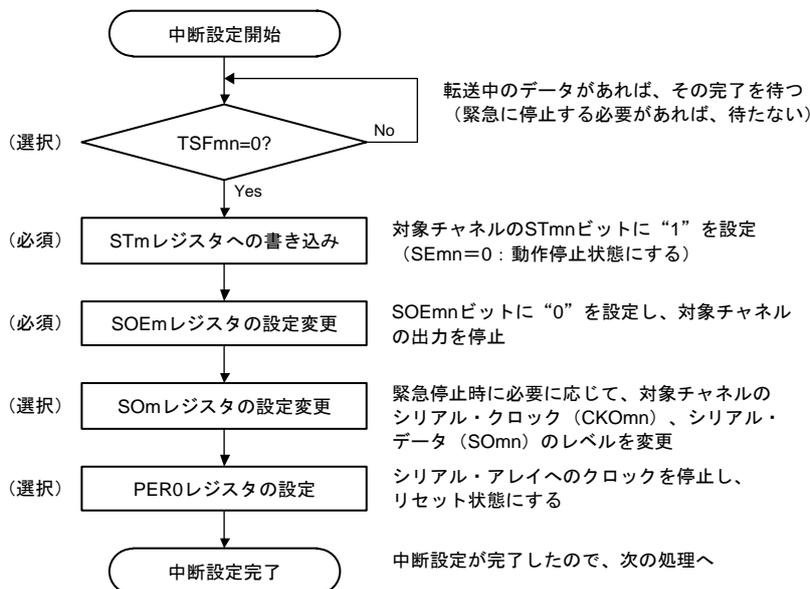
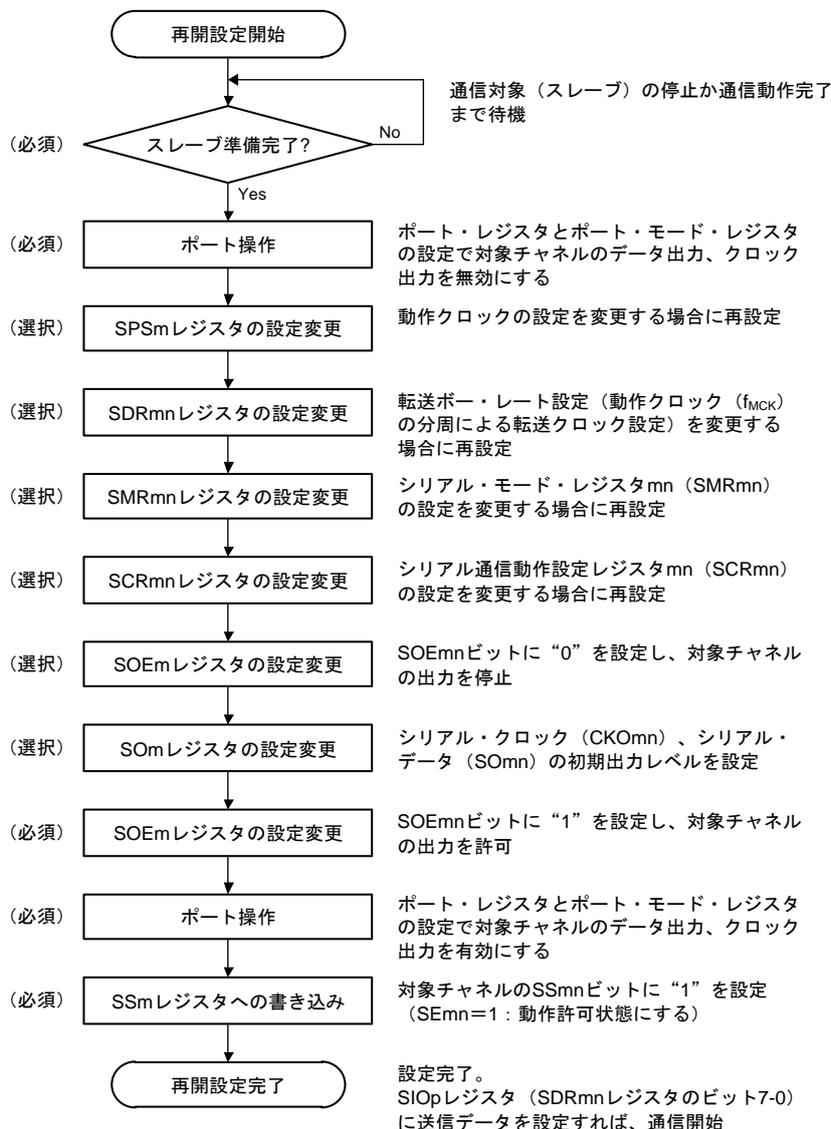


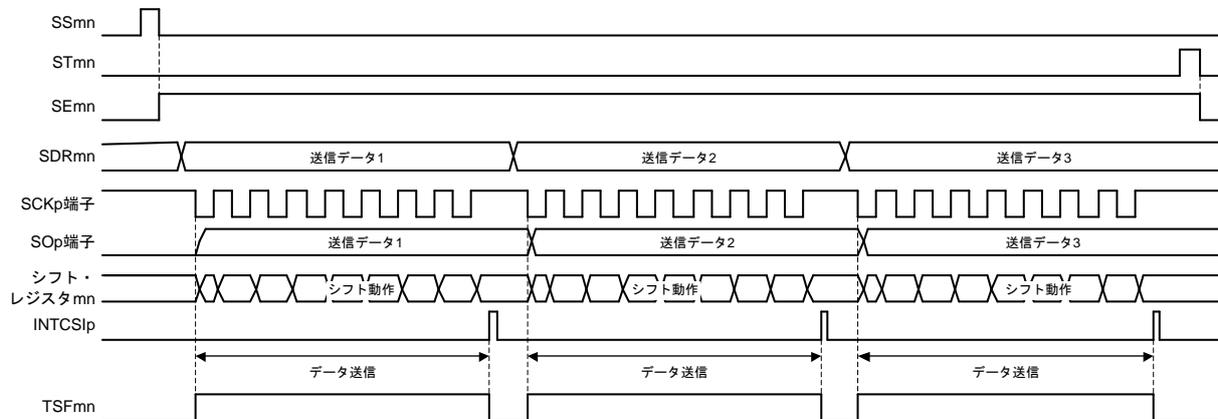
図 12-24 マスタ送信の再開設定手順



備考 中断設定で PER0 を書き換えてクロック供給を停止した場合は、通信対象 (スレーブ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

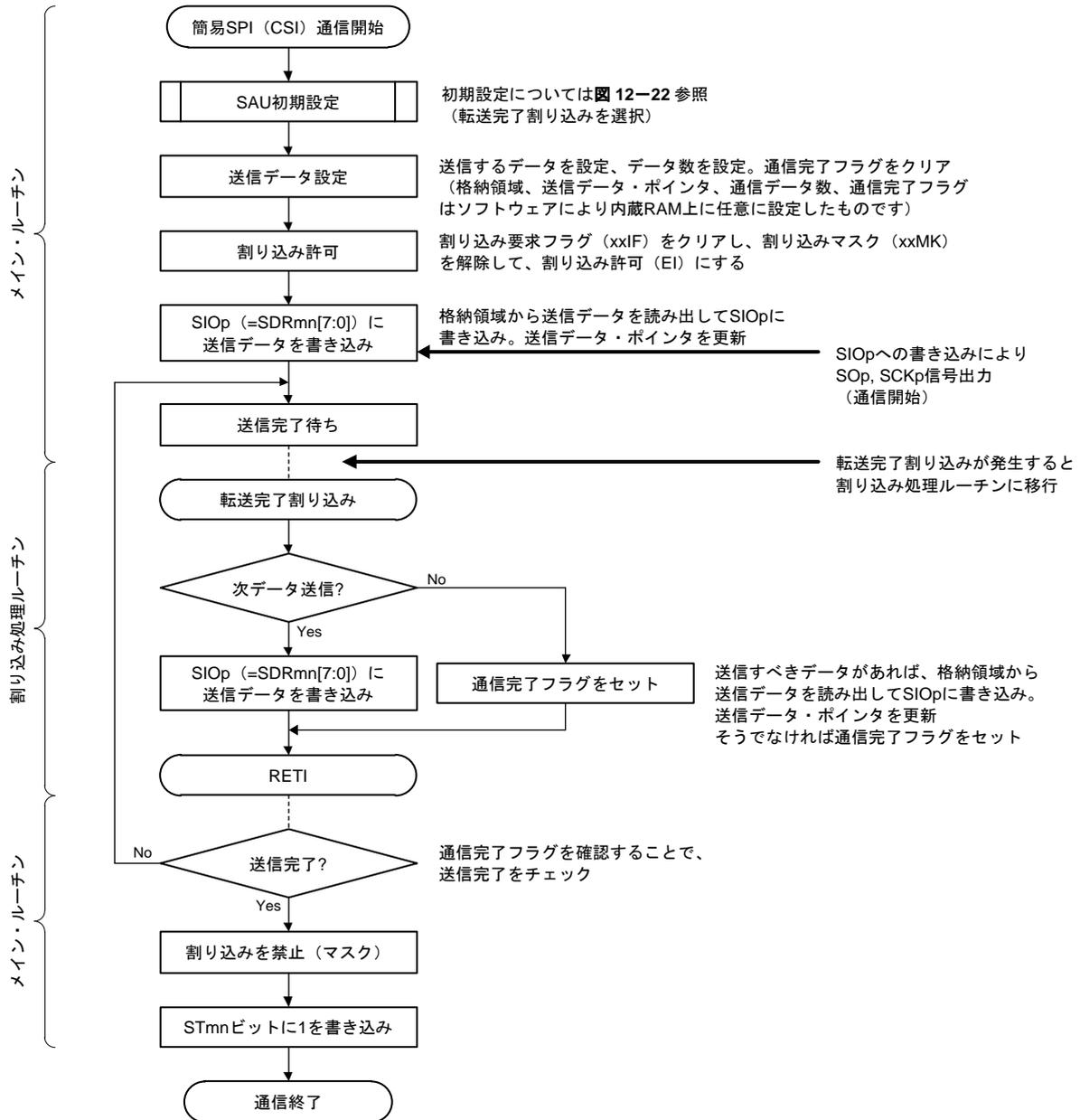
(3) 処理フロー（シングル送信モード時）

図 12-25 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ 1 : DAPmn=0, CKPmn=0）



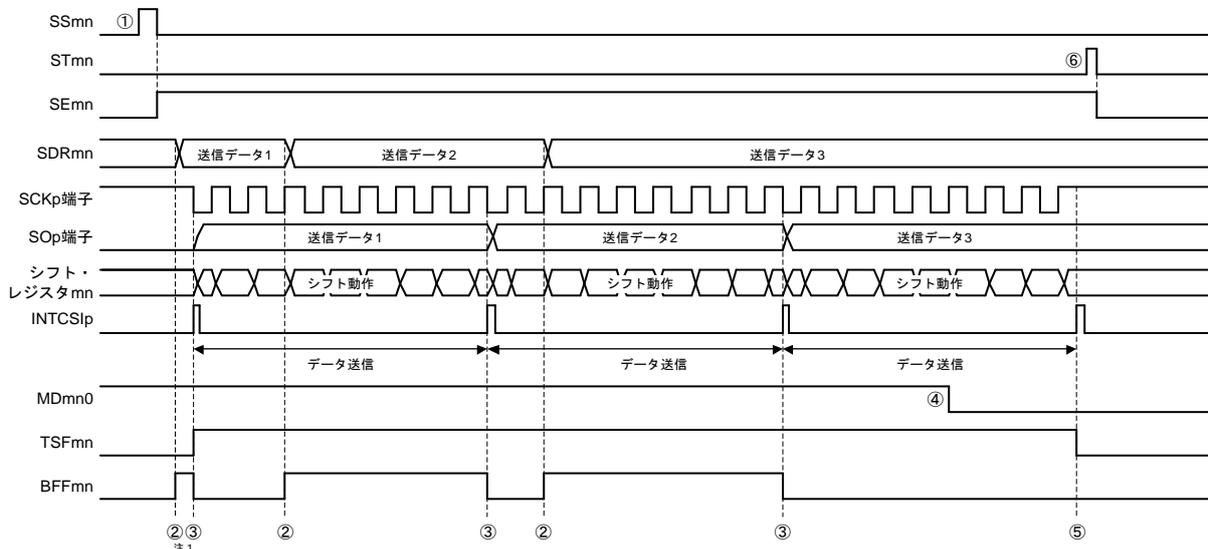
備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

図 12-26 マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図 12-27 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）

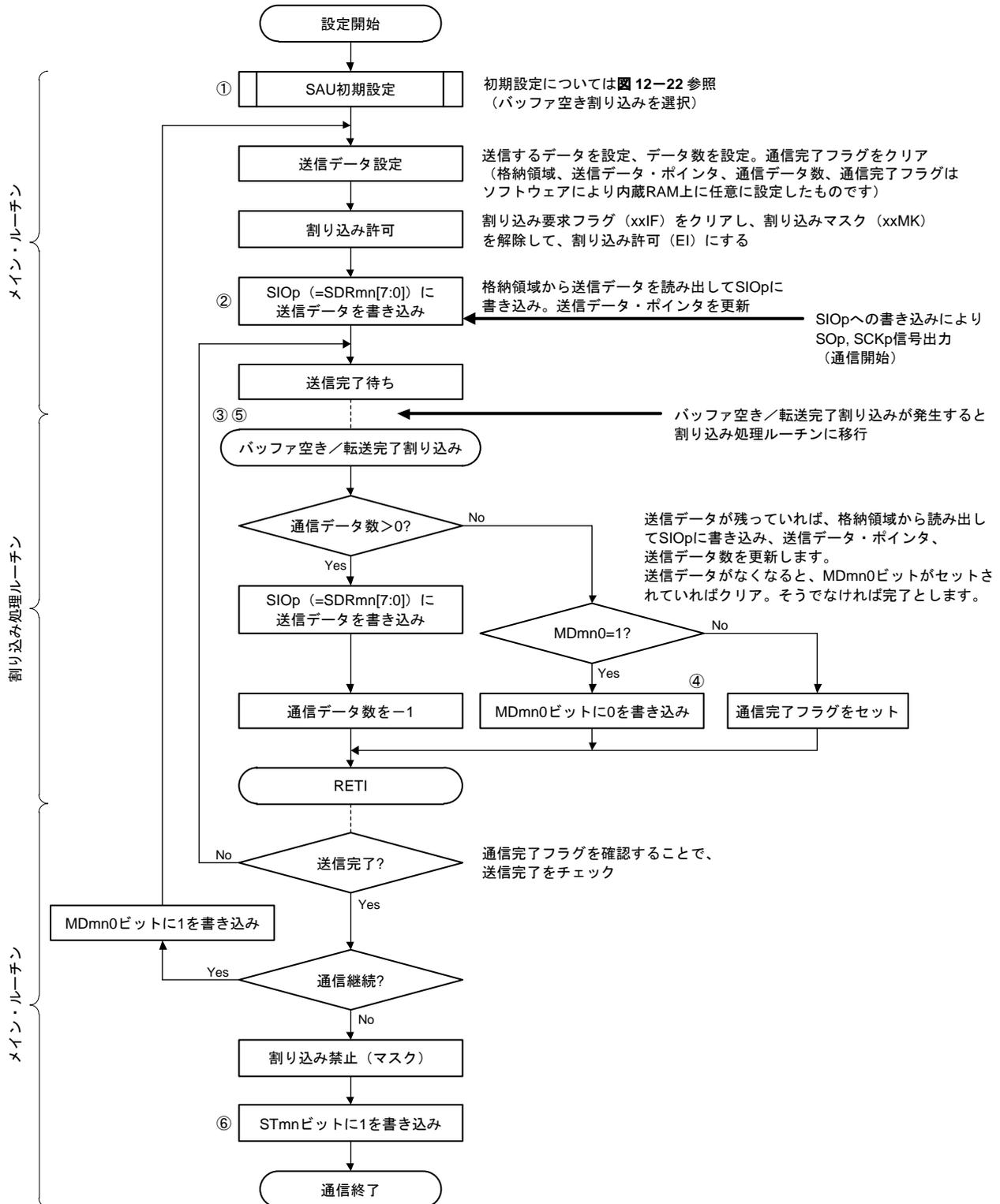


注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが “1” の期間（有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0, 1)、p : CSI 番号 (p=00, 01)、mn=00, 01

図 12-28 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、「図 12-27 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）」の①～⑥に対応しています。

12.5.2 マスタ受信

マスタ受信とは、この RL78 マイクロコントローラが転送クロックを出し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易 SPI	CSI00	CSI01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7 ビットまたは 8 ビット	
転送レート ^{注1}	Max. $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数	
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 <ul style="list-style-type: none"> • DAPmn=0 の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn=1 の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 	
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 <ul style="list-style-type: none"> • CKPmn=0 の場合：非反転 • CKPmn=1 の場合：反転 	
データ方向	MSB ファーストまたは LSB ファースト	

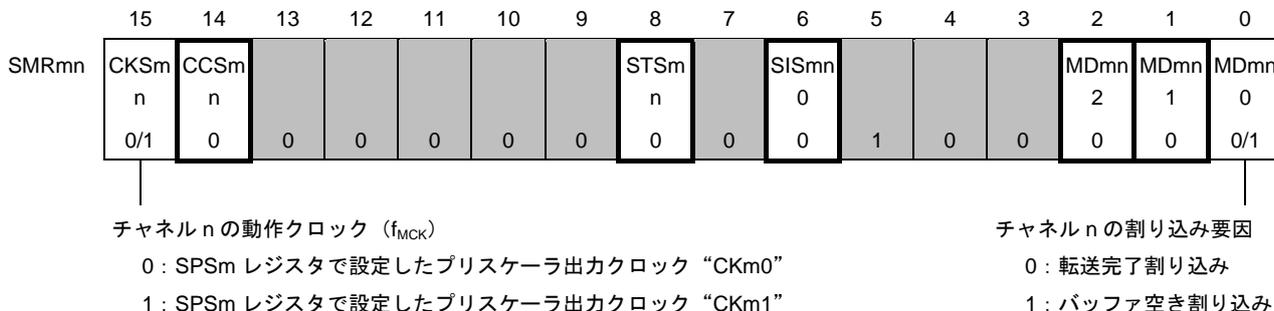
注1. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ）」および「第 24 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）」参照）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m=0)、n: チャンネル番号 (n=0, 1)、p: CSI 番号 (p=00, 01)、mn=00, 01

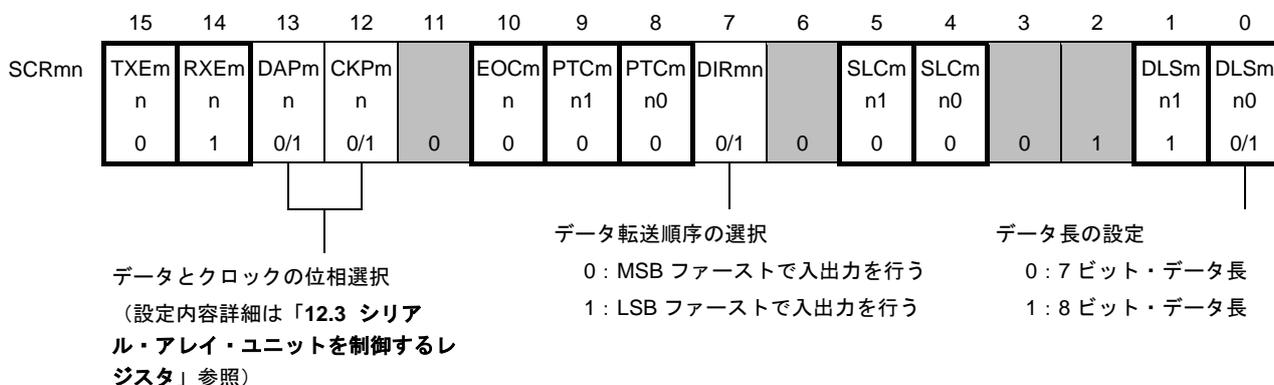
(1) レジスタ設定

図 12-29 簡易 SPI (CSI00, CSI01) のマスタ受信時のレジスタ設定内容例 (1/2)

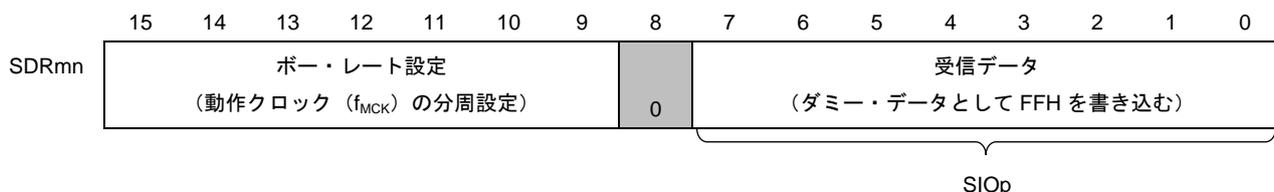
(a) シリアル・モード・レジスタ mn (SMRmn)



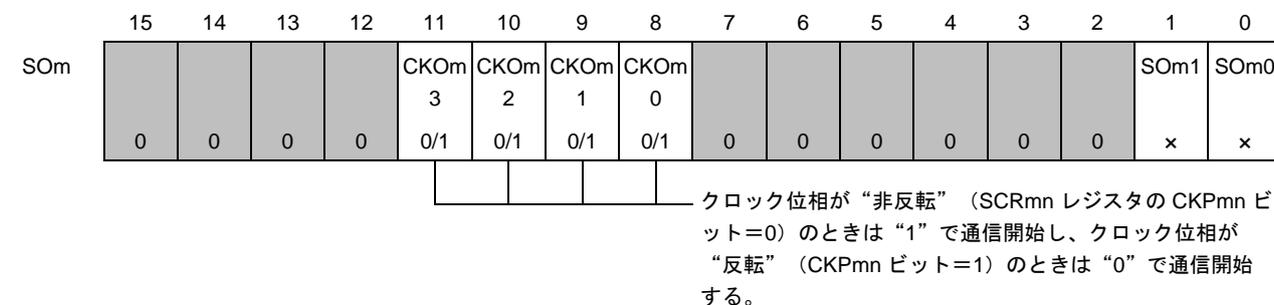
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : SIOp)



(d) シリアル出力レジスタ m (SOM) … 対象チャンネルのビットのみ設定する



(備考は次ページにあります。)

図 12-29 簡易 SPI (CSI00, CSI01) のマスタ受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力許可レジスタ m (SOEm) … このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
															x	x

(f) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

備考1. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

備考2. : 簡易 SPI (CSI) マスタ受信モードでは設定固定、 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-30 マスタ受信の初期設定手順

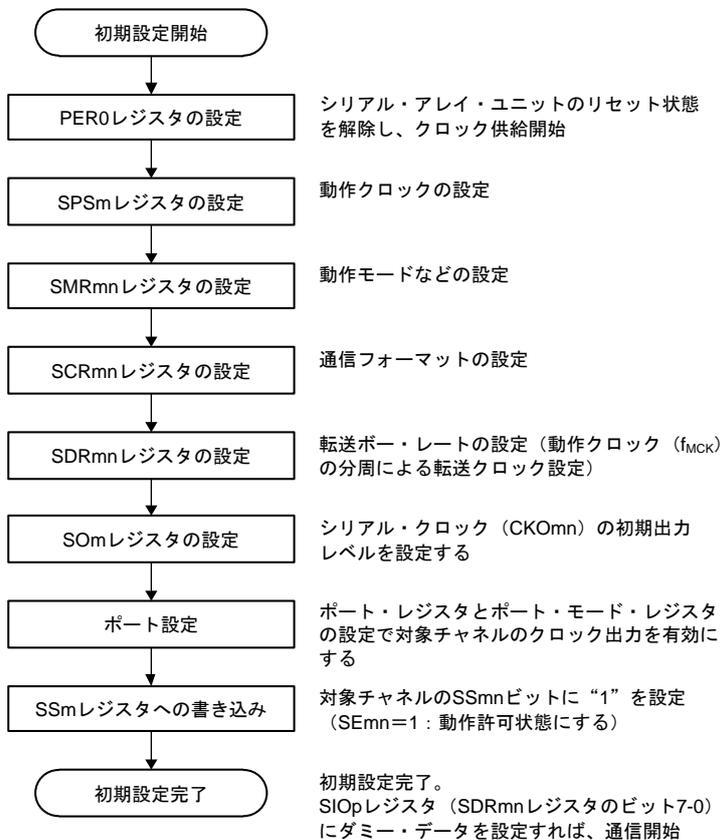


図 12-31 マスタ受信の中断手順

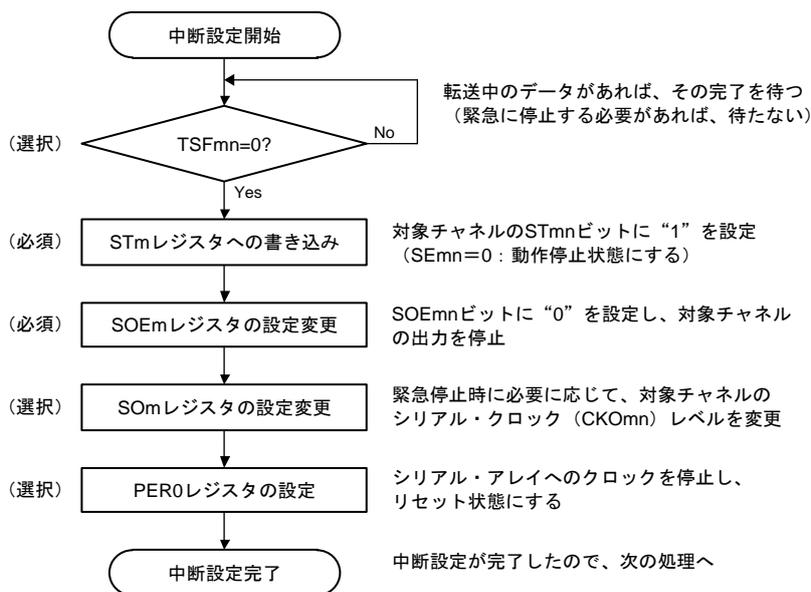
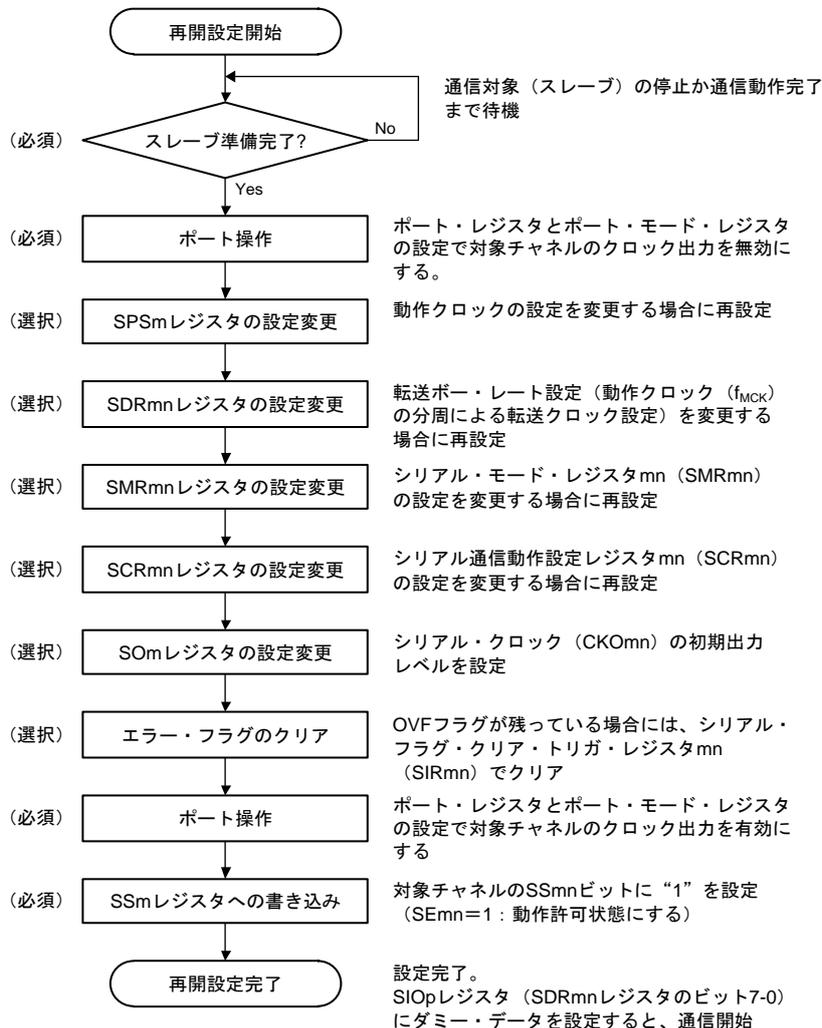


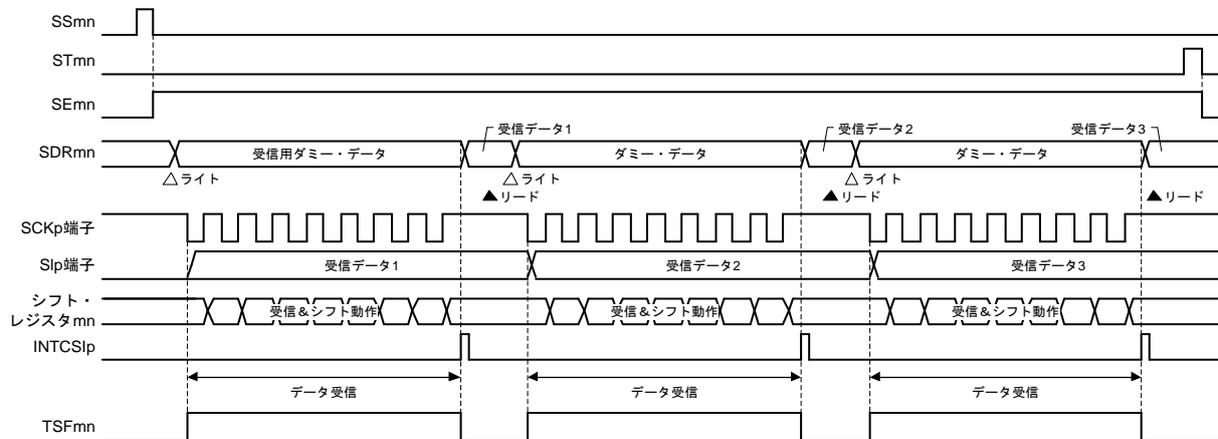
図 12-32 マスタ受信の再開設定手順



備考 中断設定で PER0 を書き換えてクロック供給を停止した場合は、通信対象 (スレーブ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

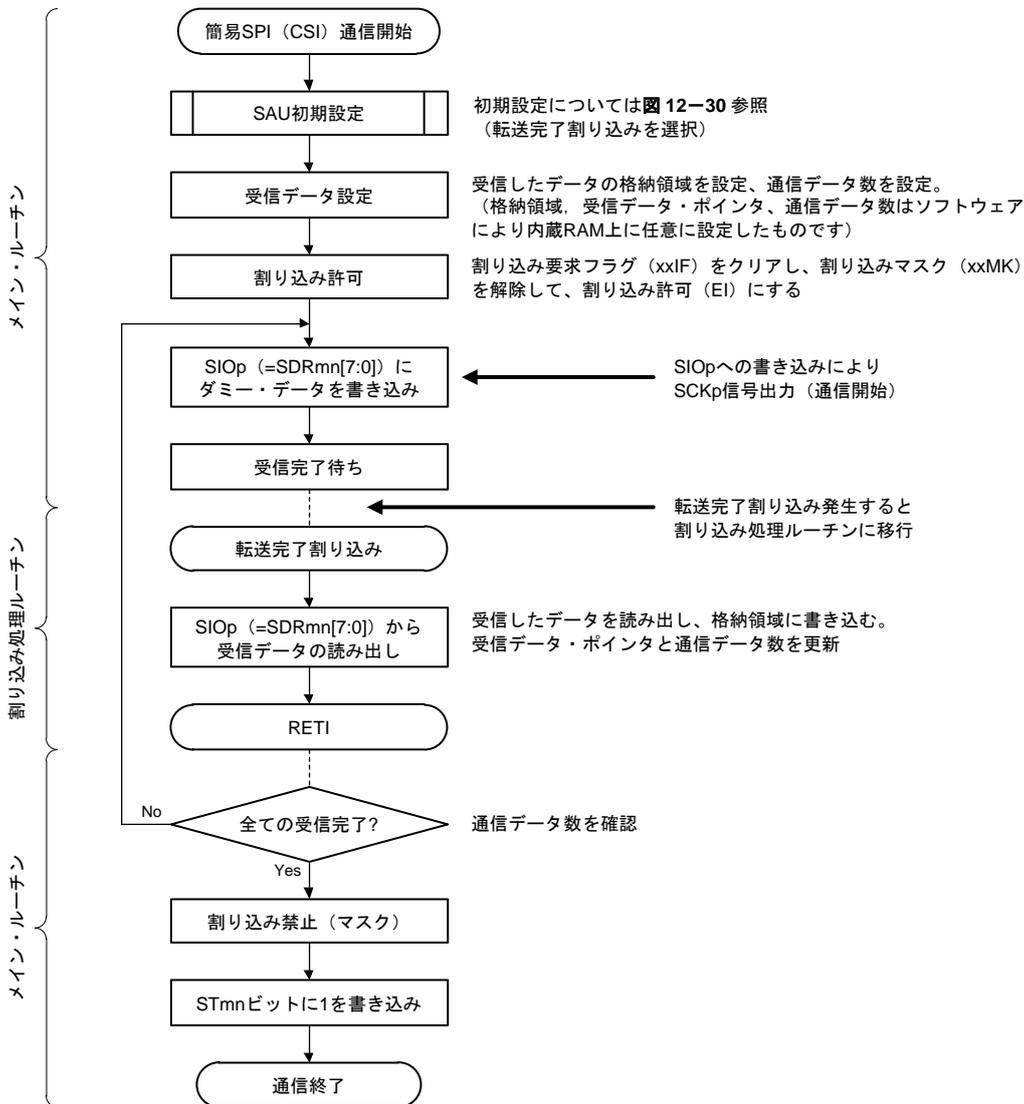
(3) 処理フロー（シングル受信モード時）

図 12-33 マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ 1 : DAPmn=0, CKPmn=0）



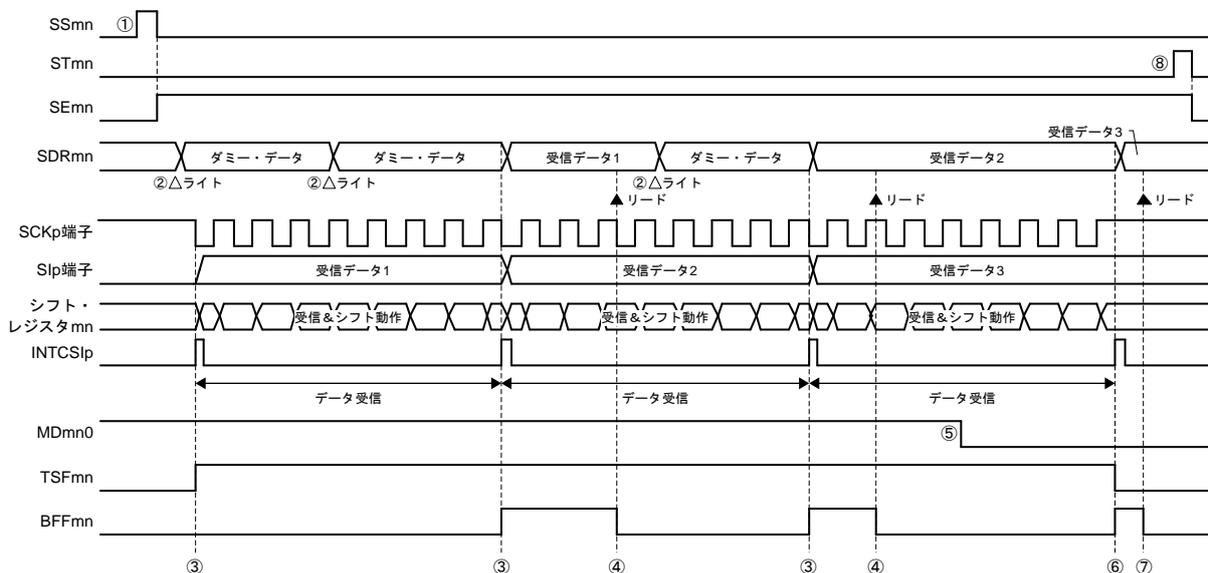
備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

図 12-34 マスタ受信（シングル受信モード時）のフロー・チャート



(4) 処理フロー（連続受信モード時）

図 12-35 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）

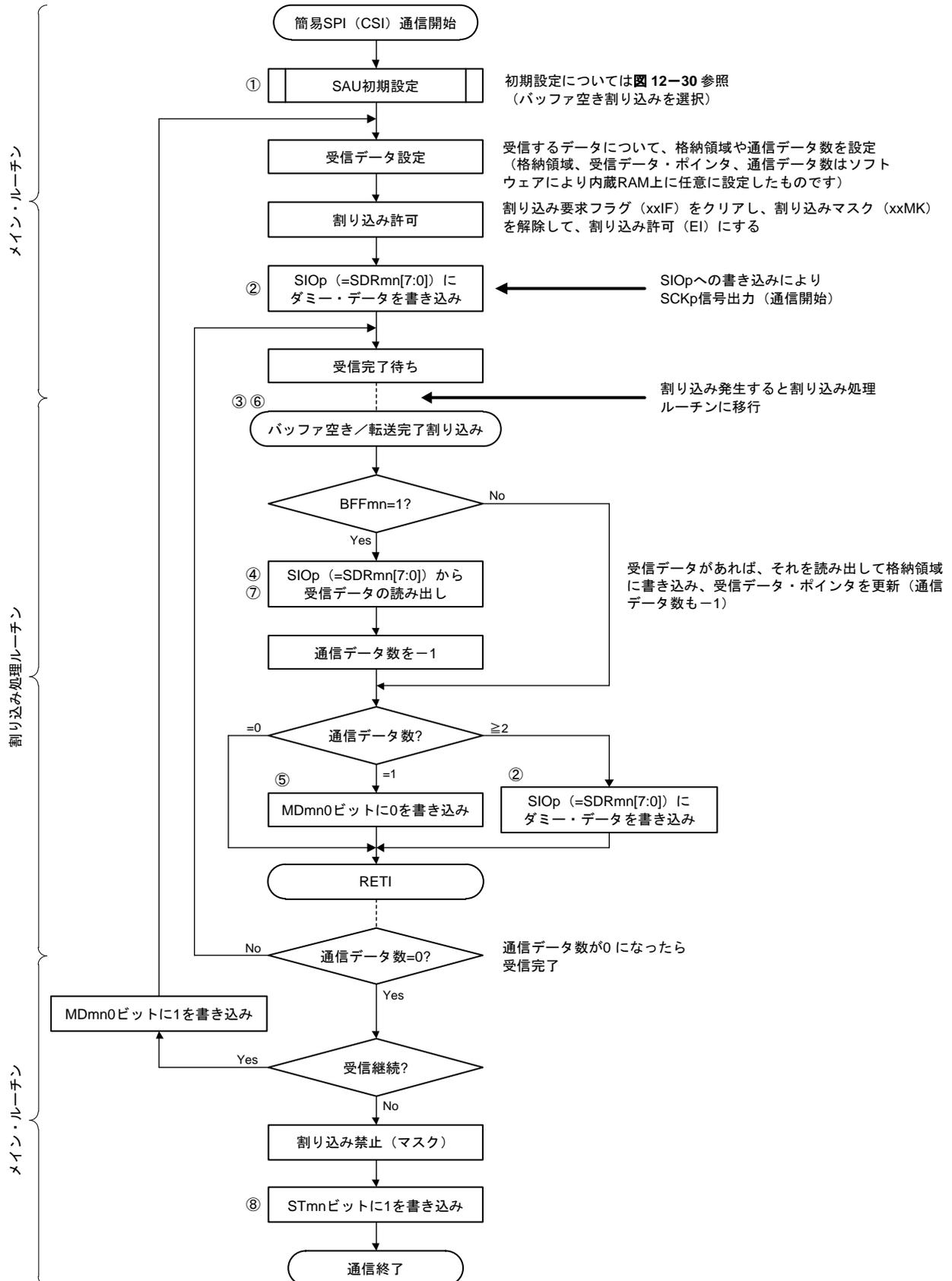


注意 MDmn0 ビットは、動作中でも書き換えることができます。
 ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、「図 12-36 マスタ受信（連続受信モード時）のフロー・チャート」の①～⑧に対応しています。

備考2. m：ユニット番号（m=0）、n：チャンネル番号（n=0, 1）、p：CSI 番号（p=00, 01）、mn=00, 01

図 12-36 マスタ受信（連続受信モード時）のフロー・チャート



(備考は次ページにあります。)

備考 図中の①～⑧は、「図 12-35 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）」の①～⑧に対応しています。

12.5.3 マスタ送受信

マスタ送受信とは、この RL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易 SPI	CSI00	CSI01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7 ビットまたは 8 ビット	
転送レート ^{注1}	Max. $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数	
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 <ul style="list-style-type: none"> • DAPmn=0 の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn=1 の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 	
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 <ul style="list-style-type: none"> • CKPmn=0 の場合：非反転 • CKPmn=1 の場合：反転 	
データ方向	MSB ファーストまたは LSB ファースト	

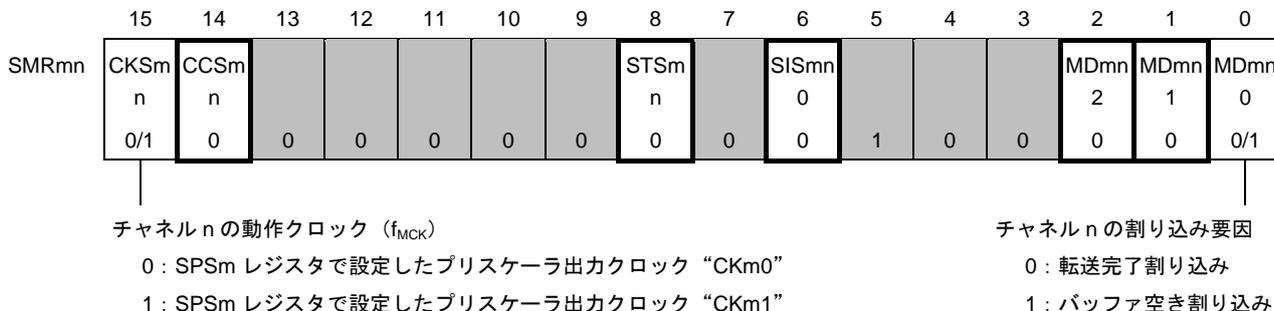
注1. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ）」および「第 24 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）」参照）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m=0)、n: チャンネル番号 (n=0, 1)、p: CSI 番号 (p=00, 01)、mn=00, 01

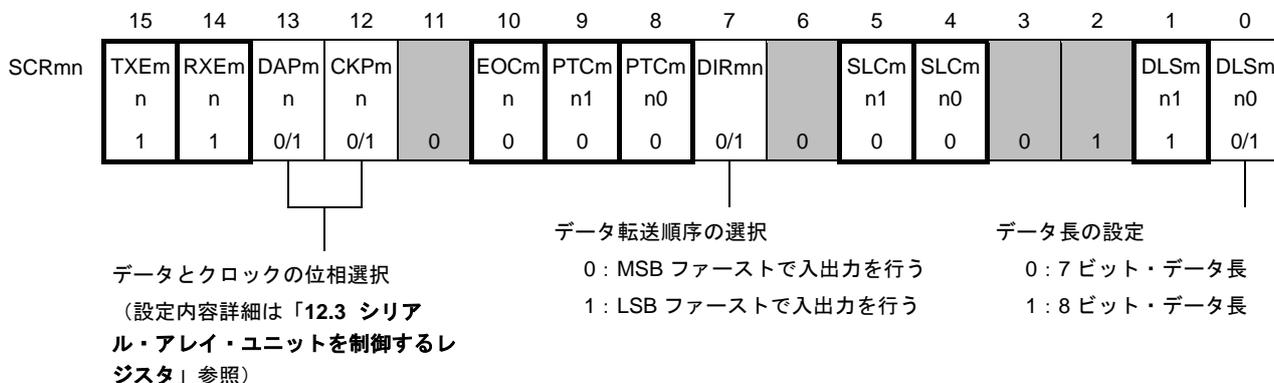
(1) レジスタ設定

図 12-37 簡易 SPI (CSI00, CSI01) のマスタ送受信時のレジスタ設定内容例 (1/2)

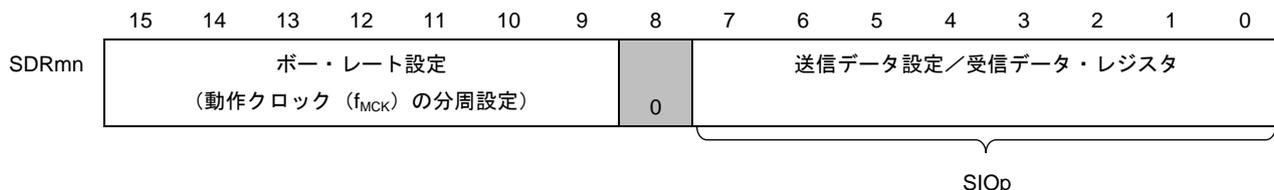
(a) シリアル・モード・レジスタ mn (SMRmn)



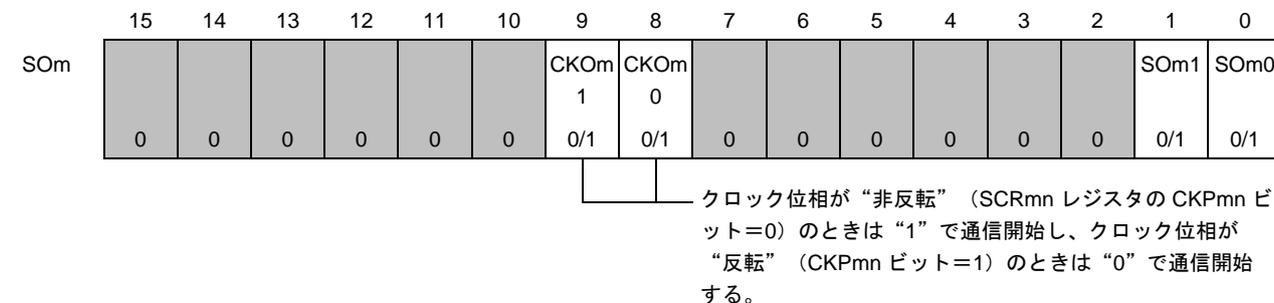
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット: SIOp)



(d) シリアル出力レジスタ m (SOM) … 対象チャンネルのビットのみ設定する



(備考は次ページにあります。)

図 12-37 簡易 SPI (CSI00, CSI01) のマスタ送受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力許可レジスタ m (SOEm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SOEm																	SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
																	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SSm																	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1
																	0/1	0/1

備考1. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01**備考2.** : 簡易 SPI (CSI) マスタ送受信モードでは設定固定、 : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-38 マスタ送受信の初期設定手順

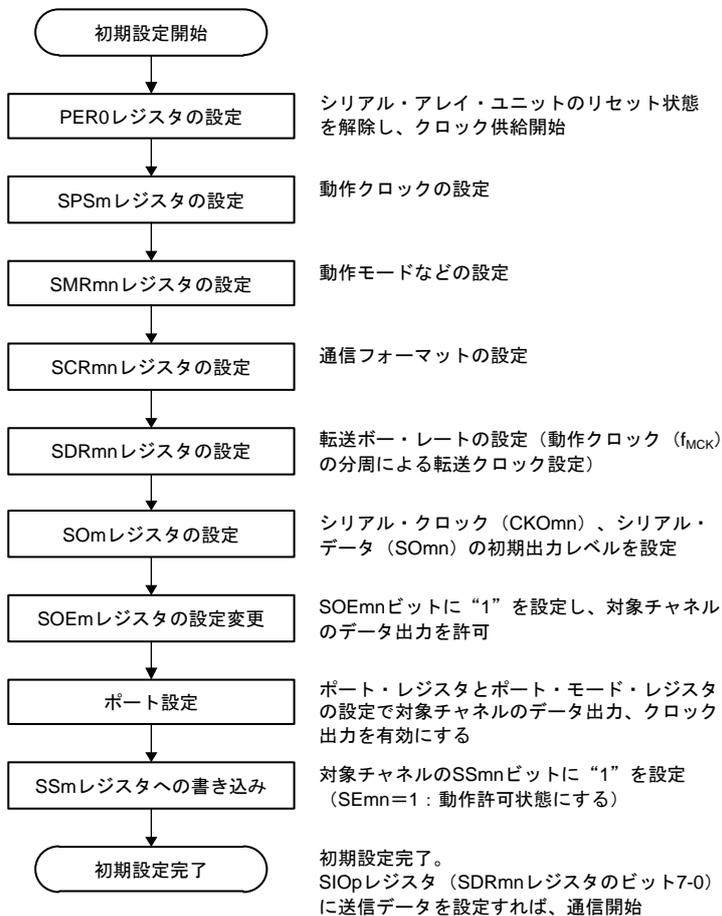


図 12-39 マスタ送受信の中断手順

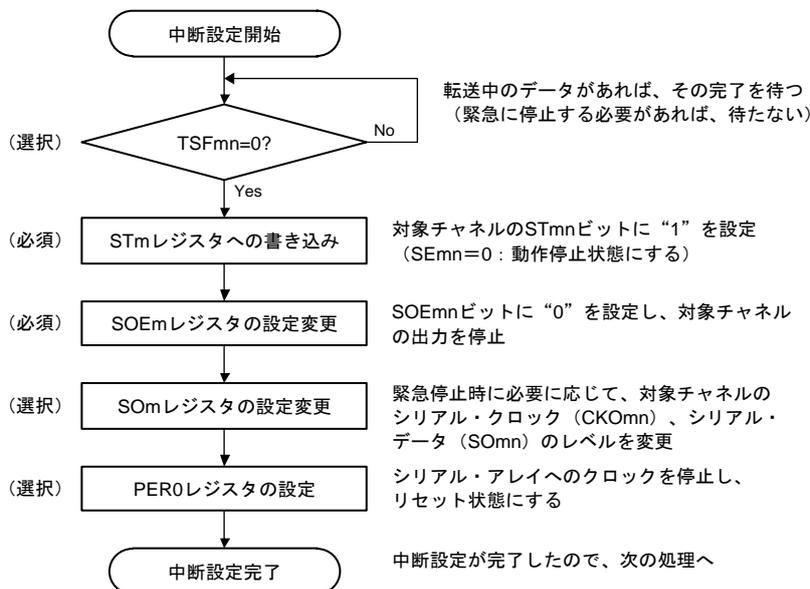
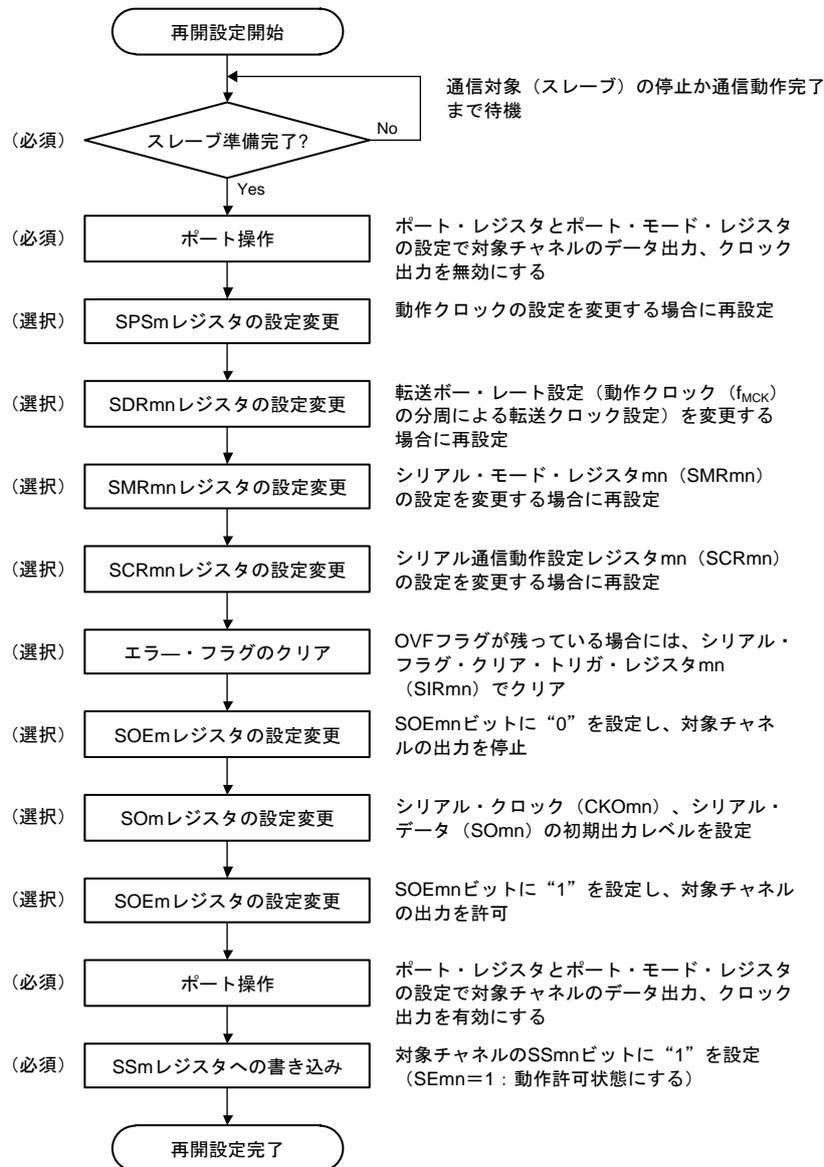
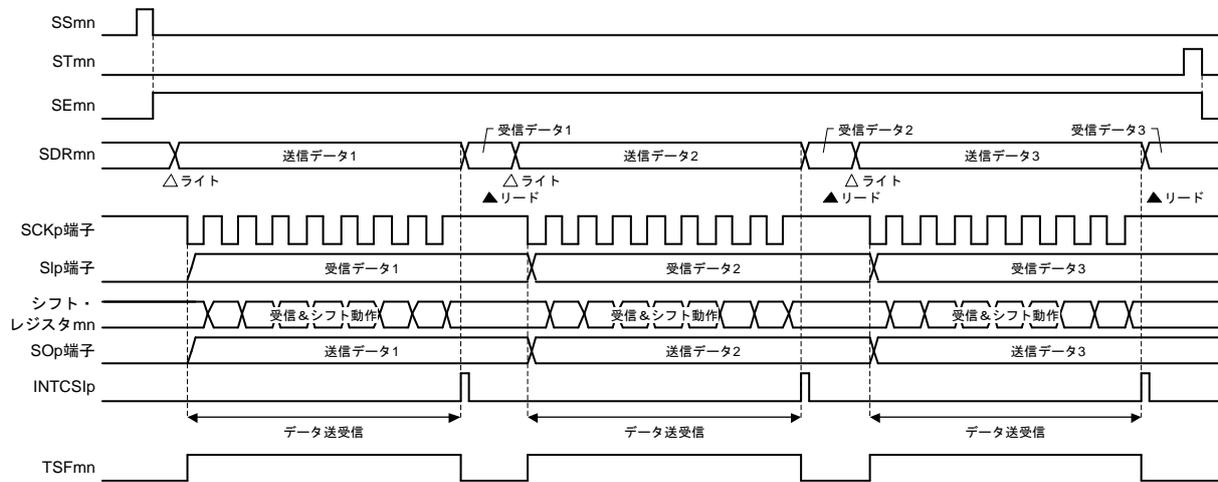


図 12-40 マスタ送受信の再開設定手順



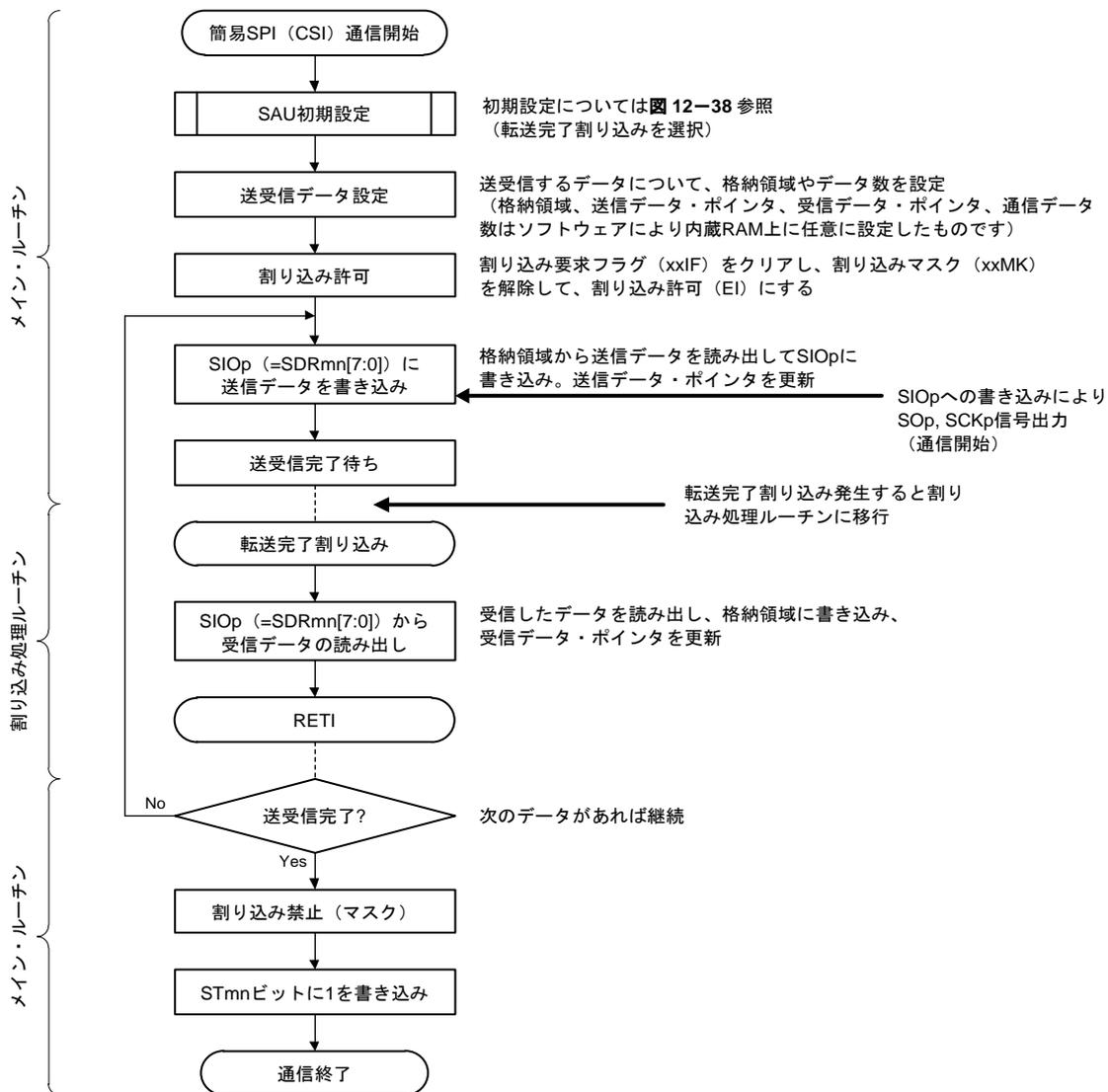
(3) 処理フロー（シングル送受信モード時）

図 12-41 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）



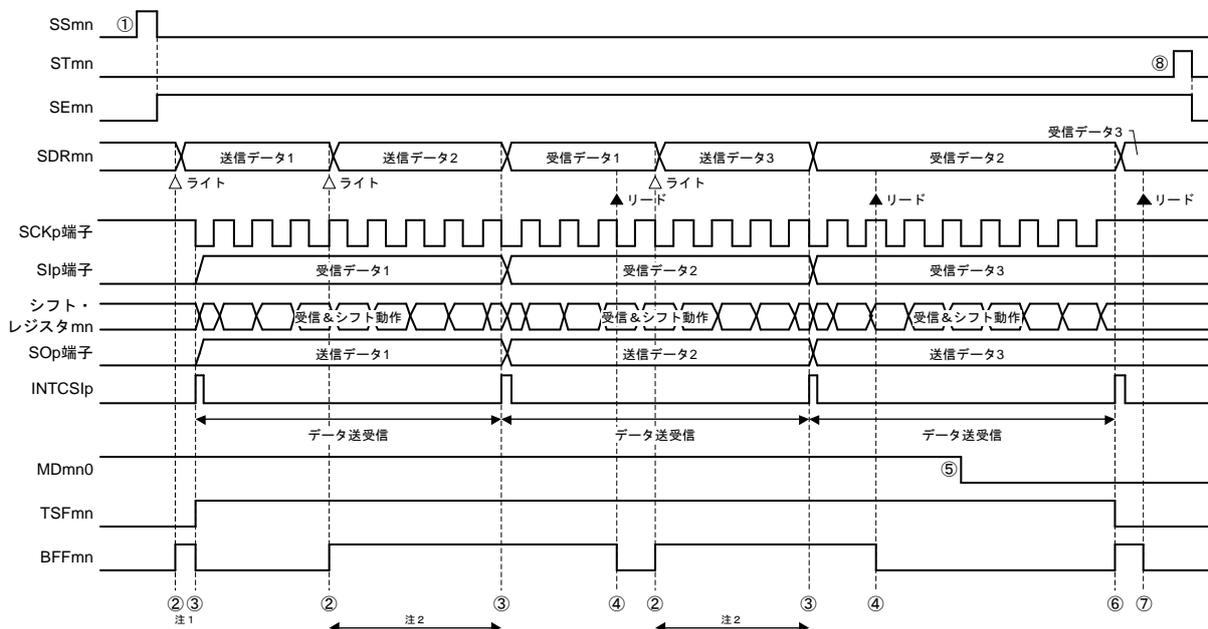
備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0, 1)、p : CSI 番号 (p=00, 01)、mn=00, 01

図 12-42 マスタ送受信（シングル送受信モード時）のフロー・チャート



(4) 処理フロー（連続送受信モード時）

図 12-43 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ 1 : DAPmn=0, CKPmn=0）



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが “1” の期間（有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時）に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

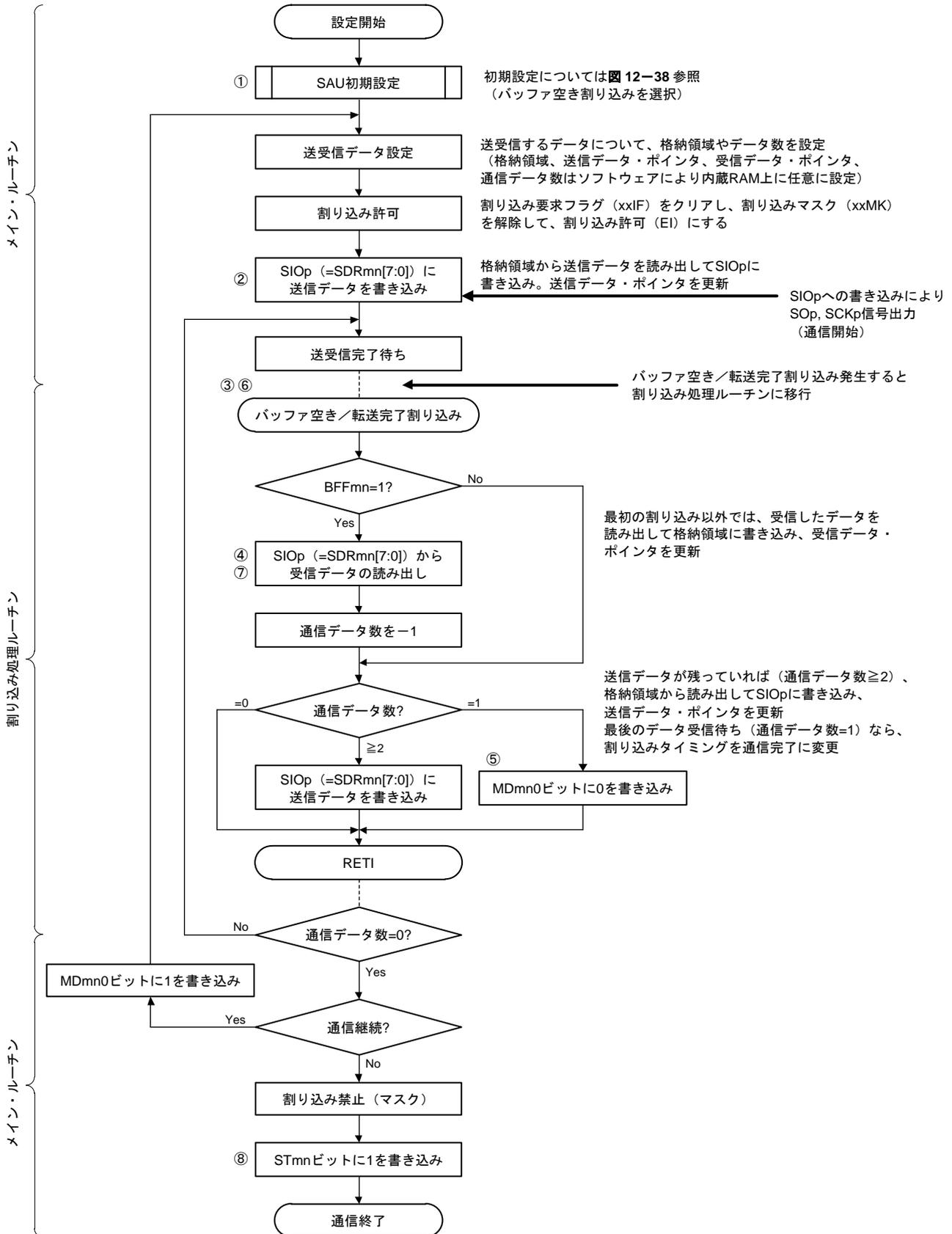
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、「図 12-44 マスタ送受信（連続送受信モード時）のフロー・チャート」の①～⑧に対応しています。

備考2. m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

図 12-44 マスタ送受信（連続送受信モード時）のフロー・チャート



(備考は、次ページにあります。)

備考 図中の①～⑧は、「図 12-43 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ 1: DAPmn=0, CKPmn=0）」の①～⑧に対応しています。

12.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易 SPI	CSI00	CSI01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7 ビットまたは 8 ビット	
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1、注2}	
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 <ul style="list-style-type: none"> • DAPmn=0 の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn=1 の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 <ul style="list-style-type: none"> • CKPmn=0 の場合：非反転 • CKPmn=1 の場合：反転 	
データ方向	MSB ファーストまたは LSB ファースト	

注1. SCK00, SCK01 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ）」および「第 24 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）」参照）を満たす範囲内で使用してください。

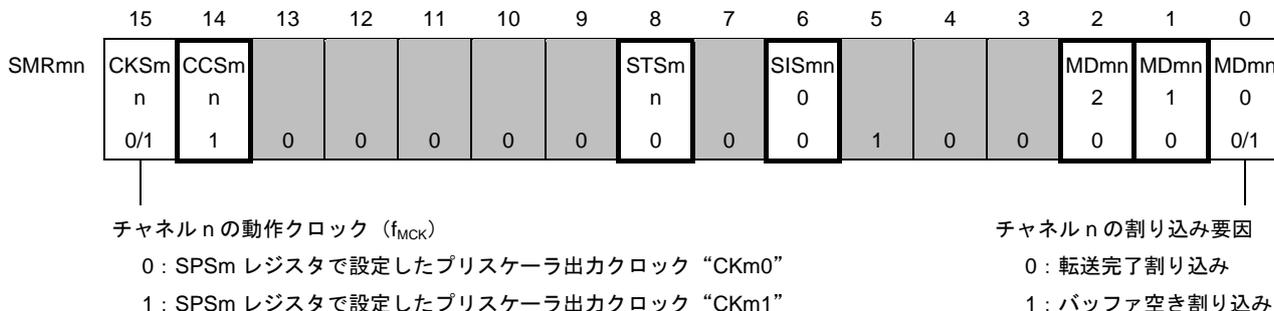
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数
 f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（m=0）、n：チャンネル番号（n=0, 1）、mn=00, 01

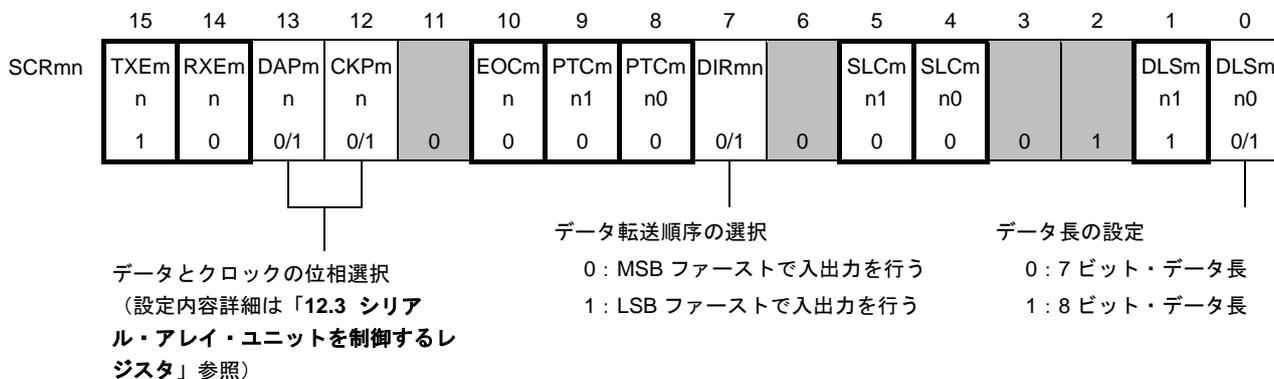
(1) レジスタ設定

図 12-45 簡易 SPI (CSI00, CSI01) のスレーブ送信時のレジスタ設定内容例 (1/2)

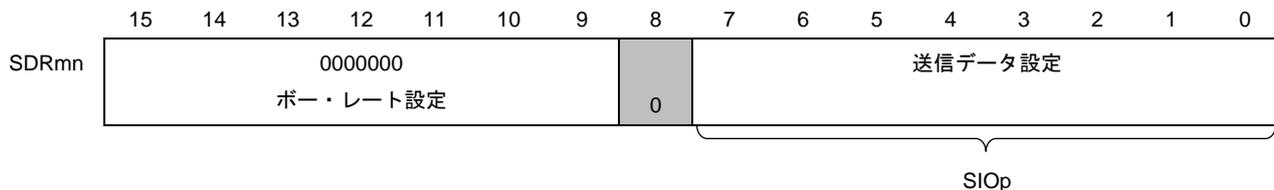
(a) シリアル・モード・レジスタ mn (SMRmn)



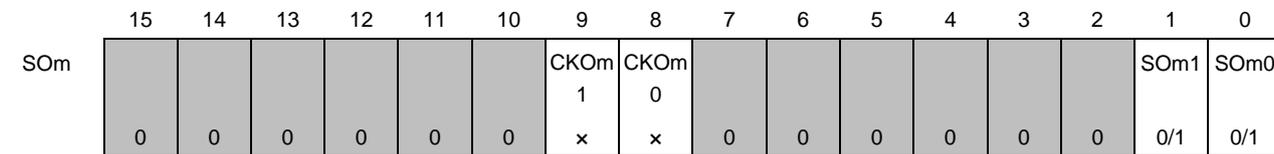
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) … 対象チャンネルのビットのみ設定する



(備考は、次ページにあります。)

図 12-45 簡易 SPI (CSI00, CSI01) のスレーブ送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力許可レジスタ m (SOEm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
															0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

備考1. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

備考2. : 簡易 SPI (CSI) スレーブ送信モードでは設定固定、 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-46 スレーブ送信の初期設定手順

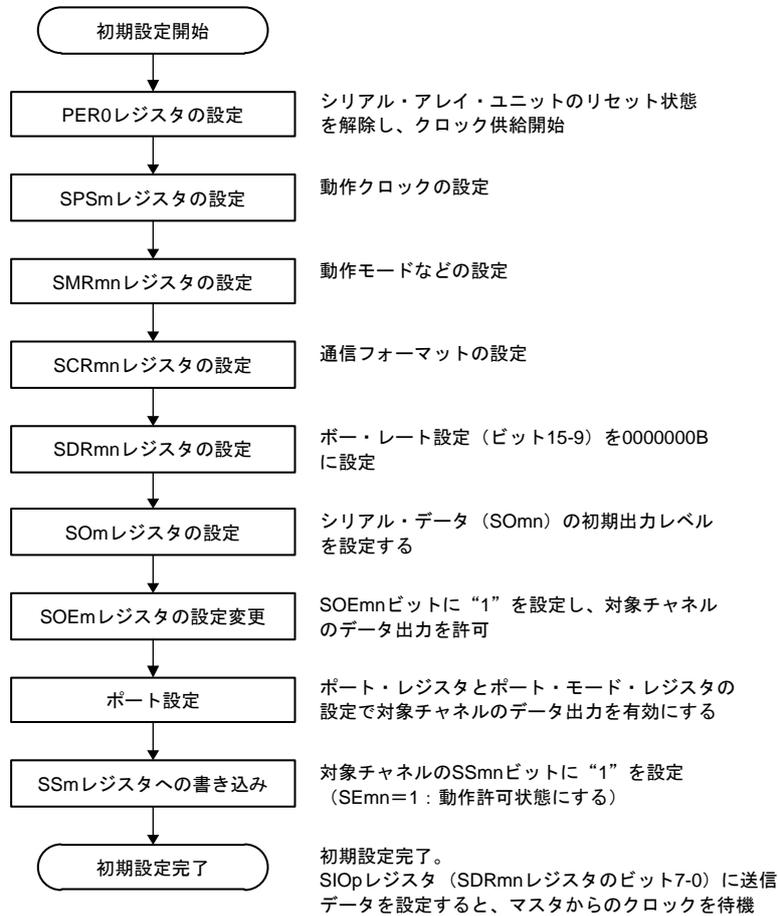


図 12-47 スレーブ送信の中断手順

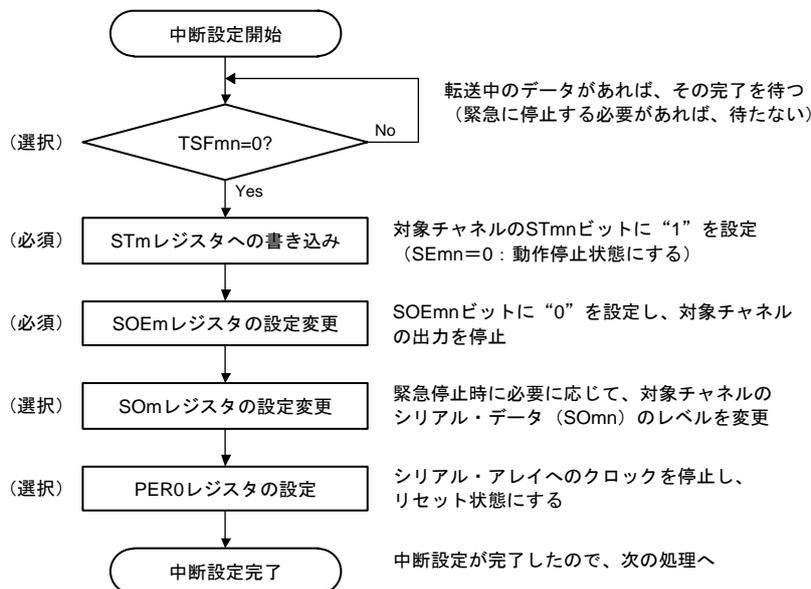
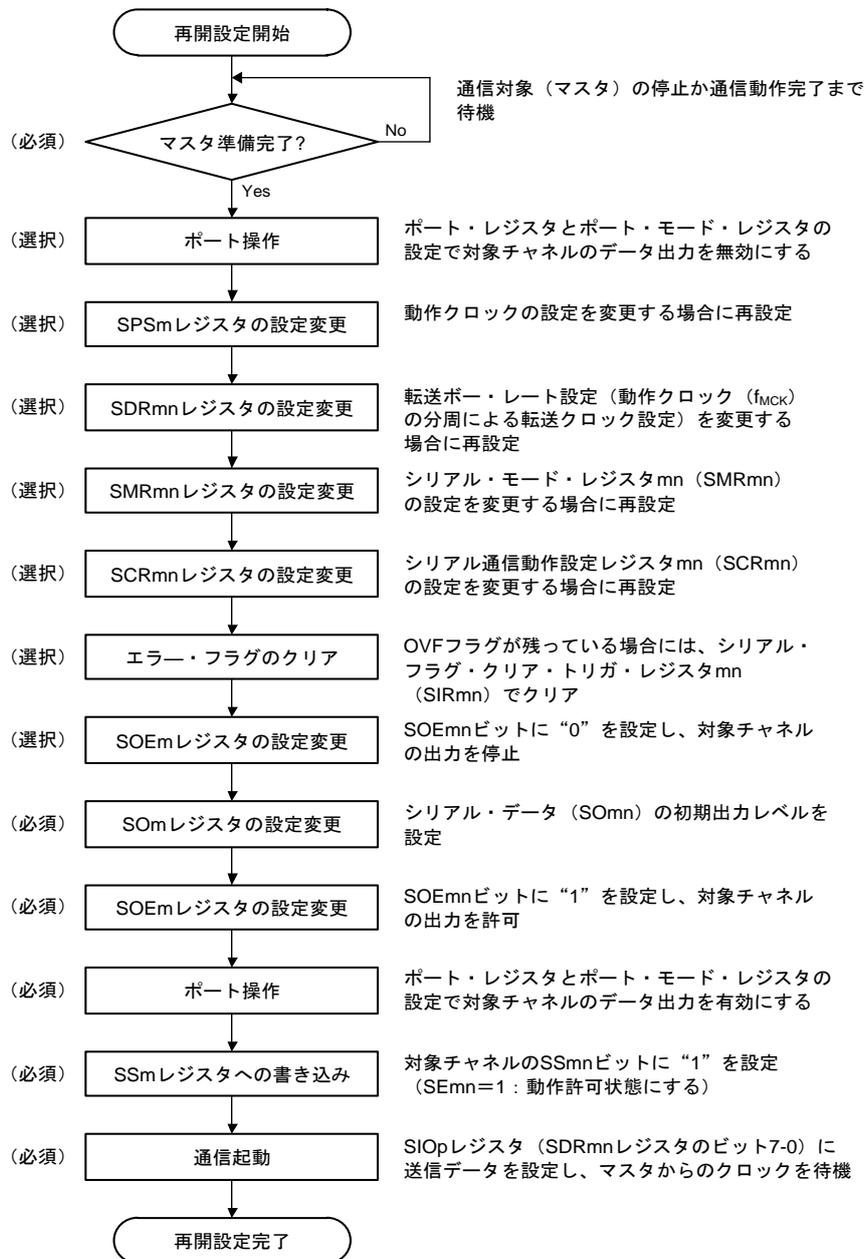


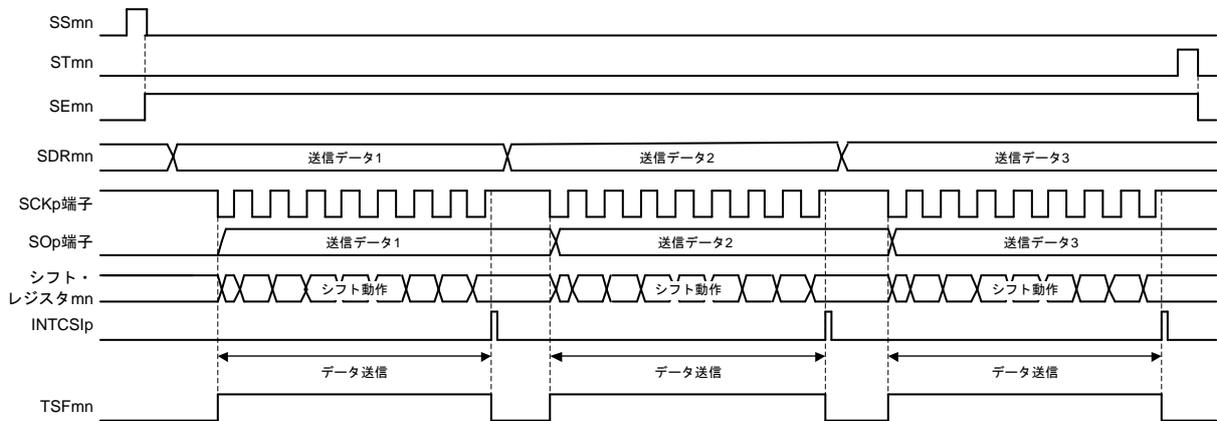
図 12-48 スレーブ送信の再開設定手順



備考 中断設定で PER0 を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

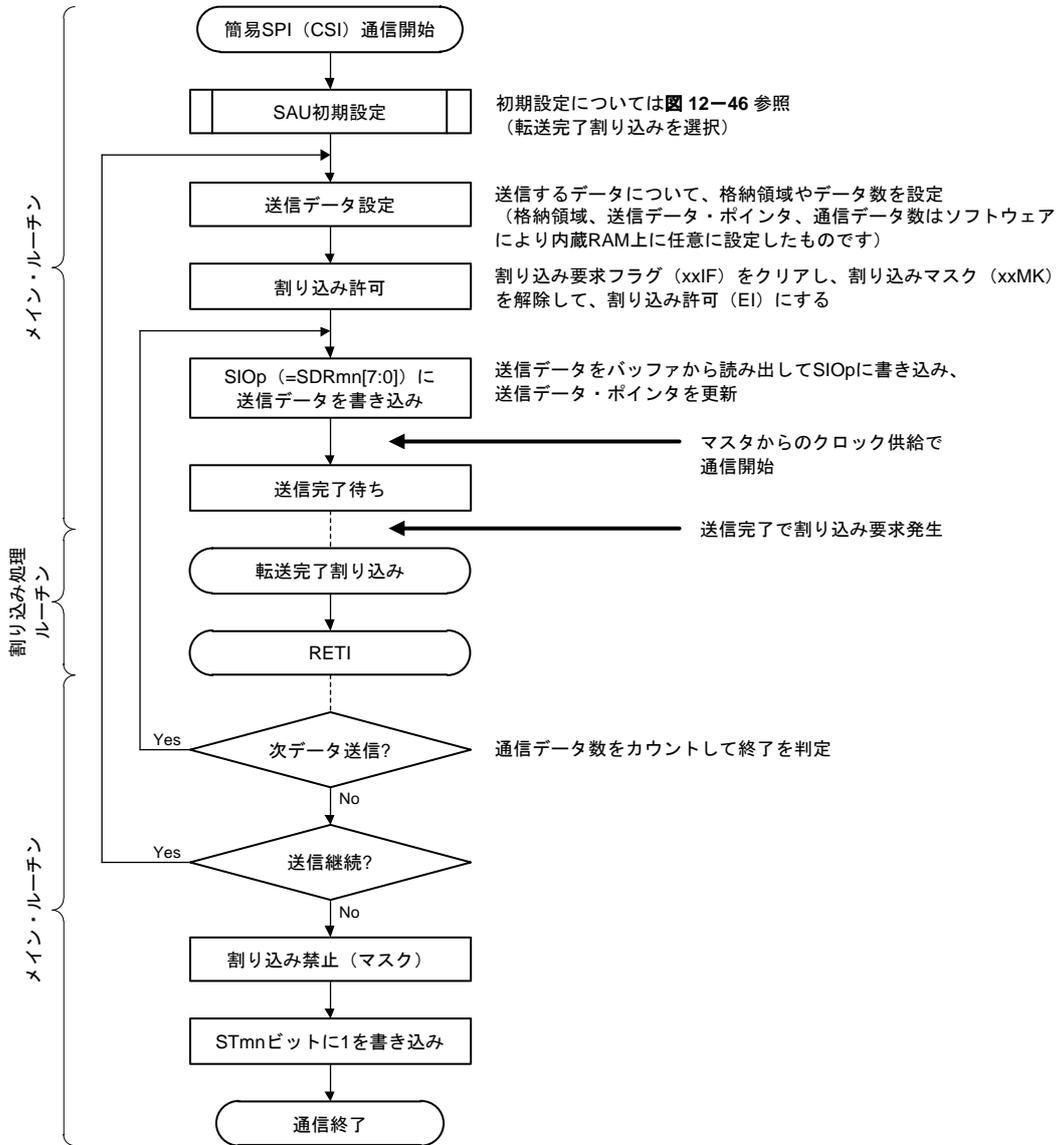
(3) 処理フロー（シングル送信モード時）

図 12-49 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）



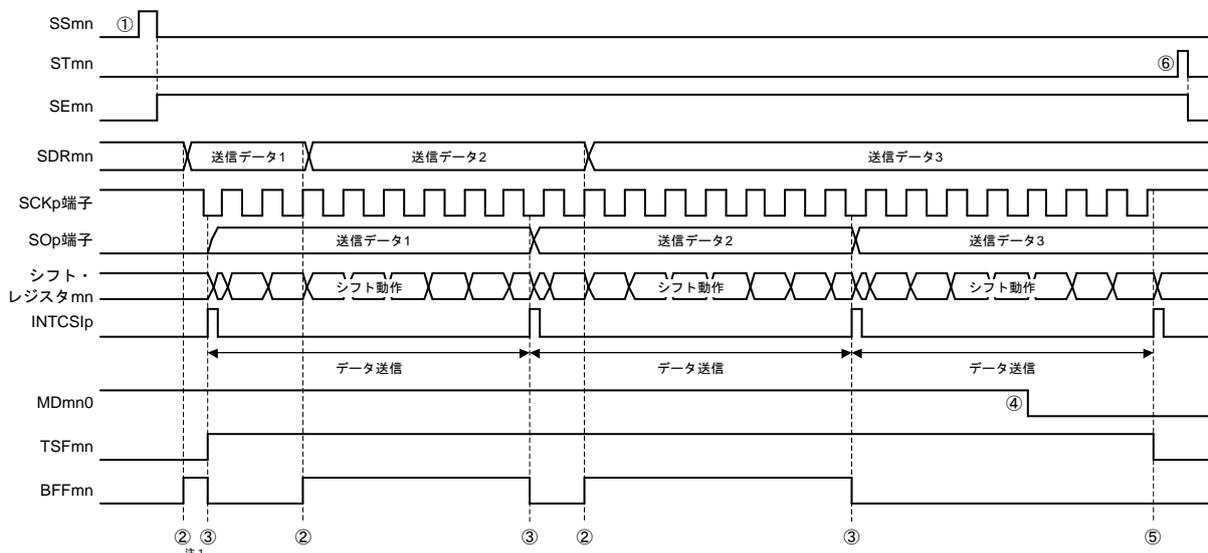
備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

図 12-50 スレーブ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図 12-51 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ 1 : DAPmn=0, CKPmn=0）

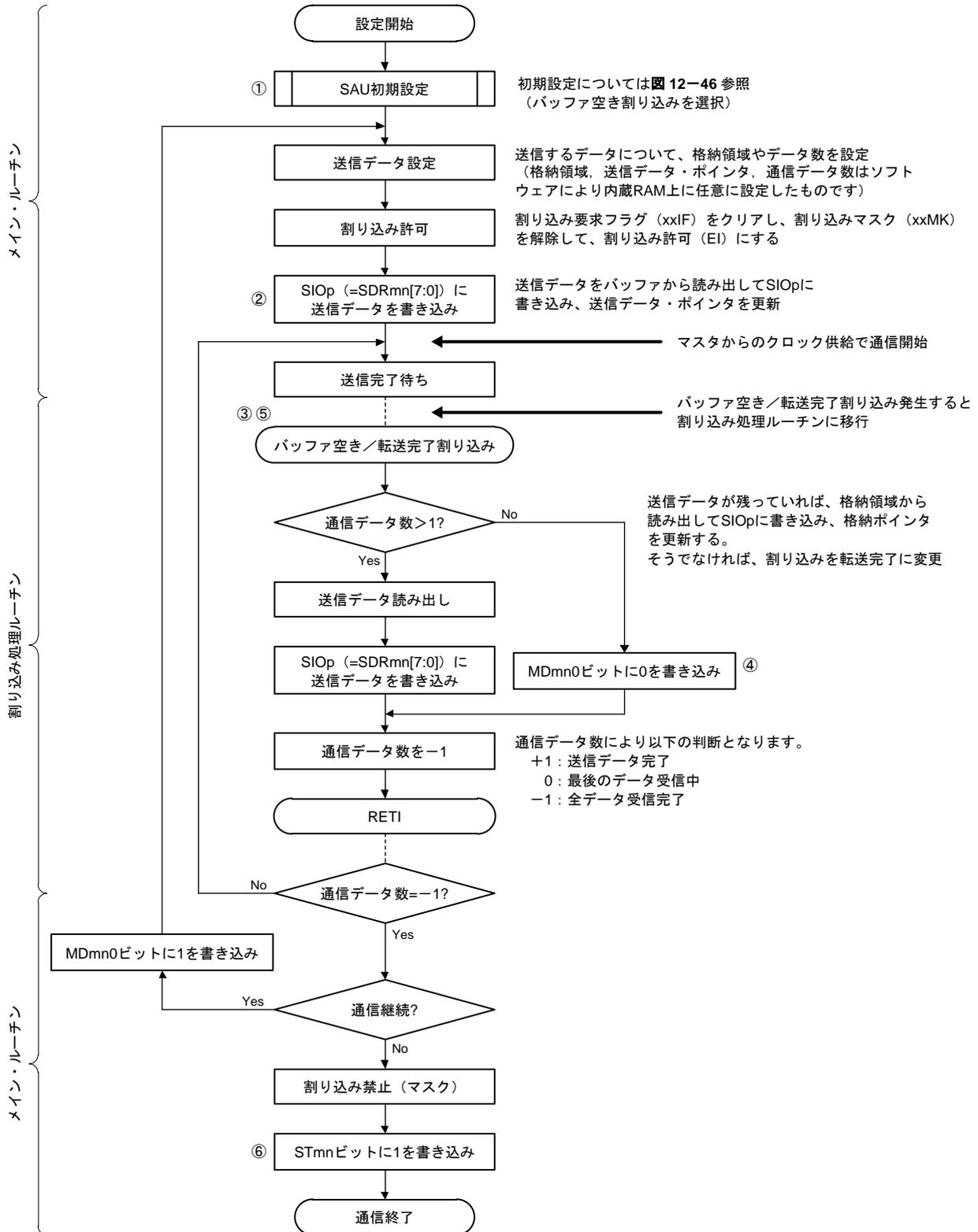


注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが “1” の期間（有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき）に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0, 1)、p : CSI 番号 (p=00, 01)、mn=00, 01

図 12-52 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、「図 12-51 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）」の①～⑥に対応しています。

12.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易 SPI	CSI00	CSI01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7 ビットまたは 8 ビット	
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1、注2}	
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 <ul style="list-style-type: none"> • DAPmn=0 の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn=1 の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 	
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 <ul style="list-style-type: none"> • CKPmn=0 の場合：非反転 • CKPmn=1 の場合：反転 	
データ方向	MSB ファーストまたは LSB ファースト	

注1. SCK00, SCK01 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ）」および「第 24 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）」参照）を満たす範囲内で使用してください。

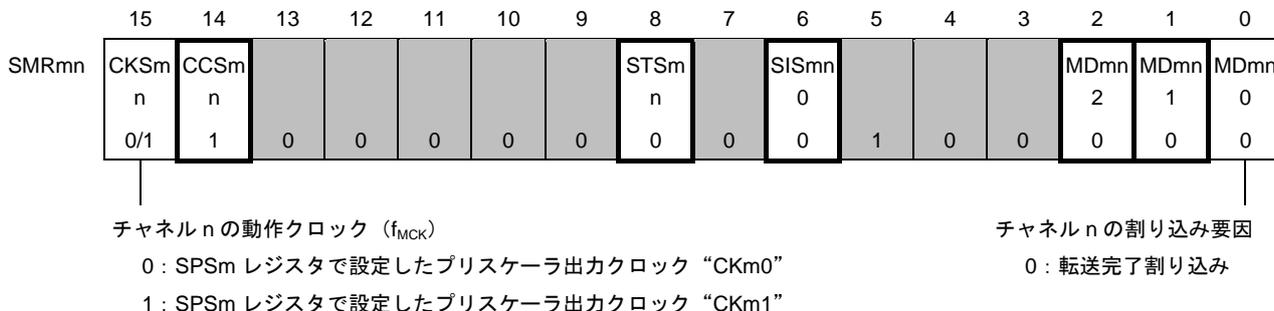
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数
 f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（m=0）、n：チャンネル番号（n=0, 1）、mn=00, 01

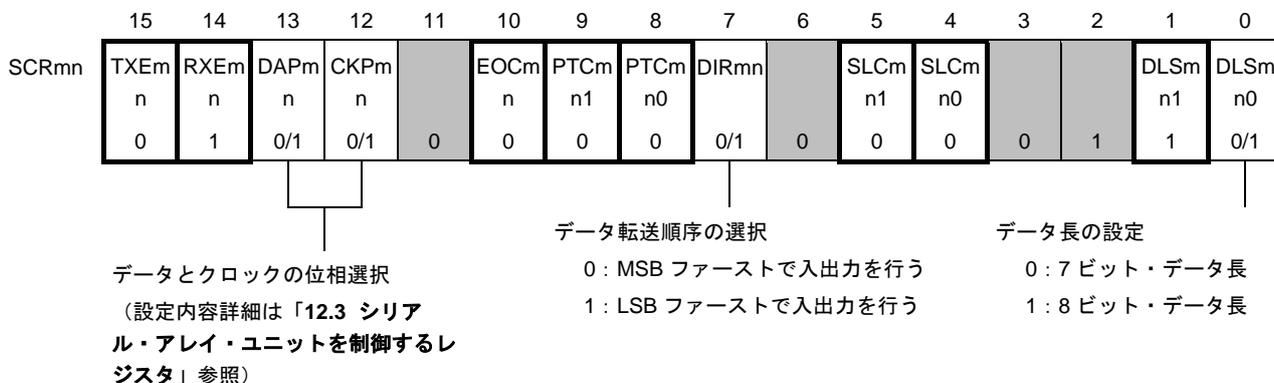
(1) レジスタ設定

図 12-53 簡易 SPI (CSI00, CSI01) のスレーブ受信時のレジスタ設定内容例 (1/2)

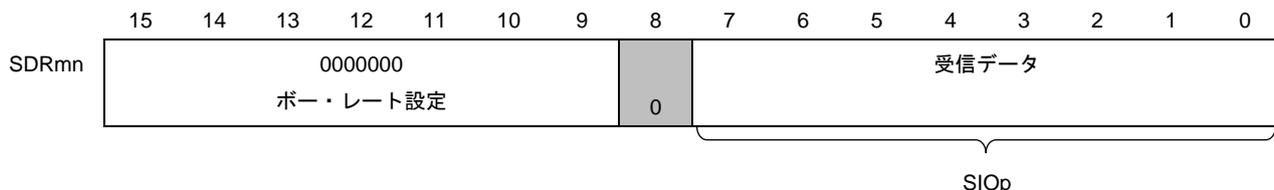
(a) シリアル・モード・レジスタ mn (SMRmn)



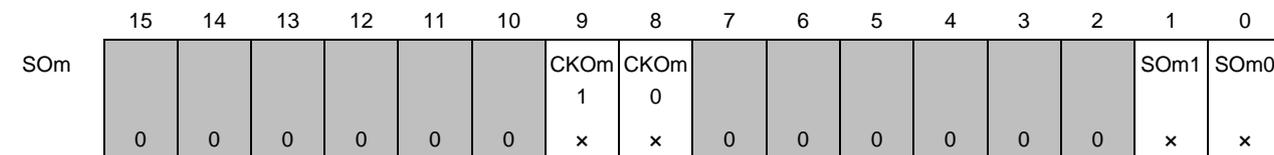
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : SIOp)



(d) シリアル出力レジスタ m (SOM) … このモードでは使用しない



(備考は、次ページにあります。)

図 12-53 簡易 SPI (CSI00, CSI01) のスレーブ受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力許可レジスタ m (SOEm) … このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
															x	x

(f) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

備考1. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

備考2. : 簡易 SPI (CSI) スレーブ受信モードでは設定固定、 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-54 スレーブ受信の初期設定手順

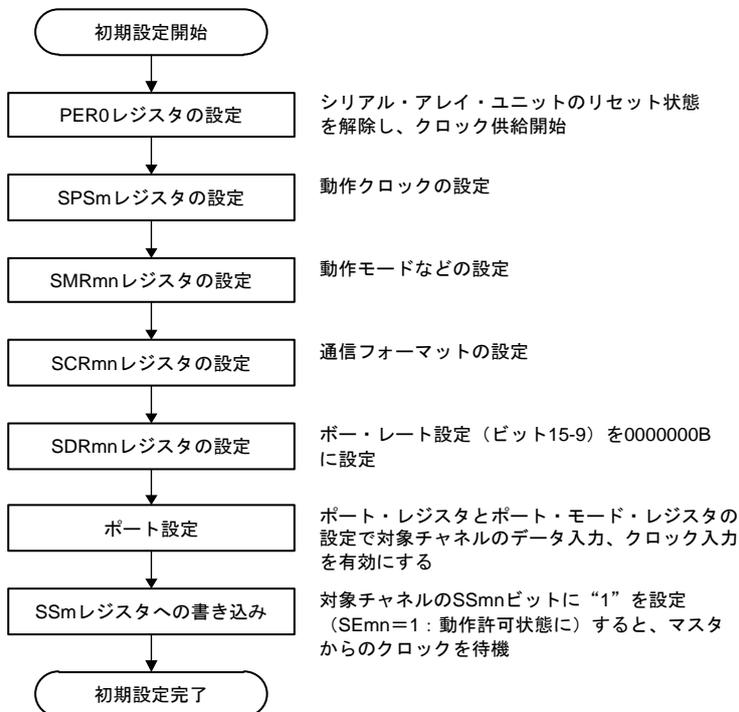


図 12-55 スレーブ受信の中断手順

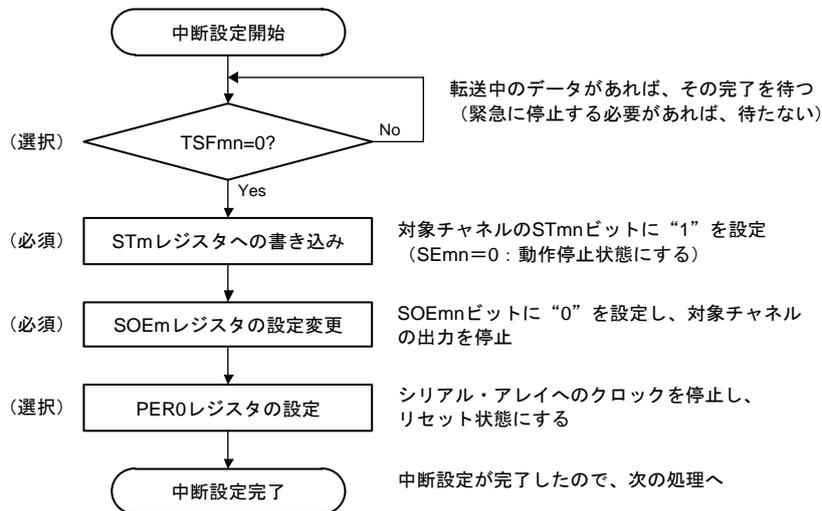
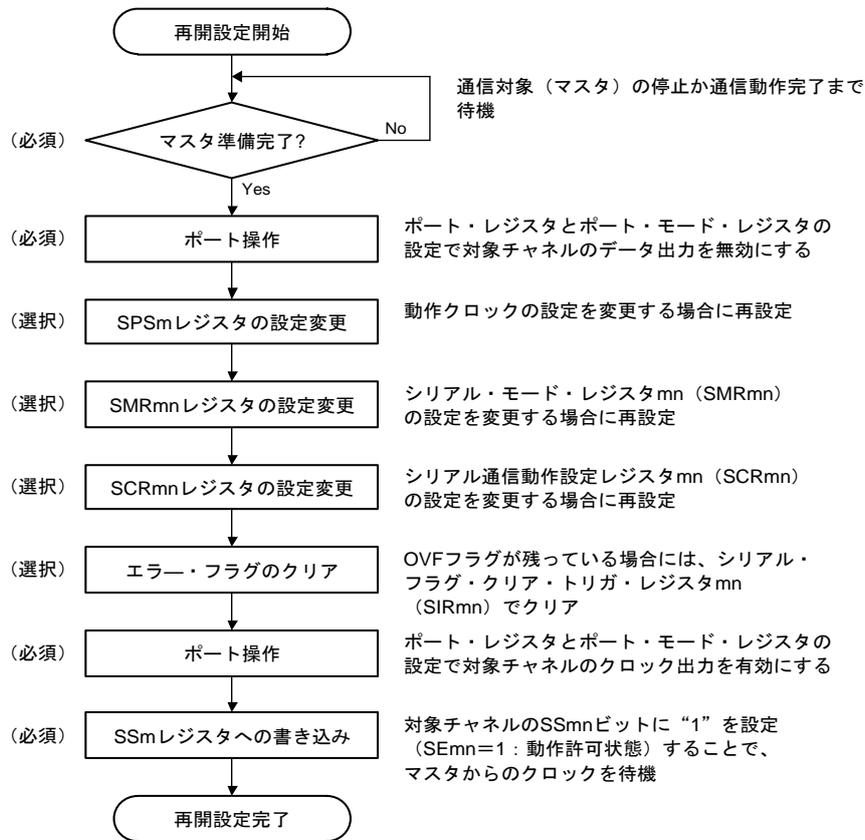


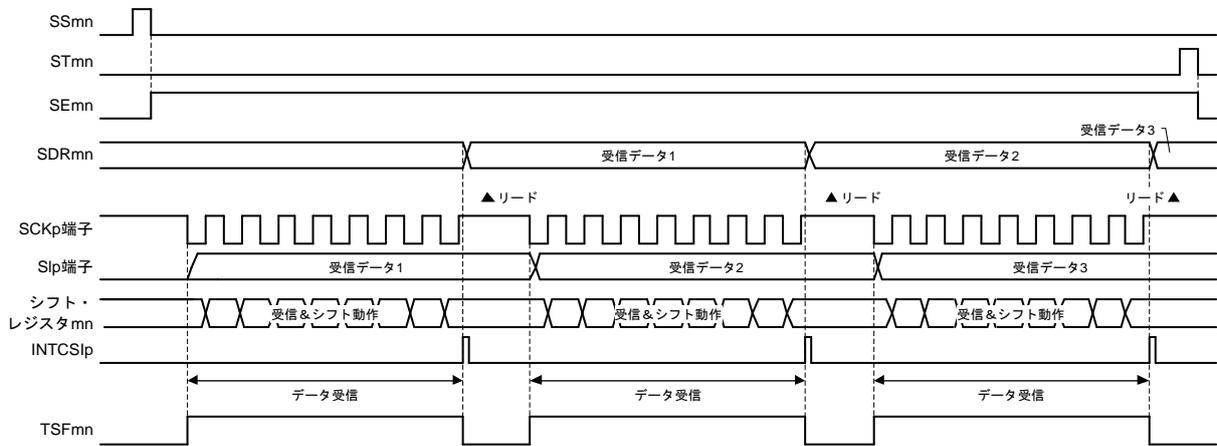
図 12-56 スレーブ受信の再開設定手順



備考 中断設定で PER0 を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

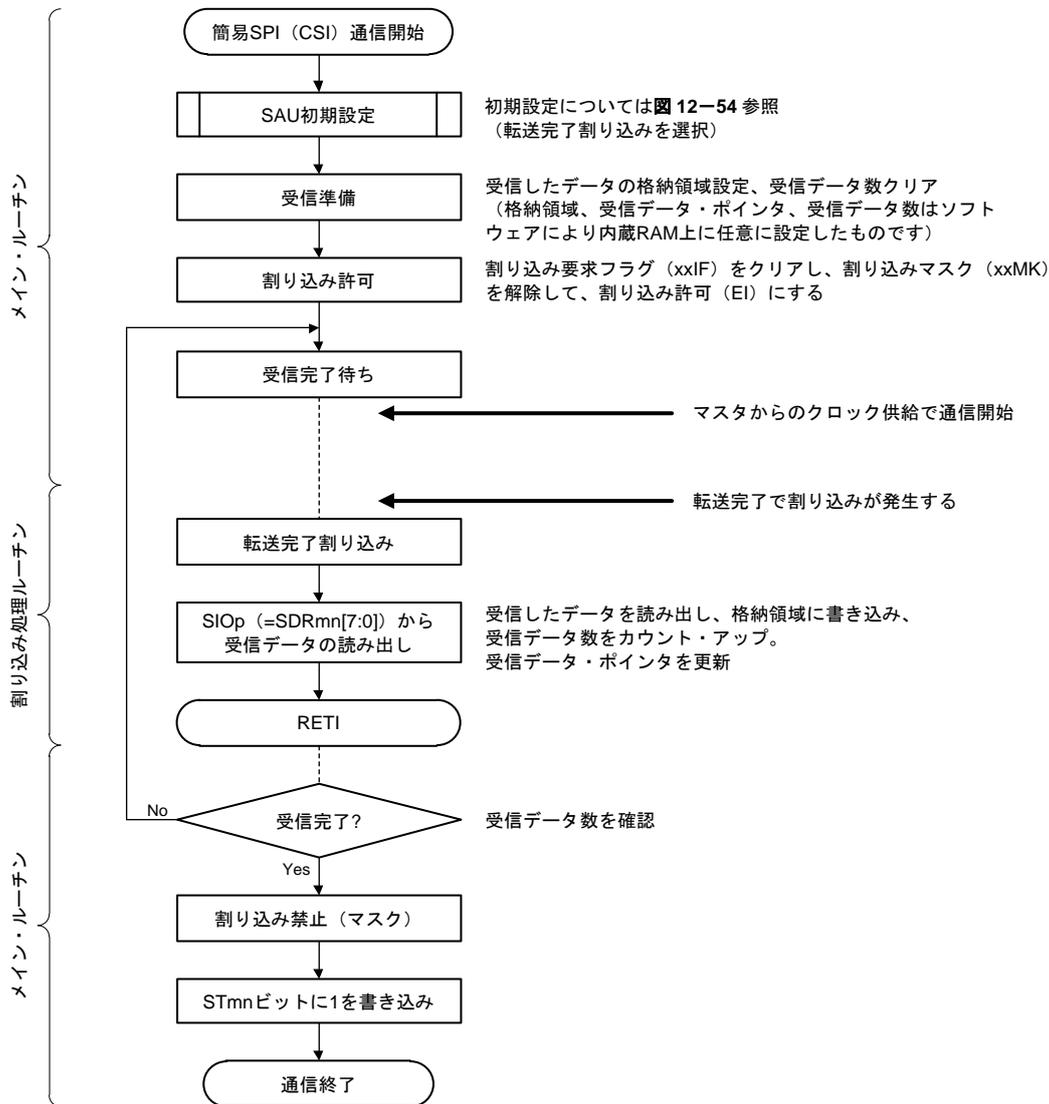
(3) 処理フロー（シングル受信モード時）

図 12-57 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）



備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

図 12-58 スレーブ受信（シングル受信モード時）のフロー・チャート



12.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易 SPI	CSI00	CSI01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7 ビットまたは 8 ビット	
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1、注2}	
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 <ul style="list-style-type: none"> • DAPmn=0 の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn=1 の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 	
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 <ul style="list-style-type: none"> • CKPmn=0 の場合：非反転 • CKPmn=1 の場合：反転 	
データ方向	MSB ファーストまたは LSB ファースト	

注1. SCK00, SCK01 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ）」および「第 24 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）」参照）を満たす範囲内で使用してください。

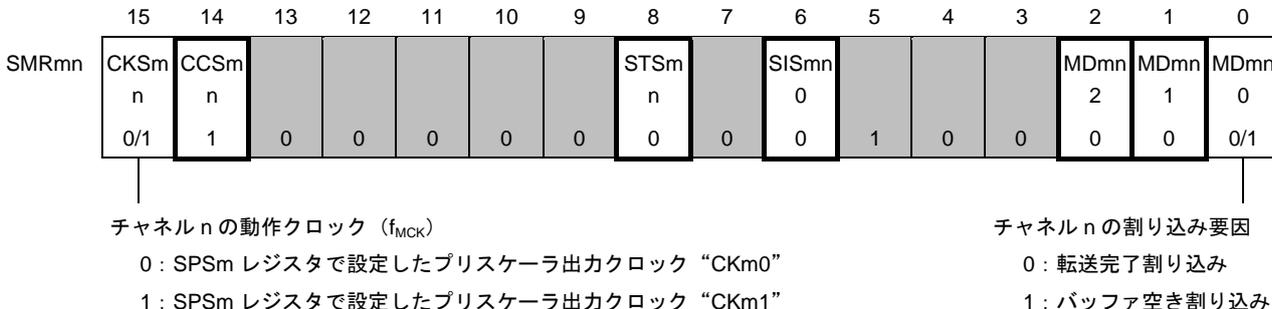
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数
 f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（m=0）、n：チャンネル番号（n=0, 1）、mn=00, 01

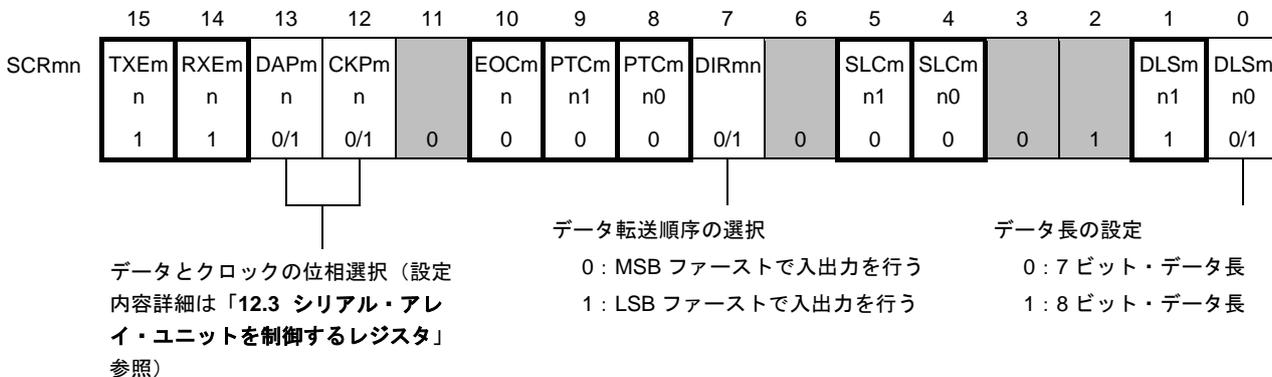
(1) レジスタ設定

図 12-59 簡易 SPI (CSI00, CSI01) のスレーブ送受信時のレジスタ設定内容例 (1/2)

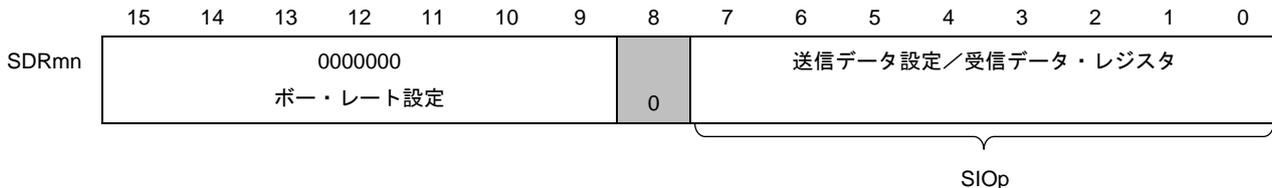
(a) シリアル・モード・レジスタ mn (SMRmn)



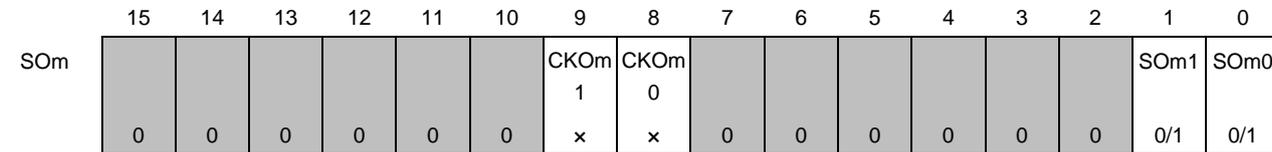
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット: SIOp)



(d) シリアル出力レジスタ m (SOm) … 対象チャンネルのビットのみ設定する



(注意、備考は、次ページにあります。)

図 12-59 簡易 SPI (CSI00, CSI01) のスレーブ送受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力許可レジスタ m (SOEm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	<input type="checkbox"/>	SOEm	SOEm													
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
															0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	<input type="checkbox"/>	SSm1	SSm0													
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

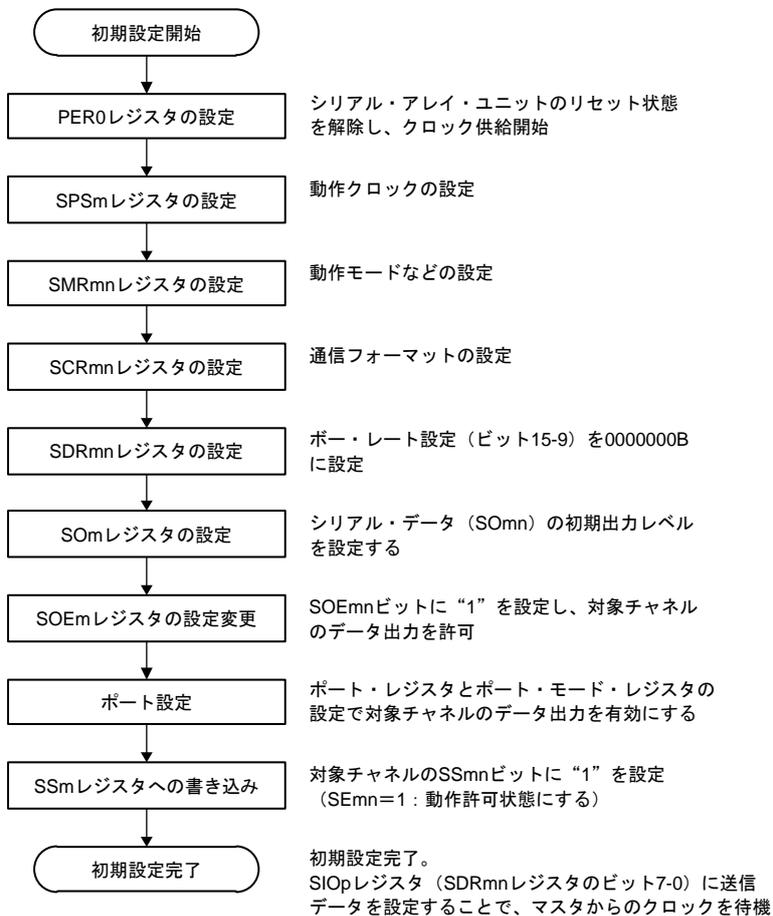
注意 マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

備考1. m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 p : CSI 番号 (p=00, 01) 、 mn=00, 01

備考2. : 簡易 SPI (CSI) スレーブ送受信モードでは設定固定、 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-60 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

図 12-61 スレーブ送受信の中断手順

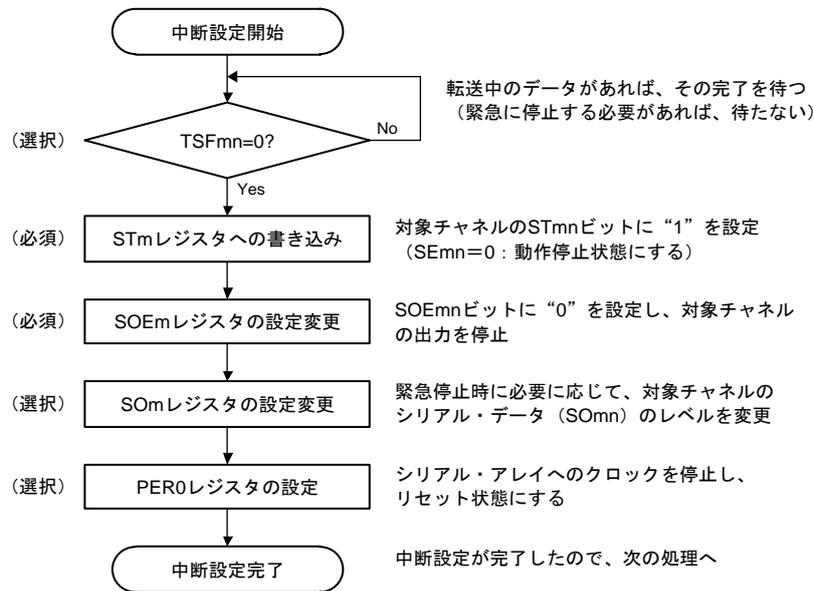
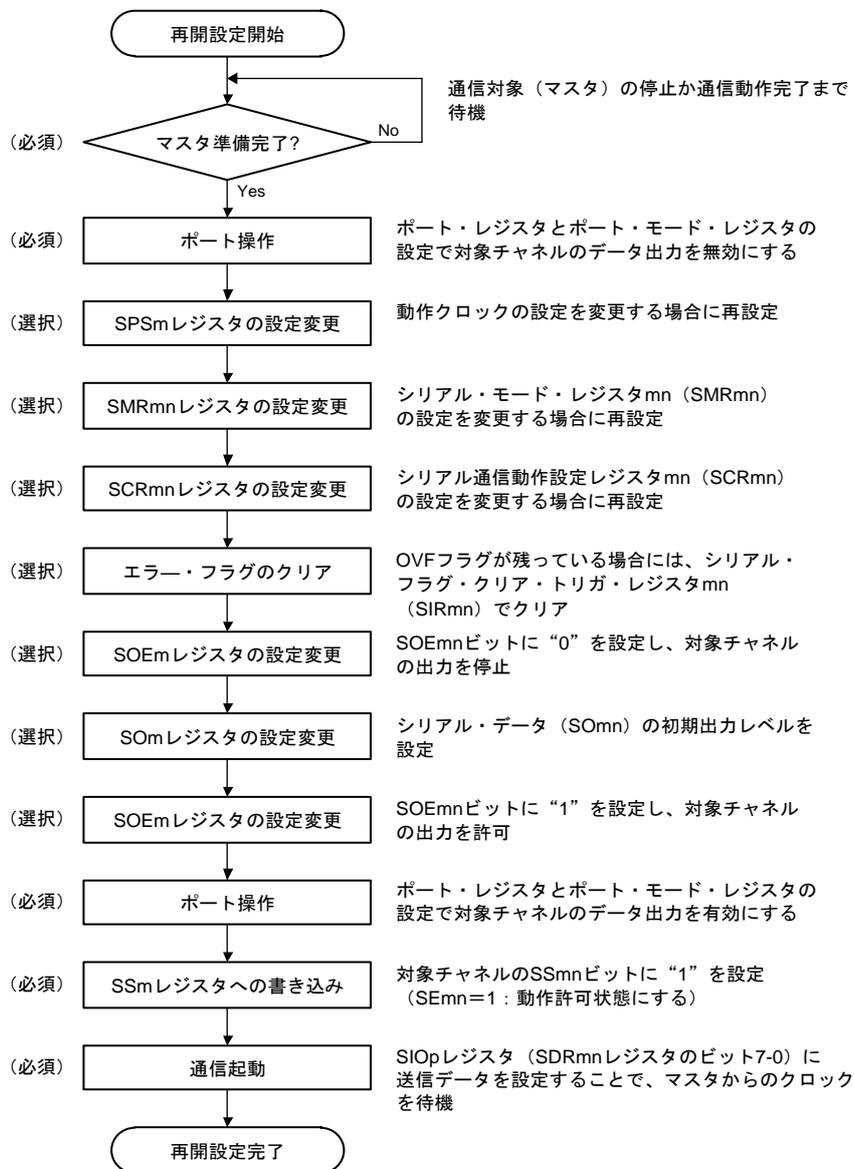


図 12-62 スレーブ送受信の再開設定手順

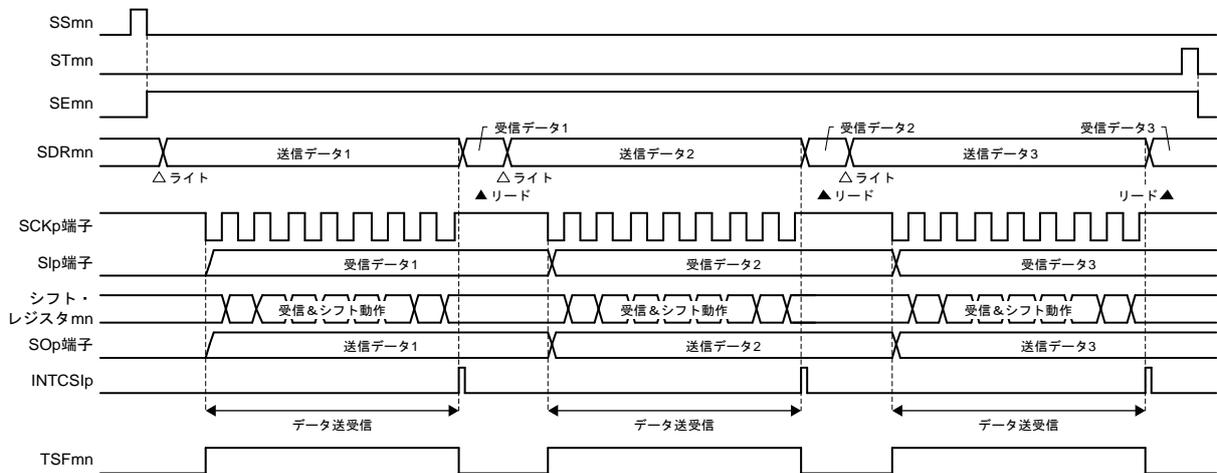


注意 1. マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

注意 2. 中断設定で PER0 を書き換えてクロック供給を停止した場合には、通信対象 (マスタ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

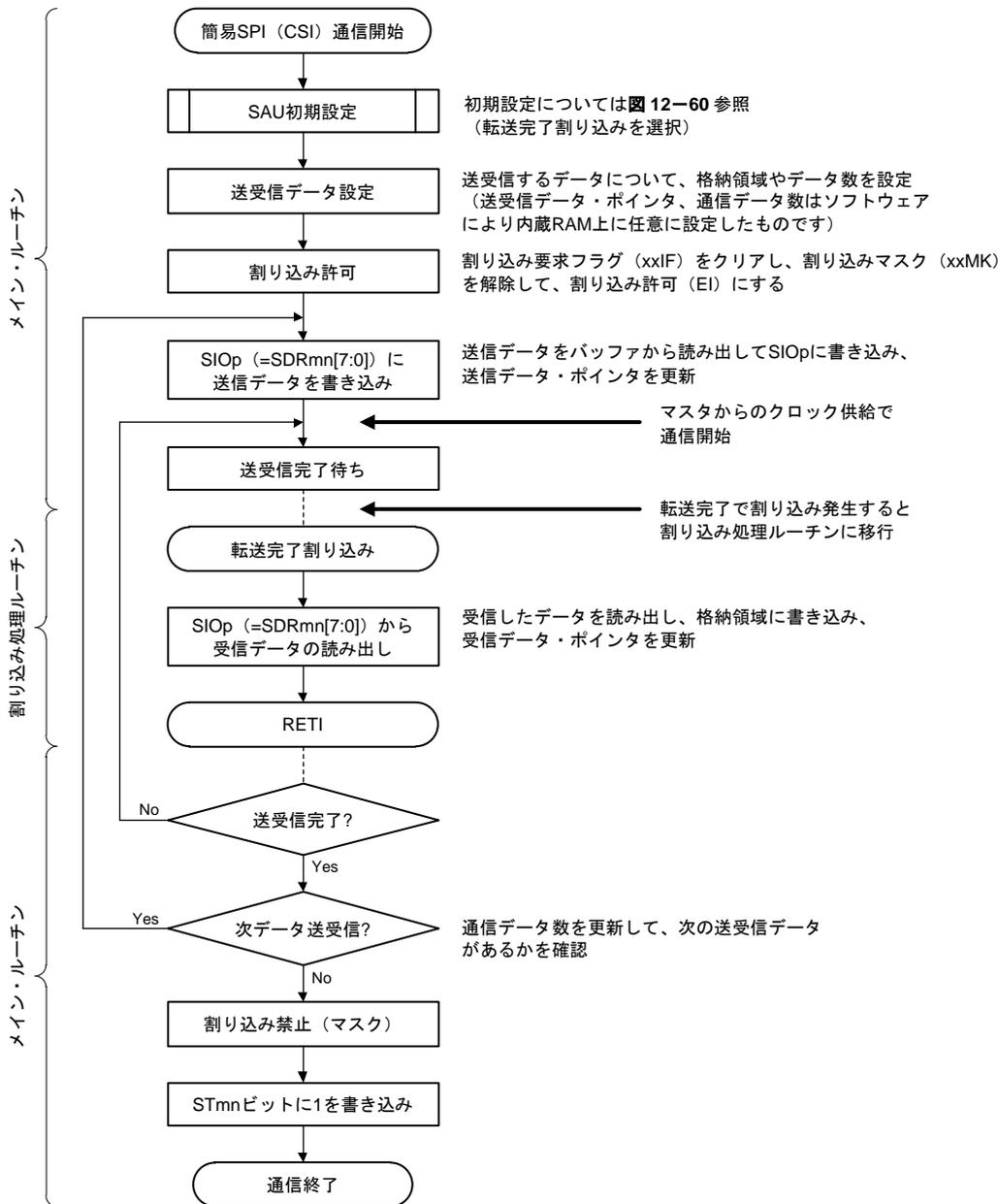
(3) 処理フロー（シングル送受信モード時）

図 12-63 スレーブ送受信（シングル送受信モード時）のタイミング・チャート
 （タイプ 1 : DAPmn=0, CKPmn=0）



備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0, 1)、p : CSI 番号 (p=00, 01)、mn=00, 01

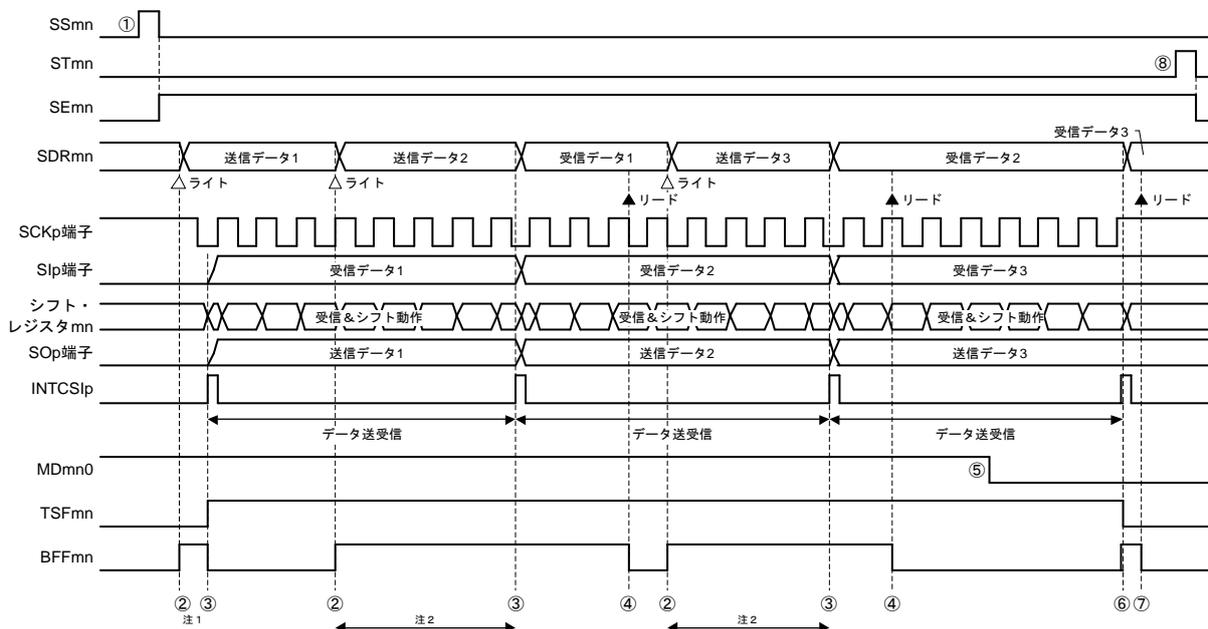
図 12-64 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データを SIOP レジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図 12-65 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが “1” の期間（有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時）に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

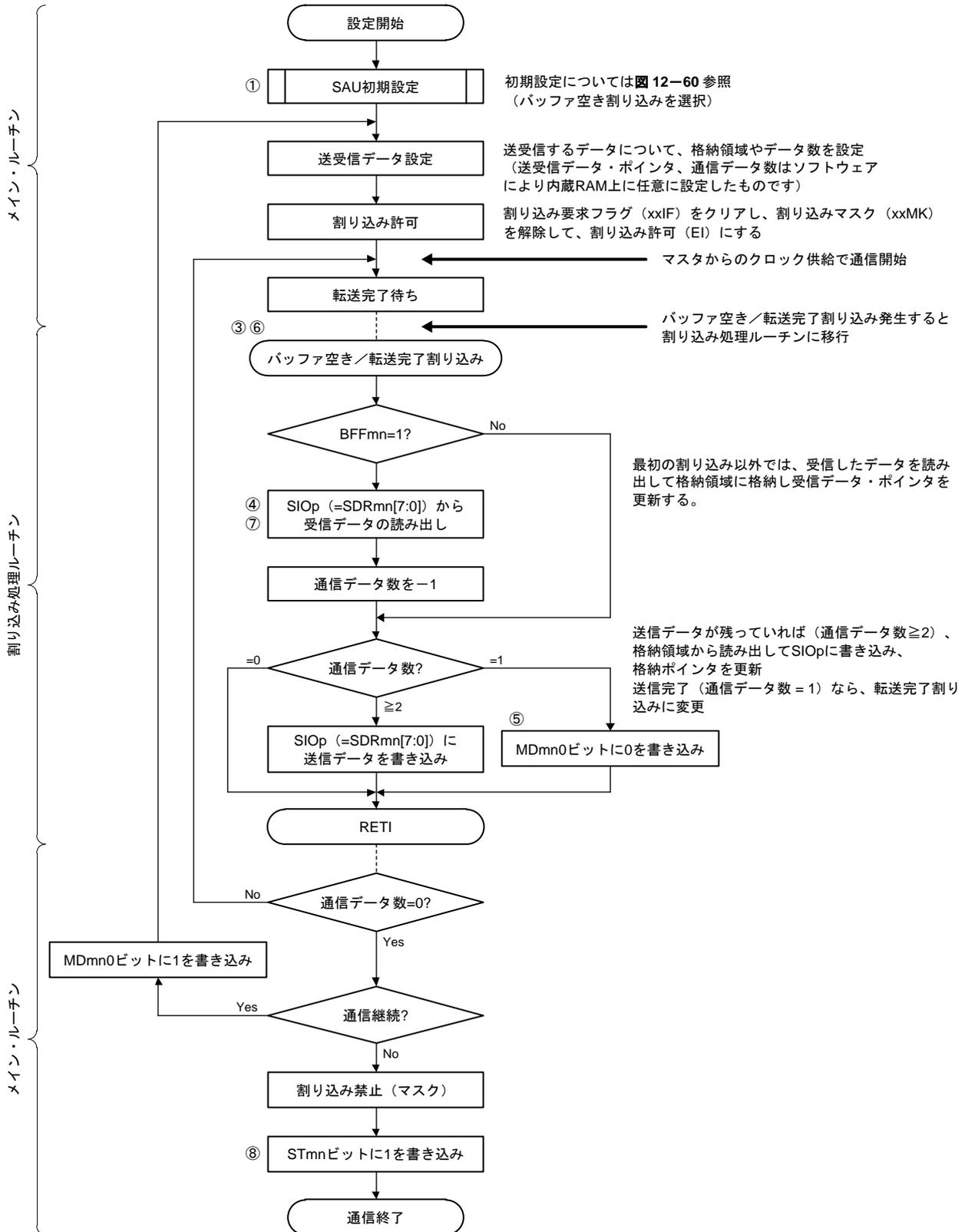
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、「図 12-66 スレーブ送受信（連続送受信モード時）のフロー・チャート」の①～⑧に対応しています。

備考2. m：ユニット番号 (m=0)、n：チャンネル番号 (n=0, 1)、p：CSI 番号 (p=00, 01)、mn=00, 01

図 12-66 スレーブ送受信（連続送受信モード時）のフロー・チャート



(注意、備考は次ページにあります。)

注意 マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

備考 図中の①～⑧は、「図 12-65 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ 1：DAPmn=0, CKPmn=0）」の①～⑧に対応しています。

12.5.7 転送クロック周波数の算出

簡易 SPI (CSI00, CSI01) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{\text{対象チャネルの動作クロック (f}_{\text{MCK}}\text{) 周波数}\} \div (\text{SDRmn}[15:9] + 1) \div 2[\text{Hz}]$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{\text{マスタが供給するシリアル・クロック (SCK) 周波数}\}^{\text{注1}} \quad [\text{Hz}]$$

注1. ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn) のビット 15-9 の値 (0000000B-1111111B) なので、0-127 になります。

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn) で決まります。

表 12-2 簡易 SPI 動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (f _{MCK}) 注1	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} =16MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	16MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	8MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	4MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	500kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	250kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	125kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	62.5kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	31.25kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	15.63kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	7.81kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	3.91kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	1.95kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	977Hz
	X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	488Hz
1	0	0	0	0	X	X	X	X	f _{CLK}	16MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	8MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	4MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	500kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	250kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	125kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	62.5kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	31.25kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	15.63kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	7.81kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	3.91kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	1.95kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	977Hz
	1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	488Hz
上記以外									設定禁止	

(注 1、備考は、次ページにあります。)

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ m（STm）=000FH）させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1) 、mn=00, 01

12.5.8 簡易 SPI（CSI00, CSI01）通信時におけるエラー発生時の処理手順

簡易 SPI（CSI00, CSI01）通信時にエラーが発生した場合の処理手順を図 12-67 に示します。

図 12-67 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn（SDRmn）をリードする	▶ SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn（SSRmn）をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）に“1”をライトする	▶ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1) 、mn=00, 01

12.6 UART (UART0) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の 2 本のラインによる、調歩同期式通信機能です。この 2 本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる 1 データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の 2 チャンネルを使用することで、全 2 重調歩同期 UART 通信が実現できます。

[データ送受信]

- 7, 8, 9 ビットのデータ長
- MSB/LSB ファーストの選択
- 送受信データのレベル設定 (レベルを、反転するかどうかの選択)
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加、ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

ISC レジスタを設定することで、UART0 の RxD0 端子の入力信号を外部割り込み入力やタイマ・アレイ・ユニットのタイマ入力とすることができます。また、タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して通信相手のボー・レート幅を測定することができ、UART0 のボー・レート補正が可能になります。

UART0 では、SAU0 のチャンネル 0, 1 を使用します。

● 10, 8 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	—		—

● 20, 16 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、チャンネル 0, 1 で「UART0」を使用するときは、CSI00 や CSI01 を使用することはできません。

注意 UART として使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらも UART にしか使用できません。

UART の通信動作は、以下の 2 種類があります。

- UART 送信（12.6.1 項を参照）
- UART 受信（12.6.2 項を参照）

12.6.1 UART 送信

UART 送信は、RL78 マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART 送信では、その UART に使用する 2 チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0
対象チャンネル	SAU0 のチャンネル 0
使用端子	TxD0
割り込み	INTST0 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7 ビットまたは 8 ビットまたは 9 ビット
転送レート ^{注1}	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9]=2 以上）、 Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ● パリティ・ビットなし ● 0 パリティ・ビット付加 ● 偶数パリティ付加 ● 奇数パリティ付加
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ● 1 ビット付加 ● 2 ビット付加
データ方向	MSB ファーストまたは LSB ファースト

注1. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ）」および「第 24 章 電気的特性（ $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$ 、 $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）」参照）を満たす範囲内で使用してください。

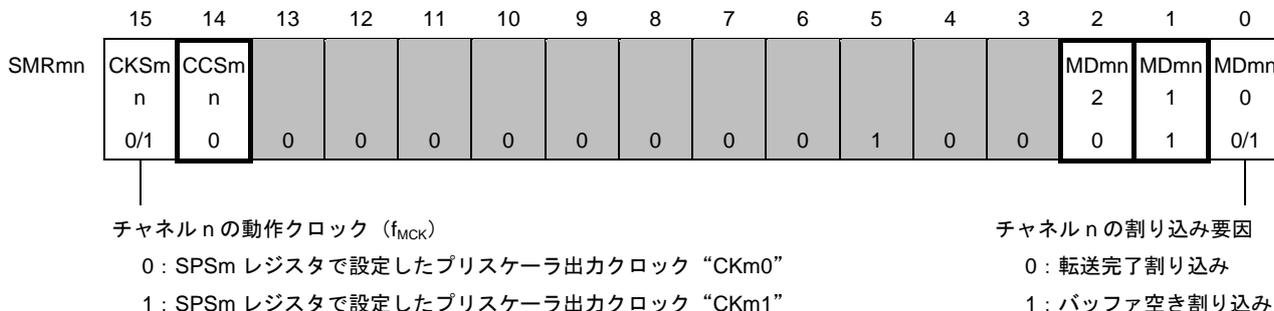
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数
 f_{CLK} ：システム・クロック周波数

備考2. m ：ユニット番号（ $m=0$ ）、 n ：チャンネル番号（ $n=0$ ）、 $mn=00$

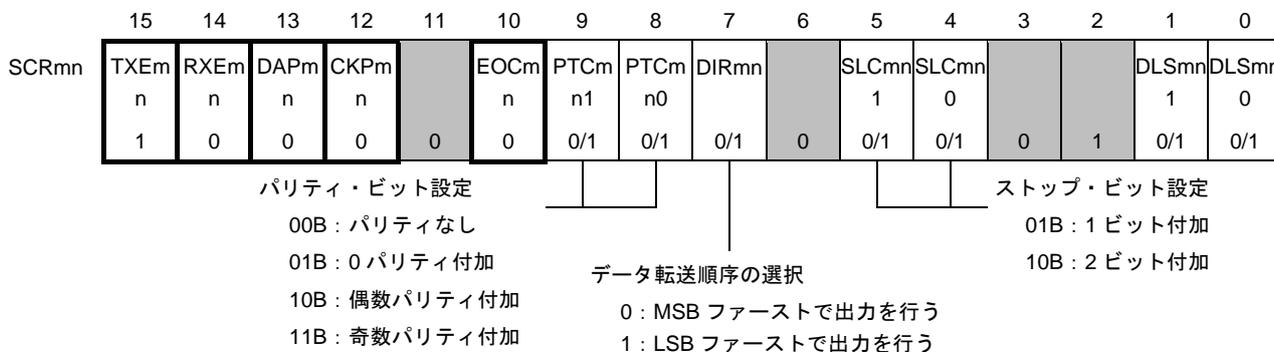
(1) レジスタ設定

図 12-68 UART (UART0) の UART 送信時のレジスタ設定内容例 (1/2)

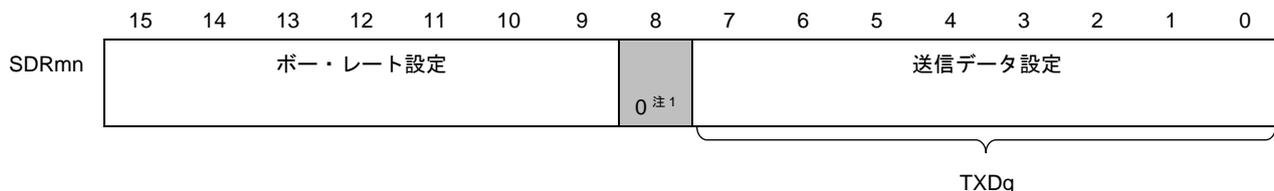
(a) シリアル・モード・レジスタ mn (SMRmn)



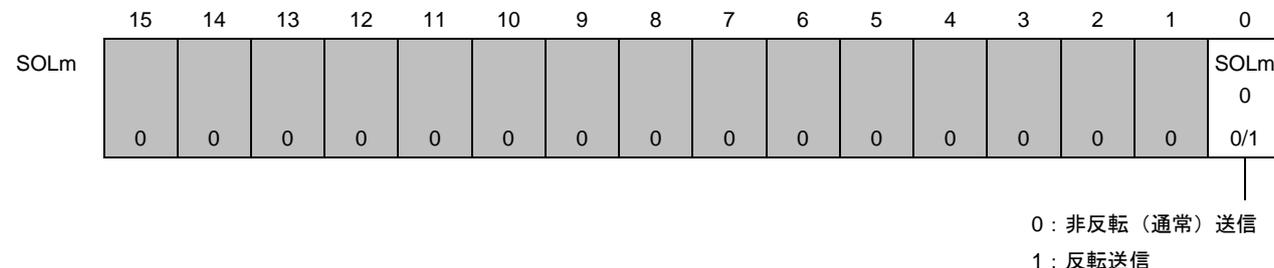
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : TXDq)



(d) シリアル出力レベル・レジスタ m (SOLm) … 対象チャンネルのビットのみ設定する



(注 1, 注 2、備考は、次ページにあります。)

図 12-68 UART (UART0) の UART 送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ m (SOm) … 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm	CKOm							SOm1	SOm0
	0	0	0	0	0	0	1	0							x	0/1 注2
	0	0	0	0	0	0	x	x	0	0	0	0	0	0	x	0/1 注2

0 : シリアル・データ出力値が “0”
 1 : シリアル・データ出力値が “1”

(f) シリアル出力許可レジスタ m (SOEm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1

(g) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1

注1. 9 ビット・データ長での通信を行う場合は、SDRm0 レジスタのビット 0-8 が送信データ設定領域になります。

注2. 該当するチャンネルの SOLmn ビットに 0 を設定している場合は “1” に、SOLmn ビットに 1 を設定している場合は “0” を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0) 、q : UART 番号 (q=0) 、mn=00

備考2. : UART 送信モードでは設定固定、 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-69 UART 送信の初期設定手順

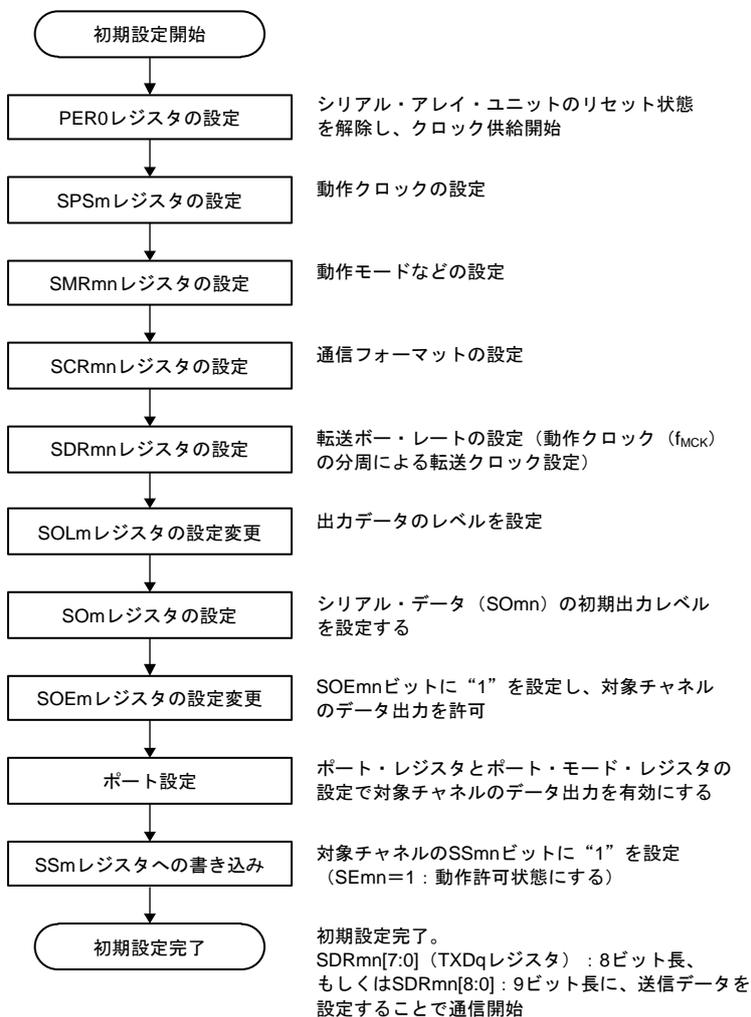


図 12-70 UART 送信の中断手順

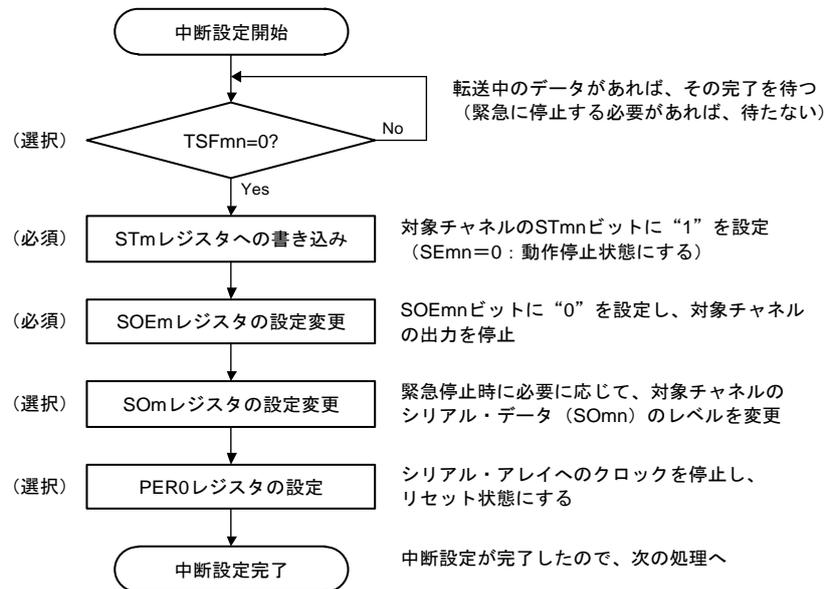
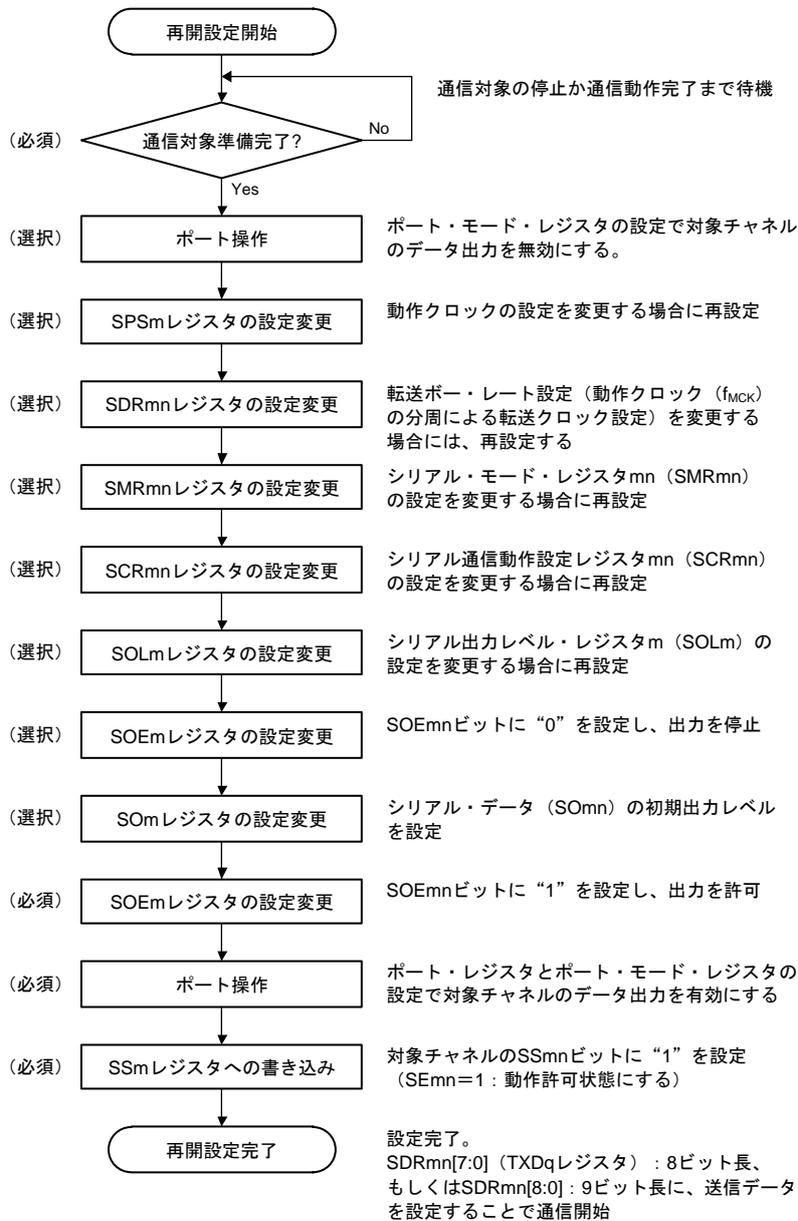


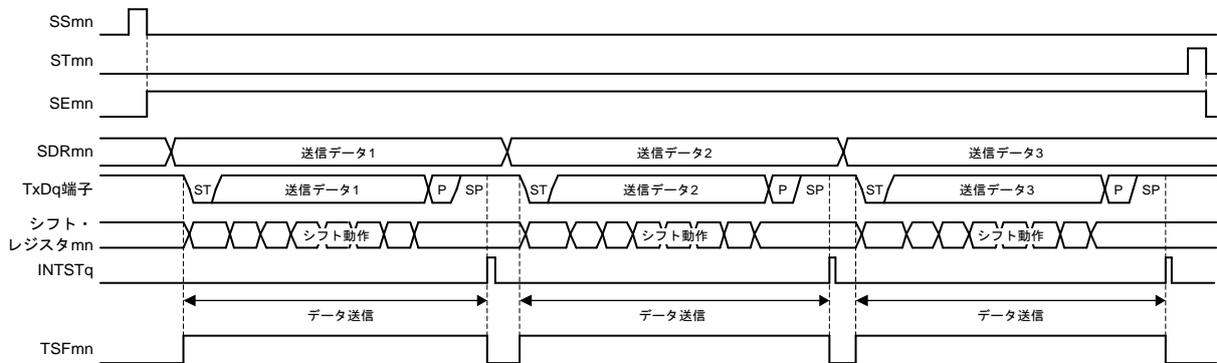
図 12-71 UART 送信の再開設定手順



備考 中断設定で PER0 を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

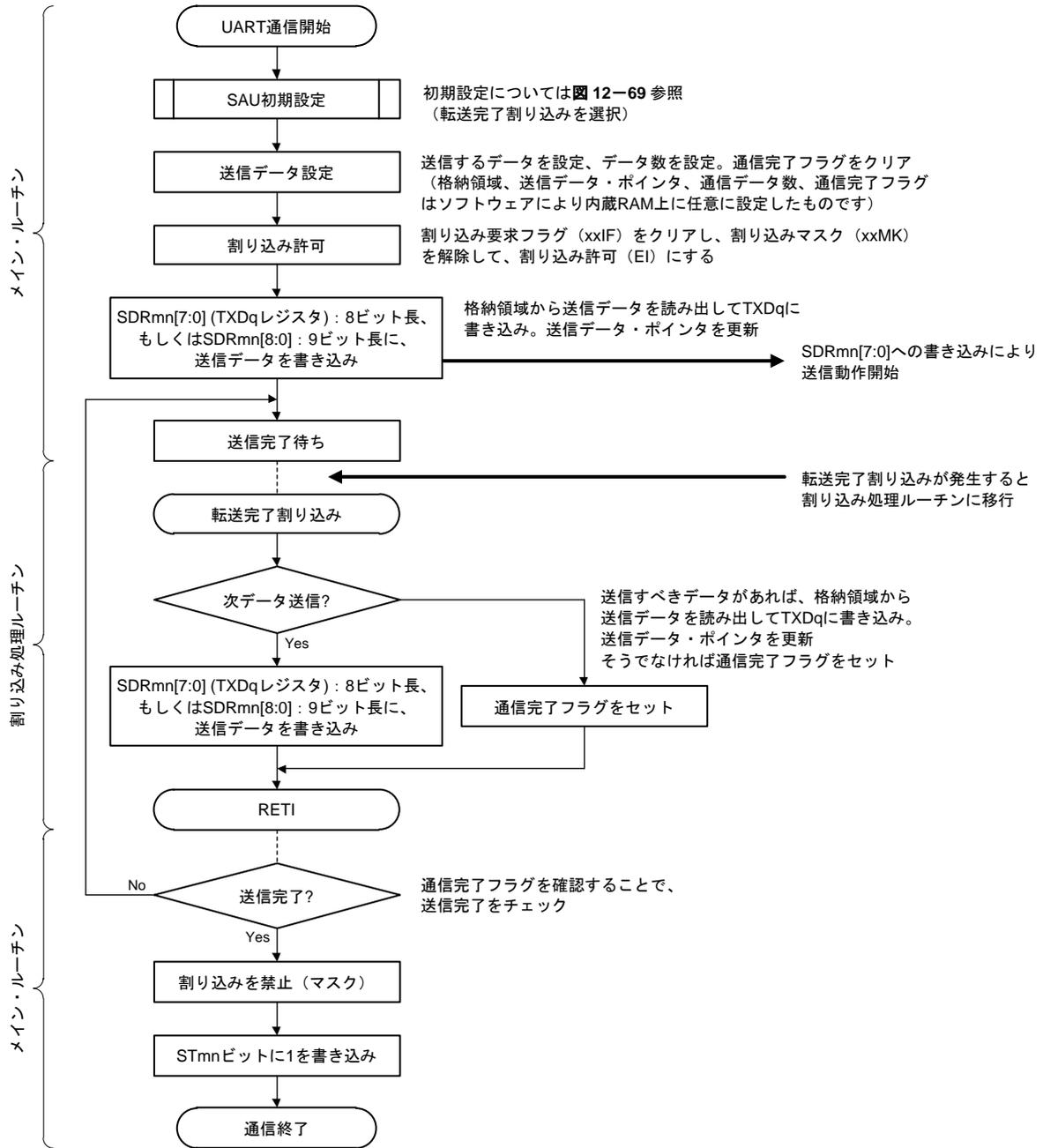
(3) 処理フロー（シングル送信モード時）

図 12-72 UART 送信（シングル送信モード時）のタイミング・チャート



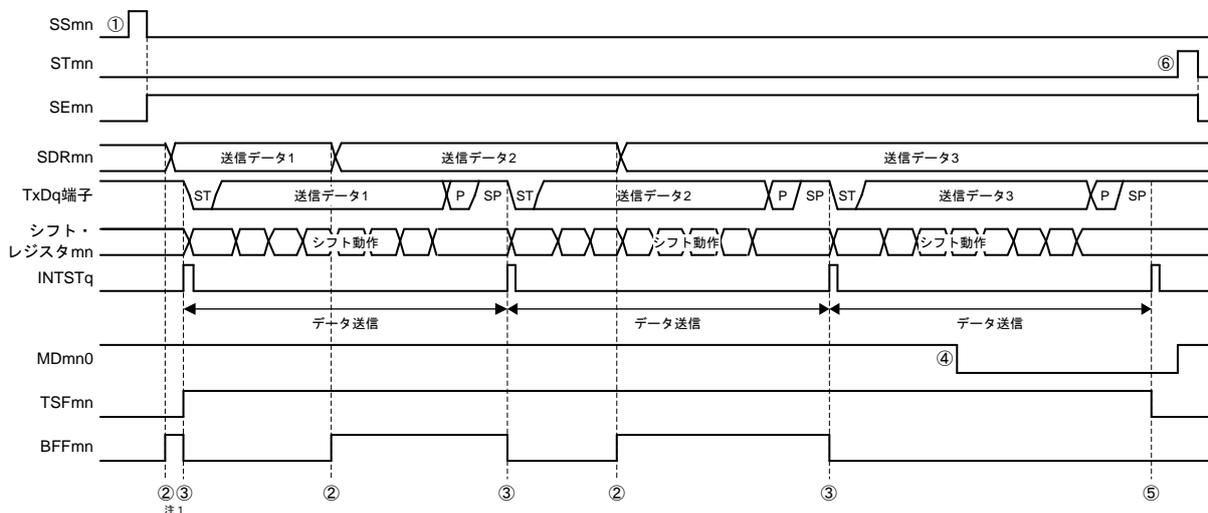
備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0)、q : UART 番号 (q=0)、mn=00

図 12-73 UART 送信 (シングル送信モード時) のフロー・チャート



(4) 処理フロー（連続送信モード時）

図 12-74 UART 送信（連続送信モード時）のタイミング・チャート

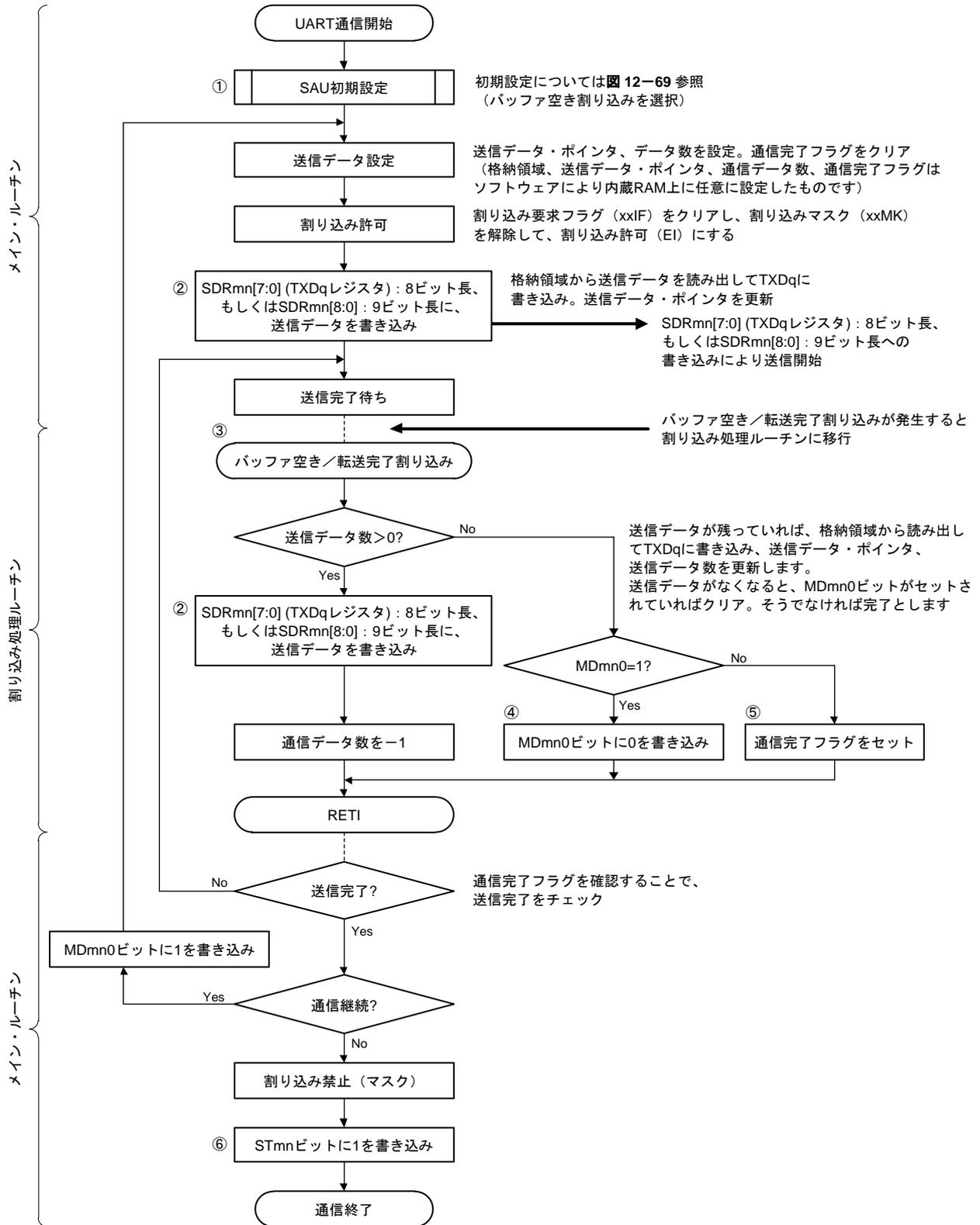


注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが “1” の期間（有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき）に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0) 、 q : UART 番号 (q=0) 、 mn=00

図 12-75 UART 送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、「図 12-74 UART 送信（連続送信モード時）のタイミング・チャート」の①～⑥に対応しています。

12.6.2 UART 受信

UART 受信は、他デバイスから RL78 マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART 受信では、その UART に使用する 2 チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMR レジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0
対象チャンネル	SAU0 のチャンネル 1
使用端子	RxD0
割り込み	INTSR0 転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	INTSRE0
エラー検出フラグ	<ul style="list-style-type: none"> フレーミング・エラー検出フラグ（FEFmn） パリティ・エラー検出フラグ（PEFmn） オーバラン・エラー検出フラグ（OVFmn）
転送データ長	7 ビットまたは 8 ビットまたは 9 ビット
転送レート ^{注1}	Max.f _{MCK} /6[bps]（SDRmn[15:9]=2 以上）、 Min.f _{CLK} /(2×2 ¹⁵ ×128)[bps]
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> パリティ・ビットなし（パリティ・チェックなし） パリティ判定なし（0 パリティ） 偶数パリティ・チェック 奇数パリティ・チェック
ストップ・ビット	1 ビット付加
データ方向	MSB ファーストまたは LSB ファースト

注1. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（T_A=-40°C~+85°C）」および「第 24 章 電気的特性（T_A=-40°C~+105°C, T_A=-40°C~+125°C）」参照）を満たす範囲内で使用してください。

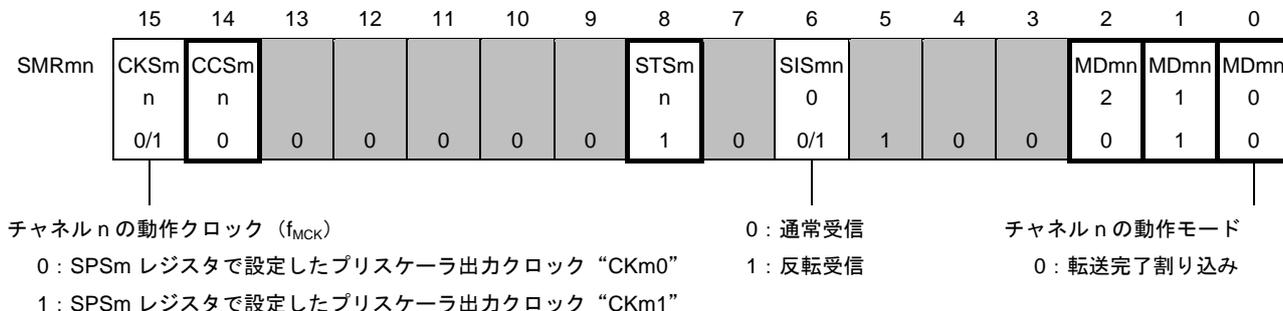
備考1. f_{MCK}：対象チャンネルの動作クロック周波数
f_{CLK}：システム・クロック周波数

備考2. m：ユニット番号（m=0）、n：チャンネル番号（n=1）、mn=01

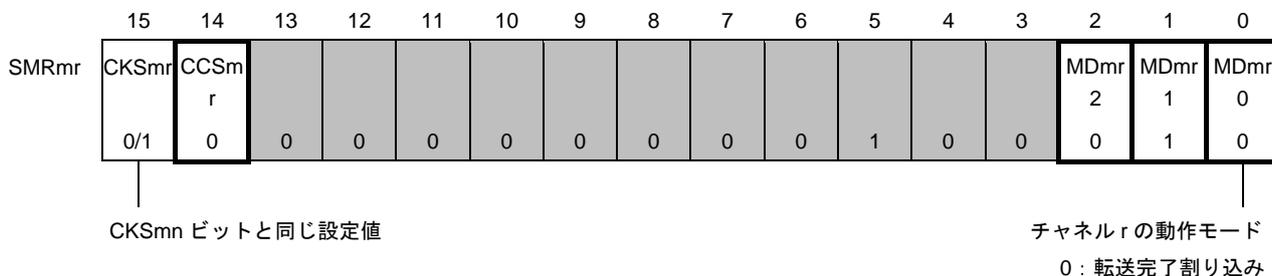
(1) レジスタ設定

図 12-76 UART (UART0) の UART 受信時のレジスタ設定内容例 (1/2)

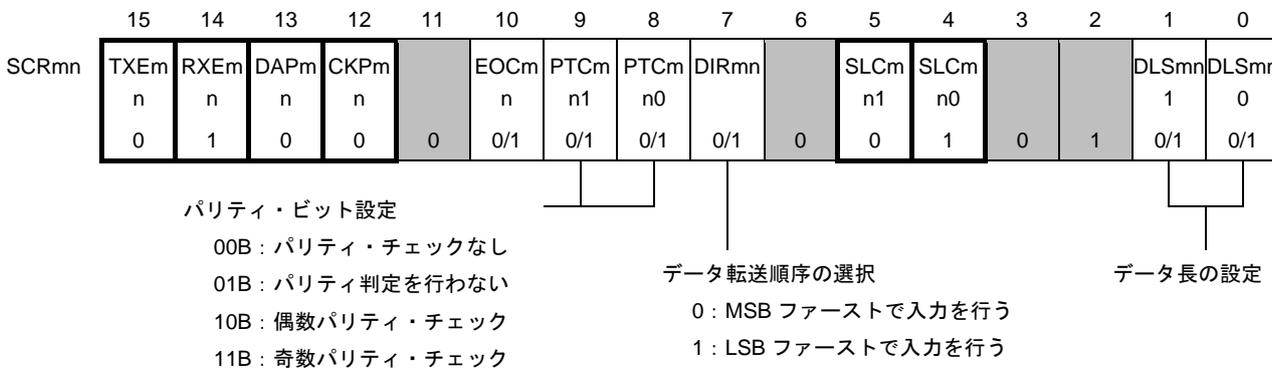
(a) シリアル・モード・レジスタ mn (SMRmn)



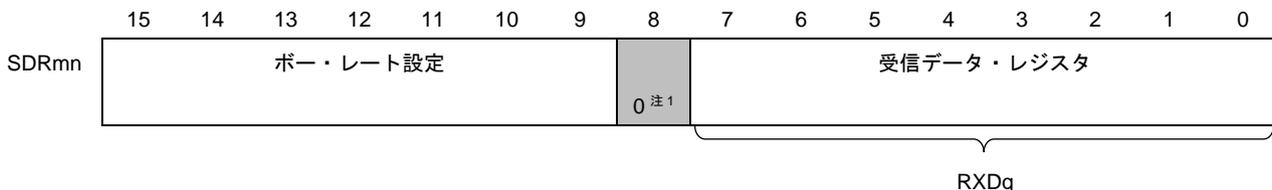
(b) シリアル・モード・レジスタ mr (SMRmr)



(c) シリアル通信動作設定レジスタ mn (SCRmn)



(d) リアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : RXDq)



(注 1、注意、備考は、次ページにあります。)

図 12-76 UART (UART0) の UART 受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ m (SOM) … このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM							CKOm	CKOm							SOM1	SOM0
	0	0	0	0	0	0	1	0							x	x
	0	0	0	0	0	0	x	x	0	0	0	0	0	0	x	x

(f) シリアル出力許可レジスタ m (SOEm) … このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

(g) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x

注1. 9 ビット・データ長での通信を行う場合は、SDRm0 レジスタのビット 0-8 が受信データ設定領域になります。

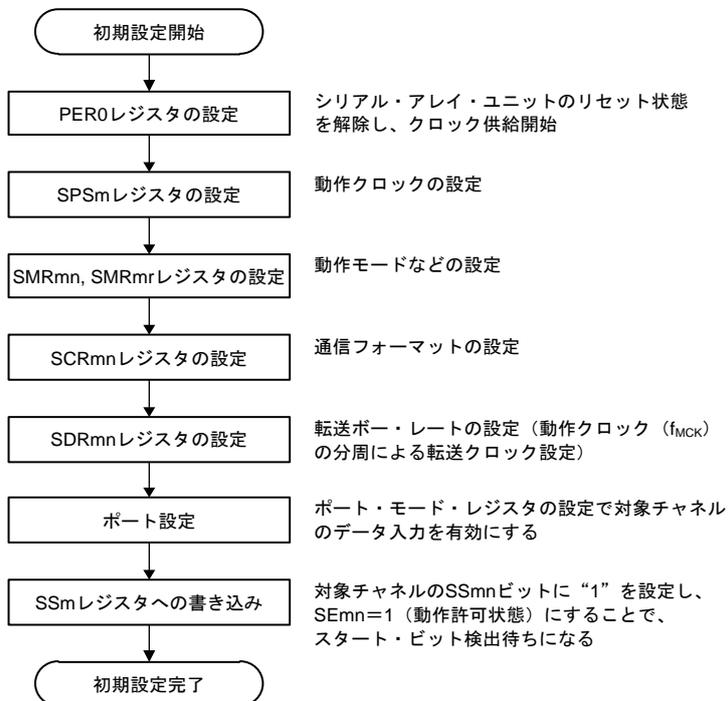
注意 UART 受信時は、チャンネル n とペアになるチャンネル r の SMRmr レジスタも必ず UART 送信モードに設定してください。

備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=1) 、r : チャンネル番号 (r=n-1) 、
q : UART 番号 (q=0) 、mn=01

備考2. : UART 受信モードでは設定固定、 : 設定不可 (初期値を設定)
x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-77 UART 受信の初期設定手順



注意 SCRmn レジスタの RXEmn ビットを“1”に設定後に、f_{MCK} の 4 クロック以上間隔をあけてから SSmn=1 を設定してください。

図 12-78 UART 受信の中断手順

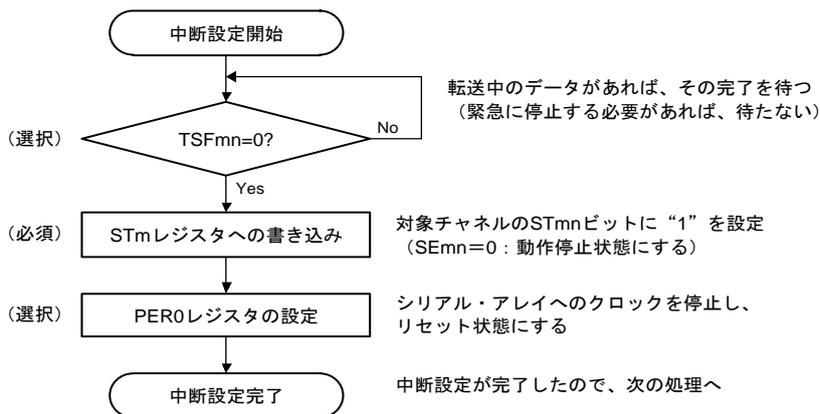
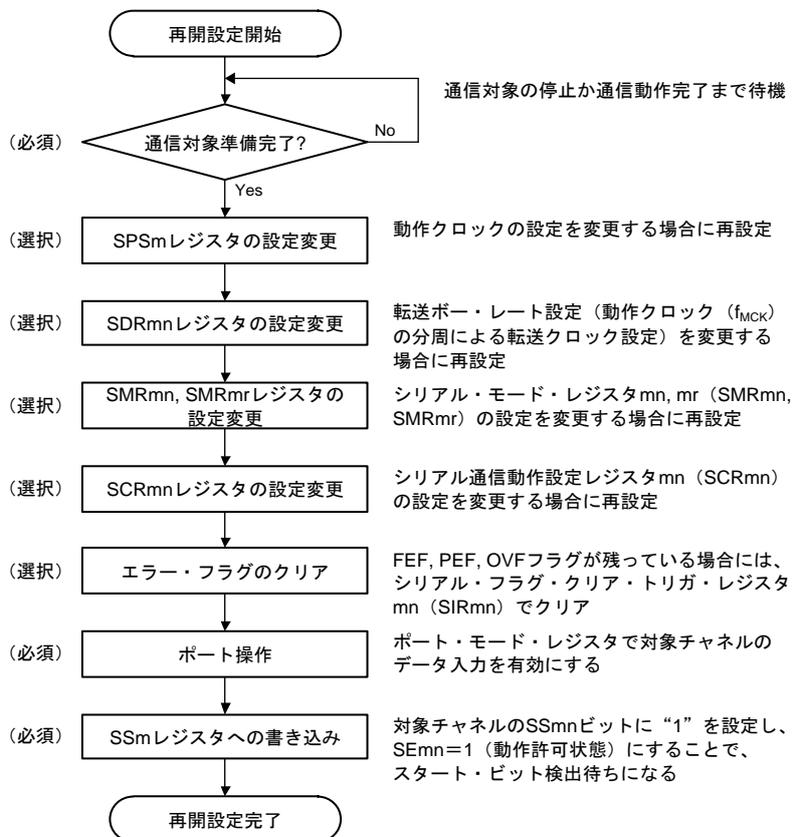


図 12-79 UART 受信の再開設定手順

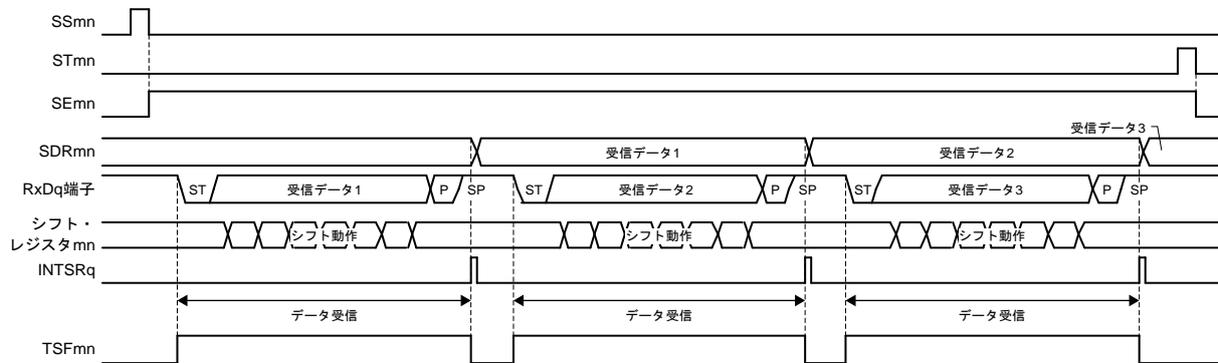


注意 SCRmn レジスタの RXEmn ビットを “1” に設定後に、 f_{MCK} の 4 クロック以上間隔をあけてから $SSmn=1$ を設定してください。

備考 中断設定で PER0 を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

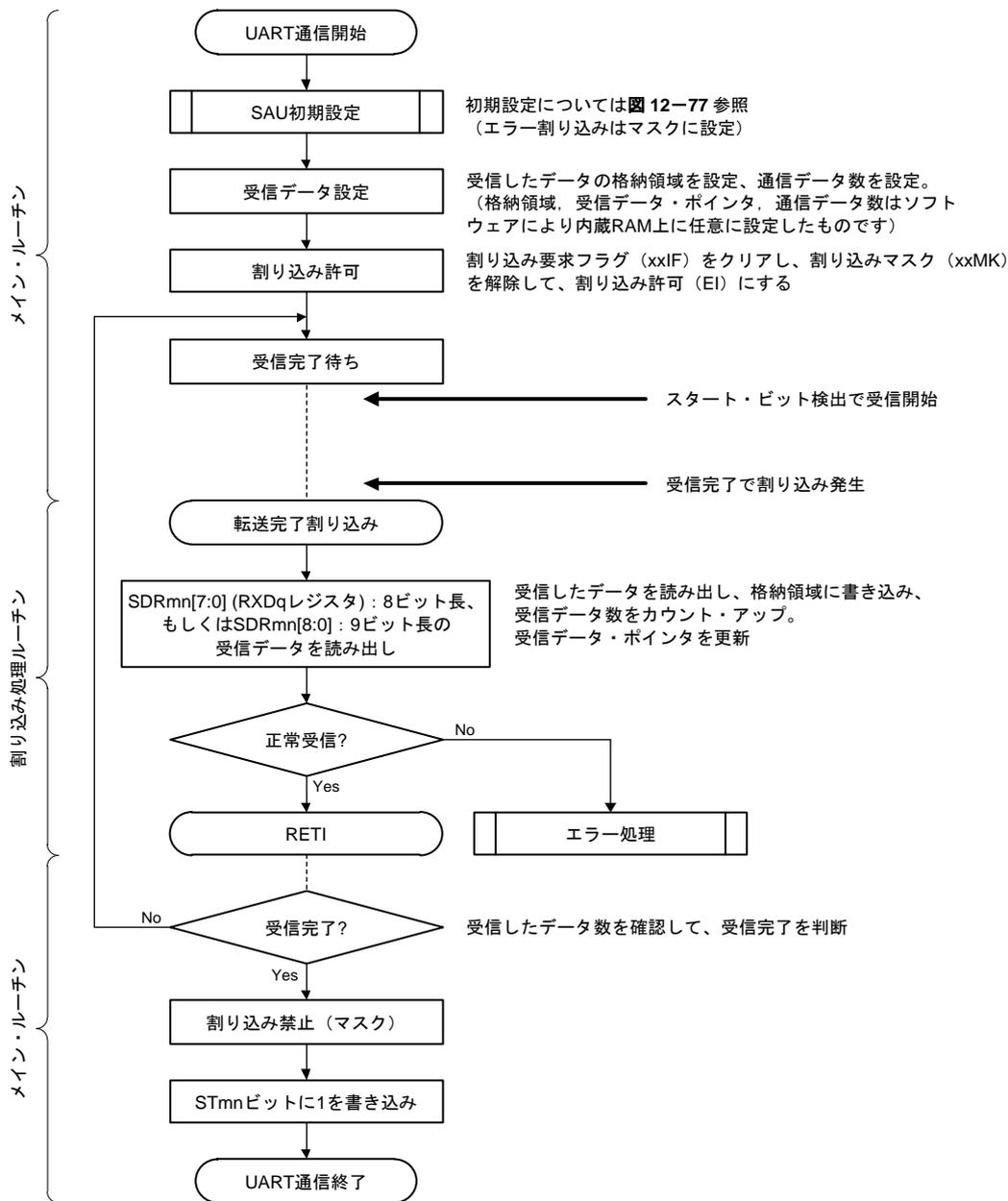
(3) 処理フロー

図 12-80 UART 受信のタイミング・チャート



備考 m: ユニット番号 (m=0)、n: チャネル番号 (n=1)、r: チャネル番号 (r=n-1)、
q: UART 番号 (q=0)、mn=01

図 12-81 UART 受信のフロー・チャート



12.6.3 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (f}_{\text{MCK}}) \text{ 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2[\text{bps}]$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9]= (0000000B, 0000001B) は設定禁止です。

備考1. UART 使用時は、SDRmn[15:9]は SDRmn レジスタのビット 15-9 の値 (0000010B-1111111B) なので、2-127 になります。

備考2. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0) 、mn=00

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn ビット) で決まります。

表 12-3 UART 動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (f_{MCK}) 注1	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	$f_{CLK}=16\text{MHz}$ 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	16MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	8MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	4MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	2MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	500kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	250kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	125kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	62.5kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	31.25kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	15.63kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	7.81kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	3.91kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	1.95kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	977Hz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	488Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	16MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	8MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	4MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	2MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	500kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	250kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	125kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	62.5kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	31.25kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	15.63kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	7.81kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	3.91kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	1.95kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	977Hz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	488Hz
上記以外									設定禁止	

(注 1、備考は、次ページにあります。)

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ m（STm）=000FH）させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1) 、mn=00, 01

(2) 送信時のボー・レート誤差

UART (UART0) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100[\%]$$

f_{CLK}=16MHz の場合の UART ボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	f _{CLK} =16MHz 時			
	動作クロック (f _{MCK})	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300bps	f _{CLK} /2 ⁹	51	300.48bps	+0.16%
600bps	f _{CLK} /2 ⁸	51	600.96bps	+0.16%
1200bps	f _{CLK} /2 ⁷	51	1201.92bps	+0.16%
2400bps	f _{CLK} /2 ⁶	51	2403.85bps	+0.16%
4800bps	f _{CLK} /2 ⁵	51	4807.69bps	+0.16%
9600bps	f _{CLK} /2 ⁴	51	9615.38bps	+0.16%
19200bps	f _{CLK} /2 ³	51	19230.8bps	+0.16%
31250bps	f _{CLK} /2 ³	31	31250.0bps	±0.0%
38400bps	f _{CLK} /2 ²	51	38461.5bps	+0.16%
76800bps	f _{CLK} /2	51	76923.1bps	+0.16%
153600bps	f _{CLK}	51	153846bps	+0.16%
312500bps	f _{CLK}	25	307692.3bps	-1.54%

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0) 、 mn=00

(3) 受信時のボー・レート許容範囲

UART (UART0) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$\text{(受信可能な最大ボー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ボー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (「12.6.3(1) ボー・レート算出式」参照)

k : SDRmn[15:9]+1

Nfr : 1 データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=1)、mn=01

図 12-82 受信時の許容ボー・レート範囲 (1 データ・フレーム長=11 ビットの場合)

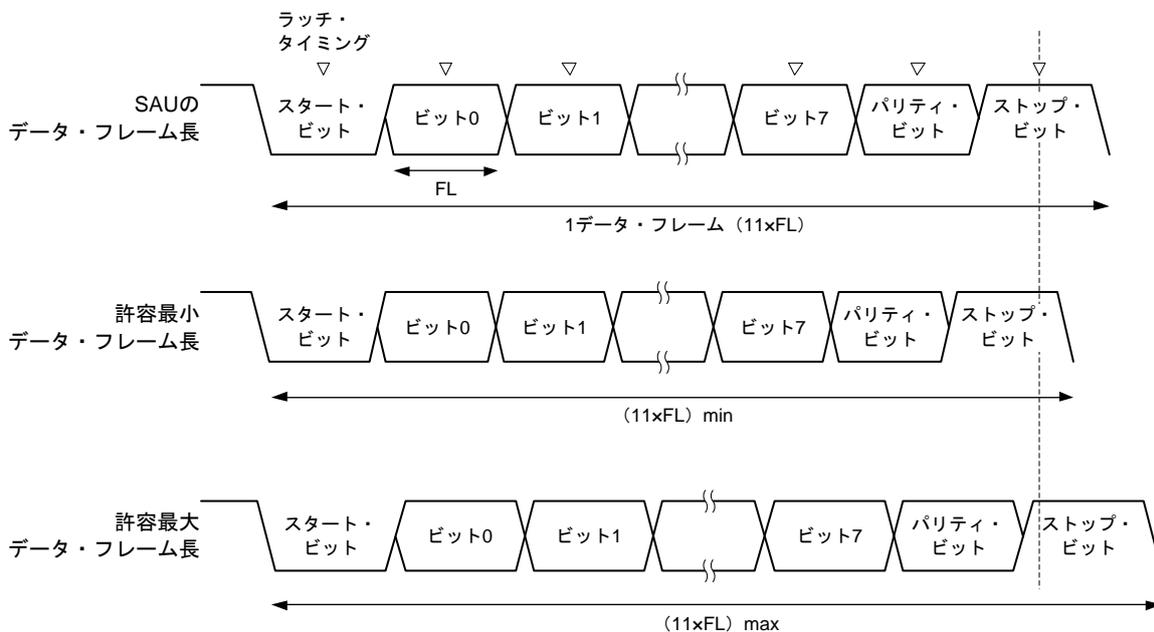


図 12-82 に示すように、スタート・ビット検出後はシリアル・データ・レジスタ mn (SDRmn) のビット 15-9 で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

12.6.4 UART (UART0) 通信時におけるエラー発生時の処理手順

UART (UART0) 通信時にエラーが発生した場合の処理手順を図 12-83、図 12-84 に示します。

図 12-83 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	▶ SSRmn レジスタの BFFmn ビットが “0” となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に “1” をライトする	▶ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図 12-84 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	▶ SSRmn レジスタの BFFmn ビットが “0” となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	▶ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに “1” を設定する	▶ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが “0” となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに “1” を設定する	▶ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが “1” となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=1) 、 mn=01

12.7 簡易 I²C (IIC00, IIC01) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の 2 本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM, フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²C バスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^{注1}、ACK 検出機能
- 8 ビットのデータ長
(アドレス送信時は、上位 7 ビットでアドレス指定し、最下位 1 ビットで R/W 制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACK エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- マルチ・マスタ機能 (アービトレーション負け検出機能)
- ウェイト検出機能

注1. 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、「12.7.3(2) 処理フロー」を参照してください。

備考 m: ユニット番号 (m=0)、n: チャネル番号 (n=0, 1)、mn=00, 01

簡易 I²C (IIC00, IIC01) に対応しているチャンネルは、SAU0 のチャンネル 0, 1 です。

● 10, 8 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	—		—

● 20, 16 ピン製品

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

簡易 I²C (IIC00, IIC01) の通信動作は、以下の 4 種類があります。

- アドレス・フィールド送信 (12.7.1 項を参照)
- データ送信 (12.7.2 項を参照)
- データ受信 (12.7.3 項を参照)
- ストップ・コンディション発生 (12.7.4 項を参照)

12.7.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C 通信で最初に行う送信動作です。スタート・コンディションが発生したあとに、アドレス（7 ビット）と転送方向（1 ビット）を 1 フレームとして送信します。

簡易 I ² C	IIC00	IIC01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCL00, SDA00 注 ¹	SCL01, SDA01 注 ¹
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	ACK エラー検出フラグ（PEFmn）	
転送データ長	8 ビット（上位 7 ビットをアドレス、下位 1 ビットを R/W 制御として送信）	
転送レート注 ²	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9]=1 以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² C の各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max.400kHz（ファースト・モード） • Max.100kHz（標準モード） 	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1 ビット付加（ACK 送受信タイミング用）	
データ方向	MSB ファースト	

注1. 簡易 I²C による通信を行う場合は、ポート出力モード・レジスタ（POMxx）にて N-ch オープン・ドレイン出力（V_{DD} 耐圧）モードを設定してください（POMxx=1）。詳細は、「4.3 ポート機能を制御するレジスタ」、
「4.5 兼用機能使用時のレジスタ設定」を参照してください。

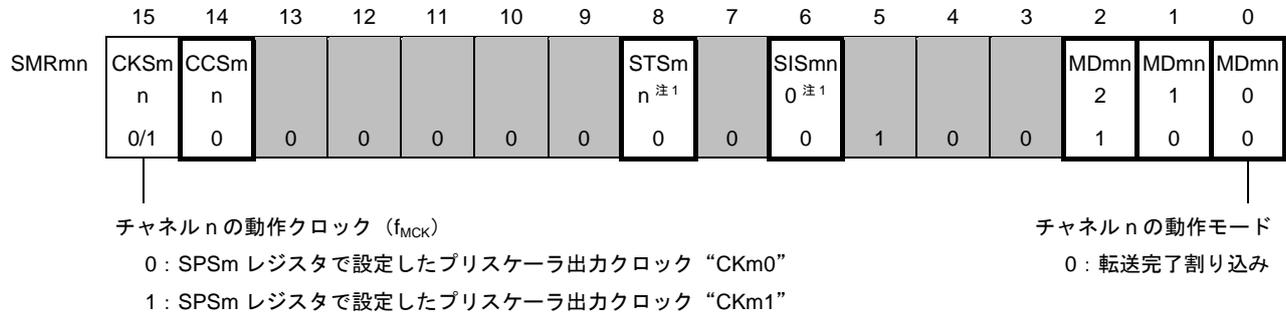
注2. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（T_A=-40°C~+85°C）」および「第 24 章 電気的特性（T_A=-40°C~+105°C, T_A=-40°C~+125°C）」参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m=0）、n：チャンネル番号（n=0, 1）、mn=00, 01

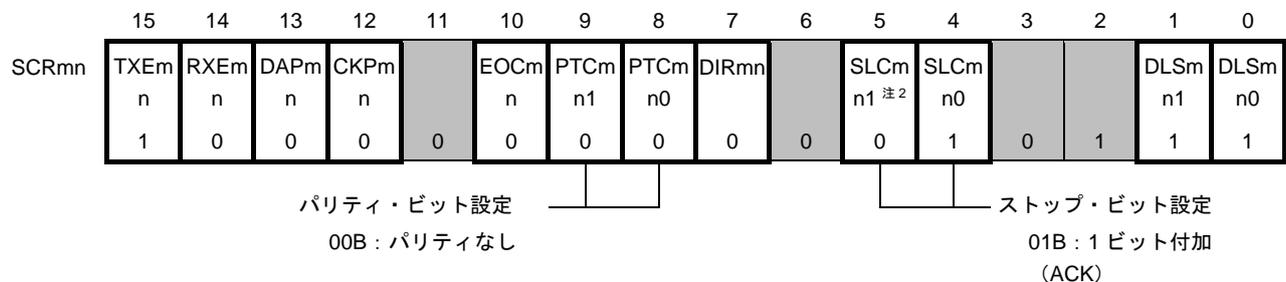
(1) レジスタ設定

図 12-85 簡易 I²C (IIC00, IIC01) のアドレス・フィールド送信時のレジスタ設定内容例 (1/2)

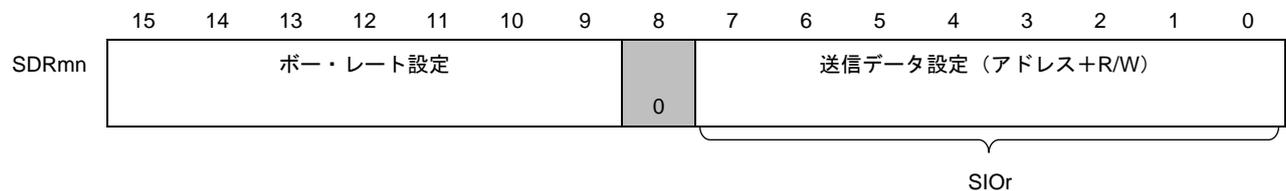
(a) シリアル・モード・レジスタ mn (SMRmn)



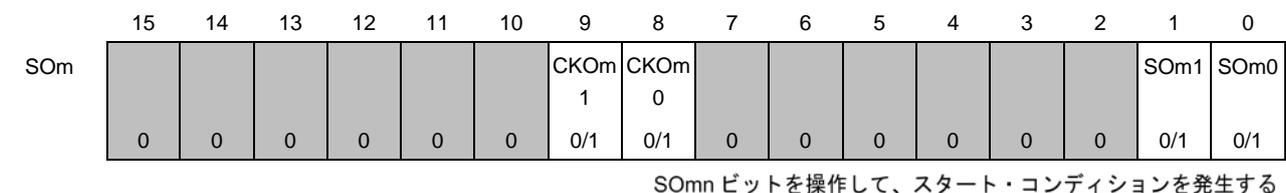
(b) シリアル通信動作設定レジスタ mn (SCRmn)



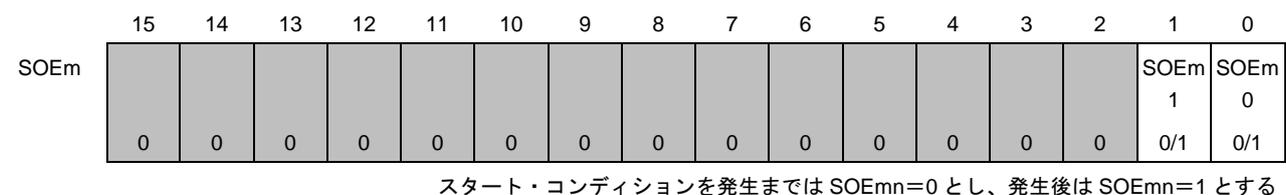
(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : SIO_r)



(d) シリアル出力レジスタ m (SOm)



(e) シリアル出力許可レジスタ m (SOEm)



(注 1, 注 2、備考は、次ページにあります。)

図 12-85 簡易 I²C (IIC00, IIC01) のアドレス・フィールド送信時のレジスタ設定内容例 (2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) … 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

スタート・コンディションを発生までは SS_mn=0 とし、発生後は SS_mn=1 とする

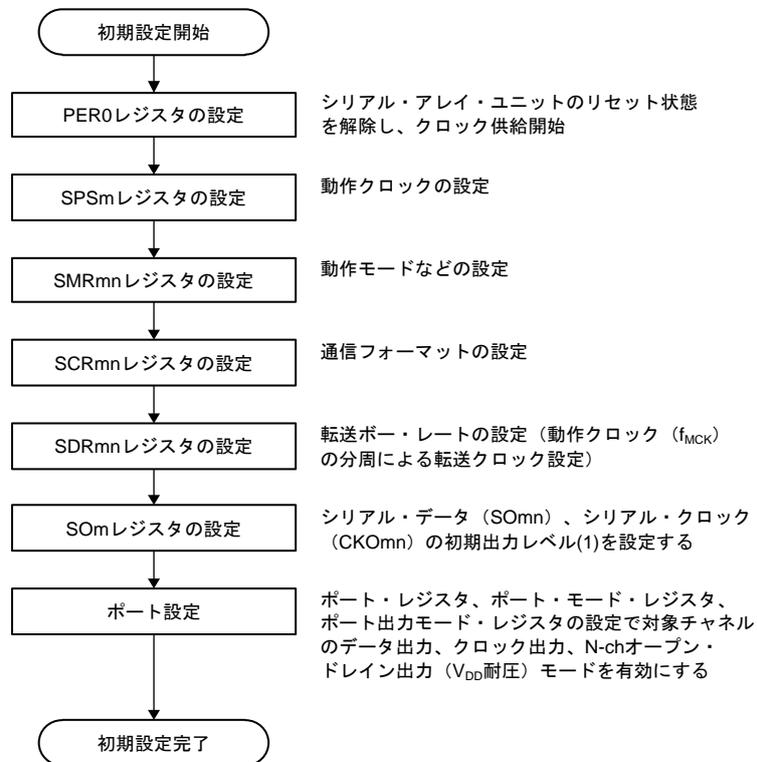
注1. SMR00 レジスタのみ。

注2. SCR00 レジスタのみ。

備考1. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1) 、r : IIC 番号 (r=00, 01) 、mn=00, 01

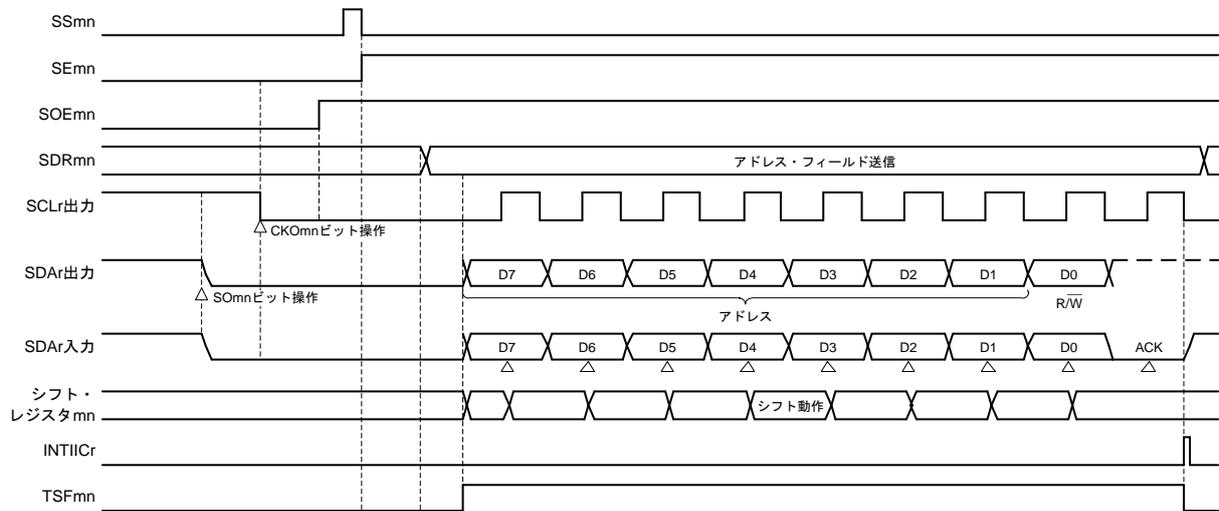
備考2. : IIC モードでは設定固定、 : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 操作手順

図 12-86 簡易 I²C アドレス・フィールド送信の初期設定手順

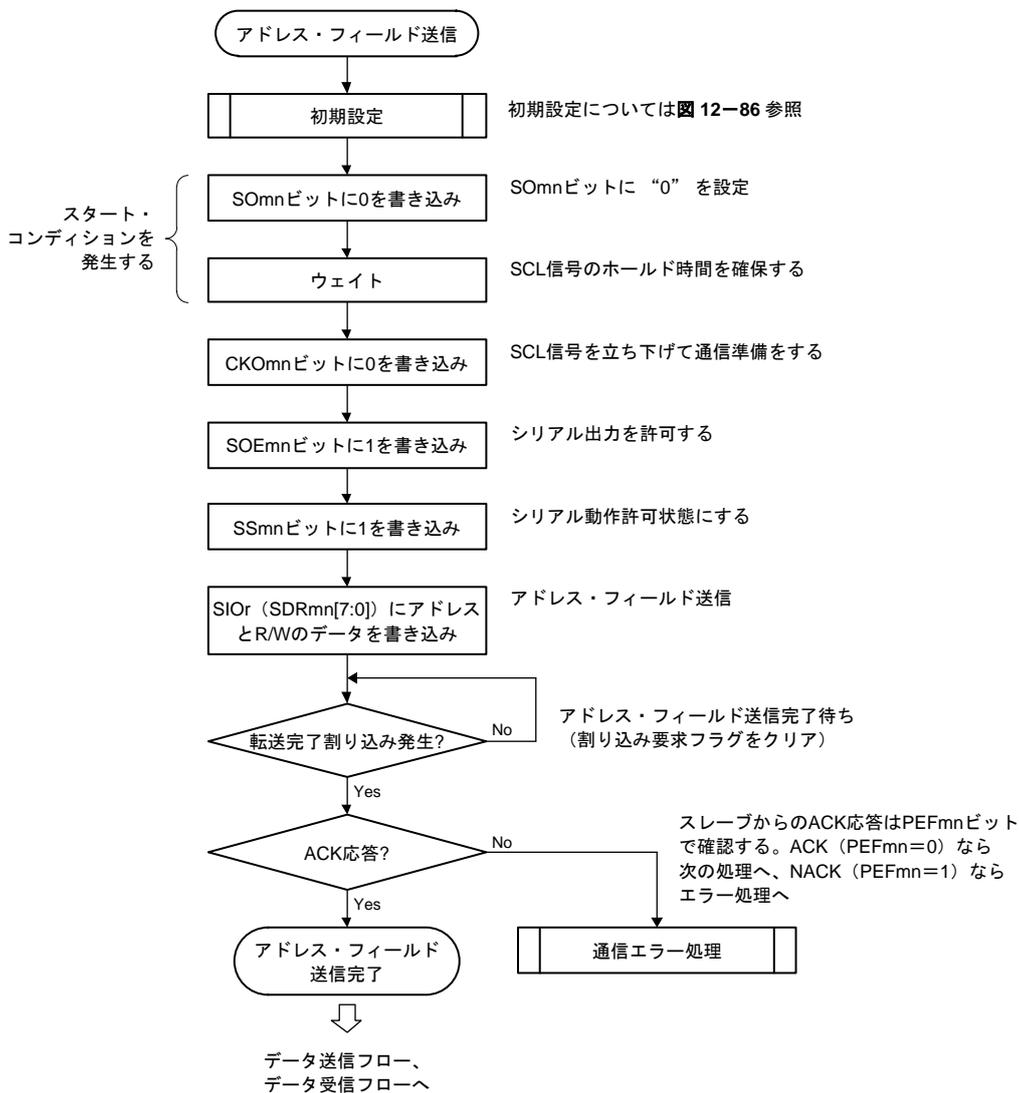
(3) 処理フロー

図 12-87 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 r : IIC 番号 (r=00, 01) 、 mn=00, 01

図 12-88 簡易 I²C アドレス・フィールド送信のフロー・チャート



12.7.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCL00, SDA00 注 ¹	SCL01, SDA01 注 ¹
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	ACK エラー検出フラグ（PEFmn）	
転送データ長	8 ビット	
転送レート注 ²	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9]=1 以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² C の各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max.400kHz（ファースト・モード） • Max.100kHz（標準モード） 	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1 ビット付加（ACK 受信タイミング用）	
データ方向	MSB ファースト	

注1. 簡易 I²C による通信を行う場合は、ポート出力モード・レジスタ（POMxx）にて N-ch オープン・ドレイン出力（V_{DD} 耐圧）モードを設定してください（POMxx=1）。詳細は、「4.3 ポート機能を制御するレジスタ」、
「4.5 兼用機能使用時のレジスタ設定」を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（T_A=-40°C~+85°C）」および
「第 24 章 電気的特性（T_A=-40°C~+105°C, T_A=-40°C~+125°C）」参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m=0）、n：チャンネル番号（n=0, 1）、mn=00, 01

(1) レジスタ設定

図 12-89 簡易 I²C (IIC00, IIC01) のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSm	CCSm						STSm		SISmn				MDmn	MDmn	MDmn
	n	n						n		0				2	1	0
	0/1	0	0	0	0	0	0	0 ^{注1}	0	0 ^{注1}	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

… TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEm	RXEm	DAPm	CKPm		EOCm	PTCm	PTCm	DIRmn		SLCm	SLCm			DLSm	DLSm
	n	n	n	n		n	n1	n0			n1	n0			n1	n0
	1	0	0	0	0	0	0	0	0	0	0 ^{注2}	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : SIO_r)

… データ送受信中は下位 8 ビット (SIO_r) のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定 ^{注3}							0	送信データ設定							
	SIO _r															

(d) シリアル出力レジスタ m (SOm) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm	CKOm							SOm1	SOm0
							1	0								
	0	0	0	0	0	0	0/1 ^{注4}	0/1 ^{注4}	0	0	0	0	0	0	0/1 ^{注4}	0/1 ^{注4}

(e) シリアル出力許可レジスタ m (SOEm) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
															1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

(f) シリアル・チャンネル開始レジスタ m (SSm) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
															0/1	0/1
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(注 1~注 4、備考は、次ページにあります。)

注1. SMR01 レジスタのみ。

注2. SCR00 レジスタのみ。

注3. アドレス・フィールド送信で設定済みなので、設定不要です。

注4. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m=0) 、n : チャネル番号 (n=0, 1) 、r : IIC 番号 (r=00, 01) 、mn=00, 01

備考2. : IIC モードでは設定固定、 : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 処理フロー

図 12-90 データ送信のタイミング・チャート

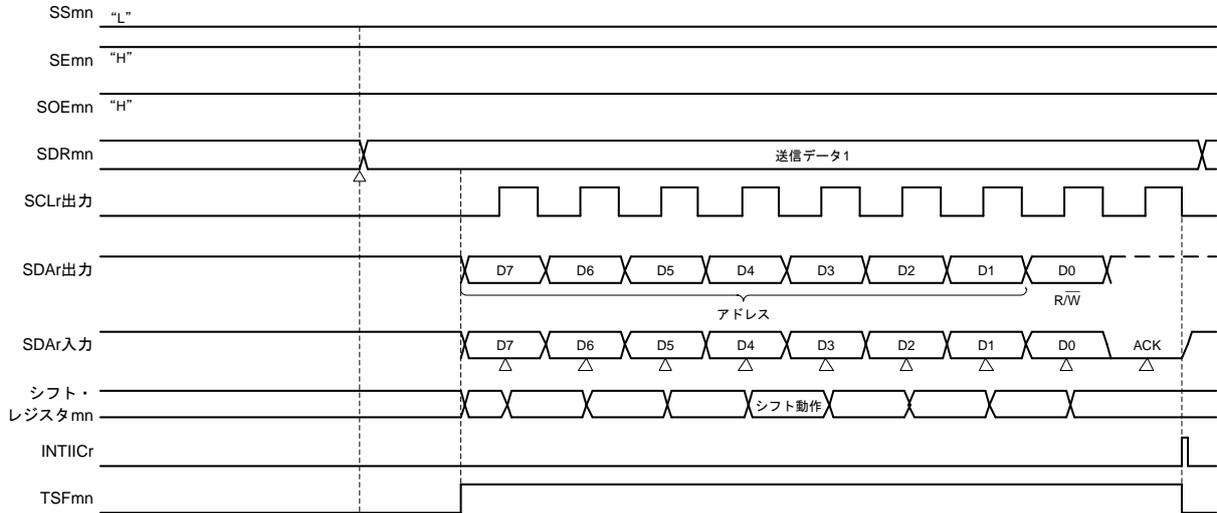
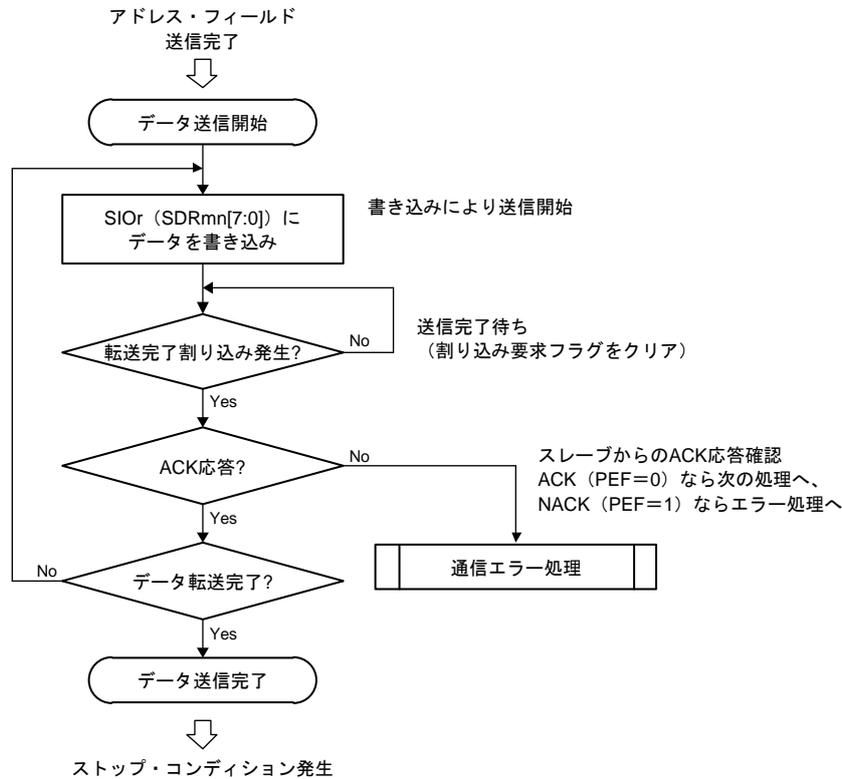


図 12-91 簡易 I²C データ送信のフロー・チャート



12.7.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC01
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1
使用端子	SCL00, SDA00 注 ¹	SCL01, SDA01 注 ¹
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	8 ビット	
転送レート注 ²	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9]=1 以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² C の各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max.400kHz（ファースト・モード） • Max.100kHz（標準モード） 	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1 ビット付加（ACK 送信）	
データ方向	MSB ファースト	

注1. 簡易 I²C による通信を行う場合は、ポート出力モード・レジスタ（POMxx）にて N-ch オープン・ドレイン出力（V_{DD} 耐圧）モードを設定してください（POMxx=1）。詳細は、「4.3 ポート機能を制御するレジスタ」、
「4.5 兼用機能使用時のレジスタ設定」を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（「第 23 章 電気的特性（T_A=-40°C~+85°C）」および
「第 24 章 電気的特性（T_A=-40°C~+105°C, T_A=-40°C~+125°C）」参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m=0）、n：チャンネル番号（n=0, 1）、mn=00, 01

(1) レジスタ設定

図 12-92 簡易 I²C (IIC00, IIC01) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSm	CCSm						STSm		SISmn				MDmn	MDmn	MDmn
	n	n						n		0				2	1	0
	0/1	0	0	0	0	0	0	0 ^{注1}	0	0 ^{注1}	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

… TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEm	RXEm	DAPm	CKPm		EOCm	PTCm	PTCm	DIRmn		SLCm	SLCm			DLSm	DLSm
	n	n	n	n		n	n1	n0			n1	n0			n1	n0
	0	1	0	0	0	0	0	0	0	0	0 ^{注2}	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位 8 ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 ^{注3}								0	ダミー送信データ設定 (FFH)							
										SIO _r							

(d) シリアル出力レジスタ m (SOm) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm	CKOm							SOm1	SOm0
							1	0								
	0	0	0	0	0	0	0/1 ^{注4}	0/1 ^{注4}	0	0	0	0	0	0	0/1 ^{注4}	0/1 ^{注4}

(e) シリアル出力許可レジスタ m (SOEm) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm	SOEm
															1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) … データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(注 1~注 4、備考は、次ページにあります。)

注1. SMR01, SMR03 レジスタのみ。

注2. SCR00, SCR02 レジスタのみ。

注3. アドレス・フィールド送信で設定済みなので、設定不要です。

注4. 通信動作中は通信データにより値が変わります。

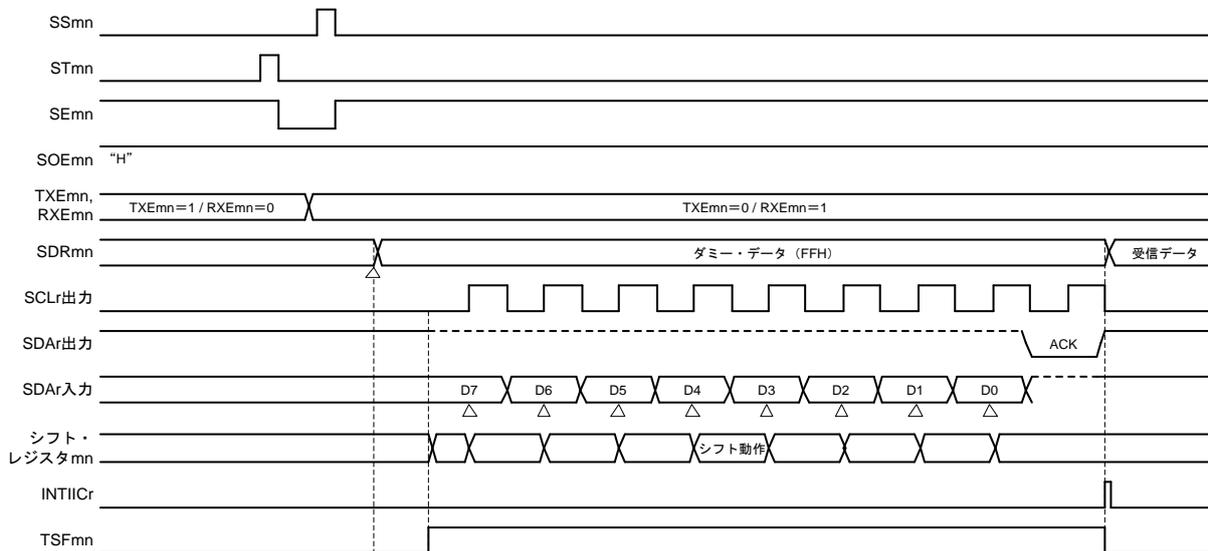
備考1. m : ユニット番号 (m=0) 、n : チャネル番号 (n=0, 1) 、r : IIC 番号 (r=00, 01) 、mn=00, 01

備考2. : IIC モードでは設定固定、 : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

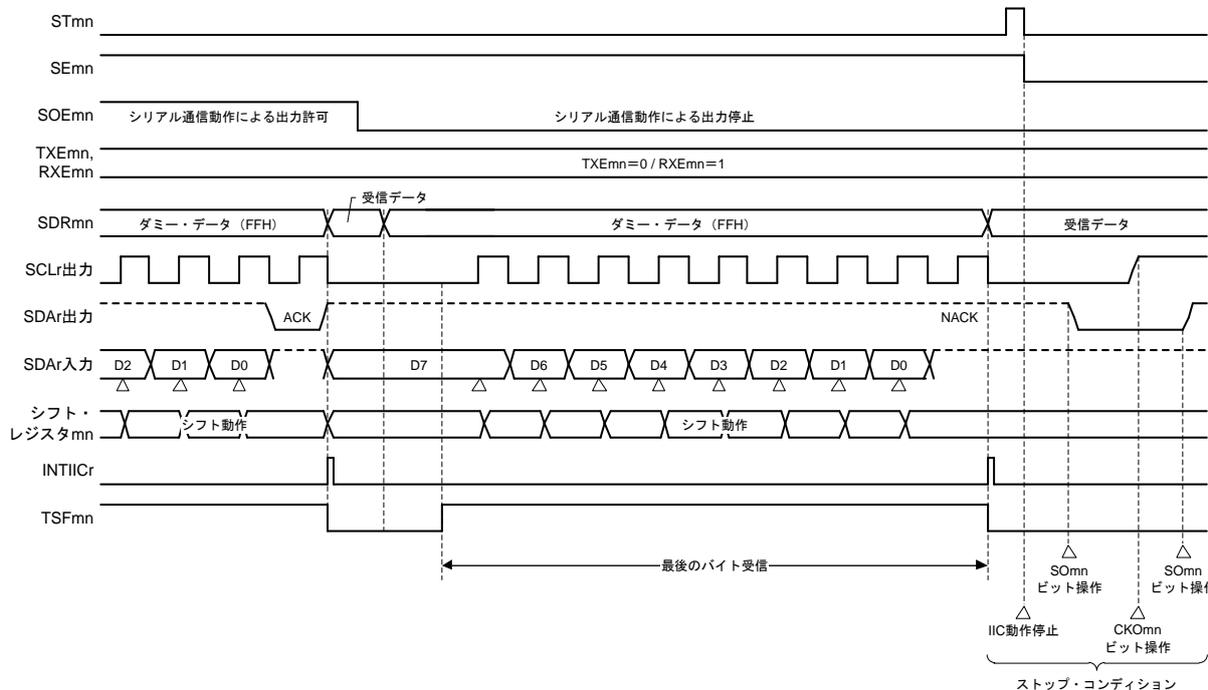
(2) 処理フロー

図 12-93 データ受信のタイミング・チャート

(a) データ受信開始時

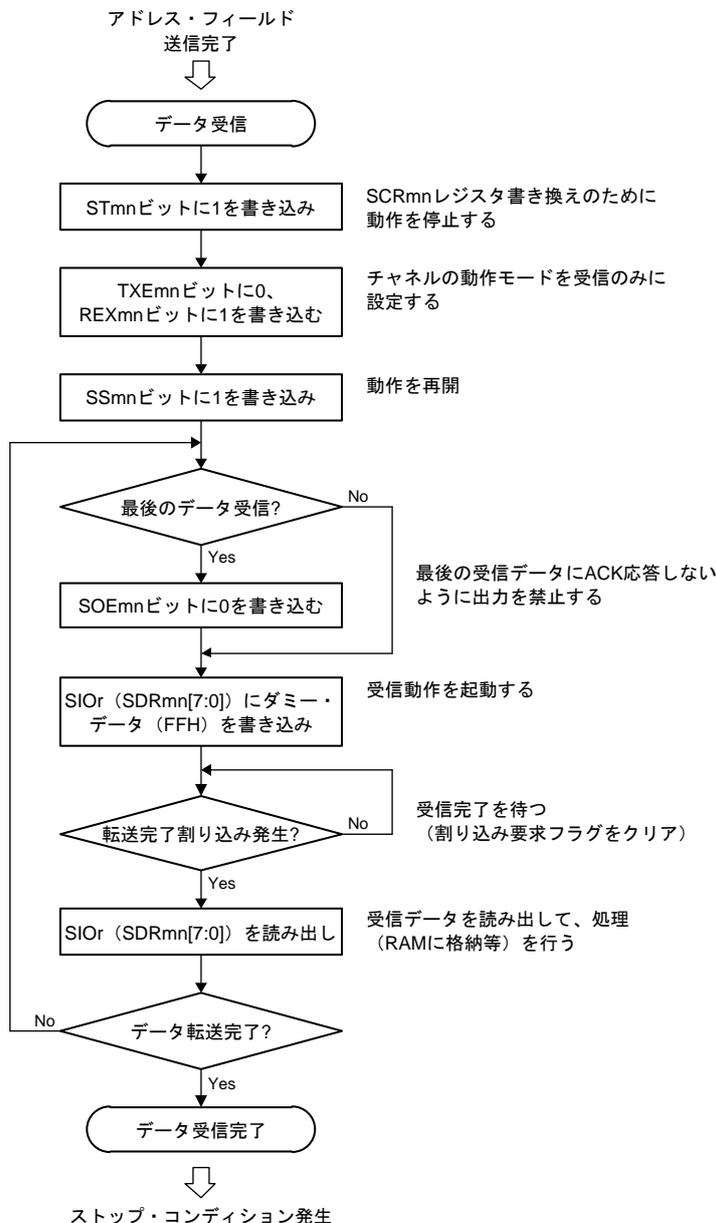


(b) 最終データ受信時



備考 m : ユニット番号 (m=0)、n : チャネル番号 (n=0, 1)、r : IIC 番号 (r=00, 01)、mn=00, 01

図 12-94 データ受信のフロー・チャート



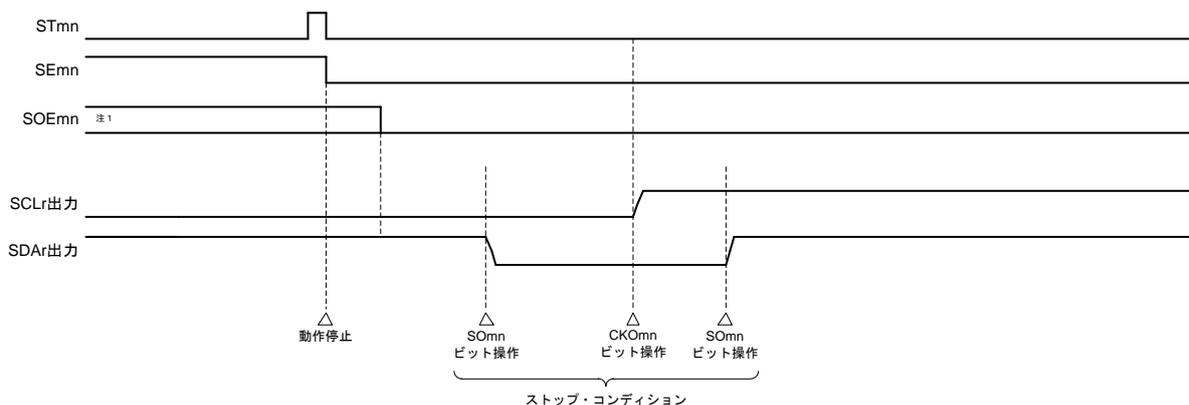
注意 最終データの受信時は ACK を出力しません (NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに “1” を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

12.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

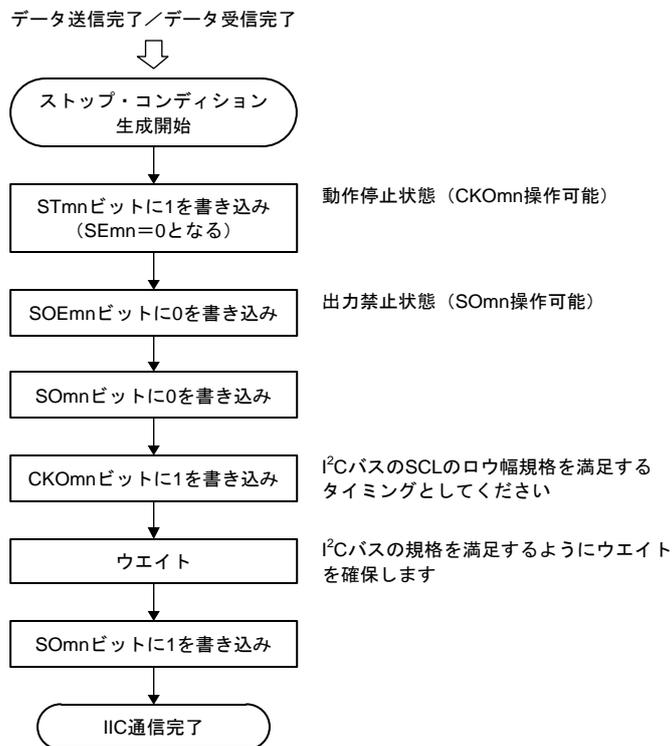
(1) 処理フロー

図 12-95 ストップ・コンディション発生のタイミング・チャート



注1. 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを “0” に設定しています。

図 12-96 ストップ・コンディション発生のフロー・チャート



12.7.5 転送レートの算出

簡易 I²C (IIC00, IIC01) 通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{\text{対象チャンネルの動作クロック (f}_{\text{MCK}}) \text{ 周波数}\} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9]=0000000B は設定禁止です。SDRmn[15:9]=0000001B 以上に設定してください。
簡易 I²C 出力の SCL 信号のデューティ比は 50%です。I²C バス規格では、SCL 信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの 400 kbps やファースト・モード・プラスの 1 Mbps に設定すると、SCL 信号出力のロウ・レベル幅が I²C バスの規格値より短くなります。
SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9]) は、シリアル・データ・レジスタ mn (SDRmn) のビット 15-9 の値 (0000001B-1111111B) なので、1-127 になります。

備考2. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1) 、mn=00, 01

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn ビット) で決まります。

表 12-4 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (f _{CLK}) 注1		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} =16MHz 動作時	
0		X	X	X	X	0	0	0	0	f _{CLK}	16MHz
		X	X	X	X	0	0	0	1	f _{CLK} /2	8MHz
		X	X	X	X	0	0	1	0	f _{CLK} /2 ²	4MHz
		X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2MHz
		X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1MHz
		X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	500kHz
		X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	250kHz
		X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	125kHz
		X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	62.5kHz
		X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	31.25kHz
		X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	15.63kHz
		X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	7.81kHz
1		0	0	0	0	X	X	X	X	f _{CLK}	16MHz
		0	0	0	1	X	X	X	X	f _{CLK} /2	8MHz
		0	0	1	0	X	X	X	X	f _{CLK} /2 ²	4MHz
		0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2MHz
		0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1MHz
		0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	500kHz
		0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	250kHz
		0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	125kHz
		1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	62.5kHz
		1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	31.25kHz
		1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	15.63kHz
		1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	7.81kHz
上記以外									設定禁止		

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ m（STm）=000FH）させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m=0) 、n : チャンネル番号 (n=0, 1) 、mn=00, 01

$f_{MCK}=f_{CLK}=16\text{MHz}$ の場合の I²C 転送レート設定例を示します。

I ² C 転送モード (希望転送レート)	$f_{CLK}=16\text{MHz}$ 時			
	動作クロック (f_{MCK})	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100kHz	$f_{CLK}/2$	39	100kHz	0.0%
400kHz	f_{CLK}	20	380kHz	5.0% ^{注1}
1MHz	f_{CLK}	8	0.88MHz	11.0% ^{注1}

注1. SCL 信号がデューティ比 50%なので、誤差を 0%程度に設定することはできません。

備考 m : ユニット番号 (m=0) 、 n : チャネル番号 (n=0, 1) 、 mn=00, 01

12.7.6 簡易 I²C (IIC00, IIC01) 通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC01) 通信時にエラーが発生した場合の処理手順を図 12-97、図 12-98 に示します。

図 12-97 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	▶ SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	▶ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図 12-98 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	▶ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	▶ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“0”となり、チャンネル n は動作停止状態になる	ACK が返信されていないので、スレーブの受信準備ができていない。 そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	▶ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m=0) 、 n : チャンネル番号 (n=0, 1) 、 r : IIC 番号 (r=00, 01) 、 mn=00, 01

第13章 シリアル・インタフェース IICA

13.1 シリアル・インタフェース IICA の機能

シリアル・インタフェース IICA には、次の 3 種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²C バス・モード (マルチマスタ対応)

シリアル・クロック (SCLA0) とシリアル・データ・バス (SDAA0) の 2 本のラインより、複数のデバイスと 8 ビット・データ転送を行うモードです。

I²C バス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムの I²C バス制御部分を簡単にすることができます。

シリアル・インタフェース IICA では、SCLA0 端子と SDAA0 端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOP モード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICA0) を発生し STOP モードを解除することができます。IICA コントロール・レジスタ 01 (IICCTL01) の WUP0 ビットにより設定します。

図 13-1 に、シリアル・インタフェース IICA のブロック図を示します。

図 13-1 シリアル・インタフェース IICA のブロック図

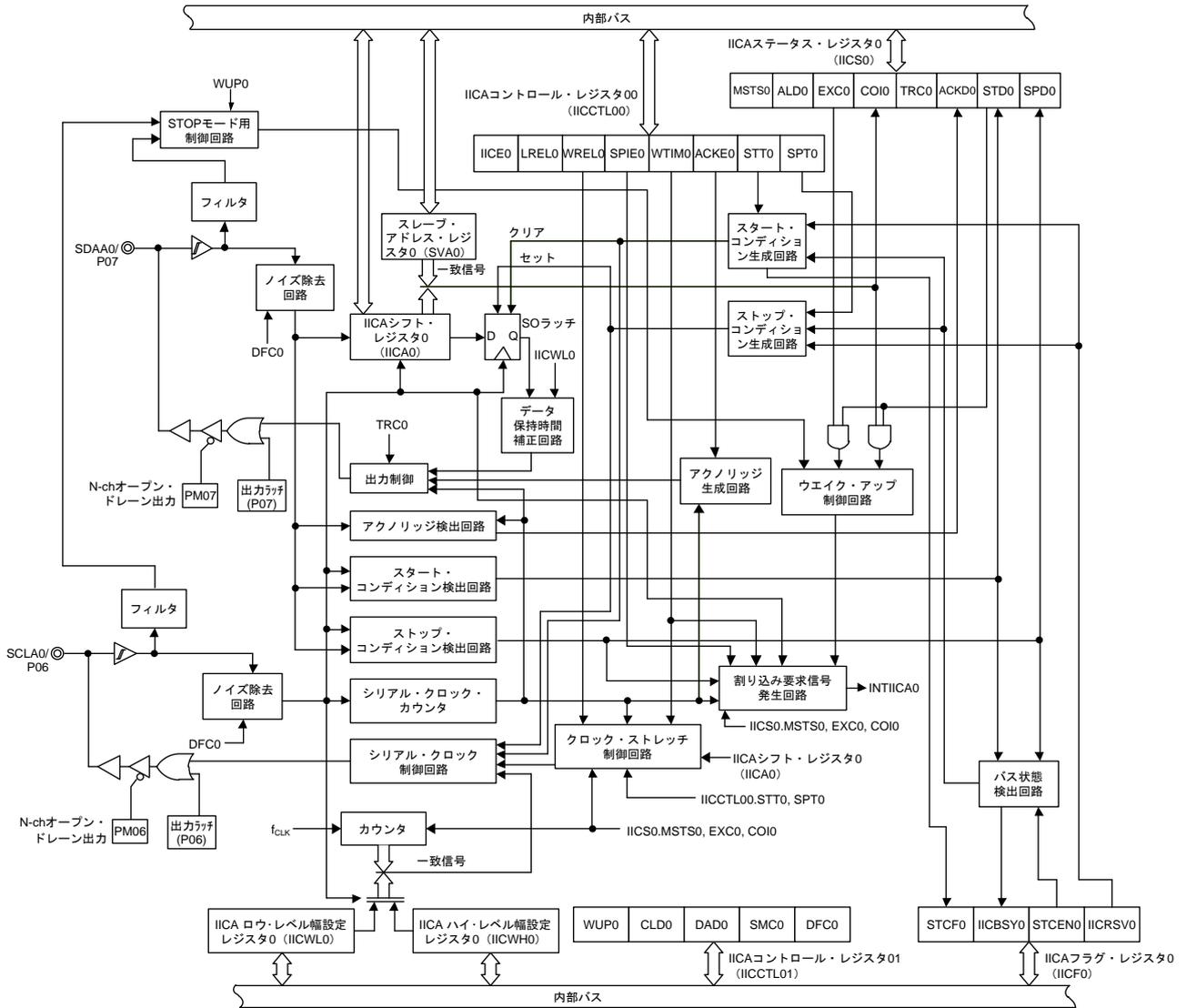
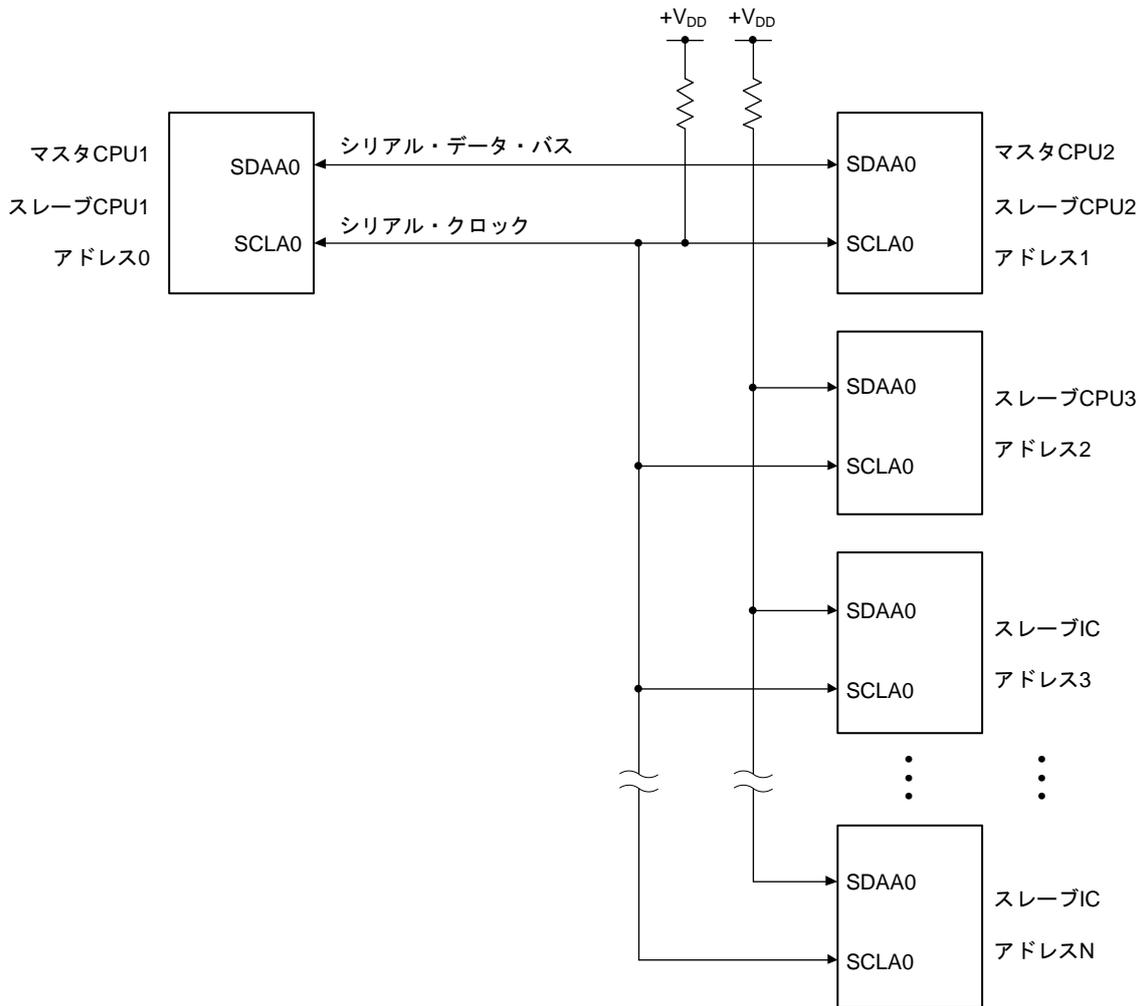


図 13-2 にシリアル・バス構成例を示します。

図 13-2 I²C バスによるシリアル・バス構成例



13.2 シリアル・インタフェース IICA の構成

シリアル・インタフェース IICA は、次のハードウェアで構成されています。

表 13-1 シリアル・インタフェース IICA の構成

項目	構成
レジスタ	IICA シフト・レジスタ 0 (IICA0) スレーブ・アドレス・レジスタ 0 (SVA0)
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0) IICA コントロール・レジスタ 00 (IICCTL00) IICA ステータス・レジスタ 0 (IICS0) IICA フラグ・レジスタ 0 (IICF0) IICA コントロール・レジスタ 01 (IICCTL01) IICA ロウ・レベル幅設定レジスタ 0 (IICWLO) IICA ハイ・レベル幅設定レジスタ 0 (IICWH0) ポート・モード・レジスタ 0 (PM0) ポート・レジスタ 0 (P0) ポート・出力モード・レジスタ 0 (POM0) ポート・モード・コントロール・レジスタ 0 (PMC0)

(1) IICA シフト・レジスタ 0 (IICA0)

IICA0 レジスタは、シリアル・クロックに同期して、8 ビットのシリアル・データを 8 ビットの平行・データに、8 ビットの平行・データを 8 ビットのシリアル・データに変換するレジスタです。IICA0 レジスタは送信および受信の両方に使用されます。

IICA0 レジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中の IICA0 レジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICA0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 13-3 IICA シフト・レジスタ 0 (IICA0) のフォーマット

アドレス : FFF50H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICA0								

- 注意 1.** データ転送中は IICA0 レジスタにデータを書き込まないでください。
- 注意 2.** IICA0 レジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態での IICA0 レジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1 回書き込みできます。
- 注意 3.** 通信予約時は、ストップ・コンディションによる割り込み検出のあとに IICA0 レジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ 0 (SVA0)

スレーブとして使用する場合に、自局アドレスの 7 ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVA0 レジスタは、8 ビット・メモリ操作命令で設定します。

ただし、STD0=1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00H になります。

図 13-4 スレーブ・アドレス・レジスタ 0 (SVA0) のフォーマット

アドレス : F0234H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0 ^{注1}

- 注1.** ビット 0 には必ず“0”を設定してください。

(3) SO ラッチ

SO ラッチは、SDAA0 端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ 0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA0) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8 ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA0) の発生を制御します。

I²C 割り込み要求は、次の 2 つのトリガで発生します。

- シリアル・クロックの 8 クロック目または 9 クロック目の立ち下がり (WTIM0 ビットで設定)
- ストップ・コンディション検出による割り込み要求発生 (SPIE0 ビットで設定)

備考 WTIM0 ビット : IICA コントロール・レジスタ 00 (IICCTL00) のビット 3

SPIE0 ビット : IICA コントロール・レジスタ 00 (IICCTL00) のビット 4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLA0 端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

(9) アクノリッジ生成回路、ストップ・コンディション検出回路、スタート・コンディション検出回路、アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STT0 ビットがセット (1) されるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICRSV0 ビット=1) で、かつバスが解放されていない (IICBSY0 ビット=1) 場合には、スタート・コンディション要求は無視し、STCF0 ビットをセット (1) します。

(12) ストップ・コンディション生成回路

SPT0 ビットがセット (1) されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCEN0 ビットにより、バス状態検出回路の初期状態を設定してください。

備考 STT0 ビット : IICA コントロール・レジスタ 00 (IICCTL00) のビット 1
SPT0 ビット : IICA コントロール・レジスタ 00 (IICCTL00) のビット 0
IICRSV0 ビット : IICA フラグ・レジスタ 0 (IICF0) のビット 0
IICBSY0 ビット : IICA フラグ・レジスタ 0 (IICF0) のビット 6
STCF0 ビット : IICA フラグ・レジスタ 0 (IICF0) のビット 7
STCEN0 ビット : IICA フラグ・レジスタ 0 (IICF0) のビット 1

13.3 シリアル・インタフェース IICA を制御するレジスタ

シリアル・インタフェース IICA は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ 0 (PER0)
- IICA コントロール・レジスタ 00 (IICCTL00)
- IICA フラグ・レジスタ 0 (IICF0)
- IICA ステータス・レジスタ 0 (IICS0)
- IICA コントロール・レジスタ 01 (IICCTL01)
- IICA ロウ・レベル幅設定レジスタ 0 (IICWL0)
- IICA ハイ・レベル幅設定レジスタ 0 (IICWH0)
- ポート・モード・レジスタ 0 (PM0)
- ポート・レジスタ 0 (P0)
- ポート・出力モード・レジスタ 0 (POM0)
- ポート・モード・コントロール・レジスタ 0 (PMC0)

13.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICA を使用するときは、必ずビット 4 (IICA0EN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 13-5 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	CMPEN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェース IICA の入力クロック供給の制御
0	入力クロック供給停止 <ul style="list-style-type: none"> シリアル・インタフェース IICA で使用する SFR へのライト不可 シリアル・インタフェース IICA はリセット状態
1	入力クロック供給許可 <ul style="list-style-type: none"> シリアル・インタフェース IICA で使用する SFR へのリード／ライト可

注意 1. シリアル・インタフェース IICA の設定をする際には、必ず最初に IICA0EN=1 の状態で、下記のレジスタの設定を行ってください。IICA0EN=0 の場合は、シリアル・インタフェース IICA の制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ 0 (PM0)、ポート・レジスタ 0 (P0)、ポート・出力モード・レジスタ 0 (POM0)、ポート・モード・コントロール・レジスタ 0 (PMC0) は除く）。

- IICA コントロール・レジスタ 00 (IICCTL00)
- IICA フラグ・レジスタ 0 (IICF0)
- IICA ステータス・レジスタ 0 (IICS0)
- IICA コントロール・レジスタ 01 (IICCTL01)
- IICA ロウ・レベル幅設定レジスタ 0 (IICWL0)
- IICA ハイ・レベル幅設定レジスタ 0 (IICWH0)

注意 2. ビット 1, 3 には必ず “0” を設定してください。

13.3.2 IICA コントロール・レジスタ 00 (IICCTL00)

I²C の動作許可／停止、クロック・ストレッチ・タイミングの設定、その他 I²C の動作を設定するレジスタです。

IICCTL00 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、SPIE0, WTIM0, ACKE0 ビットは、IICE0=0 のとき、またはクロック・ストレッチ期間中に設定してください。また IICE0 ビットを“0”から“1”に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00H になります。

図 13-6 IICA コントロール・レジスタ 00 (IICCTL00) のフォーマット (1/4)

アドレス : F0230H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² C の動作許可
0	動作停止。IICA ステータス・レジスタ 0 (IICS0) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ず SCLA0, SDAA0 ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0=0)	セットされる条件 (IICE0=1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 	<ul style="list-style-type: none"> 命令によるセット

LRELO <small>注2、注3</small>	通信退避
0	通常動作。
1	<p>現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。</p> <p>自局に関係ない拡張コードを受信したときなどに使用する。</p> <p>SCLA0, SDAA0 ラインはハイ・インピーダンス状態になる。</p> <p>IICA コントロール・レジスタ 00 (IICCTL00)、IICA ステータス・レジスタ 0 (IICS0) のうち、次のフラグがクリア (0) される。</p> <p>STT0, SPT0, MST0, EXC0 COI0, TRC0, ACKD0, STD0</p>
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
<ul style="list-style-type: none"> ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信 	
クリアされる条件 (LRELO=0)	セットされる条件 (LRELO=1)
<ul style="list-style-type: none"> 実行後、自動的にクリア リセット時 	<ul style="list-style-type: none"> 命令によるセット

図 13-6 IICA コントロール・レジスタ 00 (IICCTL00) のフォーマット (2/4)

WRELO 注2、注3	クロック・ストレッチ解除	
0	クロック・ストレッチを解除しない。	
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。	
送信状態 (TRC0=1) で、9 クロック目のクロック・ストレッチ期間中に WRELO ビットをセット (クロック・ストレッチを解除) した場合、SDAA0 ラインをハイ・インピーダンス (TRC0=0) にします。		
クリアされる条件 (WRELO=0)		セットされる条件 (WRELO=1)
<ul style="list-style-type: none"> • 実行後、自動的にクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

SPIE0 注4	ストップ・コンディション検出による割り込み要求発生の許可/禁止	
0	禁止	
1	許可	
IICA コントロール・レジスタ 01 (IICCTL01) の WUP0=1 の場合には、SPIE0=1 にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE0=0)		セットされる条件 (SPIE0=1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

WTIMO 注4	クロック・ストレッチおよび割り込み要求発生の制御	
0	8 クロック目の立ち下がりで割り込み要求発生。 マスタの場合：8 クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合：8 クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9 クロック目の立ち下がりで割り込み要求発生。 マスタの場合：9 クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合：9 クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9 クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9 クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9 クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8 クロック目の立ち下がりでクロック・ストレッチに入ります。		
クリアされる条件 (WTIMO=0)		セットされる条件 (WTIMO=1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

ACKE0 注4、注5	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9 クロック期間中に SDAA0 ラインをロウ・レベルにする。	
クリアされる条件 (ACKE0=0)		セットされる条件 (ACKE0=1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

図 13-6 IICA コントロール・レジスタ 00 (IICCTL00) のフォーマット (3/4)

STT0 <small>注2、注6</small>	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（待機状態、IICBSY0 が 0 のとき）：</p> <p>セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき：</p> <ul style="list-style-type: none"> ● 通信予約機能許可の場合（IICRSV0=0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ● 通信予約機能禁止の場合（IICRSV0=1） セット（1）しても STT0 ビットはクリアされ、STT0 クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。 <p>クロック・ストレッチ状態（マスタ時）：</p> <p>クロック・ストレッチを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> ● マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0=0 に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。 ● マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。 ● ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。 ● STT0 ビットをセット（1）後、クリア条件になる前に再度セット（1）することは禁止です。 		
クリアされる条件（STT0=0）		セットされる条件（STT0=1）
<ul style="list-style-type: none"> ● 通信予約禁止状態での STT0 ビットのセット（1） ● アービトレーションに負けたとき ● マスタでのスタート・コンディション生成 ● LREL0=1（通信退避）によるクリア ● IICE0=0（動作停止）のとき ● リセット時 		<ul style="list-style-type: none"> ● 命令によるセット

図 13-6 IICA コントロール・レジスタ 00 (IICCTL00) のフォーマット (4/4)

SPT0 ^{注7}	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する (マスタとしての転送終了)。				
セット・タイミングに関する注意 <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット (1) は禁止です。ACKE0=0 に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット (1) 可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9 クロック出力後のクロック・ストレッチ期間中にセット (1) してください。 スタート・コンディション・トリガ (STT0) と同時にセット (1) することは禁止です。 SPT0 ビットのセット (1) は、マスタのときのみ行ってください。 WTIM0=0 設定時に、8 クロック出力後のクロック・ストレッチ期間中に SPT0 ビットをセット (1) すると、クロック・ストレッチ解除後、9 クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8 クロック出力後のクロック・ストレッチ期間中に WTIM0=0→1 に設定し、9 クロック目出力後のクロック・ストレッチ期間中に SPT0 ビットをセット (1) してください。 SPT0 ビットをセット (1) 後、クリア条件になる前に、再度セット (1) することは禁止です。 					
<table border="1"> <thead> <tr> <th>クリアされる条件 (SPT0=0)</th> <th>セットされる条件 (SPT0=1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELO=1 (通信退避) によるクリア IICE0=0 (動作停止) のとき リセット時 </td> <td> <ul style="list-style-type: none"> 命令によるセット </td> </tr> </tbody> </table>		クリアされる条件 (SPT0=0)	セットされる条件 (SPT0=1)	<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELO=1 (通信退避) によるクリア IICE0=0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット
クリアされる条件 (SPT0=0)	セットされる条件 (SPT0=1)				
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELO=1 (通信退避) によるクリア IICE0=0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット 				

注1. リセットされるのは、IICA ステータス・レジスタ 0 (IICSA0) / IICA フラグ・レジスタ 0 (IICF0) の STCF0, IICBSY0 ビット、IICA コントロール・レジスタ 01 (IICCTL01) レジスタの CLD0, DAD0 ビットです。

注2. IICE0=0 の状態では、このビットの信号は無効になります。

注3. LRELO, WRELO ビットの読み出し値は常に 0 になります。

注4. IICE0=0 の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注5. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

注6. STT0 ビットの読み出し値は、常に 0 になります。

注7. SPT0 ビットの読み出し値は、常に 0 になります。

注意 1. SCLA0 ラインがハイ・レベル、SDAA0 ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTL01 レジスタの DFC0=1) のときに I²C を動作許可 (IICE0=1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²C を動作許可 (IICE0=1) したあと、連続して 1 ビット・メモリ操作命令により、LRELO ビットをセット (1) してください。

注意 2. IICA ステータス・レジスタ 0 (IICSA0) のビット 3 (TRC0) =1 (送信状態) のとき、9 クロック目に IICCTL00 レジスタのビット 5 (WRELO) をセット (1) してクロック・ストレッチ解除すると、TRC0 ビットをクリア (受信状態) して SDAA0 ラインをハイ・インピーダンスにします。TRC0=1 (送信状態) におけるクロック・ストレッチ解除は、IICA シフト・レジスタ 0 への書き込みで行ってください。

備考 IICRSV0 : IICA フラグ・レジスタ 0 (IICF0) のビット 0
 STCF0 : IICA フラグ・レジスタ 0 (IICF0) のビット 7

13.3.3 IICA ステータス・レジスタ 0 (IICS0)

I²C のステータスを表すレジスタです。

IICS0 レジスタは、STT0=1 およびクロック・ストレッチ期間中のみ、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

注意 STOP モード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUP0=1) 状態での IICS0 レジスタの読み出しは禁止です。WUP0=1 の状態から、INTIICA0 割り込み要求と関係なく WUP0 ビットを 1→0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE0=1) して割り込み検出後に IICS0 レジスタを読み出してください。

備考 STT0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 1

WUP0 : IICA コントロール・レジスタ 01 (IICCTL01) のビット 7

図 13-7 IICA ステータス・レジスタ 0 (IICS0) のフォーマット (1/3)

アドレス : FFF51H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0=0)	セットされる条件 (MSTS0=1)
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • ALD0=1 (アービトレーション負け) のとき • LREL0=1 (通信退避) によるクリア • IICE0=1→0 (動作停止) のとき • リセット時 	<ul style="list-style-type: none"> • スタート・コンディション生成時

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0 ビットがクリアされる。
クリアされる条件 (ALD0=0)	セットされる条件 (ALD0=1)
<ul style="list-style-type: none"> • IICS0 レジスタ読み出し後、自動的にクリア^{注1} • IICE0=1→0 (動作停止) のとき • リセット時 	<ul style="list-style-type: none"> • アービトレーションに負けたとき

図 13-7 IICA ステータス・レジスタ 0 (IICS0) のフォーマット (2/3)

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0=0)		セットされる条件 (EXC0=1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LREL0=1 (通信退避) によるクリア IICE0=1→0 (動作停止) のとき リセット時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位 4 ビットが “0000” または “1111” のとき (8 クロック目の立ち上がりでセット)
COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI0=0)		セットされる条件 (COI0=1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LREL0=1 (通信退避) によるクリア IICE0=1→0 (動作停止) のとき リセット時 		<ul style="list-style-type: none"> 受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ 0 (SVA0)) と一致したとき (8 クロック目の立ち上がりでセット)
TRC0	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDAA0 ラインをハイ・インピーダンスにする。	
1	送信状態。SDAA0 ラインに SO0 ラッチの値が出力できるようにする (1 バイト目の 9 クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC0=0)		セットされる条件 (TRC0=1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ストップ・コンディション検出時 LREL0=1 (通信退避) によるクリア IICE0=1→0 (動作停止) のとき WREL0=1 (クロック・ストレッチ解除) によるクリア^{注2} ALD0=0→1 (アービトレーション負け) のとき リセット時 通信不参加の場合 (MSTS0, EXC0, COI0=0) <p><マスタの場合></p> <ul style="list-style-type: none"> 1 バイト目の LSB (転送方向指定ビット) に “1” を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> スタート・コンディション検出時 1 バイト目の LSB (転送方向指定ビット) に “0” を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> スタート・コンディション生成時 1 バイト目 (アドレス転送時) の LSB (転送方向指定ビット) に “0” (マスタ送信) を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> マスタからの 1 バイト目 (アドレス転送時) の LSB (転送方向指定ビット) に “1” (スレーブ送信) が入力されたとき

図 13-7 IICA ステータス・レジスタ 0 (IICS0) のフォーマット (3/3)

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD0=0)		セットされる条件 (ACKD0=1)
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • 次のバイトの 1 クロック目の立ち上がり時 • LREL0=1 (通信退避) によるクリア • IICE0=1→0 (動作停止) のとき • リセット時 		<ul style="list-style-type: none"> • SCLA0 ラインの 9 クロック目の立ち上がり時に SDA0 ラインがロウ・レベルであったとき
STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STD0=0)		セットされる条件 (STD0=1)
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • アドレス転送後の次のバイトの 1 クロック目の立ち上がり時 • LREL0=1 (通信退避) によるクリア • IICE0=1→0 (動作停止) のとき • リセット時 		<ul style="list-style-type: none"> • スタート・コンディション検出時
SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPD0=0)		セットされる条件 (SPD0=1)
<ul style="list-style-type: none"> • このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの 1 クロック目の立ち上がり時 • WUP0=1→0 のとき • IICE0=1→0 (動作停止) のとき • リセット時 		<ul style="list-style-type: none"> • ストップ・コンディション検出時

注1. IICS0 レジスタのほかのビットに対し 1 ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0 ビット使用時は、ほかのビットよりも先にデータを読み出してください。

注2. IICA ステータス・レジスタ 0 (IICS0) のビット 3 (TRC0) =1 (送信状態) のとき、9 クロック目に IICA コントロール・レジスタ 00 (IICCTL00) のビット 5 (WREL0) をセット (1) してクロック・ストレッチを解除すると、TRC0 ビットをクリア (受信状態) して SDA0 ラインをハイ・インピーダンスにします。TRC0=1 (送信状態) におけるクロック・ストレッチ解除は、IICA シフト・レジスタ 0 への書き込みで行ってください。

備考 LREL0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 6
IICE0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 7

13.3.4 IICA フラグ・レジスタ 0 (IICF0)

I²C の動作モードの設定と、I²C バスの状態を表すレジスタです。

IICF0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、STT0 クリア・フラグ (STCF0)、I²C バス状態フラグ (IICBSY0) は読み出しのみ可能です。

IICRSV0 ビットにより、通信予約機能の禁止/許可を設定します。

また STCEN0 ビットにより、IICBSY0 ビットの初期値を設定します。

IICRSV0, STCEN0 ビットは I²C が動作禁止 (IICA コントロール・レジスタ 00 (IICCTL00) のビット 7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICF0 レジスタは読み出しのみ可能となります。

リセット信号の発生により、00H になります。

図 13-8 IICA フラグ・レジスタ 0 (IICF0) のフォーマット (1/2)

アドレス : FFF52H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0	
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0	
STCF0	STT0 クリア・フラグ								
0	スタート・コンディション発行。								
1	スタート・コンディション発行できず、STT0 フラグ・クリア。								
クリアされる条件 (STCF0=0)				セットされる条件 (STCF0=1)					
<ul style="list-style-type: none"> STT0=1 によるクリア IICE0=0 (動作停止) のとき リセット時 				<ul style="list-style-type: none"> 通信予約禁止 (IICRSV0=1) 設定時にスタート・コンディション発行できず、STT0 ビットがクリア (0) されたとき 					
IICBSY0	I ² C バス状態フラグ								
0	バス解放状態 (STCEN0=1 時の通信初期状態)。								
1	バス通信状態 (STCEN0=0 時の通信初期状態)。								
クリアされる条件 (IICBSY0=0)				セットされる条件 (IICBSY0=1)					
<ul style="list-style-type: none"> ストップ・コンディション検出時 IICE0=0 (動作停止) のとき リセット時 				<ul style="list-style-type: none"> スタート・コンディション検出時 STCEN0=0 時の IICE0 ビットのセット 					
STCEN0	初期スタート許可トリガ								
0	動作許可 (IICE0=1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。								
1	動作許可 (IICE0=1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。								
クリアされる条件 (STCEN0=0)				セットされる条件 (STCEN0=1)					
<ul style="list-style-type: none"> 命令によるクリア スタート・コンディション検出時 リセット時 				<ul style="list-style-type: none"> 命令によるセット 					

図 13-8 IICA フラグ・レジスタ 0 (IICF0) のフォーマット (2/2)

IICRSV0	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
クリアされる条件 (IICRSV0=0)		セットされる条件 (IICRSV0=1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

注1. ビット 6, 7 は Read only です。

注意 1. STCEN0 ビットへの書き込みは動作停止 (IICE0=0) 時のみ行ってください。

注意 2. STCEN0=1 とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY0=0) と認識しますので、1 回目のスタート・コンディションを発行 (STT0=1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意 3. IICRSV0 ビットへの書き込みは動作停止 (IICE0=0) 時のみ行ってください。

備考 STT0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 1
IICE0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 7

13.3.5 IICA コントロール・レジスタ 01 (IICCTL01)

I²C の動作モードの設定や SCLA0, SDA0 端子状態を検出するためのレジスタです。

IICCTL01 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、CLD0, DAD0 ビットは読み出しのみ可能です。

IICCTL01 レジスタは、WUP0 ビットを除き I²C が動作禁止 (IICA コントロール・レジスタ 00 (IICCTL00) のビット 7 (IICE0) =0) のときに設定してください。

リセット信号の発生により、00H になります。

図 13-9 IICA コントロール・レジスタ 01 (IICCTL01) のフォーマット (1/2)

アドレス: F0231H リセット時: 00H R/W ^{注1}

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	0

WUP0	アドレス一致ウエイク・アップの制御
0	STOP モード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOP モード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUP0=1 で STOP モードに移行する場合は、WUP0 ビットをセット (1) して f_{CLK} の 3 クロック以上経過後に STOP 命令を実行してください (「図 13-21 WUP0=1 を設定する場合のフロー」参照)。</p> <p>アドレス一致、または拡張コード受信後は WUP0 ビットをクリア (0) してください。WUP0 ビットをクリア (0) することで、その後の通信に参加する事ができます (クロック・ストレッチ解除および送信データ書き込みは、WUP0 ビットをクリア (0) したあとに行う必要があります)。</p> <p>WUP0=1 の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP0=0 の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP0=1 の場合には、SPIE0=1 にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUP0=0)	セットされる条件 (WUP0=1)
<ul style="list-style-type: none"> 命令によるクリア (アドレス一致もしくは拡張コード受信後) 	<ul style="list-style-type: none"> 命令によるセット (MSTS0, EXC0, COI0=0 であり、STD0=0 (通信に参加しない事) のとき) ^{注2}

図 13-9 IICA コントロール・レジスタ 01 (IICCTL01) のフォーマット (2/2)

CLD0	SCLA0 端子のレベル検出 (IICE0=1 のときのみ有効)
0	SCLA0 端子がロウ・レベルであることを検出
1	SCLA0 端子がハイ・レベルであることを検出
クリアされる条件 (CLD0=0) <ul style="list-style-type: none"> • SCLA0 端子がロウ・レベルのとき • IICE0=0 (動作停止) のとき • リセット時 	
セットされる条件 (CLD0=1) <ul style="list-style-type: none"> • SCLA0 端子がハイ・レベルのとき 	

DAD0	SDAA0 端子のレベル検出 (IICE0=1 のときのみ有効)
0	SDAA0 端子がロウ・レベルであることを検出
1	SDAA0 端子がハイ・レベルであることを検出
クリアされる条件 (DAD0=0) <ul style="list-style-type: none"> • SDAA0 端子がロウ・レベルのとき • IICE0=0 (動作停止) のとき • リセット時 	
セットされる条件 (DAD0=1) <ul style="list-style-type: none"> • SDAA0 端子がハイ・レベルのとき 	

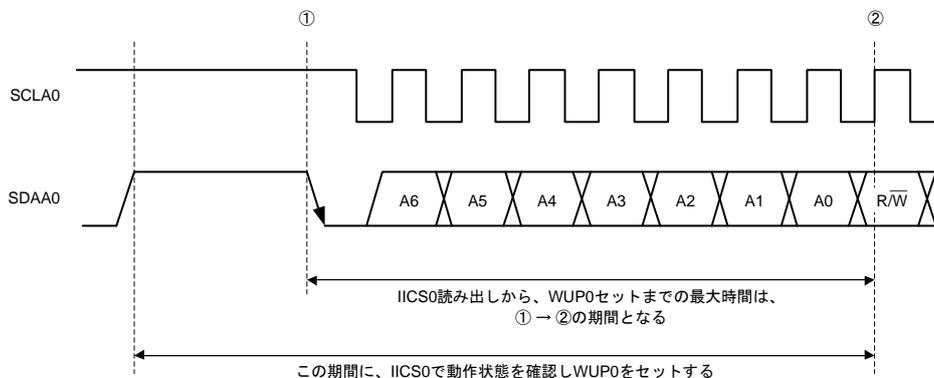
SMC0	動作モードの切り替え
0	標準モードで動作 (最大転送レート : 100 kbps)
1	ファースト・モードで動作 (最大転送レート : 400 kbps)

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは、ファースト・モード時に使用してください。
 デジタル・フィルタは、ノイズ除去のために使用します。
 DFC0 ビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。

注1. ビット 4, 5 は Read Only です。

注2. 次に示す期間に、IICA ステータス・レジスタ 0 (IICS0) の状態を確認しセットする必要があります。



注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによって f_{CLK} の最低動作周波数が決められています。

標準モード時 : $f_{CLK}=1\text{MHz}$ (Min.)

ファースト・モード時 : $f_{CLK}=3.5\text{MHz}$ (Min.)

備考 IICE0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 7

13.3.6 IICA ロウ・レベル幅設定レジスタ 0 (IICWLO)

シリアル・インタフェース IICA が、出力する SCLA0 端子信号のロウ・レベル幅 (tLOW) と SDAA0 端子信号を制御するレジスタです。

IICWLO レジスタは、8 ビット・メモリ操作命令で設定します。

IICWLO レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ 00 (IICCTL00) のビット 7 (IICE0) =0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWLO の設定方法については、「13.4.2 IICWLO, IICWH0 レジスタによる転送クロック設定方法」を参照してください。

また、データ・ホールド時間は IICWLO で設定した時間の 1/4 になります。

図 13-10 IICA ロウ・レベル幅設定レジスタ 0 (IICWLO) のフォーマット

アドレス : F0232H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWLO								

13.3.7 IICA ハイ・レベル幅設定レジスタ 0 (IICWH0)

シリアル・インタフェース IICA が、出力する SCLA0 端子信号のハイ・レベル幅と SDAA0 端子信号を制御するレジスタです。

IICWH0 レジスタは、8 ビット・メモリ操作命令で設定します。

IICWH0 レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ 00 (IICCTL00) のビット 7 (IICE0) =0) のときに設定してください。

リセット信号の発生により、FFH になります。

図 13-11 IICA ハイ・レベル幅設定レジスタ 0 (IICWH0) のフォーマット

アドレス : F0233H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWH0								

備考 マスタ側の転送クロックの設定方法は「13.4.2(1) マスタ側の転送クロック設定方法」を、スレーブ側の IICWLO, IICWH0 レジスタの設定方法は、「13.4.2(2) スレーブ側の IICWLO, IICWH0 レジスタ設定方法」を参照してください。

13.3.8 IICA シリアル入出力端子のポート機能を制御するレジスタ

IICA 使用時は、IICA シリアル入出力端子（SCLA0 端子, SDAA0 端子）と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PM0）、ポート・レジスタ（P0）、ポート出力モード・レジスタ（POM0）、ポート・モード・コントロール・レジスタ（PMC0））を設定してください。

ポート機能を制御するレジスタの詳細は、「4.3.1 ポート・モード・レジスタ 0, 2, 4, 12（PM0, PM2, PM4, PM12）」、「4.3.2 ポート・レジスタ 0, 2, 4, 12, 13（P0, P2, P4, P12, P13）」、「4.3.4 ポート出力モード・レジスタ 0, 2, 4（POM0, POM2, POM4）」、「4.3.5 ポート・モード・コントロール・レジスタ 0, 2（PMC0, PMC2）」を参照してください。

IICA0 のクロック入出力（SCLA0 端子）端子、シリアル・データ入出力（SDAA0 端子）として使用するとき、対応するポート・モード・レジスタ（PM0）とポート・モード・コントロール・レジスタ（PMC0）のビットに“0”を、ポート・レジスタ（P0）とポート出力モード・レジスタ（POM0）のビットに“1”を設定してください。詳細は、「4.5.3 使用するポート機能および兼用機能のレジスタ設定例」を参照してください。

なお、N-ch オープン・ドレイン出力（V_{DD} 耐圧）モードとして使用するため、抵抗を介して外部デバイスの電源にプルアップします。

13.4 I²C バス・モードの機能

13.4.1 端子構成

シリアル・クロック端子 (SCLA0) と、シリアル・データ・バス端子 (SDAA0) の構成は、次のようになっています。

(1) SCLA0

シリアル・クロックを入出力するための端子。

マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。

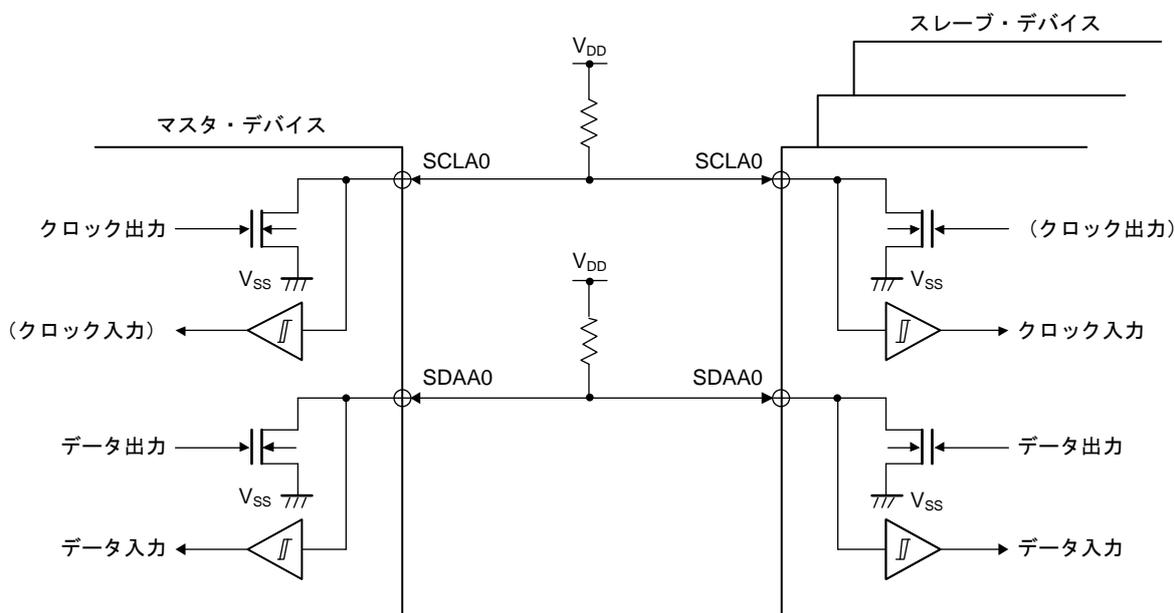
(2) SDAA0

シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が N-ch オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図 13-12 端子構成図



13.4.2 IICWL0, IICWH0 レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}}(t_{\text{R}} + t_{\text{F}})}$$

このとき、最適な IICWL0 レジスタと IICWH0 レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

$$\text{IICWL0} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH0} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

- 標準モード時

$$\text{IICWL0} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH0} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側の IICWLO, IICWH0 レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

$$\text{IICWLO} = 1.3\mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH0} = (1.2\mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

- 標準モード時

$$\text{IICWLO} = 4.7\mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH0} = (5.3\mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}}=3.5\text{MHz}$ (Min.)

標準モード時 : $f_{\text{CLK}}=1\text{MHz}$ (Min.)

備考1. SDAA0, SCLA0 信号の立ち上がり時間 (t_{R}) と立ち下がり時間 (t_{F}) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

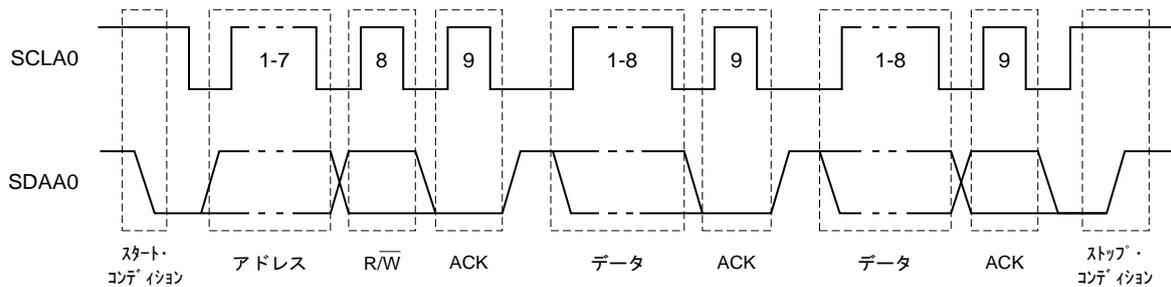
備考2. IICWLO : IICA ロウ・レベル幅設定レジスタ 0
IICWH0 : IICA ハイ・レベル幅設定レジスタ 0
 t_{F} : SDAA0, SCLA0 信号の立ち下がり時間
 t_{R} : SDAA0, SCLA0 信号の立ち上がり時間
 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

13.5 I²C バスの定義および制御方法

I²C バスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²C バスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図 13-13 に示します。

図 13-13 I²C バスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

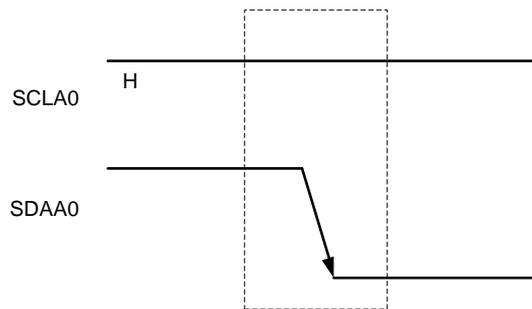
アクトリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8 ビット・データの受信側が出力します)。

シリアル・クロック (SCL A0) は、マスタが出力し続けます。ただし、スレーブは SCL A0 端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

13.5.1 スタート・コンディション

SCLA0 端子がハイ・レベルのときに、SDAA0 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0 端子/SDAA0 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図 13-14 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態（SPD0：IICA ステータス・レジスタ 0（IICS0）のビット 0=1）のときに IICA コントロール・レジスタ 00（IICCTL00）のビット 1（STT0）をセット（1）すると出力されます。また、スタート・コンディションを検出すると、IICS0 レジスタのビット 1（STD0）がセット（1）されま

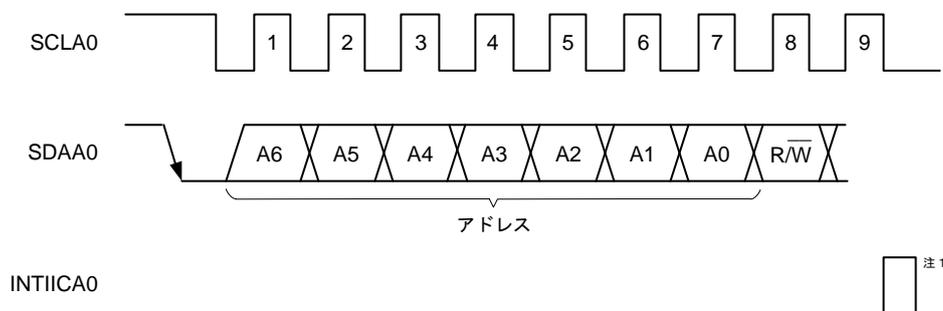
13.5.2 アドレス

スタート・コンディションに続く 7 ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する 7 ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7 ビット・データがスレーブ・アドレス・レジスタ 0 (SVA0) と一致しているかを調べます。このとき、7 ビット・データと SVA0 レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図 13-15 アドレス



注1. スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0 は発生しません。

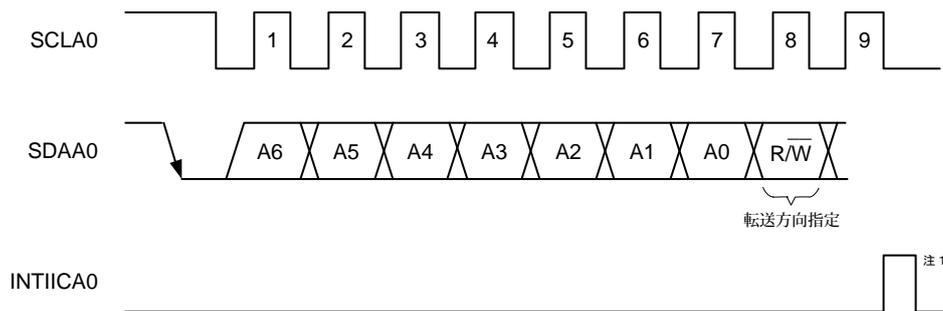
アドレスは、スレーブのアドレスと「13.5.3 転送方向指定」に説明する転送方向を合わせて、8 ビットとして IICA シフト・レジスタ 0 (IICA0) に書き込むと出力します。また、受信したアドレスは IICA0 レジスタに書き込まれます。なお、スレーブのアドレスは、IICA0 レジスタの上位 7 ビットに割り当てられます。

13.5.3 転送方向指定

マスタは、7 ビットのアドレスに続いて、転送方向を指定するための 1 ビット・データを送信します。

この転送方向指定ビットが 0 のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが 1 のとき、マスタがスレーブからデータを受信することを示します。

図 13-16 転送方向指定



注1. スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0 は発生しません。

13.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICA ステータス・レジスタ 0 (IICS0) のビット 2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

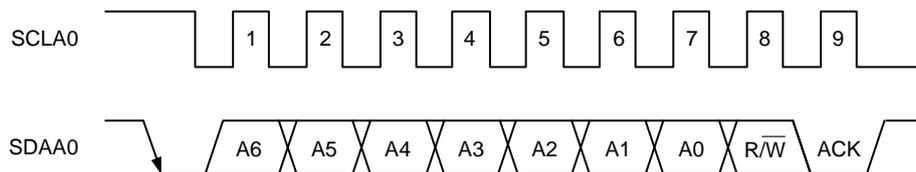
アクノリッジ生成は、受信側が 9 クロック目に SDAA0 ラインをロウ・レベルにすることによって行われます (正常受信)。

IICA コントロール・レジスタ 00 (IICCTL00) のビット 2 (ACKE0) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7 ビットのアドレス情報に続く 8 ビット目のデータにより IICS0 レジスタのビット 3 (TRC0) が設定されます。受信 (TRC0=0) の場合は、通常、ACKE0 ビットをセット (1) してください。

スレーブ受信動作時 (TRC0=0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKE0 ビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0=0) に、次のデータを必要としない場合、アクノリッジを生成しないように ACKE0 ビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせず (送信停止)。

図 13-17 アクノリッジ



自局アドレス受信時は、ACKE0 ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめ ACKE0 ビットをセット (1) しておくことによってアクノリッジを生成します。データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

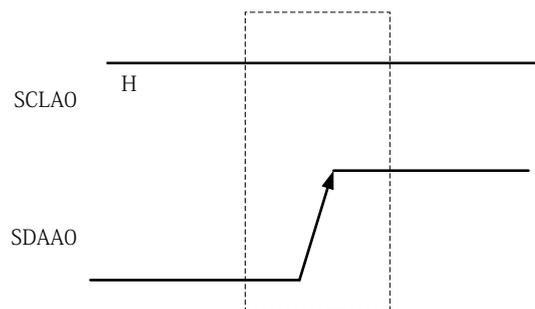
- 8クロック目の立ち下がりに設定した場合 (IICCTL00 レジスタのビット 3 (WTIM0) =0) :
クロック・ストレッチ解除を行う前に ACKE0 ビットをセット (1) することによって、SCLA0 端子の 8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック目の立ち下がりに設定した場合 (IICCTL00 レジスタのビット 3 (WTIM0) =1) :
あらかじめ ACKE0 ビットをセット (1) することによって、アクノリッジを生成します。

13.5.5 ストップ・コンディション

SCLA0 端子がハイ・レベルのときに、SDAA0 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図 13-18 ストップ・コンディション



ストップ・コンディションは、IICA コントロール・レジスタ 00 (IICCTL00) のビット 0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出すると IICA ステータス・レジスタ 0 (IICCS0) のビット 0 (SPD0) がセット (1) され、IICCTL00 レジスタのビット 4 (SPIE0) がセット (1) されている場合には INTIICA0 が発生します。

13.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLA0 端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図 13-19 クロック・ストレッチ (1/2)

(1) マスタは9クロック目の立ち下がり、スレーブは8クロック目の立ち下がり、クロック・ストレッチが発生する場合（マスタ：送信、スレーブ：受信、ACKE0=1）

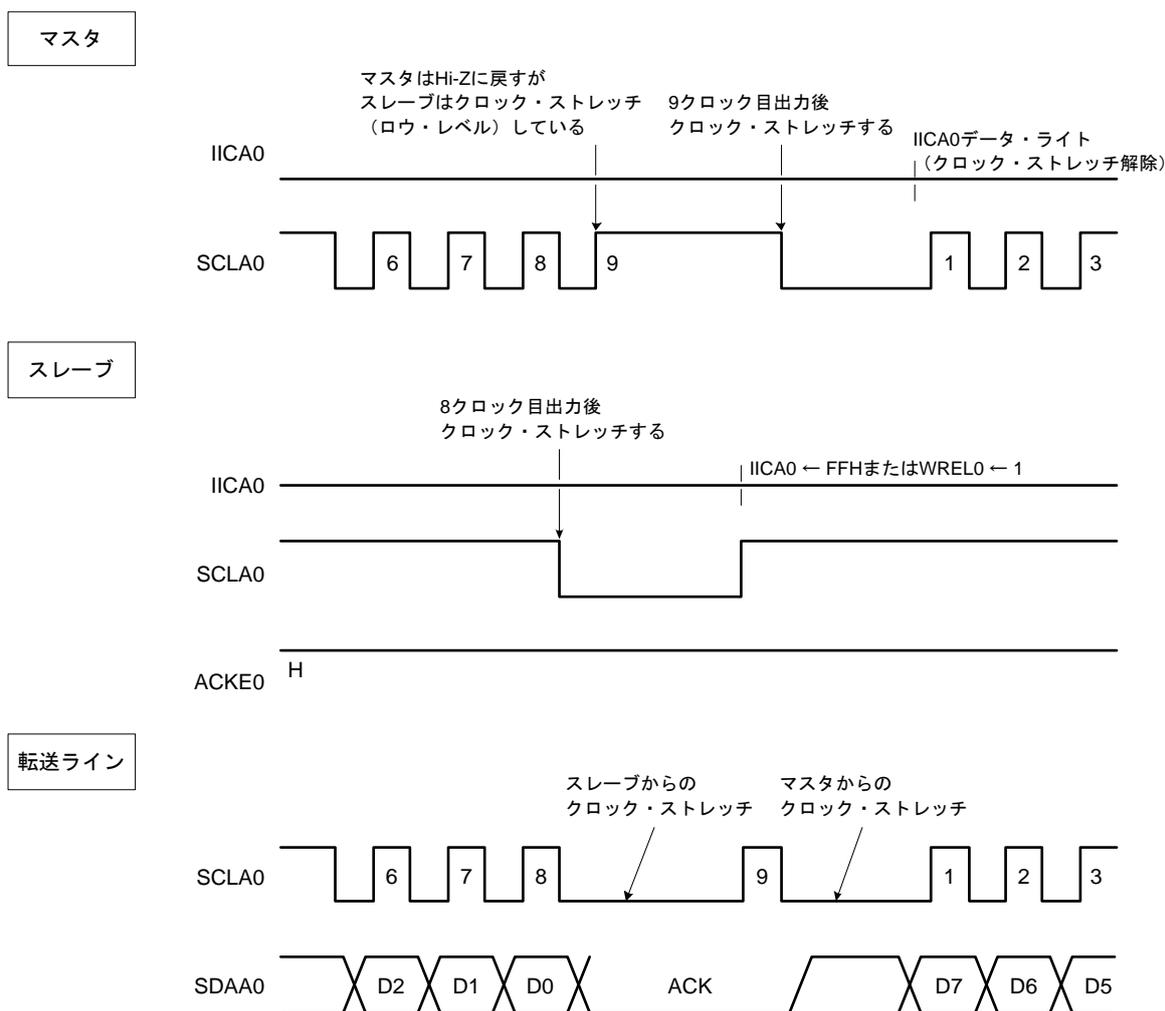
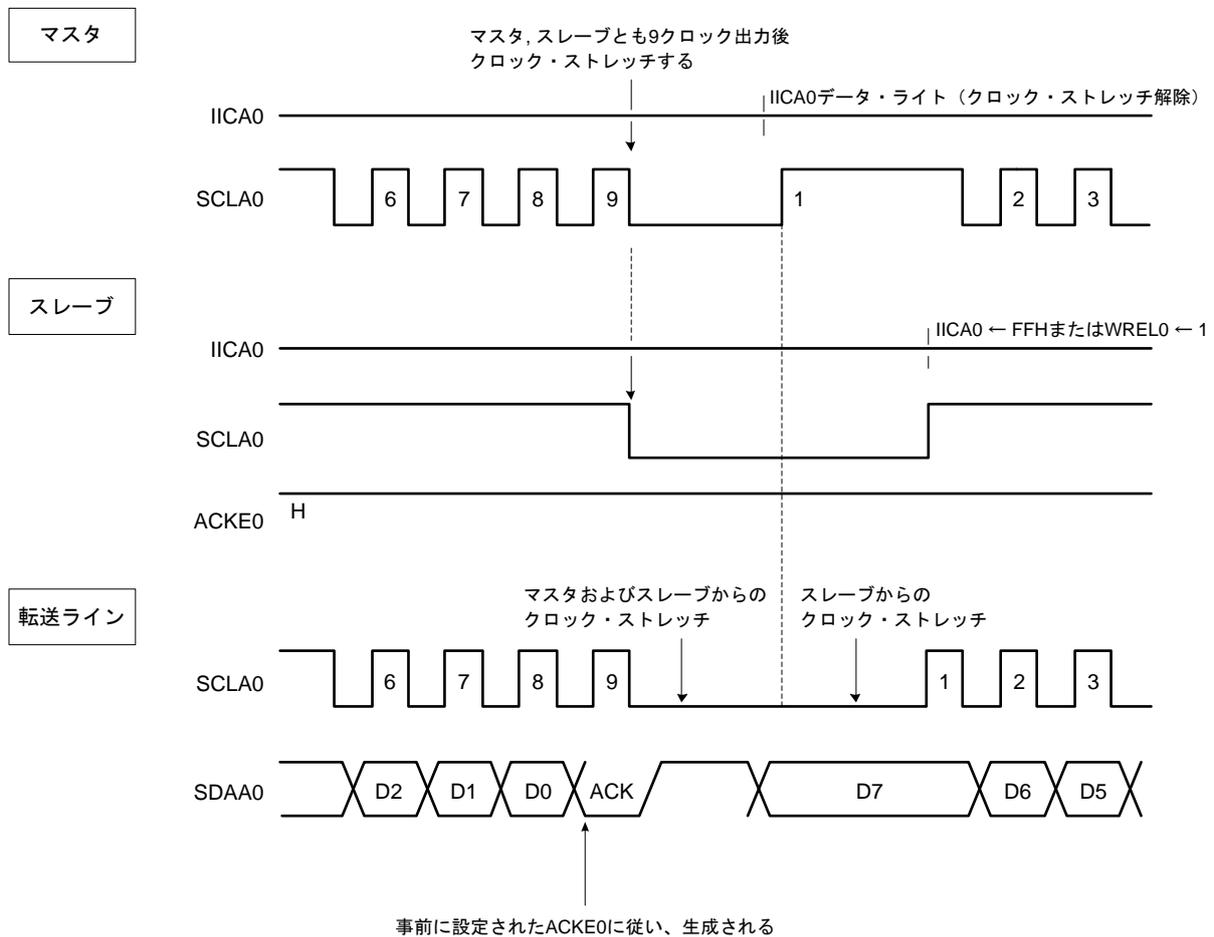


図 13-19 クロック・ストレッチ (2/2)

(2) マスタ、スレーブとも 9 クロック目の立ち下がりでクロック・ストレッチが発生する場合
 (マスタ : 送信、スレーブ : 受信、ACKE0=1)



備考 ACKE0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 2
 WREL0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 5

クロック・ストレッチは、IICA コントロール・レジスタ 00 (IICCTL00) のビット 3 (WTIM0) の設定により自動的に発生します。

通常、受信側は IICCTL00 レジスタのビット 5 (WREL0 ビット) =1 または IICA シフト・レジスタ 0 (IICA0) に FFH を書き込むとクロック・ストレッチを解除し、送信側は IICA0 レジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- IICCTL00 レジスタのビット 1 (STT0) =1
- IICCTL00 レジスタのビット 0 (SPT0) =1

13.5.7 クロック・ストレッチ解除方法

I²C では、通常、次のような処理でクロック・ストレッチを解除できます。

- IICA シフト・レジスタ 0 (IICA0) へのデータ書き込み
- IICA コントロール・レジスタ 00 (IICCTL00) のビット 5 (WREL0) のセット (クロック・ストレッチ解除)
- IICCTL00 レジスタのビット 1 (STT0) のセット (スタート・コンディションの生成)^{注1}
- IICCTL00 レジスタのビット 0 (SPT0) のセット (ストップ・コンディションの生成)^{注1}

注1. I²C 通信のマスターのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²C はクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ (アドレスを含む) を送信する場合には、IICA0 レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTL00 レジスタのビット 5 (WREL0) をセット (1) してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTL00 レジスタのビット 1 (STT0) をセット (1) してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTL00 レジスタのビット 0 (SPT0) をセット (1) してください。

1 回のクロック・ストレッチ状態に対して 1 回だけ解除処理を実行してください。

たとえば、WREL0 ビットにセット (1) によるクロック・ストレッチ解除後、IICA0 レジスタへのデータ書き込みを実施した場合には、SDAA0 ラインの変化タイミングと IICA0 レジスタへの書き込みタイミングの競合により、SDAA0 ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0 ビットをクリア (0) すると通信を停止するので、クロック・ストレッチを解除できます。

I²C バスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL00 レジスタのビット 6 (LREL0) をセット (1) すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUP0=1 のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

13.5.8 割り込み要求 (INTIICA0) 発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ 00 (IICCTL00) のビット 3 (WTIM0) の設定で、表 13-2 に示すタイミングで INTIICA0 が発生し、また、クロック・ストレッチ制御を行います。

表 13-2 INTIICA0 発生タイミングおよびクロック・ストレッチ制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 注2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 注2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブの INTIICA0 信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ 0 (SVA0) に設定しているアドレスと一致したときにのみ、9 クロック目の立ち下がりで発生します。

また、このとき、IICCTL00 レジスタのビット 2 (ACKE0) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは 8 クロック目の立ち下がりで INTIICA0 を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9 クロック目の立ち下がりで INTIICA0 を発生しますが、クロック・ストレッチは発生しません。

注2. スレーブ・アドレス・レジスタ 0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICA0 もクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- スレーブ動作時：WTIM0 ビットにかかわらず、上記の注 1, 2 の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- マスタ動作時：WTIM0 ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9 クロック目の立ち下がりで発生します。

(2) データ受信時

- マスタ/スレーブ動作時：WTIM0 ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- マスタ/スレーブ動作時：WTIM0 ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の 4 つがあります。

- IICA シフト・レジスタ 0 (IICA0) へのデータ書き込み
- IICA コントロール・レジスタ 00 (IICCTL00) のビット 5 (WREL0) のセット (クロック・ストレッチ解除)
- IICCTL00 レジスタのビット 1 (STT0) のセット (スタート・コンディションの生成)^{注1}
- IICCTL00 レジスタのビット 0 (SPT0) のセット (ストップ・コンディションの生成)^{注1}

注1. マスタのみ。

クロック・ストレッチ・タイミングを 8 クロック目の立ち下がり (WTIM0=0) に設定した場合、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICA0 は、ストップ・コンディションを検出すると発生します (SPIE0=1 のときのみ)。

13.5.9 アドレスの一致検出方法

I²C バス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ 0 (SVA0) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA0 割り込み要求が発生します。

13.5.10 エラーの検出

I²C バス・モードでは、送信中のシリアル・バス (SDAA0) の状態が、送信しているデバイスの IICA シフト・レジスタ 0 (IICA0) にも取り込まれるため、送信開始前と送信終了後の IICA データを比較することにより、送信エラーを検出できます。この場合、2 つのデータが異なっていれば送信エラーが発生したものと判断します。

13.5.11 拡張コード

- (1) 受信アドレスの上位 4 ビットが “0000” と “1111” のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセット (1) し、8 クロック目の立ち下がりで割り込み要求 (INTIICA0) を発生します。スレーブ・アドレス・レジスタ 0 (SVA0) に格納された自局アドレスは影響しません。
- (2) SVA0 レジスタに “11110xx0” を設定されているときに、10 ビット・アドレス転送でマスタから “11110xx0” が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICA0) は、8 クロック目の立ち下がりで発生します。

- 上位 4 ビット・データ的一致 : EXC0=1
- 7 ビット・データ的一致 : COI0=1

備考 EXC0 : IICA ステータス・レジスタ 0 (IICS0) のビット 5
COI0 : IICA ステータス・レジスタ 0 (IICS0) のビット 4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICA コントロール・レジスタ 00 (IICCTL00) のビット 6 (LRELO) =1 に設定してください。次の通信待機状態にします。

表 13-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/W ビット	説明
0000_000	0	ジェネラル・コール・アドレス
1111_0xx	0	10 ビット・スレーブ・アドレス指定 (アドレス認証時)
1111_0xx	1	10 ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP 社発行の I²C バスの仕様書を参照してください。

13.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STD0=1 になる前に STT0=1 にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICA ステータス・レジスタ 0（IICS0）のアービトレーション負けフラグ（ALD0）をセット（1）し、SCLA0, SDAA0 ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8 または 9 クロック目、ストップ・コンディション検出など）で、ソフトウェアで ALD0=1 になっていることで検出します。

割り込み要求発生タイミングについては、「13.5.8 割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御」を参照してください。

備考 STD0 : IICA ステータス・レジスタ 0（IICS0）のビット 1
 STT0 : IICA コントロール・レジスタ 00（IICCTL00）のビット 1

図 13-20 アービトレーション・タイミング例

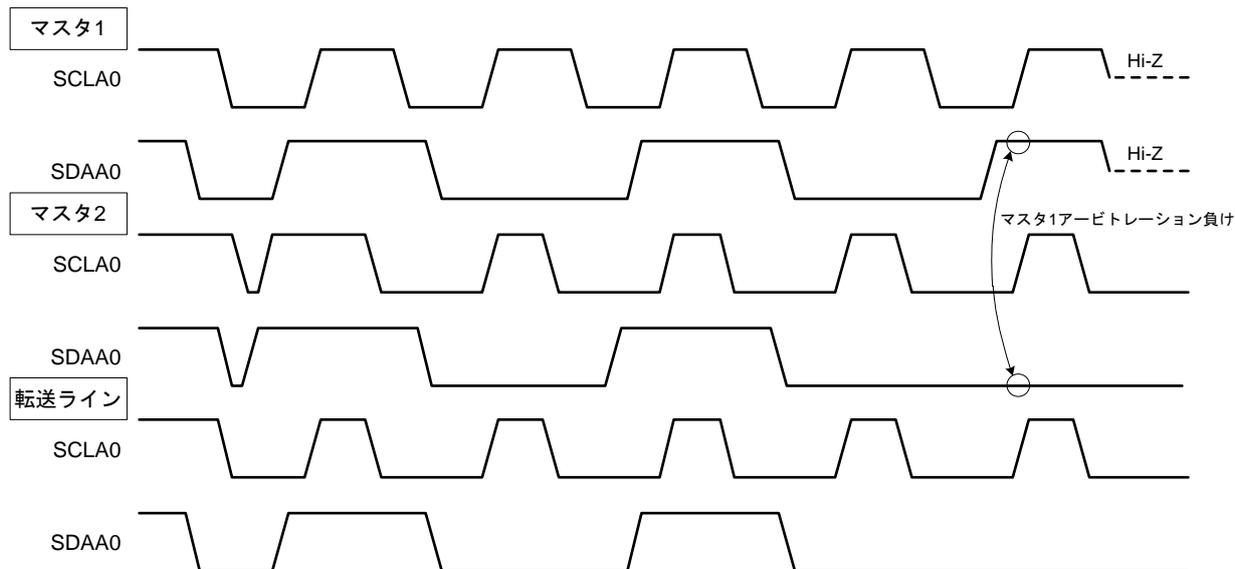


表 13-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後 8 または 9 クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0=1 時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後 8 または 9 クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0=1 時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後 8 または 9 クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたが SCLA0 がロウ・レベル	

注1. WTIM0 ビット (IICA コントロール・レジスタ 00 (IICCTL00) のビット 3) =1 の場合には、9 クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0=0 および拡張コードのスレーブ・アドレス受信時には、8 クロック目の立ち下がりタイミングで割り込み要求を発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作では SPIE0=1 に設定してください。

備考 SPIE0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 4

13.5.13 ウェイク・アップ機能

I²C のスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生する機能です。

アドレスが一致しないときは不要な INTIICA0 信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOP モード状態時にウェイク・アップ機能を使用する場合には、WUP0=1 に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生します。この割り込み発生後に命令で WUP0 ビットをクリア (0) することで通常動作に戻ります。

WUP0=1 に設定する場合のフローを **図 13-21** に、アドレス一致により WUP0=0 に設定する場合のフローを **図 13-22** に示します。

図 13-21 WUP0=1 を設定する場合のフロー

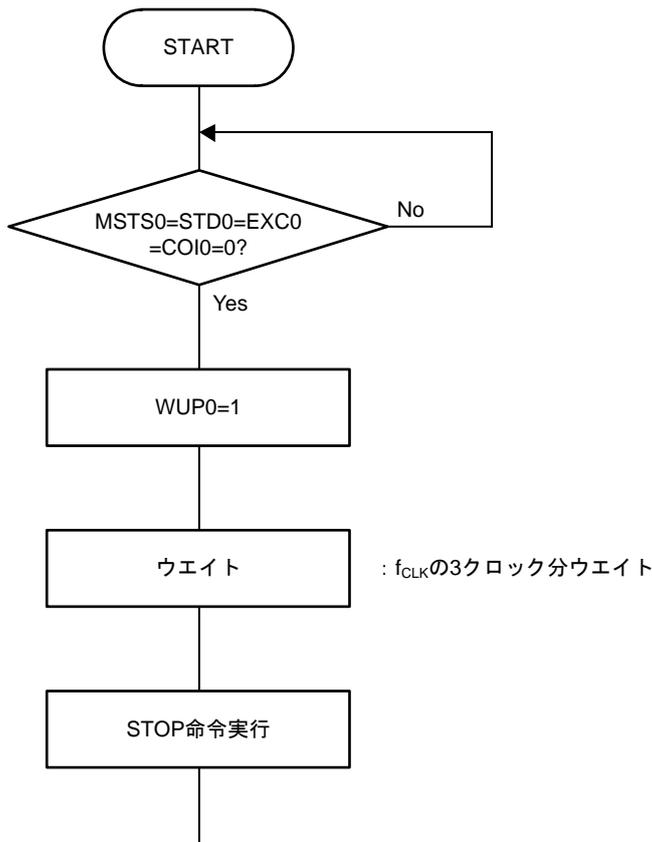
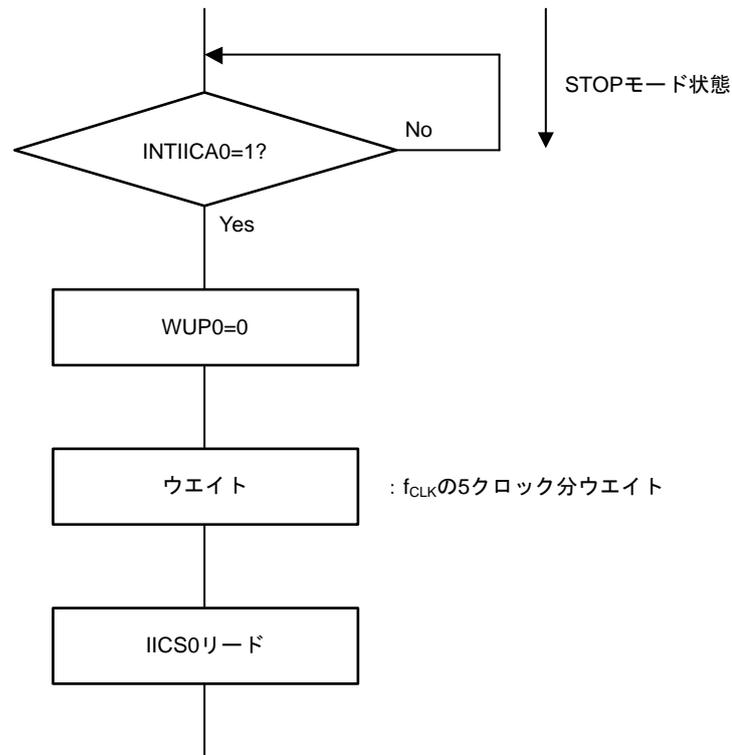


図 13-22 アドレス一致により WUP0=0 に設定する場合のフロー（拡張コード受信含む）

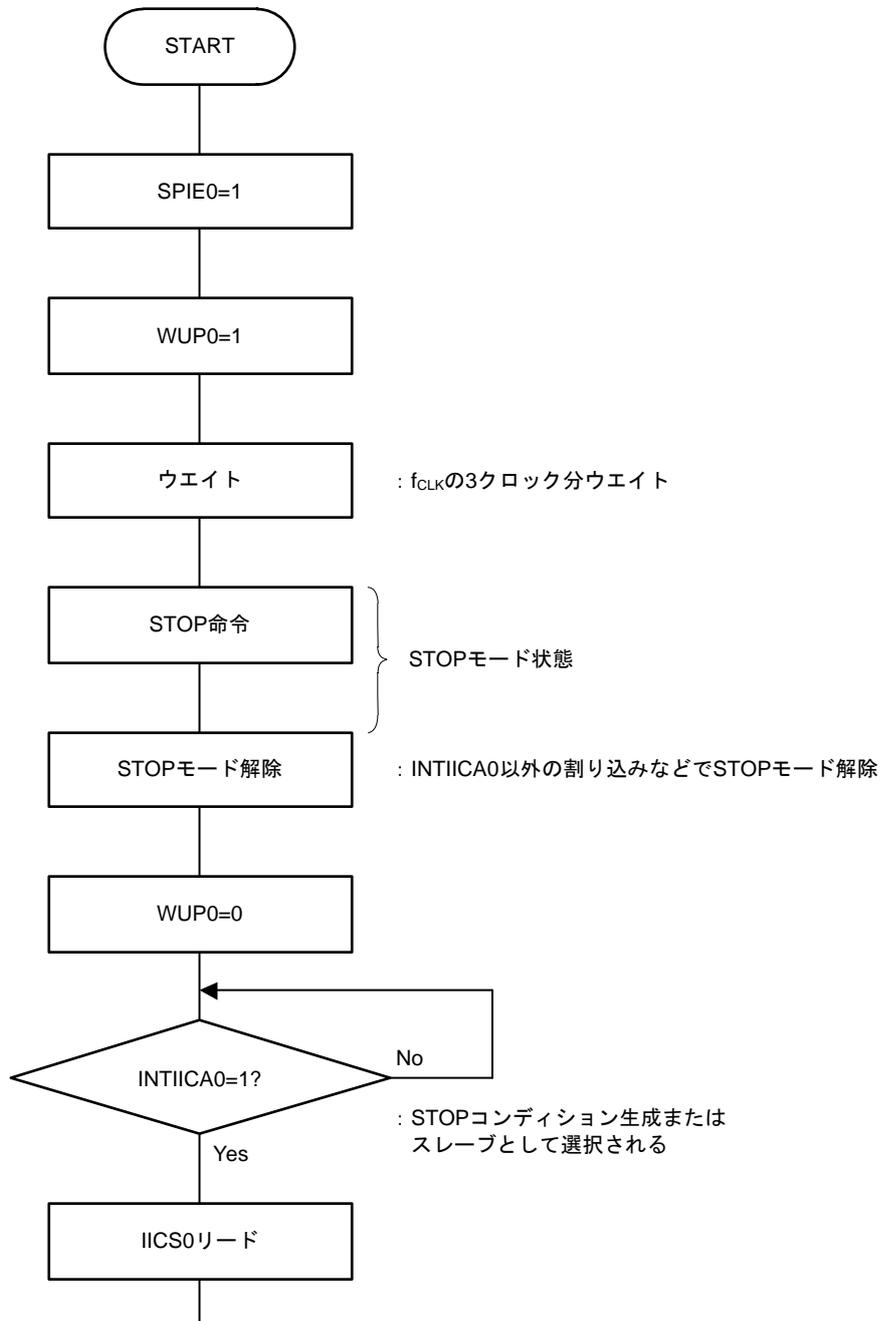


シリアル・インタフェースIICAの動作状態を確認後、
実行したい動作に合わせた処理を実行

また、シリアル・インタフェース IICA からの割り込み要求（INTIICA0）以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- 次の I²C 通信をマスタとして動作させる場合：
 - 図 13-23 のフロー
- 次の I²C 通信をスレーブとして動作させる場合：
 - INTIICA0 割り込みで復帰した場合：図 13-22 のフローと同じになります。
 - INTIICA0 割り込み以外の割り込みで復帰した場合：
 - INTIICA0 割り込みが発生するまで WUP0=1 のまま動作を継続してください。

図 13-23 INTIICA0 以外で STOP モードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、
実行したい動作に合わせた処理を実行

13.5.14 通信予約

(1) 通信予約機能許可の場合 (IICA フラグ・レジスタ 0 (IICF0) のビット 0 (IICRSV0) =0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の 2 つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICA コントロール・レジスタ 00 (IICCTL00) のビット 6 (LREL0) =1 で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTL00 レジスタのビット 1 (STT0) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTL00 レジスタのビット 4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIICA0) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICA シフト・レジスタ 0 (IICA0) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICA0 レジスタに書き込まれたデータは、無効です。

STT0 ビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき……………スタート・コンディション生成
- バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STT0 ビットをセット (1) し、ウェイト時間をとったあと、MSTS0 ビット (IICA ステータス・レジスタ 0 (IICS0) のビット 7) で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

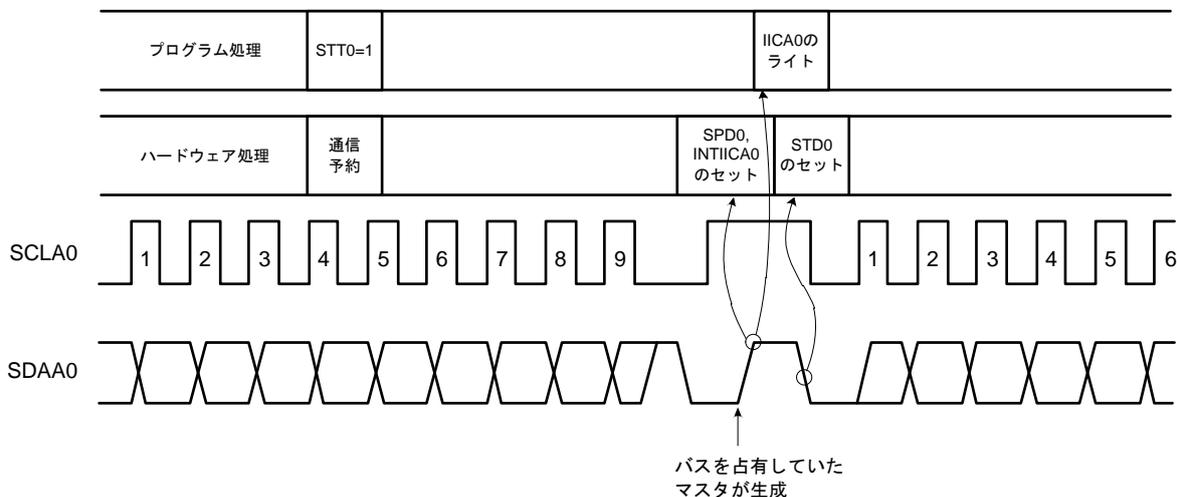
STT0=1 から MSTS0 フラグ確認までのウェイト時間 :

$$(IICWL0 \text{ の設定値} + IICWH0 \text{ の設定値} + 4) / f_{\text{CLK}} + t_{\text{F}} \times 2$$

備考 IICWL0 : IICA ロウ・レベル幅設定レジスタ 0
 IICWH0 : IICA ハイ・レベル幅設定レジスタ 0
 t_F : SDAA0, SCLA0 信号の立ち下がり時間
 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

通信予約のタイミングを図 13-24 に示します。

図 13-24 通信予約のタイミング



- 備考** IICA0 : IICA シフト・レジスタ 0
 STT0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 1
 STD0 : IICA ステータス・レジスタ 0 (IICS0) のビット 1
 SPD0 : IICA ステータス・レジスタ 0 (IICS0) のビット 0

通信予約は図 13-25 に示すタイミングで受け付けられます。IICA ステータス・レジスタ 0 (IICS0) のビット 1 (STD0) =1 になったあと、ストップ・コンディション検出までに IICA コントロール・レジスタ 00 (IICCTL00) のビット 1 (STT0) =1 で通信予約をします。

図 13-25 通信予約受け付けタイミング

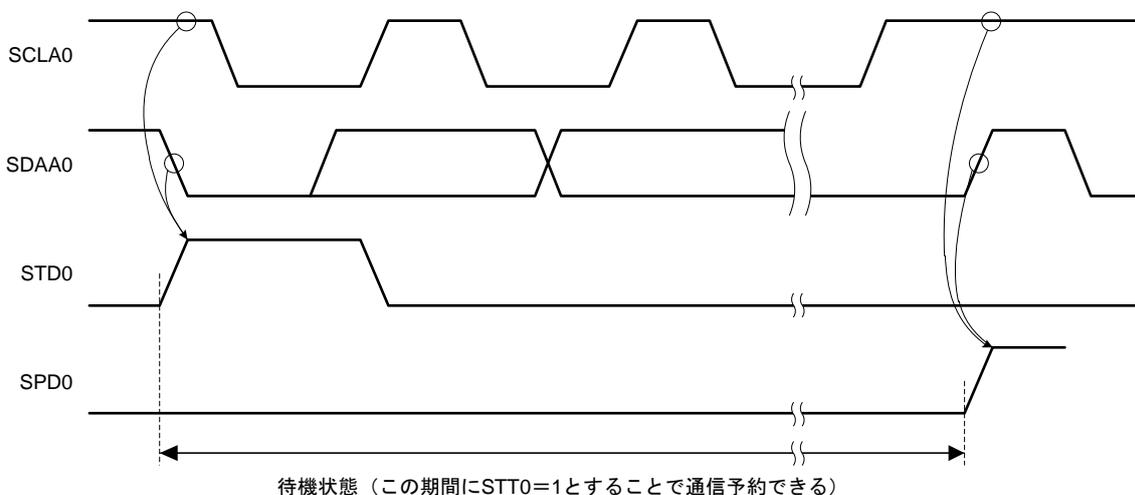
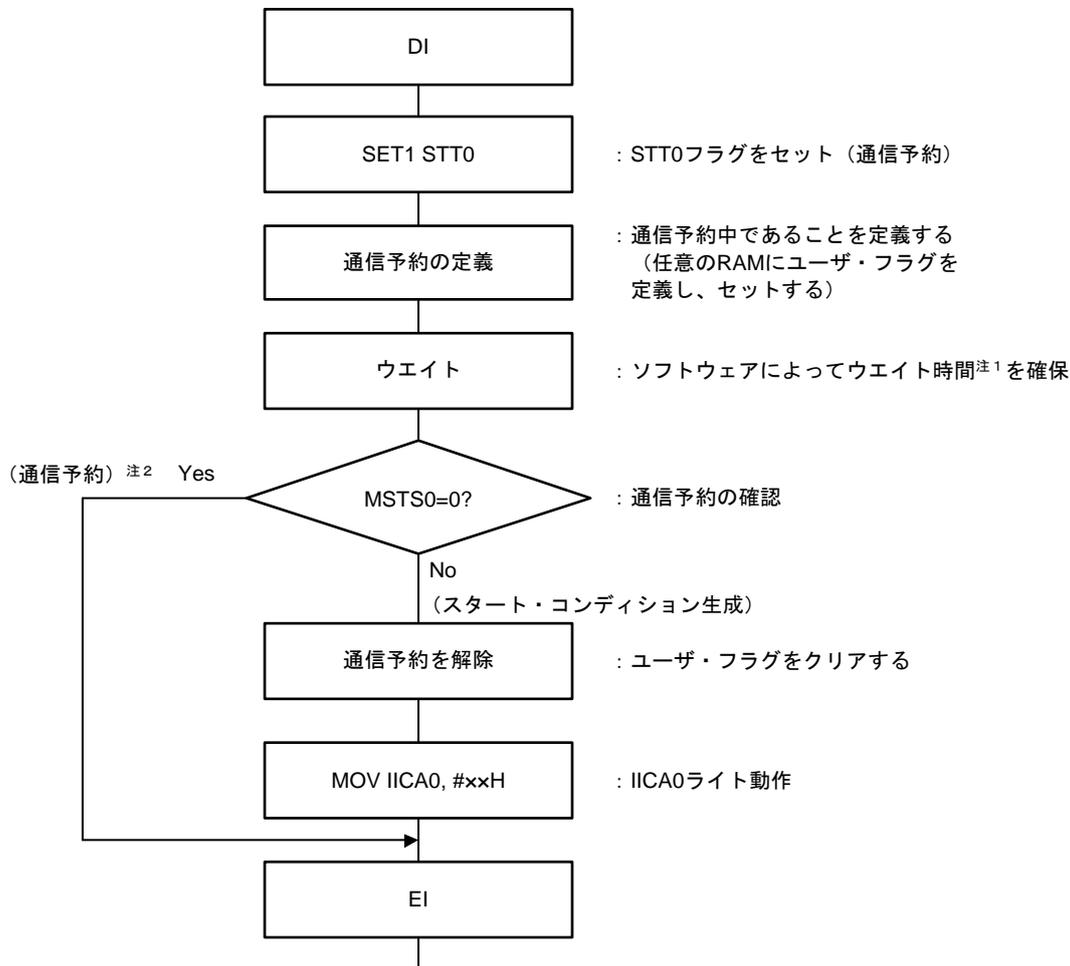


図 13-26 に通信予約の手順を示します。

図 13-26 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWLO \text{ の設定値} + IICWH0 \text{ の設定値} + 4) / f_{CLK} + t_F \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求で IICA シフト・レジスタ 0 (IICA0) への書き込みを実行します。

備考 STT0 : IICA コントロール・レジスタ 00 (IICCTL00) のビット 1

MSTS0 : IICA ステータス・レジスタ 0 (IICS0) のビット 7

IICA0 : IICA シフト・レジスタ 0

IICWLO : IICA ロー・レベル幅設定レジスタ 0

IICWH0 : IICA ハイ・レベル幅設定レジスタ 0

t_F : SDAA0, SCLA0 信号の立ち下がり時間

f_{CLK} : CPU/周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICA フラグ・レジスタ 0 (IICF0) のビット 0 (IICRSV0) =1)

バスが通信中で、この通信に不参加の状態では IICA コントロール・レジスタ 00 (IICCTL00) のビット 1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の 2 つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICCTL00 レジスタのビット 6 (LRELO) =1 で通信退避してバスを解放した) とき

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF0 (IICF0 レジスタのビット 7) で確認できます。STT0=1 としてから STCF0 がセット (1) されるまで 5 クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

13.5.15 その他の注意事項

(1) STCEN0=0 の場合

I²C 動作許可 (IICE0=1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY0=1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

<1> IICA コントロール・レジスタ 01 (IICCTL01) を設定する

<2> IICA コントロール・レジスタ 00 (IICCTL00) のビット 7 (IICE0) をセット (1) する

<3> IICCTL00 レジスタのビット 0 (SPT0) をセット (1) する

(2) STCEN0=1 の場合

I²C 動作許可 (IICE0=1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY0=0) と認識しますので、1 回目のスタート・コンディションを生成 (STT0=1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間で I²C 通信が行われている場合

SDAA0 端子がロウ・レベルで、かつ SCLA0 端子がハイ・レベルのときに、I²C 動作を許可して通信に途中参加すると、I²C のマクロは SDAA0 端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間の I²C 通信を妨害してしまいます。これを回避するために、次の順番で I²C を起動してください。

<1> IICCTL00 レジスタのビット 4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA0) 発生を禁止する

<2> IICCTL00 レジスタのビット 7 (IICE0) をセット (1) し、I²C の動作を許可する

<3> スタート・コンディションを検出するまで待つ

<4> アクノリッジを返すまで (IICE0 ビットをセット (1) してから、4~72 クロック中) に、IICCTL00 レジスタのビット 6 (LREL0) をセット (1) にし、強制的に検出を無効とする

(4) STT0, SPT0 ビット (IICCTL00 レジスタのビット 1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

- (5) 送信予約をした場合には、SPIE0 ビット (IICCTL00 レジスタのビット 4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICA シフト・レジスタ 0 (IICA0) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアで MSTSO ビット (IICA ステータス・レジスタ 0 (IICCS0) のビット 7) を検出する場合には、SPIE0 ビットをセット (1) する必要はありません。

13.5.16 通信動作

ここでは、次の 3 つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²C バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I²C バスの仕様だけでは判断できません。ここでは、一定（1 フレーム）期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

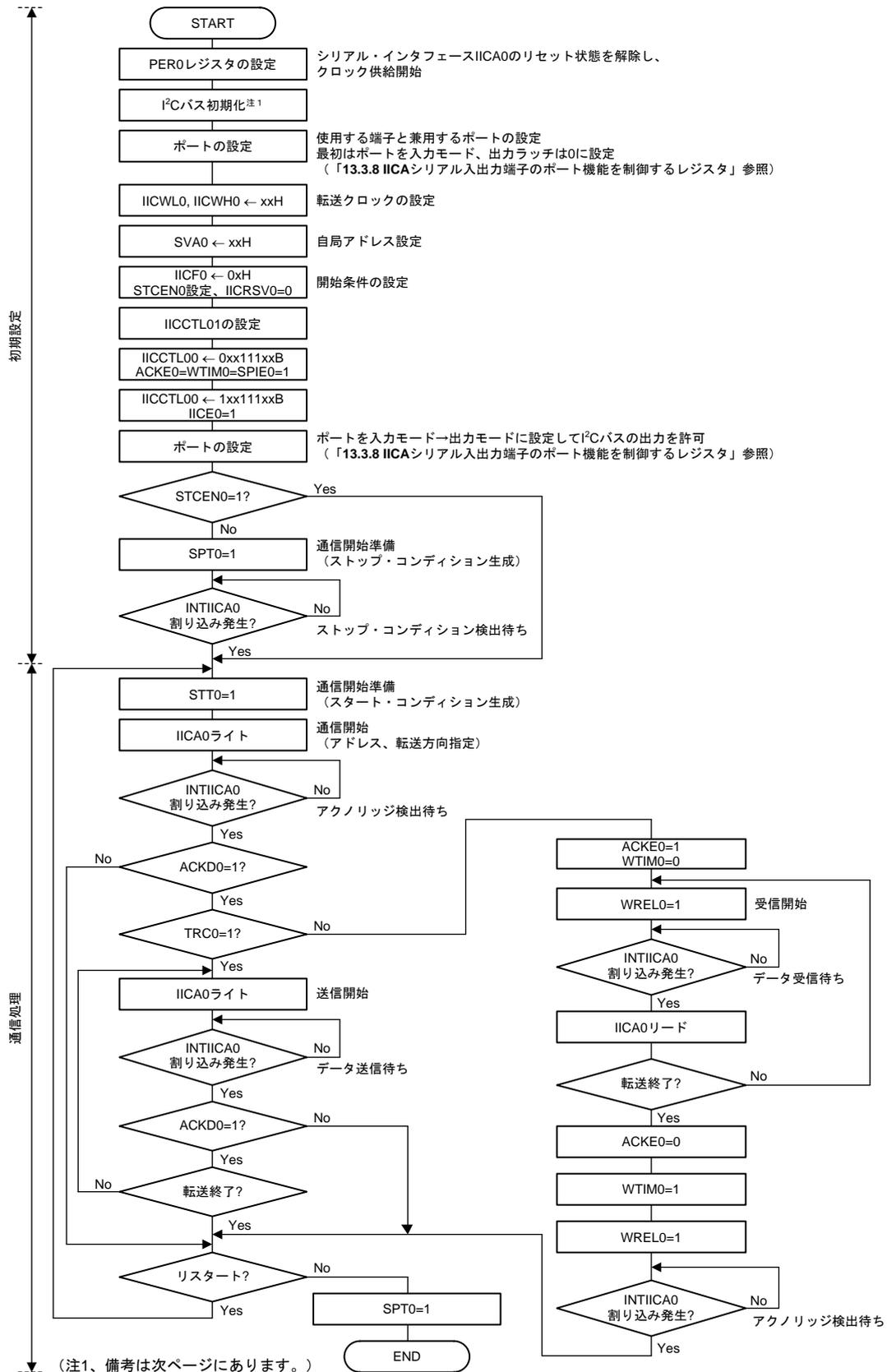
I²C バスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちで INTIICA0 割り込みの発生を待ちます。INTIICA0 割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図 13-27 シングルマスタ・システムでのマスタ動作

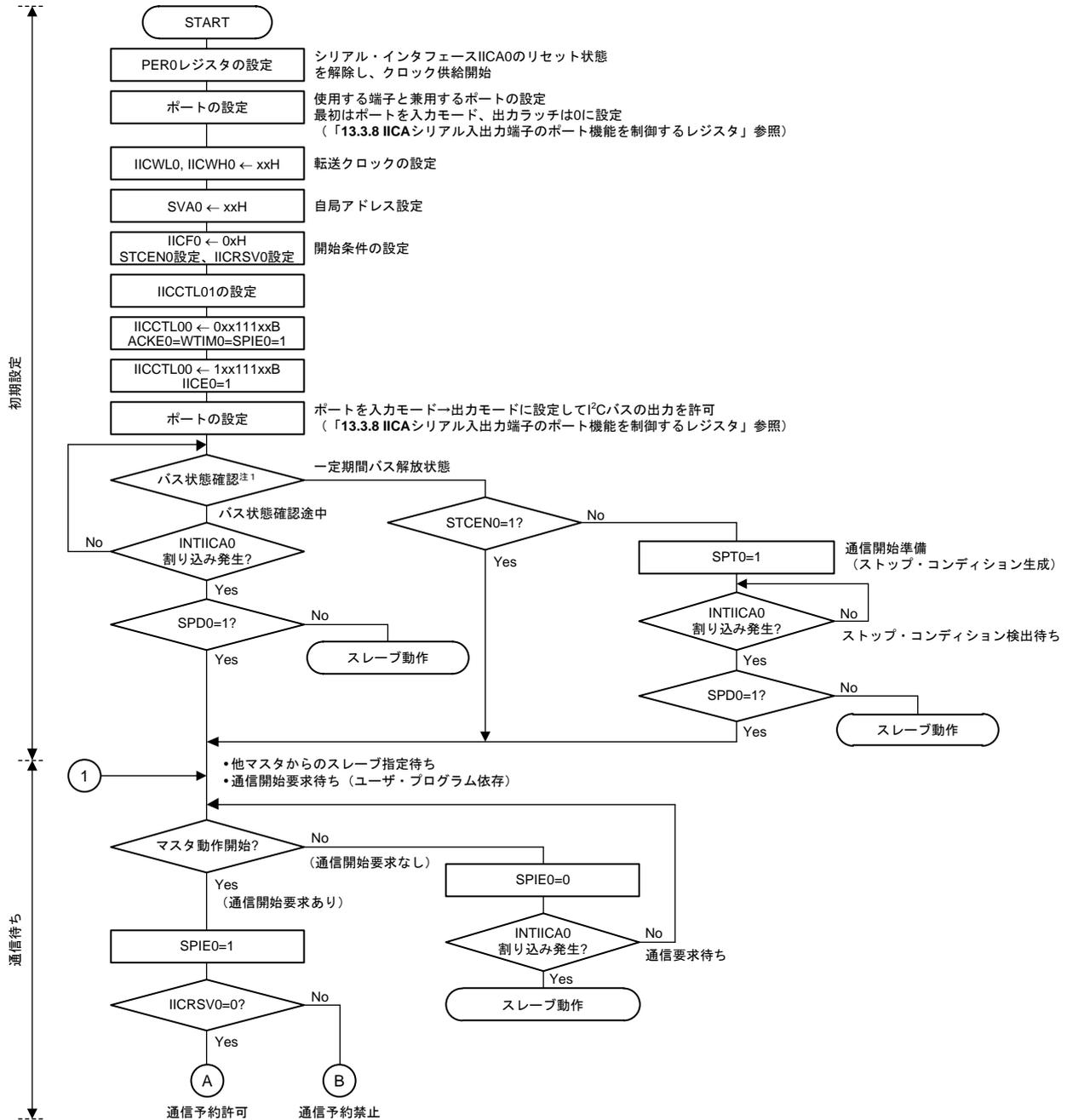


注1. 通信している製品の仕様に準拠し、I²C バスを解放（SCLA0, SDAA0 端子=ハイ・レベル）してください。たとえば、EEPROM が SDAA0 端子にロウ・レベルを出力した状態であれば、SCLA0 端子を出力ポートに設定し、SDAA0 端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

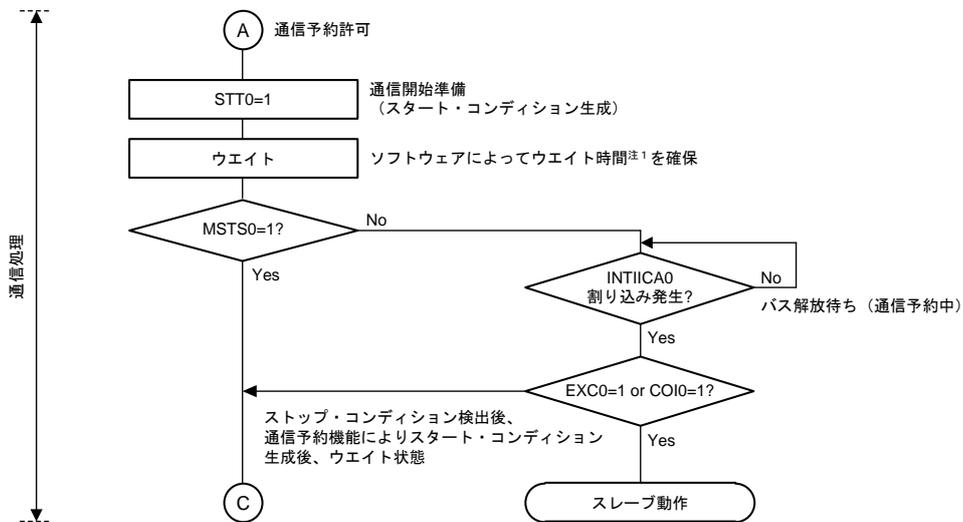
(2) マルチマスタ・システムでのマスタ動作

図 13-28 マルチマスタ・システムでのマスタ動作 (1/3)

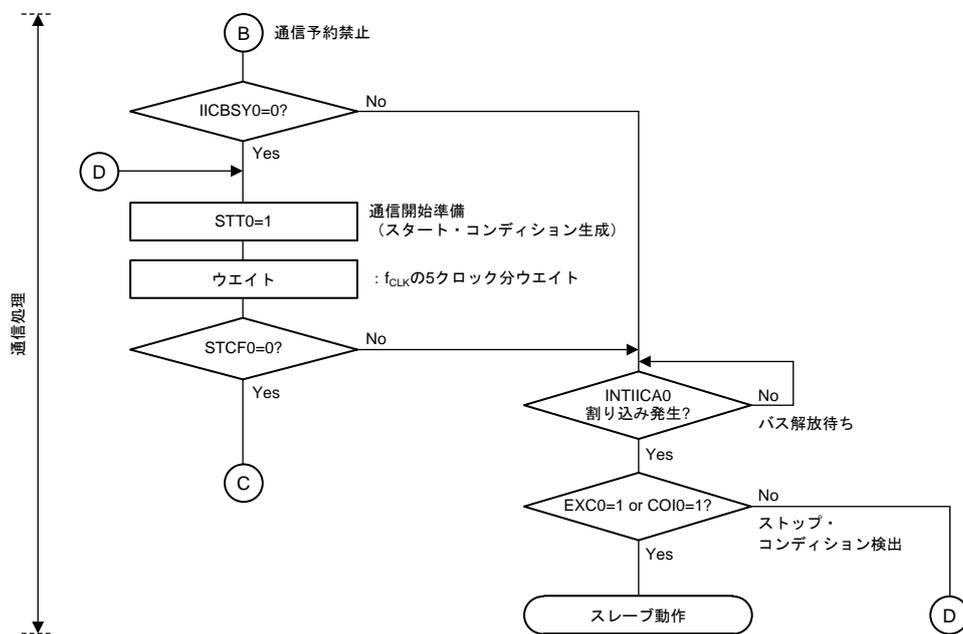


注1. 一定期間 (たとえば 1 フレーム分)、バス解放状態 (CLD0 ビット=1, DAD0 ビット=1) であることを確認してください。定常的に SDAA0 端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²C バスを解放 (SCLA0, SDAA0 端子=ハイ・レベル) するか判断してください。

図 13-28 マルチマスタ・システムでのマスタ動作 (2/3)

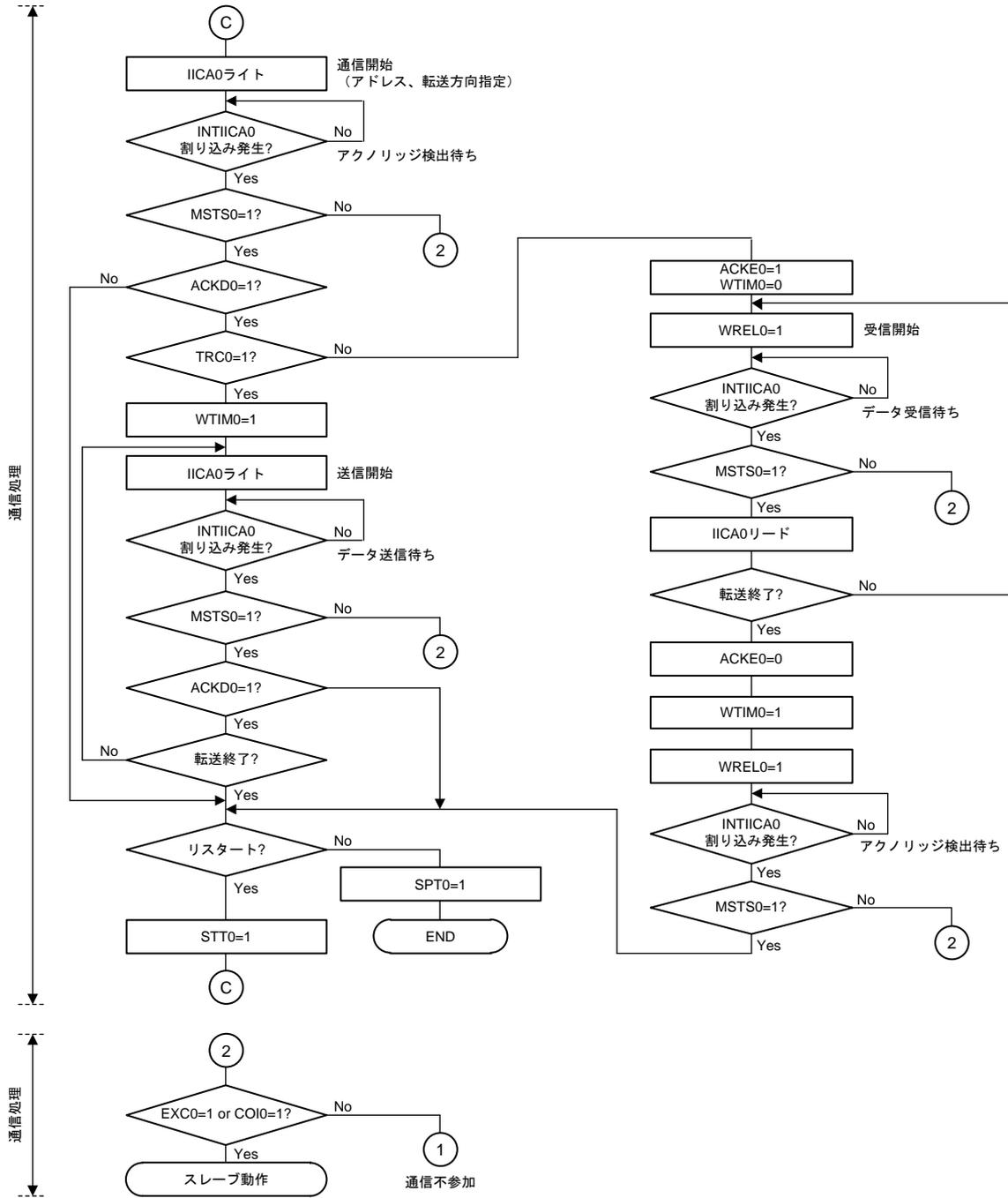


注1. ウェイト時間は次のようになります。
 $(IICWLO \text{ の設定値} + IICWH0 \text{ の設定値} + 4) / f_{CLK} + t_F \times 2$



備考 IICWL0 : IICA ロー・レベル幅設定レジスタ 0
 IICWH0 : IICA ハイ・レベル幅設定レジスタ 0
 t_F : SDA0, SCLA0 信号の立ち下がり時間
 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

図 13-28 マルチマスタ・システムでのマスタ動作 (3/3)



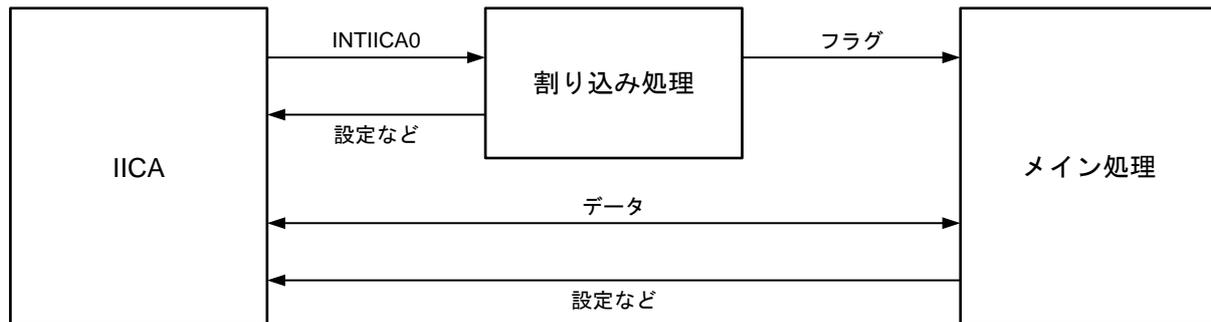
- 備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
- 備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA0 割り込み発生ごとに MSTS0 ビットをリードし、アービトレーション結果を確認してください。
- 備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICA0 割り込み発生ごとに IICA ステータス・レジスタ 0 (IICS0)、IICA フラグ・レジスタ 0 (IICF0) でステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このため INTIICA0 割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。また INTIICA0 割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の 3 つのフラグを準備し、これを INTIICA0 の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の 2 つの通信状態を示します。

- クリア・モード：データ通信を行っていない状態
- 通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信では INTIICA0 割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0 ビットの値と同じです。

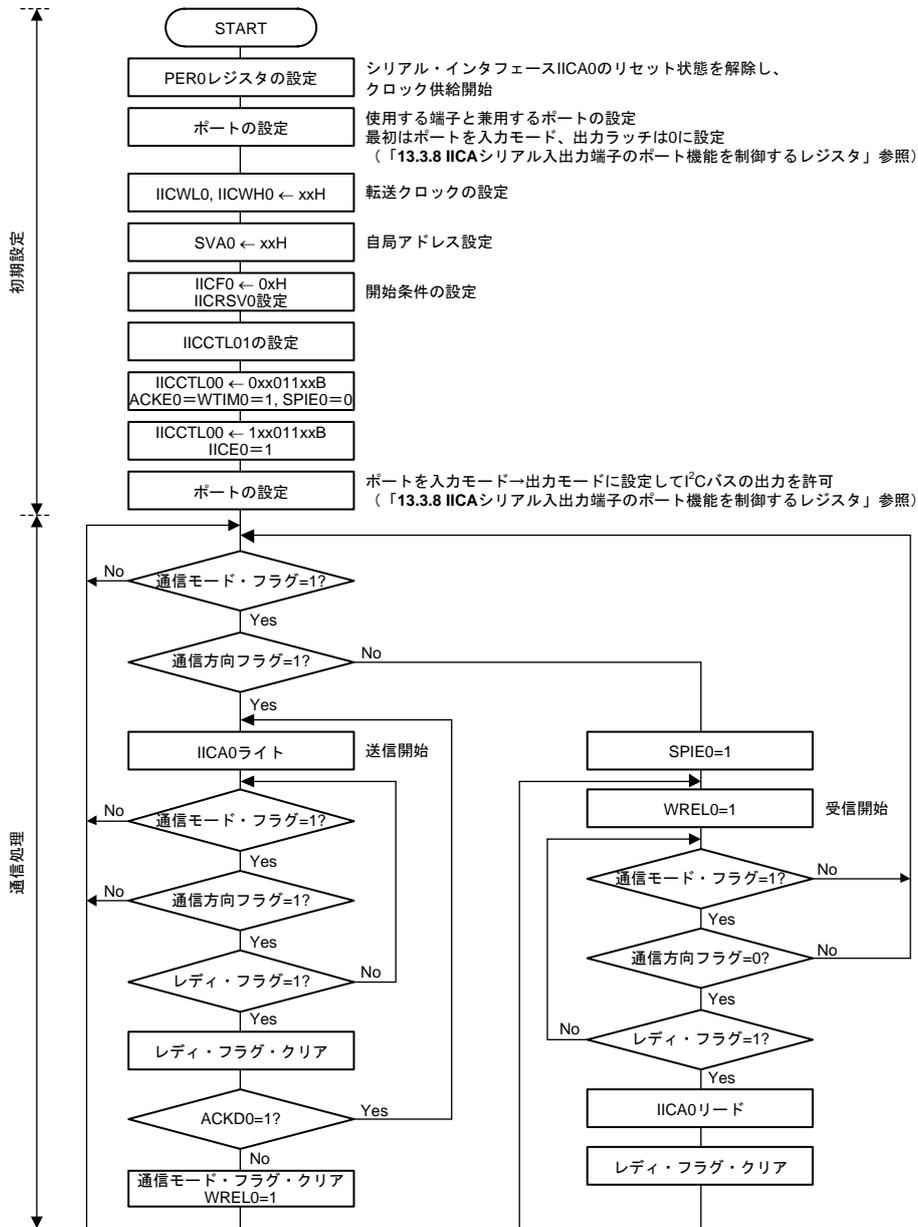
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図 13-29 スレーブ動作手順 (1)



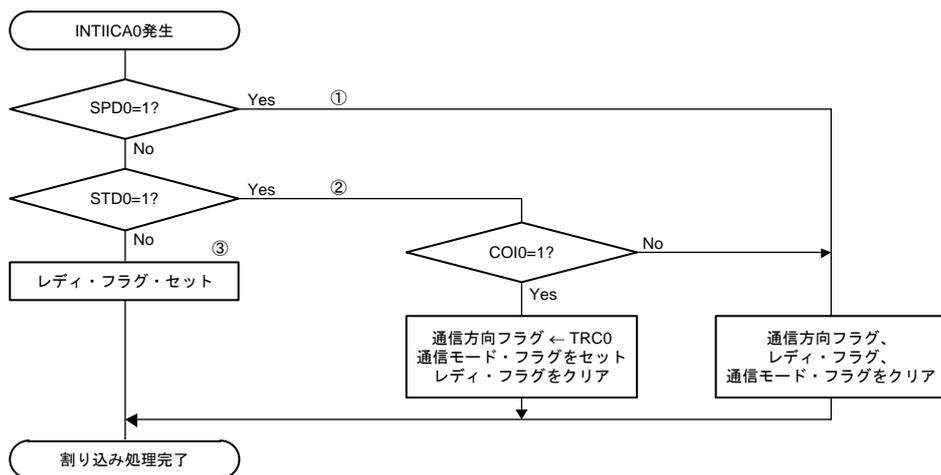
備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブの INTIICA0 割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。
INTIICA0 割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²C バスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、「**図 13-30 スレーブ動作手順 (2)**」の①～③と対応しています。

図 13-30 スレーブ動作手順 (2)



13.5.17 I²C 割り込み要求 (INTIICA0) の発生タイミング

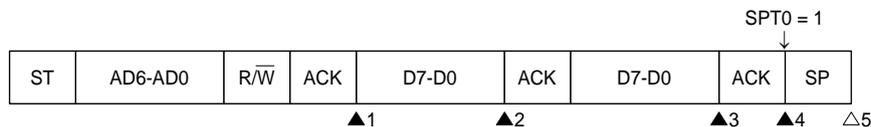
次に、データの送受信、INTIICA0 割り込み要求信号発生タイミングと、INTIICA0 信号タイミングでの IICA ステータス・レジスタ 0 (IICS0) の値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ \bar{W} : 転送方向指定
ACK : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start~Address~Data~Data~Stop (送受信)

(i) WTIM0=0 のとき



▲1 : IICS0=1000x110B

▲2 : IICS0=1000x000B

▲3 : IICS0=1000x000B (WTIM0 ビットをセット (1)) 注1

▲4 : IICS0=1000xx00B (SPT0 ビットをセット (1))

△5 : IICS0=00000001B

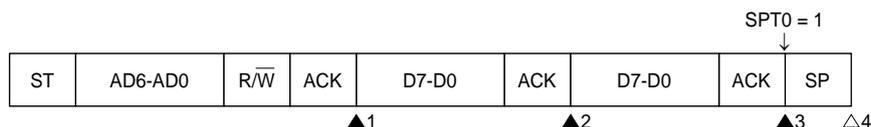
注1. ストップ・コンディションを生成するために、WTIM0 ビットをセット (1) し、INTIICA0 割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=1000x110B

▲2 : IICS0=1000x100B

▲3 : IICS0=1000xx00B (SPT0 ビットをセット (1))

△4 : IICS0=00000001B

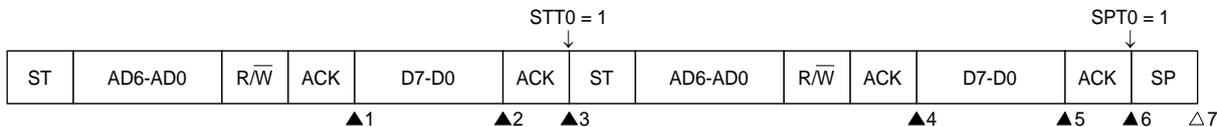
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIM0=0 のとき



- ▲1 : IICS0=1000x110B
- ▲2 : IICS0=1000x000B (WTIM0 ビットをセット (1) 注1)
- ▲3 : IICS0=1000xx00B (WTIM0 ビットをクリア (0) 注2、STT0 ビットをセット (1))
- ▲4 : IICS0=1000x110B
- ▲5 : IICS0=1000x000B (WTIM0 ビットをセット (1) 注3)
- ▲6 : IICS0=1000xx00B (SPT0 ビットをセット (1))
- △7 : IICS0=00000001B

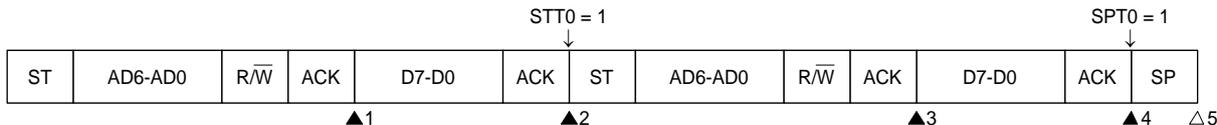
注1. スタート・コンディションを生成するために、WTIM0 ビットをセット (1) し、INTIICA0 割り込み要求信号の発生タイミングを変更してください。

注2. 設定を元に戻すために、WTIM0 ビットをクリア (0) してください。

注3. ストップ・コンディションを生成するために、WTIM0 ビットをセット (1) し、INTIICA0 割り込み要求信号の発生タイミングを変更してください。

- 備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(ii) WTIM0=1 のとき

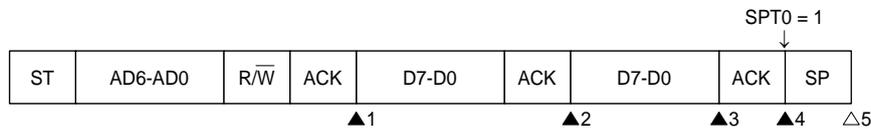


- ▲1 : IICS0=1000x110B
- ▲2 : IICS0=1000xx00B (STT0 ビットをセット (1))
- ▲3 : IICS0=1000x110B
- ▲4 : IICS0=1000xx00B (SPT0 ビットをセット (1))
- △5 : IICS0=00000001B

- 備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(c) Start~Code~Data~Data~Stop (拡張コード送信)

(i) WTIM0=0 のとき



▲1 : IICS0=1010x110B

▲2 : IICS0=1010x000B

▲3 : IICS0=1010x000B (WTIM0 ビットをセット (1) 注1)

▲4 : IICS0=1010xx00B (SPT0 ビットをセット (1))

△5 : IICS0=00000001B

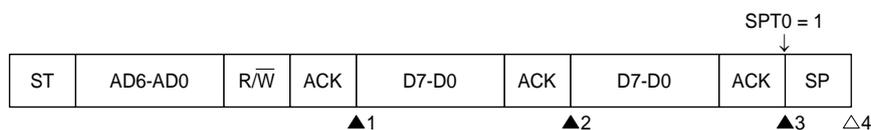
注1. ストップ・コンディションを生成するために、WTIM0 ビットをセット (1) し、INTIICA0 割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=1010x110B

▲2 : IICS0=1010x100B

▲3 : IICS0=1010xx00B (SPT0 ビットをセット (1))

△4 : IICS0=00000001B

備考 ▲ 必ず発生

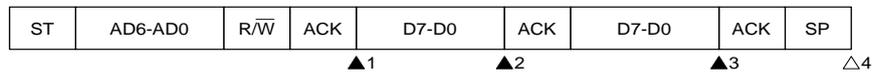
△ SPIE0=1 のときだけ発生

× 任意

(2) スレーブ動作（スレーブ・アドレス受信時）

(a) Start～Address～Data～Data～Stop

(i) WTIM0=0 のとき



▲1 : IICS0=0001x110B

▲2 : IICS0=0001x000B

▲3 : IICS0=0001x000B

△4 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=0001x110B

▲2 : IICS0=0001x100B

▲3 : IICS0=0001xx00B

△4 : IICS0=00000001B

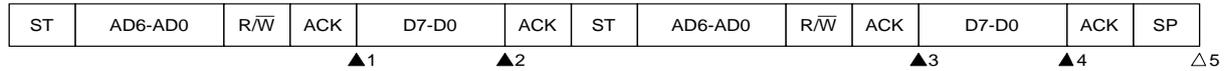
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(b) Start~Address~Data~Start~Address~Data~Stop

(i) WTIM0=0 のとき (リスタート後、SVA0 一致)



▲1 : IICS0=0001x110B

▲2 : IICS0=0001x000B

▲3 : IICS0=0001x110B

▲4 : IICS0=0001x000B

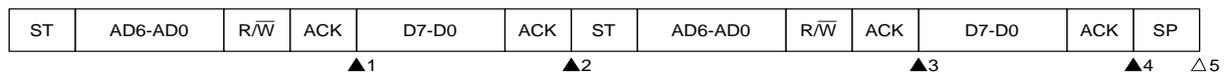
△5 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき (リスタート後、SVA0 一致)



▲1 : IICS0=0001x110B

▲2 : IICS0=0001xx00B

▲3 : IICS0=0001x110B

▲4 : IICS0=0001xx00B

△5 : IICS0=00000001B

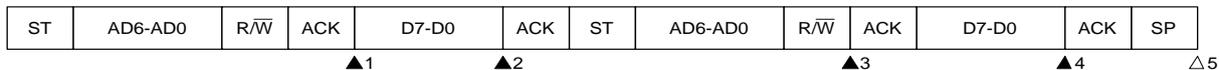
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(c) Start~Address~Data~Start~Code~Data~Stop

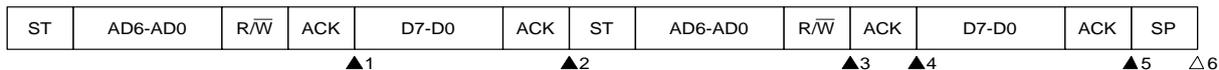
(i) WTIM0=0 のとき (リスタート後、アドレス不一致 (拡張コード))



- ▲1 : IICS0=0001x110B
- ▲2 : IICS0=0001x000B
- ▲3 : IICS0=0010x010B
- ▲4 : IICS0=0010x000B
- △5 : IICS0=00000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(ii) WTIM0=1 のとき (リスタート後、アドレス不一致 (拡張コード))

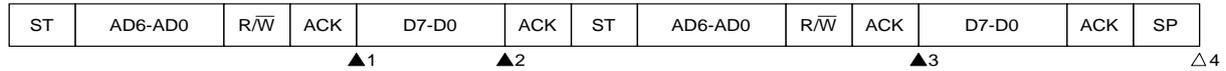


- ▲1 : IICS0=0001x110B
- ▲2 : IICS0=0001xx00B
- ▲3 : IICS0=0010x010B
- ▲4 : IICS0=0010x110B
- ▲5 : IICS0=0010xx00B
- △6 : IICS0=00000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(d) Start~Address~Data~Start~Address~Data~Stop

(i) WTIM0=0 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICS0=0001x110B

▲2 : IICS0=0001x000B

▲3 : IICS0=00000x10B

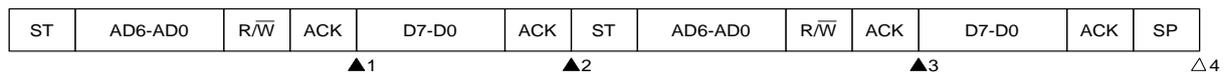
△4 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICS0=0001x110B

▲2 : IICS0=0001xx00B

▲3 : IICS0=00000x10B

△4 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(3) スレーブ動作（拡張コード受信時）

拡張コード受信時は、常に通信に参加しています。

(a) Start~Code~Data~Data~Stop

(i) WTIM0=0 のとき



▲1 : IICS0=0010x010B

▲2 : IICS0=0010x000B

▲3 : IICS0=0010x000B

△4 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=0010x010B

▲2 : IICS0=0010x110B

▲3 : IICS0=0010x100B

▲4 : IICS0=0010xx00B

△5 : IICS0=00000001B

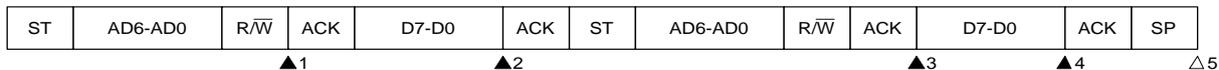
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(b) Start~Code~Data~Start~Address~Data~Stop

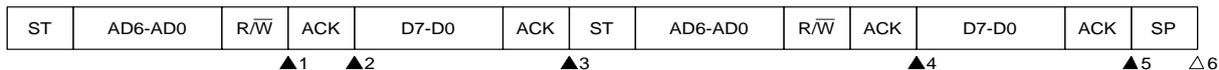
(i) WTIM0=0 のとき (リスタート後、SVA0 一致)



- ▲1 : IICS0=0010x010B
- ▲2 : IICS0=0010x000B
- ▲3 : IICS0=0001x110B
- ▲4 : IICS0=0001x000B
- △5 : IICS0=00000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(ii) WTIM0=1 のとき (リスタート後、SVA0 一致)

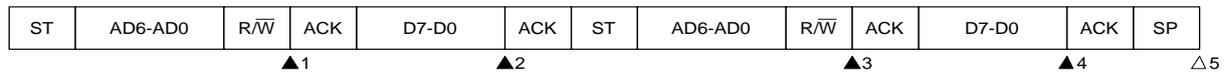


- ▲1 : IICS0=0010x010B
- ▲2 : IICS0=0010x110B
- ▲3 : IICS0=0010xx00B
- ▲4 : IICS0=0001x110B
- ▲5 : IICS0=0001xx00B
- △6 : IICS0=00000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIM0=0 のとき (リスタート後、拡張コード受信)



▲1 : IICS0=0010x010B

▲2 : IICS0=0010x000B

▲3 : IICS0=0010x010B

▲4 : IICS0=0010x000B

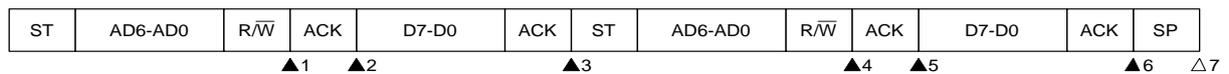
△5 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき (リスタート後、拡張コード受信)



▲1 : IICS0=0010x010B

▲2 : IICS0=0010x110B

▲3 : IICS0=0010xx00B

▲4 : IICS0=0010x010B

▲5 : IICS0=0010x110B

▲6 : IICS0=0010xx00B

△7 : IICS0=00000001B

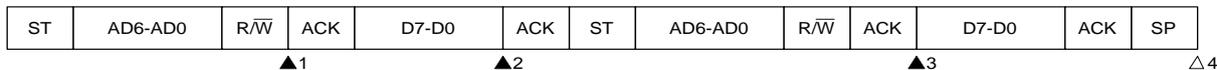
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIM0=0 のとき (リスタート後、アドレス不一致 (拡張コード以外))



- ▲1 : IICS0=0010x010B
- ▲2 : IICS0=0010x000B
- ▲3 : IICS0=00000x10B
- △4 : IICS0=00000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(ii) WTIM0=1 のとき (リスタート後、アドレス不一致 (拡張コード以外))

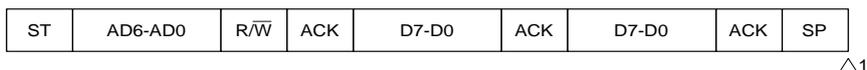


- ▲1 : IICS0=0010x010B
- ▲2 : IICS0=0010x110B
- ▲3 : IICS0=0010xx00B
- ▲4 : IICS0=00000x10B
- △5 : IICS0=00000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(4) 通信不参加の動作

(a) Start~Code~Data~Data~Stop



- △1 : IICS0=00000001B

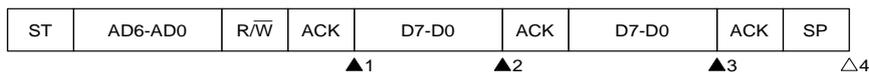
備考 △ SPIE0=1 のときだけ発生

(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIICA0 割り込み要求信号の発生ごとに MSTSO ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0=0 のとき



▲1 : IICS0=0101x110B

▲2 : IICS0=0001x000B

▲3 : IICS0=0001x000B

△4 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=0101x110B

▲2 : IICS0=0001x100B

▲3 : IICS0=0001xx00B

△4 : IICS0=00000001B

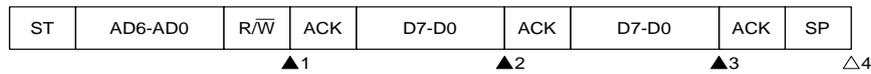
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0=0 のとき



▲1 : IICS0=0110x010B

▲2 : IICS0=0010x000B

▲3 : IICS0=0010x000B

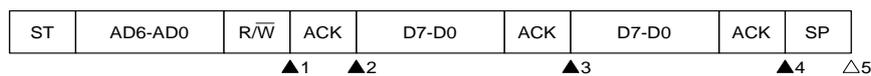
△4 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=0110x010B

▲2 : IICS0=0010x110B

▲3 : IICS0=0010x100B

▲4 : IICS0=0010xx00B

△5 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(6) アービトレーション負けの動作（アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は、INTIICA0 割り込み要求信号の発生ごとに MSTSO ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0=1 のとき）



▲1 : IICS0=01000110B

△2 : IICS0=00000001B

- 備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1 : IICS0=0110x010B

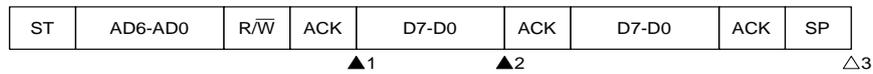
ソフトウェアで LREL0=1 を設定

△2 : IICS0=00000001B

- 備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0=0 のとき



▲1 : IICS0=10001110B

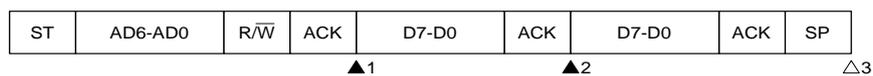
▲2 : IICS0=01000000B

△3 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

(ii) WTIM0=1 のとき



▲1 : IICS0=10001110B

▲2 : IICS0=01000100B

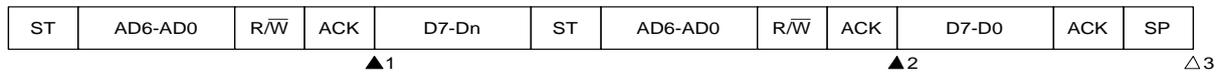
△3 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0 不一致)



▲1 : IICS0=1000x110B

▲2 : IICS0=01000110B

△3 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

n=6-0

(ii) 拡張コード



▲1 : IICS0=1000x110B

▲2 : IICS0=01100010B

ソフトウェアで LREL0=1 を設定

△3 : IICS0=00000001B

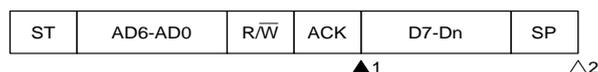
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

n=6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICS0=10000110B

△2 : IICS0=01000001B

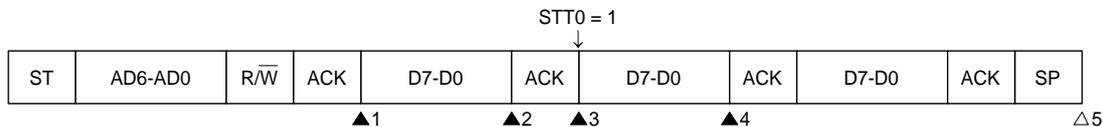
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

n=6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0=0 のとき



▲1 : IICS0=1000x110B

▲2 : IICS0=1000x000B (WTIM0 ビットをセット (1))

▲3 : IICS0=1000x100B (WTIM0 ビットをクリア (0))

▲4 : IICS0=01000000B

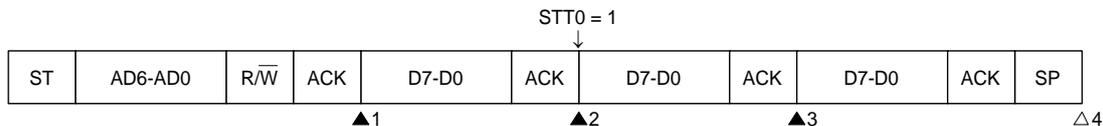
△5 : IICS0=00000001B

備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=1000x110B

▲2 : IICS0=1000x100B (STT0 ビットをセット (1))

▲3 : IICS0=01000100B

△4 : IICS0=00000001B

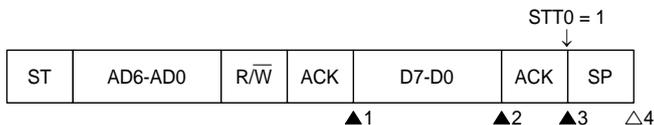
備考 ▲ 必ず発生

△ SPIE0=1 のときだけ発生

× 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

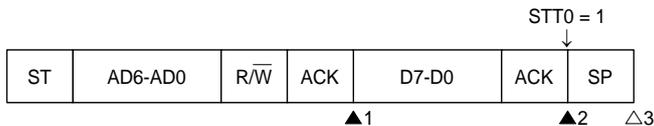
(i) WTIM0=0 のとき



- ▲1 : IICS0=1000x110B
- ▲2 : IICS0=1000x000B (WTIM0 ビットをセット (1))
- ▲3 : IICS0=1000xx00B (STT0 ビットをセット (1))
- △4 : IICS0=01000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(ii) WTIM0=1 のとき

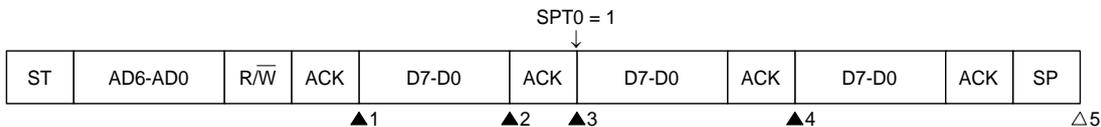


- ▲1 : IICS0=1000x110B
- ▲2 : IICS0=1000xx00B (STT0 ビットをセット (1))
- △3 : IICS0=01000001B

備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0=0 のとき



▲1 : IICS0=1000x110B

▲2 : IICS0=1000x000B (WTIM0 ビットをセット (1))

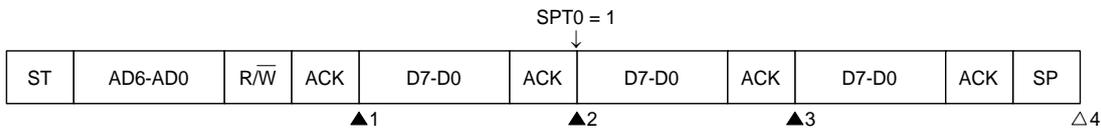
▲3 : IICS0=1000x100B (WTIM0 ビットをクリア (0))

▲4 : IICS0=01000100B

△5 : IICS0=00000001B

- 備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

(ii) WTIM0=1 のとき



▲1 : IICS0=1000x110B

▲2 : IICS0=1000x100B (SPT0 ビットをセット (1))

▲3 : IICS0=01000100B

△4 : IICS0=00000001B

- 備考 ▲ 必ず発生
 △ SPIE0=1 のときだけ発生
 × 任意

13.6 タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを 1 つ選択します。

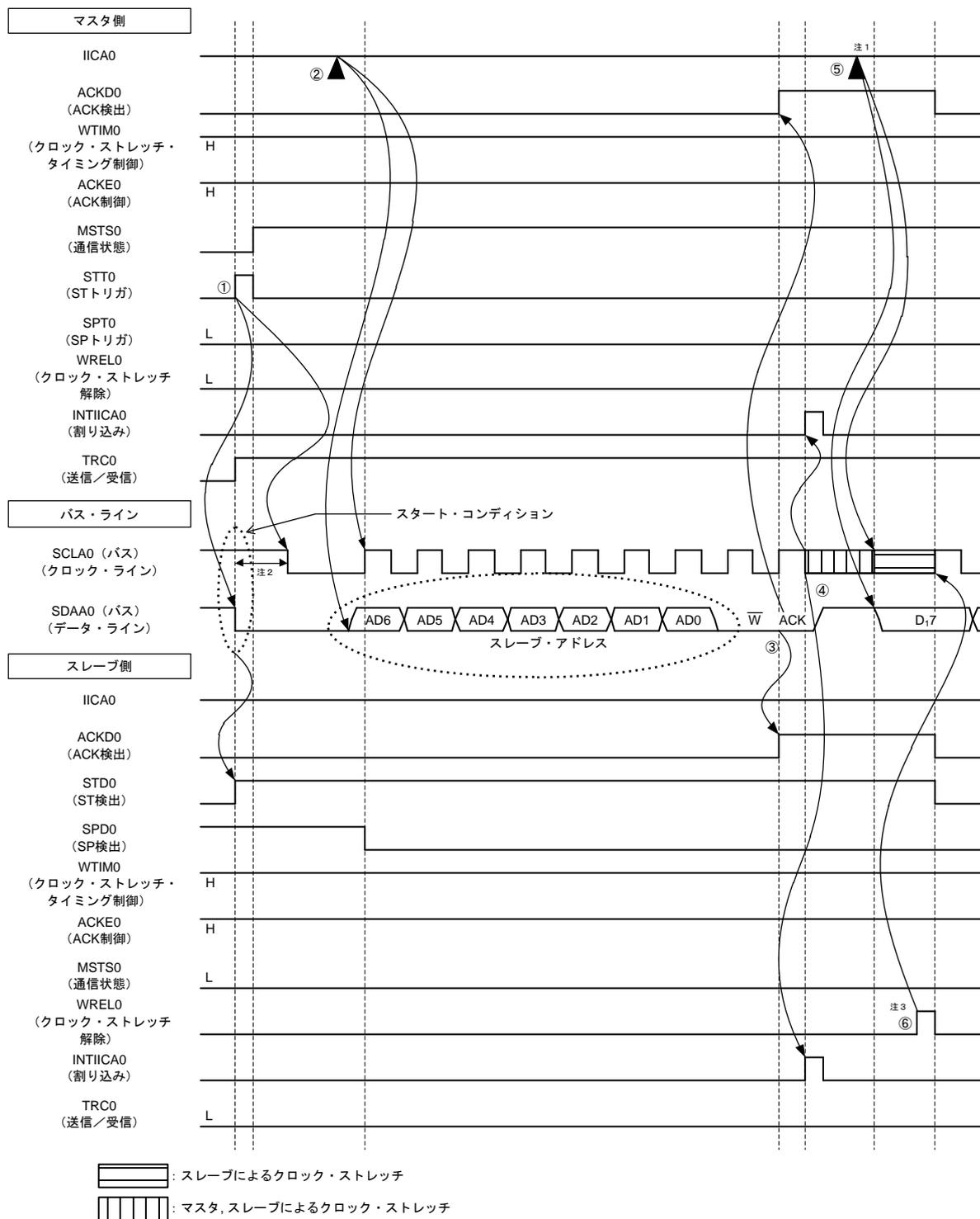
マスタは、スレーブ・アドレスの次にデータの転送方向を示す TRC0 ビット (IICA ステータス・レジスタ 0 (IICS0) のビット 3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図 13-31、図 13-32 に示します。

シリアル・クロック (SCLA0) の立ち下がりに同期して IICA シフト・レジスタ 0 (IICA0) のシフト動作が行われ、送信データが SO ラッチに転送され、SDAA0 端子から MSB ファーストで出力されます。

また、SCLA0 の立ち上がりで SDAA0 端子に入力されたデータが IICA0 に取り込まれます。

図 13-31 マスタ→スレーブ通信例
 (マスタ : 9 クロック、スレーブ : 9 クロックでクロック・ストレッチ選択) (1/4)
 (1) スタート・コンディション~アドレス~データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELO ビットのセットではなく、IICA0 へのデータ書き込みで行ってください。

- 注2. SDAA0 端子信号が立ち下がってから SCLA0 端子信号が立ち下がるまでの時間は、標準モード設定時は 4.0 μ s 以上、ファースト・モード設定時は 0.6 μ s 以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICA0 \leftarrow FFH または WREL0 ビットのセットのどちらかで行ってください。

「**図 13-31 (1) スタート・コンディション～アドレス～データ**」の①～⑥の説明を次に示します。

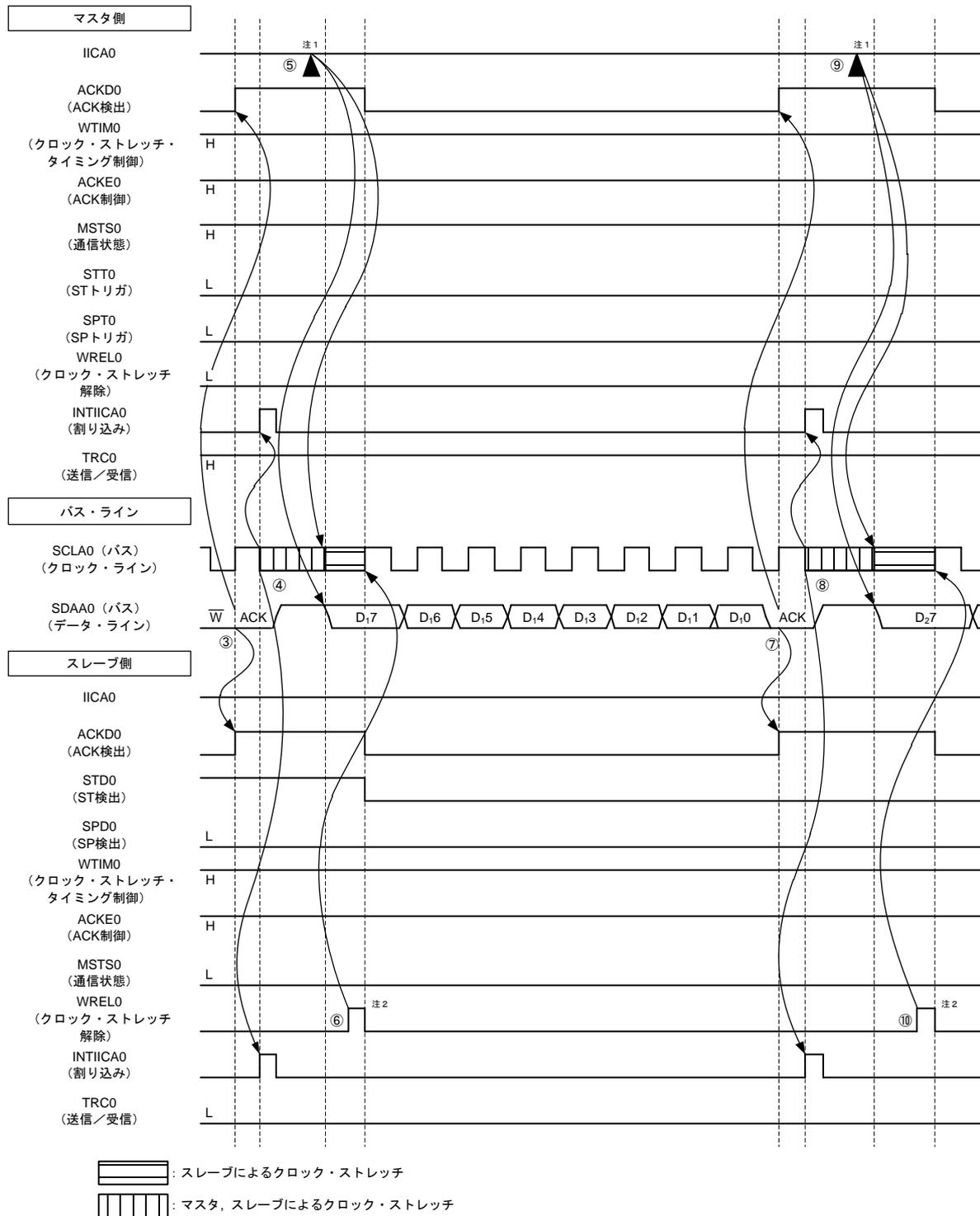
- ① マスタ側でスタート・コンディション・トリガがセット (STT0=1) されると、バス・データ・ライン (SDAA0) が立ち下がり、スタート・コンディション (SDAA0=0, SCLA0=1) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS0=1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLA0=0)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ 0 (IICA0) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA0 の値) が一致した場合^{注1}、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み (INTIICA0 : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ (SCLA0=0) をかけ、割り込み (INTIICA0 : アドレス一致割り込み) が発生します^{注1}。
- ⑤ マスタ側が IICA0 レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WREL0=1) すると、マスタ側からスレーブ側にデータ転送を開始します。

- 注1. 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAA0=1)。また、スレーブ側の INTIICA0 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICA0 割り込み (アドレス送信完了割り込み) が発生します。

備考 図 13-31 の①～⑮は、I²C バスによるデータ通信の一連の操作手順で、次のような説明をしています。

- ・「**図 13-31 (1) スタート・コンディション～アドレス～データ**」では手順①～⑥
- ・「**図 13-31 (2) アドレス～データ～データ**」は手順③～⑩
- ・「**図 13-31 (3) データ～データ～ストップ・コンディション**」では手順⑦～⑮

図 13-31 マスタ→スレーブ通信例
 (マスタ : 9 クロック、スレーブ : 9 クロックでクロック・ストレッチ選択) (2/4)
 (2) アドレス~データ~データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELO ビットのセットではなく、IICA0 へのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

「図 13-31 (2) アドレス～データ～データ」の③～⑩の説明を次に示します。

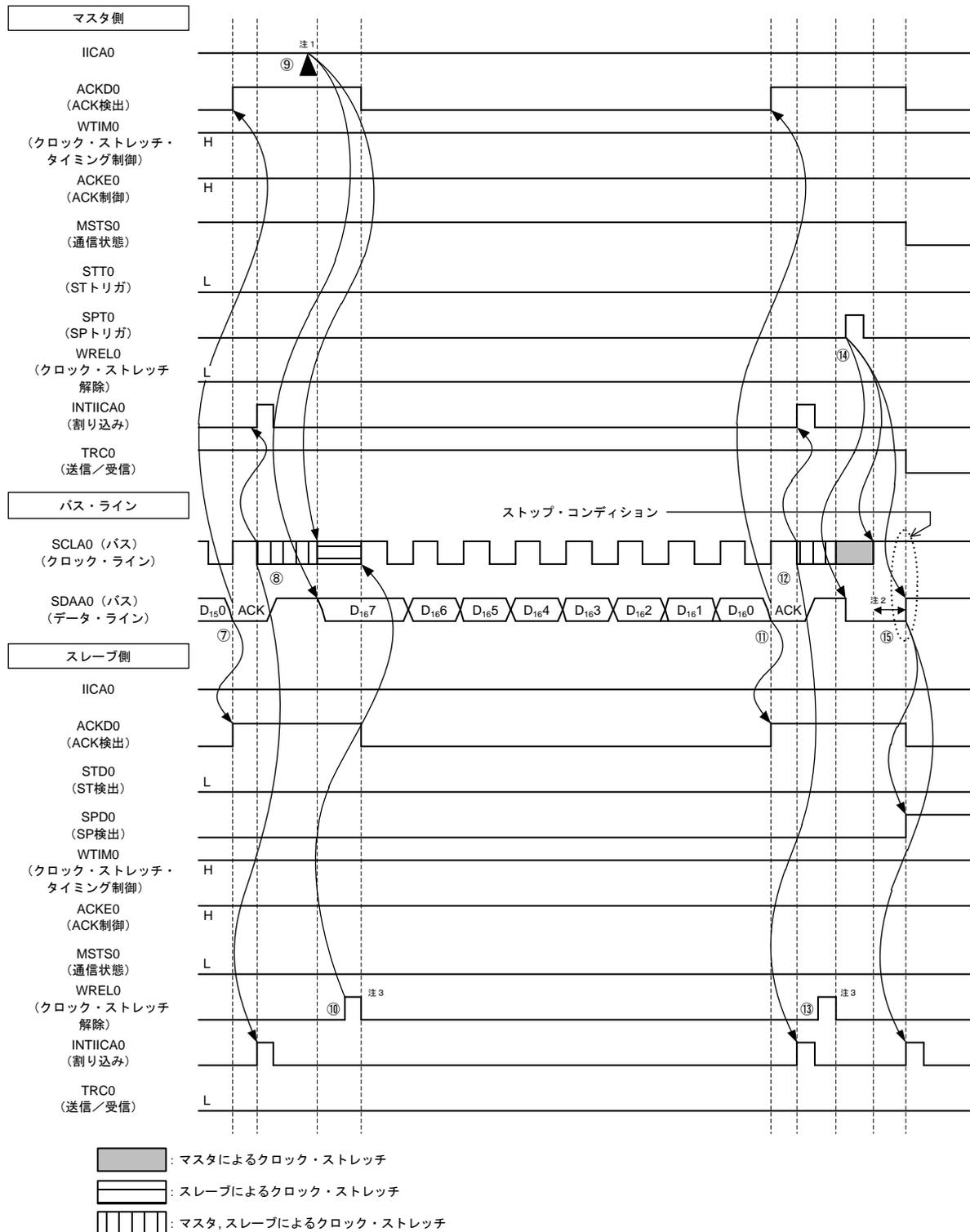
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA0 の値) が一致した場合^{注1}、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ④ 9 クロック目の立ち下がりで、マスタ側の割り込み (INTIICA0 : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ (SCLA0=0) をかけ、割り込み (INTIICA0 : アドレス一致割り込み) が発生します^{注1}。
- ⑤ マスタ側が IICA シフト・レジスタ 0 (IICA0) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WREL0=1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側は ACKE0=1 なので、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLA0=0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICA0 レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WREL0=1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注1. 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが (NACK : SDAA0=1)。また、スレーブ側の INTIICA0 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICA0 割り込み (アドレス送信完了割り込み) が発生します。

備考 図 13-31 の①～⑮は、I²C バスによるデータ通信の一連の操作手順で、次のような説明をしています。

- ・「図 13-31 (1) スタート・コンディション～アドレス～データ」では手順①～⑥
- ・「図 13-31 (2) アドレス～データ～データ」は手順③～⑩
- ・「図 13-31 (3) データ～データ～ストップ・コンディション」では手順⑦～⑮

図 13-31 マスタ→スレーブ通信例
 (マスタ : 9 クロック、スレーブ : 9 クロックでクロック・ストレッチ選択) (3/4)
 (3) データ～データ～ストップ・コンディション



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELO ビットのセットではなく、IICA0 へのデータ書き込みで行ってください。

- 注2. ストップ・コンディションの発行後、SCLA0 端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は 4.0 μ s 以上、ファースト・モード設定時は 0.6 μ s 以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

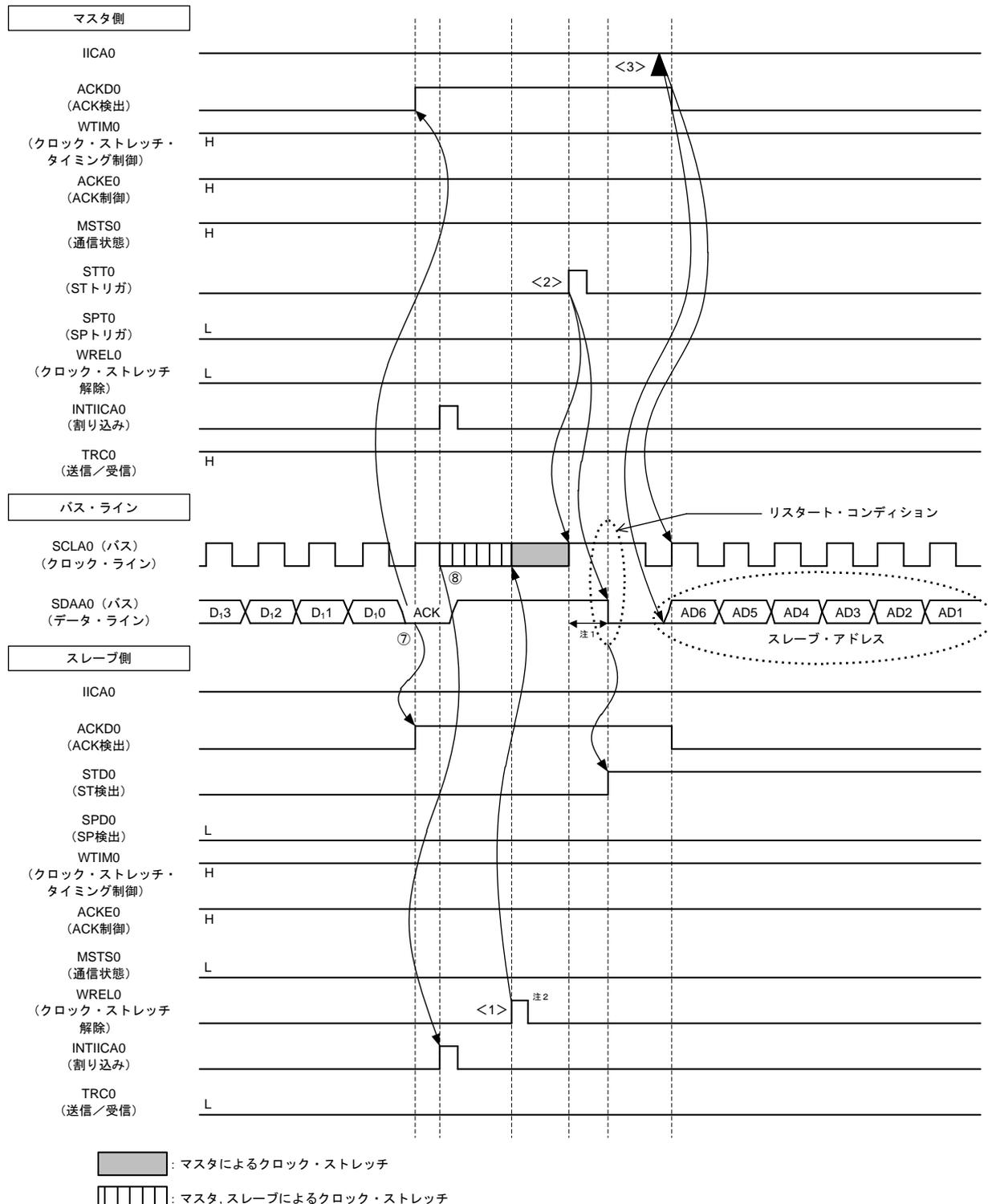
「**図 13-31 (3) データ～データ～ストップ・コンディション**」の⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側は ACKE0=1 なので、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ⑧ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLA0=0) がかかり、マスタ側/スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICA シフト・レジスタ 0 (IICA0) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WREL0=1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKE0=1) のハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ⑫ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLA0=0) がかかり、マスタ側/スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除 (WREL0=1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPT0=1) すると、バス・データ・ラインがクリア (SDAA0=0) され、バス・クロック・ラインがセット (SCLA0=1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAA0=1) されることで、ストップ・コンディション (SCLA0=1 で SDAA0=0→1) が生成されます。
- ⑮ スレーブ側でこのストップ・コンディションが検出され、割り込み (INTIICA0 : ストップ・コンディション割り込み) が発生します。

備考 図 13-31 の①～⑮は、I²C バスによるデータ通信の一連の操作手順で、次のような説明をしています。

- 「**図 13-31 (1) スタート・コンディション～アドレス～データ**」では手順①～⑥
- 「**図 13-31 (2) アドレス～データ～データ**」は手順③～⑩
- 「**図 13-31 (3) データ～データ～ストップ・コンディション**」では手順⑦～⑮

図 13-31 マスタ→スレーブ通信例
 (マスタ : 9 クロック、スレーブ : 9 クロックでクロック・ストレッチ選択) (4/4)
 (4) データ~リスタート・コンディション~アドレス



注1. リスタート・コンディションの発行後、SCLA0 端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は 4.7μs 以上、ファースト・モード設定時は 0.6μs 以上です。

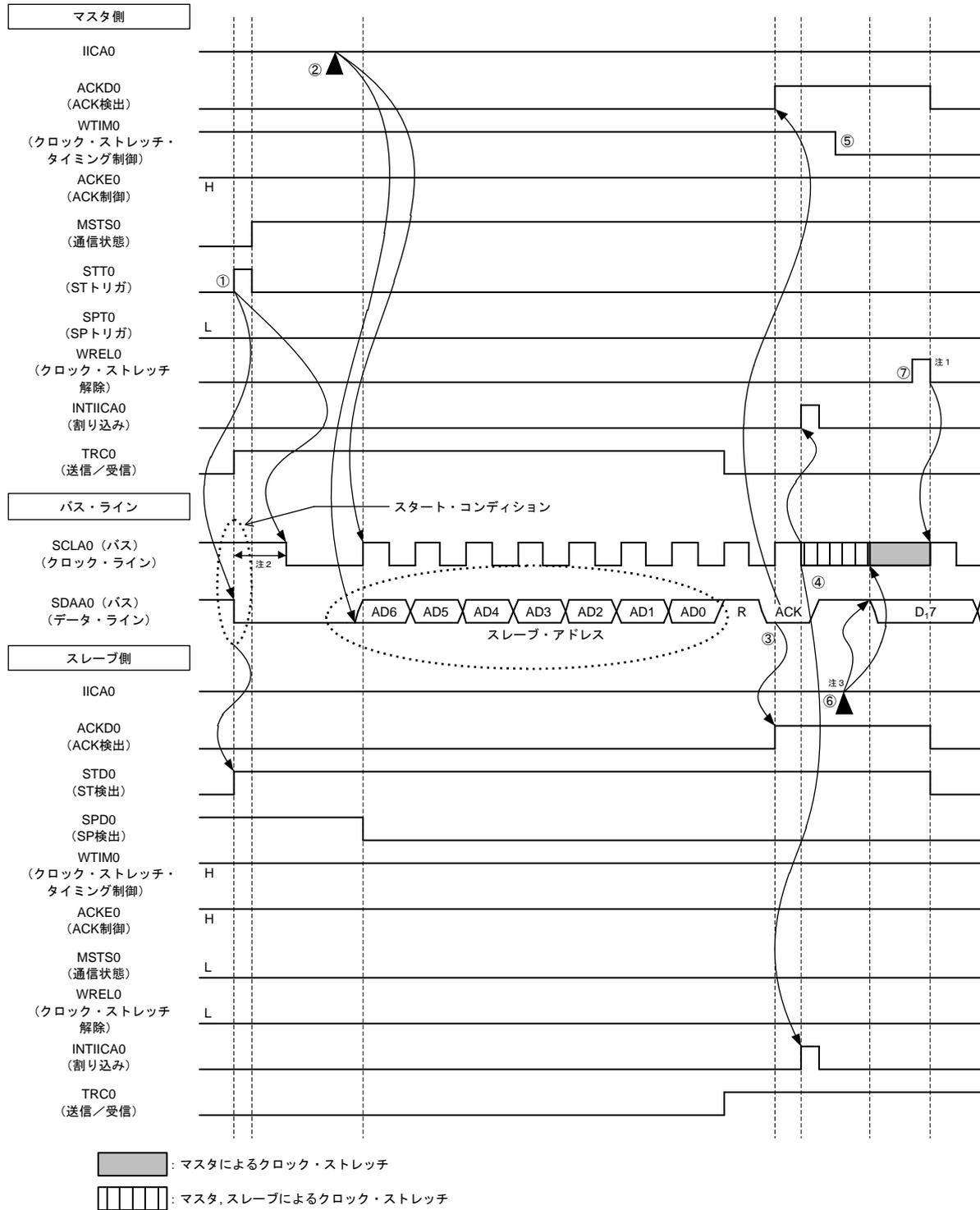
注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

「**図 13-31 (4) データ～リスタート・コンディション～アドレス**」の動作説明を次に示します。手順⑦、⑧の動作後、<1>～<3>の動作を行います。それにより、手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後、スレーブ側は ACKE0=1 なので、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ⑧ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLA0=0) がかかり、マスタ側/スレーブ側で割り込み (INTIICA0: 転送完了割り込み) が発生します。

- <1> スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WREL0=1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STT0=1) されると、バス・クロック・ラインが立ち上がり (SCLA0=1)、リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAA0=0) が立ち下がり、スタート・コンディション (SCLA0=1 で SDAA0=1→0) が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLA0=0)、通信準備が完了となります。
- <3> マスタ側が IICA シフト・レジスタ 0 (IICA0) にアドレス+R/W (送信) が書き込むと、スレーブ・アドレスが送信されます。

図 13-32 スレーブ→マスタ通信例
 (マスタ : 8クロック、スレーブ : 9クロックでクロック・ストレッチ選択) (1/3)
 (1) スタート・コンディション~アドレス~データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWRELOビットのセットのどちらかで行ってください。

- 注2. SDAA0 端子信号が立ち下がってから SCLA0 端子信号が立ち下がるまでの時間は、標準モード設定時は 4.0 μ s 以上、ファースト・モード設定時は 0.6 μ s 以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WREL0 ビットのセットではなく、IICA0 へのデータ書き込みで行ってください。

「**図 13-32 (1) スタート・コンディション～アドレス～データ**」の①～⑦の説明を次に示します。

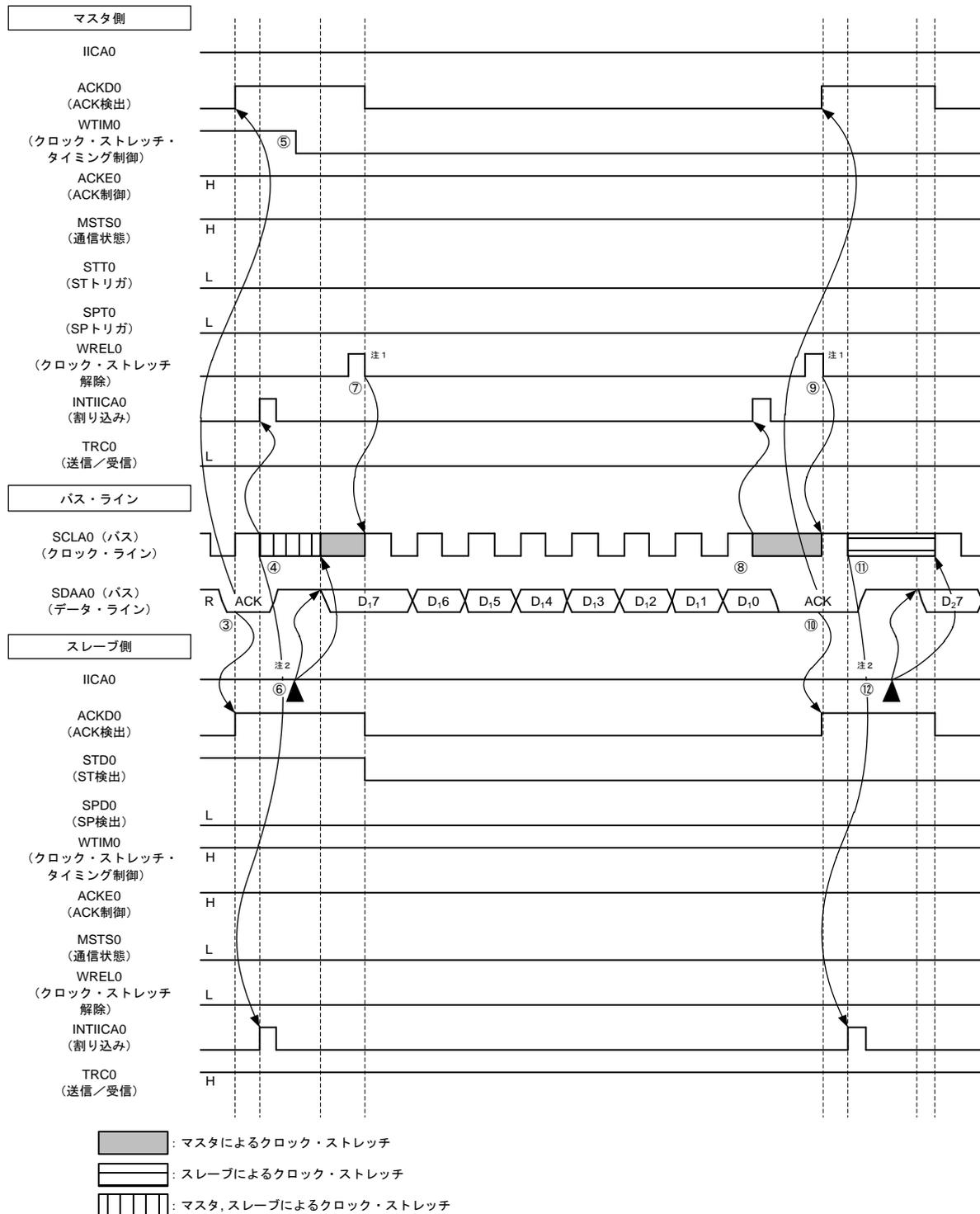
- ① マスタ側でスタート・コンディション・トリガがセット (STT0=1) されると、バス・データ・ライン (SDAA0) が立ち下がり、スタート・コンディション (SCLA0=1 で SDAA0=1→0) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS0=1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLA0=0)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ 0 (IICA0) にアドレス+R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA0 の値) が一致した場合^{注1}、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み (INTIICA0 : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ (SCLA0=0) をかけ、割り込み (INTIICA0 : アドレス一致割り込み) が発生します^{注1}。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを 8 クロック目 (WTIM0=0) に変更します。
- ⑥ スレーブ側が IICA0 レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WREL0=1) して、スレーブとのデータ転送を開始します。

注1. 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが (NACK : SDAA0=1)。また、スレーブ側の INTIICA0 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICA0 割り込み (アドレス送信完了割り込み) が発生します。

備考 **図 13-32** の①～⑬は、I²C バスによるデータ通信の一連の操作手順で、次のような説明をしています。

- 「**図 13-32 (1) スタート・コンディション～アドレス～データ**」では手順①～⑦
- 「**図 13-32 (2) アドレス～データ～データ**」では手順③～⑬
- 「**図 13-32 (3) データ～データ～ストップ・コンディション**」では手順⑧～⑱

図 13-32 スレーブ→マスタ通信例
 (マスタ : 8クロック、スレーブ : 9クロックでクロック・ストレッチ選択) (2/3)
 (2) アドレス~データ~データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWRELOビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は、WREL0 ビットのセットではなく、IICA0 へのデータ書き込みで行ってください。

「**図 13-32 (2) アドレス～データ～データ**」の③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA0 の値) が一致した場合^{注1}、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ④ 9 クロック目の立ち下がりで、マスタ側の割り込み (INTIICA0 : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ (SCLA0=0) をかけ、割り込み (INTIICA0 : アドレス一致割り込み) が発生します^{注1}。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを 8 クロック目 (WTIM0=0) に変更します。
- ⑥ スレーブ側が IICA シフト・レジスタ 0 (IICA0) に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WREL0=1) して、スレーブとのデータ転送を開始します。
- ⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLA0=0) がかかり、マスタ側の割り込み (INTIICA0 : 転送完了割り込み) が発生し、マスタ側は ACKE0=0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WREL0=1) します。
- ⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKD0=1) されます。
- ⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLA0=0) がかかり、スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑫ スレーブ側の IICA0 レジスタに送信データを書き込むと、スレーブ側のクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注1. 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが (NACK : SDAA0=1)。また、スレーブ側の INTIICA0 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICA0 割り込み (アドレス送信完了割り込み) が発生します。

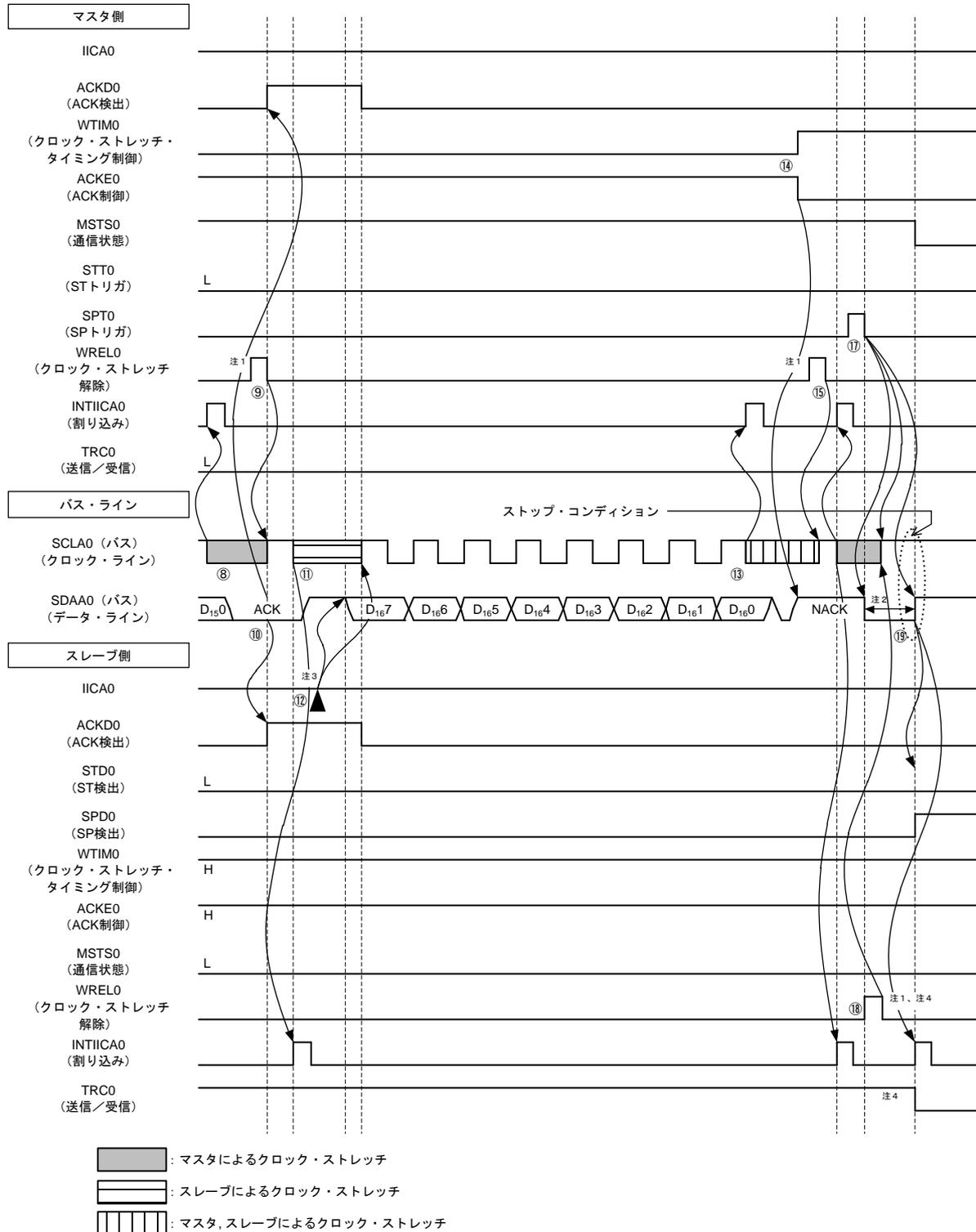
備考 **図 13-32** の①～⑫は、I²C バスによるデータ通信の一連の操作手順で、次のような説明をしています。

- 「**図 13-32 (1) スタート・コンディション～アドレス～データ**」では手順①～⑦
- 「**図 13-32 (2) アドレス～データ～データ**」では手順③～⑫
- 「**図 13-32 (3) データ～データ～ストップ・コンディション**」では手順⑧～⑫

図 13-32 スレーブ→マスタ通信例

(マスタ : 8→9 クロック、スレーブ : 9 クロックでクロック・ストレッチ選択) (3/3)

(3) データ～データ～ストップ・コンディション



注1. クロック・ストレッチ解除は、IICA0←FFHまたは WRELO ビットのセットのどちらかで行ってください。

- 注2. ストップ・コンディションの発行後、SCLA0 端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は 4.0 μ s 以上、ファースト・モード設定時は 0.6 μ s 以上です。
- 注3. スレーブ送信時のクロック・ストレッチ解除は、WRELO ビットのセットではなく、IICA0 へのデータ書き込みで行ってください。
- 注4. スレーブ側での送信時のクロック・ストレッチを WRELO ビットのセットで解除すると、TRC0 ビットはクリアされます。

「図 13-32 (3) データ～データ～ストップ・コンディション」の⑧～⑲の説明を次に示します。

- ⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLA0=0) がかかり、マスタ側の割り込み (INTIICA0 : 転送完了割り込み) が発生し、マスタ側は ACKE0=0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELO=1) します。
- ⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKD0=1) されます。
- ⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLA0=0) がかかり、スレーブ側は割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑫ スレーブ側の IICA シフト・レジスタ 0 (IICA0) に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8 クロック目の立ち下がりで、マスタ側の割り込み (INTIICA0 : 転送完了割り込み) が発生し、マスタ側によるクロック・ストレッチ (SCLA0=0) がかかります。ACK 制御 (ACE0=1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAA0=0) となります。
- ⑭ マスタ側は NACK 応答に設定 (ACE0=0) し、クロック・ストレッチ・タイミングを 9 クロック目 (WTIM0=1) に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除 (WRELO=1) すると、スレーブ側は 9 クロック目の立ち上がりで NACK を検出 (ACK=0) します。
- ⑯ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLA0=0) がかかり、マスタ側/スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPT0=1) すると、バス・データ・ラインがクリア (SDAA0=0) され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLA0=1) されるまで待機します。
- ⑱ スレーブ側は NACK を確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除 (WRELO=1) します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット (SCLA0=1) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット (SCLA0=1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAA0=1) してストップ・コンディション

(SCLA0=1 で SDAA0=0→1) を発行します。スレーブ側でこのストップ・コンディションが検出され、割り込み (INTIICA0 : ストップ・コンディション割り込み) が発生します。

備考 図 13-32 の①~⑱は、I²C バスによるデータ通信の一連の操作手順で、次のような説明をしています。

- 「図 13-32 (1) スタート・コンディション~アドレス~データ」では手順①~⑦
- 「図 13-32 (2) アドレス~データ~データ」では手順③~⑫
- 「図 13-32 (3) データ~データ~ストップ・コンディション」では手順⑧~⑱

第14章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		20ピン	16ピン	10ピン	8ピン
マスクブル割り込み	外部	8	8	8	6
	内部	19	16	10	10

14.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスクブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表 14-1 を参照してください。

スタンバイ・リリース信号を発生し、STOP モード、HALT モードを解除します。

マスクブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK 命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

14.2 割り込み要因と構成

割り込み要因には、マスクブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります（表 14-1 参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

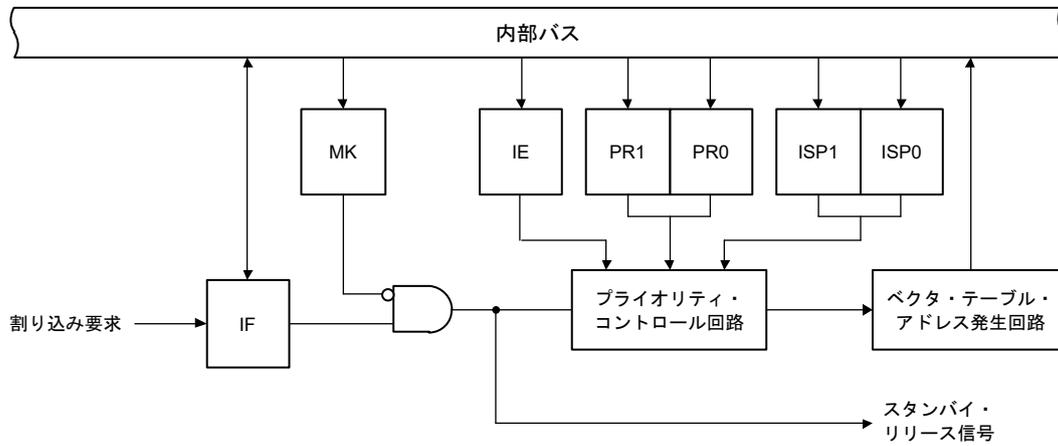
表 14-1 割り込み要因一覧

割り込みの処理	デフォルト・プライオリティ ^{※1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{※2}	20ピン	16ピン	10ピン	8ピン		
		名称	トリガ									
マスクカプル	0	INTWDTI	ウォッチドッグ・タイマのインターバル (オーバフロー時間の 75%+3/(4×f _{IL}))	内部	00004H	(A)	○	○	○	○		
	1	INTP0	端子入力エッジ検出	外部	00006H	(B)	○	○	○	○		
	2	INTP1			00008H		○	○	○	○		
	3	INTP2			0000AH		○	○	○	○		
	4	INTP3			0000CH		○	○	○	○		
	5	INTP4			0000EH		○	○	○	○		
	6	INTP5			00010H		○	○	○	○		
	7	INTST0/ INTCSI00/ INTIIC00	UART0 送信の転送完了、バッファ空き割り込み/ CSI00 の転送完了、バッファ空き割り込み/ IIC00 の転送完了	内部	00012H	(A)	○	○	○	○		
	8	INTSR0/ INTCSI01/ INTIIC01	UART0 受信の転送完了/CSI01 の転送完了、 バッファ空き割り込み/IIC01 の転送完了		00014H		○	○	○	○		
	9	INTSRE0	UART0 受信の通信エラー発生		00016H		○	○	○	○		
	10	INTTM01H	タイマ・チャンネル 01 のカウント完了 またはキャプチャ完了 (上位 8 ビット・タイマ動作時)		00018H		○	○	○	○		
	11	INTTM00	タイマ・チャンネル 00 のカウント完了またはキャプチャ完了		0001AH		○	○	○	○		
	12	INTTM01	タイマ・チャンネル 01 のカウント完了またはキャプチャ完了 (16 ビット/下位 8 ビット・タイマ動作時)		0001CH		○	○	○	○		
	13	INTAD	A/D 変換終了		0001EH		○	○	○	○		
	14	INTP6	端子入力エッジ検出		外部		00020H	(B)	○	○	○	—
	15	INTP7	端子入力エッジ検出				00022H		○	○	○	—
	ソフトウェア	—	16		INTTM03H		タイマ・チャンネル 03 のカウント完了またはキャプチャ完了 (上位 8 ビット・タイマ動作時)	内部	00024H	(A)	○	○
			17	INTIICA0	IICA0 通信完了	00026H	○		○		○	○
			18	INTTM02	タイマ・チャンネル 02 のカウント完了またはキャプチャ完了	00028H	○		○		○	○
			19	INTTM03	タイマ・チャンネル 03 のカウント完了またはキャプチャ完了	0002AH	○		○		○ ^{注4}	○ ^{注4}
			20	INTIT	12 ビット・インターバル・タイマのインターバル信号検出	0002CH	○		○		○	○
			21	INTTM04	タイマ・チャンネル 04 のカウント完了またはキャプチャ完了	0002EH	○		○ ^{注4}		○ ^{注4}	○ ^{注4}
			22	INTTM05	タイマ・チャンネル 05 のカウント完了またはキャプチャ完了	00030H	○		○		○ ^{注4}	○ ^{注4}
			23	INTTM06	タイマ・チャンネル 06 のカウント完了またはキャプチャ完了	00032H	○		○ ^{注4}		○ ^{注4}	○ ^{注4}
			24	INTTM07	タイマ・チャンネル 07 のカウント完了またはキャプチャ完了	00034H	○		○		○ ^{注4}	○ ^{注4}
			25	INTCMP0	コンパレータ 0 の有効エッジ検出	00036H	○		○		○	○
26			INTCMP1	コンパレータ 1 の有効エッジ検出	00038H	○	—		—		—	
ソフトウェア	—	BRK	BRK 命令の実行	—	0007EH	(C)	○	○	○	○		
リセット	—	RESET	RESET 端子入力	—	00000H	—	○	○	○	○		
		SPOR	セレクタブル・パワーオン・リセット				○	○	○	○		
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○		
		TRAP	不正命令の実行 ^{※3}				○	○	○	○		
		IAW	不正メモリ・アクセス				○	○	○	○		

-
- 注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0 が最高順位、26 が最低順位です。
- 注2. 基本構成タイプの(A)~(C)は、それぞれ図 14-1 の (A) ~ (C) に対応しています。
- 注3. FF の命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。
- 注4. タイマ・アレイ・ユニットのチャネルカウント完了のみ可能です。

図 14-1 割り込み機能の基本構成 (1/2)

(A) 内部マスクابل割り込み



(B) 外部マスクابل割り込み (INTPn)

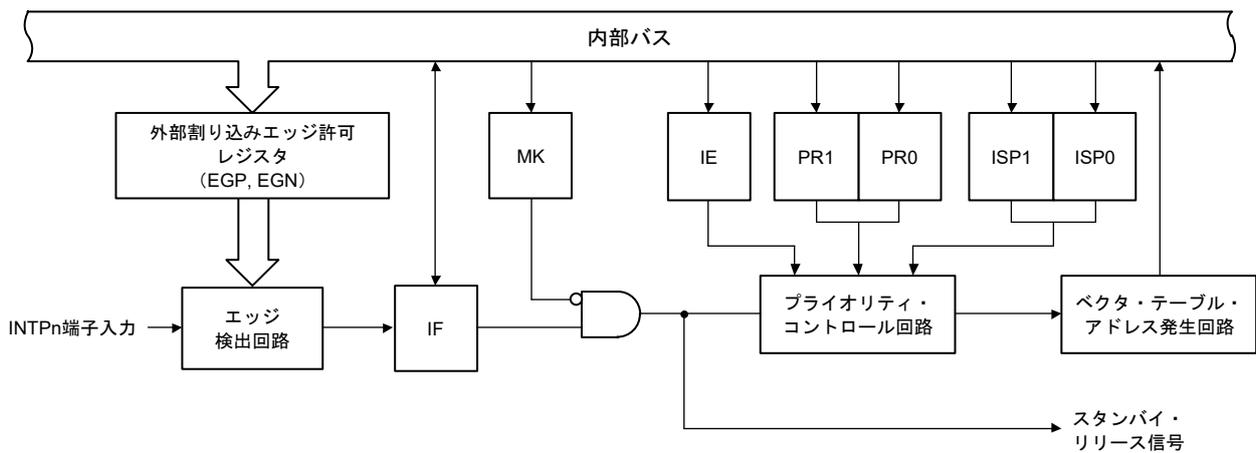
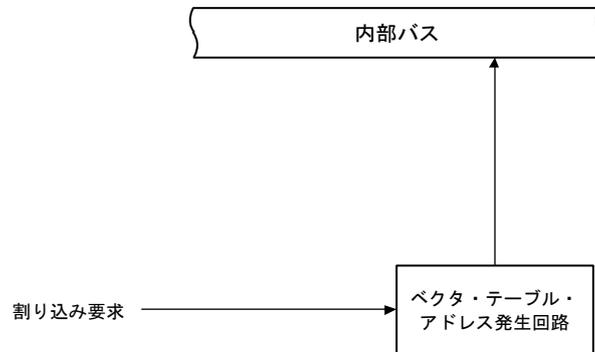


図 14-1 割り込み機能の基本構成 (2/2)

(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサース・プライオリティ・フラグ 0
- ISP1 : インサース・プライオリティ・フラグ 1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ 0
- PR1 : 優先順位指定フラグ 1

備考 10, 16, 20 ピン : n=0-7、
8 ピン : n=0-5

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の 6 種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表 14-2 に示します。

表 14-2 割り込み要求ソースに対応する各種フラグ (1/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		ハ 2	16 2	10 2	8 2
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ				
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○
INTST0 ^{注1}	STIF0 ^{注1}		STMK0 ^{注1}		STPR00, STPR10 ^{注1}		○	○	○	○
INTCSI00 ^{注1}	CSIF00 ^{注1}		CSIMK00 ^{注1}		CSIPR000, CSIPR100 ^{注1}		○	○	○	○
INTIIC00 ^{注1}	IICIF00 ^{注1}		IICMK00 ^{注1}		IICPR000, IICPR100 ^{注1}		○	○	○	○
INTSR0 ^{注2}	SRIF0 ^{注2}	IF0H	SRMK0 ^{注2}	MK0H	SRPR00, SRPR10 ^{注2}	PR00H, PR10H	○	○	○	○
INTCSI01 ^{注2}	CSIF01 ^{注2}		CSIMK01 ^{注2}		CSIPR001, CSIPR101 ^{注2}		○	○	○	○
INTIIC01 ^{注2}	IICIF01 ^{注2}		IICMK01 ^{注2}		IICPR001, IICPR101 ^{注2}		○	○	○	○
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10		○	○	○	○
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H		○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○
INTAD	ADIF		ADMK		ADPR0, ADPR1		○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	—
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	—

表 14-2 割り込み要求ソースに対応する各種フラグ (2/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		INTST0	INTCSI0	INTIIC0	INTSR0
		レジスタ		レジスタ		レジスタ				
INTTM03H	TMIF03H	IF1L	TMMK03H	MK1L	TMPR003H, TMPR103H	PR01L, PR11L	○	○	○	○
INTIICA0	IICAF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○
INTTM05	TMIF05		TMMK05		TMPR005, TMPR105		○	○	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○	○
INTTM07	TMIF07	IF1H	TMMK07	MK1H	TMPR007, TMPR107	PR01H, PR11H	○	○	○	○
INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10		○	○	○	○
INTCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11		○	—	—	—

- 注1. 割り込み要因 INTST0, INTCSI0, INTIIC0 のうち、いずれかが発生したら、IF0L レジスタのビット 7 はセット (1) されます。また、MK0L, PR00L, PR10L レジスタのビット 7 は、3 つすべての割り込み要因に対応しています。
- 注2. 割り込み要因 INTSR01, INTCSI01, INTIIC01 のうち、いずれかが発生したら、IF0H レジスタのビット 0 はセット (1) されます。また、MK0H, PR00H, PR10H レジスタのビット 0 は、3 つすべての割り込み要因に対応しています。

14.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、IF0L レジスタと IF0H レジスタ、IF1L レジスタと IF1H レジスタをあわせて 16 ビット・レジスタ IF0, IF1 として使用するときは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が 2 クロック長くなります。

図 14-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	STIF0 CSIF00 IICIF00	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	PIF7	PIF6	ADIF	TMIF01	TMIF00	TMIF01H	SREIF0	SRIF0 CSIF01 IICIF01

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF06	TMIF05	TMIF04	ITIF	TMIF03	TMIF02	IICAIF0	TMIF03H

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	0	0	CMPIF1	CMPIF0	TMIF07

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 1. 製品によって搭載しているレジスタとビットは異なります。
各製品に搭載しているレジスタとビットについては、表 14-2 を参照してください。また、搭載していないビットには、必ず初期値を設定してください。

注意 2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C 言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm(“clr1 IF0L.0”);」のようなビット操作命令を使用してください。

なお、C 言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C 言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

14.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

また、MK0L レジスタと MK0H レジスタ、MK1L レジスタと MK1H レジスタをあわせて 16 ビット・レジスタ MK0, MK1 として使用するときには 16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が 2 クロック長くなります。

図 14-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	STMK0 CSIMK00 IICMK00	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	PMK7	PMK6	ADMK	TMMK01	TMMK00	TMMK01H	SREMK0	SRMK0 CSIMK01 IICMK01

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK06	TMMK05	TMMK04	ITMK	TMMK03	TMMK02	IICAMK0	TMMK03H

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	1	CMPMK1	CMPMK0	TMMK07

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表 14-2 を参照してください。また、搭載していないビットには必ず初期値を設定してください。

14.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H)

優先順位指定フラグは、対応するマスク割込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて、優先順位レベルを設定します (xy=0L, 0H, 1L, 1H)。

PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、PR00L レジスタと PR00H レジスタ、PR01L レジスタと PR01H レジスタ、PR10L レジスタと PR10H レジスタ、PR11L レジスタと PR11H レジスタをあわせて 16 ビット・レジスタ PR00, PR01, PR10, PR11 として使用するとき、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が 2 クロック長くなります。

図 14-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H) のフォーマット

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	STPR00 CSIPR000 IICPR000	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	STPR10 CSIPR100 IICPR100	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	PPR07	PPR06	ADPR0	TMPR001	TMPR000	TMPR001H	SREPR00	SRPR00 CSIPR001 IICPR001

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	PPR17	PPR16	ADPR1	TMPR101	TMPR100	TMPR101H	SREPR10	SRPR10 CSIPR101 IICPR101

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR006	TMPR005	TMPR004	ITPR0	TMPR003	TMPR002	IICAPR00	TMPR003H

アドレス：FFFEEH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR106	TMPR105	TMPR104	ITPR1	TMPR103	TMPR102	IICAPR10	TMPR103H

アドレス：FFFE BH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	1	1	1	1	1	CMPPR01	CMPPR00	TMPR007

アドレス：FFFE FH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	1	1	1	1	1	CMPPR11	CMPPR10	TMPR107

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル 0 を指定 (高優先順位)
0	1	レベル 1 を指定
1	0	レベル 2 を指定
1	1	レベル 3 を指定 (低優先順位)

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表 14-2 を参照してください。また、搭載していないビットには必ず初期値を設定してください。

14.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP7 の有効エッジを設定するレジスタです。

EGP0, EGN0 レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 14-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGP0n	EGN0n	INTPn 端子の有効エッジの選択 (n=0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

EGP0 ビットと EGN0 ビットに対応するポートを表 14-3 に示します。

表 14-3 EGP0 ビットと EGN0 ビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	10, 16, 20 ピン	8 ピン
EGP00	EGN00	INTP0	○	○
EGP01	EGN01	INTP1	○	○
EGP02	EGN02	INTP2	○	○
EGP03	EGN03	INTP3	○	○
EGP04	EGN04	INTP4	○	○
EGP05	EGN05	INTP5	○	○
EGP06	EGN06	INTP6	○	—
EGP07	EGN07	INTP7	○	—

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出して INTPn 割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0) にしてからポート・モード・レジスタ (PMxx) を 0 に設定してください。

備考1. エッジ検出ポートに関しては、「2.1 ポート機能」を参照してください。

備考2. n=0-7

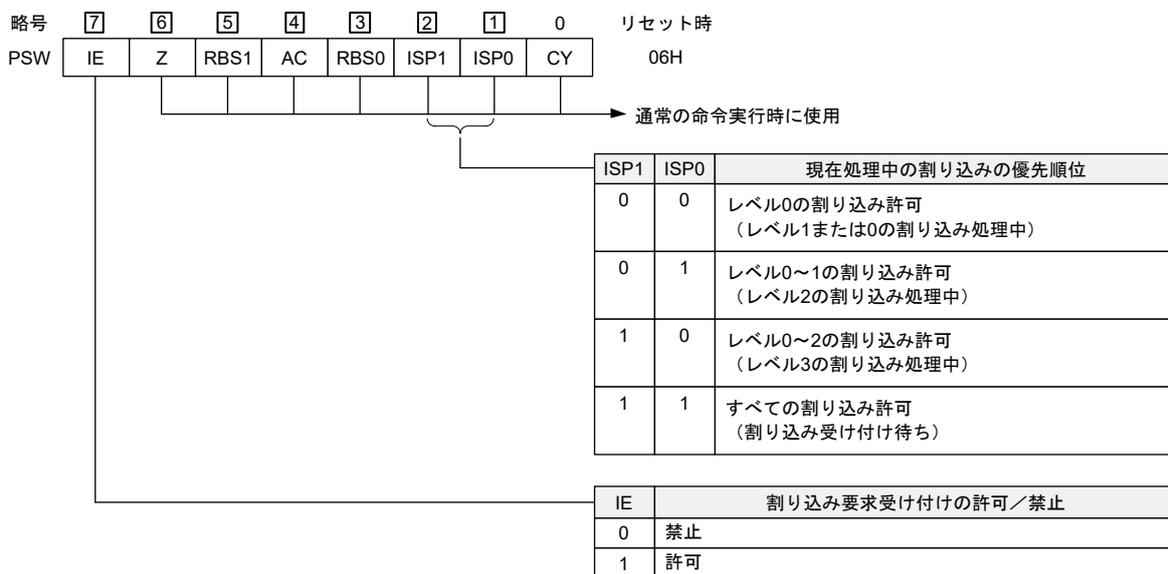
14.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP0, ISP1 フラグがマッピングされています。

8 ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK 命令実行時には、PSW の内容は自動的にスタックに退避され、IE フラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が 00 以外は、“-1” された値が ISP0, ISP1 フラグに転送されます。PUSH PSW 命令によっても PSW の内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、PSW は 06H となります。

図 14-6 プログラム・ステータス・ワードの構成



14.4 割り込み処理動作

14.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IE フラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表 14-4 のようになります。割り込み要求の受け付けタイミングについては、図 14-8、図 14-9 を参照してください。

表 14-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^{注1}
処理時間	9 クロック	16 クロック

注1. 内部 RAM 領域からの命令実行時は除きます。

備考 1 クロック : $1/f_{CLK}$ (f_{CLK} : CPU クロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

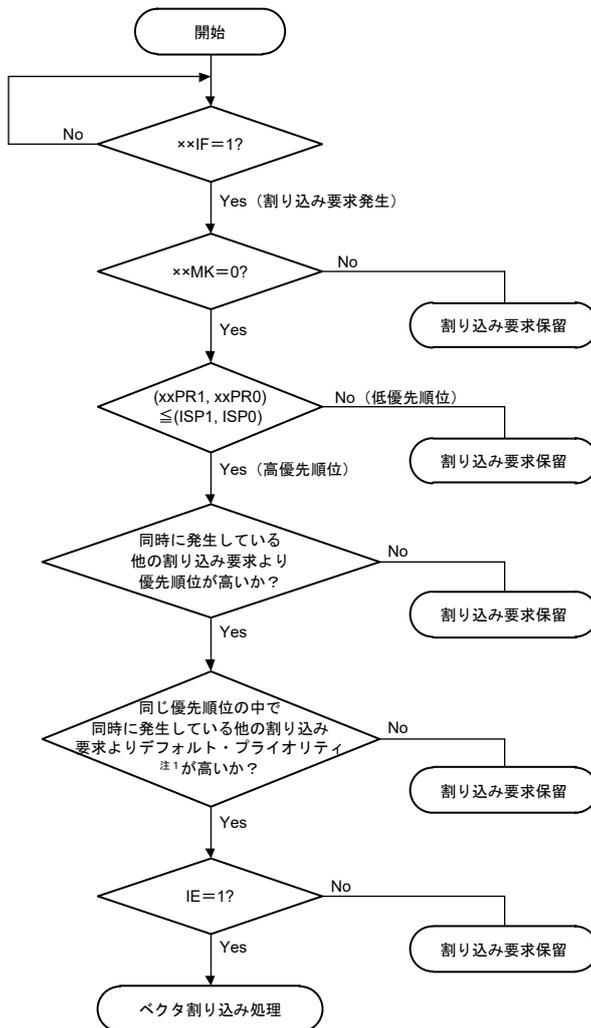
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図 14-7 に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IE フラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容を ISP1, ISP0 フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータを PC へロードし、分岐します。

RETI 命令によって、割り込みから復帰できます。

図 14-7 割り込み要求受け付け処理アルゴリズム



- xxIF : 割り込み要求フラグ
- xxMK : 割り込みマスク・フラグ
- xxPR0 : 優先順位指定フラグ 0
- xxPR1 : 優先順位指定フラグ 1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1=許可、0=禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図 14-6 参照)

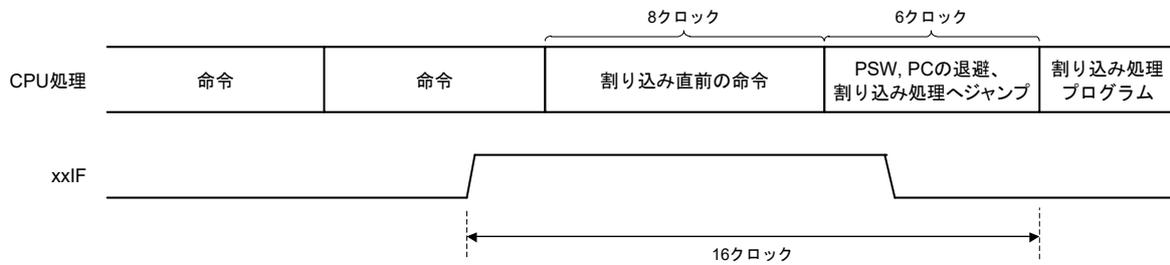
注1. デフォルト・プライオリティは、「表 14-1 割り込み要因一覧」を参照してください。

図 14-8 割り込み要求の受け付けタイミング（最小時間）



備考 1 クロック : $1/f_{CLK}$ (f_{CLK} : CPU クロック)

図 14-9 割り込み要求の受け付けタイミング（最大時間）



備考 1 クロック : $1/f_{CLK}$ (f_{CLK} : CPU クロック)

14.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求は BRK 命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IE フラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容を PC にロードして分岐します。

RETB 命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰に RETI 命令は使用できません。

14.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE=1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE=0) になります。したがって、多重割り込みを許可するには、割り込み処理中に EI 命令によって IE フラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の 2 つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル 0 の割り込み中に IE フラグをセット (1) した場合には、レベル 0 の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも 1 命令実行後に受け付けられます。

表 14-5 に多重割り込み可能な割り込み要求の関係を、図 14-10 に多重割り込みの例を示します。

表 14-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル 0 (PR=00)		優先順位レベル 1 (PR=01)		優先順位レベル 2 (PR=10)		優先順位レベル 3 (PR=11)		
		IE=1	IE=0	IE=1	IE=0	IE=1	IE=0	IE=1	IE=0	
マスカブル割り込み	ISP1=0 ISP0=0	○	×	×	×	×	×	×	×	○
	ISP1=0 ISP0=1	○	×	○	×	×	×	×	×	○
	ISP1=1 ISP0=0	○	×	○	×	○	×	×	×	○
	ISP1=1 ISP0=1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

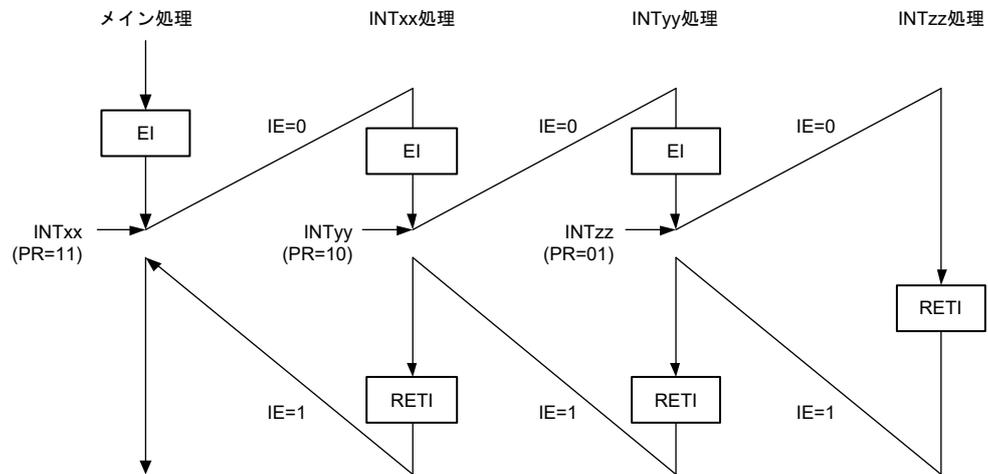
備考2. ×：多重割り込み不可能。

備考3. ISP0, ISP1, IE は PSW に含まれるフラグです。
 ISP1=0, ISP0=0：レベル 1 またはレベル 0 の割り込み処理中
 ISP1=0, ISP0=1：レベル 2 の割り込み処理中
 ISP1=1, ISP0=0：レベル 3 の割り込み処理中
 ISP1=1, ISP0=1：割り込み受け付け待ち（すべての割り込み許可）
 IE=0：割り込み要求受け付け禁止
 IE=1：割り込み要求受け付け許可

備考4. PR は PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H レジスタに含まれるフラグです。
 PR=00：xxPR1x=0, xxPR0x=0 でレベル 0 を指定（高優先順位）
 PR=01：xxPR1x=0, xxPR0x=1 でレベル 1 を指定
 PR=10：xxPR1x=1, xxPR0x=0 でレベル 2 を指定
 PR=11：xxPR1x=1, xxPR0x=1 でレベル 3 を指定（低優先順位）

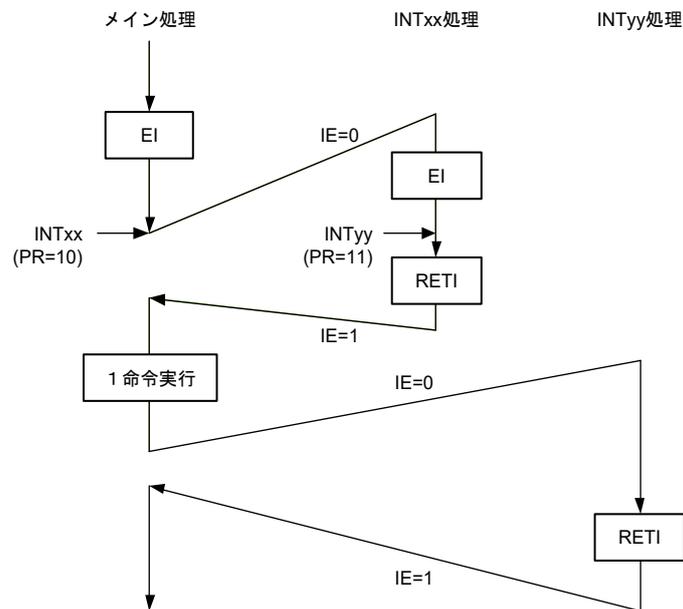
図 14-10 多重割り込みの例 (1/2)

例 1) 多重割り込みが 2 回発生する例



割り込み INTxx 処理中に、2 つの割り込み要求 INTyy, INTzz が受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ず EI 命令を発行し、割り込み要求受け付け許可状態になっている。

例 2) 優先順位制御により、多重割り込みが発生しない例



割り込み INTxx 処理中に発生した割り込み要求 INTyy は、割り込みの優先順位が INTxx より低いため受け付けられず、多重割り込みは発生しない。INTyy 要求は保留され、メイン処理 1 命令実行後に受け付けられる。

PR=00 : xxPR1x=0, xxPR0x=0 でレベル 0 を指定 (高優先順位)

PR=01 : xxPR1x=0, xxPR0x=1 でレベル 1 を指定

PR=10 : xxPR1x=1, xxPR0x=0 でレベル 2 を指定

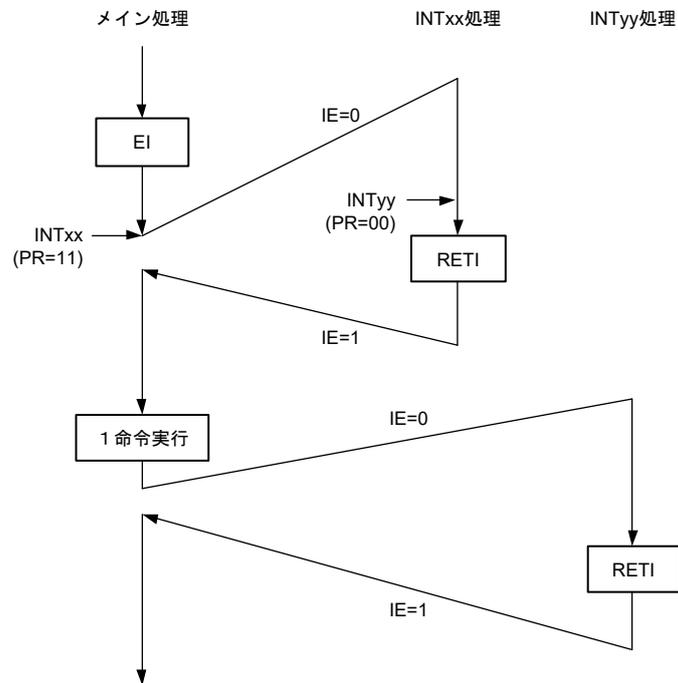
PR=11 : xxPR1x=1, xxPR0x=1 でレベル 3 を指定 (低優先順位)

IE=0 : 割り込み要求受け付け禁止

IE=1 : 割り込み要求受け付け許可

図 14-10 多重割り込みの例 (2/2)

例 3) 割り込みが許可されていないため、多重割り込みが発生しない例



割り込み INTxx 処理では割り込みが許可されていない (EI 命令が発行されていない) ので、割り込み要求 INTyy は受け付けられず、多重割り込みは発生しない。INTyy 要求は保留され、メイン処理 1 命令実行後に受け付けられる。

PR=00 : xxPR1x=0, xxPR0x=0 でレベル 0 を指定 (高優先順位)

PR=01 : xxPR1x=0, xxPR0x=1 でレベル 1 を指定

PR=10 : xxPR1x=1, xxPR0x=0 でレベル 2 を指定

PR=11 : xxPR1x=1, xxPR0x=1 でレベル 3 を指定 (低優先順位)

IE=0 : 割り込み要求受け付け禁止

IE=1 : 割り込み要求受け付け許可

14.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H レジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図 14-11 に示します。

図 14-11 割り込み要求の保留



備考 命令 N : 割り込み要求の保留命令
命令 M : 割り込み要求の保留命令以外の命令

第15章 スタンバイ機能

15.1 概要

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の 2 種類のモードがあります。

(1) HALT モード

HALT 命令の実行により、HALT モードとなります。HALT モードは、CPU の動作クロックを停止させるモードです。HALT モード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータが動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOP モードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOP モード

STOP 命令の実行により、STOP モードとなります。STOP モードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPU の動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1 クロックの場合、STOP モード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときには HALT モードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出カラッチ、出力バッファの状態も保持されます。

- 注意 1.** STOP モードに移行するとき、X1 発振か EXCLK 入力で動作する周辺ハードウェアの動作は必ず停止させたのち、STOP 命令を実行してください^{注1}。
- 注意 2.** A/D コンバータ部の動作電流を低減させるためには、A/D コンバータ・モード・レジスタ 0 (ADM0) のビット 7 (ADCS) とビット 0 (ADCE) を 0 にクリアし、A/D 変換動作を停止させてから、STOP 命令を実行してください。
- 注意 3.** 低速オンチップ・オシレータを HALT, STOP モード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は「第 18 章 オプション・バイト」を参照してください。

注1. 16 ピン, 20 ピン製品のみ

15.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

各レジスタについての詳細は、「第 5 章 クロック発生回路」を参照してください。

HALT/STOP モード時に低速オンチップ・オシレータの動作許可／停止を制御するレジスタ

- 動作スピード・モード制御レジスタ (OSMC)

STOP モード解除時、X1 クロックの発振安定時間を制御するレジスタ

- 発振安定時間カウンタ状態レジスタ (OSTC) ^{注1}
- 発振安定時間選択レジスタ (OSTS) ^{注1}

注1. 16 ピン, 20 ピン製品のみ

15.3 スタンバイ機能の動作

15.3.1 HALT モード

(1) HALT モード

HALT モードは、HALT 命令の実行により設定されます。

設定前の CPU クロックは、高速システム・クロック (16, 20 ピン製品のみ) と高速オンチップ・オシレータ・クロックのいずれの場合でも設定可能です。次に HALT モード時の動作状態を示します。

注意 割り込みマスク・フラグが 0 (割り込み処理許可) でかつ割り込み要求フラグが 1 (割り込み要求信号が発生) の場合、HALT モードの解除に割り込み要求信号が用いられるため、その状況下で HALT 命令を実行しても、HALT モードに移行しません。

表 15-1 HALT モード時の動作状態

HALT モードの設定		メイン・システム・クロックで CPU 動作中の HALT 命令実行時			
項目			高速オンチップ・オシレータ・クロック (f_{IH}) で CPU 動作時	X1 クロック (f_X) で CPU 動作時	外部メイン・システム・クロック (f_{EX}) で CPU 動作時
	システム・クロック		CPU へのクロック供給は停止		
メイン・システム・クロック	f_{IH}	動作継続 (停止不可)	動作禁止		
	f_X	動作禁止	動作継続 (停止不可)		動作不可
	f_{EX}		動作不可		動作継続 (停止不可)
f_{IL}	オプション・バイト (000C0H) のビット 0 (WDSTBYON)、ビット 4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) にて設定 <ul style="list-style-type: none"> • WUTMMCK0=1 : 発振 • WUTMMCK0=0 かつ WDTON=0 : 停止 • WUTMMCK0=0, WDTON=1 かつ WDSTBYON=1 のとき : 発振 • WUTMMCK0=0, WDTON=1 かつ WDSTBYON=0 のとき : 停止 				
CPU	動作停止				
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
不正メモリ・アクセス検出機能					
ポート (ラッチ)	HALT モード設定前の状態を保持				
タイマ・アレイ・ユニット	動作可能				
12 ビット・インターバル・タイマ					
ウォッチドッグ・タイマ					
	オプション・バイト (000C0H) のビット 0 (WDSTBYON) にて設定 WDSTBYON=0 : 動作停止 WDSTBYON=1 : 動作継続				
クロック出力/ブザー出力	動作可能				
A/D コンバータ					
コンパレータ					
シリアル・アレイ・ユニット (SAU)					
シリアル・インタフェース (IICA)					
セレクトブル・パワーオン・リセット機能					
外部割り込み					

備考 動作停止 : HALT モード移行時に自動的に動作停止
 動作禁止 : HALT モード移行前に動作を停止させる
 f_{IH} : 高速オンチップ・オシレータ・クロック
 f_{IL} : 低速オンチップ・オシレータ・クロック
 f_X : X1 クロック^{注1}
 f_{EX} : 外部メイン・システム・クロック^{注1}

注1. 16 ピン, 20 ピン製品のみ

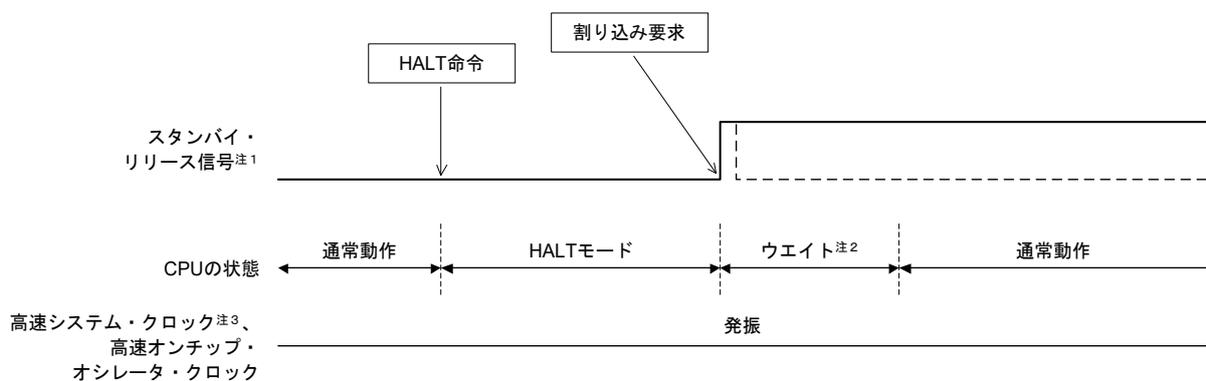
(2) HALT モードの解除

HALT モードは、次の 2 種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALT モードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図 15-1 割り込み要求発生による HALT モードの解除



注1. スタンバイ・リリース信号の詳細は、「[図 14-1 割り込み機能の基本構成](#)」を参照してください。

注2. HALT モード解除のウェイト時間

- ベクタ割り込み処理を行う場合：24～25 クロック
- ベクタ割り込み処理を行わない場合：18～19 クロック

注3. 16 ピン, 20 ピン製品のみ

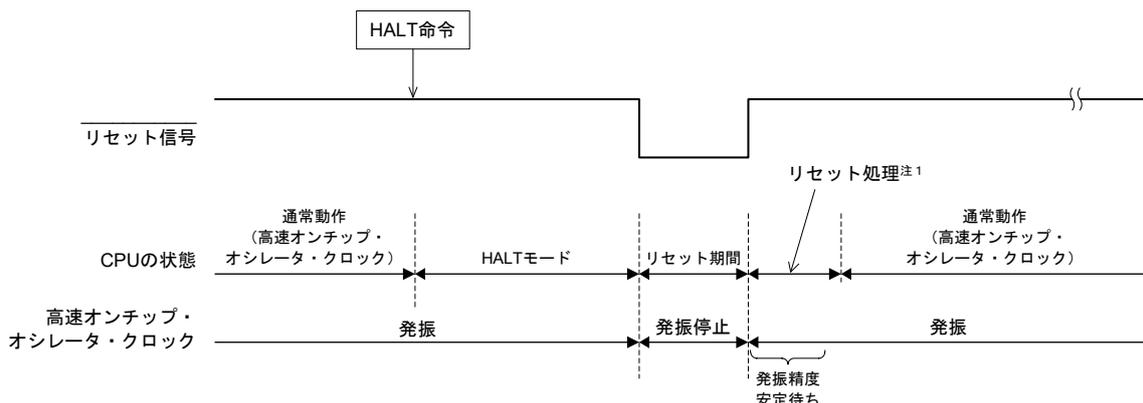
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による HALT モードの解除

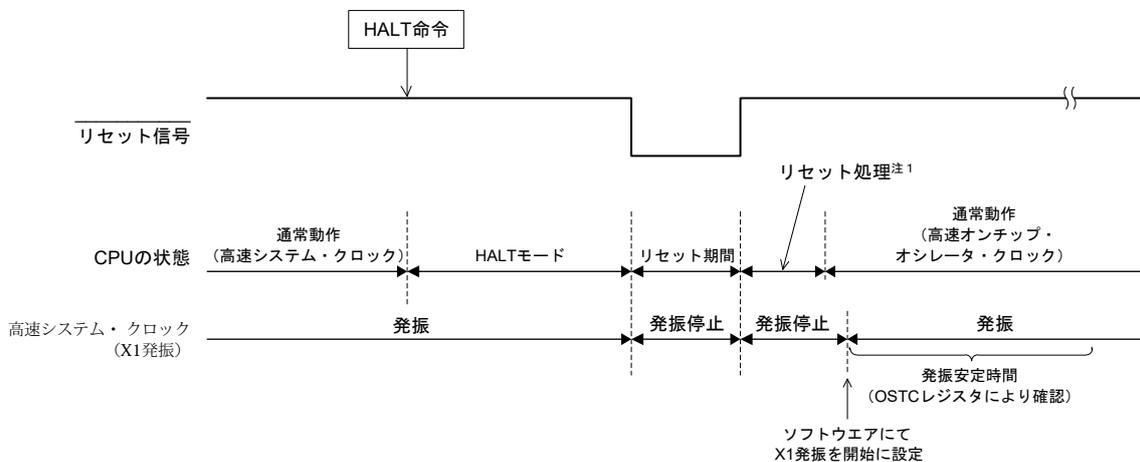
リセット信号の発生により、HALT モードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図 15-2 リセット信号の発生による HALT モードの解除

(1) CPU クロックが高速オンチップ・オシレータ・クロックの場合



(2) CPU クロックが高速システム・クロックの場合 (16, 20 ピン製品のみ)



注1. リセット処理時間は、「第 16 章 リセット機能」を参照してください。なお、SPOR 回路によるリセット処理時間は、「第 17 章 セレクタブル・パワーオン・リセット回路」を参照してください。

15.3.2 STOP モード

(1) STOP モードの設定および動作状態

STOP モードは、STOP 命令の実行により設定されます。

注意 割り込みマスク・フラグが 0 (割り込み処理許可) で且つ割り込み要求フラグが 1 (割り込み要求信号が発生) の場合、STOP モードの解除に割り込み要求信号が用いられるため、その状況で STOP 命令を実行すると、いったん STOP モードに入ってから解除されます。したがって、STOP 命令実行後、STOP モード解除時間を経過したあと動作モードに戻ります。

次に STOP モード時の動作状態を示します。

表 15-2 STOP モード時の動作状態 (1/2)

STOP モードの設定 項目		CPU 動作中の STOP 命令実行時		
		高速オンチップ・オシレータ・クロック (f_{IH}) で CPU 動作時	X1 クロック (f_X) で CPU 動作時	外部メイン・システム・クロック (f_{EX}) で CPU 動作時
システム・クロック		CPU へのクロック供給は停止		
メイン・システム・クロック	f_{IH}	停止		
	f_X			
	f_{EX}			
f_{IL}	オプション・バイト (000C0H) のビット 0 (WDSTBYON)、ビット 4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) にて設定 <ul style="list-style-type: none"> WUTMMCK0=1 : 発振 WUTMMCK0=0 かつ WDTON=0 : 停止 WUTMMCK0=0, WDTON=1 かつ WDSTBYON=1 のとき : 発振 WUTMMCK0=0, WDTON=1 かつ WDSTBYON=0 のとき : 停止 			
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
不正メモリ・アクセス検出機能				
ポート (ラッチ)		STOP モード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
12 ビット・インターバル・タイマ		動作可能		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット 0 (WDSTBYON) にて設定 WDSTBYON=0 : 動作停止 WDSTBYON=1 : 動作継続		
クロック出力/ブザー出力		動作禁止		
A/D コンバータ				
コンパレータ		動作可能 (デジタル・フィルタ未使用時のみ)		
シリアル・アレイ・ユニット (SAU)		動作禁止		

表 15-2 STOP モード時の動作状態 (2/2)

項目	STOP モードの設定	CPU 動作中の STOP 命令実行時		
		高速オンチップ・オシレータ・クロック (f_{IH}) で CPU 動作時	X1 クロック (f_X) で CPU 動作時	外部メイン・システム・クロック (f_{EX}) で CPU 動作時
シリアル・アレイ・ユニット (IICA)	アドレス一致によるウエイク・アップ動作可能			
セレクトابل・パワーオン・リセット機能	動作可能			
外部割り込み				

備考 動作停止 : STOP モード移行時に自動的に動作停止

動作禁止 : STOP モード移行前に動作を停止させる

f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IL} : 低速オンチップ・オシレータ・クロック

f_X : X1 クロック^{注1}

f_{EX} : 外部メイン・システム・クロック^{注1}

注1. 16 ピン, 20 ピン製品のみ

(2) STOP モードの解除

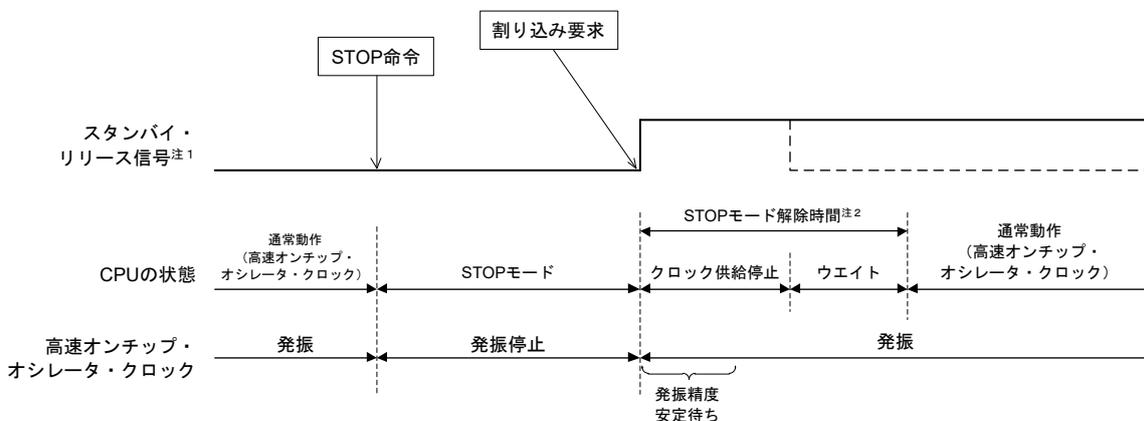
STOP モードは、次の 2 種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による STOP モードの解除

マスクされていない割り込み要求が発生すると、STOP モードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図 15-3 割り込み要求発生による STOP モードの解除 (1/3)

(1) CPU クロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号の詳細は、「図 14-1 割り込み機能の基本構成」を参照してください。

注2. STOP モード解除時間
 クロック供給停止 : 27µs (TYP.)

[ウエイト]

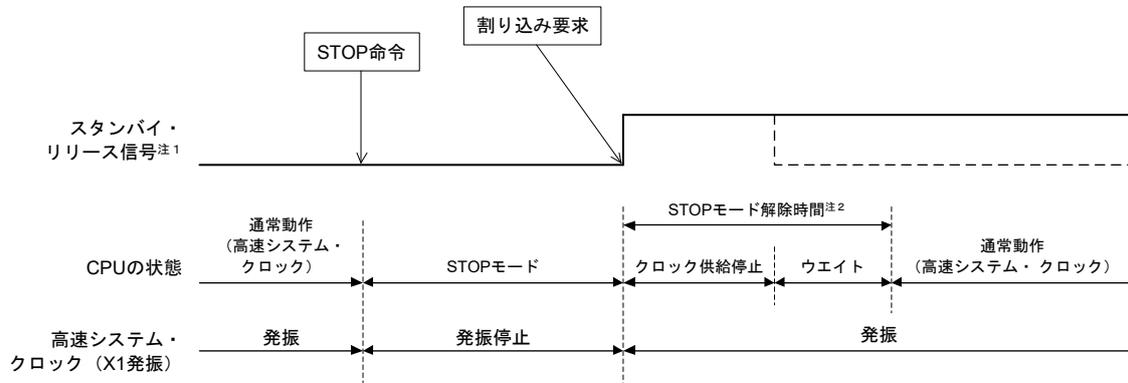
- ベクタ割り込み処理を行う場合 : 8 クロック
- ベクタ割り込み処理を行わない場合 : 2 クロック

備考1. クロック供給停止時間は、温度条件と STOP モード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図 15-3 割り込み要求発生による STOP モードの解除 (2/3)

(2) CPU クロックが高速システム・クロック (X1 発振) の場合 (16, 20 ピン製品のみ)



注1. スタンバイ・リリース信号の詳細は、「図 14-1 割り込み機能の基本構成」を参照してください。

注2. STOP モード解除時間：27 μ s (TYP.) と発振安定時間 (OSTS で設定) の長い方

[ウェイト]

- ベクタ割り込み処理を行う場合：10~11 クロック
- ベクタ割り込み処理を行わない場合：4~5 クロック

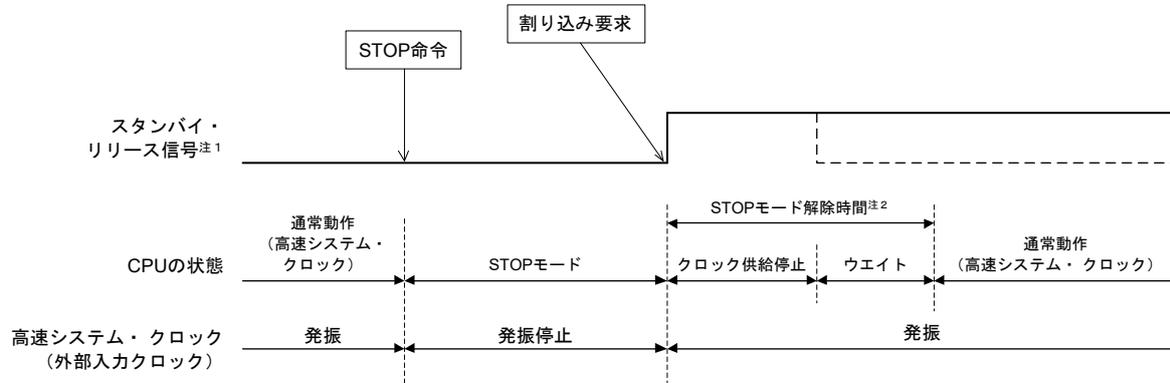
注意 高速システム・クロック (X1 発振) で CPU 動作していて、STOP モード解除後の発振安定時間を短縮したい場合は、STOP 命令実行前に、CPU クロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件と STOP モード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図 15-3 割り込み要求発生による STOP モードの解除 (3/3)

(3) CPU クロックが高速システム・クロック (外部クロック入力) の場合 (16, 20 ピン製品のみ)



注1. スタンバイ・リリース信号の詳細は、「図 14-1 割り込み機能の基本構成」を参照してください。

注2. STOP モード解除時間 : 27 μ s

[ウェイト]

- ベクタ割り込み処理を行う場合 : 8 クロック
- ベクタ割り込み処理を行わない場合 : 2 クロック

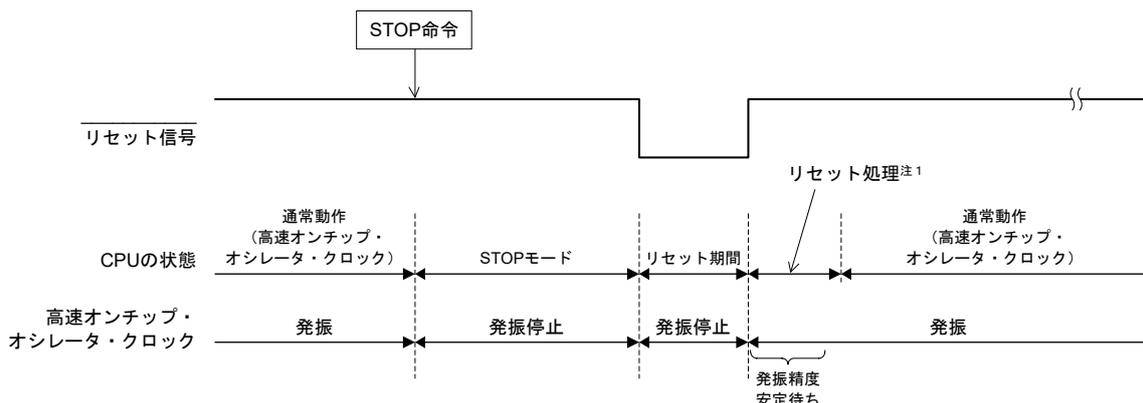
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による STOP モードの解除

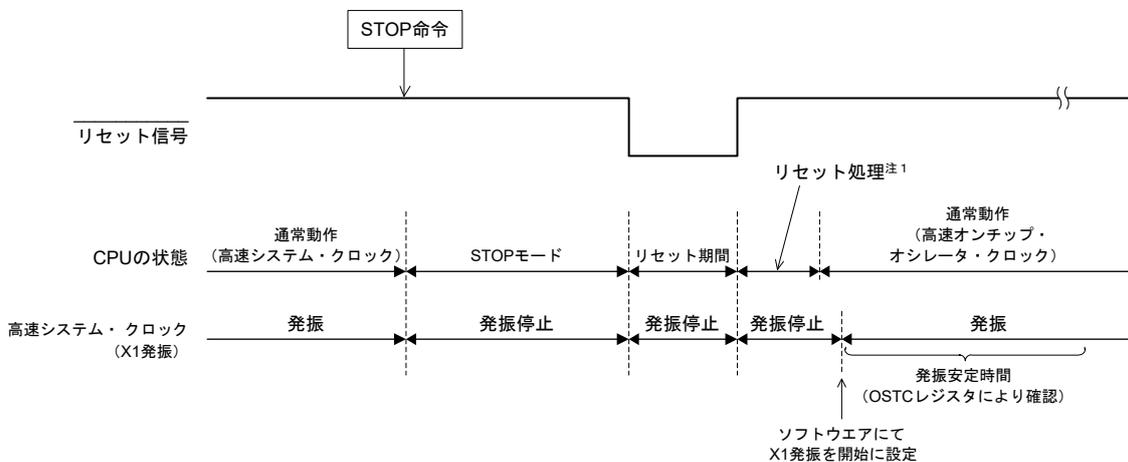
リセット信号の発生により、STOP モードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図 15-4 リセット信号の発生による STOP モードの解除

(1) CPU クロックが高速オンチップ・オシレータ・クロックの場合



(2) CPU クロックが高速システム・クロックの場合 (16, 20 ピン製品のみ)



注1. リセット処理時間は、「第 16 章 リセット機能」を参照してください。なお、SPOR 回路によるリセット処理時間は、「第 17 章 セレクタブル・パワーオン・リセット回路」を参照してください。

第16章 リセット機能

リセット信号を発生させる要因には、次の 6 種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) セレクタブル・パワーオン・リセット回路 (SPOR) の電源電圧と検出電圧の比較による内部リセット
- (4) 不正命令の実行による内部リセット^{注1}
- (5) データ保持電源電圧による内部リセット
- (6) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

注1. FFH の命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意 1. 外部リセットを行う場合、ユーザ・オプション・バイト (000C1H) を PORTSELB=1 に設定して、P125 を $\overline{\text{RESET}}$ 端子として選択し、10 μ s 以上のロウ・レベルを入力してください。

(電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、「23.4 AC 特性」および「24.4 AC 特性」に示す動作電圧範囲内の期間で 10 μ s 以上ロウ・レベルを継続した後、ハイ・レベルを入力してください。)

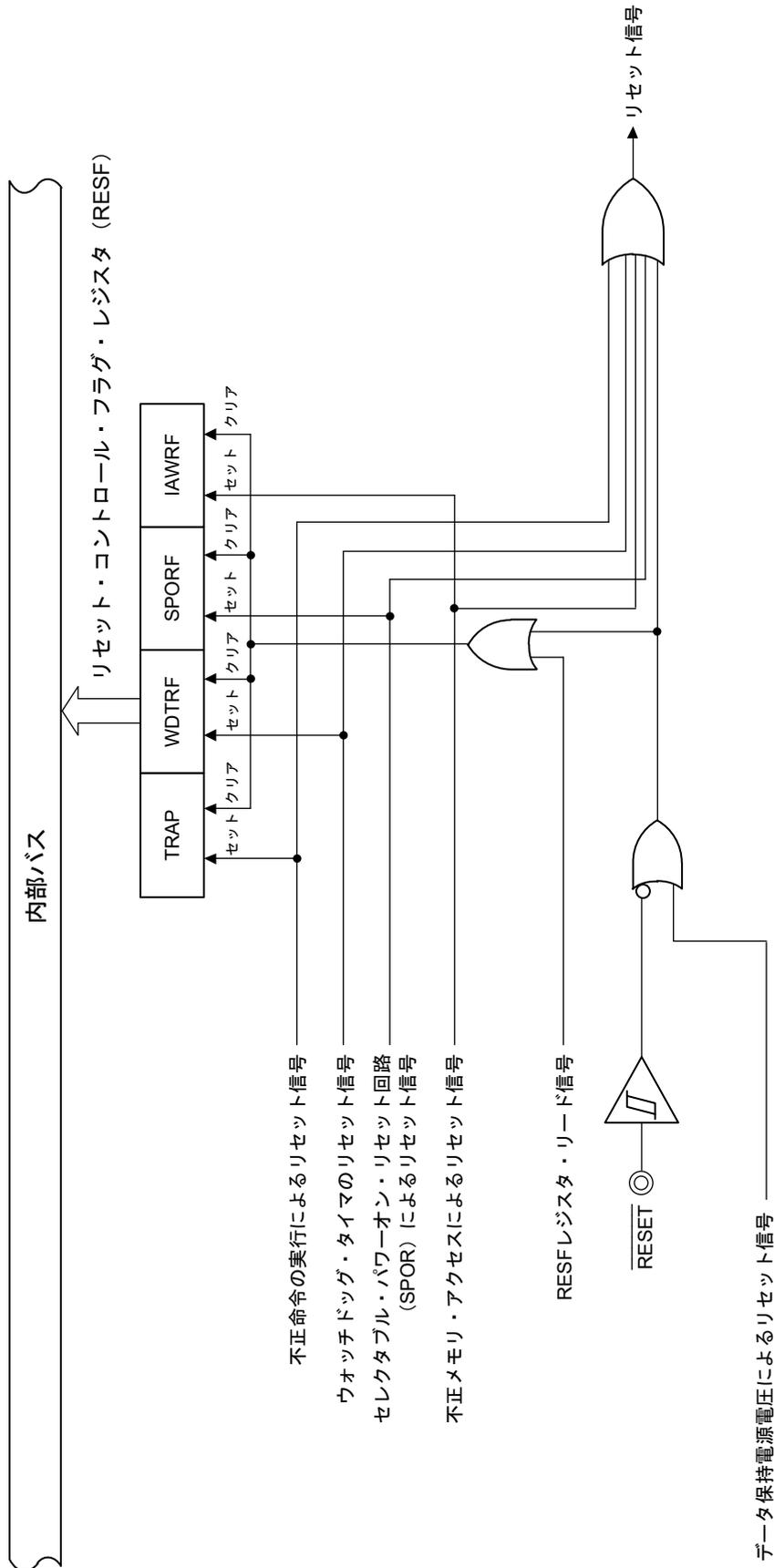
注意 2. リセット信号発生中では、X1 クロック^{注2}、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック^{注2}の入力は無効となります。

注意 3. リセットがかかると各 SFR と 2nd SFR は初期化されるため、ポート端子は次の状態になります。

- P40
外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
- P125
外部リセットによるリセット期間中はロウ・レベル ($\overline{\text{RESET}}$ 端子にロウ・レベル入力)。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
- P40, P125 以外のポート
リセット期間中およびリセット受け付け後はハイ・インピーダンス。

注2. 16 ピンと 20 ピン製品のみ

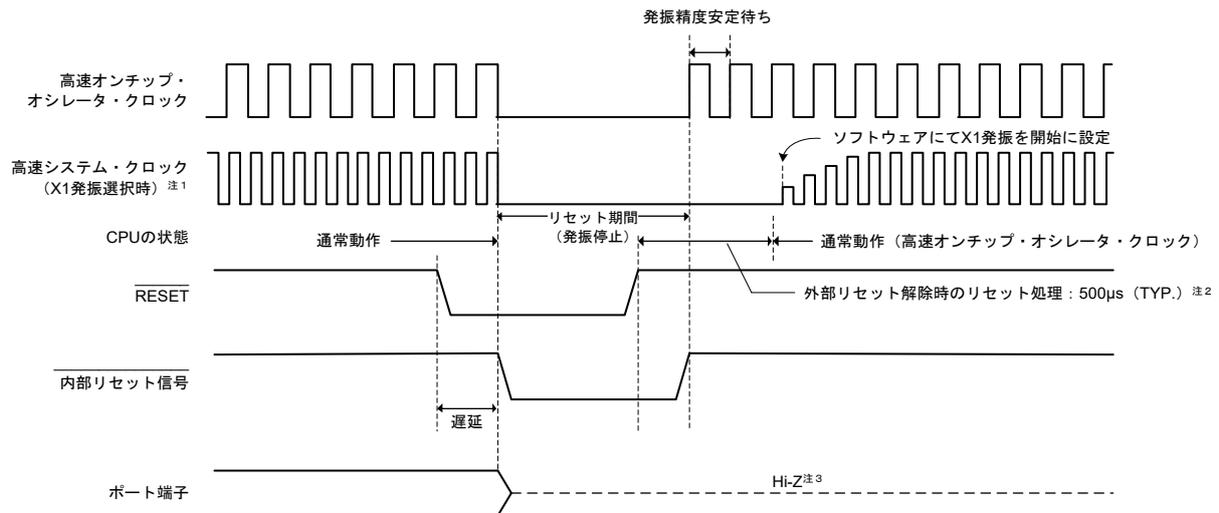
図 16-1 リセット機能のブロック図



16.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図 16-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



注1. 16ピンと20ピン製品のみ

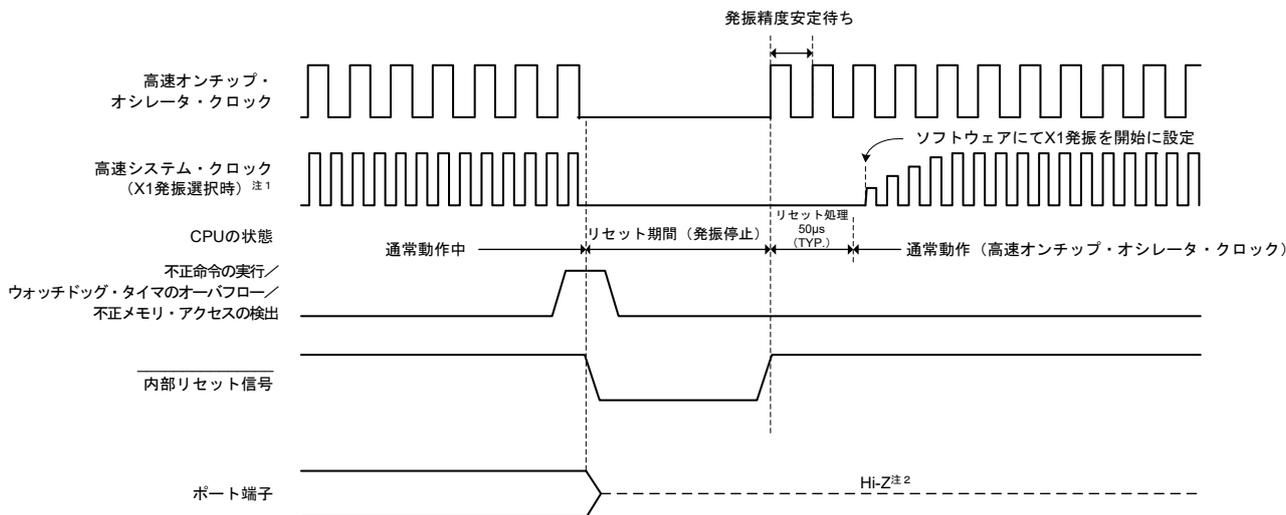
注2. 電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に SPOR リセット処理時間 3.01ms (MAX.) が掛かります。

注3. P40 端子は次の状態になります。

- 外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス
- リセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図 16-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／不正メモリ・アクセスの検出によるリセット・タイミング



注1. 16ピンと20ピン製品のみ

注2. P40, P125 端子は次の状態になります。

- リセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）

備考 セレクタブル・パワーオン・リセット（SPOR）回路の電圧検出によるリセット・タイミングは、「第 17 章 セレクタブル・パワーオン・リセット回路」を参照してください。

16.2 リセット期間中の動作状態

表 16-1 に、リセット期間中の動作状態、表 16-2 に、リセット受け付け後の各ハードウェアの状態を示します。

表 16-1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPU へのクロック供給は停止	
メイン・システム・クロック	f_{IH}	動作停止
	f_X 注1	動作停止 (X1, X2 端子は入力ポート・モード)
	f_{EX} 注1	クロックの入力無効 (端子は入力ポート・モード)
f_{IL}	動作停止	
CPU		
コード・フラッシュ・メモリ	動作停止	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止	
ポート (ラッチ)	ハイ・インピーダンス注2	
タイマ・アレイ・ユニット	動作停止	
12 ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/D コンバータ		
コンパレータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
セレクトラブル・パワーオン・リセット機能	検出動作可能	
外部割り込み	動作停止	
不正メモリ・アクセス検出機能		

注1. 16 ピンと 20 ピン製品のみ

注2. P40, P125 の端子の状態は、次のとおりです。

- P40
外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)。
- P125
外部リセットによるリセット期間中はロウ・レベル (RESET 端子にロウ・レベル入力)。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)。

備考 f_{IH} : 高速オンチップ・オシレータ・クロック
 f_X : X1 クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{IL} : 低速オンチップ・オシレータ・クロック

表 16-2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (00000H, 00001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PC の内容のみ不安定となります。その他は、リセット後の状態と変わりありません。

備考 特殊機能レジスタ (SFR : Special Function Register) のリセット受け付け後の状態は、「3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域」、「3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域」を参照してください。

16.3 リセット要因を確認するレジスタ

16.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8 ビット・メモリ操作命令で、読み出すことができます。

外部リセットやデータ保持下限電圧によるリセットおよび RESF レジスタのデータを読み出すことにより、TRAP, WDTRF, IAWRF, SPORF フラグはクリアされます。

図 16-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス: FFFA8H リセット時: 不定^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	0	IAWRF	SPORF
TRAP	不正命令の実行による内部リセット要求 ^{注2}							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							
SPORF	セレクトابل・パワーオン・リセット (SPOR) 回路による内部リセット要求							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。

注2. FFH の命令コードを実行したときに発生します。

不正命令の実行によるリセットはオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意 1 ビット・メモリ操作命令でデータを読み出さないでください。

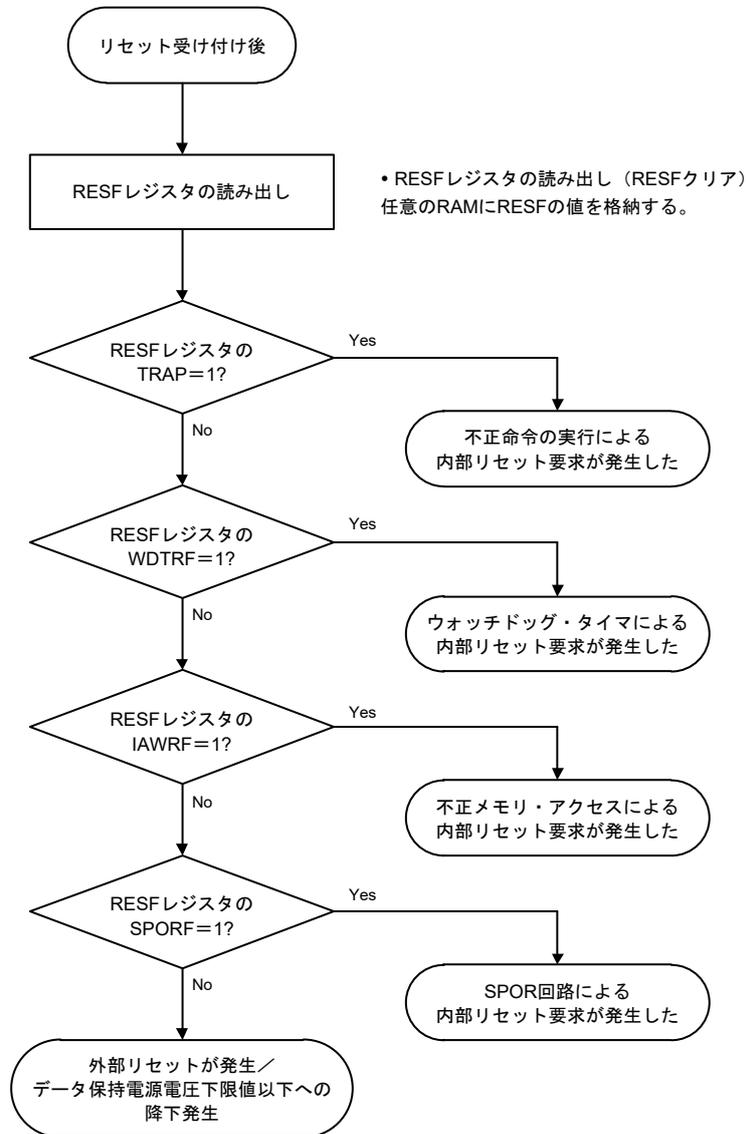
リセット要求時の RESF レジスタの状態を表 16-3 に示します。

表 16-3 リセット要求時の RESF レジスタの状態

リセット要因 フラグ	RESET入力	不正命令の 実行による リセット	WDTによる リセット	不正メモリ・ アクセスによる リセット	SPORによる リセット	データ保持 下限電圧による リセット
TRAP	クリア (0)	セット (1)	保持	保持	保持	クリア (0)
WDTRF		保持	セット (1)	保持	保持	
IAWRF		保持	保持	セット (1)	保持	
SPORF		保持	保持	保持	セット (1)	

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。
リセット要因の確認手順例を図 16-5 に示します。

図 16-5 リセット要因の確認手順例



※上記フローは確認手順の一例です。

第17章 セレクタブル・パワーオン・リセット回路

17.1 セレクタブル・パワーオン・リセット回路の機能

セレクタブル・パワーオン・リセット（SPOR）回路は、次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。
電源電圧（ V_{DD} ）が検出電圧（ V_{SPOR} ）を超えた場合（ $V_{DD} \geq V_{SPOR}$ ）にリセットを解除します。
- 電源電圧（ V_{DD} ）と検出電圧（ V_{SPDR} ）を比較し、 $V_{DD} < V_{SPDR}$ になったとき内部リセット信号を発生します。
- 電源電圧の検出電圧（ V_{SPOR} , V_{SPDR} ）は、オプション・バイト（000C1H）にて検出レベルを4段階より選択できます（「18.2 ユーザ・オプション・バイトのフォーマット」参照）。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（SPORF）がセット（1）されます。RESF レジスタについての詳細は、「第 16 章 リセット機能」を参照してください。

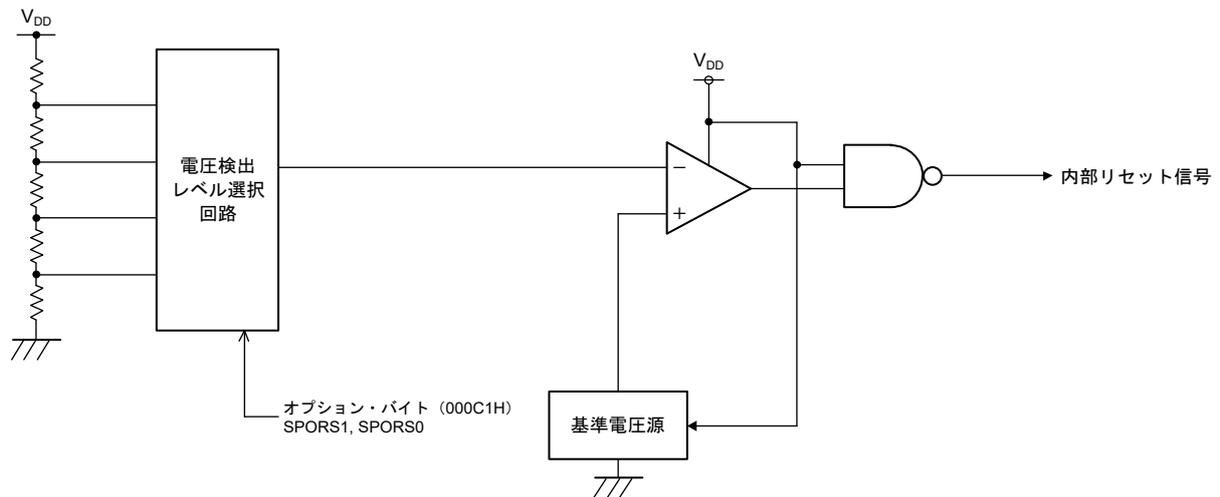
注意 リセット・コントロール・フラグ・レジスタ（RESF）の各フラグは、データ保持下限電圧まで保持されません。

備考 V_{SPOR} : SPOR 電源立ち上がり検出電圧
 V_{SPDR} : SPOR 電源立ち下がり検出電圧
詳細は、「23.6.4 SPOR 回路特性」および「24.6.4 SPOR 回路特性」を参照してください。

17.2 セレクタブル・パワーオン・リセット回路の構成

セレクタブル・パワーオン・リセット回路のブロック図を図 17-1 に示します。

図 17-1 セレクタブル・パワーオン・リセット回路のブロック図



17.3 セレクタブル・パワーオン・リセット回路の動作

オプション・バイト 000C1H で電圧検出レベルを設定しておきます。

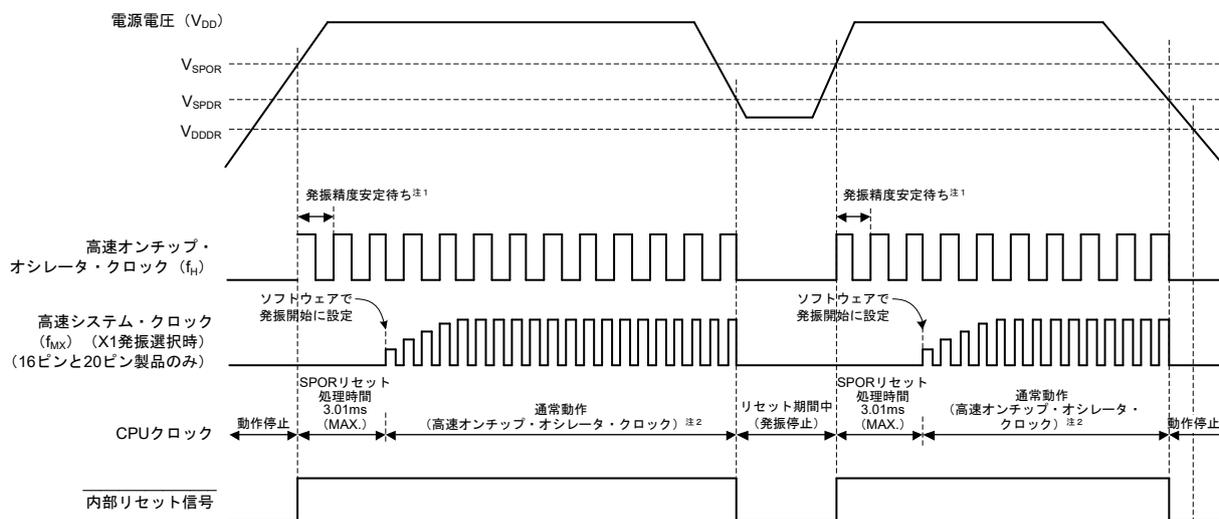
電源投入時に内部リセット信号を発生します。

電源電圧 (V_{DD}) が電圧検出レベル (V_{SPOR}) を超えるまで内部リセット状態を保ちます。電源電圧 (V_{DD}) が電圧検出レベル (V_{SPOR}) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (V_{DD}) が電圧検出レベル (V_{SPDR}) を下回ると内部リセットを発生します。

図 17-2 に、セレクタブル・パワーオン・リセット回路の内部リセット信号発生タイミングを示します。

図 17-2 内部リセット信号発生のタイミング



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です（16ピン、20ピン製品のみ）。

X1 クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから切り替えてください。

備考 V_{SPOR} : SPOR 電源立ち上がり検出電圧

V_{SPDR} : SPOR 電源立ち下がり検出電圧

V_{DDDR} : データ保持電源電圧

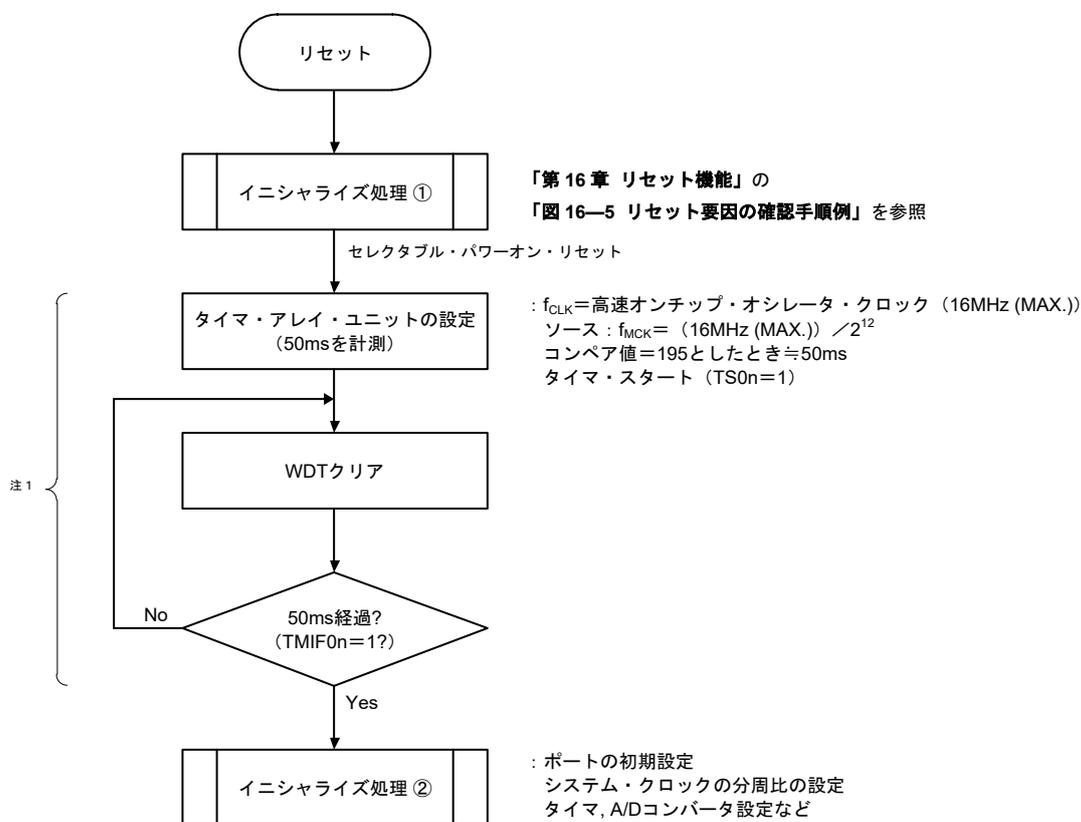
17.4 セレクタブル・パワーオン・リセット回路の注意事項

電源電圧 (V_{DD}) が SPOR 検出電圧 (V_{SPOR} , V_{SPDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用して、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図 17-3 電圧検出レベル付近での電源電圧変動が 50ms 以下の場合のソフト処理例



注1. この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 n はチャンネル番号です。8 ピンと 10 ピン製品の場合は $n=0, 1$ です。16 ピン製品の場合は $n=0-3, 5, 7$ です。20 ピン製品の場合は $n=0-7$ です。

第18章 オプション・バイト

18.1 オプション・バイトの機能

フラッシュ・メモリの 000C0H-000C3H は、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

18.1.1 ユーザ・オプション・バイト (000C0H-000C2H)

(1) 000C0H

- ウォッチドッグ・タイマの動作
 - カウンタの動作許可/停止
 - HALT/STOP モード時の動作停止/可能
- ウォッチドッグ・タイマの時間設定
 - ウォッチドッグ・タイマのオーバフロー時間の設定
 - ウォッチドッグ・タイマのインターバル割り込みの設定

(2) 000C1H

- SPOR 検出レベル (V_{SPOR}) の設定
- P125/ \overline{RESET} /INTP1/(VCOUT0)/(VCOUT1)/(SI01)^{注1}端子の制御
 - P125/INTP1/(VCOUT0)/(VCOUT1)/(SI01)^{注1}かRESETかを選択

注1. 20ピン製品の場合

(3) 000C2H

- 高速オンチップ・オシレータの周波数設定
 - 1~16MHzの高速オンチップ・オシレータ・クロックから選択

18.1.2 オンチップ・デバッグ・オプション・バイト (000C3H)

- オンチップ・デバッグ動作制御
 - オンチップ・デバッグ動作禁止/許可

18.2 ユーザ・オプション・バイトのフォーマット

図 18-1 ユーザ・オプション・バイト (000C0H) のフォーマット

アドレス : 000C0H

7	6	5	4	3	2	1	0
1	1	1	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止 (リセット解除後、カウント停止)
1	カウンタ動作許可 (リセット解除後、カウント開始)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマの オーバフロー時間 ($f_{IL}=17.25\text{kHz (MAX.)}$ の場合)	ウォッチドッグ・タイマの インターバル割り込み時間 ($f_{IL}=17.25\text{kHz (MAX.)}$ の場合)
0	0	0	$(2^6 - 1) / f_{IL}$ (3.65ms)	$2^6 / f_{IL} \times 0.75$ (2.78ms)
0	0	1	$(2^7 - 1) / f_{IL}$ (7.36ms)	$2^7 / f_{IL} \times 0.75$ (5.56ms)
0	1	0	$(2^8 - 1) / f_{IL}$ (14.7ms)	$2^8 / f_{IL} \times 0.75$ (11.1ms)
0	1	1	$(2^9 - 1) / f_{IL}$ (29.6ms)	$2^9 / f_{IL} \times 0.75$ (22.2ms)
1	0	0	$(2^{11} - 1) / f_{IL}$ (118ms)	$2^{11} / f_{IL} \times 0.75$ (89.0ms)
1	0	1	$(2^{13} - 1) / f_{IL}$ (474ms)	$2^{13} / f_{IL} \times 0.75$ (356ms)
1	1	0	$(2^{14} - 1) / f_{IL}$ (949ms)	$2^{14} / f_{IL} \times 0.75$ (712ms)
1	1	1	$(2^{16} - 1) / f_{IL}$ (3799ms)	$2^{16} / f_{IL} \times 0.75$ (2849ms)

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP モード時)
0	HALT/STOP モード時、カウンタ動作停止
1	HALT/STOP モード時、カウンタ動作許可

注意 1. ビット 7-5 には、必ず 1 を書き込んでください。

注意 2. WDTON=0, WDSTBYON=1 の設定は禁止です。

注意 3. ウォッチドッグ・タイマのインターバル割り込みは常に発生します。ウォッチドッグ・タイマのインターバル割り込みを使用しない場合は、必ず WDTIMK ビットを 1 に設定して、割り込み処理を禁止してください。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図 18-2 ユーザ・オプション・バイト (000C1H) のフォーマット

アドレス : 000C1H

7	6	5	4	3	2	1	0
1	1	1	PORTSELB	SPORS1	SPORS0	1	1

- SPOR 検出電圧の設定

検出電圧 (V_{SPOR})		オプション・バイト設定値	
立ち上がり	立ち下がり	SPORS1	SPORS0
4.28V	4.20V	0	0
2.90V	2.84V	0	1
2.57V	2.52V	1	0
2.16V	2.11V	1	1

- P125/ $\overline{\text{RESET}}$ / $\overline{\text{INTP1}}$ / $\overline{\text{VCOUT0}}$ / $\overline{\text{VCOUT1}}$ / $\overline{\text{SI01}}$ ^{注1} 端子の制御

PORTSELB	P125/ $\overline{\text{RESET}}$ / $\overline{\text{INTP1}}$ / $\overline{\text{VCOUT0}}$ / $\overline{\text{VCOUT1}}$ / $\overline{\text{SI01}}$ ^{注1} 端子の制御
0	ポート機能 (P125/ $\overline{\text{INTP1}}$ / $\overline{\text{VCOUT0}}$ / $\overline{\text{VCOUT1}}$ / $\overline{\text{SI01}}$ ^{注1})
1	RESET入力 (内蔵プルアップ抵抗が常時有効)

注1. 20ピン製品の場合

注意 1. ビット 7-5, 1, 0 には、必ず 1 を書き込んでください。

注意 2. 検出電圧 (V_{SPOR}) は、動作電圧範囲になるように設定してください。
動作電圧範囲は以下のとおりです。CPU 動作周波数 1MHz~16MHz : $V_{DD}=2.4\sim 5.5V$

備考1. SPOR 回路の詳細は、「第 17 章 セレクタブル・パワーオン・リセット回路」を参照してください。

備考2. 検出電圧は TYP. 値です。詳細は、「23.6.4 SPOR 回路特性」および「24.6.4 SPOR 回路特性」を参照してください。

図 18-3 ユーザ・オプション・バイト (000C2H) のフォーマット

アドレス : 000C2H

7	6	5	4	3	2	1	0
1	1	1	1	1	FRQSEL2	FRQSEL1	FRQSEL0

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータ・クロックの周波数選択	
			動作周波数 (f_{MAIN})	動作電圧範囲 (V_{DD})
0	0	1	16MHz	2.4V~5.5V
0	1	0	8MHz	
0	1	1	4MHz	
1	0	0	2MHz	
1	0	1	1MHz	
上記以外			設定禁止	

注意 ビット 7-3 には、必ず 1 を書き込んでください。

18.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図 18-4 オンチップ・デバッグ・オプション・バイト (000C3H) のフォーマット

アドレス : 000C3H

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	1

OCDENSET	オンチップ・デバッグ動作制御
0	オンチップ・デバッグ動作禁止
1	オンチップ・デバッグ動作許可 ^{注1}

注1. オンチップ・デバッグ・セキュリティ ID 認証失敗時に、フラッシュ・メモリのデータを消去しません。

注意 ビット 7 (OCDENSET) のみ、値を指定できます。
ビット 6-0 には、必ず 0000101B を書き込んでください。

備考 ビット 1, 3 は、オンチップ・デバッグ機能使用時に値が書き変わるのので、設定後は不定となります。ただし、設定時にはビット 3-1 にも、必ず初期値 (0, 1, 0) を設定してください。

18.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	F7H	; ウォッチドッグ・タイマ動作許可、 ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$ 、 ; HALT/STOP モード時、ウォッチドッグ・タイマの動作停止
	DB	E7H	; V_{SPOR} に立ち上がり 2.90V、立ち下がり 2.84V を選択 ; ポート機能 (P125/KR1) を使用
	DB	FDH	高速オンチップ・オシレータ・クロック周波数 1MHz を選択
	DB	85H	; オンチップ・デバッグ動作許可

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG 疑似命令の再配置属性名は OPT_BYTE を使用してください。

第19章 フラッシュ・メモリ

RL78 マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。

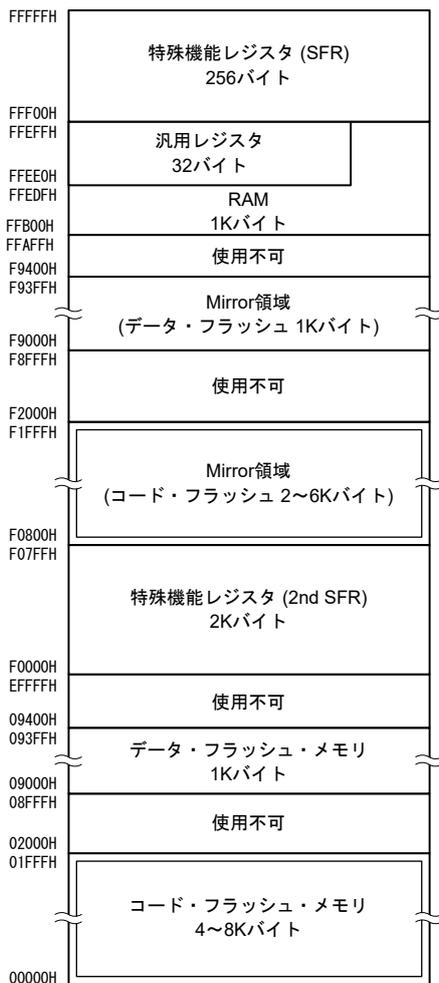


表 19-1 フラッシュ・メモリの概要

フラッシュ容量	コード・フラッシュ : 4~8K バイト データ・フラッシュ : 1K バイト
ブロック・サイズ	コード・フラッシュ : 1K バイト (ブロック 0~ブロック 7) データ・フラッシュ : 512 バイト (ブロック 0~ブロック 1)
書き込み/ブロック消去単位	[書き込み] コード・フラッシュ/データ・フラッシュ : 32 ビット [ブロック消去] コード・フラッシュ : 1K バイト データ・フラッシュ : 512 バイト

フラッシュ・メモリのプログラミング方法は、次のとおりです。

- コード・フラッシュ・メモリとデータ・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART 通信）によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。
- フラッシュ・メモリ・プログラマによるシリアル・プログラミング（「19.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング」参照）
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- 外部デバイス（UART 通信）によるシリアル・プログラミング（「19.2 外部デバイス（UART 内蔵）による書き込み方法」参照）
外部デバイス（マイコンや ASIC）との UART 通信を使用してオンボードで書き込みができます。
- セルフ・プログラミング（「19.6 セルフ・プログラミング」参照）
フラッシュ・セルフ・プログラミング・コードを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリもしくはデータ・フラッシュ・メモリの自己書き換えができます。

注意 データ・フラッシュ・メモリは、フラッシュ・セルフ・プログラミング・コードを利用して書き換えを行うことができますが、ユーザ・プログラム実行中にバックグラウンドで書き換えることはできません。

19.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E2, E2 Lite オンチップ・デバッグ・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に RL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に RL78 マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表 19-2 RL78/G15 と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
信号名		入出力	端子機能		8 ピン	10 ピン	16 ピン		20 ピン
						WDFN	SSOP	SSOP	HWQFN
PG-FP6	E2, E2 Lite オンチップ・デバッグ・エミュレータ								
—	TOOL0	入出力	送受信信号	TOOL0/P40	1	1	2	16	4
SI/RxD	—	入出力	送受信信号						
—	RESET_OUT	出力	リセット信号	RESET	2	2	3	1	5
RESET	—	出力							
V _{DD} 注1		入出力	V _{DD} 電圧生成／電源監視	V _{DD}	4	5	8	6	10
GND		—	グラウンド	V _{SS}	3	4	7	5	9
FLMD1	EMV _{DD}	—	TOOL0 端子駆動電源	V _{DD}	4	5	8	6	10

注1. PG-PF6 の信号名は V_{CC} です。

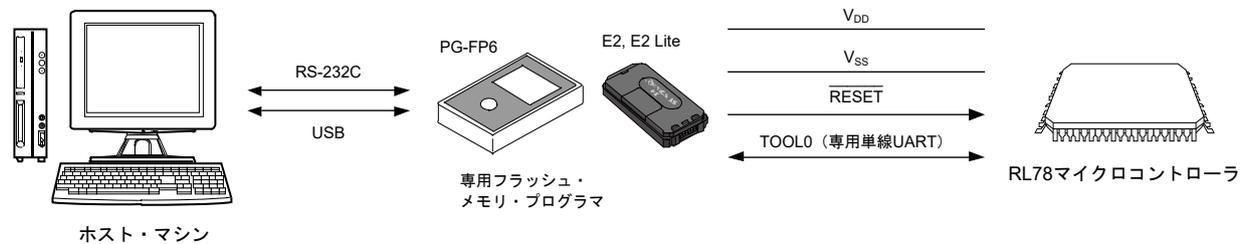
備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

RL78 マイクロコントローラとコネクタの接続については、各プログラマのユーザズ・マニュアルを参照してください。E2, E2 Lite との接続については、「20.1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続」を参照してください。

19.1.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図 19-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

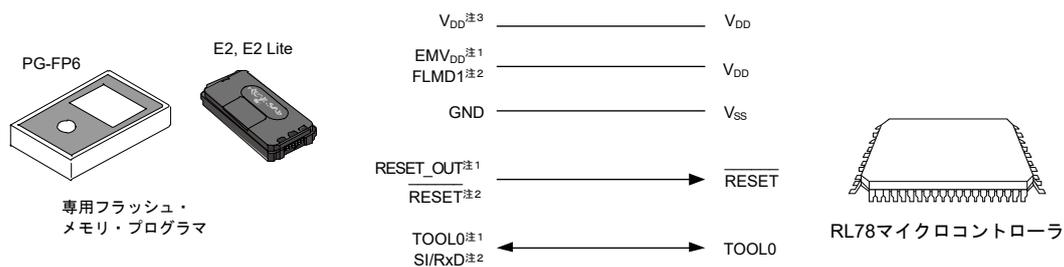
また、専用フラッシュ・メモリ・プログラマと RL78 マイクロコントローラとのインタフェースは TOOL0 端子を使用して、専用の単線 UART で書き込み/消去の操作を行います。

19.1.2 通信方式

専用フラッシュ・メモリ・プログラマと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOL0 端子を使用して、専用の単線 UART によるシリアル通信で行います。

転送レート：115200bps 固定

図 19-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E2, E2 Lite オンチップ・デバッグ・エミュレータ使用時。

注2. PG-FP6 使用時。

注3. PG-FP6 の信号名は V_{CC} です。

専用フラッシュ・メモリ・プログラマは RL78 マイクロコントローラに対して次の信号を生成します。詳細は PG-FP6 または E2, E2 Lite オンチップ・デバッグ・エミュレータの各マニュアルを参照してください。

表 19-3 端子接続一覧

専用フラッシュ・メモリ・プログラマ			RL78 マイクロコントローラ	
信号名		入出力	端子機能	端子名 ^{注1}
PG-FP6	E2, E2 Lite オンチップ・デバッグ・ エミュレータ			
V_{DD} ^{注2}		入出力	V_{DD} 電圧生成／電圧監視	V_{DD}
GND		—	グランド	V_{SS}
FLMD1	EMV_{DD}		TOOL0 端子駆動電源	V_{DD}
$\overline{\text{RESET}}$	—	出力	リセット信号	$\overline{\text{RESET}}$
—	RESET_OUT	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. 接続先端子は、製品によって異なります。詳細は、表 19-2 を参照してください。

注2. PG-FP6 の信号名は V_{CC} です。

19.2 外部デバイス（UART 内蔵）による書き込み方法

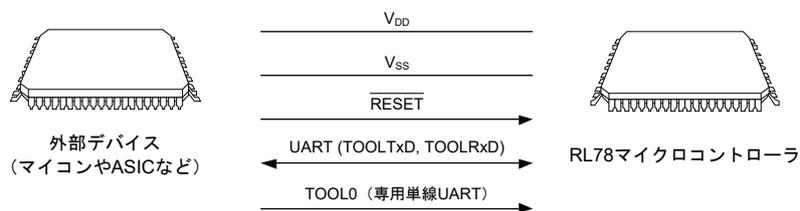
オンボード上で RL78 マイクロコントローラと UART 接続されている外部デバイス（マイコンや ASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラムの開発については、RL78 マイクロコントローラ（RL78 プロトコル B）シリアルプログラミング編アプリケーションノート（R01AN6332）を参照してください。

19.2.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図 19-3 フラッシュ・メモリにプログラムを書き込むための環境



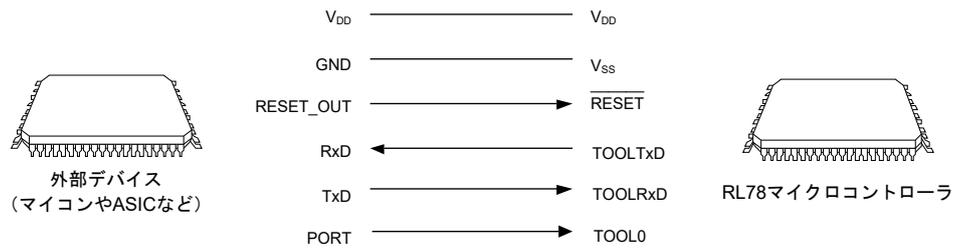
外部デバイスから RL78 マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

19.2.2 通信方式

外部デバイスと RL78 マイクロコントローラとの通信は、TOOL0 端子を使用して、専用の UART によるシリアル通信で行います。

転送レート：115200bps 固定

図 19-4 外部デバイスとの通信



外部デバイスは RL78 マイクロコントローラに対して次の信号を生成します。

表 19-4 端子接続一覧

外部デバイス			RL78 マイクロコントローラ
信号名	入出力	端子機能	端子名
V _{DD}	入出力	V _{DD} 電圧生成／電圧監視	V _{DD}
GND	—	グラウンド	V _{SS}
RESET_OUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

19.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、「19.4.2 フラッシュ・メモリ・プログラミング・モード」を参照してください。

19.3.1 P40/TOOL0 端子

フラッシュ・メモリ・プログラミング・モード時は、外部で 1k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時 : 外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500k Ω 以上の抵抗を使用してください。

出力時 : プルダウンで使用する場合は、500k Ω 以上の抵抗を使用してください。

備考1. t_{HD} : フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除から TOOL0 端子をロウ・レベルに保持する時間。「23.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング」、「24.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング」を参照してください。

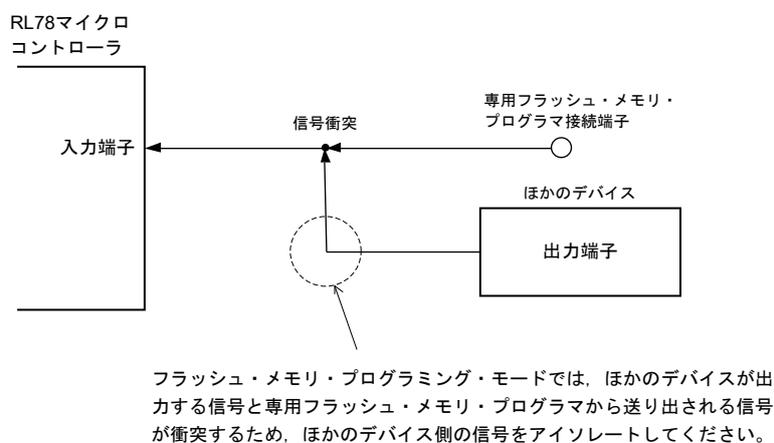
備考2. RL78 マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線 UART (TOOL0 端子) を使用するのので、SAU や IICA の端子は使用しません。

19.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図 19-5 信号の衝突 ($\overline{\text{RESET}}$ 端子)



19.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

19.3.4 X1, X2 端子 (16 ピン製品、20 ピン製品)

X1 端子、X2 端子は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (f_{IH}) を使用しません。

19.3.5 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} ^{注1}に、 V_{SS} 端子はフラッシュ・メモリ・プログラムの GND に、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

なお、フラッシュ・メモリ・プログラミング時の動作電圧は 2.4V~5.5V です。オンボード上の電源が 2.4V 未満のときは、専用フラッシュ・メモリ・プログラマからの電源供給に切り替えるなど、オンボード上の電源とアイソレートして 2.4V~5.5V の電圧を供給してください。

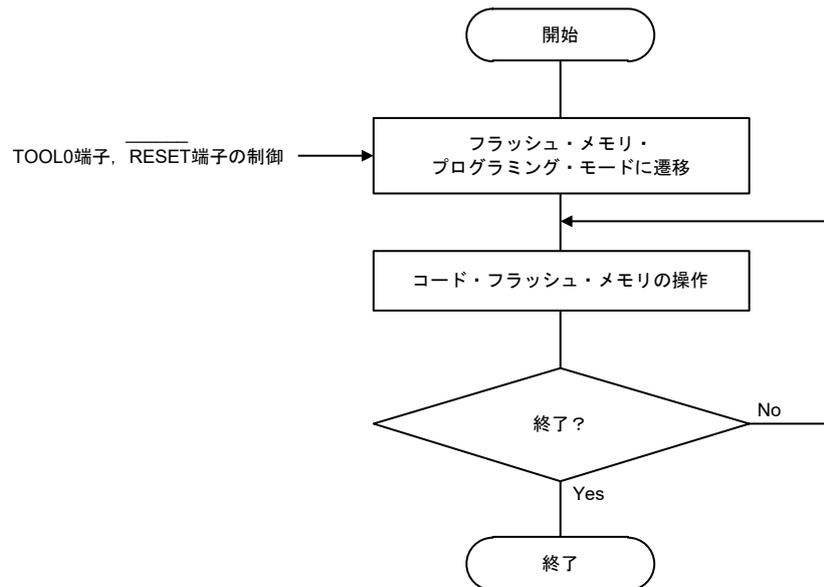
注1. PG-FP6 の信号名は V_{CC} です。

19.4 シリアル・プログラミング方法

19.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図 19-6 コード・フラッシュ・メモリの操作手順



フラッシュ・メモリ・プログラミング・モードについては、「19.4.2 フラッシュ・メモリ・プログラミング・モード」を参照してください。

19.4.2 フラッシュ・メモリ・プログラミング・モード

シリアル・プログラミングでコード・フラッシュ・メモリの内容を書き換えるときは、フラッシュ・メモリ・プログラミング・モードへ遷移する必要があります。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。なお、フラッシュ・メモリ・プログラミング・モードの動作電圧は 2.4V~5.5V です。

<外部デバイス (UART 通信) を使用してシリアル・プログラミングする場合>

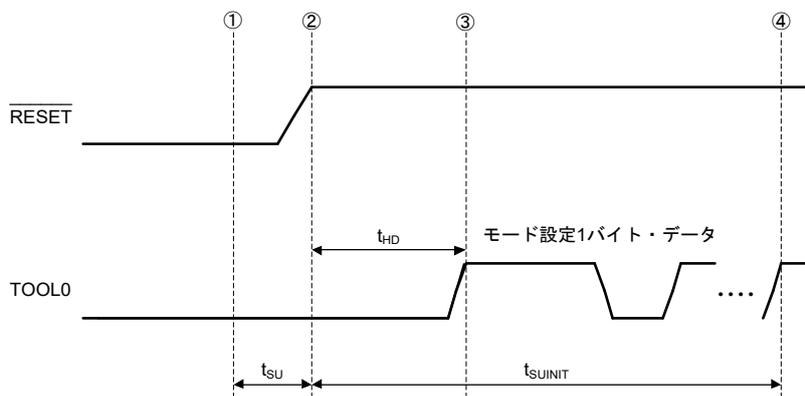
TOOL0 端子をロウ・レベルに設定後、リセットを解除します (表 19-5 参照)。その後、図 19-7 に示す①~④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。

なお、フラッシュ・メモリ・プログラミング・モードの動作電圧は 2.4V~5.5V です。

表 19-5 リセット解除時の TOOL0 端子の動作モードとの関係

TOOL0	動作モード
V _{DD}	通常動作モード
0V	フラッシュ・メモリ・プログラミング・モード

図 19-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0 端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前に SPOR リセットが解除されていること)
- ③ TOOL0 端子のロウ・レベルを解除
- ④ UART 受信によるモード引き込み設定

備考 t_{SUINIT} : この区間では、リセット解除から 100ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0 端子をロウ・レベルに保持する時間

詳細は、「23.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング」、「24.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング」を参照してください。

19.4.3 通信方式

RL78 マイクロコントローラの通信方式は、次のようになります。

表 19-6 通信方式

通信方式	Standard 設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線 UART (フラッシュ・メモリ・プログラマ使用 時、または外部デバイス使用時)	UART	115200bps	—	—	TOOL0
専用 UART (外部デバイス使用時)	UART	115200bps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマの GUI 上の Standard 設定における設定項目です。

注2. UART 通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

19.4.4 通信コマンド

RL78 マイクロコントローラは、表 19-7 に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスから RL78 マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。

表 19-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
CRC チェック	CRC チェック (コード・フラッシュ・メモリ)	コード・フラッシュのチェックサムを計算します。
	CRC チェック (データ・フラッシュ・メモリ)	データ・フラッシュのチェックサムを計算します。
消去後書き込み	消去後書き込み (コード・フラッシュ・メモリ)	コード・フラッシュ・メモリを消去した後にデータを書き込みます。
	消去後書き込み (データ・フラッシュ・メモリ)	データ・フラッシュ・メモリを消去した後にデータを書き込みます。

19.5 PG-FP6 使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間（参考値）を次に示します。

表 19-8 PG-FP6 使用時の各コマンド処理時間（参考値）

PG-FP6 のコマンド	コード・フラッシュ		データ・フラッシュ
	4K バイト	8K バイト	1K バイト
	R5F12067xSP, R5F12047xNA, R5F12047xSP, R5F12017xSP, R5F12007xNS (x=M,G,A)	R5F12068xSP, R5F12048xNA, R5F12048xSP, R5F12018xSP, R5F12008xNS (x=M,G,A)	全製品
消去後書き込み	1.5s	2.0s	1.0s
CRC チェック	0.5s	1.0s	0.5s

備考 コマンド処理時間（参考値）は TYP.値です。次に条件を示します。

Port : TOOL0（単線 UART）

Speed : 115,200bps

19.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・コードを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

- 注意 1.** セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI 命令により IE フラグがクリア (0) されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。
フラッシュ・メモリ書き換え中は CPU が停止状態になる為、割り込みの受け付けはできません。
- 注意 2.** セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HISTOP=0) させ、30 μ s 経過後にフラッシュ・セルフ・プログラミング・コードを実行してください。

19.6.1 セルフ・プログラミングを制御するレジスタ

- フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH/FLAPL)
- フラッシュ・エンド・アドレス指定レジスタ H, L (FLSEDH/FLSEDL)
- フラッシュ・ライト・バッファ・レジスタ HH, HL, LH, LL (FLWHH/FLWHL/FLWLH/FLWLL)
- フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- フラッシュ・メモリ・シーケンサ・初期設定レジスタ (FSSET)
- フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)
- フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH/FSASTL)

19.6.1.1 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH/FLAPL)

フラッシュ・メモリ・プログラミング時の先頭アドレスを指定するレジスタです。

FLAPH と FLAPL レジスタ は、8 ビット・メモリ操作命令で設定します。

リセットの発生により、FLAPH、FLAPL レジスタは 00H になります。

図 19-8 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) のフォーマット

アドレス : F00C3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8

アドレス : F00C2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLAPL	FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

19.6.1.2 フラッシュ・エンド・アドレス指定レジスタ H, L (FLSEDH/FLSEDL)

フラッシュ・メモリ・プログラミング時の最終アドレスを指定するレジスタです。

FLSEDH と FLSEDL レジスタは、8 ビット・メモリ操作命令で設定します。

リセットの発生により、FLSEDH、FLSEDL レジスタは 00H になります。

図 19-9 フラッシュ・エンド・アドレス指定レジスタ H, L (FLSEDH, FLSEDL) のフォーマット

アドレス : F00C5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	EWA12	EWA11	EWA10	EWA9	EWA8

アドレス : F00C4H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLSEDL	EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	0	0

表 19-9 FLAPH/L, FLSEDH/L レジスタの設定方法

フラッシュ・メモリ・シーケンサ 専用コマンド		FLAPH/L, FLSEDH/L レジスタの設定	
FSSQ	書き込み	コード・フラッシュ	FLAPH/L レジスタ : bit12-0=書き込み対象アドレスの bit12-0 FLSEDH/L レジスタ : bit12-0=All "0" (未設定でも可)
		データ・フラッシュ	FLAPH/L レジスタ : bit12-10=ALL "0" bit9-0=書き込み対象アドレスの bit9-0 FLSEDH/L レジスタ : bit12-0=All "0" (未設定でも可)
	ブロック消去	コード・フラッシュ	FLAPH/L レジスタ : bit12-10=ブロック先頭アドレスの bit12-10 bit9-0=ALL "0" FLSEDH/L レジスタ : bit12-10=ブロック先頭アドレスの bit12-10 bit9-2=ALL "1"
		データ・フラッシュ	FLAPH/L レジスタ : bit12-10=ALL "0" bit9=ブロック先頭アドレスの bit9 bit8-0=ALL "0" FLSEDH/L レジスタ : bit12-10=ALL "0" bit9=ブロック先頭アドレスの bit9 bit8-2=ALL "1"

注意 FLAPH/L レジスタと FLSEDH/L レジスタは以下の条件を満たすよう設定してください。
FLAPH/L 設定値 ≤ FLSEDH/L 設定値

コードフラッシュのブロック構成

ブロック先頭アドレスのbit12-10

01FFFH	
01C00H 01BFFH	(007)
01800H 017FFH	(006)
01400H 013FFH	(005)
01000H 00FFFH	(004)
00C00H 00BFFH	(003)
00800H 007FFH	(002)
00400H 003FFH	(001)
00000H	(000)

データフラッシュのブロック構成

ブロック先頭アドレスのbit9

093FFH	
09200H 091FFH	(1)
09000H	(0)

19.6.1.3 フラッシュ・ライト・バッファ・レジスタ HH, HL, LH, LL (FLWHH/FLWHL/FLWLH/FLWLL)

フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。

FLWHH, FLWHL, FLWLH, FLWLL レジスタは、8 ビット・メモリ操作命令で設定します。

リセットの発生により、FLWHH, FLWHL, FLWLH, FLWLL レジスタは 00H になります。

図 19-10 フラッシュ・ライト・バッファ・レジスタ HH, HL, LH, LL (FLWHH, FLWHL, FLWLH, FLWLL) のフォーマット

アドレス : F00CBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLWHH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24

アドレス : F00CAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLWHL	FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス : F00C9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLWLH	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8

アドレス : F00C8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLWLL	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

19.6.1.4 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・メモリをセルフ・プログラミング・モードに設定するレジスタです。

FLPMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセットの発生により、08H になります。

図 19-11 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : F00C0H リセット時 : 08H R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	SELDFL	0	FWEDIS	0	FLSPM	0

SELDFL	フラッシュ・プログラミング・領域選択
0	コード・フラッシュ領域選択
1	データ・フラッシュ領域選択

FWEDIS	フラッシュ・メモリの消去／書き込み許可／禁止のソフトウェア制御 ^{注1}
0	書込み／消去可能
1	書込み／消去不可

FLSPM	フラッシュ・プログラミング・モード選択 ^{注1}
0	フラッシュ・メモリはリードモード (通常モード)
1	フラッシュ・メモリはセルフ・プログラミング・モード

注1. フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず“0”に設定してください。

19.6.1.5 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)

フラッシュ・メモリ・シーケンサの動作周波数設定レジスタです。

FSSET レジスタは、8 ビット・メモリ操作命令で設定します。

リセットの発生により、00H になります。

図 19-12 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) のフォーマット

アドレス : F00BEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FSSET	0	0	0	FSET4	FSET3	FSET2	FSET1	FSET0

FSET4-0	フラッシュ・メモリ・シーケンサの動作周波数の設定
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数と FSET4-0 設定値の関係は表 19-10 を参照してください。

注意 CPU が動作する周波数の小数点以下を切り上げた整数値を設定してください。

(例 : CPU が動作する周波数が 4.5MHz の場合は、5 を設定してください)

ただし、CPU が動作する周波数が 4MHz 未満の場合は、整数値ではない 1.5MHz などの周波数は使用できません。

表 19-10 フラッシュ・メモリ・シーケンサの動作周波数と FSET4-0 設定値の関係

動作周波数 [MHz]	FSET4-0 ビット 設定値	動作周波数 [MHz]	FSET4-0 ビット 設定値	動作周波数 [MHz]	FSET4-0 ビット 設定値
16	01111B	10	01001B	4	00011B
15	01110B	9	01000B	3	00010B
14	01101B	8	00111B	2	00001B
13	01100B	7	00110B	1	00000B
12	01011B	6	00101B	—	—
11	01010B	5	00100B	—	—

19.6.1.6 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)

フラッシュ・メモリ・シーケンサ起動時のコマンドを定義するレジスタです。

FSSQ レジスタは、8 ビット・メモリ操作命令で設定します。

リセットの発生により、00H になります。

図 19-13 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ) のフォーマット

アドレス : F00C1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FSSQ	SQST	0	0	0	0	SQMD2	SQMD1	SQMD0

SQST	フラッシュ・メモリ・シーケンサの動作制御
0	動作停止
1	動作開始

SQMD2-0	フラッシュ・メモリ・シーケンサのコマンド選択
000b	初期値 (コマンド非選択)
001b	書き込み FLAPH, FLAPL レジスタで指定されるアドレスに、FLWHH/FLWHL/FLWLH/FLWLL レジスタで指定したデータを書き込みます。 書き込み単位 (コード・フラッシュ領域) : 1 ワード (4 バイト) (SELDFL ビットに 0 を設定時) 書き込み単位 (データ・フラッシュ領域) : 1 ワード (4 バイト) (SELDFL ビットに 1 を設定時)
100b	ブロック消去 FLAPH, L レジスタで指定されるブロック先頭アドレスから FLSEDH, FLSEDL レジスタで指定されるブロック終了アドレスまでのブロック消去を行います。 ブロック消去単位 (コード・フラッシュ領域) : 1 ブロック (1K バイト) (SELDFL ビットに 0 を設定時) ブロック消去単位 (データ・フラッシュ領域) : 1 ブロック (512 バイト) (SELDFL ビットに 1 を設定時)
上記以外	設定禁止

19.6.1.7 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH/FSASTL)

フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。
 FSASTH と FSASTL レジスタは、8 ビット・メモリ操作命令で読み出します。

図 19-14 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット

アドレス : F00C7H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
FSASTH	0	SQEND	0	0	0	0	0	0

アドレス : F00C6H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
FSASTL	0	0	0	SEQER	0	0	WRER	ERER

SQEND	フラッシュ・メモリ・シーケンサの動作終了ステータス・フラグ
0	動作中
1	動作終了
<クリア条件> SQST ビットのクリア	

SEQER	フラッシュ・メモリ・シーケンサのエラー・フラグ
0	エラー未発生
1	エラー発生
<クリア条件> 次のフラッシュ・メモリ・シーケンサの起動	

WRER	書き込みコマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
<クリア条件> 次のコマンド・アクションの起動	

ERER	ブロック消去コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
<クリア条件> 次のフラッシュ・メモリ・シーケンサの起動	

19.6.2 コード/データ・フラッシュ・メモリのセルフ・プログラミング実行手順

フラッシュ・セルフ・プログラミング・コードを利用してコード/データ・フラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングの実行で使用するレジスタの詳細は、「19.6.1 セルフ・プログラミングを制御するレジスタ」を参照してください。

図 19-15 フラッシュ・メモリのセルフ・プログラミング実行手順

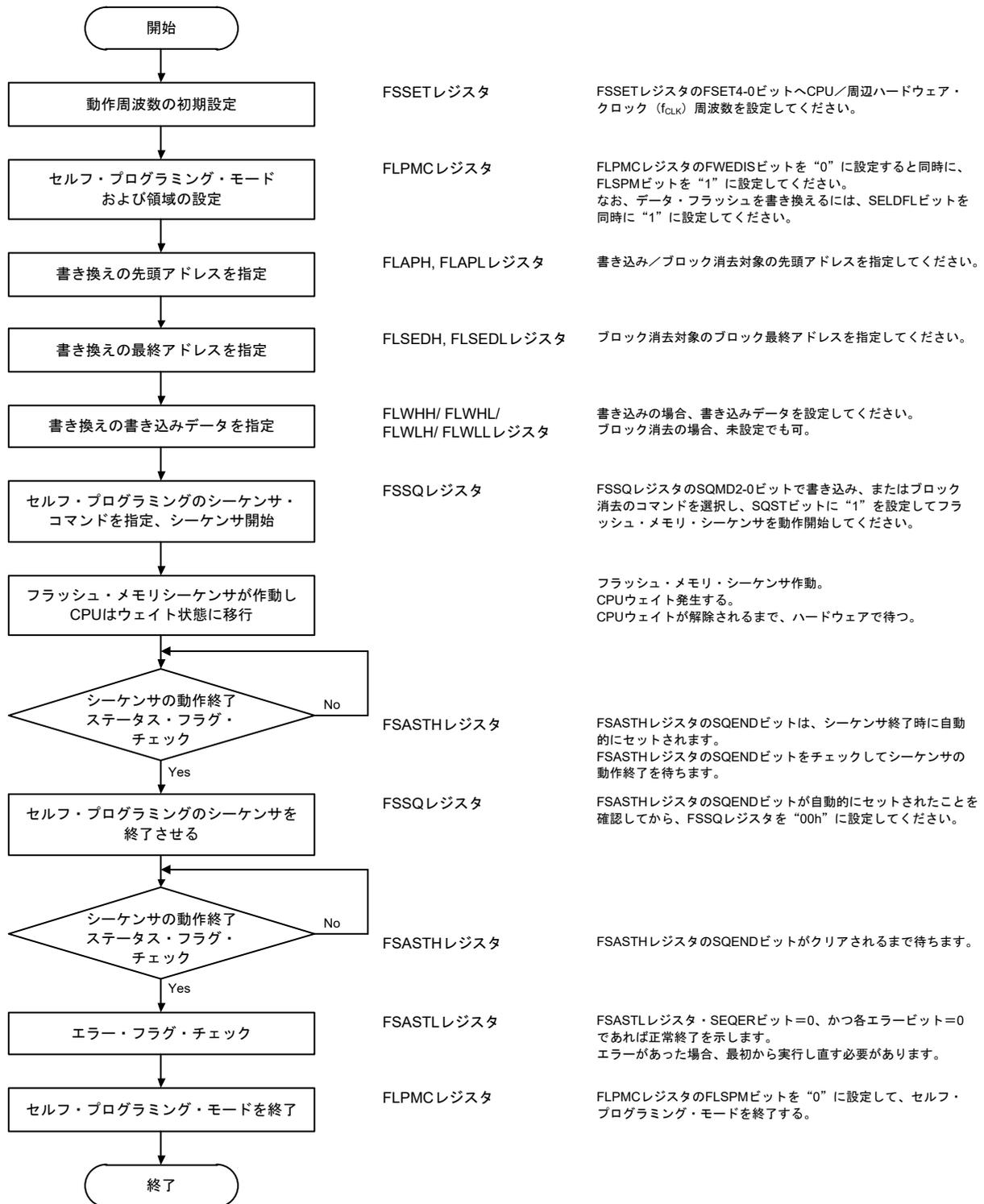
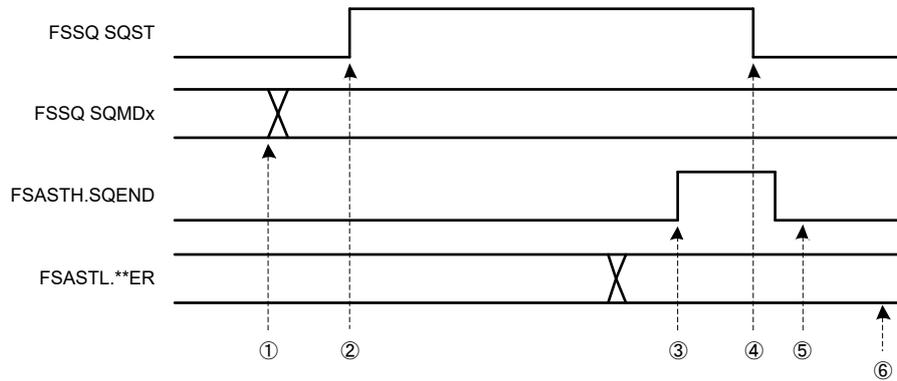


図 19-16 フラッシュ・メモリ・シーケンサの開始・終了処理



- ① 動作設定
- ② SQST ビットセット(シーケンサ動作開始, CPU ウェイト)
- ③ CPU ウェイト解除
- ④ SQST ビットクリア(シーケンサ動作終了)
- ⑤ シーケンサ動作終了ステータス・フラグ・チェック
- ⑥ エラー・フラグ・チェック

19.6.3 セルフ・プログラミング時の注意事項

- (1) コード/データ・フラッシュ領域の書き換え操作をするためのセルフ・プログラミング・コードをコード・フラッシュ領域に配置してください。RAM フェッチによるセルフ・プログラミングを禁止します。また、ブート領域、及びセルフ・プログラミング・コードを格納するブロックに対しての書き換え操作を禁止します。
- (2) セルフ・プログラミング・モード設定前に、あらかじめ割り込み禁止をしてください。割り込みを禁止するためには、通常動作モード時と同様に、DI 命令によって IE フラグをクリア (0) してください。
- (3) フラッシュ・メモリ・シーケンサを使用して、コード/データ・フラッシュ・メモリの書き換えなどの操作を実行する場合、FSSET レジスタの FSET4-0 ビットへ CPU の動作周波数を設定しておく必要があります。CPU の動作周波数が正しく設定されていない状態での書き換え動作は不定となり、書かれたデータは保証されませんのでご注意ください。(書き込み直後のフラッシュ・メモリのデータ値が期待値通りであっても、その値の保持期間を保証できません。)
- (4) セルフ・プログラミングを実行する前に、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP=0) させ、30 μ s 経過後にフラッシュ・セルフ・プログラミング・コードを実行してください。
- (5) 「19.6.2 コード/データ・フラッシュ・メモリのセルフ・プログラミング実行手順」で示すセルフ・プログラミング実行フローの途中に、セルフ・プログラミングの手順と関係ない他の設定や他の命令実施をしないでください。
- (6) セルフ・プログラミングによる書き換え中に、CPU が停止状態になります。書き換え中、コード・フラッシュへのアクセス、もしくは、データ・フラッシュへのアクセスはできません。

19.7 データ・フラッシュ

19.7.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- セルフ・プログラミング・コードを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1 ブロック=512 バイト単位で消去
- データ・フラッシュは、8 ビットもしくは 16 ビット単位でアクセス可能
- データ・フラッシュは、CPU 命令で直接読み出し可能
- データ・フラッシュの書き換え中は、CPU が停止状態になるため、コード・フラッシュからの命令実行は不可（バックグラウンド・オペレーション（BGO）は非対応）
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は不可
- コード・フラッシュの書き換え中は、CPU が停止状態になるため、データ・フラッシュにアクセスすることはできません。
- データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作（HIOSTOP=0）させ、30 μ s 経過後にフラッシュ・セルフ・プログラミング・コードを実行してください。

19.7.2 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは常時アクセス可能です。データ・フラッシュの CPU 命令による読み出しはレジスタの初期設定は不要です。データ・フラッシュの書き換え手順は「[19.6.2 コード/データ・フラッシュ・メモリのセルフ・プログラミング実行手順](#)」を参照してください。

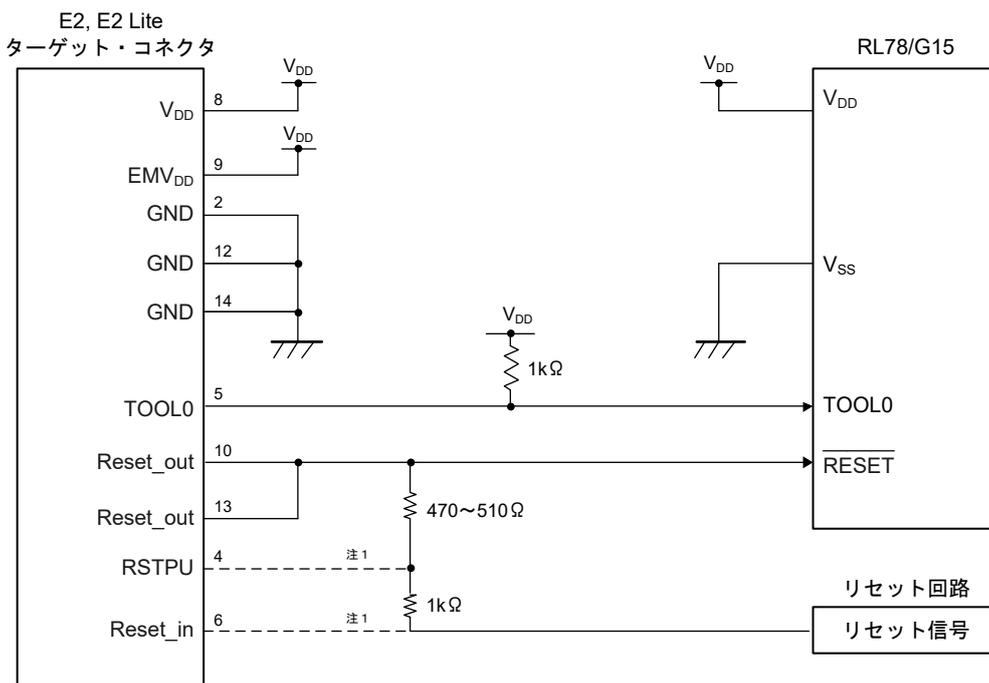
第20章 オンチップ・デバッグ機能

20.1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続

RL78 マイクロコントローラは、オンチップ・デバッグ対応の E2, E2 Lite オンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} , $\overline{\text{RESET}}$, TOOL0, V_{SS} 端子を使用します。シリアル通信としては、TOOL0 端子を使用した単線 UART を使用します。

注意 RL78 マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

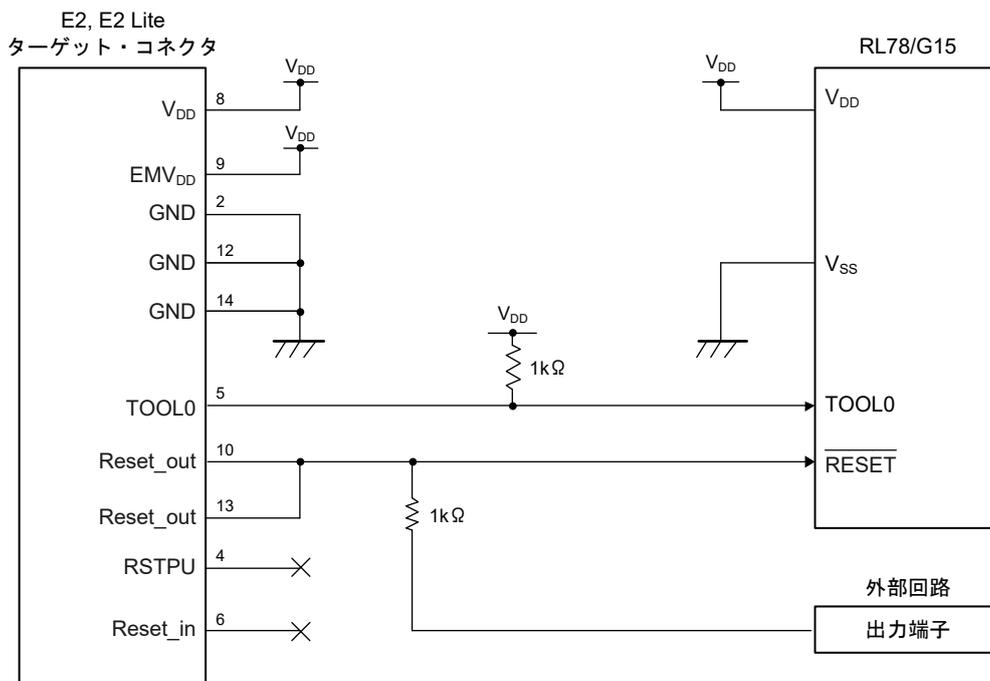
図 20-1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続例



注1. プログラミング時、接続の必要はありません。

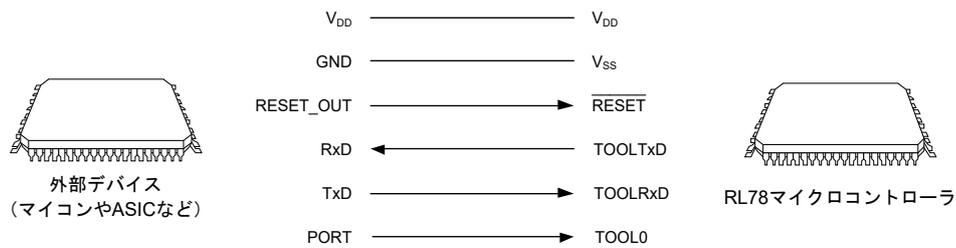
なお、 $\overline{\text{RESET}}$ 端子の兼用機能を入力で使用するターゲット・システムでは、外部回路との接続をアイソレートしてください。

図 20-2 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続例
($\overline{\text{RESET}}$ 端子の兼用入力機能を使用する場合)



20.2 外部デバイス（UART 内蔵）との接続

オンボード上で RL78 マイクロコントローラと UART 接続されている外部デバイス（マイコンや ASIC）を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 $\overline{\text{RESET}}$ 、 TOOL0 、 V_{SS} 、 TOOLTxD 、 TOOLRxD 端子を使用します。外部デバイスと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD 、 TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。



20.3 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの 000C3H にオンチップ・デバッグ動作制御ビット（「第 18 章 オプション・バイト」を参照）を、000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。

表 20-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ ID コード
000C4H-000CDH	10 バイトの任意の ID コード

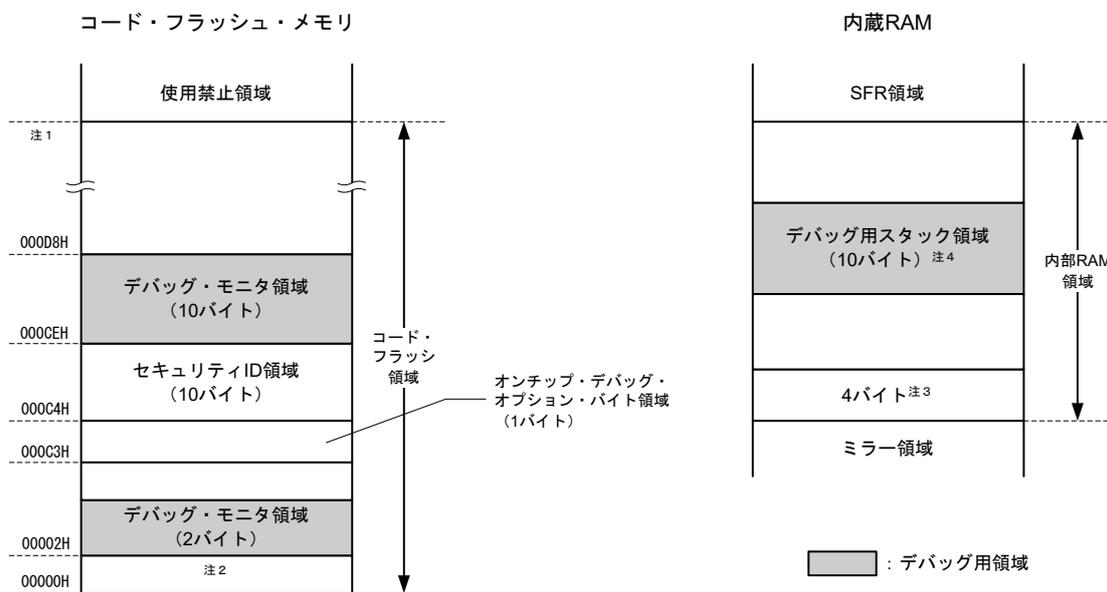
20.4 ユーザ資源の確保

RL78 マイクロコントローラと E2, E2 Lite オンチップ・デバッグ・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図 20-3 のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図 20-3 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	アドレス
R5F12067, R5F12047, R5F12017, R5F12007	00FFFH
R5F12068, R5F12048, R5F12018, R5F12008	01FFFH

注2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注3. 疑似 RRM 機能と疑似 DMM 機能を使用する場合は、RAM 領域の 4 バイトを消費します。疑似 RRM 機能／疑似 DMM 機能を使用する場合の RAM 領域はビルドツールで設定します。RAM 領域を未設定の場合は RAM 領域の先頭 4 バイトが使用されます。(設定方法の詳細はビルドツールのユーザーズマニュアルをご確認ください。)
疑似 RRM 機能と疑似 DMM 機能を使用しない場合は、内部 RAM として使用できます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、10 バイト余分に消費します。

第21章 10 進補正 (BCD) 回路

21.1 10 進補正回路の機能

BCD コード (2 進化 10 進数) と BCD コード (2 進化 10 進数) の加減算結果を、BCD コード (2 進化 10 進数) で求めることができます。

A レジスタをオペランドに持つ加減算命令を行ったあと、さらに BCD 補正結果レジスタ (BCDADJ) を加減算することで 10 進補正演算結果が求められます。

21.2 10 進補正回路で使用するレジスタ

10 進補正回路は、次のレジスタを使用します。

- BCD 補正結果レジスタ (BCDADJ)

21.2.1 BCD 補正結果レジスタ (BCDADJ)

BCDADJ レジスタには、A レジスタをオペランドにもつ加減算命令によって、BCD コードで加減算結果を求めるための補正値が格納されます。

また、BCDADJ レジスタの読み出し値は、読み出し時の A レジスタと CY フラグおよび AC フラグの値によって変わります。

BCDADJ レジスタは、8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図 21-1 BCD 補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R

略号	7	6	5	4	3	2	1	0
BCDADJ								

21.3 10 進補正回路の動作

10 進補正回路の基本動作を次に示します。

(1) 加算 : BCD コード値と BCD コード値の加算結果を、BCD コード値で求める

- ① 加算したい BCD コード値 (被加算値) を A レジスタに格納する。
- ② A レジスタと第 2 オペランドの値 (もう 1 つの加算したい BCD コード値、加算値) を、そのまま 2 進数で加算することにより、2 進数での演算結果が A レジスタに格納され、補正値が BCD 補正結果レジスタ (BCDADJ) に格納される。
- ③ A レジスタ (2 進数での加算結果) と BCDADJ レジスタの値 (補正値) を 2 進数で加算することにより 10 進補正演算を行い、A レジスタと CY フラグに補正結果が格納される。

注意 BCDADJ レジスタの読み出し値は、読み出し時の A レジスタと CY フラグおよび AC フラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態で BCD 補正を行う場合は、割り込み関数内で A レジスタの退避、復帰が必要となります。PSW (CY フラグ、AC フラグ) は、RETI 命令によって復帰されます。

例を次に示します。

[例 1] $99+89=188$

命令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

[例 2] $85+15=100$

命令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

[例 3] $80+80=160$

命令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算 : BCD コード値から BCD コード値の減算結果を、BCD コード値で求める

- ① 減算される BCD コード値 (被減算値) を A レジスタに格納する。
- ② A レジスタから第 2 オペランドの値 (減算する BCD コード値、減算値) を、そのまま 2 進数で減算することにより、2 進数での演算結果が A レジスタに格納され、補正値が BCD 補正結果レジスタ (BCDADJ) に格納される。
- ③ A レジスタ (2 進数での減算結果) から BCDADJ レジスタの値 (補正値) を 2 進数で減算することにより 10 進補正演算を行い、A レジスタと CY フラグに補正結果が格納される。

注意 BCDADJ レジスタの読み出し値は、読み出し時の A レジスタと CY フラグおよび AC フラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態で BCD 補正を行う場合は、割り込み関数内で A レジスタの退避、復帰が必要となります。PSW (CY フラグ、AC フラグ) は、RETI 命令によって復帰されます。

例を次に示します。

[例] $91 - 52 = 39$

命令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

第22章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、『RL78 マイクロコントローラ ユーザーズ・マニュアル ソフトウェア編（R01US0015）』を参照してください。

22.1 凡例

22.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の 1 つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

#	: イミーディエト・データ指定
!	: 16 ビット絶対アドレス指定
!!	: 20 ビット絶対アドレス指定
\$: 8 ビット相対アドレス指定
\$!	: 16 ビット相対アドレス指定
[]	: 間接アドレス指定
ES:	: 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES: 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rp には、機能名称（X, A, C など）、絶対名称（表 22-1 の中のカッコ内の名称、R0, R1, R2 など）のいずれの形式でも記述可能です。

表 22-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号 (SFR 略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号 (16 ビット操作可能な SFR 略号。偶数アドレスのみ ^{注1}) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル (偶数アドレスのみ ^{注1})
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16 ビット・データ時は偶数アドレスのみ ^{注1})
addr5	0080H-00BFH イミーディエト・データまたはラベル (偶数アドレスのみ ^{注1})
word	16 ビット・イミーディエト・データまたはラベル
byte	8 ビット・イミーディエト・データまたはラベル
bit	3 ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注1. 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランド sfr に略号で記述することができます。特殊機能レジスタの略号は「**表 3-5 SFR 一覧**」を参照してください。

拡張特殊機能レジスタは、オペランド!addr16 に略号で記述することができます。拡張特殊機能レジスタの略号は「**表 3-6 拡張 SFR (2nd SFR) 一覧**」を参照してください。

22.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表 22-2 オペレーション欄の記号

記号	機能
A	A レジスタ : 8 ビット・アキュムレータ
X	X レジスタ
B	B レジスタ
C	C レジスタ
D	D レジスタ
E	E レジスタ
H	H レジスタ
L	L レジスタ
ES	ES レジスタ
CS	CS レジスタ
AX	AX レジスタ・ペア : 16 ビット・アキュムレータ
BC	BC レジスタ・ペア
DE	DE レジスタ・ペア
HL	HL レジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	()内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L X _S , X _H , X _L	16 ビット・レジスタの場合は X _H =上位 8 ビット、X _L =下位 8 ビット 20 ビット・レジスタの場合は X _S (ビット 19-16)、X _H (ビット 15-8)、X _L (ビット 7-0)
∧	論理積 (AND)
∨	論理和 (OR)
∇	排他的論理和 (exclusive OR)
—	反転データ
addr5	16 ビット・イミューディエト・データ (0080H-00BFH の偶数アドレスのみ)
addr16	16 ビット・イミューディエト・データ
addr20	20 ビット・イミューディエト・データ
jdisp8	符号付き 8 ビット・データ (ディスプレイメント値)
jdisp16	符号付き 16 ビット・データ (ディスプレイメント値)

22.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表 22-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0 にクリアされる
1	1 にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

22.1.4 PREFIX 命令

ES:で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFH の 64 K バイト空間から、ES レジスタの値を付加した 00000H-FFFFFH の 1M バイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DMA 転送を受け付けることはありません。

表 22-4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A など事前に設定しておいてください。

22.2 オペレーション一覧

表 22-5 オペレーション一覧 (1/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE+byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE)+byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL+byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL)+byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP+byte) ← byte			
		word[B], #byte	4	1	—	(B+word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B)+word) ← byte			
		word[C], #byte	4	1	—	(C+word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C)+word) ← byte			
		word[BC], #byte	4	1	—	(BC+word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC)+word) ← byte			
		A, r ^{注3}	1	1	—	A ← r			
		r, A ^{注3}	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					
A, sfr	2	1	—	A ← sfr					
sfr, A	2	1	—	sfr ← A					

表 22-5 オペレーション一覧 (2/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	A, [DE]	1	1	4	$A \leftarrow (DE)$			
		[DE], A	1	1	—	$(DE) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (ES, DE)$			
		ES:[DE], A	2	2	—	$(ES, DE) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (HL)$			
		[HL], A	1	1	—	$(HL) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (ES, HL)$			
		ES:[HL], A	2	2	—	$(ES, HL) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (DE+byte)$			
		[DE+byte], A	2	1	—	$(DE+byte) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((ES, DE)+byte)$			
		ES:[DE+byte], A	3	2	—	$((ES, DE)+byte) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (HL+byte)$			
		[HL+byte], A	2	1	—	$(HL+byte) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((ES, HL)+byte)$			
		ES:[HL+byte], A	3	2	—	$((ES, HL)+byte) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (SP+byte)$			
		[SP+byte], A	2	1	—	$(SP+byte) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (B+word)$			
		word[B], A	3	1	—	$(B+word) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((ES, B)+word)$			
		ES:word[B], A	4	2	—	$((ES, B)+word) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (C+word)$			
		word[C], A	3	1	—	$(C+word) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((ES, C)+word)$			
		ES:word[C], A	4	2	—	$((ES, C)+word) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (BC+word)$			
		word[BC], A	3	1	—	$(BC+word) \leftarrow A$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((ES, BC)+word)$			
		ES:word[BC], A	4	2	—	$((ES, BC)+word) \leftarrow A$			
		A, [HL+B]	2	1	4	$A \leftarrow (HL+B)$			
		[HL+B], A	2	1	—	$(HL+B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL)+B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL)+B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL+C)$			
		[HL+C], A	2	1	—	$(HL+C) \leftarrow A$			
A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL)+C)$					
ES:[HL+C], A	3	2	—	$((ES, HL)+C) \leftarrow A$					

表 22-5 オペレーション一覧 (3/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	X, !addr16	3	1	4	$X \leftarrow (\text{addr16})$			
		X, ES:!addr16	4	2	5	$X \leftarrow (\text{ES}, \text{addr16})$			
		X, saddr	2	1	—	$X \leftarrow (\text{saddr})$			
		B, !addr16	3	1	4	$B \leftarrow (\text{addr16})$			
		B, ES:!addr16	4	2	5	$B \leftarrow (\text{ES}, \text{addr16})$			
		B, saddr	2	1	—	$B \leftarrow (\text{saddr})$			
		C, !addr16	3	1	4	$C \leftarrow (\text{addr16})$			
		C, ES:!addr16	4	2	5	$C \leftarrow (\text{ES}, \text{addr16})$			
		C, saddr	2	1	—	$C \leftarrow (\text{saddr})$			
		ES, saddr	3	1	—	$\text{ES} \leftarrow (\text{saddr})$			
	XCH	A, r ^{注3}	1 (r=X) 2 (r=X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (\text{addr16})$			
		A, ES:!addr16	5	3	—	$A \leftrightarrow (\text{ES}, \text{addr16})$			
		A, saddr	3	2	—	$A \leftrightarrow (\text{saddr})$			
		A, sfr	3	2	—	$A \leftrightarrow \text{sfr}$			
		A, [DE]	2	2	—	$A \leftrightarrow (\text{DE})$			
		A, ES:[DE]	3	3	—	$A \leftrightarrow (\text{ES}, \text{DE})$			
		A, [HL]	2	2	—	$A \leftrightarrow (\text{HL})$			
		A, ES:[HL]	3	3	—	$A \leftrightarrow (\text{ES}, \text{HL})$			
		A, [DE+byte]	3	2	—	$A \leftrightarrow (\text{DE}+\text{byte})$			
		A, ES:[DE+byte]	4	3	—	$A \leftrightarrow ((\text{ES}, \text{DE})+\text{byte})$			
		A, [HL+byte]	3	2	—	$A \leftrightarrow (\text{HL}+\text{byte})$			
		A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((\text{ES}, \text{HL})+\text{byte})$			
		A, [HL+B]	2	2	—	$A \leftrightarrow (\text{HL}+\text{B})$			
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((\text{ES}, \text{HL})+\text{B})$			
		A, [HL+C]	2	2	—	$A \leftrightarrow (\text{HL}+\text{C})$			
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((\text{ES}, \text{HL})+\text{C})$			
	ONEB	A	1	1	—	$A \leftarrow 01\text{H}$			
		X	1	1	—	$X \leftarrow 01\text{H}$			
		B	1	1	—	$B \leftarrow 01\text{H}$			
C		1	1	—	$C \leftarrow 01\text{H}$				
!addr16		3	1	—	$(\text{addr16}) \leftarrow 01\text{H}$				
ES:!addr16		4	2	—	$(\text{ES}, \text{addr16}) \leftarrow 01\text{H}$				
saddr		2	1	—	$(\text{saddr}) \leftarrow 01\text{H}$				

表 22-5 オペレーション一覧 (4/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8 ビット ・ データ 転送	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES,addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL+byte) ← X	×		×
ES:[HL+byte], X		4	2	—	(ES, HL+byte) ← X	×		×	
16 ビット ・ データ 転送	MOVW	rp, #word	3	1	—	rp ← word			
		saddrp, #word	4	1	—	(saddrp) ← word			
		sfrp, #word	4	1	—	sfrp ← word			
		AX, rp ^{注4}	1	1	—	AX ← rp			
		rp, AX ^{注4}	1	1	—	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	—	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	—	(ES, addr16) ← AX			
		AX, saddrp	2	1	—	AX ← (saddrp)			
		saddrp, AX	2	1	—	(saddrp) ← AX			
		AX, sfrp	2	1	—	AX ← sfrp			
		sfrp, AX	2	1	—	sfrp ← AX			
		AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE+byte)			
		[DE+byte], AX	2	1	—	(DE+byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE)+byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL+byte)			
		[HL+byte], AX	2	1	—	(HL+byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL)+byte) ← AX			

表 22-5 オペレーション一覧 (5/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, [SP+byte]	2	1	—	AX ← (SP+byte)			
		[SP+byte], AX	2	1	—	(SP+byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B+word)			
		word[B], AX	3	1	—	(B+word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)+word)			
		ES:word[B], AX	4	2	—	((ES, B)+word) ← AX			
		AX, word[C]	3	1	4	AX ← (C+word)			
		word[C], AX	3	1	—	(C+word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)+word)			
		ES:word[C], AX	4	2	—	((ES, C)+word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC+word)			
		word[BC], AX	3	1	—	(BC+word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)+word)			
		ES:word[BC], AX	4	2	—	((ES, BC)+word) ← AX			
		BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
	BC, saddrp	2	1	—	BC ← (saddrp)				
	DE, saddrp	2	1	—	DE ← (saddrp)				
	HL, saddrp	2	1	—	HL ← (saddrp)				
	XCHW	AX, rp ^{注4}	1	1	—	AX ↔ rp			
ONEW	AX	1	1	—	AX ← 0001H				
	BC	1	1	—	BC ← 0001H				
CLRW	AX	1	1	—	AX ← 0000H				
	BC	1	1	—	BC ← 0000H				
8 ビット 演 算	ADD	A, #byte	2	1	—	A, CY ← A+byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr)+byte	x	x	x
		A, r ^{注3}	2	1	—	A, CY ← A+r	x	x	x
		r, A	2	1	—	r, CY ← r+A	x	x	x
		A, !addr16	3	1	4	A, CY ← A+(addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A+(ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A+(saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A+(HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A+(ES, HL)	x	x	x
A, [HL+byte]	2	1	4	A, CY ← A+(HL+byte)	x	x	x		

表 22-5 オペレーション一覧 (6/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8 ビット 演算	ADD	A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + \text{byte})$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (HL + B)$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + B)$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (HL + C)$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + C)$	x	x	x
	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (ES, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (saddr) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (HL) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (ES, HL) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (HL + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (HL + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (HL + C) + CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + C) + CY$	x	x	x
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte}$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr)$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL)$	x	x	x
A, ES:[HL]		2	2	5	$A, CY \leftarrow A - (ES, HL)$	x	x	x	
A, [HL+byte]		2	1	4	$A, CY \leftarrow A - (HL + \text{byte})$	x	x	x	
A, ES:[HL+byte]		3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte})$	x	x	x	
A, [HL+B]		2	1	4	$A, CY \leftarrow A - (HL + B)$	x	x	x	
A, ES:[HL+B]		3	2	5	$A, CY \leftarrow A - ((ES, HL) + B)$	x	x	x	
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C)$	x	x	x		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + C)$	x	x	x		

表 22-5 オペレーション一覧 (7/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8 ビット 演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r - CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16}) - CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL) - CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL) - CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte}) - CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL + B) - CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + B) - CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C) - CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES:HL) + C) - CY$	x	x	x
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	x		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \wedge r$	x		
		r, A	2	1	—	$r \leftarrow r \wedge A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (ES:\text{addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	x		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (HL)$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (ES:HL)$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (HL + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + \text{byte})$	x		
A, [HL+B]	2	1	4	$A \leftarrow A \wedge (HL + B)$	x				
A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + B)$	x				
A, [HL+C]	2	1	4	$A \leftarrow A \wedge (HL + C)$	x				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + C)$	x				

表 22-5 オペレーション一覧 (8/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8 ビット 演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$	x		
		r, A	2	1	—	$r \leftarrow r \vee A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr}16)$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES}:\text{addr}16)$	x		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES}:\text{HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL}+\text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+\text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL}+B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL}+C)$	x		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+C)$	x		
	XOR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$	x		
		r, A	2	1	—	$r \leftarrow r \vee A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr}16)$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES}:\text{addr}16)$	x		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES}:\text{HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL}+\text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+\text{byte})$	x		

表 22-5 オペレーション一覧 (9/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A-byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)-byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)-byte	×	×	×
		saddr, #byte	3	1	—	(saddr)-byte	×	×	×
		A, r ^{注3}	2	1	—	A-r	×	×	×
		r, A	2	1	—	r-A	×	×	×
		A, !addr16	3	1	4	A-(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A-(ES:addr16)	×	×	×
		A, saddr	2	1	—	A-(saddr)	×	×	×
		A, [HL]	1	1	4	A-(HL)	×	×	×
		A, ES:[HL]	2	2	5	A-(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A-(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A-((ES:HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A-(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A-((ES:HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A-(HL+C)	×	×	×
	A, ES:[HL+C]	3	2	5	A-((ES:HL)+C)	×	×	×	
	CMP0	A	1	1	—	A-00H	×	0	0
		X	1	1	—	X-00H	×	0	0
		B	1	1	—	B-00H	×	0	0
C		1	1	—	C-00H	×	0	0	
!addr16		3	1	4	(addr16)-00H	×	0	0	
ES:!addr16		4	2	5	(ES:addr16)-00H	×	0	0	
saddr		2	1	—	(saddr)-00H	×	0	0	
CMPS	X, [HL+byte]	3	1	4	X-(HL+byte)	×	×	×	
	X, ES:[HL+byte]	4	2	5	X-((ES:HL)+byte)	×	×	×	
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX+word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX+AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX+BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX+DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX+HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX+(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX+(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX+(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX+(HL+byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX+((ES:HL)+byte)	×	×	×

表 22-5 オペレーション一覧 (10/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
16 ビット 演算	SUBW	AX, #word	3	1	—	AX, CY ← AX-word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX-BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX-DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX-HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX-(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX-((ES:HL)+byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX-word	×	×	×
		AX, BC	1	1	—	AX-BC	×	×	×
		AX, DE	1	1	—	AX-DE	×	×	×
		AX, HL	1	1	—	AX-HL	×	×	×
		AX, !addr16	3	1	4	AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX-(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX-((ES:HL)+byte)	×	×	×
乗算	MULU	X	1	1	—	AX ← A×X			
増減	INC	r	1	1	—	r ← r+1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16)+1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16)+1	×	×	
		saddr	2	2	—	(saddr) ← (saddr)+1	×	×	
		[HL+byte]	3	2	—	(HL+byte) ← (HL+byte)+1	×	×	
		ES: [HL+byte]	4	3	—	((ES:HL)+byte) ← ((ES:HL)+byte)+1	×	×	
	DEC	r	1	1	—	r ← r-1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16)-1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16)-1	×	×	
		saddr	2	2	—	(saddr) ← (saddr)-1	×	×	
		[HL+byte]	3	2	—	(HL+byte) ← (HL+byte)-1	×	×	
		ES: [HL+byte]	4	3	—	((ES:HL)+byte) ← ((ES:HL)+byte)-1	×	×	
	INCW	rp	1	1	—	rp ← rp+1			
		!addr16	3	2	—	(addr16) ← (addr16)+1			
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16)+1			
		saddrp	2	2	—	(saddrp) ← (saddrp)+1			
		[HL+byte]	3	2	—	(HL+byte) ← (HL+byte)+1			
		ES: [HL+byte]	4	3	—	((ES:HL)+byte) ← ((ES:HL)+byte)+1			

表 22-5 オペレーション一覧 (11/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
増減	DECW	rp	1	1	—	$rp \leftarrow rp-1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16)-1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)-1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)-1$			
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)-1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	
ローテート	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
		BC, 1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×
ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$					

表 22-5 オペレーション一覧 (12/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
ビット操作	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×
	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			×
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	×	×	×
		laddr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:laddr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	×	×	×
		laddr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:laddr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
saddr.bit		3	2	—	$(saddr).bit \leftarrow 0$				
sfr.bit		3	2	—	$sfr.bit \leftarrow 0$				
[HL].bit		2	2	—	$(HL).bit \leftarrow 0$				
ES:[HL].bit		3	3	—	$(ES, HL).bit \leftarrow 0$				
SET1	CY	2	1	—	$CY \leftarrow 1$			1	
CLR1	CY	2	1	—	$CY \leftarrow 0$			0	
NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			×	

表 22-5 オペレーション一覧 (13/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP-2) ← (PC+2) _S , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC ← CS, rp, SP ← SP-4			
		\$!addr20	3	3	—	(SP-2) ← (PC+3) _S , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← PC+3+jdisp16, SP ← SP-4			
		!addr16	3	3	—	(SP-2) ← (PC+3) _S , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← 0000, addr16, SP ← SP-4			
		!!addr20	4	3	—	(SP-2) ← (PC+4) _S , (SP-3) ← (PC+4) _H , (SP-4) ← (PC+4) _L , PC ← addr20, SP ← SP-4			
	CALLT	[addr5]	2	5	—	(SP-2) ← (PC+2) _S , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PCS ← 0000, PC _H ← (0000, addr5+1), PC _L ← (0000, addr5), SP ← SP-4			
	BRK	—	2	5	—	(SP-1) ← PSW, (SP-2) ← (PC+2) _S , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _S ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP-4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _S ← (SP+2), SP ← SP+4			
RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _S ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R	
RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _S ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R	
スタック操作	PUSH	PSW	2	1	—	(SP-1) ← PSW, (SP-2) ← 00H, SP ← SP-2			
		rp	1	1	—	(SP-1) ← rp _H , (SP-2) ← rp _L , SP ← SP-2			
	POP	PSW	2	3	—	PSW ← (SP+1), SP ← SP+2	R	R	R
		rp	1	1	—	rp _L ← (SP), rp _H ← (SP+1), SP ← SP+2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP+byte				
SUBW	SP, #byte	2	1	—	SP ← SP-byte				

表 22-5 オペレーション一覧 (14/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC+2+jdisp8			
		\$!addr20	3	3	—	PC ← PC+3+jdisp16			
		laddr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4 注5	—	PC ← PC+2+jdisp8 if CY=1			
	BNC	\$addr20	2	2/4 注5	—	PC ← PC+2+jdisp8 if CY=0			
	BZ	\$addr20	2	2/4 注5	—	PC ← PC+2+jdisp8 if Z=1			
	BNZ	\$addr20	2	2/4 注5	—	PC ← PC+2+jdisp8 if Z=0			
	BH	\$addr20	3	2/4 注5	—	PC ← PC+3+jdisp8 if (Z∨CY)=0			
	BNH	\$addr20	3	2/4 注5	—	PC ← PC+3+jdisp8 if (Z∨CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if (saddr).bit=1			
		sfr.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if sfr.bit=1			
		A.bit, \$addr20	3	3/5 注5	—	PC ← PC+3+jdisp8 if A.bit=1			
		PSW.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if PSW.bit=1			
		[HL].bit, \$addr20	3	3/5 注5	6/7	PC ← PC+3+jdisp8 if (HL).bit=1			
		ES:[HL].bit, \$addr20	4	4/6 注5	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit=1			
	BF	saddr.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if (saddr).bit=0			
		sfr.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if sfr.bit=0			
		A.bit, \$addr20	3	3/5 注5	—	PC ← PC+3+jdisp8 if A.bit=0			
		PSW.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if PSW.bit=0			
		[HL].bit, \$addr20	3	3/5 注5	6/7	PC ← PC+3+jdisp8 if (HL).bit=0			
		ES:[HL].bit, \$addr20	4	4/6 注5	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit=0			
	BTCLR	saddr.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if (saddr).bit=1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 注5	—	PC ← PC+4+jdisp8 if sfr.bit=1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 注5	—	PC ← PC+3+jdisp8 if A.bit=1 then reset A.bit			
PSW.bit, \$addr20		4	3/5 注5	—	PC ← PC+4+jdisp8 if PSW.bit=1 then reset PSW.bit	x	x	x	
[HL].bit, \$addr20		3	3/5 注5	—	PC ← PC+3+jdisp8 if (HL).bit=1 then reset (HL).bit				
ES:[HL].bit, \$addr20		4	4/6 注5	—	PC ← PC+4+jdisp8 if (ES, HL).bit=1 then reset (ES, HL).bit				

表 22-5 オペレーション一覧 (15/15)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY=1			
	SKNC	—	2	1	—	Next instruction skip if CY=0			
	SKZ	—	2	1	—	Next instruction skip if Z=1			
	SKNZ	—	2	1	—	Next instruction skip if Z=0			
	SKH	—	2	1	—	Next instruction skip if (Z∨CY)=0			
	SKNH	—	2	1	—	Next instruction skip if (Z∨CY)=1			
CPU制御	SEL 注6	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部 RAM 領域、SFR 領域および拡張 SFR 領域をアクセスしたとき、またはデータ・アクセスをしないときの CPU クロック (f_{CLK}) 数。

注2. コード・フラッシュ領域および 8 ビット命令でデータ・フラッシュ領域をアクセスしたときの CPU クロック (f_{CLK}) 数。

注3. r=A を除く。

注4. rp=AX を除く。

注5. クロック数は“条件不成立時/条件成立時”を表しています。

注6. n はレジスタ・バンク番号です (n=0-3)。

備考1. クロック数は内部 ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合、最大 2 倍+3 クロックになります。

備考2. cnt はビット・シフト数です。

第23章 電気的特性 (T_A=-40°C~+85°C)

- ★ この章では、A品：民生用途 (T_A=-40~+85°C)、G品：産業用途 (T_A=-40~+105°C)、M品：産業用途 (T_A=-40~+125°C) を、T_A=-40~+85°C の範囲で使用する場合の電気的特性を示します。

注意 1. RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意 2. 製品により搭載している端子が異なります。ポート機能は「2.1 ポート機能」、ポート以外の機能は「2.2.1 製品別の搭載機能」を参照してください。

- ★ **備考** G品：産業用途およびM品：産業用途は、A品：民生用途と高速オンチップ・オシレータ・クロック精度が異なります。

用途区分	A品：民生用途	G品：産業用途	M品：産業用途
高速オンチップ・オシレータ・クロック精度	±2.0% @T _A =-40~+85°C	±1.5% @T _A =+85~+105°C ±1.0% @T _A =-20~+85°C ±1.5% @T _A =-40~-20°C	±1.5% @T _A =+85~+125°C ±1.0% @T _A =-20~+85°C ±1.5% @T _A =-40~-20°C

23.1 絶対最大定格

[$T_A = 25^{\circ}\text{C}$]

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		-0.5~+6.5	V	
入力電圧	V_{I1}		-0.3~ $V_{DD}+0.3$ 注1	V	
出力電圧	V_{O1}		-0.3~ $V_{DD}+0.3$	V	
ハイ・レベル出力電流	I_{OH1}	1 端子	-40	mA	
		端子合計 -170mA	P20-P23, P40, P41, P121, P122, P125	-70	mA
			P00-P07	-100	mA
ロウ・レベル出力電流	I_{OL1}	1 端子	40	mA	
		端子合計 170mA	P20-P23, P40, P41, P121, P122, P125	100	mA
			P00-P07	100	mA
動作周囲温度	T_A		-40~+85	$^{\circ}\text{C}$	
保存温度	T_{stg}		-65~+150	$^{\circ}\text{C}$	

注1. 6.5V 以下であること。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. V_{SS} を基準電圧とする。

23.2 発振回路特性

23.2.1 X1 発振回路特性

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1 クロック発振周波数 (fx) 注1	セラミック発振子/ 水晶振動子	2.4V ≤ V _{DD} ≤ 5.5V	1		12	MHz

注1. 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、「23.4 AC 特性」を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1 発振回路を使用する場合は、「5.4 システム・クロック発振回路」を参照してください。

23.2.2 オンチップ・オシレータ特性

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数 注1、注2	f _{IH}		1		16	MHz
高速オンチップ・オシレータ・クロック周波数精度		T _A =-40~+85°C	-2.0		+2.0	%
低速オンチップ・オシレータ・クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のビット 0-2 で選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、「23.4 AC 特性」を参照してください。

23.3 DC 特性

23.3.1 端子特性

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 注1	I _{OH1}	P00-P07, P20-P23, P40, P41, P121, P122, P125 1 端子			-10.0 ^{注2}	mA	
		P20-P23, P40, P41, P121, P122, P125 合計 (デューティ ≤ 70% ^{注3})	4.0V ≤ V _{DD} ≤ 5.5V			-65.0	mA
			2.7V ≤ V _{DD} < 4.0V			-14.0	mA
		P00-P07 合計 (デューティ ≤ 70% ^{注3})	2.4V ≤ V _{DD} < 2.7V			-10.5	mA
			4.0V ≤ V _{DD} ≤ 5.5V			-65.0	mA
			2.7V ≤ V _{DD} < 4.0V			-12.0	mA
		全端子合計 (デューティ ≤ 70% ^{注3})				-9.0	mA
ロウ・レベル出力電流 注4	I _{OL1}	P00-P07, P20-P23, P40, P41, P121, P122, P125 1 端子			20.0 ^{注2}	mA	
		P20-P23, P40, P41, P121, P122, P125 合計 (デューティ ≤ 70% ^{注3})	4.0V ≤ V _{DD} ≤ 5.5V			85.0	mA
			2.7V ≤ V _{DD} < 4.0V			21.0	mA
		P00-P07 合計 (デューティ ≤ 70% ^{注3})	2.4V ≤ V _{DD} < 2.7V			4.2	mA
			4.0V ≤ V _{DD} ≤ 5.5V			85.0	mA
			2.7V ≤ V _{DD} < 4.0V			18.0	mA
		全端子合計 (デューティ ≤ 70% ^{注3})				3.6	mA
全端子合計 (デューティ ≤ 70% ^{注3})				145.0	mA		

注1. V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値は超えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を n%に変更する場合)。

- 端子合計の出力電流 = (I_{OH} × 0.7) / (n × 0.01)
 <計算例> I_{OH} = -10.0mA の場合、n = 80%
 端子合計の出力電流 = (-10.0 × 0.7) / (80 × 0.01) ≒ -8.7mA
- 端子合計の出力電流 = (I_{OL} × 0.7) / (n × 0.01)
 <計算例> I_{OL} = 10.0mA の場合、n = 80%
 端子合計の出力電流 = (10.0 × 0.7) / (80 × 0.01) ≒ 8.7mA

ただし、1 端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. 出力端子から V_{SS} 端子に流れ込んでも、デバイスの動作を保証する電流値です。

注意 P00, P01, P03-P07, P22, P41 は、N-ch オープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}			0.8V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}			0		0.2V _{DD}	V
ハイ・レベル出力電圧 注1	V _{OH1}	4.0V ≤ V _{DD} ≤ 5.5V	I _{OH} = -10mA	V _{DD} -1.5			V
			I _{OH} = -3.0mA	V _{DD} -0.7			V
		2.7V ≤ V _{DD} ≤ 5.5V	I _{OH} = -2.0mA	V _{DD} -0.6			V
				2.4V ≤ V _{DD} ≤ 5.5V	I _{OH} = -1.5mA	V _{DD} -0.5	
ロウ・レベル出力電圧 注2	V _{OL1}	4.0V ≤ V _{DD} ≤ 5.5V	I _{OL} = 20mA			1.3	V
			I _{OL} = 8.5mA			0.7	V
		2.7V ≤ V _{DD} ≤ 5.5V	I _{OL} = 3.0mA			0.6	V
				I _{OL} = 1.5mA			0.4
2.4V ≤ V _{DD} ≤ 5.5V	I _{OL} = 0.6mA			0.4	V		
ハイ・レベル入力 リーク電流	I _{LIH1}	P00-P07, P20-P23, P40, P41, P125, P137 V _I =V _{DD}				1	μA
		P121, P122 (X1, X2, EXCLK) V _I =V _{DD}	入力ポート時、外部 クロック入力時			1	μA
	発振子接続時				10	μA	
ロウ・レベル入力 リーク電流	I _{LIL1}	P00-P07, P20-P23, P40, P41, P125, P137 V _I =V _{SS}				-1	μA
		P121, P122 (X1, X2, EXCLK) V _I =V _{SS}	入力ポート時、外部 クロック入力時			-1	μA
	発振子接続時				-10	μA	
内蔵プルアップ抵抗	R _U	V _I =V _{SS}		10	20	100	kΩ

注1. ハイ・レベル出力電流 (I_{OH1}) を満たした条件での値です。

注2. ロウ・レベル出力電流 (I_{OL1}) を満たした条件での値です。

注意 P00, P01, P03-P07, P22, P41 は、N-ch オープン・ドレイン・モード時でも、V_{IH}の最大値 (MAX.) は V_{DD} です。また、N-ch オープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

23.3.2 電源電流特性

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD1}	動作モード	基本動作	f _{IH} =16MHz ^{注4}	V _{DD} =3.0V, 5.0V		0.87		mA
			通常動作	f _{IH} =16MHz ^{注4}	V _{DD} =3.0V, 5.0V		1.86	2.47	mA
				f _{IH} =4MHz ^{注4}	V _{DD} =3.0V, 5.0V		1.17	1.64	mA
				f _{EX} =16MHz ^{注5、注6}	方形波入力 V _{DD} =3.0V, 5.0V		1.69	2.30	mA
				f _X =12MHz ^{注5、注6}	発振子接続 V _{DD} =3.0V, 5.0V		1.57	2.30	mA
				f _{MX} =4MHz ^{注5、注6}	方形波入力 V _{DD} =3.0V, 5.0V		1.00	1.46	mA
				発振子接続		1.05	1.53	mA	
	I _{DD2} ^{注2}	HALT モード		f _{IH} =16MHz ^{注4}	V _{DD} =3.0V, 5.0V		371	800	μA
				f _{IH} =4MHz ^{注4}	V _{DD} =3.0V, 5.0V		334	630	μA
				f _{EX} =16MHz ^{注5、注6}	方形波入力 V _{DD} =3.0V, 5.0V		207	636	μA
				f _X =12MHz ^{注5、注6}	発振子接続 V _{DD} =3.0V, 5.0V		309	894	μA
				f _{MX} =4MHz ^{注5、注6}	方形波入力 V _{DD} =3.0V, 5.0V		156	452	μA
				発振子接続		207	599	μA	
I _{DD3} ^{注3}	STOP モード		V _{DD} =3.0V		0.62	2.25	μA		

注1. V_{DD}に流れる電流です。入力端子を V_{DD}または V_{SS}に固定した状態での入力リーク電流を含みます。メインシステム・クロック動作の数値について、TYP.値には周辺動作電流を含みません。MAX.値には、周辺動作電流を含みます。ただし、A/D コンバータ、コンパレータ、I/O ポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。サブシステム・クロック動作の数値について、TYP.値および MAX.値には周辺動作電流を含みません。ただし、HALT モード時は RTC に流れる電流を含みます。STOP モードの数値について、TYP.値および MAX.値には周辺動作電流を含みません。

注2. フラッシュ・メモリでの HALT 命令実行時。

注3. 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注4. 高速システム・クロックは停止時

注5. 高速オンチップ・オシレータは停止時

注6. 16ピン, 20ピン製品のみ

備考1. f_{IH}: 高速オンチップ・オシレータ・クロック周波数

備考2. f_{MX}: 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考3. TYP.値の温度条件は、T_A=25°Cです。

周辺機能

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
低速オンチップ・オシレータ動作電流	I _{FIL} 注1			0.30		μA	
12ビット・インターバル・タイマ動作電流	I _{TMKA} 注1、注3			0.02		μA	
ウォッチドッグ・タイマ動作電流	I _{WDT} 注1、注4			0.02		μA	
A/Dコンバータ動作電流	I _{ADC} 注1、注5	最速変換時	V _{DD} =5.0V		1.30	1.90	mA
			V _{DD} =3.0V		0.50		mA
コンパレータ動作電流	I _{CMP} 注1、注6	高速モード時	V _{DD} =5.0V		6.50		μA
		低速モード時	V _{DD} =5.0V		1.70		μA
内部基準電圧動作電流	I _{VREG} 注1			10		μA	
セルフ・プログラミング動作電流	I _{FSP} 注1、注7			2.0	12.20	mA	

注1. V_{DD}に流れる電流です。

注2. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

注3. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ動作電流は含みません）。12ビット・インターバル・タイマの動作時は、I_{DD1}、I_{DD2}またはI_{DD3}にI_{FIL}とI_{TMKA}を加算した値が、RL78マイクロコントローラの電流値となります。

注4. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータ動作電流は含みません）。ウォッチドッグ・タイマの動作時は、I_{DD1}、I_{DD2}またはI_{DD3}にI_{FIL}とI_{WDT}を加算した値が、RL78マイクロコントローラの電流値となります。

注5. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時は、I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が、RL78マイクロコントローラの電流値となります。

注6. 1チャンネルのコンパレータにのみ流れる電流です。コンパレータの動作時は、I_{DD1}、I_{DD2}またはI_{DD3}にI_{CMP}を加算した値が、RL78マイクロコントローラの電流値となります。

注7. セルフ・プログラミング動作に流れる電流です。

備考 TYP.値の温度条件は、T_A=25°Cです。

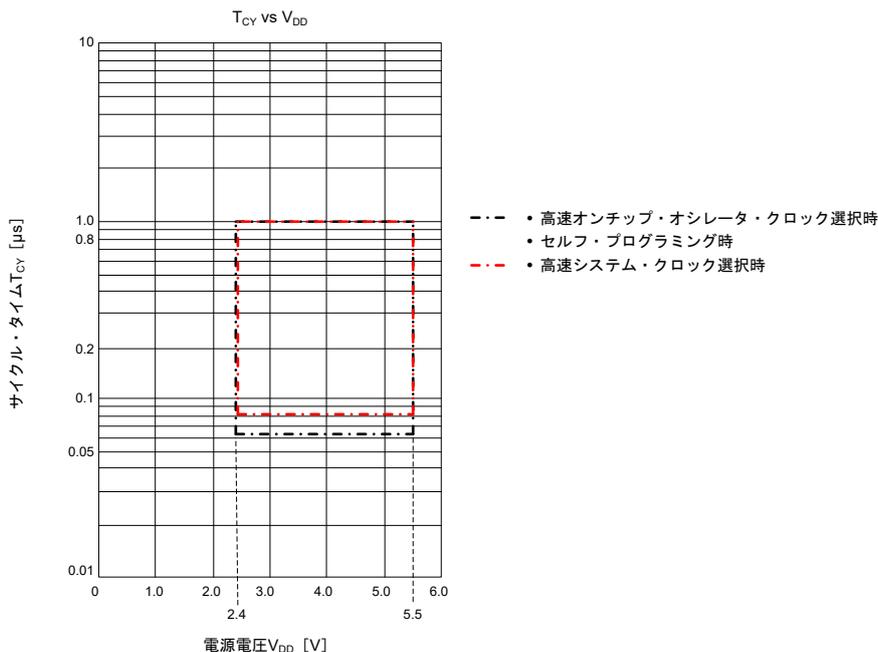
23.4 AC 特性

[TA=-40~+85°C, 2.4V ≤ VDD ≤ 5.5V, VSS=0V]

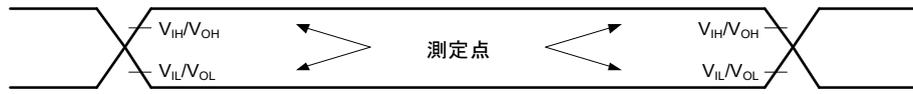
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	高速オンチップ・オシレータ・クロック (fIH) 選択	2.4V ≤ VDD ≤ 5.5V		0.0625	1.0	μs
		高速システム・クロック (fMX) 選択時	2.4V ≤ VDD ≤ 5.5V	方形波入力	0.0625	1.0	μs
				発振子接続	0.0833	1.0	μs
		セルフ・プログラミング時	2.4V ≤ VDD ≤ 5.5V		0.0625	1.0	μs
外部システム・クロック周波数	fEX	2.4V ≤ VDD ≤ 5.5V		1.0		16	MHz
外部システム・クロック入力ハイ, ロウ・レベル幅	tEXH, tEXL	2.4V ≤ VDD ≤ 5.5V		30			ns
T100-T107 入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL	ノイズ・フィルタ未使用時		1/fMCK+10			ns
TO00-TO07 出力周波数	fRO	4.0V ≤ VDD ≤ 5.5V				8	MHz
		2.7V ≤ VDD < 4.0V				5	MHz
		2.4V ≤ VDD < 2.7V				4	MHz
PCLBUZ0 出力周波数	fPCL	4.0V ≤ VDD ≤ 5.5V				10	MHz
		2.7V ≤ VDD < 4.0V				5	MHz
		2.4V ≤ VDD < 2.7V				4	MHz
RESETロウ・レベル幅	tRSL			10			μs

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。
 (タイマ・クロック選択レジスタ 0 (TPS0) とタイマ・モード・レジスタ 0n (TMR0n) の CKS0n1 ビットで設定する動作クロック。n : チャンネル番号 (n=0-7))

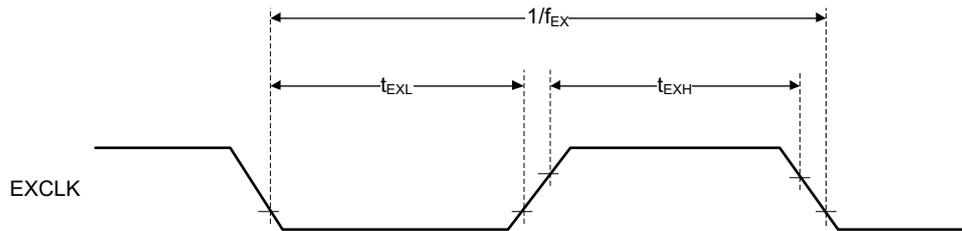
メイン・システム・クロック動作時の最小命令実行時間



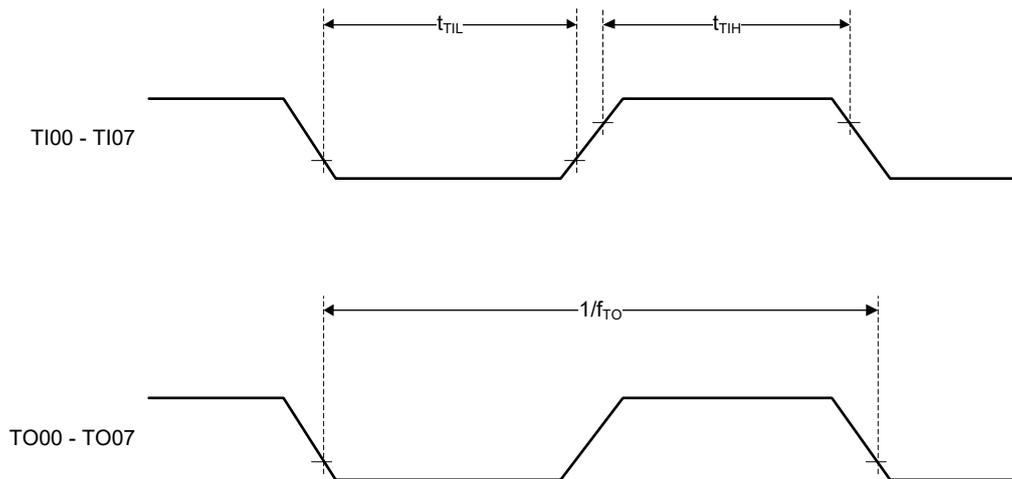
AC タイミング時



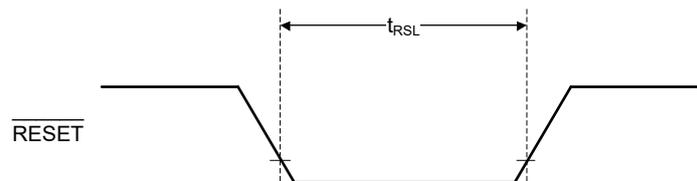
外部システム・クロック・タイミング



TI/TO タイミング

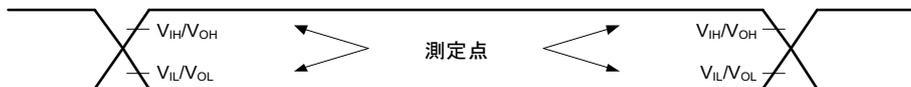


RESET 入力タイミング



23.5 シリアル・インタフェース特性

AC タイミング測定点



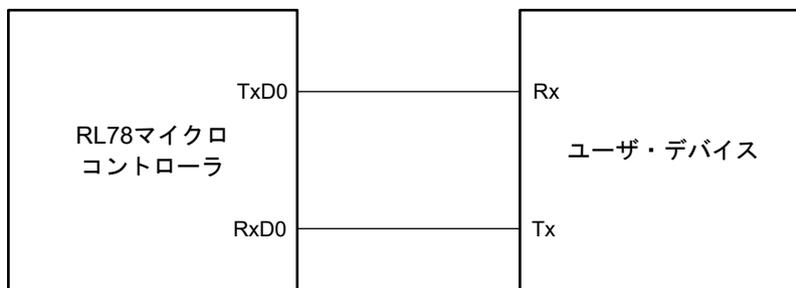
23.5.1 シリアル・アレイ・ユニット

(1) UART モード

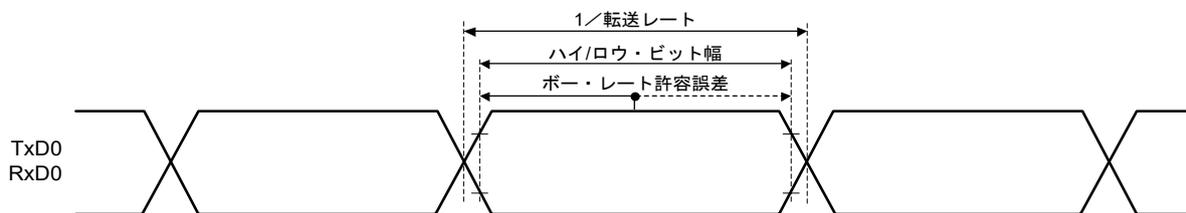
[TA=-40~+85°C, 2.4V ≤ VDD ≤ 5.5V, VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					f _{MCK} /6	bps
		最大転送レート理論値 f _{CLK} =f _{MCK} =16MHz			2.6	Mbps

UART モード接続図



UART モードのビット幅 (参考)



備考 f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタ 0 (SPS0) とシリアル・モード・レジスタ 0n (SMR0n) の CKS0n ビット
 で設定する動作クロック。n : チャンネル番号 (n=0, 1))

(2) 簡易 SPI (CSI) モード (マスタ・モード, SCKp…内部クロック出力)

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK}	2.4V ≤ V _{DD} ≤ 5.5V	250			ns
SCKp ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	2.7V ≤ V _{DD} ≤ 5.5V		t _{KCY1} /2-18			ns
		2.4V ≤ V _{DD} ≤ 5.5V		t _{KCY1} /2-38			ns
Slp セットアップ時間 (対 SCKp ↑) 注1	t _{SIK1}	2.7V ≤ V _{DD} ≤ 5.5V		47			ns
		2.4V ≤ V _{DD} ≤ 5.5V		75			ns
Slp ホールド時間 (対 SCKp ↑) 注1	t _{KSI1}			19			ns
SCKp ↓ → SOp 出力遅延時間注2	t _{KSO1}	C=30pF 注3				25	ns

注1. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

注2. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

注3. C は、SCKp, SOp 出カラインの負荷容量です。

(3) 簡易 SPI (CSI) モード (スレーブ・モード, SCKp…外部クロック入力)

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t _{KCY2}	2.7V ≤ V _{DD} ≤ 5.5V		6/f _{MCK}			ns
		2.4V ≤ V _{DD} ≤ 5.5V		6/f _{MCK} かつ 500			ns
SCKp ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	2.4V ≤ V _{DD} ≤ 5.5V		t _{KCY2} /2-18			ns
Slp セットアップ時間 (対 SCKp ↑) 注1	t _{SIK2}	2.7V ≤ V _{DD} ≤ 5.5V		1/f _{MCK} +20			ns
		2.4V ≤ V _{DD} ≤ 5.5V		1/f _{MCK} +30			ns
Slp ホールド時間 (対 SCKp ↑) 注1	t _{KSI2}	2.4V ≤ V _{DD} ≤ 5.5V		1/f _{MCK} +31			ns
SCKp ↓ → SOp 出力遅延時間注2	t _{KSO2}	C=30pF 注3	2.7V ≤ V _{DD} ≤ 5.5V			2/f _{MCK} +50	ns
			2.4V ≤ V _{DD} ≤ 5.5V			2/f _{MCK} +75	ns

注1. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

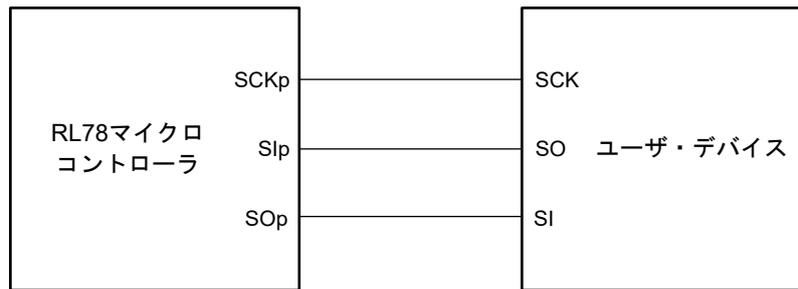
注2. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

注3. C は、SOp 出カラインの負荷容量です。

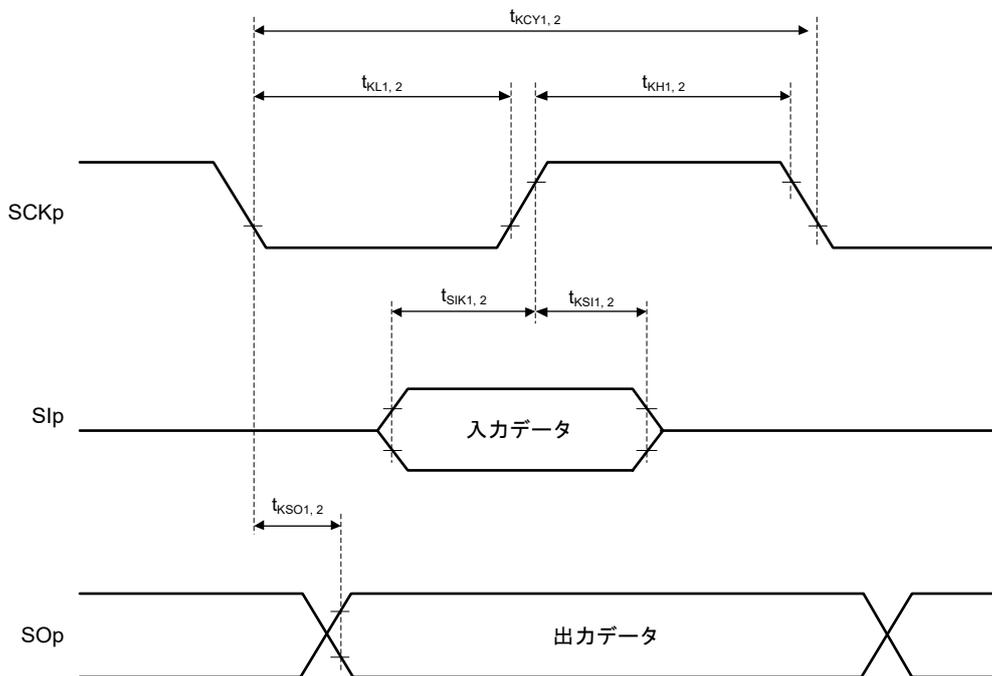
備考1. p : CSI 番号 (p=00, 01)、n : チャネル番号 (n=0, 1)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタ 0 (SPS0) とシリアル・モード・レジスタ 0n (SMR0n) の CKS0n ビットで設定する動作クロック。n : チャネル番号 (n=0, 1))

簡易 SPI (CSI) モード接続図



簡易 SPI (CSI) モード・シリアル転送タイミング
 (DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき)



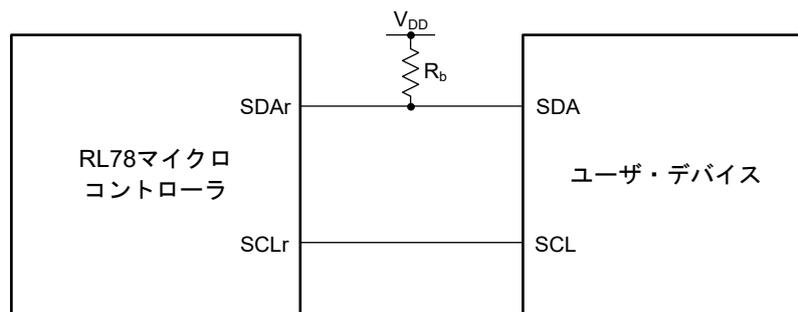
備考 p : CSI 番号 (p=00, 01)、n : チャネル番号 (n=0, 1)

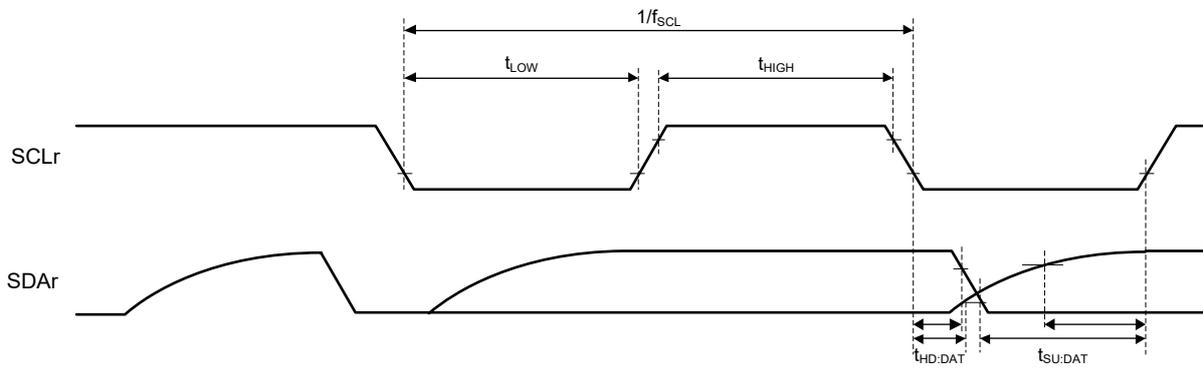
(4) 簡易 I²C モード[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f _{SCL}	C _b =100pF, R _b =3kΩ		400 注1	kHz
SCLr=“L”のホールド・タイム	t _{LOW}	C _b =100pF, R _b =3kΩ	1150		ns
SCLr=“H”のホールド・タイム	t _{HIGH}	C _b =100pF, R _b =3kΩ	1150		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	C _b =100pF, R _b =3kΩ	1/f _{MCK} +145 注2		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	C _b =100pF, R _b =3kΩ	0	355	ns

注1. かつ f_{MCK}/4 以下に設定してください。注2. f_{MCK} 値は、SCLr=“L”と SCLr=“H”のホールド・タイムを超えない値に設定してください。

注意 ポート出力モード・レジスタ 0, 2, 4 (POM0, 2, 4) で、SDAr は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。

簡易 I²C モード接続図

簡易 I²C モード・シリアル転送タイミング

備考1. R_b[Ω] : 通信ライン (SDAr) プルアップ抵抗値、C_b[F] : 通信ライン (SCLr, SDAr) 負荷容量値

備考2. r : IIC 番号 (r=00, 01)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ 0 (SPS0) とシリアル・モード・レジスタ 0n (SMR0n) の CKS0n ビットで設定する動作クロック。n : チャンネル番号 (n=0, 1))

23.5.2 シリアル・インタフェース IICA

[TA=-40~+85°C, 2.4V ≤ VDD ≤ 5.5V, VSS=0V]

項目	略号	条件	標準モード		ファースト・モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f _{SCL}	ファースト・モード : f _{CLK} ≥ 3.5MHz			0	400	kHz
		標準モード : f _{CLK} ≥ 1MHz	0	100			
リスタート・コンディションの セットアップ時間	t _{SU:STA}		4.7		0.6		μs
ホールド時間 ^{注1}	t _{HD:STA}		4.0		0.6		μs
SCLA0 = “L” のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCLA0 = “H” のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}		0	3.45	0	0.9	μs
ストップ・コンディションの セットアップ時間	t _{SU:STO}		4.0		0.6		μs
バス・フリー時間	t _{BUF}		4.7		1.3		μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

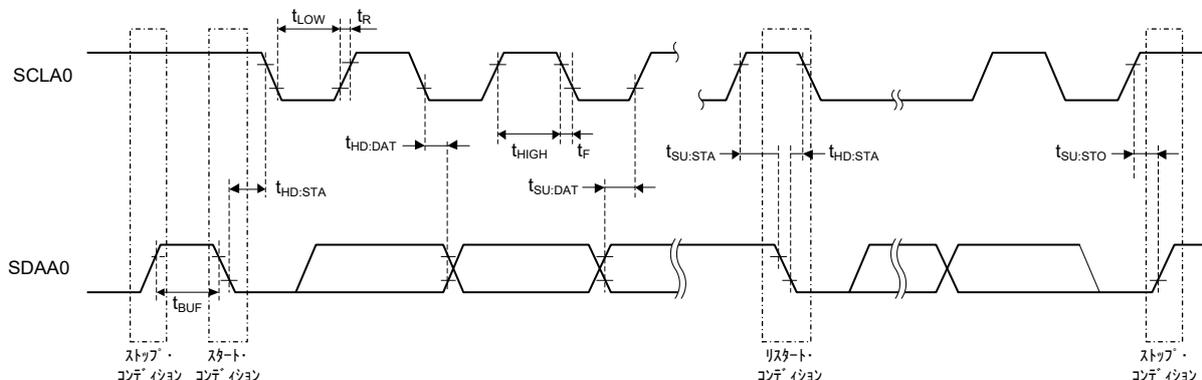
注2. t_{HD:DAT}の最大値 (MAX.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、ウエイトがかかります。

備考 各モードにおける C_b (通信ライン容量) の MAX. 値と、そのときの R_b (通信ライン・プルアップ抵抗値) の値は、次のとおりです。

標準モード : C_b = 400pF, R_b = 2.7kΩ

ファースト・モード : C_b = 200pF, R_b = 1.7kΩ

IICA シリアル転送タイミング



23.6 アナログ特性

23.6.1 A/D コンバータ特性

変換対象 ANI0-ANI10、内部基準電圧

[T_A=−40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1、注2、注3}	AINL	10 ビット分解能	V _{DD} =5V	±1.7	±3.1	LSB
			V _{DD} =3V	±2.3	±4.5	LSB
変換時間	t _{CONV}	10 ビット分解能	2.7V ≤ V _{DD} ≤ 5.5V	4.25	17	μs
		変換対象 : ANI0-ANI10	2.4V ≤ V _{DD} ≤ 5.5V ^{注5}	5.75	23	μs
		10 ビット分解能	2.4V ≤ V _{DD} ≤ 5.5V	5.75	23	μs
		変換対象 : 内部基準電圧 ^{注6}				
ゼロスケール誤差 ^{注1、注2、注3、注4}	E _{ZS}	10 ビット分解能	V _{DD} =5V		±0.19	%FSR
			V _{DD} =3V		±0.39	%FSR
フルスケール誤差 ^{注1、注2、注3、注4}	E _{FS}	10 ビット分解能	V _{DD} =5V		±0.29	%FSR
			V _{DD} =3V		±0.42	%FSR
積分直線性誤差 ^{注1、注2、注3}	ILE	10 ビット分解能	V _{DD} =5V		±1.8	LSB
			V _{DD} =3V		±1.7	LSB
微分直線性誤差 ^{注1、注2、注3}	DLE	10 ビット分解能	V _{DD} =5V		±1.4	LSB
			V _{DD} =3V		±1.5	LSB
アナログ入力電圧	V _{AIN}	変換対象 : ANI0-ANI10	0		V _{DD}	V
		変換対象 : 内部基準電圧 ^{注6}		V _{REG} ^{注7}		V

注1. TYP.値は、T_A=25°Cの平均値です。MAX.値は、正規分布における平均値±3σの値です。

注2. この値は特性評価結果による値であり、出荷検査は行っていません。

注3. 量子化誤差 (±1/2LSB) を含みません。

注4. フルスケール値に対する比率 (%FSR) で表します。

注5. 2.4V ≤ V_{DD} < 2.7V の動作電圧範囲で変換動作を行う場合は、A/D コンバータ・モード・レジスタ 0 (ADM0) の LV0 ビットを必ず 0 に設定してください。

注6. A/D コンバータの変換対象に内部基準電圧を選択するときは、A/D コンバータ・モード・レジスタ 0 (ADM0) の LV0 ビットを必ず 0 に設定してください。

注7. 「23.6.3 内部基準電圧特性」を参照してください。

注意 1. 電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。

注意 2. A/D 変換中は、変換端子の隣接端子に対して、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

注意 3. A/D コンバータの変換対象に内部基準電圧を選択した場合は、コンパレータの基準電圧には内部基準電圧を使用できません。

23.6.2 コンパレータ特性

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	I _{VREF}	IVREFn 端子入力 (CnVRF ビット=0)	0		V _{DD} -1.4	V
		内部基準電圧 (CnVRF ビット=1) 注1	V _{REG} 注2			V
	I _{VCMP}	IVCMPn 端子入力	-0.3		V _{DD} +0.3	V
出力遅延	t _d	V _{DD} =3.0V, 入力スルーレート>50mV/μs	高速モード		0.5	μs
			低速モード		2.0	μs
動作安定待ち時間	t _{CMP}		100			μs

注1. コンパレータの基準電圧に内部基準電圧を選択した場合は、A/D コンバータの変換対象に内部基準電圧を使用できません。

注2. 「23.6.3 内部基準電圧特性」を参照してください。

備考 n : チャネル番号 (n=0, 1)

23.6.3 内部基準電圧特性

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部基準電圧	V _{REG}		0.74	0.815	0.89	V
動作安定待ち時間	t _{AMP}	A/D コンバータ使用時 (ADS レジスタ=0DH)	5			μs

注意 内部基準電圧は、A/D コンバータとコンパレータの両方を同時に使用できません。必ずどちらか一方のみを選択してください。

23.6.4 SPOR 回路特性

[T_A=-40~+85°C, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	V _{SPOR0}	電源立ち上がり時	4.08	4.28	4.45	V
		V _{SPDR0}	電源立ち下がり時	4.00	4.20	4.37	V
		V _{SPOR1}	電源立ち上がり時	2.76	2.90	3.02	V
		V _{SPDR1}	電源立ち下がり時	2.70	2.84	2.96	V
		V _{SPOR2}	電源立ち上がり時	2.44	2.57	2.68	V
		V _{SPDR2}	電源立ち下がり時	2.40	2.52	2.62	V
		V _{SPOR3}	電源立ち上がり時		2.16		V
		V _{SPDR3}	電源立ち下がり時		2.11		V
最小パルス幅 ^{注1}	T _{SPW}		300			μs	

注1. V_{DD}がV_{SPDR}を下回った場合に、SPOR回路によるリセット動作に必要な時間です。

注意 電源電圧 (V_{DD}) が「23.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

23.6.5 電源電圧立ち上がり傾き特性

[T_A=-40~+85°C, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	S _{VDD}				54	V/ms

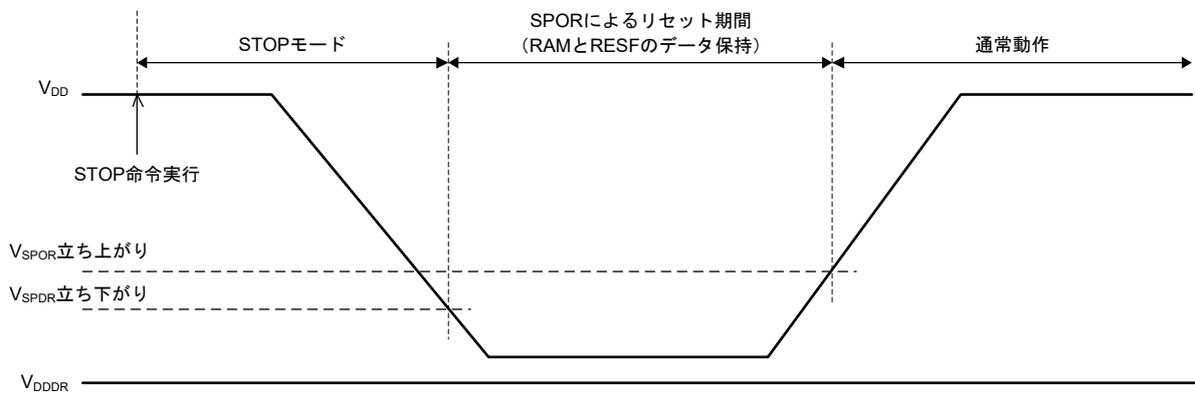
注意 電源電圧 (V_{DD}) が「23.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

23.7 RAM データ保持特性

[T_A=-40~+85°C, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.9		5.5	V

注意 電源電圧がデータ保持電源電圧 (V_{DDDR}) の MIN.値を下回るまではRAM のデータを保持します。電源電圧がデータ保持電源電圧 (V_{DDDR}) の MIN.値を下回っても、RESF レジスタのデータがクリアされないことがあります。



23.8 フラッシュ・メモリ・プログラミング特性

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件		MIN.	TYP.	MAX.	単位
コード・フラッシュの書き換え回数 注1、注2	C _{erwr}	保持年数：20年	T _A =+85°C	1000			回
データ・フラッシュの書き換え回数 注1、注2		保持年数：1年	T _A =+25°C		1,000,000		回
		保持年数：5年	T _A =+85°C	100,000			回
		保持年数：20年	T _A =+85°C	10,000			回

注1. 消去 1 回+消去後の書き込み 1 回を書き換え回数 1 回とします。保持年数は、一度書き換えた後、次に書き換えを行うまでの期間とします。

注2. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

コード・フラッシュ/データ・フラッシュ・セルフ・プログラミング時間

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	f _{CLK} =1MHz			f _{CLK} =16MHz			単位
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
書き込み (4 バイト)	t _{P4}		104	905		53.8	504.9	μs
ブロック消去 (1KB)	t _{E1K}		7.9	262.3		5.5	214.1	ms

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

23.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

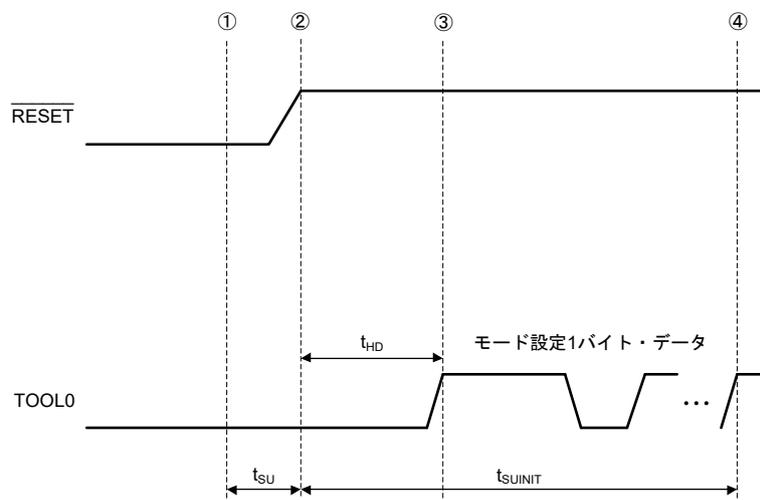
項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート				115,200		bps

備考 フラッシュ・メモリ・プログラミング時の転送レートは 115,200bps 固定です。

23.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

[T_A=-40~+85°C, 2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前に SPOR リセットは解除			100	ms
TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前に SPOR リセットは解除	10			μs
外部リセット解除から、TOOL0 端子をロウ・レベルに保持する時間	t _{HD}	外部リセット解除前に SPOR リセットは解除	1			ms



- ① TOOL0 端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前に SPOR リセットが解除されていること)
- ③ TOOL0 端子のロウ・レベルを解除
- ④ UART 受信によるモード引き込み設定が完了

備考 t_{SUINIT} : この区間では、リセット解除から 100ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0 端子をロウ・レベルに保持する時間

第24章 電気的特性 ($T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $T_A=-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$)

この章では、以下の対象製品の電気的特性を示します。

対象製品 G : 産業用途 $T_A=-40\sim+105^{\circ}\text{C}$

対象製品 M : 産業用途 $T_A=-40\sim+125^{\circ}\text{C}$

注意 1. RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意 2. 製品により搭載している端子が異なります。ポート機能は「2.1 ポート機能」、ポート以外の機能は「2.2.1 製品別の搭載機能」を参照してください。

★ **備考** $T_A=-40\sim+85^{\circ}\text{C}$ の範囲で使用する場合は、第 23 章 電気的特性 ($T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$) を参照してください。ただし、G 品 : 産業用途および M 品 : 産業用途は、A 品 : 民生用途と高速オンチップ・オシレータ・クロック精度が異なります。

用途区分	A 品 : 民生用途	G 品 : 産業用途	M 品 : 産業用途
高速オンチップ・オシレータ・クロック精度	$\pm 2.0\% @T_A=-40\sim+85^{\circ}\text{C}$	$\pm 1.5\% @T_A=+85\sim+105^{\circ}\text{C}$ $\pm 1.0\% @T_A=-20\sim+85^{\circ}\text{C}$ $\pm 1.5\% @T_A=-40\sim-20^{\circ}\text{C}$	$\pm 1.5\% @T_A=+85\sim+125^{\circ}\text{C}$ $\pm 1.0\% @T_A=-20\sim+85^{\circ}\text{C}$ $\pm 1.5\% @T_A=-40\sim-20^{\circ}\text{C}$

24.1 絶対最大定格

[$T_A = 25^{\circ}\text{C}$]

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		-0.5~+6.5	V	
入力電圧	V_{I1}		-0.3~ $V_{DD}+0.3$ 注1	V	
出力電圧	V_{O1}		-0.3~ $V_{DD}+0.3$	V	
ハイ・レベル出力電流	I_{OH1}	1 端子	-40	mA	
		端子合計 -170mA	P20-P23, P40, P41, P121, P122, P125	-70	mA
			P00-P07	-100	mA
ロウ・レベル出力電流	I_{OL1}	1 端子	40	mA	
		端子合計 170mA	P20-P23, P40, P41, P121, P122, P125	100	mA
			P00-P07	100	mA
動作周囲温度	T_A	G 品	-40~+105	$^{\circ}\text{C}$	
		M 品	-40~+125	$^{\circ}\text{C}$	
保存温度	T_{stg}		-65~+150	$^{\circ}\text{C}$	

注1. 6.5V 以下であること。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. V_{SS} を基準電圧とする。

24.2 発振回路特性

24.2.1 X1 発振回路特性

[T_A=-40~+105°C : G 品、T_A=-40~+125°C : M 品、2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1 クロック発振周波数 (fx) 注1	セラミック発振子/ 水晶振動子	2.4V ≤ V _{DD} ≤ 5.5V	1		12	MHz

注1. 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、「24.4 AC 特性」を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1 発振回路を使用する場合は、「5.4 システム・クロック発振回路」を参照してください。

24.2.2 オンチップ・オシレータ特性

[T_A=-40~+105°C : G 品、T_A=-40~+125°C : M 品、2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数 注1、注2	f _{IH}		1		16	MHz
高速オンチップ・オシレータ・クロック周波数精度		T _A =+85~+125°C	-1.5		+1.5	%
		T _A =-20~+85°C	-1.0		+1.0	%
		T _A =-40~-20°C	-1.5		+1.5	%
低速オンチップ・オシレータ・クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のビット 0-2 で選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、「24.4 AC 特性」を参照してください。

24.3 DC 特性

24.3.1 端子特性

[T_A = -40 ~ +105°C : G 品、T_A = -40 ~ +125°C : M 品、2.4V ≤ V_{DD} ≤ 5.5V, V_{SS} = 0V]

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 出力電流 ^{注1}	I _{OH}	P00-P07, P20-P23, P40, P41, P121, P122, P125 1 端子			-3.0 ^{注2}	mA		
		P20-P23, P40, P41, P121, P122, P125 合計 (デューティ ≤ 70% ^{注3})	4.0V ≤ V _{DD} ≤ 5.5V			-25.0	mA	
			2.4V ≤ V _{DD} < 4.0V			-7.0	mA	
		P00-P07 合計 (デューティ ≤ 70% ^{注3})	4.0V ≤ V _{DD} ≤ 5.5V			-24.0	mA	
			2.4V ≤ V _{DD} < 4.0V			-6.0	mA	
全端子合計 (デューティ ≤ 70% ^{注3})				-40.0	mA			
ロウ・レベル 出力電流 ^{注4}	I _{OL}	P00-P07, P20-P23, P40, P41, P121, P122, P125 1 端子			8.5 ^{注2}	mA		
		P20-P23, P40, P41, P121, P122, P125 合計 (デューティ ≤ 70% ^{注3})	4.0V ≤ V _{DD} ≤ 5.5V	T _A = -40 ~ +105°C			50.0	mA
				T _A = -40 ~ +125°C			40.0	mA
			2.7V ≤ V _{DD} < 4.0V				10.5	mA
				2.4V ≤ V _{DD} < 2.7V			4.2	mA
		P00-P07 合計 (デューティ ≤ 70% ^{注3})	4.0V ≤ V _{DD} ≤ 5.5V	T _A = -40 ~ +105°C			50.0	mA
				T _A = -40 ~ +125°C			40.0	mA
			2.7V ≤ V _{DD} < 4.0V				9.0	mA
				2.4V ≤ V _{DD} < 2.7V			3.6	mA
		全端子合計 (デューティ ≤ 70% ^{注3})		T _A = -40 ~ +105°C			80.0	mA
				T _A = -40 ~ +125°C			60.0	mA

注1. V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値は超えないでください。

注3. デューティ ≤ 70% の条件での出力電流の値です。デューティ > 70% に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を n% に変更する場合)。

- 端子合計の出力電流 = (I_{OH} × 0.7) / (n × 0.01)
 <計算例> I_{OH} = -10.0mA の場合、n = 80%
 端子合計の出力電流 = (-10.0 × 0.7) / (80 × 0.01) ≒ -8.7mA
- 端子合計の出力電流 = (I_{OL} × 0.7) / (n × 0.01)
 <計算例> I_{OL} = 10.0mA の場合、n = 80%
 端子合計の出力電流 = (10.0 × 0.7) / (80 × 0.01) ≒ 8.7mA

ただし、1 端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. 出力端子から V_{SS} 端子に流れ込んでも、デバイスの動作を保証する電流値です。

注意 P00, P01, P03-P07, P22, P41 は、N-ch オープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

[T_A = -40 ~ +105°C : G 品、T_A = -40 ~ +125°C : M 品、2.4V ≤ V_{DD} ≤ 5.5V, V_{SS} = 0V]

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}			0.8V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}			0		0.2V _{DD}	V
ハイ・レベル出力電圧 注1	V _{OH1}	4.0V ≤ V _{DD} ≤ 5.5V	I _{OH} = -3.0mA	V _{DD} - 0.7			V
		2.4V ≤ V _{DD} ≤ 5.5V	I _{OH} = -1.0mA	V _{DD} - 0.5			V
ロウ・レベル出力電圧 注2	V _{OL1}	4.0V ≤ V _{DD} ≤ 5.5V	I _{OL} = 8.5mA			0.7	V
		2.7V ≤ V _{DD} ≤ 5.5V	I _{OL} = 1.5mA			0.5	V
		2.4V ≤ V _{DD} ≤ 5.5V	I _{OL} = 0.6mA			0.4	V
ハイ・レベル入力 リーク電流	I _{L1H1}	P00-P07, P20-P23, P40, P41, P125, P137 V _I = V _{DD}				1	μA
		I _{L1H2}	P121, P122 (X1, X2, EXCLK) V _I = V _{DD}	入力ポート時、外部クロック入力時		1	μA
	発振子接続時				10	μA	
ロウ・レベル入力 リーク電流	I _{L1L1}	P00-P07, P20-P23, P40, P41, P125, P137 V _I = V _{SS}				-1	μA
		I _{L1L2}	P121, P122 (X1, X2, EXCLK) V _I = V _{SS}	入力ポート時、外部クロック入力時		-1	μA
	発振子接続時				-10	μA	
内蔵プルアップ抵抗	R _U	V _I = V _{SS}		10	20	100	kΩ

注1. ハイ・レベル出力電流 (I_{OH1}) を満たした条件での値です。

注2. ロウ・レベル出力電流 (I_{OL1}) を満たした条件での値です。

注意 P00, P01, P03-P07, P22, P41 は、N-ch オープン・ドレイン・モード時でも、V_{IH}の最大値 (MAX.) は V_{DD} です。また、N-ch オープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

24.3.2 電源電流特性

[T_A = -40 ~ +105°C : G 品、T_A = -40 ~ +125°C : M 品、2.4V ≤ V_{DD} ≤ 5.5V, V_{SS} = 0V]

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD1}	動作モード	基本動作	f _{IH} = 16MHz ^{注4}	V _{DD} = 3.0V, 5.0V		0.87		mA
			通常動作	f _{IH} = 16MHz ^{注4}	V _{DD} = 3.0V, 5.0V		1.86	2.49	mA
		f _{IH} = 4MHz ^{注4}		V _{DD} = 3.0V, 5.0V		1.17	1.65	mA	
		f _{EX} = 16MHz ^{注5、注6}		方形波入力 V _{DD} = 3.0V, 5.0V		1.69	2.32	mA	
		f _X = 12MHz ^{注5、注6}		発振子接続 V _{DD} = 3.0V, 5.0V		1.57	2.32	mA	
		f _{MX} = 4MHz ^{注5、注6}	方形波入力 V _{DD} = 3.0V, 5.0V		1.00	1.47	mA		
	発振子接続 V _{DD} = 3.0V, 5.0V			1.05	1.55	mA			
	I _{DD2} ^{注2}	HALT モード	f _{IH} = 16MHz ^{注4}	V _{DD} = 3.0V, 5.0V		371	811	μA	
			f _{IH} = 4MHz ^{注4}	V _{DD} = 3.0V, 5.0V		334	637	μA	
			f _{EX} = 16MHz ^{注5、注6}	方形波入力 V _{DD} = 3.0V, 5.0V		207	647	μA	
			f _X = 12MHz ^{注5、注6}	発振子接続 V _{DD} = 3.0V, 5.0V		309	909	μA	
			f _{MX} = 4MHz ^{注5、注6}	方形波入力 V _{DD} = 3.0V, 5.0V		156	459	μA	
				発振子接続 V _{DD} = 3.0V, 5.0V		207	609	μA	
I _{DD3} ^{注3}	STOP モード	V _{DD} = 3.0V	T _A = +105°C		0.62	3.71	μA		
			T _A = +125°C		0.62	7.44	μA		

注1. V_{DD}に流れる電流です。入力端子を V_{DD}または V_{SS}に固定した状態での入力リーク電流を含みます。メインシステム・クロック動作の数値について、TYP.値には周辺動作電流を含みません。MAX.値には、周辺動作電流を含みます。ただし、A/D コンバータ、コンパレータ、I/O ポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

サブシステム・クロック動作の数値について、TYP.値および MAX.値には周辺動作電流を含みません。ただし、HALT モード時は RTC に流れる電流を含みます。

STOP モードの数値について、TYP.値および MAX.値には周辺動作電流を含みません。

注2. フラッシュ・メモリでの HALT 命令実行時。

注3. 12 ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注4. 高速システム・クロックは停止時

注5. 高速オンチップ・オシレータは停止時

注6. 16 ピン, 20 ピン製品のみ

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{MX} : 高速システム・クロック周波数 (X1 クロック発振周波数または外部メイン・システム・クロック周波数)

備考3. TYP.値の温度条件は、T_A = 25°C です。

周辺機能

[$T_A=-40\sim+105^{\circ}\text{C}$: G 品、 $T_A=-40\sim+125^{\circ}\text{C}$: M 品、 $2.4\text{V}\leq V_{DD}\leq 5.5\text{V}$, $V_{SS}=0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
低速オンチップ・オシレータ動作電流	I_{FIL} 注1			0.30		μA	
12ビット・インターバル・タイマ動作電流	I_{TMKA} 注1、注2、注3			0.02		μA	
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1、注4			0.02		μA	
A/Dコンバータ動作電流	I_{ADC} 注1、注5	最速変換時	$V_{DD}=5.0\text{V}$		1.30	1.90	mA
			$V_{DD}=3.0\text{V}$		0.50		mA
コンパレータ動作電流	I_{CMP} 注1、注6	高速モード時	$V_{DD}=5.0\text{V}$		6.50		μA
		低速モード時	$V_{DD}=5.0\text{V}$		1.70		μA
内部基準電圧動作電流	I_{VREG} 注1			10		μA	
セルフ・プログラミング動作電流	I_{FSP} 注1、注7			2.0	12.20	mA	

注1. V_{DD} に流れる電流です。

注2. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

注3. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ動作電流は含みません）。12ビット・インターバル・タイマの動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{FIL} と I_{TMKA} を加算した値が、RL78マイクロコントローラの電流値となります。注4. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータ動作電流は含みません）。ウォッチドッグ・タイマの動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{FIL} と I_{WDT} を加算した値が、RL78マイクロコントローラの電流値となります。注5. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時は、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、RL78マイクロコントローラの電流値となります。注6. 1チャンネルのコンパレータにのみ流れる電流です。コンパレータの動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{CMP} を加算した値が、RL78マイクロコントローラの電流値となります。

注7. セルフ・プログラミング動作に流れる電流です。

備考 TYP.値の温度条件は、 $T_A=25^{\circ}\text{C}$ です。

24.4 AC 特性

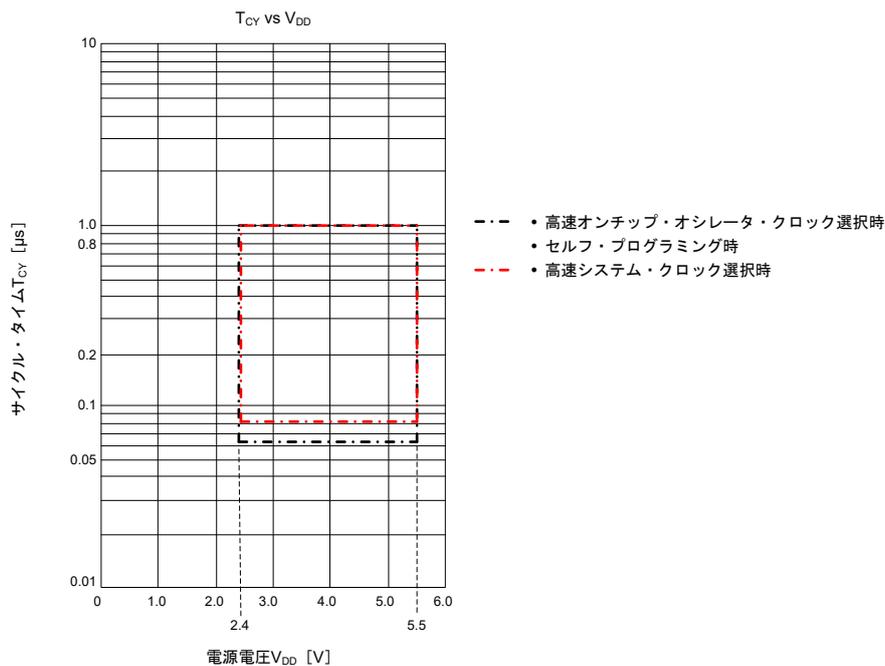
[TA=-40~+105°C : G 品、TA=-40~+125°C : M 品、2.4V ≤ VDD ≤ 5.5V, VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	高速オンチップ・オシレータ・クロック (fIH) 選択	2.4V ≤ VDD ≤ 5.5V		0.0625	1.0	μs
		高速システム・クロック (fMX) 選択時	2.4V ≤ VDD ≤ 5.5V	方形波入力	0.0625	1.0	μs
				発振子接続	0.0833	1.0	μs
		セルフ・プログラミング時	2.4V ≤ VDD ≤ 5.5V		0.0625	1.0	μs
外部システム・クロック周波数	fEX	2.4V ≤ VDD ≤ 5.5V		1.0		16	MHz
外部システム・クロック入力ハイ、ロウ・レベル幅	tEXH, tEXL	2.4V ≤ VDD ≤ 5.5V		30			ns
T100-T107 入力ハイ・レベル幅、ロウ・レベル幅	tTIH, tTIL	ノイズ・フィルタ未使用時		1/fMCK+10			ns
TO00-TO07 出力周波数	fRO	4.0V ≤ VDD ≤ 5.5V				8	MHz
		2.7V ≤ VDD < 4.0V				5	MHz
		2.4V ≤ VDD < 2.7V				4	MHz
PCLBUZ0 出力周波数	fPCL	4.0V ≤ VDD ≤ 5.5V				10	MHz
		2.7V ≤ VDD < 4.0V				5	MHz
		2.4V ≤ VDD < 2.7V				4	MHz
RESETロウ・レベル幅	tRSL			10			μs

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・クロック選択レジスタ 0 (TPS0) とタイマ・モード・レジスタ 0n (TMR0n) の CKS0n1 ビットで設定する動作クロック。n : チャネル番号 (n=0-7))

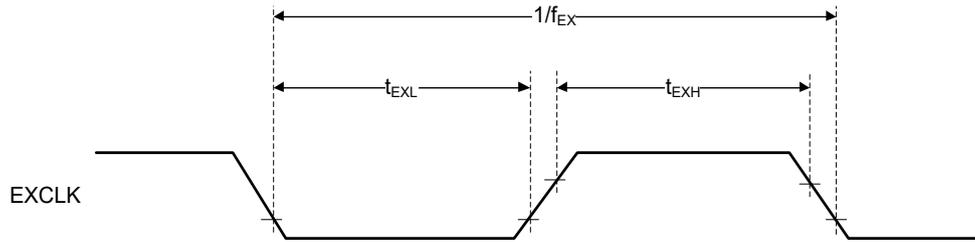
メイン・システム・クロック動作時の最小命令実行時間



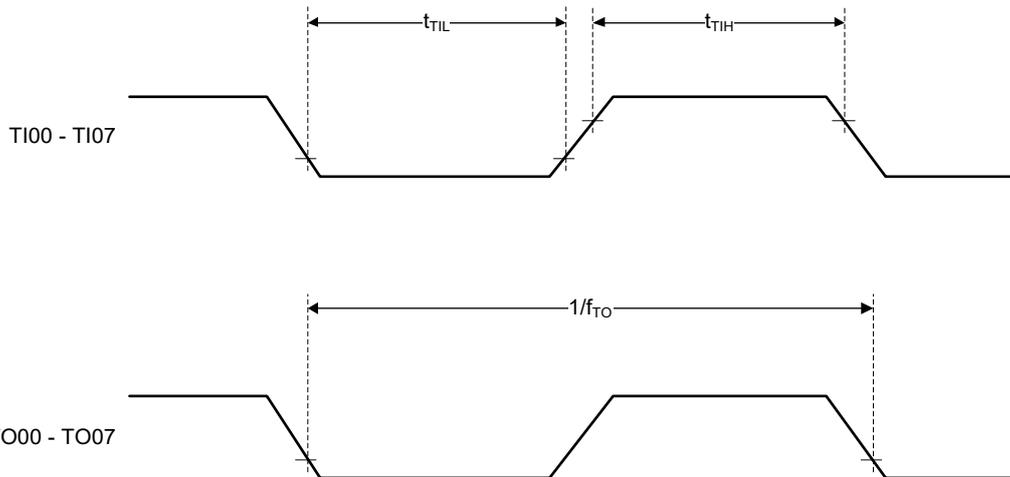
AC タイミング時



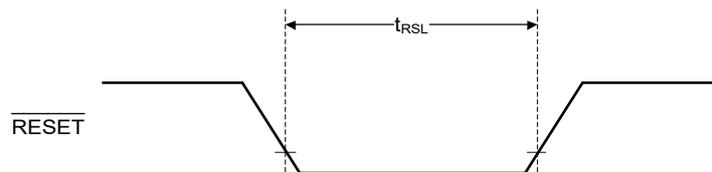
外部システム・クロック・タイミング



TI/TO タイミング

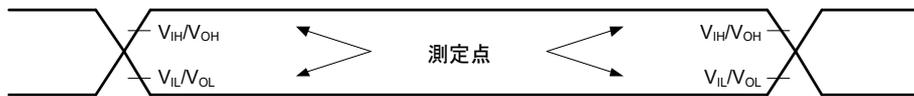


RESET入カタイミング



24.5 シリアル・インタフェース特性

AC タイミング測定点



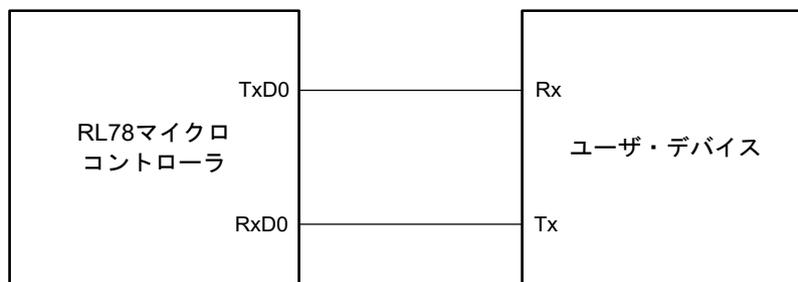
24.5.1 シリアル・アレイ・ユニット

(1) UART モード

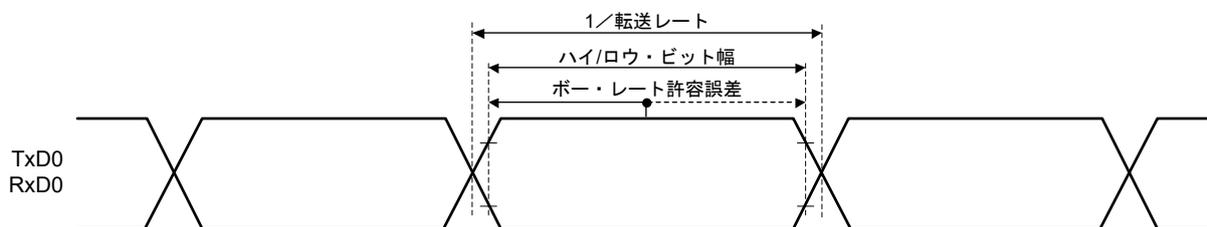
[TA=-40~+105°C : G 品、TA=-40~+125°C : M 品、2.4V ≤ VDD ≤ 5.5V, VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					f _{MCK} /12	bps
		最大転送レート理論値 f _{CLK} =f _{MCK} =16MHz			1.3	Mbps

UART モード接続図



UART モードのビット幅 (参考)



備考 f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタ 0 (SPS0) とシリアル・モード・レジスタ 0n (SMR0n) の CKS0n ビット
 で設定する動作クロック。n : チャネル番号 (n=0, 1))

(2) 簡易 SPI (CSI) モード (マスタ・モード, SCKp…内部クロック出力)

[$T_A = -40 \sim +105^{\circ}\text{C}$: G 品, $T_A = -40 \sim +125^{\circ}\text{C}$: M 品, $2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = 0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKp サイクル・タイム	t_{KCY1}	$t_{\text{KCY1}} \geq 4/f_{\text{CLK}}$	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	250			ns
			$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	500			ns
SCKp ハイ, ロウ・レベル幅	$t_{\text{KH1}}, t_{\text{KL1}}$	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$t_{\text{KCY1}}/2-36$				ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$t_{\text{KCY1}}/2-76$				ns
Slp セットアップ時間 (対 SCKp ↑) 注1	t_{SIK1}	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	66				ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	113				ns
Slp ホールド時間 (対 SCKp ↑) 注1	t_{KSI1}		38				ns
SCKp ↓ → SOp 出力遅延時間注2	t_{KSO1}	$C = 30\text{pF}$ 注3			66		ns

注1. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

注2. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

注3. C は、SCKp, SOp 出力ラインの負荷容量です。

(3) 簡易 SPI (CSI) モード (スレーブ・モード, SCKp…外部クロック入力)

[$T_A = -40 \sim +105^{\circ}\text{C}$: G 品, $T_A = -40 \sim +125^{\circ}\text{C}$: M 品, $2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = 0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKp サイクル・タイム	t_{KCY2}	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$12/f_{\text{MCK}}$			ns	
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$12/f_{\text{MCK}}$ かつ 1000			ns	
SCKp ハイ, ロウ・レベル幅	$t_{\text{KH2}}, t_{\text{KL2}}$	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$t_{\text{KCY2}}/2-16$				ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$t_{\text{KCY2}}/2-36$				ns
Slp セットアップ時間 (対 SCKp ↑) 注1	t_{SIK2}	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$1/f_{\text{MCK}}+40$				ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$1/f_{\text{MCK}}+60$				ns
Slp ホールド時間 (対 SCKp ↑) 注1	t_{KSI2}	$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$1/f_{\text{MCK}}+62$				ns
SCKp ↓ → SOp 出力遅延時間注2	t_{KSO2}	$C = 30\text{pF}$ 注3	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$		$2/f_{\text{MCK}}+66$		ns
			$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$		$2/f_{\text{MCK}}+113$		ns

注1. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

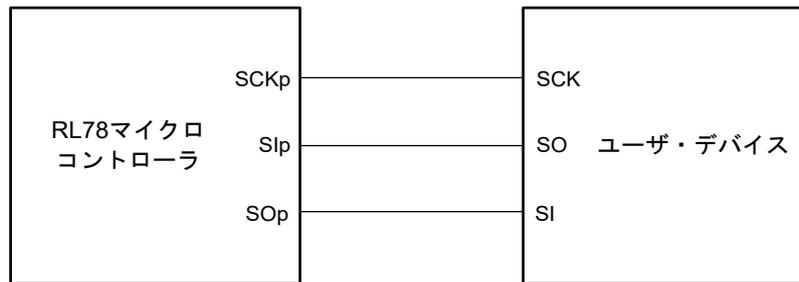
注2. DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき。DAP0n=0, CKP0n=1 または DAP0n=1, CKP0n=0 のときは“対 SCKp ↓”となります。

注3. C は、SOp 出力ラインの負荷容量です。

備考1. p : CSI 番号 (p=00, 01) 、 n : チャネル番号 (n=0, 1)

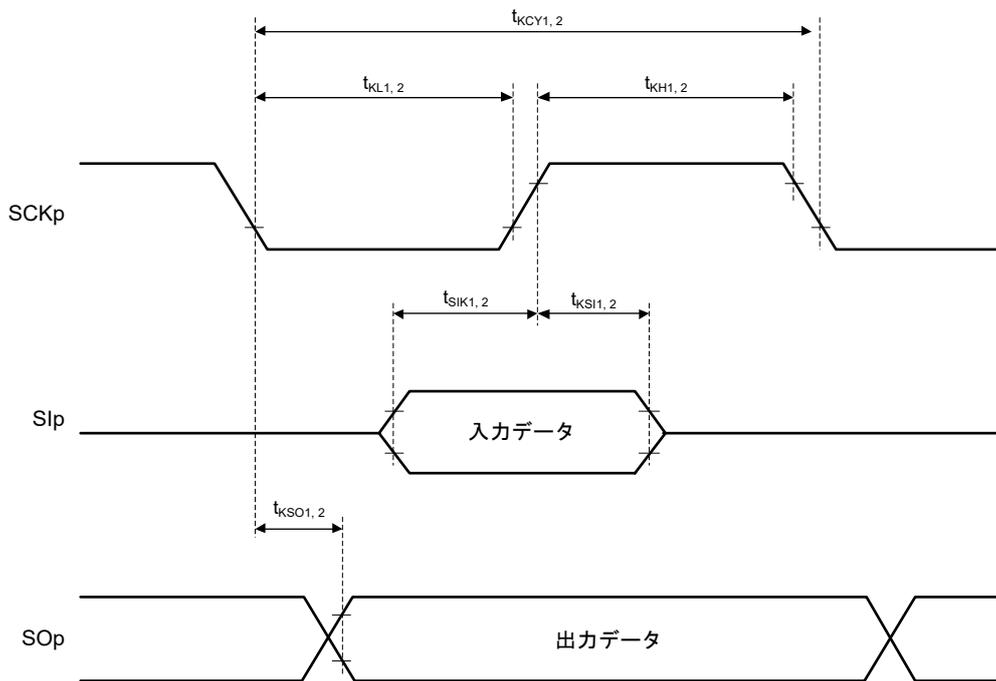
備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタ 0 (SPS0) とシリアル・モード・レジスタ 0n (SMR0n) の CKS0n ビットで設定する動作クロック。n : チャネル番号 (n=0, 1))

簡易 SPI (CSI) モード接続図



簡易 SPI (CSI) モード・シリアル転送タイミング

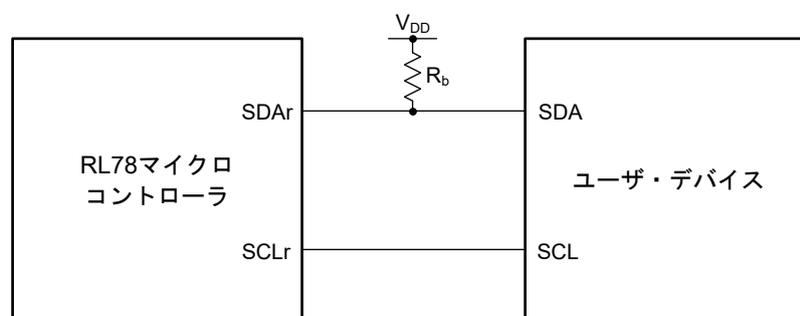
(DAP0n=0, CKP0n=0 または DAP0n=1, CKP0n=1 のとき)

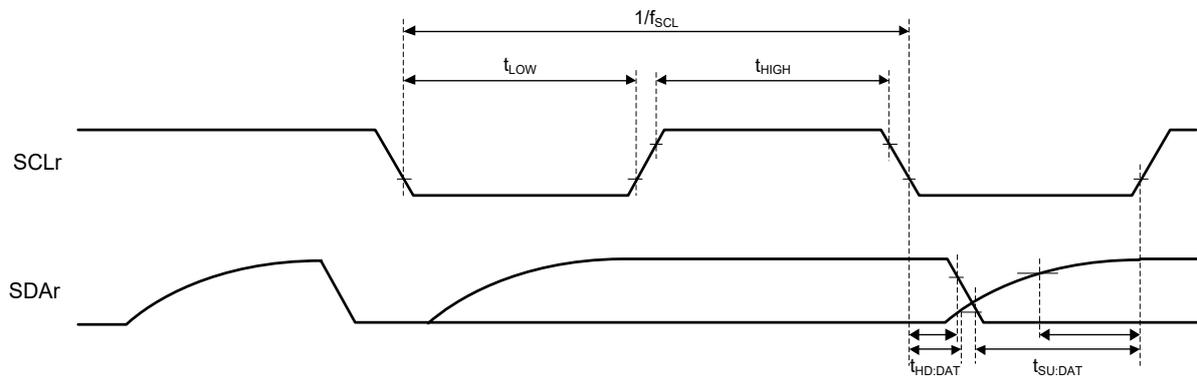


備考 p : CSI 番号 (p=00, 01) 、 n : チャネル番号 (n=0, 1)

(4) 簡易 I²C モード[$T_A = -40 \sim +105^{\circ}\text{C}$: G 品、 $T_A = -40 \sim +125^{\circ}\text{C}$: M 品、 $2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = 0\text{V}$]

項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f_{SCL}	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$		400 注1	kHz
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$		100 注1	kHz
SCLr = “L” のホールド・タイム	t_{LOW}	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$	1200		ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$	4600		ns
SCLr = “H” のホールド・タイム	t_{HIGH}	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$	1200		ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$	4600		ns
データ・セットアップ時間 (受信時)	$t_{\text{SU.DAT}}$	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$		$1/f_{\text{MCK}} + 220$ 注2	ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$		$1/f_{\text{MCK}} + 580$ 注2	ns
データ・ホールド時間 (送信時)	$t_{\text{HD.DAT}}$	$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$	0	770	ns
		$2.4\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $C_b = 100\text{pF}$, $R_b = 3\text{k}\Omega$	0	1420	ns

注1. かつ $f_{\text{MCK}}/4$ 以下に設定してください。注2. f_{MCK} 値は、SCLr = “L” と SCLr = “H” のホールド・タイムを超えない値に設定してください。注意 ポート出力モード・レジスタ 0, 2, 4 (POM0, 2, 4) で、SDAr は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。簡易 I²C モード接続図

簡易 I²C モード・シリアル転送タイミング

備考1. $R_b[\Omega]$: 通信ライン (SDAr) プルアップ抵抗値、 $C_b[F]$: 通信ライン (SCLr, SDAr) 負荷容量値

備考2. r : IIC 番号 ($r=00, 01$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ 0 (SPS0) とシリアル・モード・レジスタ 0n (SMR0n) の CKS0n ビットで設定する動作クロック。 n : チャンネル番号 ($n=0, 1$))

24.5.2 シリアル・インタフェース IICA

[TA=-40~+105°C : G 品, TA=-40~+125°C : M 品, 2.4V ≤ VDD ≤ 5.5V, VSS=0V]

項目	略号	条件	標準モード		ファースト・モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f _{SCL}	ファースト・モード : f _{CLK} ≥ 3.5MHz			0	400	kHz
		標準モード : f _{CLK} ≥ 1MHz	0	100			
リスタート・コンディションの セットアップ時間	t _{SU:STA}		4.7		0.6		μs
ホールド時間 ^{注1}	t _{HD:STA}		4.0		0.6		μs
SCLA0 = “L” のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCLA0 = “H” のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}		0	3.45	0	0.9	μs
ストップ・コンディションの セットアップ時間	t _{SU:STO}		4.0		0.6		μs
バス・フリー時間	t _{BUF}		4.7		1.3		μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

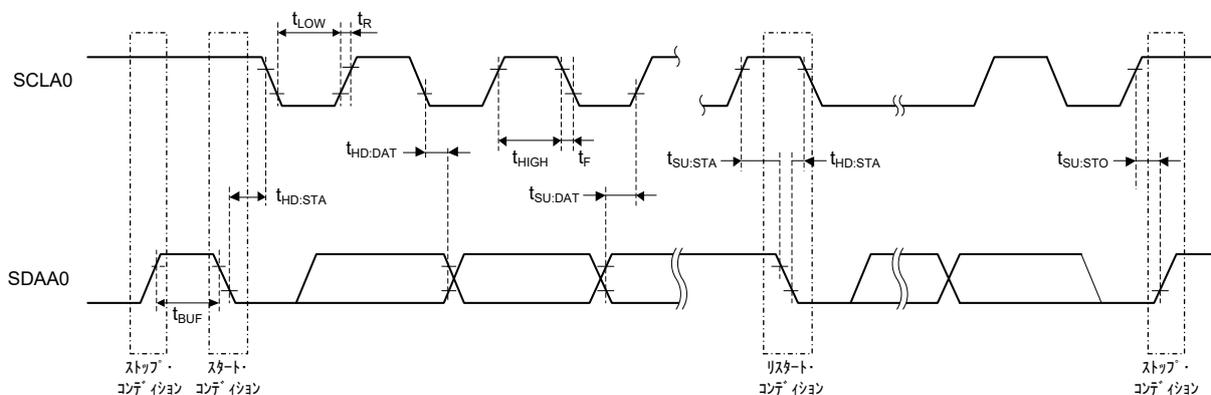
注2. t_{HD:DAT}の最大値 (MAX.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、ウエイトがかかります。

備考 各モードにおける C_b (通信ライン容量) の MAX. 値と、そのときの R_b (通信ライン・プルアップ抵抗値) の値は、次のとおりです。

標準モード : C_b = 400pF, R_b = 2.7kΩ

ファースト・モード : C_b = 200pF, R_b = 1.7kΩ

IICA シリアル転送タイミング



24.6 アナログ特性

24.6.1 A/D コンバータ特性

変換対象 ANI0-ANI10、内部基準電圧

[T_A=-40~+105°C : G 品、T_A=-40~+125°C : M 品、2.4V ≤ V_{DD} ≤ 5.5V, V_{SS}=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1、注2、注3}	AINL	10 ビット分解能	V _{DD} =5V		±1.7	±3.1	LSB
			V _{DD} =3V		±2.3	±4.5	LSB
変換時間	t _{CONV}	10 ビット分解能 変換対象 : ANI0-ANI10	2.7V ≤ V _{DD} ≤ 5.5V	4.25		17	μs
			2.4V ≤ V _{DD} ≤ 5.5V ^{注5}	5.75		23	μs
		10 ビット分解能 変換対象 : 内部基準電圧 ^{注6}	2.4V ≤ V _{DD} ≤ 5.5V	5.75		23	μs
ゼロスケール誤差 ^{注1、注2、注3、注4}	E _{ZS}	10 ビット分解能	V _{DD} =5V			±0.19	%FSR
			V _{DD} =3V				±0.39
フルスケール誤差 ^{注1、注2、注3、注4}	E _{FS}	10 ビット分解能	V _{DD} =5V			±0.29	%FSR
			V _{DD} =3V				±0.42
積分直線性誤差 ^{注1、注2、注3}	ILE	10 ビット分解能	V _{DD} =5V			±1.8	LSB
			V _{DD} =3V				±1.7
微分直線性誤差 ^{注1、注2、注3}	DLE	10 ビット分解能	V _{DD} =5V			±1.4	LSB
			V _{DD} =3V				±1.5
アナログ入力電圧	V _{AIN}	変換対象 : ANI0-ANI10	0		V _{DD}	V	
		変換対象 : 内部基準電圧 ^{注6}			V _{REG} ^{注7}	V	

注1. TYP.値は、T_A=25°Cの平均値です。MAX.値は、正規分布における平均値±3σの値です。

注2. この値は特性評価結果による値であり、出荷検査は行っていません。

注3. 量子化誤差 (±1/2LSB) を含みません。

注4. フルスケール値に対する比率 (%FSR) で表します。

注5. 2.4V ≤ V_{DD} < 2.7V の動作電圧範囲で変換動作を行う場合は、A/D コンバータ・モード・レジスタ 0 (ADM0) の LV0 ビットを必ず 0 に設定してください。

注6. A/D コンバータの変換対象に内部基準電圧を選択するときは、A/D コンバータ・モード・レジスタ 0 (ADM0) の LV0 ビットを必ず 0 に設定してください。

注7. 「24.6.3 内部基準電圧特性」を参照してください。

注意 1. 電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。

注意 2. A/D 変換中は、変換端子の隣接端子に対して、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

注意 3. A/D コンバータの変換対象に内部基準電圧を選択した場合は、コンパレータの基準電圧には内部基準電圧を使用できません。

24.6.2 コンパレータ特性

[$T_A = -40 \sim +105^{\circ}\text{C}$: G 品、 $T_A = -40 \sim +125^{\circ}\text{C}$: M 品、 $2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$, $V_{SS} = 0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	I _{VREF}	IVREFn 端子入力 (CnVRF ビット=0)	0		V _{DD} -1.4	V
		内部基準電圧 (CnVRF ビット=1) 注1	V _{REG} 注2			V
	I _{VCMP}	IVCMPn 端子入力	-0.3		V _{DD} +0.3	V
出力遅延	t _d	V _{DD} =3.0V, 入カスルーレート>50mV/μs	高速モード		0.5	μs
			低速モード		2.0	μs
動作安定待ち時間	t _{CMP}		100			μs

注1. コンパレータの基準電圧に内部基準電圧を選択した場合は、A/D コンバータの変換対象に内部基準電圧を使用できません。

注2. 「24.6.3 内部基準電圧特性」を参照してください。

備考 n : チャネル番号 (n=0, 1)

24.6.3 内部基準電圧特性

[$T_A = -40 \sim +105^{\circ}\text{C}$: G 品、 $T_A = -40 \sim +125^{\circ}\text{C}$: M 品、 $2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$, $V_{SS} = 0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部基準電圧	V _{REG}		0.74	0.815	0.89	V
動作安定待ち時間	t _{AMP}	A/D コンバータ使用時 (ADS レジスタ=0DH)	5			μs

注意 内部基準電圧は、A/D コンバータとコンパレータの両方を同時に使用できません。必ずどちらか一方のみを選択してください。

24.6.4 SPOR 回路特性

[$T_A=-40\sim+105^{\circ}\text{C}$: G 品、 $T_A=-40\sim+125^{\circ}\text{C}$: M 品、 $V_{SS}=0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	V_{SPOR0}	電源立ち上がり時	4.08	4.28	4.45	V
		V_{SPDR0}	電源立ち下がり時	4.00	4.20	4.37	V
		V_{SPOR1}	電源立ち上がり時	2.76	2.90	3.02	V
		V_{SPDR1}	電源立ち下がり時	2.70	2.84	2.96	V
		V_{SPOR2}	電源立ち上がり時	2.44	2.57	2.68	V
		V_{SPDR2}	電源立ち下がり時	2.40	2.52	2.62	V
		V_{SPOR3}	電源立ち上がり時		2.16		V
		V_{SPDR3}	電源立ち下がり時		2.11		V
最小パルス幅 ^{注1}	T_{SPW}		300			μs	

注1. V_{DD} が V_{SPDR} を下回った場合に、SPOR 回路によるリセット動作に必要な時間です。

注意 電源電圧 (V_{DD}) が「24.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

24.6.5 電源電圧立ち上がり傾き特性

[$T_A=-40\sim+105^{\circ}\text{C}$: G 品、 $T_A=-40\sim+125^{\circ}\text{C}$: M 品、 $V_{SS}=0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	S_{VDD}				54	V/ms

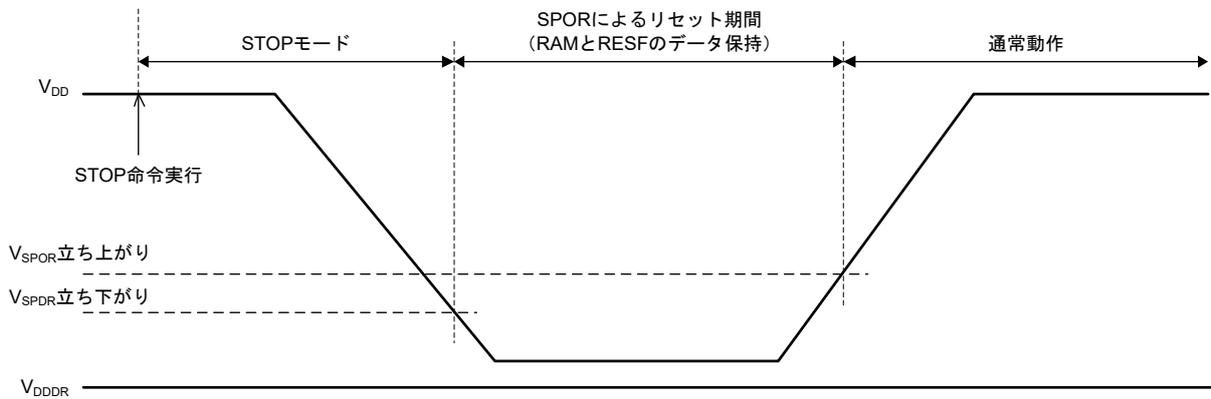
注意 電源電圧 (V_{DD}) が「24.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

24.7 RAM データ保持特性

[TA=-40~+105°C : G 品、TA=-40~+125°C : M 品、VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.9		5.5	V

注意 電源電圧がデータ保持電源電圧 (V_{DDDR}) の MIN.値を下回るまではRAM のデータを保持します。電源電圧がデータ保持電源電圧 (V_{DDDR}) の MIN.値を下回っても、RESF レジスタのデータがクリアされないことがあります。



24.8 フラッシュ・メモリ・プログラミング特性

[$T_A=-40\sim+105^{\circ}\text{C}$: G 品、 $T_A=-40\sim+125^{\circ}\text{C}$: M 品、 $2.4\text{V}\leq V_{DD}\leq 5.5\text{V}$, $V_{SS}=0\text{V}$]

項目	略号	条件		MIN.	TYP.	MAX.	単位
コード・フラッシュの書き換え回数 注1、注2	C _{erwr}	保持年数 : 20 年	$T_A=+85^{\circ}\text{C}$ 注3	1000			回
データ・フラッシュの書き換え回数 注1、注2		保持年数 : 1 年	$T_A=+25^{\circ}\text{C}$		1,000,000		回
		保持年数 : 5 年	$T_A=+85^{\circ}\text{C}$ 注3	100,000			回
		保持年数 : 20 年	$T_A=+85^{\circ}\text{C}$ 注3	10,000			回

注1. 消去 1 回+消去後の書き込み 1 回を書き換え回数 1 回とします。保持年数は、一度書き換えた後、次に書き換えを行うまでの期間とします。

注2. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

注3. 保持の平均温度です。

コード・フラッシュ/データ・フラッシュ・セルフ・プログラミング時間

[$T_A=-40\sim+105^{\circ}\text{C}$: G 品、 $T_A=-40\sim+125^{\circ}\text{C}$: M 品、 $2.4\text{V}\leq V_{DD}\leq 5.5\text{V}$, $V_{SS}=0\text{V}$]

項目	略号	$f_{\text{CLK}}=1\text{MHz}$			$f_{\text{CLK}}=16\text{MHz}$			単位
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
書き込み (4 バイト)	t _{p4}		104	905		53.8	504.9	μs
ブロック消去 (1KB)	t _{E1K}		7.9	262.3		5.5	214.1	ms

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

24.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

[$T_A=-40\sim+105^{\circ}\text{C}$: G 品、 $T_A=-40\sim+125^{\circ}\text{C}$: M 品、 $2.4\text{V}\leq V_{\text{DD}}\leq 5.5\text{V}$, $V_{\text{SS}}=0\text{V}$]

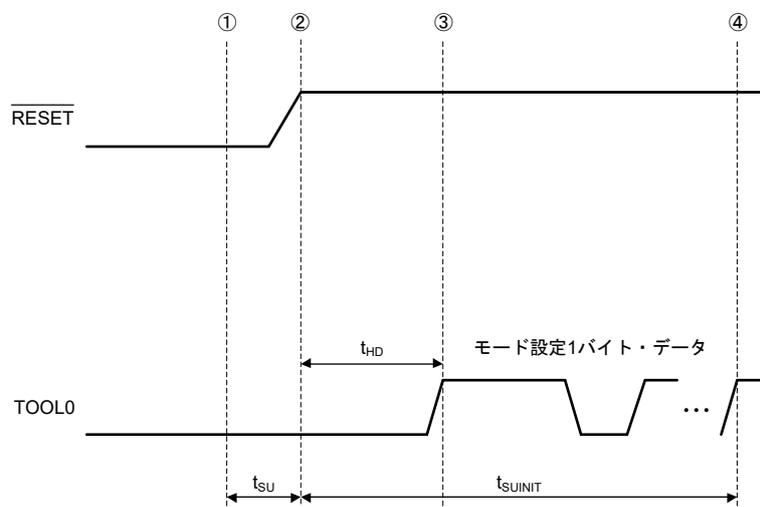
項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート				115,200		bps

備考 フラッシュ・メモリ・プログラミング時の転送レートは 115,200bps 固定です。

24.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

[$T_A=-40\sim+105^{\circ}\text{C}$: G 品、 $T_A=-40\sim+125^{\circ}\text{C}$: M 品、 $2.4\text{V}\leq V_{\text{DD}}\leq 5.5\text{V}$, $V_{\text{SS}}=0\text{V}$]

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUIINIT}	外部リセット解除前に SPOR リセットは解除			100	ms
TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前に SPOR リセットは解除	10			μs
外部リセット解除から、TOOL0 端子をロウ・レベルに保持する時間	t_{HD}	外部リセット解除前に SPOR リセットは解除	1			ms



- ① TOOL0 端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前に SPOR リセットが解除されていること)
- ③ TOOL0 端子のロウ・レベルを解除
- ④ UART 受信によるモード引き込み設定が完了

備考 t_{SUIINIT} : この区間では、リセット解除から 100ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0 端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0 端子をロウ・レベルに保持する時間

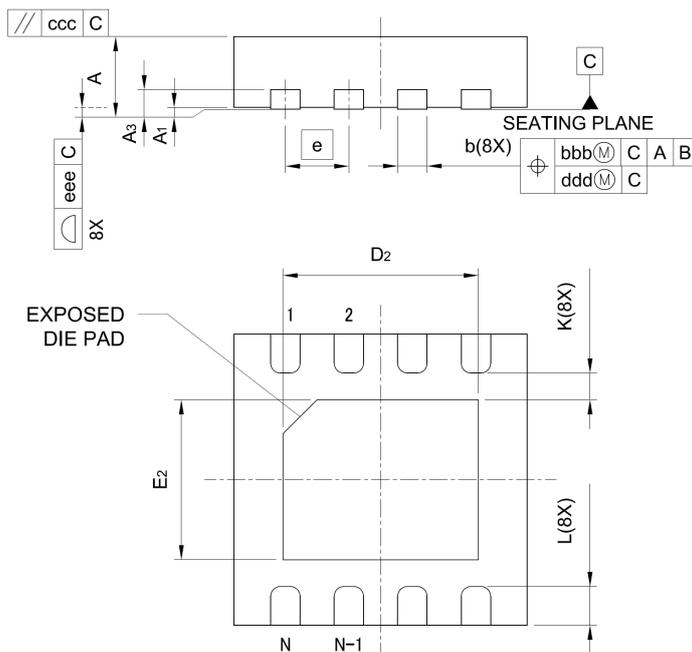
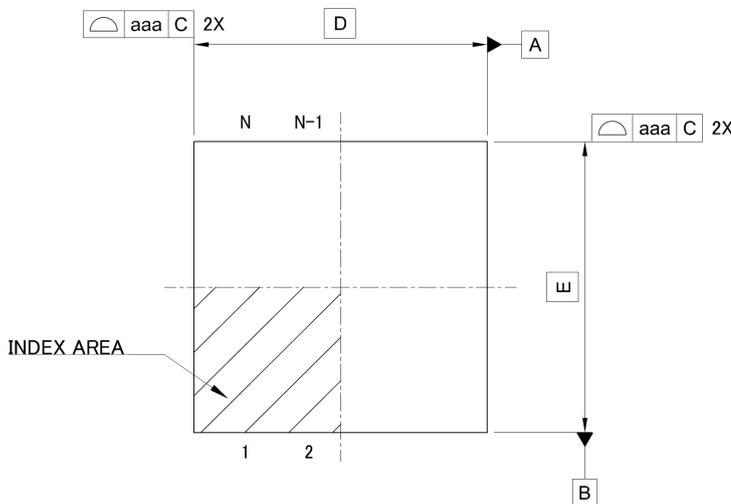
第25章 外形図

25.1 8ピン製品

R5F12008MNS, R5F12008GNS, R5F12008ANS

R5F12007MNS, R5F12007GNS, R5F12007ANS

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWSON8-3x3-0.65	PWSN0008JG-A	0.02

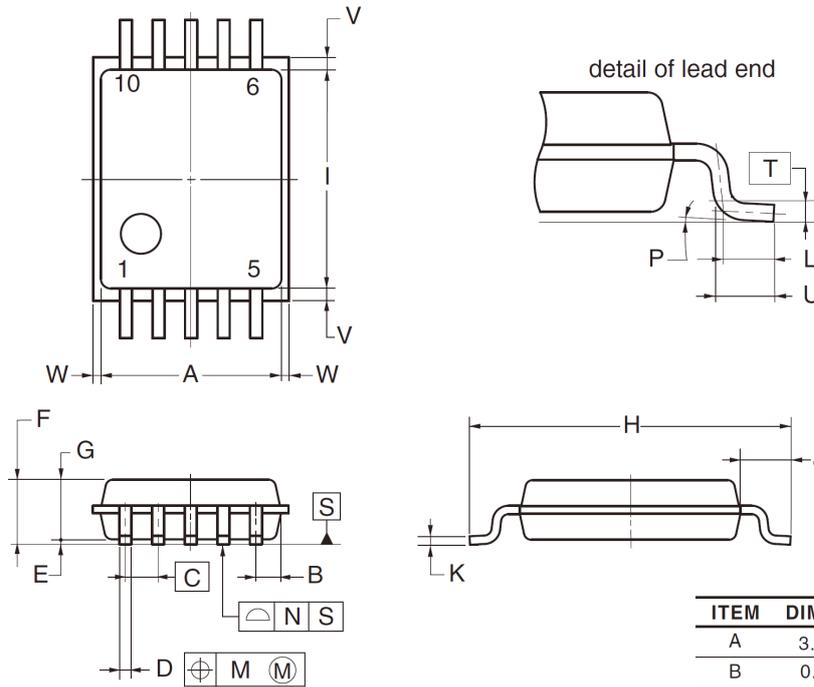


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	—	0.05
A ₃	0.203 REF.		
b	0.25	0.30	0.35
D	3.00		
E	3.00		
e	0.65		
N	8		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	1.95	2.00	2.05
E ₂	1.60	1.65	1.70
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

25.2 10 ピン製品

R5F12018MSP, R5F12018GSP, R5F12018ASP
 R5F12017MSP, R5F12017GSP, R5F12017ASP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP10-4.4x3.6-0.65	PLSP0010JA-A	P10MA-65-CAC-2	0.05



(UNIT:mm)

ITEM	DIMENSIONS
A	3.60±0.10
B	0.50
C	0.65 (T.P.)
D	0.24±0.08
E	0.10±0.05
F	1.45 MAX.
G	1.20±0.10
H	6.40±0.20
I	4.40±0.10
J	1.00±0.20
K	0.17 ^{+0.08} _{-0.07}
L	0.50
M	0.13
N	0.10
P	3° ± 5° - 3°
T	0.25 (T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

NOTE

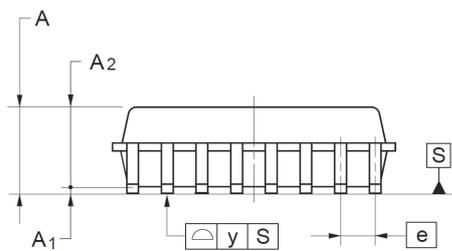
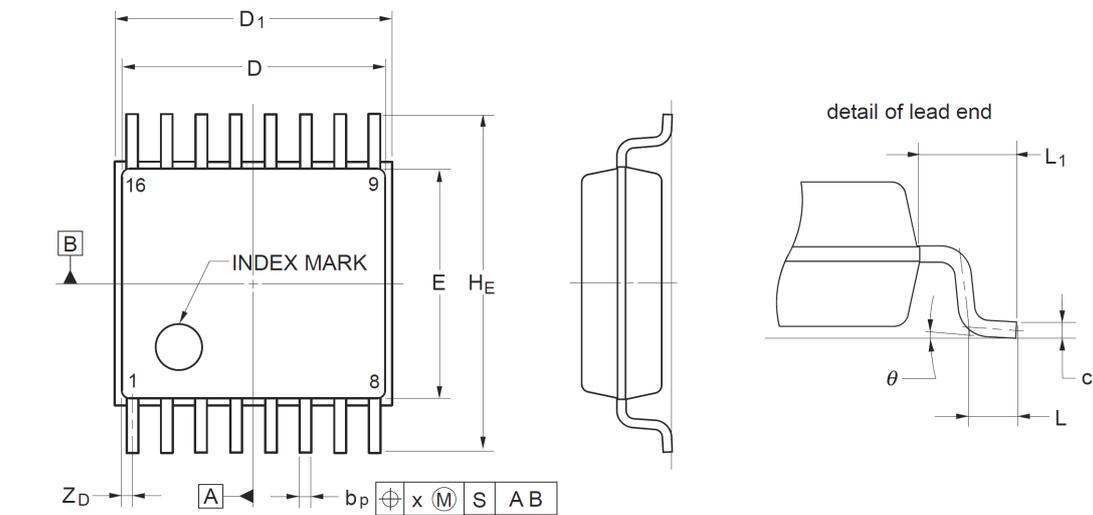
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

25.3 16 ピン製品

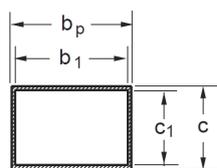
R5F12048MSP, R5F12048GSP, R5F12048ASP
 R5F12047MSP, R5F12047GSP, R5F12047ASP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-SSOP16-4.4x5-0.65	PRSP0016JC-B	P16MA-65-FAB-1	0.08

Unit: mm



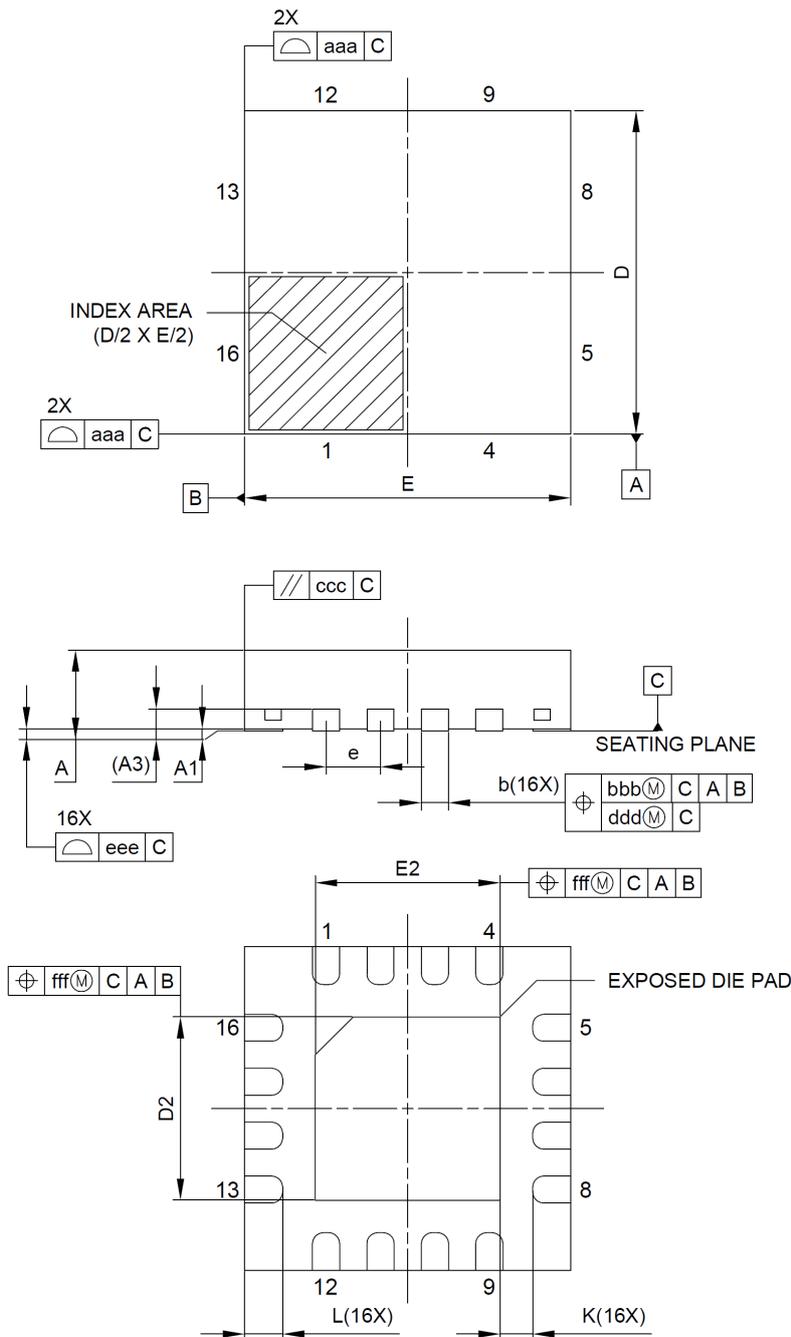
Terminal cross section



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	4.85	5.00	5.15
D ₁	5.05	5.20	5.35
E	4.20	4.40	4.60
A ₂	—	1.50	—
A ₁	0.075	0.125	0.175
A	—	—	1.725
b _p	0.17	0.24	0.32
b ₁	—	0.22	—
c	0.14	0.17	0.20
c ₁	—	0.15	—
θ	0°	—	8°
H _E	6.20	6.40	6.60
e	—	0.65	—
x	—	—	0.13
y	—	—	0.10
Z _D	—	0.225	—
L	0.35	0.50	0.65
L ₁	—	1.00	—

R5F12048MNA, R5F12048GNA, R5F12048ANA
 R5F12047MNA, R5F12047GNA, R5F12047ANA

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN016-3x3-0.50	PWQN0016KD-A	0.02



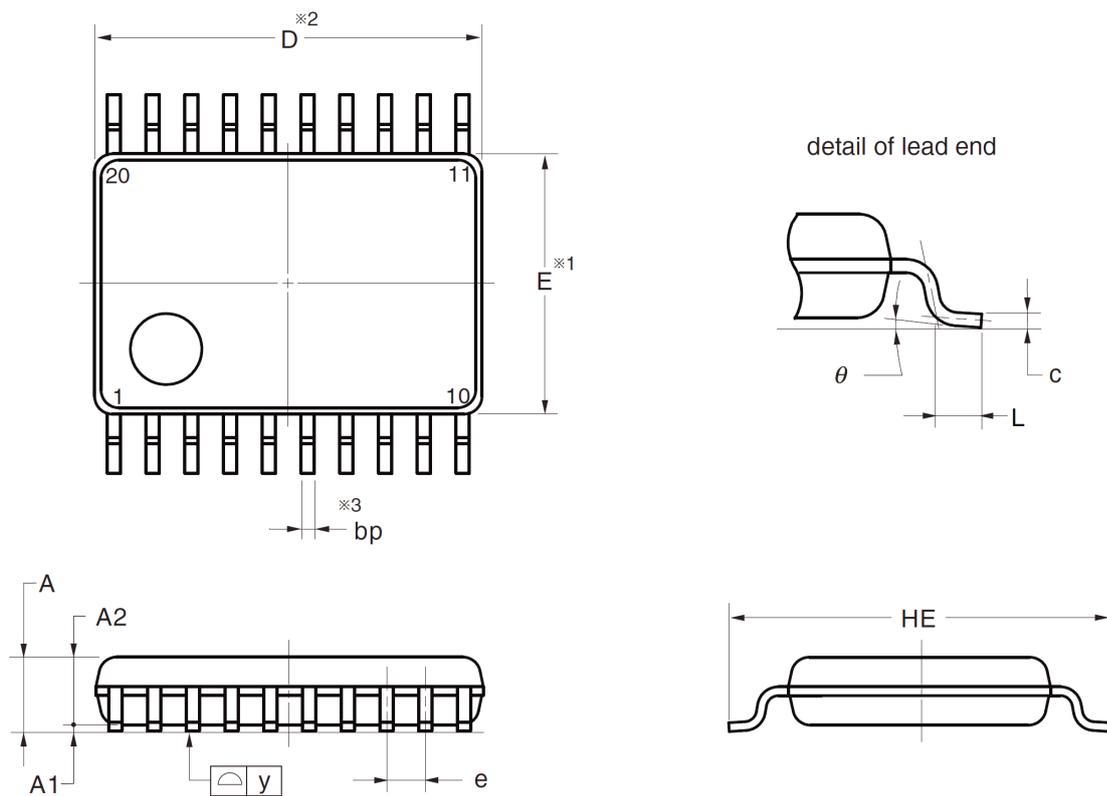
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.20	0.25	0.30
D	3.00 BSC		
E	3.00 BSC		
e	0.50 BSC		
L	0.30	0.35	0.40
K	0.20	—	—
D2	1.65	1.70	1.75
E2	1.65	1.70	1.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

25.4 20 ピン製品

R5F12068MSP, R5F12068GSP, R5F12068ASP

R5F12067MSP, R5F12067GSP, R5F12067ASP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1



NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

(UNIT:mm)

ITEM	DIMENSIONS
D	6.50±0.10
E	4.40±0.10
HE	6.40±0.20
A	1.45 MAX.
A1	0.10±0.10
A2	1.15
e	0.65±0.12
bp	0.22 ^{+0.10} _{-0.05}
c	0.15 ^{+0.05} _{-0.02}
L	0.50±0.20
y	0.10
θ	0° to 10°

付録A 改版履歴

A.1 本版で修正した箇所

箇所	内容	分類
第 1 章 概説		
p.20	1.1 特長 高速オンチップ・オシレータの特長を修正	(a)
p.22	図 1-1 RL78/G15 の型名とメモリ・サイズ、パッケージ ROM 番号を追加、梱包仕様を変更	(d)
p.23	表 1-1 発注型名一覧 梱包仕様を変更	(d)
p.28	1.3.3 16 ピン製品 備考 3 を追加	(c)
第 20 章 オンチップ・デバッグ機能		
p.686	図 20-3 デバッグ用モニタ・プログラムが配置されるメモリ空間 内蔵 RAM の 4 バイト領域を変更	(a)
第 23 章 電気的特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)		
p.709	第 23 章 電気的特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$) 本文を変更、備考を追加	(c)
第 24 章 電気的特性 ($T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$, $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)		
p.730	第 24 章 電気的特性 ($T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$, $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$) 備考を追加	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様 (スペック含む) の追加/変更、(c) : 説明、注意事項の追加/変更、
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/4)

版数	内容	適用箇所	
Rev.1.00	図 1-1 RL78/G15 の型名とメモリ・サイズ、パッケージ 梱包仕様を変更	第 1 章 概説	
	表 1-1 発注型名一覧 発注型名を品名と梱包仕様に分けて変更、ルネサス・コードを追加		
	● 8 ピン・プラスチック WDFN (3×3mm, 0.65mm ピッチ) 2, 5 ピンの端子名を修正、1, 5~7 ピンの端子名順序を変更		
	表 1-2 8 ピン製品の兼用機能 追加		
	● 10 ピン・プラスチック LSSOP (4.4×3.6mm, 0.65mm ピッチ) 2, 7 ピンの端子名を修正、6~10 ピンの端子名順序を変更		
	表 1-3 10 ピン製品の兼用機能 追加		
	● 16 ピン・プラスチック SSOP (4.4×5.0mm, 0.65mm ピッチ) 3, 6 ピンの端子名を修正、2, 9~16 ピンの端子名順序を変更		
	● 16 ピン・プラスチック HWQFN (3×3mm, 0.5mm ピッチ) 1 ピンの端子名を修正、7~14, 16 ピンの端子名順序を変更		
	表 1-4 16 ピン製品の兼用機能 追加		
	● 20 ピン・プラスチック LSSOP (4.4×6.5mm, 0.65mm ピッチ) 5 ピンの端子名を修正、3, 4, 11~20 ピンの端子名順序を変更		
	表 1-5 20 ピン製品の兼用機能 追加		
	1.6 機能概要 表の 16 ピン, 20 ピンの高速システム・クロックを変更		
	2.2.2 機能説明 表の VCOUT0, VCOUT1 を修正		第 2 章 端子機能
	Rev.1.00		図 3-1 メモリ・マップ (R5F120x8 (x=0, 1, 4, 6)) 注 1. を削除 (項番変更: 注 2. → 注 1.)
図 3-2 メモリ・マップ (R5F120x7 (x=0, 1, 4, 6)) 注 1. を削除 (項番変更: 注 2. → 注 1.)			
表 3-5 SFR 一覧 (1/2) コンパレータフィルタ制御レジスタの R/W を修正			
表 3-6 拡張 SFR (2nd SFR) 一覧 (1/4) 高速オンチップ・オシレータ周波数選択レジスタを追加			
表 3-6 拡張 SFR (2nd SFR) 一覧 (1/4) フラッシュ・シーケンサ・ステータス・レジスタ L の R/W を修正			
表 3-6 拡張 SFR (2nd SFR) 一覧 (1/4) フラッシュ・シーケンサ・ステータス・レジスタ H の R/W を修正			
表 3-6 拡張 SFR (2nd SFR) 一覧 (2/4) シリアル出力レベル・レジスタ 0 を 16 ビット操作可能範囲に変更			
表 3-6 拡張 SFR (2nd SFR) 一覧 (4/4) タイマ・クロック選択レジスタ 1 を削除			
表 3-6 拡張 SFR (2nd SFR) 一覧 (4/4) フラッシュ・メモリ CRC 演算結果レジスタを削除			
表 3-6 拡張 SFR (2nd SFR) 一覧 (4/4) 注 2. を追加			
図 3-38 不正アクセス検出空間 注釈 (注 1, 注 2) を削除			

(2/4)

版数	内容	適用箇所
Rev.1.00	4.5.1 兼用機能使用時の基本的な考え方 説明を変更	第 4 章 ポート機能
	表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (3/9) (TxD0), TxD0 の POMp 設定値を修正	
	表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (4/9) (TxD0)の POMp 設定値を修正	
	5.3 クロック発生回路を制御するレジスタ (1)に高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) を追加	第 5 章 クロック発生回路
	図 5-2 クロック動作モード制御レジスタ (CMC) のフォーマット AMPH ビットの 1 の説明を変更	
	表 5-2 クロック発振停止前の条件とフラグ設定 表タイトルを変更	
	単独チャネル動作機能 注 1.を変更	第 6 章 タイマ・アレイ・ユニット
	6.1.1 単独チャネル動作機能 (1)~(6)に備考 1、備考 2 を追加	
	6.1.1 単独チャネル動作機能 (4)にチャネル 3 を追加、チャネル番号を添字 (n) に変更	
	6.8.3 分周器としての動作 (チャネル 0, 3 のみ) チャネル 3 を追加、チャネル番号を添字 (n) に変更、備考を追加	
	図 6-50 分周器として動作時のレジスタ設定内容例 (1/2) SPLIT0n ビットの設定 (チャネル 3) を追加、注 1.を追加	
	図 10-3 A/D コンバータ・モード・レジスタ 0 (ADM0) のフォーマット 注 2.を変更	第 10 章 A/D コンバータ
	図 10-4 A/D 電圧コンパレータ使用時のタイミング・チャート 注 1.を変更	
	10.6 A/D コンバータの動作モード ②を変更	
	図 10-14 A/D 変換対象: ANI0-ANI10 の設定 「A/D 電圧安定待ち時間カウンタ」処理を変更	
	図 10-15 A/D 変換対象: 内部基準電圧の設定 「A/D 電圧安定待ち時間カウンタ」処理を変更	
	10.9.8 A/D 変換スタート直後の変換結果について 説明を変更	
	RXDq→RxDq, TXDq→TxDq に修正	第 12 章 シリアル・アレイ・ユニット
	図 12-4 シリアル・クロック選択レジスタ m (SPSm) のフォーマット $f_{CLK}/2^5 \sim f_{CLK}/2^{10}$ の動作クロック値を変更、 $f_{CLK}/2^{13}$ の動作クロック値を修正	
	図 12-76 UART (UART0) の UART 受信時のレジスタ設定内容例 (2/2) 備考 2.を修正	
	表 12-3 UART 動作クロックの選択 $f_{CLK}/2^{12} \sim f_{CLK}/2^{15}$ 動作クロックの SPSm レジスタ値を修正	
	13.5.14 通信予約 (1)のウェイト時間を変更	第 13 章 シリアル・インタフェース IICA
	図 13-26 通信予約の手順 注 1.を変更	
	図 13-28 マルチマスタ・システムでのマスタ動作 (2/3) 注 1.を変更	
	表 14-1 割り込み要因一覧 デフォルト・プライオリティ 0, 9, 10, 16~19, 21~24 を修正、注 4.を追加	第 14 章 割り込み機能
	図 15-3 割り込み要求発生による STOP モードの解除 (1/3) 注 2.を変更	第 15 章 スタンバイ機能
	図 15-3 割り込み要求発生による STOP モードの解除 (2/3) 注 2.を変更	
	図 15-3 割り込み要求発生による STOP モードの解除 (3/3) 注 2.を変更	
	図 16-2 RESET入力によるリセット・タイミング 注 2.を変更	第 16 章 リセット機能
	図 17-2 内部リセット信号発生時のタイミング SPOR リセット処理時間を修正	第 17 章 セレクタブル・パワーオン・リセット回路

(3/4)

版数	内容	適用箇所
Rev.1.00	図 19-2 専用フラッシュ・メモリ・プログラマとの通信 EMVDDに注釈(注1)を追加	第 19 章 フラッシュ・メモリ
	19.2 外部デバイス (UART 内蔵) による書き込み方法 説明を変更	
	表 19-7 フラッシュ・メモリ制御用コマンド 消去後書き込みを追加	
	図 19-14 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット WRER ビット、ERER ビットの<クリア条件>を変更	
	19.6.3 セルフ・プログラミング時の注意事項 (5)を修正	
	第 23 章 電気的特性 (TA=-40°C~+85°C) (ターゲット) 注意 3.を追加	第 23 章 電気的特性 (TA=-40°C~+85°C) (ターゲット)
	23.2.2 オンチップ・オシレータ特性 注 3.を追加	
	23.3.2 電源電流特性 表の f _{MX} =16MHz を f _{EX} =16MHz, f _X =12MHz に変更、TYP., MAX.値を変更	
	23.3.2 電源電流特性 周辺機能 表のセルフ・プログラミング動作電流の TYP., MAX.値を変更	
	23.4 AC 特性 表の高速システム・クロック (f _{MX}) 選択時の条件, MIN.値を変更	
	23.5.2 シリアル・インタフェース IICA 表の単位を修正	
	23.6.3 内部基準電圧特性 表の ADS レジスタ値を変更	
	第 24 章 電気的特性 (TA=-40°C~+105°C, TA=-40°C~+125°C) (ターゲット) 注意 3.を追加	第 24 章 電気的特性 (TA=-40°C~+105°C, TA=-40°C~+125°C) (ターゲット)
	24.2.2 オンチップ・オシレータ特性 注 3.を追加	
	24.3.2 電源電流特性 表の f _{MX} =16MHz を f _{EX} =16MHz, f _X =12MHz に変更、TYP., MAX.値を変更	
24.3.2 電源電流特性 周辺機能 表の A/D コンバータ動作電流の MAX.値を変更、セルフ・プログラミング動作電流の TYP., MAX.値を変更		
24.4 AC 特性 表の高速システム・クロック (f _{MX}) 選択時の条件, MIN.値を変更		
24.5.2 シリアル・インタフェース IICA 表の単位を修正		
24.6.3 内部基準電圧特性 表の内部基準電圧の MIN., MAX.値を変更、ADS レジスタ値を変更		
25.1.8 ピン製品 説明を追加	第 25 章 外形図	
Rev.1.10	2.1.1 8 ピン製品~2.1.4 20 ピン製品 表の兼用機能の端子名順序を変更	第 2 章 端子機能
	3.1 概要 節を追加	第 3 章 CPU アーキテクチャ
	表 3-3 ベクタ・テーブル 16, 10, 8 ピンを修正	
	図 4-3 ブルアップ抵抗オプション・レジスタ 0, 2, 4, 12 (PU0, PU2, PU4, PU12) のフォーマット 図タイトルを変更、注 1.を修正	第 4 章 ポート機能
	表 4-6 基本的な設定の考え方 使用しない兼用機能の出力設定 (SAU の出力機能) を修正	
	表 4-7 端子機能使用時のレジスタ、出カラッチの設定例 (SAU の出力機能) を修正	
RxDq→RXDq, TxDq→TXDq に修正	第 12 章 シリアル・アレイ・ユニット	

(4/4)

版数	内容	適用箇所
Rev.1.10	13.5.4 アクノリッジ (ACK) クロック・ストレッチ・タイミングの設定の説明を変更	第 13 章 シリアル・インタフェース IICA
	図 13-19 クロック・ストレッチ (1)、(2)のタイトルを変更	
	13.5.8 割り込み要求 (INTIICA0) 発生タイミングおよびクロック・ストレッチ制御 (4)の説明を変更	
	図 13-31 マスタスレーブ通信例 WTIMO を変更	
	図 13-32 スレーブ→マスタ通信例 WTIMO を変更	
	図 13-32 スレーブ→マスタ通信例 (3/3) ⑭を変更	
	表 14-2 割り込み要求ソースに対応する各種フラグ (2/2) 16, 10, 8 ピンを修正	第 14 章 割り込み機能
	図 19-4 外部デバイスとの通信 外部デバイスの信号名を修正	第 19 章 フラッシュ・メモリ
	20.2 外部デバイス (UART 内蔵) との接続 図の外部デバイスの信号名を修正	第 20 章 オンチップ・デバッグ機能
	図 20-3 デバッグ用モニタ・プログラムが配置されるメモリ空間 内蔵 RASM のアドレス値を削除、注 3.を変更	
	第 23 章 電気的特性 (TA=-40°C~+85°C) 章タイトルを変更、注意 3.を削除	第 23 章 電気的特性 (TA=-40°C~+85°C)
	23.2.2 オンチップ・オシレータ特性 注 3.を削除	
	23.3.2 電源電流特性 注 1.を変更	
	23.8 フラッシュ・メモリ・プログラミング特性 TA 値を変更、コード・フラッシュ/データ・フラッシュ・セルフ・プログラミング時間に条件を追加	
	23.9 専用フラッシュ・メモリ・プログラマ通信 (UART) TA 値を変更	
	23.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング 条件を追加	
	第 24 章 電気的特性 (TA=-40°C~+105°C, TA=-40°C~+125°C) 章タイトルを変更、注意 3.を削除	第 24 章 電気的特性 (TA=-40°C~+105°C, TA=-40°C~+125°C)
	24.2.2 オンチップ・オシレータ特性 高速オンチップ・オシレータ・クロック周波数精度 (TA=+85~+125°C) の TYP., MAX.値を変更、注 3.を削除	
	24.3.2 電源電流特性 注 1 を変更	
	24.8 フラッシュ・メモリ・プログラミング特性 TA 値を変更、表の条件を修正、注 3.を追加、コード・フラッシュ/データ・フラッシュ・セルフ・プログラミング時間に条件を追加	
24.9 専用フラッシュ・メモリ・プログラマ通信 (UART) TA 値を変更		
24.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング 条件を追加		
25.1 8 ピン製品 説明を削除、外形図を追加	第 25 章 外形図	

RL78/G15 ユーザーズマニュアル
ハードウェア編

発行年月日 2021年12月24日 Rev.0.50
2024年01月31日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/G15

RENESAS

ルネサスエレクトロニクス株式会社

R01UH0959JJ0120