

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD789167, 789177, 789167Y, 789177Yサブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789166	μPD789166Y	μPD789166(A1)
μPD789167	μPD789167Y	μPD789167(A1)
μPD789176	μPD789176Y	μPD789176(A1)
μPD789177	μPD789177Y	μPD789177(A1)
μPD78F9177	μPD78F9177Y	μPD78F9177A(A1)
μPD78F9177A	μPD78F9177AY	μPD789166(A2)
μPD789166(A)	μPD789166Y(A)	μPD789167(A2)
μPD789167(A)	μPD789167Y(A)	μPD789176(A2)
μPD789176(A)	μPD789176Y(A)	μPD789177(A2)
μPD789177(A)	μPD789177Y(A)	
μPD78F9177A(A)	μPD78F9177AY(A)	

〔メモ〕

目次要約

第1章	概 説 (μ PD789167, 789177サブシリーズ)	... 19
第2章	概 説 (μ PD789167Y, 789177Yサブシリーズ)	... 32
第3章	端子機能 (μ PD789167, 789177サブシリーズ)	... 45
第4章	端子機能 (μ PD789167Y, 789177Yサブシリーズ)	... 53
第5章	CPUアーキテクチャ	... 61
第6章	ポート機能	... 84
第7章	クロック発生回路	... 102
第8章	16ビット・タイマ90	... 114
第9章	8ビット・タイマ/イベント・カウンタ80-82	... 132
第10章	時計用タイマ	... 153
第11章	ウォッチドッグ・タイマ	... 158
第12章	8ビットA/Dコンバータ (μ PD789167, 789167Yサブシリーズ)	... 164
第13章	10ビットA/Dコンバータ (μ PD789177, 789177Yサブシリーズ)	... 177
第14章	シリアル・インタフェース20	... 190
第15章	SMB0 (μ PD789167Y, 789177Yサブシリーズのみ)	... 227
第16章	乗 算 器	... 289
第17章	割り込み機能	... 293
第18章	スタンバイ機能	... 307
第19章	リセット機能	... 314
第20章	フラッシュ・メモリ製品	... 318
第21章	マスク・オプション	... 335
第22章	命令セットの概要	... 336
第23章	電気的特性 (μ PD78916x, 17x, 16xY, 17xY, 16x(A), 17x(A), 16xY(A), 17xY(A))	... 347
第24章	特性曲線 (μ PD78916x, 17x, 16xY, 17xY, 16x(A), 17x(A), 16xY(A), 17xY(A))	... 365
第25章	電気的特性 (μ PD78916x(A1), 17x(A1), 16x(A2), 17x(A2))	... 368
第26章	特性曲線 (μ PD78916x(A1), 17x(A1), 16x(A2), 17x(A2))	... 381
第27章	電気的特性 (μ PD78F9177A, 78F9177AY, 78F9177A(A), 78F9177AY(A))	... 384
第28章	電気的特性 (μ PD78F9177, 78F9177Y)	... 403
第29章	特性曲線 (μ PD78F9177, 78F9177Y)	... 418
第30章	電気的特性 (μ PD78F9177A(A1))	... 419
第31章	外 形 図	... 432
第32章	半田付け推奨条件	... 434
付録A	開発ツール	... 437
付録B	ターゲット・システム設計上の注意	... 443
付録C	レジスタ索引	... 447
付録D	改版履歴	... 451

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, EEPROMは、NECエレクトロニクス株式会社の登録商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9177, 78F9177Y, 78F9177A, 78F9177AY,
78F9177A(A), 78F9177AY(A), 78F9177A(A1)

ユーザ判定品 : μ PD789166, 789167, 789176, 789177,
789166Y, 789167Y, 789176Y, 789177Y,
789166(A), 789167(A), 789176(A), 789177(A),
789166Y(A), 789167Y(A), 789176Y(A), 789177Y(A),
789166(A1), 789167(A1), 789176(A1), 789177(A1),
789166(A2), 789167(A2), 789176(A2), 789177(A2)

- 本資料に記載されている内容は2006年6月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

M8E 02.11

はじめに

対 象 者 このマニュアルは μ PD789167, 789177, 789167Y, 789177Yサブシリーズの機能を理解し, その応用システムや応用プログラムを設計, 開発するユーザのエンジニアを対象としています。

対象製品は, 次を示すサブシリーズの各製品です。

- ・ μ PD789167サブシリーズ : μ PD789166, 789167, 789166(A), 789167(A), 789166(A1), 789167(A1), 789166(A2), 789167(A2)
- ・ μ PD789177サブシリーズ : μ PD789176, 789177, 78F9177, 78F9177A, 789176(A), 789177(A), 78F9177A(A), 789176(A1), 789177(A1), 78F9177A(A1), 789176(A2), 789177(A2)
- ・ μ PD789167Yサブシリーズ : μ PD789166Y, 789167Y, 789166Y(A), 789167Y(A)
- ・ μ PD789177Yサブシリーズ : μ PD789176Y, 789177Y, 78F9177Y, 78F9177AY, 789176Y(A), 789177Y(A), 78F9177AY(A)

このマニュアルでは全対象製品を総称して「 μ PD789167, 789177, 789167Y, 789177Yサブシリーズ」と記載しております。

また, 文章中に出てくる総称は次の製品を表しております。

- 「標準水準品」 ... μ PD789166, 789167, 789176, 789177, 78F9177, 78F9177A, 789166Y, 789167Y, 789176Y, 789177Y, 78F9177Y, 78F9177AY
- 「(A)製品」 ... μ PD789166(A), 789167(A), 789176(A), 789177(A), 78F9177A(A), 789166Y(A), 789167Y(A), 789176Y(A), 789177Y(A), 78F9177AY(A)
- 「(A1)製品」 ... μ PD789166(A1), 789167(A1), 789176(A1), 789177(A1), 78F9177A(A1)
- 「(A2)製品」 ... μ PD789166(A2), 789167(A2), 789176(A2), 789177(A2)
- 「マスクROM製品」 ... μ PD789166, 789167, 789176, 789177, 789166Y, 789167Y, 789176Y, 789177Y, 789166(A), 789167(A), 789176(A), 789177(A), 789166Y(A), 789167Y(A), 789176Y(A), 789177Y(A), 789166(A1), 789167(A1), 789176(A1), 789177(A1), 789166(A2), 789167(A2), 789176(A2), 789177(A2)
- 「フラッシュ・メモリ製品」 ... μ PD78F9177, 78F9177A, 78F9177A(A), 78F9177A(A1), 78F9177Y, 78F9177AY, 78F9177AY(A)

目 的 このマニュアルは, 次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 μ PD789167, 789177, 789167Y, 789177Yサブシリーズのマニュアルは, このマニュアルと命令編(78K/0Sシリーズ共通)の2冊に分かれています。

μ PD789167, 789177, 789167Y,
789177Yサブシリーズ
ユーザーズ・マニュアル

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

78K/0Sシリーズ
ユーザーズ・マニュアル
命令編

- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□ μ PD789166(A), 789167(A), 789176(A), 789177(A), 789166Y(A), 789167Y(A), 789176Y(A), 789177Y(A), 789166(A1), 789167(A1), 789176(A1), 789177(A1), 789166(A2), 789167(A2), 789176(A2), 789177(A2), 78F9177A(A), 78F9177AY(A), 78F9177A(A1)のマニュアルとしてお使いになる方へ

→ μ PD789166, 789167, 789176, 789177, 789166Y, 789167Y, 789176Y, 789177Y, 78F9177A, 78F9177AYとの違いは、品質水準、電源電圧、動作周囲温度、最小命令実行時間、電気的特性だけです（1. 10 標準水準品と(A)製品、(A1)製品、(A2)製品との違い、2. 10 標準水準品と(A)製品との違い参照）。(A)製品、(A1)製品、(A2)製品については、第3章～第22章に記載の品名を次のように読み替えてください。

μ PD789166 → μ PD789166(A), 789166(A1), 789166(A2)

μ PD789167 → μ PD789167(A), 789167(A1), 789167(A2)

μ PD789176 → μ PD789176(A), 789176(A1), 789176(A2)

μ PD789177 → μ PD789177(A), 789177(A1), 789177(A2)

μ PD789166Y → μ PD789166Y(A)

μ PD789167Y → μ PD789167Y(A)

μ PD789176Y → μ PD789176Y(A)

μ PD789177Y → μ PD789177Y(A)

μ PD78F9177A → μ PD78F9177A(A), 78F9177A(A1)

μ PD78F9177AY → μ PD78F9177AY(A)

□ 一通りの機能を理解しようとするとき

→ 目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ ビット番号を○で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラでは# pragma sfr指令で、sfr変数として定義されているものです。

□ レジスタ名が分かっているレジスタの詳細を確認するとき

→ 付録C レジスタ索引を利用してください。

□ 78K/0Sシリーズの命令機能の詳細を知りたいとき

→ 別冊の78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J) を参照してください。

□ μ PD789167, 789177, 789167Y, 789177Yサブシリーズの電気的特性を知りたいとき

→ 第23章 電気的特性 (μ PD78916x, 17x, 16xY, 17xY, 16x(A), 17x(A), 16xY(A), 17xY(A)) , 第25章 電気的特性 (μ PD78916x(A1), 78917x(A1), 78916x(A2), 78917x(A2)) , 第27章 電気的特性 (μ PD78F9177A, 78F9177AY, 78F9177A(A), 78F9177AY(A)) , 第28章 電気的特性 (μ PD78F9177, 78F9177AY) , 第30章 電気的特性 (μ PD78F9177A(A1)) を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準品質用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

μPD789167, 789177, 789167Y, 789177Yサブシリーズ間の違い

μPD789167, 789177, 789167Y, 789177Yサブシリーズ間では、パッケージ、A/Dコンバータの分解能、シリアル・インタフェースの構成が異なります。

サブシリーズ名		μPD789167	μPD789177	μPD789167Y	μPD789177Y
項 目					
パッケージ		・44ピン・プラスチックLQFP		・44ピン・プラスチックLQFP ・48ピン・プラスチックTQFP	
IC2端子		なし		あり	
A/Dコンバータ		8ビット	10ビット	8ビット	10ビット
シリアル・インタフェースの構成	3線式シリアルI/Oモード	1 ch			
	SMB0	なし		1 ch	

章 構 成 このマニュアルは、サブシリーズ間で機能の異なる箇所については章を分けて記載しています。各サブシリーズに対応する章は次のとおりです。

それぞれのサブシリーズのマニュアルとしてお使いになる場合は、○印の章のみお読みください。

章	μPD789167 サブシリーズ	μPD789177 サブシリーズ	μPD789167Y サブシリーズ	μPD789177Y サブシリーズ
第1章 概 説 (μPD789167, 789177サブシリーズ)	○	○	-	-
第2章 概 説 (μPD789167Y, 789177Yサブシリーズ)	-	-	○	○
第3章 端子機能 (μPD789167, 789177サブシリーズ)	○	○	-	-
第4章 端子機能 (μPD789167Y, 789177Yサブシリーズ)	-	-	○	○
第5章 CPUアーキテクチャ	○	○	○	○
第6章 ポート機能	○	○	○	○
第7章 クロック発生回路	○	○	○	○
第8章 16ビット・タイマ90	○	○	○	○
第9章 8ビット・タイマ/イベント・カウンタ80-82	○	○	○	○
第10章 時計用タイマ	○	○	○	○
第11章 ウォッチドッグ・タイマ	○	○	○	○
第12章 8ビットA/Dコンバータ (μPD789167, 789167Yサブシリーズ)	○	-	○	-
第13章 10ビットA/Dコンバータ (μPD789177, 789177Yサブシリーズ)	-	○	-	○
第14章 シリアル・インタフェース20	○	○	○	○
第15章 SMB0 (μPD789167Y, 789177Yサブシリーズのみ)	-	-	○	○
第16章 乗 算 器	○	○	○	○
第17章 割り込み機能	○	○	○	○
第18章 スタンバイ機能	○	○	○	○
第19章 リセット機能	○	○	○	○
第20章 フラッシュ・メモリ製品	○	○	○	○
第21章 マスク・オプション	○	○	○	○
第22章 命令セットの概要	○	○	○	○

凡 例	データ表記の重み：左が上位桁，右が下位桁
	アクティブ・ロウの表記： $\overline{\times \times \times}$ （端子，信号名称に上線）
	注：本文中につけた注の説明
	注意：気をつけて読んでいただきたい内容
	備考：本文の補足説明
	数の表記：2進数... $\times \times \times \times$ または $\times \times \times \times B$
	10進数... $\times \times \times \times$
	16進数... $\times \times \times \times H$

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
μ PD789167, 789177, 789167Y, 789177Yサブシリーズ ユーザーズ・マニュアル	このマニュアル	U14186E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78K0S Ver.1.50 アセンブラ・パッケージ	操作編	U17391J	U17391E
	言語編	U17390J	U17390E
	構造化アセンブリ言語編	U17389J	U17389E
CC78K0S Ver.1.60 Cコンパイラ	操作編	U17416J	U17416E
	言語編	U17415J	U17415E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合デバッグ	操作編	U16584J	U16584E
PM+ Ver.6.00		U17178J	U17178E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和 文	英 文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789177-NS-EM1 エミュレーション・ボード	U14621J	U14621E

フラッシュ・メモリ書き込み用の資料

資 料 名	資料番号	
	和 文	英 文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資 料 名	資料番号	
	和 文	英 文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 (μ PD789167, 789177サブシリーズ) ... 19

- 1.1 拡張規格品と従来規格品について ... 19
- 1.2 特 徴 ... 20
- 1.3 応用分野 ... 20
- 1.4 オーダ情報 ... 21
- 1.5 品質水準 ... 22
- 1.6 端子接続図 (Top View) ... 23
- 1.7 78K/0Sシリーズの展開 ... 26
- 1.8 ブロック図 ... 29
- 1.9 機能概要 ... 30
- 1.10 標準水準品と(A)製品, (A1)製品, (A2)製品との違い ... 31

第2章 概 説 (μ PD789167Y, 789177Yサブシリーズ) ... 32

- 2.1 拡張規格品と従来規格品について ... 32
- 2.2 特 徴 ... 33
- 2.3 応用分野 ... 33
- 2.4 オーダ情報 ... 34
- 2.5 品質水準 ... 35
- 2.6 端子接続図 (Top View) ... 36
- 2.7 78K/0Sシリーズの展開 ... 39
- 2.8 ブロック図 ... 41
- 2.9 機能概要 ... 42
- 2.10 標準水準品と(A)製品との違い ... 44

第3章 端子機能 (μ PD789167, 789177サブシリーズ) ... 45

- 3.1 端子機能一覧 ... 45
- 3.2 端子機能の説明 ... 47
 - 3.2.1 P00-P05 (Port0) ... 47
 - 3.2.2 P10, P11 (Port1) ... 47
 - 3.2.3 P20-P26 (Port2) ... 47
 - 3.2.4 P30-P33 (Port 3) ... 48
 - 3.2.5 P50-P53 (Port 5) ... 49
 - 3.2.6 P60-P67 (Port 6) ... 49
 - 3.2.7 RESET ... 49
 - 3.2.8 X1, X2 ... 49
 - 3.2.9 XT1, XT2 ... 49
 - 3.2.10 AVDD ... 49
 - 3.2.11 AVSS ... 49
 - 3.2.12 AVREF ... 49
 - 3.2.13 VDD0, VDD1 ... 49

3. 2. 14	V _{SS0} , V _{SS1} ...	49
3. 2. 15	V _{PP} (フラッシュ・メモリ製品のみ) ...	50
3. 2. 16	IC0 (マスクROM製品のみ) ...	50
3. 2. 17	IC3 ...	50
3. 3	端子の入出力回路と未使用端子の処理 ...	51

第4章 端子機能 (μPD789167Y, 789177Yサブシリーズ) ... 53

4. 1	端子機能一覧 ...	53
4. 2	端子機能の説明 ...	55
4. 2. 1	P00-P05 (Port0) ...	55
4. 2. 2	P10, P11 (Port1) ...	55
4. 2. 3	P20-P26 (Port2) ...	55
4. 2. 4	P30-P33 (Port 3) ...	56
4. 2. 5	P50-P53 (Port 5) ...	57
4. 2. 6	P60-P67 (Port 6) ...	57
4. 2. 7	RESET ...	57
4. 2. 8	X1, X2 ...	57
4. 2. 9	XT1, XT2 ...	57
4. 2. 10	AV _{DD} ...	57
4. 2. 11	AV _{SS} ...	57
4. 2. 12	AV _{REF} ...	57
4. 2. 13	V _{DD0} , V _{DD1} ...	57
4. 2. 14	V _{SS0} , V _{SS1} ...	58
4. 2. 15	V _{PP} (フラッシュ・メモリ製品のみ) ...	58
4. 2. 16	IC0 (マスクROM製品のみ) ...	58
4. 2. 17	IC2 ...	58
4. 3	端子の入出力回路と未使用端子の処理 ...	59

第5章 CPUアーキテクチャ ... 61

5. 1	メモリ空間 ...	61
5. 1. 1	内部プログラム・メモリ空間 ...	64
5. 1. 2	内部データ・メモリ (内部高速RAM) 空間 ...	65
5. 1. 3	特殊機能レジスタ (SFR : Special Function Register) 領域 ...	65
5. 1. 4	データ・メモリ・アドレッシング ...	65
5. 2	プロセッサ・レジスタ ...	68
5. 2. 1	制御レジスタ ...	68
5. 2. 2	汎用レジスタ ...	71
5. 2. 3	特殊機能レジスタ (SFR) ...	72
5. 3	命令アドレスのアドレッシング ...	75
5. 3. 1	レラティブ・アドレッシング ...	75
5. 3. 2	イミディエト・アドレッシング ...	76
5. 3. 3	テーブル・インダイレクト・アドレッシング ...	77
5. 3. 4	レジスタ・アドレッシング ...	77
5. 4	オペランド・アドレスのアドレッシング ...	78
5. 4. 1	ダイレクト・アドレッシング ...	78
5. 4. 2	ショート・ダイレクト・アドレッシング ...	79

5.4.3	特殊機能レジスタ (SFR) アドレッシング	...	80
5.4.4	レジスタ・アドレッシング	...	81
5.4.5	レジスタ・インダイレクト・アドレッシング	...	82
5.4.6	ベースト・アドレッシング	...	83
5.4.7	スタック・アドレッシング	...	83

第6章 ポート機能 ... 84

6.1	ポートの機能	...	84
6.2	ポートの構成	...	86
6.2.1	ポート0	...	86
6.2.2	ポート1	...	87
6.2.3	ポート2	...	88
6.2.4	ポート3	...	93
6.2.5	ポート5	...	96
6.2.6	ポート6	...	97
6.3	ポート機能を制御するレジスタ	...	98
6.4	ポート機能の動作	...	101
6.4.1	入出力ポートへの書き込み	...	101
6.4.2	入出力ポートからの読み出し	...	101
6.4.3	入出力ポートでの演算	...	101

第7章 クロック発生回路 ... 102

7.1	クロック発生回路の機能	...	102
7.2	クロック発生回路の構成	...	102
7.3	クロック発生回路を制御するレジスタ	...	104
7.4	システム・クロック発振回路	...	107
7.4.1	メイン・システム・クロック発振回路	...	107
7.4.2	サブシステム・クロック発振回路	...	108
7.4.3	発振子の接続の悪い例	...	109
7.4.4	分周回路	...	110
7.4.5	サブシステム・クロックを使用しない場合	...	110
7.5	クロック発生回路の動作	...	111
7.6	システム・クロックとCPUクロックの設定の変更	...	112
7.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	112
7.6.2	システム・クロックとCPUクロックの切り替え手順	...	113

第8章 16ビット・タイマ90 ... 114

8.1	16ビット・タイマ90の機能	...	114
8.2	16ビット・タイマ90の構成	...	114
8.3	16ビット・タイマ90を制御するレジスタ	...	117
8.4	16ビット・タイマ90の動作	...	121
8.4.1	タイマ割り込みとしての動作	...	121
8.4.2	タイマ出力としての動作	...	123
8.4.3	キャプチャ動作	...	125
8.4.4	16ビット・タイマ・カウンタ90の読み出し	...	126

- 8.4.5 ブザー出力としての動作 ... 127
- 8.5 16ビット・タイマ90の注意事項 ... 128
 - 8.5.1 16ビット・タイマ90使用上の注意 ... 128
 - 8.5.2 16ビット・コンペア・レジスタ90を書き換える際の制限事項 ... 130

第9章 8ビット・タイマ/イベント・カウンタ80-82 ... 132

- 9.1 8ビット・タイマ/イベント・カウンタ80-82の機能 ... 132
- 9.2 8ビット・タイマ/イベント・カウンタ80-82の構成 ... 134
- 9.3 8ビット・タイマ/イベント・カウンタ80-82を制御するレジスタ ... 137
- 9.4 8ビット・タイマ/イベント・カウンタ80-82の動作 ... 141
 - 9.4.1 インターバル・タイマとしての動作 ... 141
 - 9.4.2 外部イベント・カウンタとしての動作 ... 143
 - 9.4.3 方形波出力としての動作 ... 145
 - 9.4.4 PWM出力としての動作 ... 147
- 9.5 8ビット・タイマ/イベント・カウンタ80-82の注意事項 ... 149

第10章 時計用タイマ ... 153

- 10.1 時計用タイマの機能 ... 153
- 10.2 時計用タイマの構成 ... 154
- 10.3 時計用タイマを制御するレジスタ ... 155
- 10.4 時計用タイマの動作 ... 156
 - 10.4.1 時計用タイマとしての動作 ... 156
 - 10.4.2 インターバル・タイマとしての動作 ... 156

第11章 ウォッチドッグ・タイマ ... 158

- 11.1 ウォッチドッグ・タイマの機能 ... 158
- 11.2 ウォッチドッグ・タイマの構成 ... 159
- 11.3 ウォッチドッグ・タイマを制御するレジスタ ... 160
- 11.4 ウォッチドッグ・タイマの動作 ... 162
 - 11.4.1 ウォッチドッグ・タイマとしての動作 ... 162
 - 11.4.2 インターバル・タイマとしての動作 ... 163

第12章 8ビットA/Dコンバータ (μ PD789167, 789167Yサブシリーズ) ... 164

- 12.1 8ビットA/Dコンバータの機能 ... 164
- 12.2 8ビットA/Dコンバータの構成 ... 164
- 12.3 8ビットA/Dコンバータを制御するレジスタ ... 167
- 12.4 8ビットA/Dコンバータの動作 ... 169
 - 12.4.1 8ビットA/Dコンバータの基本動作 ... 169
 - 12.4.2 入力電圧と変換結果 ... 170
 - 12.4.3 8ビットA/Dコンバータの動作モード ... 172
- 12.5 8ビットA/Dコンバータの注意事項 ... 173

第13章 10ビットA/Dコンバータ (μ PD789177, 789177Yサブシリーズ) ... 177

- 13.1 10ビットA/Dコンバータの機能 ... 177
- 13.2 10ビットA/Dコンバータの構成 ... 177
- 13.3 10ビットA/Dコンバータを制御するレジスタ ... 180
- 13.4 10ビットA/Dコンバータの動作 ... 182
 - 13.4.1 10ビットA/Dコンバータの基本動作 ... 182
 - 13.4.2 入力電圧と変換結果 ... 183
 - 13.4.3 10ビットA/Dコンバータの動作モード ... 185
- 13.5 10ビットA/Dコンバータの注意事項 ... 186

第14章 シリアル・インタフェース20 ... 190

- 14.1 シリアル・インタフェース20の機能 ... 190
- 14.2 シリアル・インタフェース20の構成 ... 190
- 14.3 シリアル・インタフェース20を制御するレジスタ ... 194
- 14.4 シリアル・インタフェース20の動作 ... 202
 - 14.4.1 動作停止モード ... 202
 - 14.4.2 アシクロナス・シリアル・インタフェース (UART) モード ... 204
 - 14.4.3 3線式シリアルI/Oモード ... 217

第15章 SMB0 (μ PD789167Y, 789177Yサブシリーズのみ) ... 227

- 15.1 SMB0の機能 ... 227
- 15.2 SMB0の構成 ... 229
- 15.3 SMB0を制御するレジスタ ... 231
- 15.4 SMB0の定義および制御方法 ... 245
 - 15.4.1 スタート・コンディション ... 245
 - 15.4.2 アドレス ... 246
 - 15.4.3 転送方向指定 ... 246
 - 15.4.4 アクノリッジ信号 ($\overline{\text{ACK}}$) ... 247
 - 15.4.5 ストップ・コンディション ... 248
 - 15.4.6 ウェイト信号 ($\overline{\text{WAIT}}$) ... 249
 - 15.4.7 SMB0割り込み (INTSMB0) ... 251
 - 15.4.8 割り込み要求 (INTSMB0) 発生タイミングおよびウェイト制御 ... 272
 - 15.4.9 アドレスの一致検出方法 ... 274
 - 15.4.10 エラーの検出 ... 274
 - 15.4.11 拡張コード ... 274
 - 15.4.12 アービトレーション ... 275
 - 15.4.13 ウェイク・アップ機能 ... 276
 - 15.4.14 通信予約 ... 277
 - 15.4.15 その他の注意事項 ... 279
 - 15.4.16 通信動作 ... 280
- 15.5 タイミング・チャート ... 282

第16章 乗算器 ... 289

- 16.1 乗算器の機能 ... 289

16.2	乗算器の構成	...	289
16.3	乗算器を制御するレジスタ	...	291
16.4	乗算器の動作	...	292
第17章 割り込み機能 ... 293			
17.1	割り込み機能の種類	...	293
17.2	割り込み要因と構成	...	293
17.3	割り込み機能を制御するレジスタ	...	296
17.4	割り込み処理動作	...	301
17.4.1	ノンマスカブル割り込み要求の受け付け動作	...	301
17.4.2	マスカブル割り込み要求の受け付け動作	...	303
17.4.3	多重割り込み処理	...	305
17.4.4	割り込み要求の保留	...	306
第18章 スタンバイ機能 ... 307			
18.1	スタンバイ機能と構成	...	307
18.1.1	スタンバイ機能	...	307
18.1.2	スタンバイ機能を制御するレジスタ	...	308
18.2	スタンバイ機能の動作	...	309
18.2.1	HALTモード	...	309
18.2.2	STOPモード	...	312
第19章 リセット機能 ... 314			
第20章 フラッシュ・メモリ製品 ... 318			
20.1	フラッシュ・メモリの特徴	...	319
20.1.1	プログラミング環境	...	319
20.1.2	通信方式	...	320
20.1.3	オンボード上の端子処理	...	324
20.1.4	フラッシュ書き込み用アダプタ上の接続	...	327
第21章 マスク・オプション ... 335			
第22章 命令セットの概要 ... 336			
22.1	オペレーション	...	336
22.1.1	オペランドの表現形式と記述方法	...	336
22.1.2	オペレーション欄の説明	...	337
22.1.3	フラグ動作欄の説明	...	337
22.2	オペレーション一覧	...	338
22.3	アドレッシング別命令一覧	...	344

第23章	電気的特性 (μ PD78916x, 17x, 16xY, 17xY, 16x(A), 17x(A), 16xY(A), 17xY(A))	...	347
第24章	特性曲線 (μ PD78916x, 17x, 16xY, 17xY, 16x(A), 17x(A), 16xY(A), 17xY(A))	...	365
第25章	電気的特性 (μ PD78916x(A1), 17x(A1), 16x(A2), 17x(A2))	...	368
第26章	特性曲線 (μ PD78916x(A1), 17x(A1), 16x(A2), 17x(A2))	...	381
第27章	電気的特性 (μ PD78F9177A, 78F9177AY, 78F9177A(A), 78F9177AY(A))	...	384
第28章	電気的特性 (μ PD78F9177, 78F9177Y)	...	403
第29章	特性曲線 (μ PD78F9177, 78F9177Y)	...	418
第30章	電気的特性 (μ PD78F9177A(A1))	...	419
第31章	外形図	...	432
第32章	半田付け推奨条件	...	434
付録A	開発ツール	...	437
	A. 1 ソフトウェア・パッケージ	...	439
	A. 2 言語処理用ソフトウェア	...	439
	A. 3 制御ソフトウェア	...	440
	A. 4 フラッシュ・メモリ書き込み用ツール	...	440
	A. 5 デバッグ用ツール (ハードウェア)	...	441
	A. 6 デバッグ用ツール (ソフトウェア)	...	442
付録B	ターゲット・システム設計上の注意	...	443
付録C	レジスタ索引	...	447
	C. 1 レジスタ索引 (50音順)	...	447
	C. 2 レジスタ索引 (アルファベット順)	...	449
付録D	改版履歴	...	451
	D. 1 本版で改訂された主な箇所	...	451
	D. 2 前版までの改版履歴	...	452

第1章 概 説 (μ PD789167, 789177サブシリーズ)

1. 1 拡張規格品と従来規格品について

拡張規格品，従来規格品とは，それぞれ次の製品を指します。

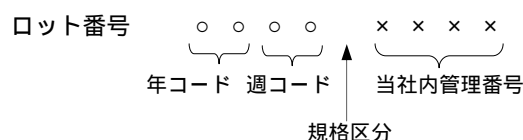
拡張規格品 ... 規格区分^{注1}が「K」以外の製品

- ・平成13年12月1日以降受注分のマスクROM製品 ((A1), (A2)製品^{注2}を除く)
- ・μ PD78F9177A, 78F9177A(A)

従来規格品 ... 規格区分^{注1}が「K」の製品

- ・上記拡張規格品に該当しない製品

注1. 規格区分とは，パッケージ捺印のロット番号で左から5桁目のアルファベット表記を指します。



2. (A1), (A2)製品については，1. 10 標準水準品と(A)製品，(A1)製品，(A2)製品との違いを参照してください。

拡張規格品と従来規格品では動作周波数規格が違います。その違いを表1 - 1に示します。

表1 - 1 拡張規格品と従来規格品との違い

電源電圧 (V _{DD})	保証動作スピード (動作周波数)	
	従来規格品	拡張規格品
4.5 ~ 5.5 V	5 MHz (0.4 μs)	10 MHz (0.2 μs)
3.0 ~ 5.5 V	5 MHz (0.4 μs)	6 MHz (0.33 μs)
2.7 ~ 5.5 V	5 MHz (0.4 μs)	5 MHz (0.4 μs)
1.8 ~ 5.5 V	1.25 MHz (1.6 μs)	1.25 MHz (1.6 μs)

備考 () 内は最小命令実行時間

1.2 特 徴

○ ROM, RAM容量

品 名	項 目	プログラム・メモリ (ROM)	データ・メモリ (内部高速RAM)
μPD789166, 789176, 789166(A), 789176(A), 789166(A1), 789176(A1), 789166(A2), 789176(A2)	マスクROM	16 Kバイト	512バイト
μPD789167, 789177, 789167(A), 789177(A), 789167(A1), 789177(A1), 789167(A2), 789177(A2)		24 Kバイト	
μPD78F9177, 78F9177A, 78F9177A(A), 78F9177A(A1)	フラッシュ・メモリ	24 Kバイト	

○ 高速 (0.2 μs : メイン・システム・クロック10.0 MHz動作時^注) から超低速 (122 μs : サブシステム・クロック32.768 kHz動作時) に最小命令実行時間を変更可能

○ I/Oポート : 31本

○ シリアル・インタフェース : 1チャンネル

3線式シリアルI/Oモード/UARTモード : 1チャンネル

○ 8ビット分解能A/Dコンバータ : 8チャンネル (μPD789167サブシリーズ)

○ 10ビット分解能A/Dコンバータ : 8チャンネル (μPD789177サブシリーズ)

○ タイマ : 6チャンネル

・ 16ビット・タイマ : 1チャンネル

・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル

・ 8ビット・タイマ : 1チャンネル

・ 時計用タイマ : 1チャンネル

・ ウォッチドッグ・タイマ : 1チャンネル

○ ベクタ割り込み要因 : 15

○ 電源電圧

・ V_{DD} = 1.8 ~ 5.5 V (μPD78916x, 78917x, 78916x(A), 78917x(A), 78F9177A, 78F9177A(A)の場合)

・ V_{DD} = 4.5 ~ 5.5 V (μPD78916x(A1), 78917x(A1), 78916x(A2), 78917x(A2)の場合)

○ 動作周囲温度

・ T_A = -40 ~ +85 (μPD78916x, 78917x, 78916x(A), 78917x(A), 78F9177A, 78F9177A(A)の場合)

・ T_A = -40 ~ +110 (μPD78916x(A1), 78917x(A1), 78F9177A(A1)の場合)

・ T_A = -40 ~ +125 (μPD78916x(A2), 78917x(A2)の場合)

注 V_{DD} = 4.5 ~ 5.5 V時かつ拡張規格品の場合

1.3 応用分野

パワーウィンドウ, キーレス・エントリ, バッテリ・マネジメント・ユニット, サイド・エアバッグなど

1.4 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD789166GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	マスクROM
μPD789166GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789167GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD789167GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789176GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD789176GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789177GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD789177GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789166GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789166GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789167GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789167GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789176GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789176GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789177GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789177GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789166GB(A)- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD789167GB(A)- × × × -8ES	"	"
μPD789176GB(A)- × × × -8ES	"	"
μPD789177GB(A)- × × × -8ES	"	"
μPD789166GB(A1)- × × × -8ES	"	"
μPD789167GB(A1)- × × × -8ES	"	"
μPD789176GB(A1)- × × × -8ES	"	"
μPD789177GB(A1)- × × × -8ES	"	"
μPD789166GB(A2)- × × × -8ES	"	"
μPD789167GB(A2)- × × × -8ES	"	"
μPD789176GB(A2)- × × × -8ES	"	"
μPD789177GB(A2)- × × × -8ES	"	"
μPD78F9177GB-8ES	"	フラッシュ・メモリ
μPD78F9177AGB-8ES	"	"
μPD78F9177AGA-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD78F9177GB-8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD78F9177AGB-8ES-A	"	"
μPD78F9177AGA-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD78F9177AGB(A)-8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD78F9177AGB(A1)-8ES	"	"

備考1. × × × はROMコード番号です。

2. オーダ名称末尾「-A」は、鉛フリー製品です。

1.5 品質水準

オーダ名称	パッケージ	品質標準
μPD789166GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	標準 (一般電子機器用)
μPD789166GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789167GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD789167GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789176GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD789176GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789177GB- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	"
μPD789177GA- × × × -9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789166GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789166GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789167GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789167GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789176GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789176GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789177GB- × × × -8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD789177GA- × × × -9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD789166GB(A)- × × × -8ES	44ピン・プラスチックLQFP (10 × 10)	特別 (高信頼度電子機器用)
μPD789167GB(A)- × × × -8ES	"	"
μPD789176GB(A)- × × × -8ES	"	"
μPD789177GB(A)- × × × -8ES	"	"
μPD789166GB(A1)- × × × -8ES	"	"
μPD789167GB(A1)- × × × -8ES	"	"
μPD789176GB(A1)- × × × -8ES	"	"
μPD789177GB(A1)- × × × -8ES	"	"
μPD789166GB(A2)- × × × -8ES	"	"
μPD789167GB(A2)- × × × -8ES	"	"
μPD789176GB(A2)- × × × -8ES	"	"
μPD789177GB(A2)- × × × -8ES	"	"
μPD78F9177GB-8ES	"	標準 (一般電子機器用)
μPD78F9177AGB-8ES	"	"
μPD78F9177AGA-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD78F9177GB-8ES-A	44ピン・プラスチックLQFP (10 × 10)	"
μPD78F9177AGB-8ES-A	"	"
μPD78F9177AGA-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7 × 7)	"
μPD78F9177AGB(A)-8ES	44ピン・プラスチックLQFP (10 × 10)	特別 (高信頼度電子機器用)
μPD78F9177AGB(A1)-8ES	"	"

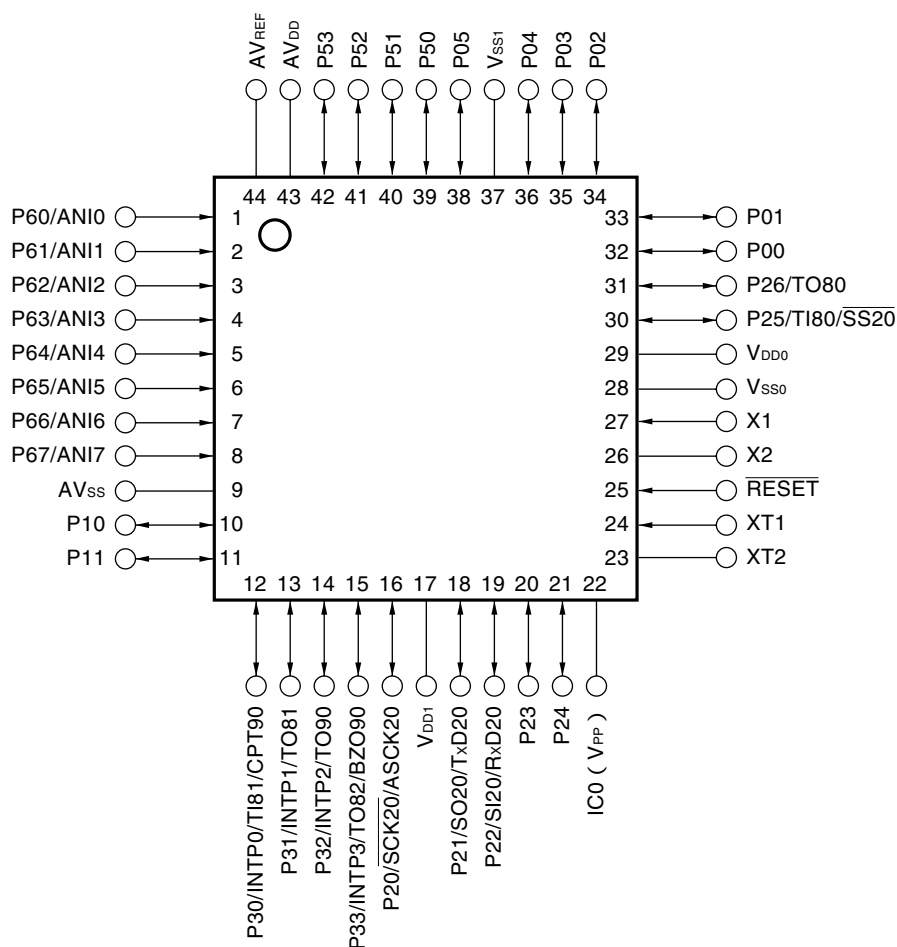
備考1. × × × はROMコード番号です。

2. オーダ名称末尾「-A」は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

1.6 端子接続図 (Top View)

・ 44ピン・プラスチックLQFP (10×10)



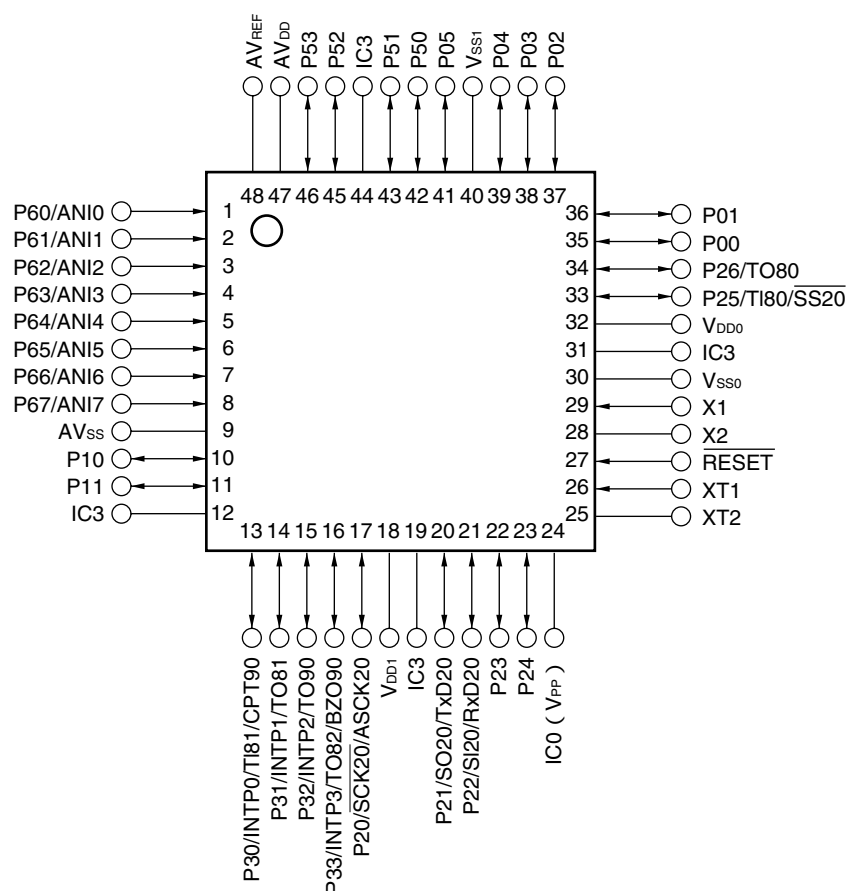
注意1. IC0 (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

2. AVDD端子はVDD0に接続してください。

3. AVSS端子はVSS0に接続してください。

備考 () 内は, μPD78F9177, 78F9177A, 78F9177A(A), 78F9177A(A1)のとき

・ 48ピン・プラスチックTQFP (ファインピッチ) (7×7)



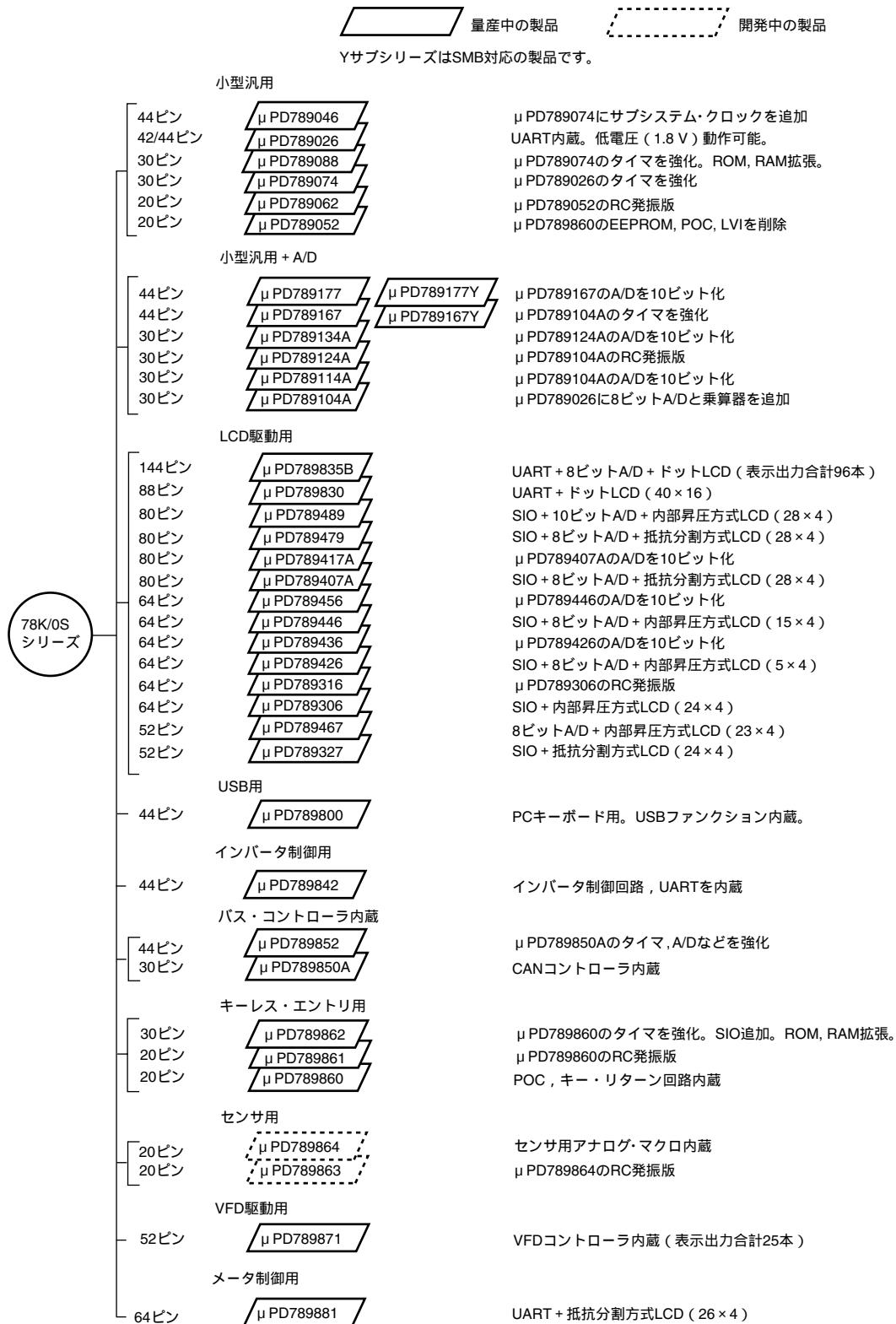
- 注意1. IC0 (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。
2. IC3端子はオープンにしてください。
3. AV_{DD}端子はV_{DD0}に接続してください。
4. AV_{SS}端子はV_{SS0}に接続してください。
5. (A)製品, (A1)製品, (A2)製品の48ピン・パッケージにつきましては未定です。

備考 () 内は, μ PD78F9177Aのとき

ANI0-ANI7	: Analog Input	$\overline{\text{RESET}}$	: Reset
ASCK20	: Asynchronous Serial Input	RxD20	: Receive Data
AV _{DD}	: Analog Power Supply	$\overline{\text{SCK20}}$	: Serial Clock
AV _{REF}	: Analog Reference Voltage	SI20	: Serial Input
AV _{SS}	: Analog Ground	SO20	: Serial Output
BZO90	: Buzzer Output	$\overline{\text{SS20}}$	: Chip Select Input
CPT90	: Capture Trigger Input	TI80, TI81	: Timer Input
IC0, IC3	: Internally Connected	TO80-TO82, TO90	: Timer Output
INTP0-INTP3	: Interrupt from Peripherals	TxD20	: Transmit Data
P00-P05	: Port0	V _{DD0} , V _{DD1}	: Power Supply
P10, P11	: Port1	V _{PP}	: Programming Power Supply
P20-P26	: Port2	V _{SS0} , V _{SS1}	: Ground
P30-P33	: Port3	X1, X2	: Crystal (Main System Clock)
P50-P53	: Port5	XT1, XT2	: Crystal (Subsystem Clock)
P60-P67	: Port6		

1.7 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを示します。

汎用，LCD駆動用シリーズ

機 能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit A/D	10-bit A/D	シリアル・ インタフェース	I/O	V _{DD} 最小値	備考
8-bit	16-bit	時計	WDT									
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μPD789026	4 K-16 K		-								
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789062	4 K	2 ch	-					-	14本		RC発振版
	μPD789052											-
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μPD789167						8 ch	-				
	μPD789134A	2 K-8 K	1 ch	-			-	4 ch		20本		RC発振版
	μPD789124A						4 ch	-				
	μPD789114A						-	4 ch				-
	μPD789104A						4 ch	-				
LCD 駆動用	μPD789835B	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μPD789489	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μPD789479	24 K-48 K					8 ch	-				
	μPD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	-				
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μPD789446						6 ch	-				
	μPD789436						-	6 ch		40本		
	μPD789426						6 ch	-				
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											-
	μPD789467	4 K-24 K		-			1 ch		-	18本		
	μPD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

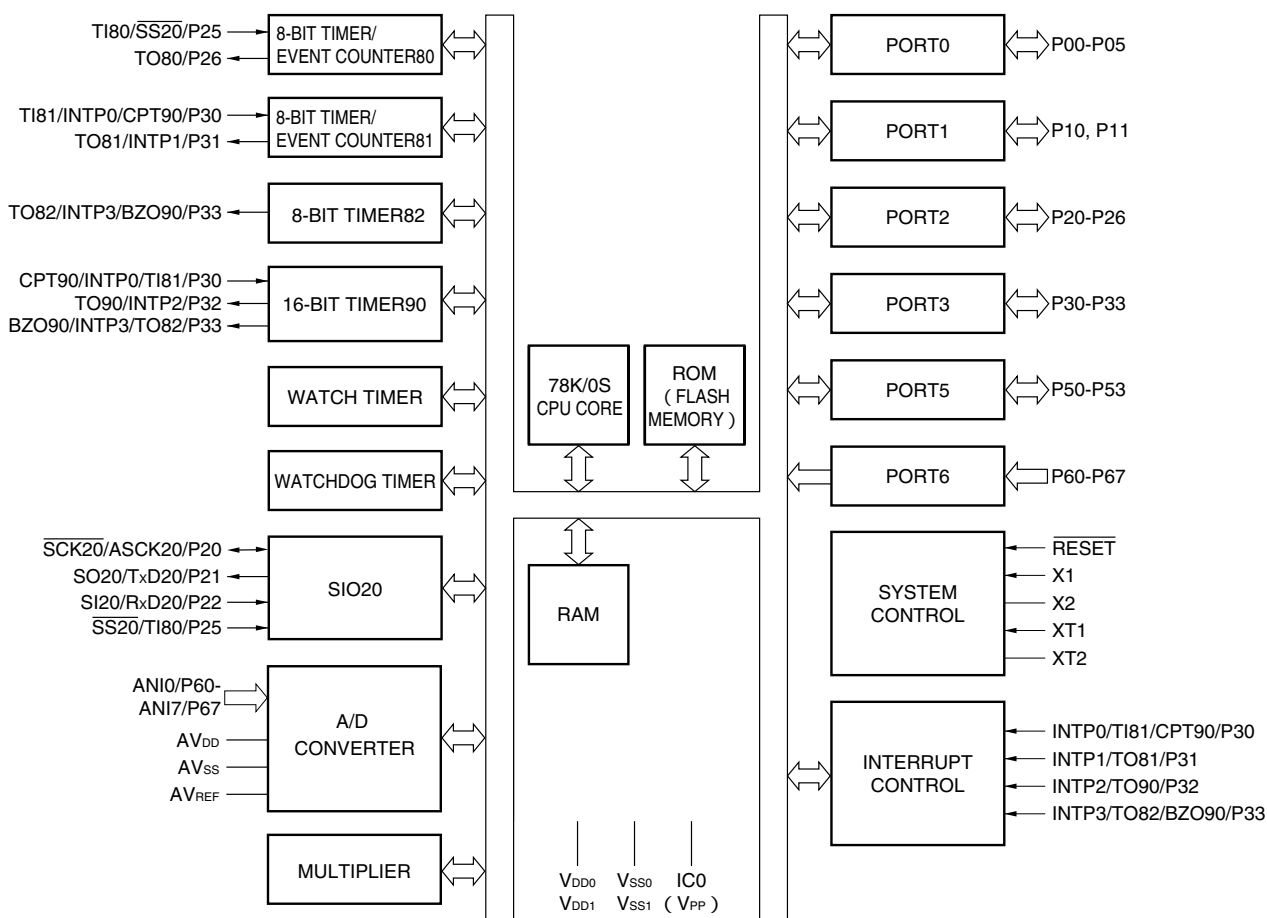
機 能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μPD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-
μPD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本		
キーレス ・エント リ用 μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵
μPD789860											EEPROM内蔵
μPD789862	16 K	1 ch						1 ch (UART : 1ch)	22本		
センサ 用 μPD789864	4 K	1 ch	注2	-	1 ch	-	4 ch	-	5本	1.9 V	EEPROM内蔵
μPD789863											RC発振版， EEPROM内蔵
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注3}	-

注1. 10ビット・タイマ：1チャンネル

2. 12ビット・タイマ：1チャンネル

3. フラッシュ・メモリ版：3.0 V

1.8 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. () 内は, μ PD78F9177, 78F9177A, 78F9177A(A), 78F9177A(A1)のとき

1.9 機能概要

品 名		μ PD789166, 789176, 789166(A), 789176(A), 789166(A1), 789176(A1), 789166(A2), 789176(A2)	μ PD789167, 789177, 789167(A), 789177(A), 789167(A1), 789177(A1), 789167(A2), 789177(A2)	μ PD78F9177, 78F9177A, 78F9177A(A), 78F9177A(A1)
内部メモリ	ROM	マスクROM		フラッシュ・メモリ
		16 Kバイト	24 Kバイト	24 Kバイト
	高速RAM	512バイト		
最小命令実行時間		μ PD78916x, 78917x, 78916x(A), 78917x(A), 78F9177A, 78F9177A(A)の拡張規格品の場合 ・ 0.2 μ s/0.8 μ s (メイン・システム・クロック : 10.0 MHz, V _{DD} = 4.5 ~ 5.5 V動作時) ・ 122 μ s (サブシステム・クロック : 32.768 kHz動作時) 上記以外の場合 ・ 0.4 μ s/1.6 μ s (メイン・システム・クロック : 5.0 MHz動作時) ・ 122 μ s (サブシステム・クロック : 32.768 kHz動作時)		
汎用レジスタ		8ビット×8レジスタ		
命令セット		・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など		
乗算器		8ビット×8ビット = 16ビット		
I/Oポート		合計 : 31本 ・ CMOS入力 : 8本 ・ CMOS入出力 : 17本 ・ N-chオープン・ドレイン : 6本		
A/Dコンバータ		・ 8ビット分解能×8チャネル (μ PD789167サブシリーズ) ・ 10ビット分解能×8チャネル (μ PD789177サブシリーズ)		
シリアル・インタフェース		3線式シリアルI/Oモード / UARTモード選択可能 : 1チャネル		
タイマ		・ 16ビット・タイマ : 1チャネル ・ 8ビット・タイマ / イベント・カウンタ : 2チャネル ・ 8ビット・タイマ : 1チャネル ・ 時計用タイマ : 1チャネル ・ ウォッチドッグ・タイマ : 1チャネル		
タイマ出力		4本		
ブザー出力		1本		
ベクタ割り込み 要因	マスカブル	内部 : 10, 外部 : 4		
	ノンマスカブル	内部 : 1		
電源電圧		V _{DD} = 1.8 ~ 5.5 V (μ PD78916x, 78917x, 78916x(A), 78917x(A), 78F9177, 78F9177A, 78F9177A(A)の場合) V _{DD} = 4.5 ~ 5.5 V (μ PD78916x(A1), 78917x(A1), 78916x(A2), 78917x(A2), 78F9177A(A1) の場合)		
動作周囲温度		T _A = - 40 ~ + 85 (μ PD78916x, 78917x, 78916x(A), 78917x(A), 78F9177, 78F9177A, 78F9177A(A)の場合) T _A = - 40 ~ + 110 (μ PD78916x(A1), 78917x(A1), 78F9177A(A1) の場合) T _A = - 40 ~ + 125 (μ PD78916x(A2), 78917x(A2)の場合)		
パッケージ		・ 44ピン・プラスチックLQFP (10×10) ・ 48ピン・プラスチックTQFP (ファインピッチ) (7×7) 注		

注 μ PD789166, 789167, 789176, 789177, 78F9177Aのみ

次にタイマの概要を示します。

		16ビット・ タイマ90	8ビット・タイマ/ イベント・ カウンタ80	8ビット・タイマ/ イベント・ カウンタ81	8ビット・ タイマ82	時計用タイマ	ウォッチドッ グ・タイマ
動作モード	インターバル・ タイマ	-	1チャンネル	1チャンネル	1チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
	外部イベント・ カウンタ	-	1チャンネル	1チャンネル	-	-	-
機能	タイマ出力	1出力	1出力	1出力	1出力	-	-
	PWM出力	-	1出力	1出力	1出力	-	-
	方形波出力	-	1出力	1出力	1出力	-	-
	ブザー出力	1出力	-	-	-	-	-
	キャプチャ	1入力	-	-	-	-	-
	割り込み要因	1	1	1	1	2	2

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

1. 10 標準水準品と(A)製品, (A1)製品, (A2)製品との違い

標準水準品, (A)製品, (A1)製品, (A2)製品とは、それぞれ次の製品を指します。

標準水準品 ... μPD789166, 789167, 789176, 789177, 78F9177, 78F9177A

(A)製品 ... μPD789166(A), 789167(A), 789176(A), 789177(A), 78F9177A(A)

(A1)製品 ... μPD789166(A1), 789167(A1), 789176(A1), 789177(A1), 78F9177A(A1)

(A2)製品 ... μPD789166(A2), 789167(A2), 789176(A2), 789177(A2)

標準水準品と(A)製品, (A1)製品, (A2)製品との違いを表1 - 2に示します。

表1 - 2 標準水準品と(A)製品, (A1)製品, (A2)製品との違い

品 名 項 目	標準水準品	(A)製品	(A1)製品	(A2)製品
品質水準	標準（一般電子機器用）	特別（高信頼度電子機器用）		
電源電圧	V _{DD} = 1.8 ~ 5.5 V		V _{DD} = 4.5 ~ 5.5 V	
動作周囲温度	T _A = - 40 ~ + 85		T _A = - 40 ~ + 110	T _A = - 40 ~ + 125
最小命令実行 時間	拡張規格品 ^注 : 0.2 μs（10.0 MHz動作時） 従来規格品 ^注 : 0.4 μs（5.0 MHz動作時）		0.4 μs（5.0 MHz動作時）	
電気的特性	各電気的特性の章を参照してください。			

注 1. 1 拡張規格品と従来規格品についてを参照してください。

第2章 概 説 (μPD789167Y, 789177Yサブシリーズ)

2.1 拡張規格品と従来規格品について

拡張規格品，従来規格品とは，それぞれ次の製品を指します。

拡張規格品 ... 規格区分^注が「K」以外の製品

- ・平成13年12月1日以降受注分のマスクROM製品
- ・μPD78F9177AY, 78F9177AY(A)

従来規格品 ... 規格区分^注が「K」の製品

- ・上記拡張規格品に該当しない製品

注 規格区分とは，パッケージ捺印のロット番号で左から5桁目のアルファベット表記を指します。



拡張規格品と従来規格品では動作周波数規格が違います。その違いを表2 - 1に示します。

表2 - 1 拡張規格品と従来規格品との違い

電源電圧 (V _{DD})	保証動作スピード (動作周波数)	
	従来規格品	拡張規格品
4.5 ~ 5.5 V	5 MHz (0.4 μs)	10 MHz (0.2 μs)
3.0 ~ 5.5 V	5 MHz (0.4 μs)	6 MHz (0.33 μs)
2.7 ~ 5.5 V	5 MHz (0.4 μs)	5 MHz (0.4 μs)
1.8 ~ 5.5 V	1.25 MHz (1.6 μs)	1.25 MHz (1.6 μs)

備考 () 内は最小命令実行時間

2.2 特 徴

○ ROM, RAM容量

品 名	項 目	プログラム・メモリ (ROM)		データ・メモリ (内部高速RAM)
μ PD789166Y, 789176Y, 789166Y(A), 789176Y(A)	マスクROM		16 Kバイト	512バイト
μ PD789167Y, 789177Y, 789167Y(A), 789177Y(A)			24 Kバイト	
μ PD78F9177Y, 78F9177AY, 78F9177AY(A)	フラッシュ・メモリ	24 Kバイト		

- 高速 (0.2 μs : メイン・システム・クロック10.0 MHz動作時[※]) から超低速 (122 μs : サブシステム・クロック32.768 kHz動作時) に最小命令実行時間を変更可能
- I/Oポート : 31本
- シリアル・インタフェース : 2チャンネル
3線式シリアルI/Oモード/UARTモード : 1チャンネル
SMB : 1チャンネル
- 8ビット分解能A/Dコンバータ : 8チャンネル (μPD789167Yサブシリーズ)
- 10ビット分解能A/Dコンバータ : 8チャンネル (μPD789177Yサブシリーズ)
- タイマ : 6チャンネル
 - ・ 16ビット・タイマ : 1チャンネル
 - ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル
 - ・ 8ビット・タイマ : 1チャンネル
 - ・ 時計用タイマ : 1チャンネル
 - ・ ウォッチドッグ・タイマ : 1チャンネル
- ベクタ割り込み要因 : 17
- 電源電圧 : V_{DD} = 1.8 ~ 5.5 V
- 動作周囲温度 : T_A = - 40 ~ + 85

注 V_{DD} = 4.5 ~ 5.5 V時かつ拡張規格品の場合

2.3 応用分野

パワーウィンドウ, キーレス・エントリ, バッテリ・マネジメント・ユニット, サイド・エアバッグなど

2.4 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD789166YGB- × × × -8ES	44ピン・プラスチックLQFP (10×10)	マスクROM
μPD789166YGA- × × × -9EU	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789167YGB- × × × -8ES	44ピン・プラスチックLQFP (10×10)	"
μPD789167YGA- × × × -9EU	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789176YGB- × × × -8ES	44ピン・プラスチックLQFP (10×10)	"
μPD789176YGA- × × × -9EU	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789177YGB- × × × -8ES	44ピン・プラスチックLQFP (10×10)	"
μPD789177YGA- × × × -9EU	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789166YGB- × × × -8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789166YGA- × × × -9EU-A	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789167YGB- × × × -8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789167YGA- × × × -9EU-A	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789176YGB- × × × -8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789176YGA- × × × -9EU-A	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789177YGB- × × × -8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789177YGA- × × × -9EU-A	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD789166YGA(A)- × × × -9EU	"	"
μPD789167YGA(A)- × × × -9EU	"	"
μPD789176YGA(A)- × × × -9EU	"	"
μPD789177YGA(A)- × × × -9EU	"	"
μPD78F9177YGB-8ES	44ピン・プラスチックLQFP (10×10)	フラッシュ・メモリ
μPD78F9177YGA-9EU	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD78F9177AYGB-8ES	44ピン・プラスチックLQFP (10×10)	"
μPD78F9177AYGA-9EU	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD78F9177YGB-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD78F9177YGA-9EU-A	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD78F9177AYGB-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD78F9177AYGA-9EU-A	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"
μPD78F9177AYGB(A)-8ES	44ピン・プラスチックLQFP (10×10)	"
μPD78F9177AYGA(A)-9EU	48ピン・プラスチックTQFP(ファインピッチ) (7×7)	"

備考1. × × × はROMコード番号です。

2. オーダ名称末尾「-A」は、鉛フリー製品です。

2.5 品質水準

オーダ名称	パッケージ	品質標準
μPD789166YGB-×××-8ES	44ピン・プラスチックLQFP (10×10)	標準 (一般電子機器用)
μPD789166YGA-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789167YGB-×××-8ES	44ピン・プラスチックLQFP (10×10)	"
μPD789167YGA-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789176YGB-×××-8ES	44ピン・プラスチックLQFP (10×10)	"
μPD789176YGA-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789177YGB-×××-8ES	44ピン・プラスチックLQFP (10×10)	"
μPD789177YGA-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789166YGB-×××-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789166YGA-×××-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789167YGB-×××-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789167YGA-×××-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789176YGB-×××-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789176YGA-×××-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789177YGB-×××-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD789177YGA-×××-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789166YGA(A)-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	特別 (高信頼度電子機器用)
μPD789167YGA(A)-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789176YGA(A)-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD789177YGA(A)-×××-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD78F9177YGB-8ES	44ピン・プラスチックLQFP (10×10)	標準 (一般電子機器用)
μPD78F9177YGA-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD78F9177AYGB-8ES	44ピン・プラスチックLQFP (10×10)	"
μPD78F9177AYGA-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD78F9177YGB-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD78F9177YGA-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD78F9177AYGB-8ES-A	44ピン・プラスチックLQFP (10×10)	"
μPD78F9177AYGA-9EU-A	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"
μPD78F9177AYGB(A)-8ES	44ピン・プラスチックLQFP (10×10)	特別 (高信頼度電子機器用)
μPD78F9177AYGA(A)-9EU	48ピン・プラスチックTQFP (ファインピッチ) (7×7)	"

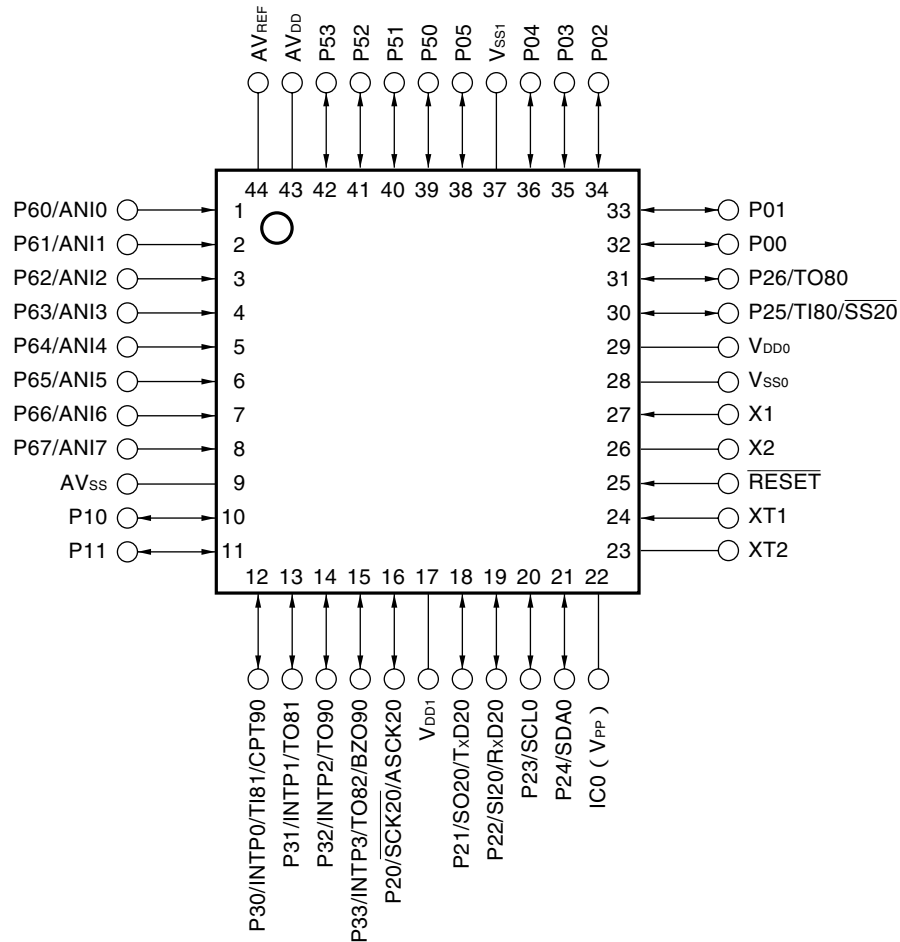
備考1. ×××はROMコード番号です。

2. オーダ名称末尾「-A」は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

2.6 端子接続図 (Top View)

・44ピン・プラスチックLQFP (10×10)



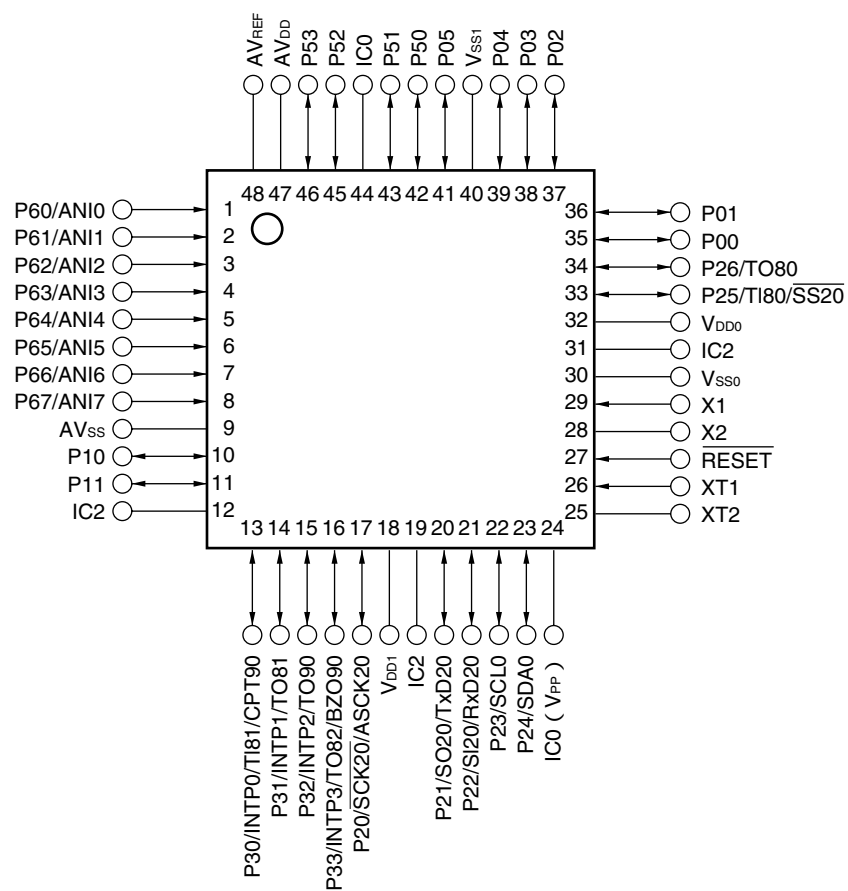
注意1. IC0 (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

2. AVDD端子はVDD0に接続してください。

3. AVss端子はVSS0に接続してください。

備考 () 内は, μPD78F9177Y, 78F9177AY, 78F9177AY(A)のとき

・ 48ピン・プラスチックTQFP (ファインピッチ) (7×7)



注意1. IC0 (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

2. IC2端子はオープンにしてください。

3. AVDD端子はVDD0に接続してください。

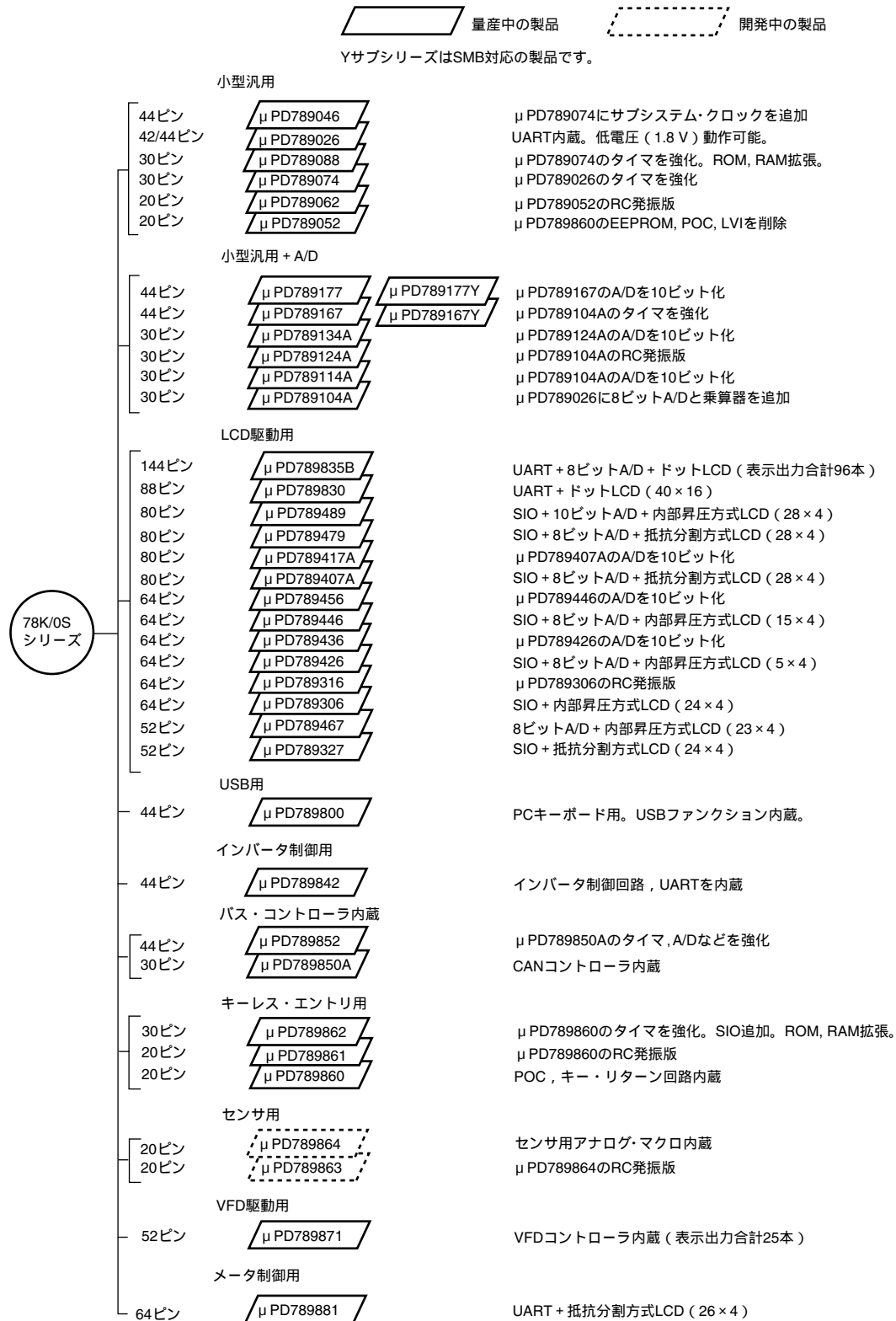
4. AVSS端子はVSS0に接続してください。

備考 () 内は, μ PD78F9177Y, 78F9177AY, 78F9177AY(A)のとき

ANI0-ANI7	: Analog Input	$\overline{\text{RESET}}$	: Reset
ASCK20	: Asynchronous Serial Input	RxD20	: Receive Data
AV _{DD}	: Analog Power Supply	$\overline{\text{SCK20}}$	: Serial Clock (for SIO20)
AV _{REF}	: Analog Reference Voltage	SCL0	: Serial Clock (for SMB0)
AV _{SS}	: Analog Ground	SDA0	: Serial Data
BZO90	: Buzzer Output	SI20	: Serial Input
CPT90	: Capture Trigger Input	SO20	: Serial Output
IC0, IC2	: Internally Connected	$\overline{\text{SS20}}$	: Chip Select Input
INTP0-INTP3	: Interrupt from Peripherals	TI80, TI81	: Timer Input
P00-P05	: Port0	TO80-TO82, TO90	: Timer Output
P10, P11	: Port1	TxD20	: Transmit Data
P20-P26	: Port2	V _{DD0} , V _{DD1}	: Power Supply
P30-P33	: Port3	V _{PP}	: Programming Power Supply
P50-P53	: Port5	V _{SS0} , V _{SS1}	: Ground
P60-P67	: Port6	X1, X2	: Crystal (Main System Clock)
		XT1, XT2	: Crystal (Subsystem Clock)

2.7 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

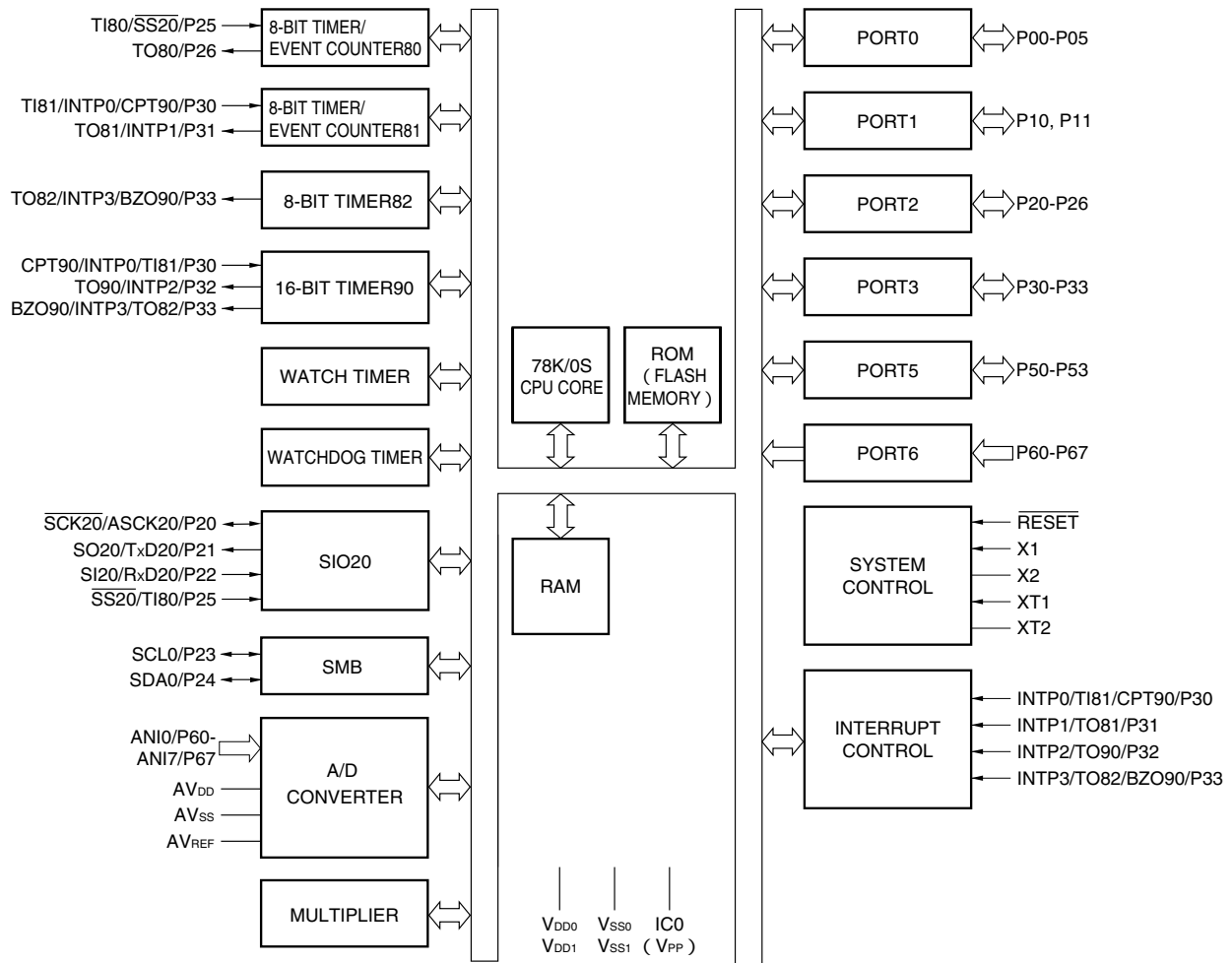


備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが，ドキュメントによってはFIP（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

Yサブシリーズ間の概要を次に示します。

機 能 サブシリーズ名		ROM容量	シリアル・インタフェースの構成	I/O	V _{DD} 最小値	備考
小型 汎用 +A/D	μ PD789177Y	16 K-24 K	3線式 / UART : 1 ch	31本	1.8 V	-
	μ PD789167Y		SMB : 1 ch			

2.8 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. () 内は, μPD78F9177Y, 78F9177AY, 78F9177AY(A)のとき

2.9 機能概要

品 名		μPD789166Y, 789176Y, 789166Y(A), 789176Y(A)	μPD789167Y, 789177Y, 789167Y(A), 789177Y(A)	μPD78F9177Y, 78F9177AY, 78F9177AY(A)
内部メモリ	ROM	マスクROM		フラッシュ・メモリ
		16 Kバイト	24 Kバイト	24 Kバイト
	高速RAM	512バイト		
最小命令実行時間		μPD78916xY, 78917xY, 78916xY(A), 78917xY(A), 78F9177AY, 78F9177AY(A)の拡張規格品の場合 ・0.2 μs/0.8 μs (メイン・システム・クロック : 10.0 MHz, V _{DD} = 4.5 ~ 5.5 V動作時) ・122 μs (サブシステム・クロック : 32.768 kHz動作時) 上記以外の場合 ・0.4 μs/1.6 μs (メイン・システム・クロック : 5.0 MHz動作時) ・122 μs (サブシステム・クロック : 32.768 kHz動作時)		
汎用レジスタ		8ビット×8レジスタ		
命令セット		・16ビット演算 ・ビット操作 (セット, リセット, テスト) など		
乗算器		8ビット×8ビット = 16ビット		
I/Oポート		合計 : 31本 ・CMOS入力 : 8本 ・CMOS入出力 : 17本 ・N-chオープン・ドレイン : 6本		
A/Dコンバータ		・8ビット分解能×8チャンネル (μPD789167Yサブシリーズ) ・10ビット分解能×8チャンネル (μPD789177Yサブシリーズ)		
シリアル・インタフェース		・3線式シリアルI/Oモード / UARTモード選択可能 : 1チャンネル ・SMB (System Management Bus) : 1チャンネル		
タイマ		・16ビット・タイマ : 1チャンネル ・8ビット・タイマ / イベント・カウンタ : 2チャンネル ・8ビット・タイマ : 1チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル		
タイマ出力		4本		
ブザー出力		1本		
ベクタ割り込み要因	マスカブル	内部 : 12, 外部 : 4		
	ノンマスカブル	内部 : 1		
電源電圧		V _{DD} = 1.8 ~ 5.5 V		
動作周囲温度		T _A = -40 ~ +85		
パッケージ		・44ピン・プラスチックLQFP (10×10) 注 ・48ピン・プラスチックTQFP (ファインピッチ) (7×7)		

注 μPD789166Y, 789167Y, 789176Y, 789177Y, 78F9177Y, 78F9177AY, 78F9177AY(A)のみ

次にタイマの概要を示します。

		16ビット・ タイマ90	8ビット・タイマ/ イベント・ カウンタ80	8ビット・タイマ/ イベント・ カウンタ81	8ビット・ タイマ82	時計用タイマ	ウォッチドッ グ・タイマ
動作モード	インターバル・ タイマ	-	1チャンネル	1チャンネル	1チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
	外部イベント・ カウンタ	-	1チャンネル	1チャンネル	-	-	-
機能	タイマ出力	1出力	1出力	1出力	1出力	-	-
	PWM出力	-	1出力	1出力	1出力	-	-
	方形波出力	-	1出力	1出力	1出力	-	-
	ブザー出力	1出力	-	-	-	-	-
	キャプチャ	1入力	-	-	-	-	-
	割り込み要因	1	1	1	1	2	2

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

2. 10 標準水準品と(A)製品との違い

標準水準品，(A)製品とは，それぞれ次の製品を指します。

標準水準品 ... μPD789166Y, 789167Y, 789176Y, 789177Y, 78F9177Y, 78F9177AY

(A)製品 ... μPD789166Y(A), 789167Y(A), 789176Y(A), 789177Y(A), 78F9177AY(A)

標準水準品と(A)製品との違いを表2 - 2に示します。

表2 - 2 標準水準品と(A)製品との違い

品 名 項 目	標準水準品	(A)製品
品質水準	標準（一般電子機器用）	特別（高信頼度電子機器用）
電源電圧	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	
動作周囲温度	$T_A = -40 \sim +85$	
最小命令実行時間	拡張規格品 ^注 ：0.2 μs （10.0 MHz動作時） 従来規格品 ^注 ：0.4 μs （5.0 MHz動作時）	
電気的特性	各電気的特性の章を参照してください。	

注 2.1 拡張規格品と従来規格品についてを参照してください。

第3章 端子機能 (μPD789167, 789177サブシリーズ)

3.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P05	入出力	ポート0。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P20-P22, P25, P26はプルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。 P23, P24のみN-chオープン・ドレイン入出力ポート。	入力	SCK20/ASCK20
P21				SO20/TxD20
P22				SI20/RxD20
P23				-
P24				-
P25				TI80/SS20
P26				TO80
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 プルアップ抵抗オプション・レジスタB3 (PUB3) により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/TI81/CPT90
P31				INTP1/TO81
P32				INTP2/TO90
P33				INTP3/TO82/BZO90
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力 / 出力の指定可能。 マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	-
P60-P67	入力	ポート6。 8ビット入力専用ポート。	入力	ANI0-ANI7

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり の両エッジ) 指定可能な外部割り込み入力	入力	P30/TI81/CPT90
INTP1				P31/TO81
INTP2				P32/TO90
INTP3				P33/TO82/BZO90
SI20	入力	シリアル・インタフェースのシリアル・データ入力	入力	P22/RxD20
SO20	出力	シリアル・インタフェースのシリアル・データ出力	入力	P21/TxD20
SCK20	入出力	シリアル・インタフェースのシリアル・クロック入力/出力	入力	P20/ASCK20
SS20	入力	シリアル・インタフェースのチップ・セレクト入力	入力	P25/TI80
ASCK20	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック 入力	入力	P20/SCK20
RxD20	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P22/SI20
TxD20	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P21/SO20
TI80	入力	8ビット・タイマ/イベント・カウンタ (TM80) への外部カウン ト・クロック入力	入力	P25/SS20
TI81	入力	8ビット・タイマ/イベント・カウンタ (TM81) への外部カウン ト・クロック入力	入力	P30/INTP0/CPT90
TO80	出力	8ビット・タイマ/イベント・カウンタ (TM80) 出力	入力	P26
TO81	出力	8ビット・タイマ/イベント・カウンタ (TM81) 出力	入力	P31/INTP1
TO82	出力	8ビット・タイマ (TM82) 出力	入力	P33/INTP3/BZO90
TO90	出力	16ビット・タイマ (TM90) 出力	入力	P32/INTP2
CPT90	入力	キャプチャ・エッジ入力	入力	P30/INTP0/TI81
BZO90	出力	ブザー出力	入力	P33/INTP3/TO82
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	入力	P60-P67
AV _{REF}	-	A/Dコンバータの基準電圧	-	-
AV _{SS}	-	A/Dコンバータのグランド電位	-	-
AV _{DD}	-	A/Dコンバータのアナログ電源	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続	-	-
XT2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD0}	-	ポート部の正電源	-	-
V _{DD1}	-	正電源 (ポート部を除く)	-	-
V _{SS0}	-	ポート部のグランド電位	-	-
V _{SS1}	-	グランド電位 (ポート部を除く)	-	-
IC0	-	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	-	-
IC3	-	内部接続されています。オープンにしてください。	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	-	-

3.2 端子機能の説明

3.2.1 P00-P05 (Port0)

6ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

3.2.2 P10, P11 (Port1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

3.2.3 P20-P26 (Port2)

7ビット入出力ポートです。入出力ポートのほかにタイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P20-P22, P25, P26はポート・モード・レジスタ2 (PM2) の設定にかかわらず、1ビット単位で、プルアップ抵抗オプション・レジスタB2 (PUB2) により内蔵プルアップ抵抗を使用できます。P23, P24はN-chオープン・ドレイン入出力ポートです。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) TI80

8ビット・タイマ/イベント・カウンタ80への外部クロック入力端子です。

(b) TO80

8ビット・タイマ/イベント・カウンタ80のタイマ出力端子です。

(c) SI20, SO20

シリアル・インタフェースのシリアル・データの入出力端子です。

(d) $\overline{\text{SCK20}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(e) $\overline{\text{SS20}}$

シリアル・インタフェースのチップ・セレクト入力端子です。

(f) RxD20, TxD20

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(g) ASCK20

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表14-2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

3.2.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み入力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。ポート・モード・レジスタ3 (PM3) の設定にかかわらず、1ビット単位で、プルアップ抵抗オプション・レジスタB3 (PUB3) により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、外部割り込み入力として機能します。

(a) TI81

8ビット・タイマ/イベント・カウンタ81への外部クロック入力端子です。

(b) TO90, TO81, TO82

16ビット・タイマ90, 8ビット・タイマ/イベント・カウンタ81, 8ビット・タイマ82の出力端子です。

(c) CPT90

16ビット・タイマ90のキャプチャ・エッジ入力端子です。

(d) BZO90

16ビット・タイマ90のブザー出力端子です。

(e) INTP0-INTP3

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり立ち下がり両エッジ) 指定可能な外部割り込み入力端子です。

3.2.5 P50-P53 (Port 5)

4ビットのN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力または出力ポートに指定できます。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能です。

3.2.6 P60-P67 (Port 6)

8ビット入力専用ポートです。汎用入力ポートのほかに、A/Dコンバータ入力機能があります。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力 (ANI0-ANI7) として機能します。

3.2.7 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

3.2.8 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

3.2.9 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

3.2.10 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にVDD0端子と同電位で使用してください。

3.2.11 AVSS

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にVSS0端子と同電位で使用してください。

3.2.12 AVREF

A/Dコンバータの基準電圧端子です。A/Dコンバータを使用しない場合はVDD0またはVSS0に接続してください。

3.2.13 VDD0, VDD1

VDD0はポート部の正電源供給端子です。

VDD1はポート部以外の正電源供給端子です。

3.2.14 VSS0, VSS1

VSS0はポート部のグラウンド電位端子です。

VSS1はポート部以外のグラウンド電位端子です。

3.2.15 V_{PP} (フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

- 個別に10 kΩのプルダウン抵抗を接続する
- ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS0}またはV_{SS1}に直接接続するように切り替える

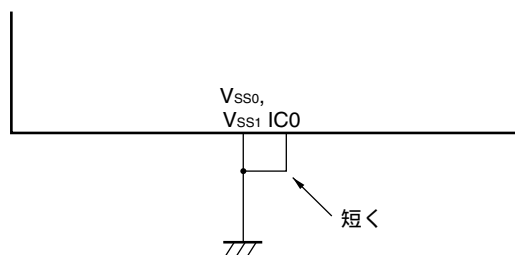
V_{PP}端子とV_{SS0}またはV_{SS1}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

3.2.16 IC0 (マスクROM製品のみ)

IC0 (Internally Connected) 端子は、当社出荷時にμPD789167, 789177サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC0端子をV_{SS0}またはV_{SS1}に直接接続し、その配線長を極力短くしてください。

IC0端子とV_{SS0}またはV_{SS1}端子間の配線の引き回しが長い場合や、IC0端子に外来ノイズが加わった場合などで、IC0端子とV_{SS0}またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○ IC0端子をV_{SS0}またはV_{SS1}端子に直接接続してください。



3.2.17 IC3

内部接続されています。オープンにしてください。

3.3 端子の入出力回路と未使用端子の処理

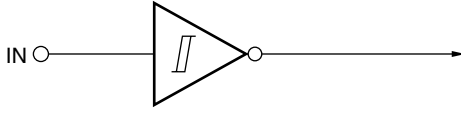
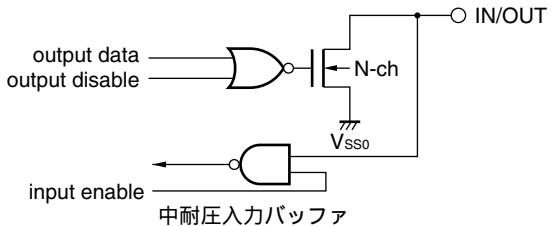
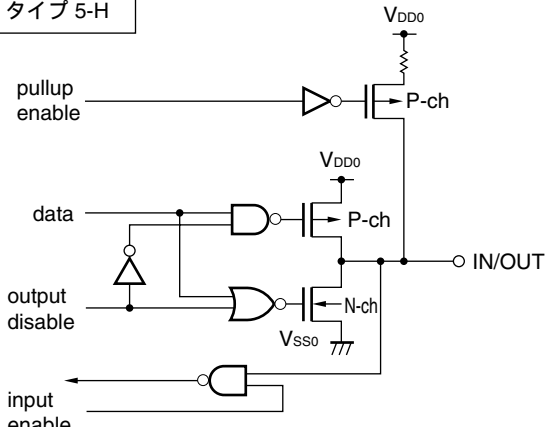
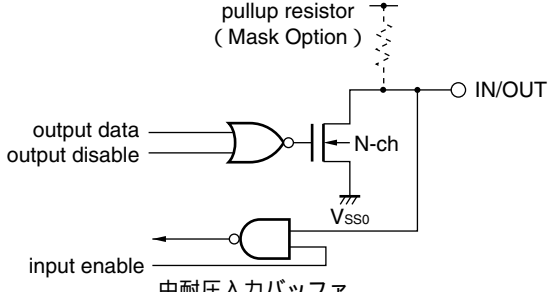
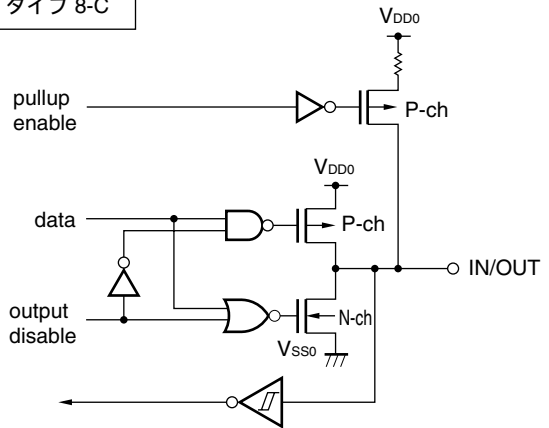
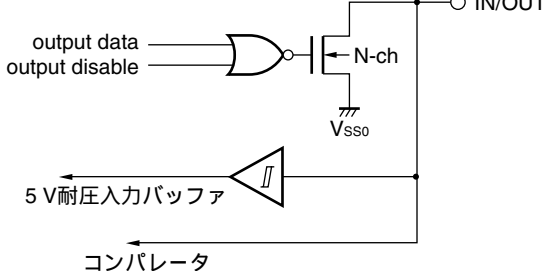
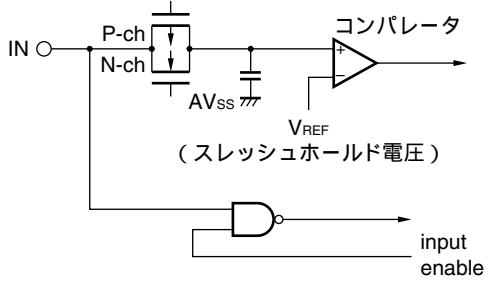
各端子の入出力回路タイプと、未使用端子の処理を表3 - 1に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P05	5-H	入出力	入力時：個別に抵抗を介して，V _{DD0} ，V _{DD1} ，V _{SS0} ，V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P10, P11			
P20/SCK20/ASCK20	8-C		入力時：個別に抵抗を介して，V _{DD0} またはV _{DD1} に接続してください。 出力時：オープンにしてください。
P21/SO20/TxD20			
P22/SI20/RxD20			
P23	13-X		入力時：個別に抵抗を介して，V _{DD0} またはV _{DD1} に接続してください。 出力時：オープンにしてください。
P24			
P25/TI80/SS20	8-C		入力時：個別に抵抗を介して，V _{DD0} ，V _{DD1} ，V _{SS0} ，V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P26/TO80			
P30/INTP0/TI81/CPT90			入力時：個別に抵抗を介して，V _{SS0} ，V _{SS1} に接続してください。 出力時：オープンにしてください。
P31/INTP1/TO81			
P32/INTP2/TO90			
P33/INTP3/TO82/BZO90			
P50-P53（マスクROM製品）	13-U	入力時：V _{SS0} またはV _{SS1} に接続してください。 出力時：オープンにしてください。	
P50-P53（フラッシュ・メモリ製品）	13-T		
P60/ANI0-P67/ANI7	9-C	入力	V _{DD0} ，V _{DD1} またはV _{SS0} ，V _{SS1} に直接接続してください。
XT1	-	入力	V _{SS0} またはV _{SS1} に直接接続してください。
XT2		-	オープンにしてください。
RESET	2	入力	-
IC0（マスクROM製品）	-	-	V _{SS0} またはV _{SS1} に直接接続してください。
IC3			オープンにしてください。
V _{PP} （フラッシュ・メモリ製品）			個別に10 kΩのプルダウン抵抗を接続するか，V _{SS0} またはV _{SS1} に直接接続してください。

図3 - 1 端子の入出力回路一覧

タイプ2  ヒステリシス特性を有するシュミット・トリガ入力となっています。	タイプ13-T  中耐圧入力バッファ
タイプ5-H  中耐圧入力バッファ	タイプ13-U  中耐圧入力バッファ
タイプ8-C  中耐圧入力バッファ	タイプ13-X  コンパレータ
タイプ9-C  コンパレータ input enable	

第4章 端子機能 (μPD789167Y, 789177Yサブシリーズ)

4.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P05	入出力	ポート0。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P20-P22, P25, P26はプルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。 P23, P24のみN-chオープン・ドレイン入出力ポート。	入力	SCK20/ASCK20
P21				SO20/TxD20
P22				SI20/RxD20
P23				SCL0
P24				SDA0
P25				TI80/SS20
P26				TO80
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 プルアップ抵抗オプション・レジスタB3 (PUB3) により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/TI81/CPT90
P31				INTP1/TO81
P32				INTP2/TO90
P33				INTP3/TO82/BZO90
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力 / 出力の指定可能。 マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	-
P60-P67	入力	ポート6。 8ビット入力専用ポート。	入力	ANI0-ANI7

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり の両エッジ) 指定可能な外部割り込み入力	入力	P30/TI81/CPT90
INTP1				P31/TO81
INTP2				P32/TO90
INTP3				P33/TO82/BZO90
SI20	入力	シリアル・インタフェースのシリアル・データ入力	入力	P22/RxD20
SO20	出力	シリアル・インタフェースのシリアル・データ出力	入力	P21/TxD20
SCK20	入出力	シリアル・インタフェースのシリアル・クロック入力/出力	入力	P20/ASCK20
SS20	入力	シリアル・インタフェースのチップ・セレクト入力	入力	P25/TI80
ASCK20	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック 入力	入力	P20/SCK20
RxD20	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P22/SI20
TxD20	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P21/SO20
SCL0	入出力	SMB0クロック入出力	入力	P23
SDA0	入出力	SMB0データ入出力	入力	P24
TI80	入力	8ビット・タイマ/イベント・カウンタ (TM80) への外部カウン ト・クロック入力	入力	P25/SS20
TI81	入力	8ビット・タイマ/イベント・カウンタ (TM81) への外部カウン ト・クロック入力	入力	P30/INTP0/CPT90
TO80	出力	8ビット・タイマ/イベント・カウンタ (TM80) 出力	入力	P26
TO81	出力	8ビット・タイマ/イベント・カウンタ (TM81) 出力	入力	P31/INTP1
TO82	出力	8ビット・タイマ (TM82) 出力	入力	P33/INTP3/BZO90
TO90	出力	16ビット・タイマ (TM90) 出力	入力	P32/INTP2
CPT90	入力	キャプチャ・エッジ入力	入力	P30/INTP0/TI81
BZO90	出力	ブザー出力	入力	P33/INTP3/TO82
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	入力	P60-P67
AV _{REF}	-	A/Dコンバータの基準電圧	-	-
AV _{SS}	-	A/Dコンバータのグランド電位	-	-
AV _{DD}	-	A/Dコンバータのアナログ電源	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続	-	-
XT2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD0}	-	ポート部の正電源	-	-
V _{DD1}	-	正電源 (ポート部を除く)	-	-
V _{SS0}	-	ポート部のグランド電位	-	-
V _{SS1}	-	グランド電位 (ポート部を除く)	-	-
IC0	-	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	-	-
IC2	-	内部接続されています。オープンにしてください。	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	-	-

4.2 端子機能の説明

4.2.1 P00-P05 (Port0)

6ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

4.2.2 P10, P11 (Port1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

4.2.3 P20-P26 (Port2)

7ビット入出力ポートです。入出力ポートのほかにタイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P20-P22, P25, P26はポート・モード・レジスタ2 (PM2) の設定にかかわらず、1ビット単位で、プルアップ抵抗オプション・レジスタB2 (PUB2) により内蔵プルアップ抵抗を使用できます。P23, P24はN-chオープン・ドレイン入出力ポートです。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) TI80

8ビット・タイマ/イベント・カウンタ80への外部クロック入力端子です。

(b) TO80

8ビット・タイマ/イベント・カウンタ80のタイマ出力端子です。

(c) SI20, SO20

シリアル・インタフェースのシリアル・データの入出力端子です。

(d) $\overline{\text{SCK20}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(e) $\overline{\text{SS20}}$

シリアル・インタフェースのチップ・セレクト入力端子です。

(f) RxD20, TxD20

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(g) ASCK20

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

(h) SCL0

SMB0のクロック入出力端子です。

(i) SDA0

SMB0のデータ入出力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表14 - 2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

4.2.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み入力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。ポート・モード・レジスタ3 (PM3) にかかわらず、1ビット単位で、プルアップ抵抗オプション・レジスタB3 (PUB3) により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、外部割り込み入力として機能します。

(a) TI81

8ビット・タイマ/イベント・カウンタ81への外部クロック入力端子です。

(b) TO90, TO81, TO82

16ビット・タイマ90, 8ビット・タイマ/イベント・カウンタ81, 8ビット・タイマ82の出力端子です。

(c) CPT90

16ビット・タイマ90のキャプチャ・エッジ入力端子です。

(d) BZO90

16ビット・タイマ90のブザー出力端子です。

(e) INTP0-INTP3

有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がり立ち下がり両エッジ）指定可能な外部割り込み入力端子です。

4.2.5 P50-P53 (Port 5)

4ビットのN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力または出力ポートに指定できます。マスクROM製品は，マスク・オプションにより，プルアップ抵抗の内蔵を指定可能です。

4.2.6 P60-P67 (Port 6)

8ビット入力専用ポートです。汎用入力ポートのほかに，A/Dコンバータ入力機能があります。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力 (ANI0-ANI7) として機能します。

4.2.7 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

4.2.8 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは，X1に入力し，X2にその反転信号を入力してください。

4.2.9 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは，XT1に入力し，XT2にその反転信号を入力してください。

4.2.10 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも，常にVDD0端子と同電位で使用してください。

4.2.11 AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にVSS0端子と同電位で使用してください。

4.2.12 AVREF

A/Dコンバータの基準電圧端子です。A/Dコンバータを使用しない場合はVDD0またはVSS0に接続してください。

4.2.13 VDD0, VDD1

VDD0はポート部の正電源供給端子です。

VDD1はポート部以外の正電源供給端子です。

4. 2. 14 VSS0, VSS1

VSS0はポート部のグラウンド電位端子です。

VSS1はポート部以外のグラウンド電位端子です。

4. 2. 15 VPP (フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み / ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

- 個別に10 kΩのプルダウン抵抗を接続する
- ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライタに、通常動作モード時はVSS0またはVSS1に直接接続するように切り替える

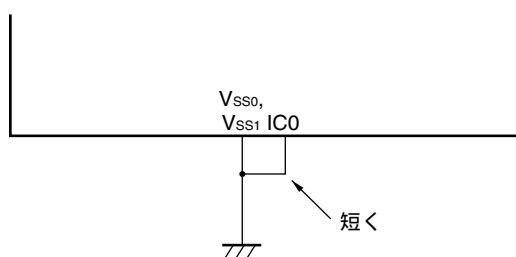
VPP端子とVSS0またはVSS1端子間の配線の引き回しが長い場合や、VPP端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

4. 2. 16 IC0 (マスクROM製品のみ)

IC0 (Internally Connected) 端子は、当社出荷時にμPD789167Y, 789177Yサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC0端子をVSS0またはVSS1に直接接続し、その配線長を極力短くしてください。

IC0端子とVSS0またはVSS1端子間の配線の引き回しが長い場合や、IC0端子に外来ノイズが加わった場合などで、IC0端子とVSS0またはVSS1端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○ IC0端子をVSS0またはVSS1端子に直接接続してください。



4. 2. 17 IC2

内部接続されています。オープンにしてください。

4.3 端子の入出力回路と未使用端子の処理

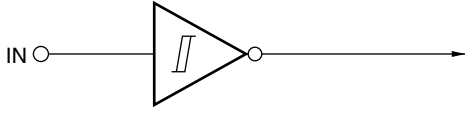
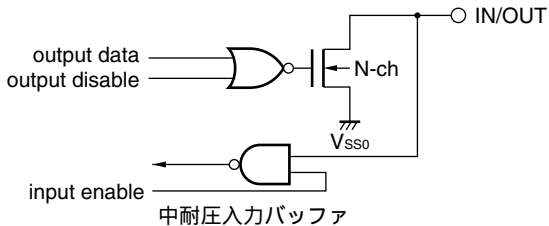
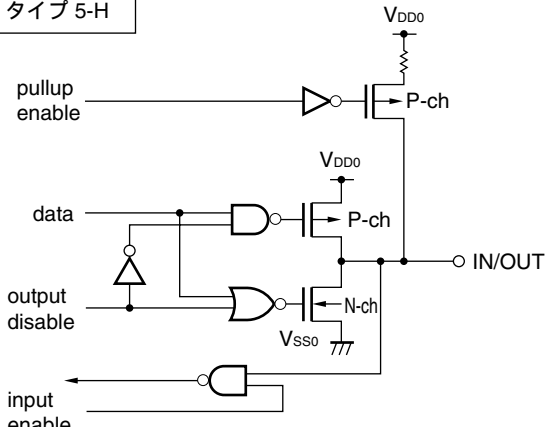
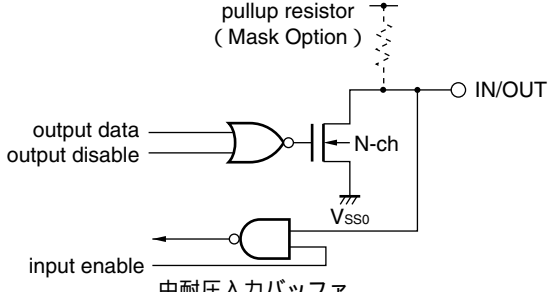
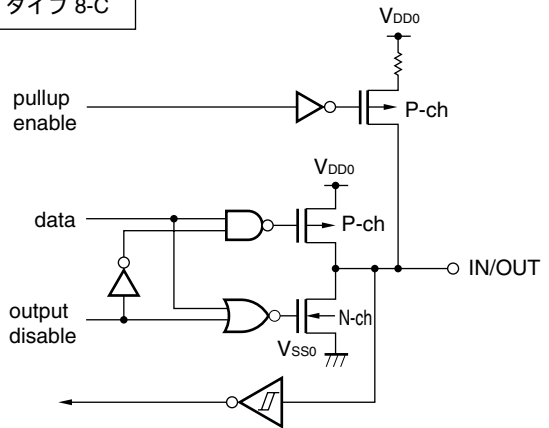
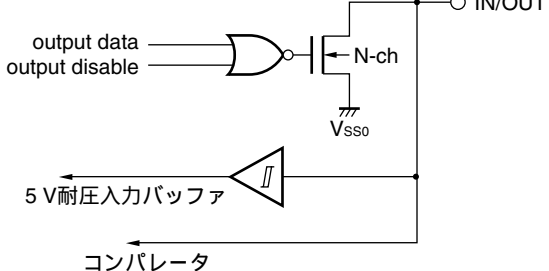
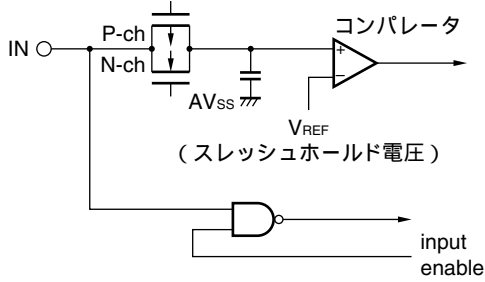
各端子の入出力回路タイプと、未使用端子の処理を表4 - 1に示します。

また、各タイプの入出力回路の構成は、図4 - 1を参照してください。

表4 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P05	5-H	入出力	入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P10, P11			
P20/SCK20/ASCK20	8-C		
P21/SO20/TxD20			
P22/SI20/RxD20			
P23/SCL0	13-X		入力時：個別に抵抗を介して、V _{DD0} またはV _{DD1} に接続してください。 出力時：オープンにしてください。
P24/SDA0			
P25/TI80/SS20	8-C		入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P26/TO80			
P30/INTP0/TI81/CPT90			入力時：個別に抵抗を介して、V _{SS0} , V _{SS1} に接続してください。 出力時：オープンにしてください。
P31/INTP1/TO81			
P32/INTP2/TO90			
P33/INTP3/TO82/BZO90			
P50-P53(マスクROM製品)	13-U		入力時：V _{SS0} またはV _{SS1} に接続してください。 出力時：オープンにしてください。
P50-P53(フラッシュ・メモリ製品)	13-T		
P60/ANI0-P67/ANI7	9-C	入力	V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに直接接続してください。
XT1	-	入力	V _{SS0} , V _{SS1} に直接接続してください
XT2		-	オープンにしてください
RESET	2	入力	-
IC0 (マスクROM製品)	-	-	V _{SS0} またはV _{SS1} に直接接続してください
IC2			オープンにしてください
V _{PP} (フラッシュ・メモリ製品)			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS0} またはV _{SS1} に直接接続してください

図4 - 1 端子の入出力回路一覧

タイプ2  ヒステリシス特性を有するシュミット・トリガ入力となっています。	タイプ13-T  中耐圧入力バッファ
タイプ5-H 	タイプ13-U  中耐圧入力バッファ
タイプ8-C 	タイプ13-X  コンパレータ
タイプ9-C  コンパレータ V_{REF} (スレッシュホールド電圧) input enable	

第5章 CPUアーキテクチャ

5.1 メモリ空間

μ PD789167, 789177, 789167Y, 789177Yサブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図5 - 1から図5 - 3に、メモリ・マップを示します。

図5 - 1 メモリ・マップ (μ PD789166, 789176, 789166Y, 789176Y)

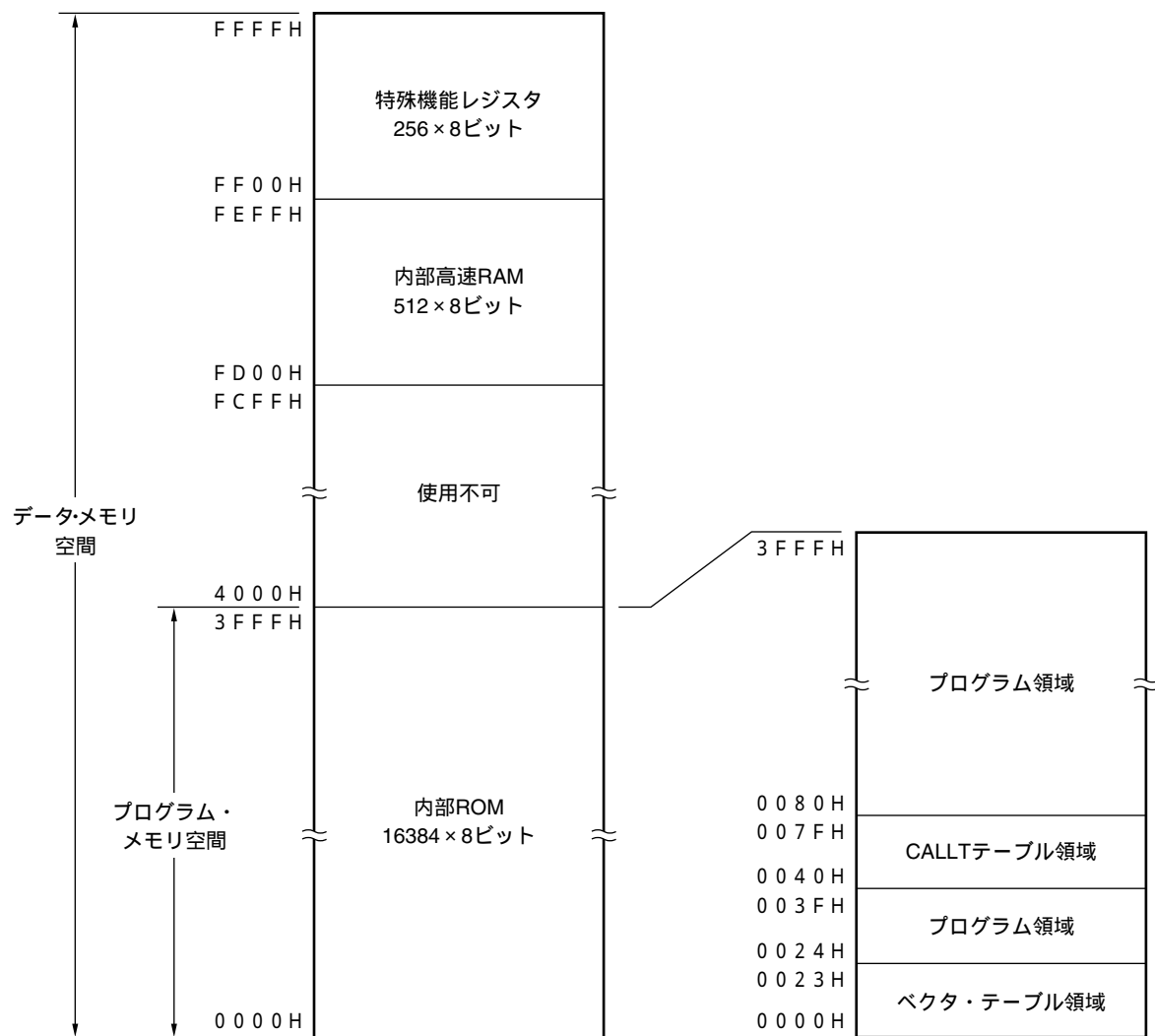


図5 - 2 メモリ・マップ (μPD789167, 789177, 789167Y, 789177Y)

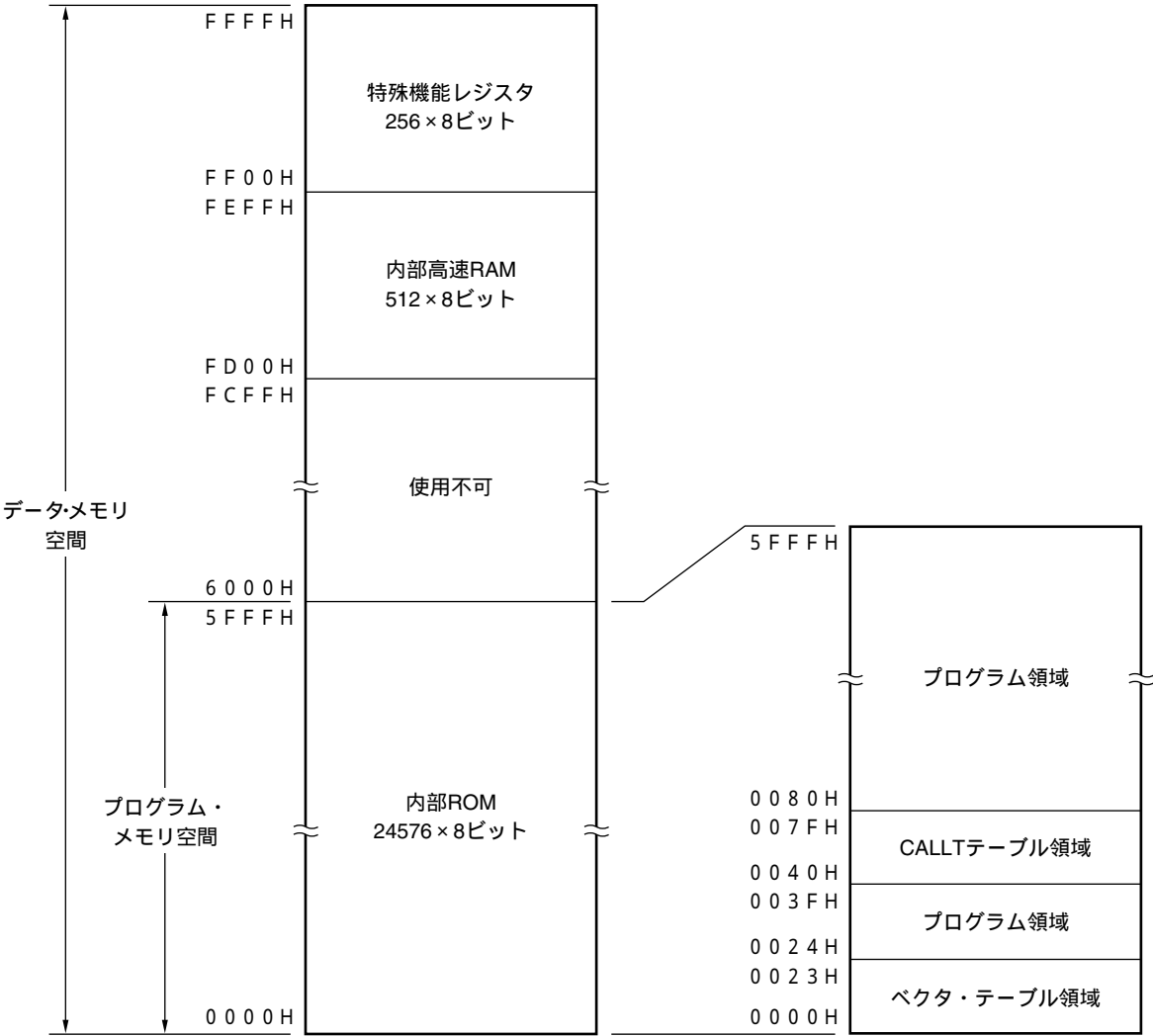
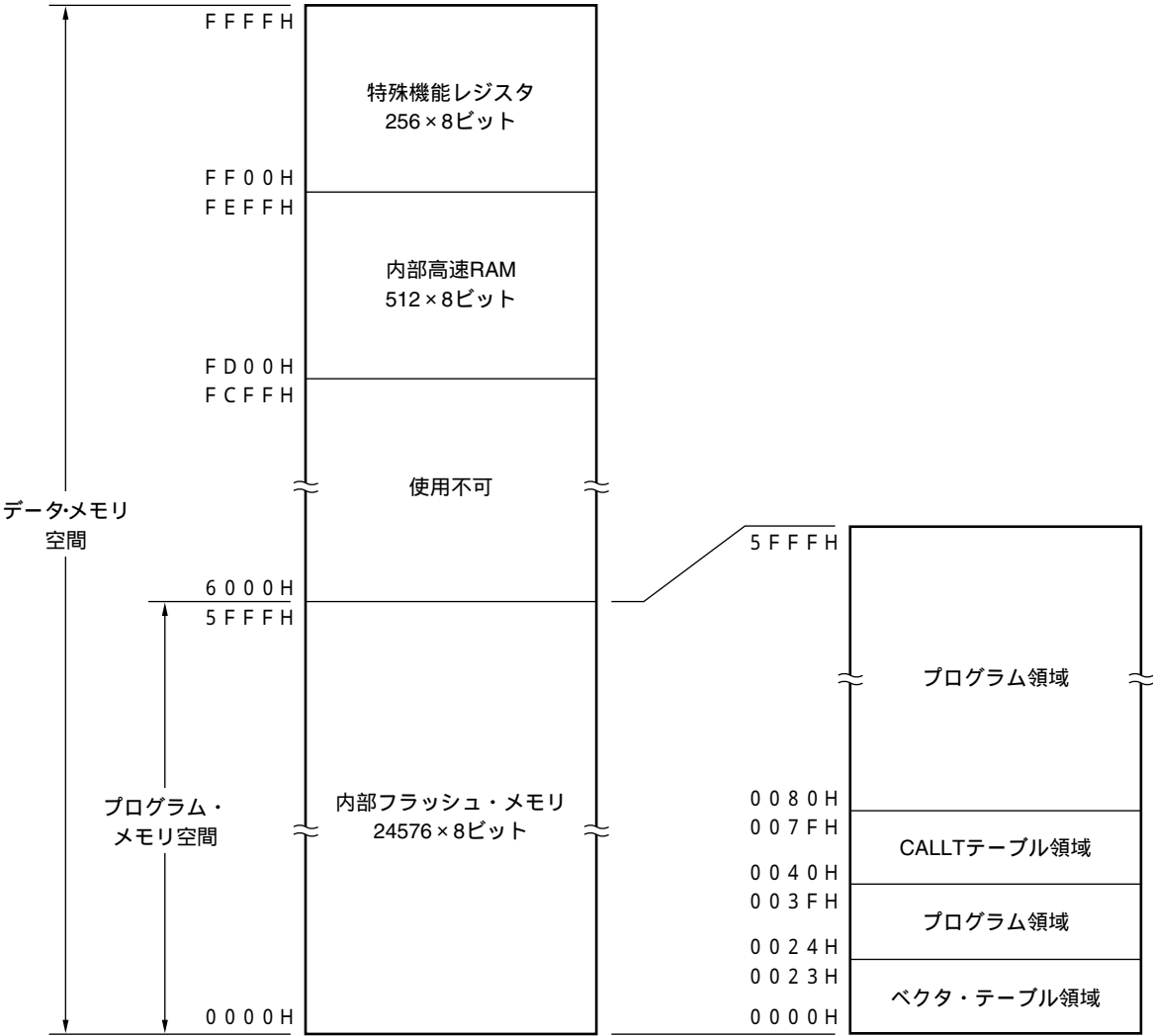


図5 - 3 メモリ・マップ (μ PD78F9177, 78F9177Y, 78F9177A, 78F9177AY)



5.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789167, 789177, 789167Y, 789177Yサブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表5 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD789166, 789176, 789166Y, 789176Y	マスクROM	16384 × 8ビット
μPD789167, 789177, 789167Y, 789177Y		24576 × 8ビット
μPD78F9177, 78F9177Y, 78F9177A, 78F9177AY	フラッシュ・メモリ	24576 × 8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

0000H-0023Hの36バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表5 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0 0 0 0 H	RESET入力	0 0 1 4 H	INTWTI
0 0 0 4 H	INTWDT	0 0 1 6 H	INTTM80
0 0 0 6 H	INTP0	0 0 1 8 H	INTTM81
0 0 0 8 H	INTP1	0 0 1 A H	INTTM82
0 0 0 A H	INTP2	0 0 1 C H	INTTM90
0 0 0 C H	INTP3	0 0 1 E H	INTSMB0 ^注
0 0 0 E H	INTSR20/INTCSI20	0 0 2 0 H	INTSMBOV0 ^注
0 0 1 0 H	INTST20	0 0 2 2 H	INTAD0
0 0 1 2 H	INTWT		

注 μPD789167Y, 789177Yサブシリーズのみ

（2）CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

5.1.2 内部データ・メモリ（内部高速RAM）空間

μ PD789167, 789177, 789167Y 789177Yサブシリーズの製品は、512バイトの内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用します。

5.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表5 - 3参照）。

5.1.4 データ・メモリ・アドレッシング

μ PD78967, 789177, 789167Y, 789177Yサブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域（FD00H-FFFFH）では、特殊機能レジスタ（SFR）など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図5 - 4から図5 - 6にデータ・メモリのアドレッシングを示します。

図5 - 4 データ・メモリのアドレッシング（ μ PD789166, 789176, 789166Y, 789176Y）

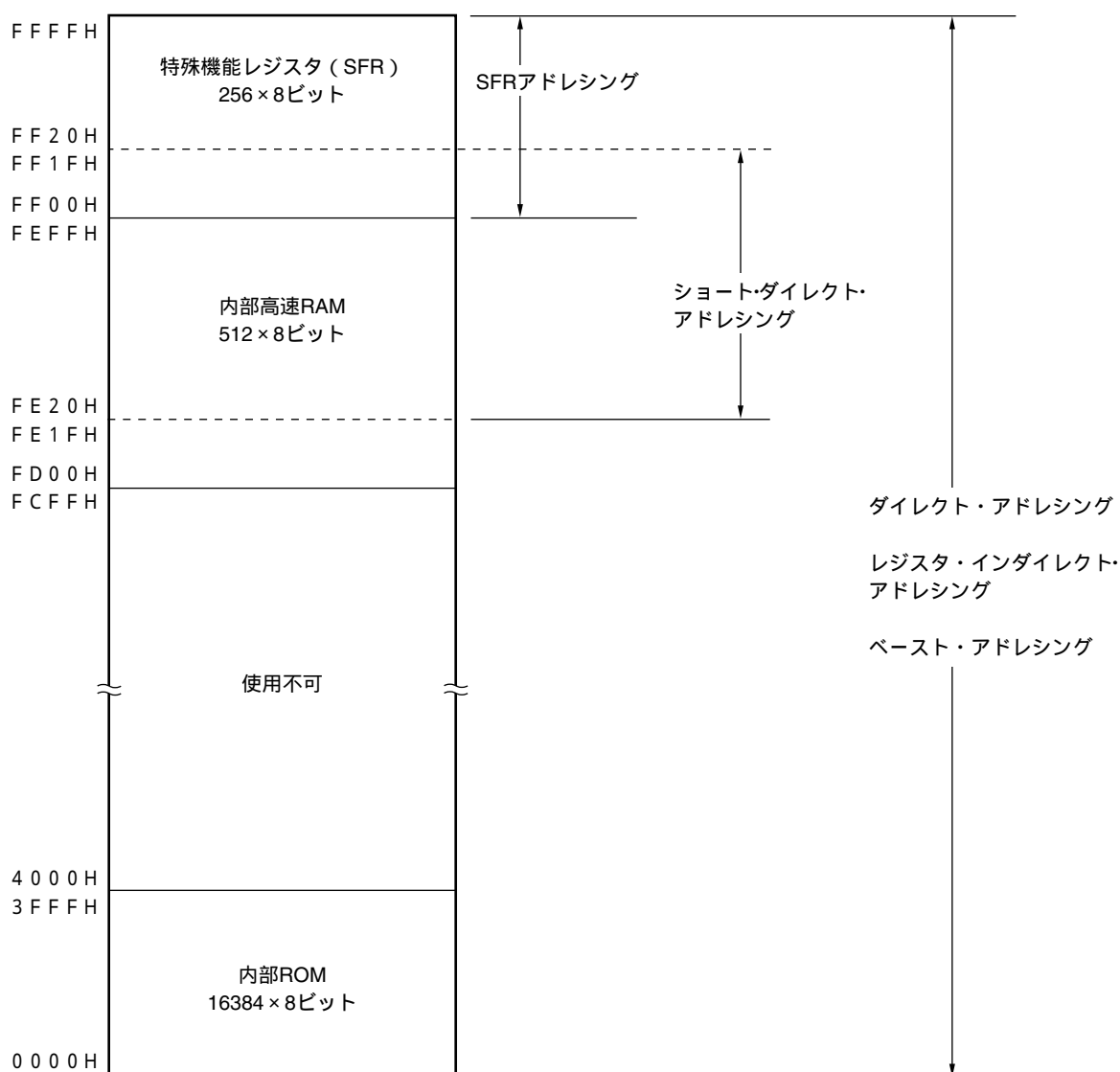


図5 - 5 データ・メモリのアドレッシング (μ PD789167, 789177, 789167Y, 789177Y)

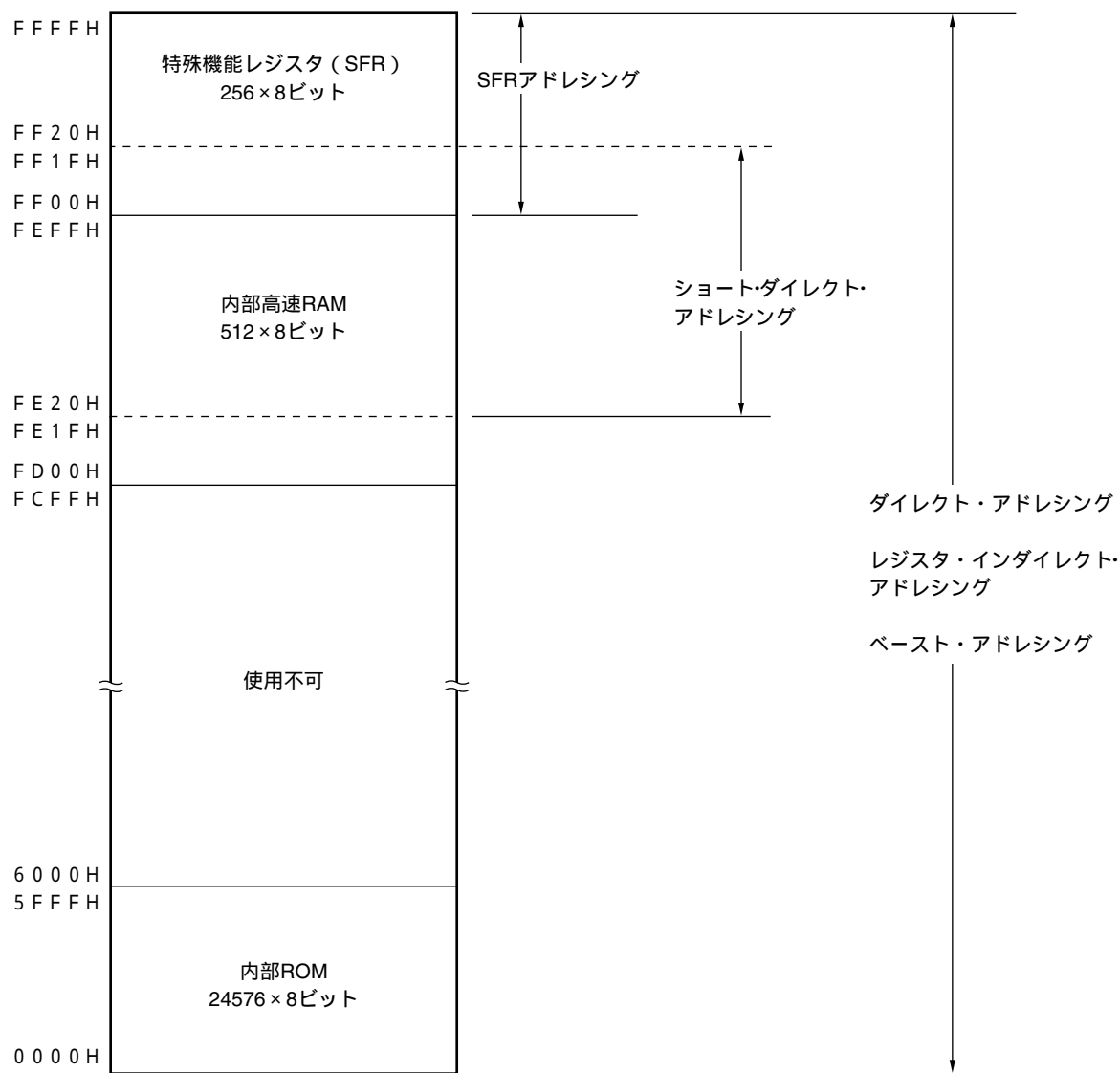
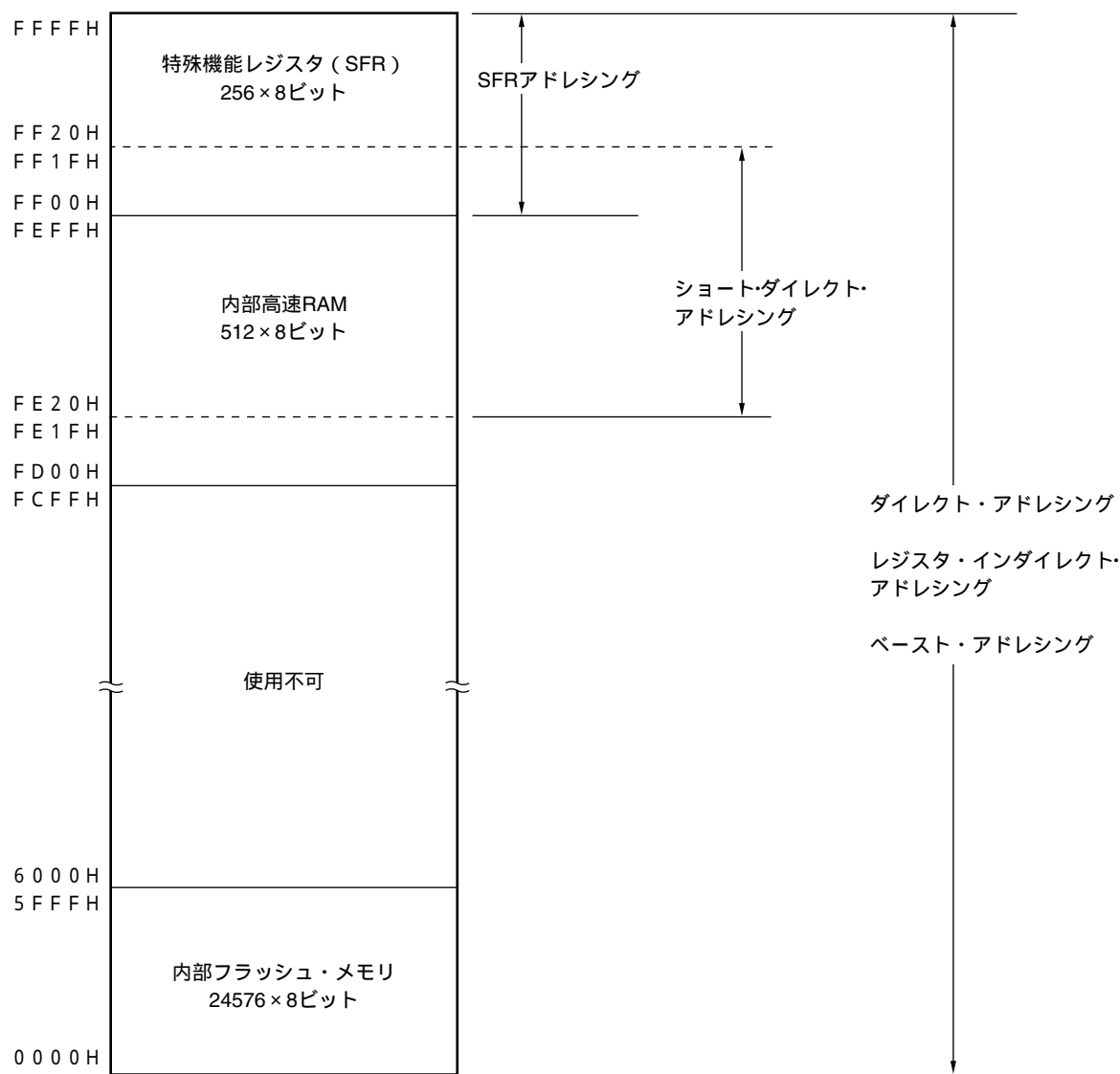


図5 - 6 データ・メモリのアドレッシング (μ PD78F9177, 78F9177Y, 78F9177A, 78F9177AY)



5.2 プロセッサ・レジスタ

μ PD789167, 789177, 789167Y, 789177Yサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

5.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

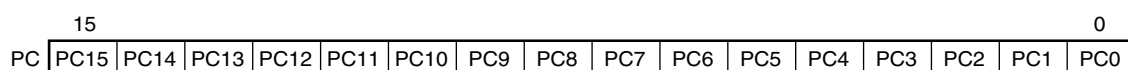
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図5 - 7 プログラム・カウンタの構成



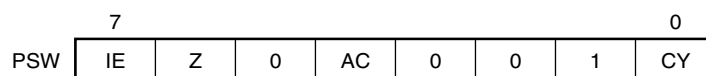
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

RESET入力により、02Hになります。

図5 - 8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

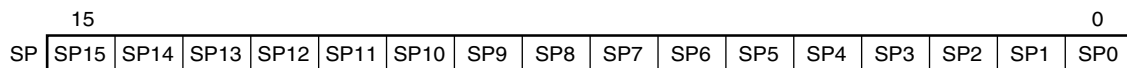
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図5 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図5 - 10、5 - 11のようになります。

注意 SPの内容は $\overline{\text{RESET}}$ 入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図5 - 10 スタック・メモリへ退避されるデータ

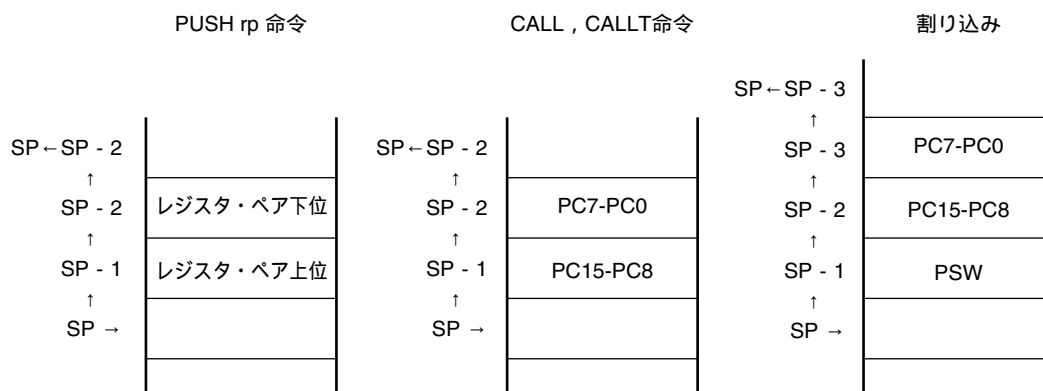
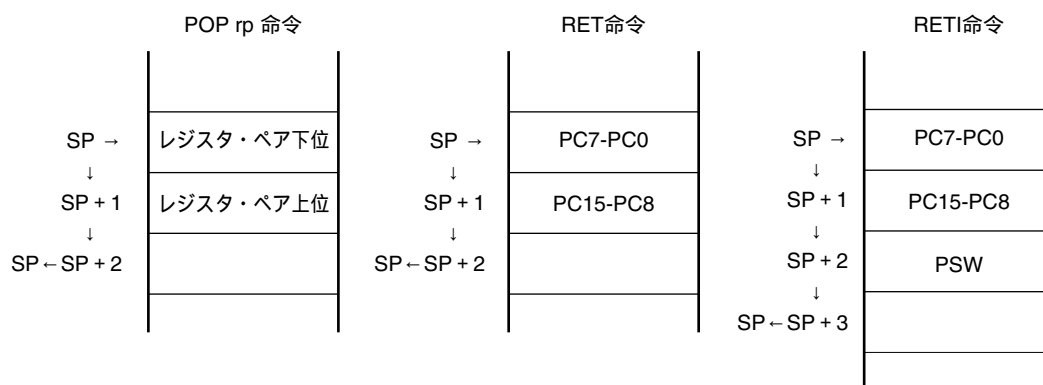


図5 - 11 スタック・メモリから復帰されるデータ



5.2.2 汎用レジスタ

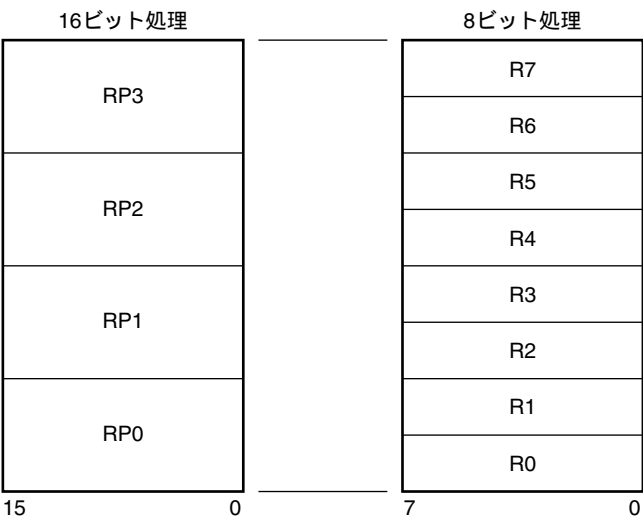
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

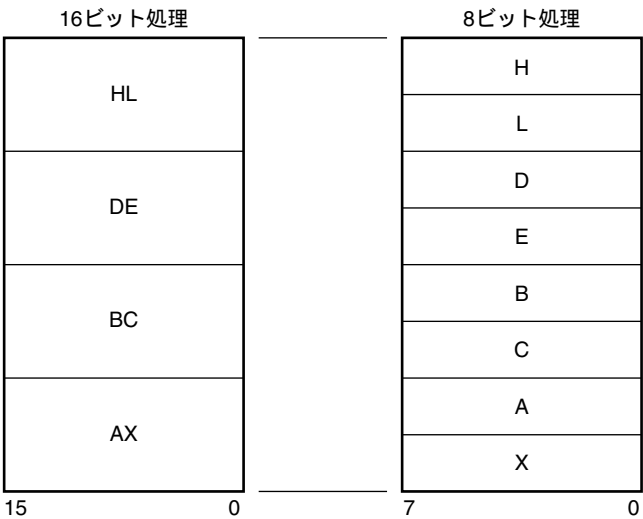
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図5 - 12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



5.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表5 - 3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラでは #pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表5 - 3 特殊機能レジスタ一覧 (1/2)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W	○	○	-	00H
FF01H	ポート1	P1			○	○	-	
FF02H	ポート2	P2			○	○	-	
FF03H	ポート3	P3			○	○	-	
FF05H	ポート5	P5			○	○	-	
FF06H	ポート6	P6		R	○	○	-	不定
FF10H	16ビット乗算結果格納レジスタ0	MUL0L	MUL0		-	-	○注2, 3	
FF11H		MUL0H			-	-	○注2, 3	
FF14H	A/D変換結果レジスタ0	ADCR0			-	○注1	○注2	
FF15H								
FF16H	16ビット・コンペア・レジスタ90	CR90L	CR90	W	-	-	○注2, 3	FFFFH
FF17H		CR90H						
FF18H	16ビット・タイマ・カウンタ90	TM90L	TM90	R	-	-	○注2, 3	0000H
FF19H		TM90H						
FF1AH	16ビット・キャプチャ・レジスタ90	TCP90L	TCP90		-	-	○注2, 3	不定
FF1BH		TCP90H						
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	-	FFH
FF21H	ポート・モード・レジスタ1	PM1			○	○	-	
FF22H	ポート・モード・レジスタ2	PM2			○	○	-	
FF23H	ポート・モード・レジスタ3	PM3			○	○	-	
FF25H	ポート・モード・レジスタ5	PM5			○	○	-	
FF32H	ブルアップ抵抗オプション・レジスタB2	PUB2			○	○	-	00H
FF33H	ブルアップ抵抗オプション・レジスタB3	PUB3			○	○	-	
FF42H	タイマ・クロック選択レジスタ2	TCL2			-	○	-	
FF48H	16ビット・タイマ・モード・コントロール・レジスタ90	TMC90			○	○	-	
FF49H	ブザー出力コントロール・レジスタ90	BZC90			○	○	-	
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM			○	○	-	
FF50H	8ビット・コンペア・レジスタ80	CR80		W	-	○	-	不定
FF51H	8ビット・タイマ・カウンタ80	TM80		R	-	○	-	00H
FF53H	8ビット・タイマ・モード・コントロール・レジスタ80	TMC80		R/W	○	○	-	
FF54H	8ビット・コンペア・レジスタ81	CR81		W	-	○	-	不定
FF55H	8ビット・タイマ・カウンタ81	TM81		R	-	○	-	00H
FF57H	8ビット・タイマ・モード・コントロール・レジスタ81	TMC81		R/W	○	○	-	
FF58H	8ビット・コンペア・レジスタ82	CR82		W	-	○	-	不定

注1. 8ビットA/Dコンバータ (μ PD789167, 789167Yサブシリーズ) として使用する場合, 8ビット・アクセスが可能です。このときアドレスはFF15Hとなります。

10ビットA/Dコンバータ (μ PD789177, 789177Yサブシリーズ) として使用する場合, 16ビット・アクセスのみ可能です。 μ PD78F9177, 78F9177Aを μ PD789166, 789167のフラッシュ・メモリとして使用する場合, または μ PD78F9177Y, 78F9177AYを μ PD789166Y, 789167Yのフラッシュ・メモリとして使用する場合は, 8ビット・アクセスが可能です。ただし, μ PD789166, 789167でアセンブルしたオブジェクト・ファイルまたは μ PD789166Y, 789167Yでアセンブルしたオブジェクト・ファイルに限ります。

2. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセスが可能です。
3. MUL0, CR90, TM90, TCP90は16ビット・アクセス専用のレジスタですが, 8ビット・アクセスも可能です。8ビット・アクセスをするときは, ダイレクト・アドレッシングでアクセスしてください。

表5 - 3 特殊機能レジスタ一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF59H	8ビット・タイマ・カウンタ82	TM82	R	-	○	-	00H
FF5BH	8ビット・タイマ・モード・コントロール・レジスタ82	TMC82	R/W	○	○	-	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ20	ASIM20		○	○	-	
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20	ASIS20	R	○	○	-	
FF72H	シリアル動作モード・レジスタ20	CSIM20	R/W	○	○	-	
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ20	BRGC20		-	○	-	
FF74H	送信シフト・レジスタ20	TXS20	SIO20	W	-	○	FFH
	受信バッファ・レジスタ20	RXB20		R	-	○	不定
FF78H	SMBコントロール・レジスタ0 ^注	SMBC0	R/W	○	○	-	00H
FF79H	SMB状態レジスタ0 ^注	SMBS0	R	○	○	-	
FF7AH	SMBクロック選択レジスタ0 ^注	SMBCL0	R/W	○	○	-	
FF7BH	SMBスレーブ・アドレス・レジスタ0 ^注	SMBSVA0		○	○	-	
FF7CH	SMBモード・レジスタ0 ^注	SMBM0		○	○	-	20H
FF7DH	SMB入力レベル設定レジスタ0 ^注	SMBVI0		○	○	-	00H
FF7EH	SMBシフト・レジスタ0 ^注	SMB0		○	○	-	
FF80H	A/Dコンバータ・モード・レジスタ0	ADM0		○	○	-	
FF84H	A/D入力選択レジスタ0	ADS0		○	○	-	
FFD0H	乗算データ・レジスタA0	MRA0	W	○	○	-	不定
FFD1H	乗算データ・レジスタB0	MRB0		○	○	-	
FFD2H	乗算器コントロール・レジスタ0	MULC0	R/W	○	○	-	00H
FFE0H	割り込み要求フラグ・レジスタ0	IF0		○	○	-	
FFE1H	割り込み要求フラグ・レジスタ1	IF1		○	○	-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0		○	○	-	FFH
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1		○	○	-	
FFECH	外部割り込みモード・レジスタ0	INTM0		-	○	-	00H
FFEDH	外部割り込みモード・レジスタ1	INTM1		-	○	-	
FFF0H	サブ発振モード・レジスタ	SCKM		○	○	-	
FFF2H	サブクロック・コントロール・レジスタ	CSS		○	○	-	
FFF7H	プルアップ抵抗オプション・レジスタ0	PU0		○	○	-	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		○	○	-	
FFFAH	発振安定時間選択レジスタ	OSTS		-	○	-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		○	○	-	02H

注 μ PD789167Y, 789177Yサブシリーズのみ

5.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

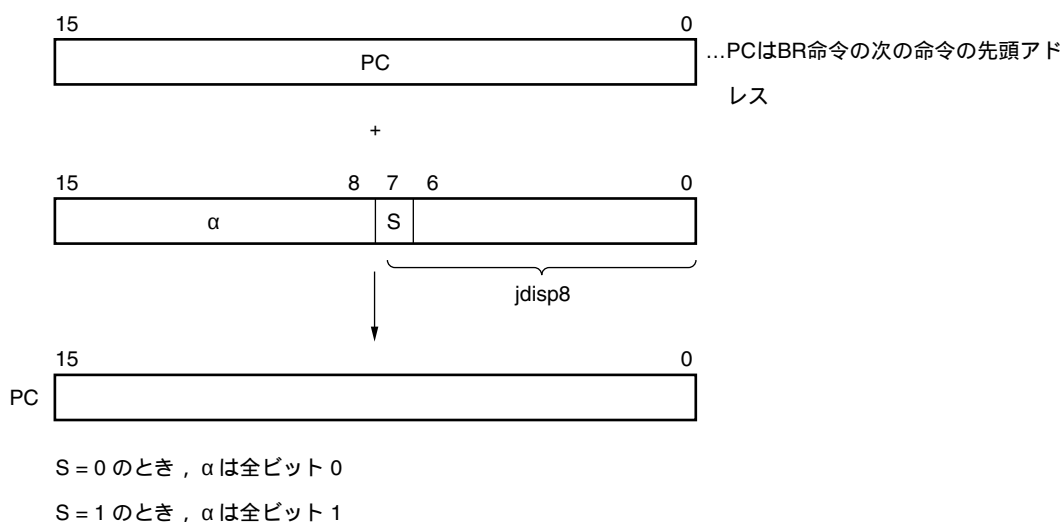
5.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



5.3.2 イミディエト・アドレッシング

【機能】

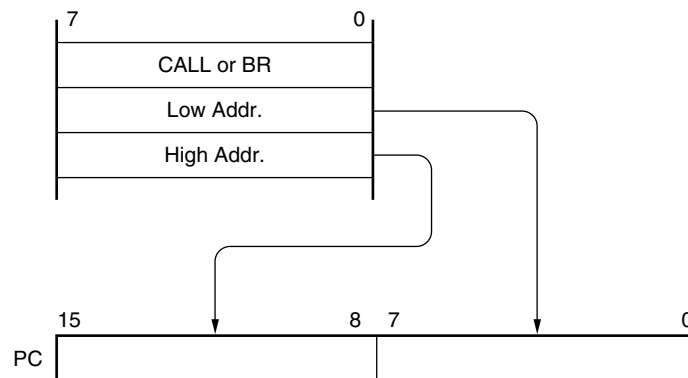
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



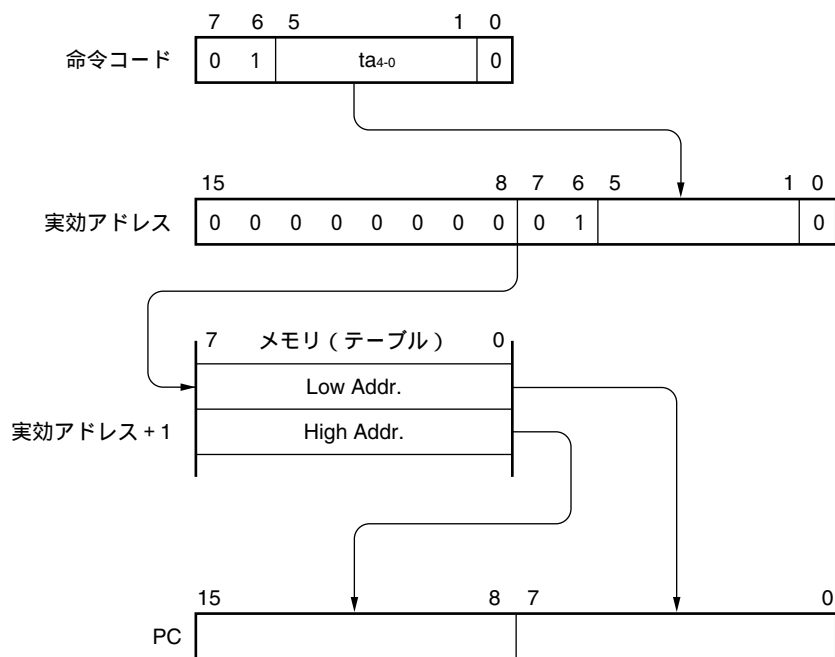
5.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



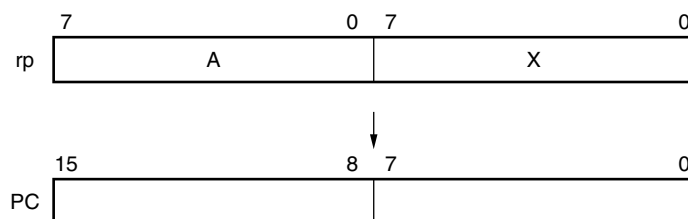
5.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



5.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

5.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

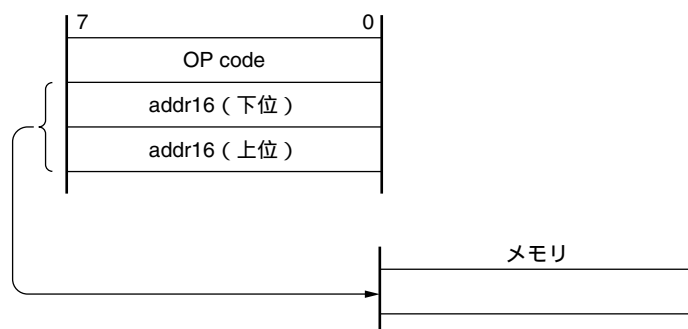
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合

命令コード	0 0 1 0 1 0 0 1	OPコード
	0 0 0 0 0 0 0 0	00H
	1 1 1 1 1 1 1 0	FEH

【図解】



5.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

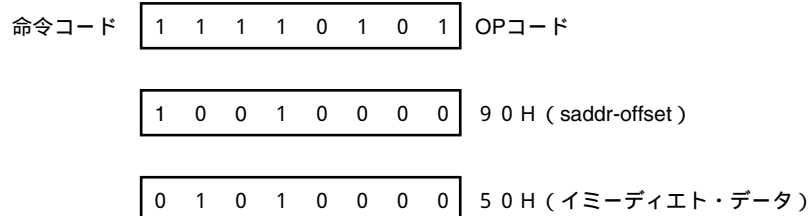
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

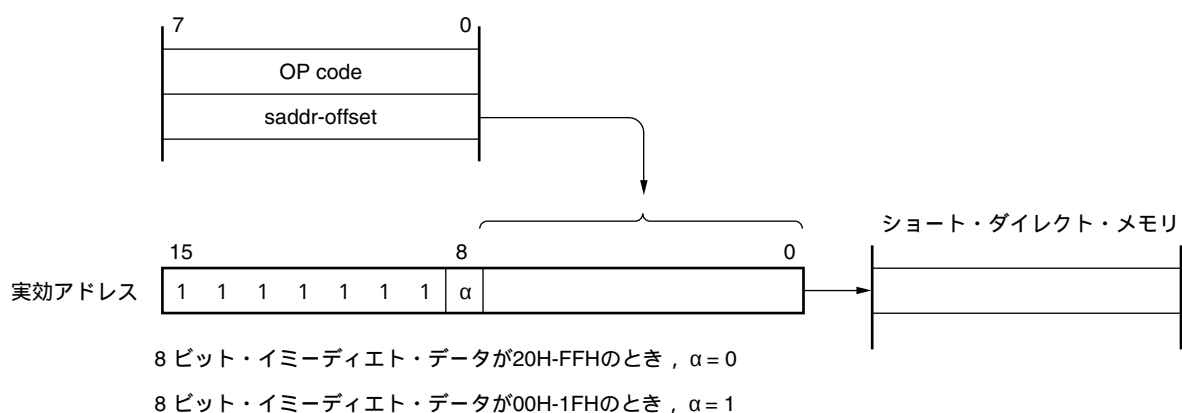
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



5.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

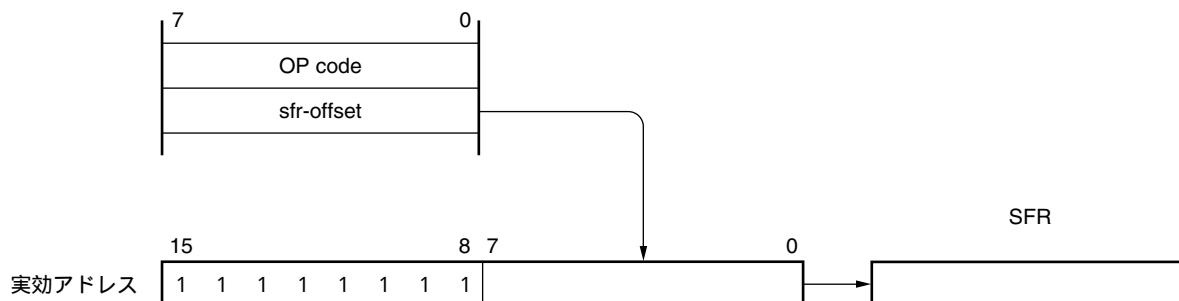
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合

命令コード	1 1 1 0 0 1 1 1
	0 0 1 0 0 0 0 0

【図解】



5.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

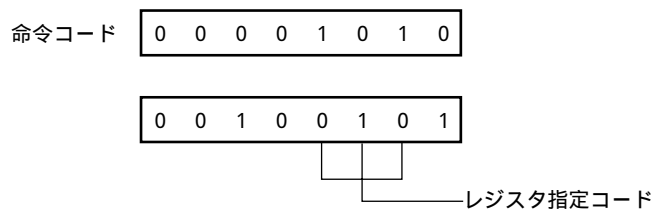
【オペランド形式】

表現形式	記 述 方 法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

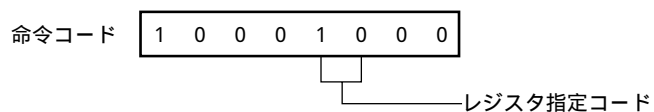
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



5.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記 述 方 法
-	[DE], [HL]

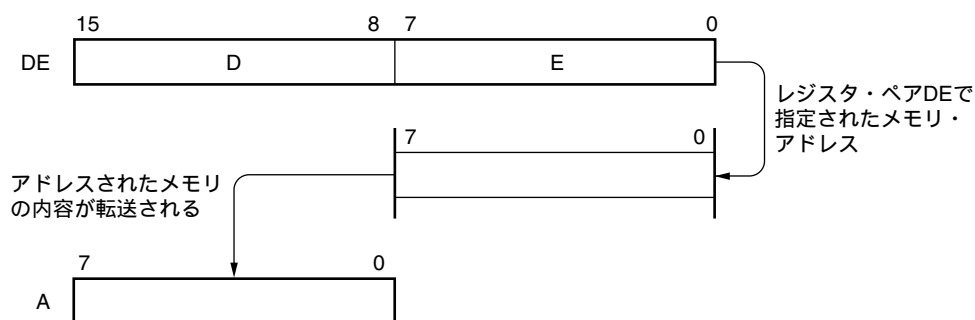
【記 述 例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図 解】



5.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

5.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第6章 ポート機能

6.1 ポートの機能

μ PD789167, 789177, 789167Y, 789177Yサブシリーズは、図6 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表6 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、3.1 端子機能一覧 (μ PD789167, 789177サブシリーズ)、4.1 端子機能一覧 (μ PD789167Y, 789177Yサブシリーズ)を参照してください。

図6 - 1 ポートの種類

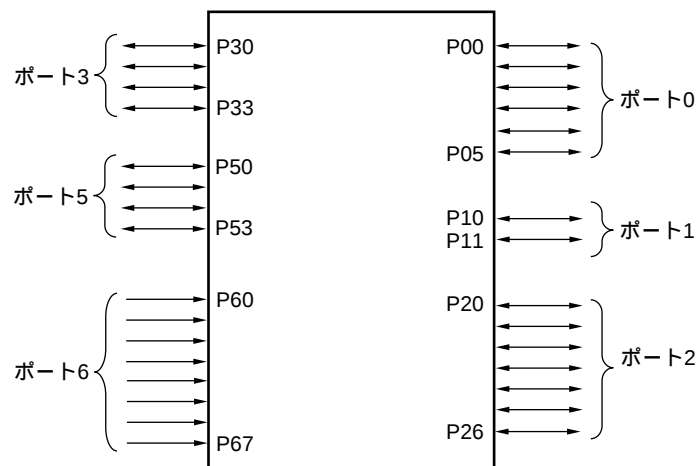


表6 - 1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00-P05	入出力	ポート0。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P20-P22, P25, P26はプルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。 P23, P24のみN-chオープン・ドレイン入出力ポート。	入力	$\overline{\text{SCK20}}/\text{ASCK20}$
P21				SO20/TxD20
P22				SI20/RxD20
P23				SCL0 ^注
P24				SDA0 ^注
P25				TI80/SS20
P26				TO80
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 プルアップ抵抗オプション・レジスタB3 (PUB3) により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/TI81/CPT90
P31				INTP1/TO81
P32				INTP2/TO90
P33				INTP3/TO82 /BZO90
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力 / 出力の指定可能。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	-
P60-P67	入力	ポート6。 8ビット入力専用ポート。	入力	ANI0-ANI7

注 μ PD789167Y, 789177Yサブシリーズのみ

6.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表6 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-3, 5) プルアップ抵抗オプション・レジスタ0 (PU0) プルアップ抵抗オプション・レジスタB2, B3 (PUB2, PUB3)
ポート	合計 : 31本 (CMOS入出力 : 17本, CMOS入力 : 8本, N-chオープン・ドレイン入出力 : 6本)
プルアップ抵抗	・ マスクROM製品 合計 : 21本 (ソフトウェア制御 : 17本, マスク・オプション指定 : 4本) ・ フラッシュ・メモリ製品 合計 : 17本 (ソフトウェア制御のみ)

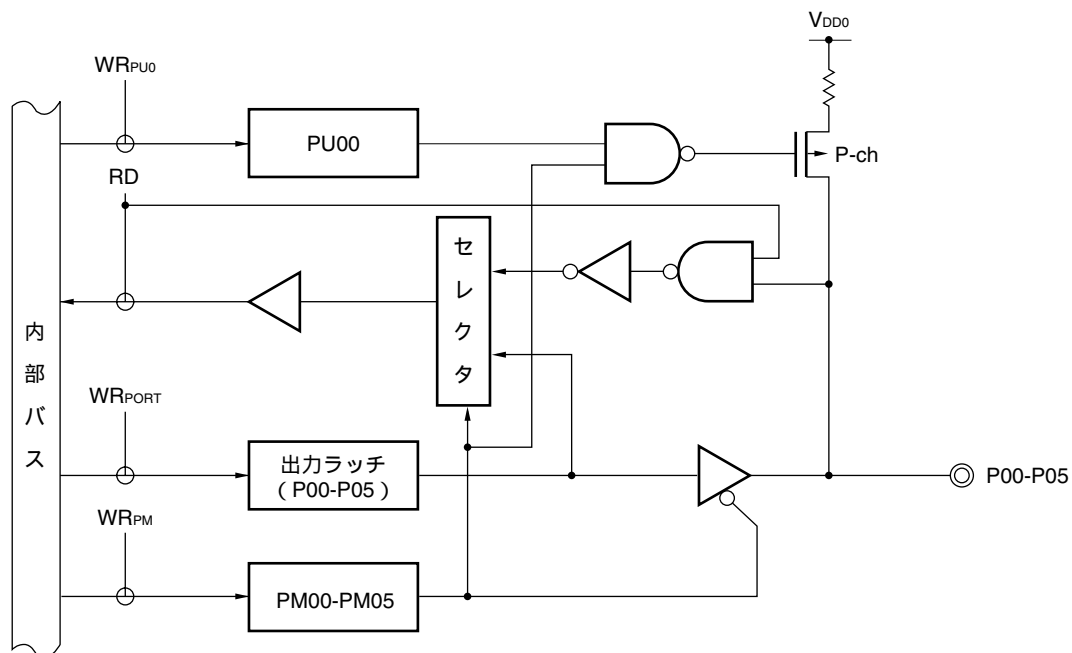
6.2.1 ポート0

出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P05端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により6ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6 - 2にポート0のブロック図を示します。

図6 - 2 P00-P05のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

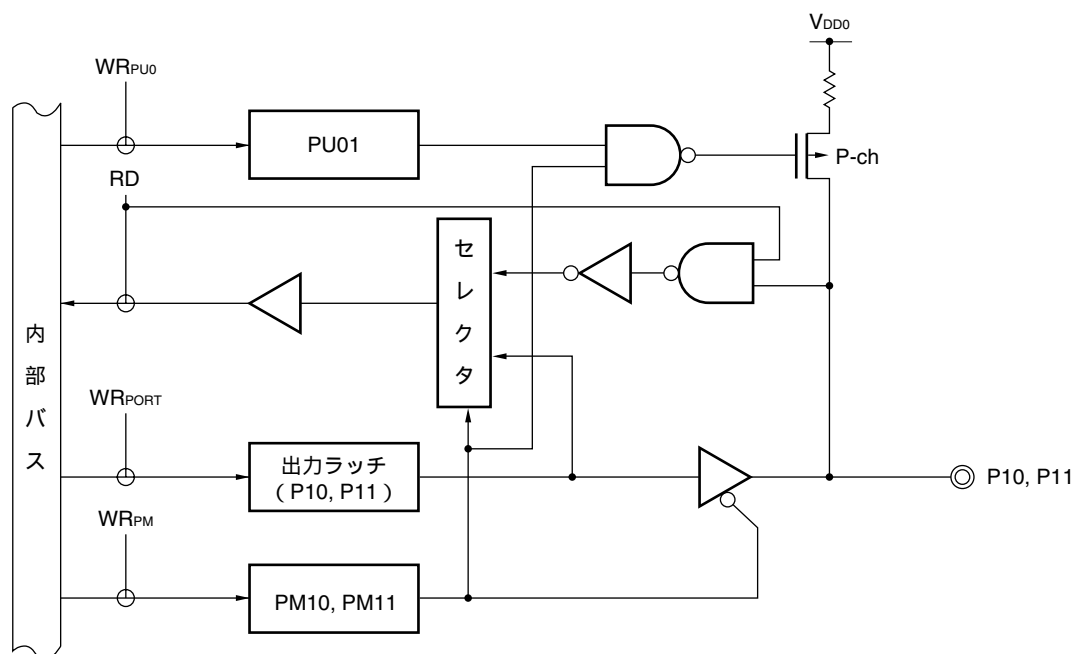
6.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ0 (PU0) により2ビット単位で内蔵プルアップ抵抗を使用できます。

RESET入力により, 入力モードになります。

図6 - 3にポート1のブロック図を示します。

図6 - 3 P10, P11のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

6.2.3 ポート2

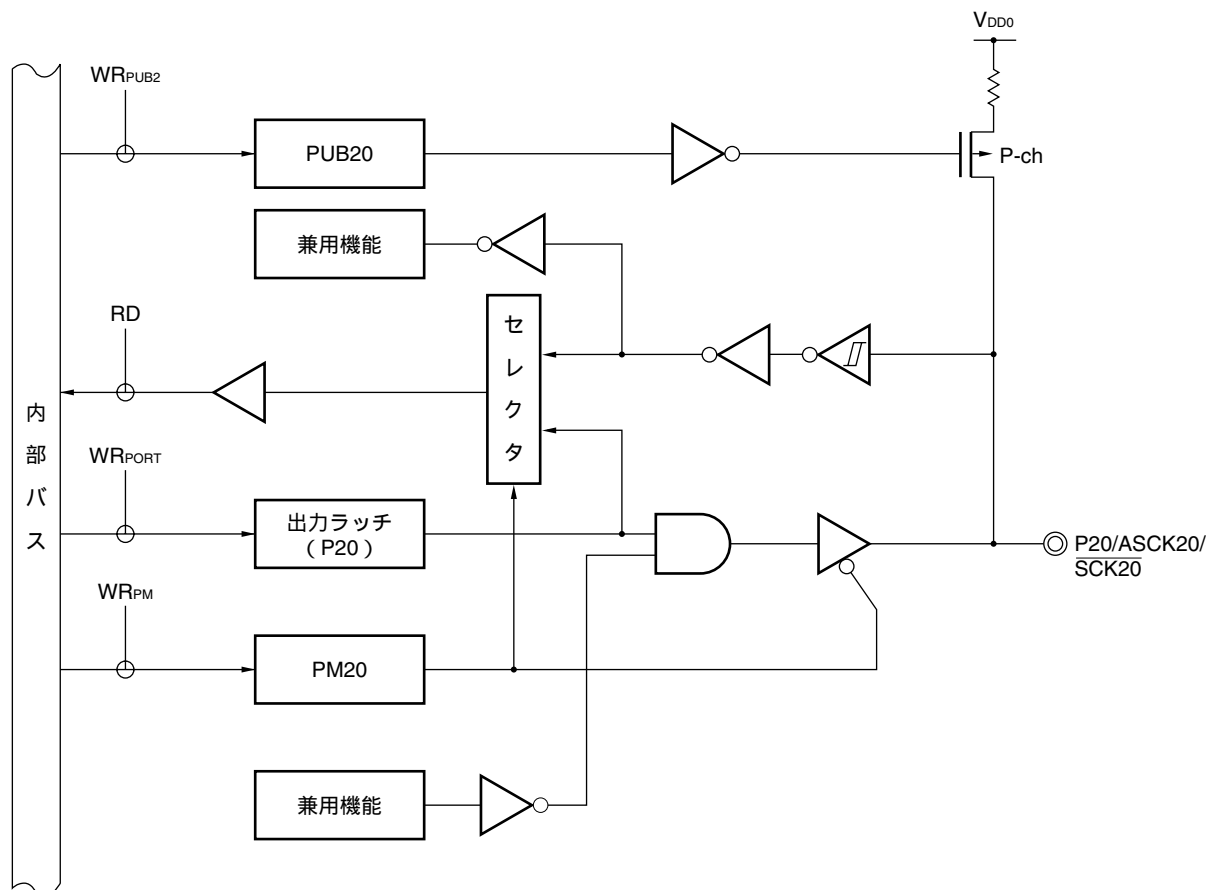
出力ラッチ付き7ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。P20-P22, P25, P26端子は, プルアップ抵抗オプション・レジスタB2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また, 兼用機能としてシリアル・インタフェースの入出力, クロックの入出力, タイマ入出力があります。RESET入力により, 入力モードになります。

図6 - 4から図6 - 8にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は, その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については, 表14 - 2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

図6 - 4 P20のブロック図



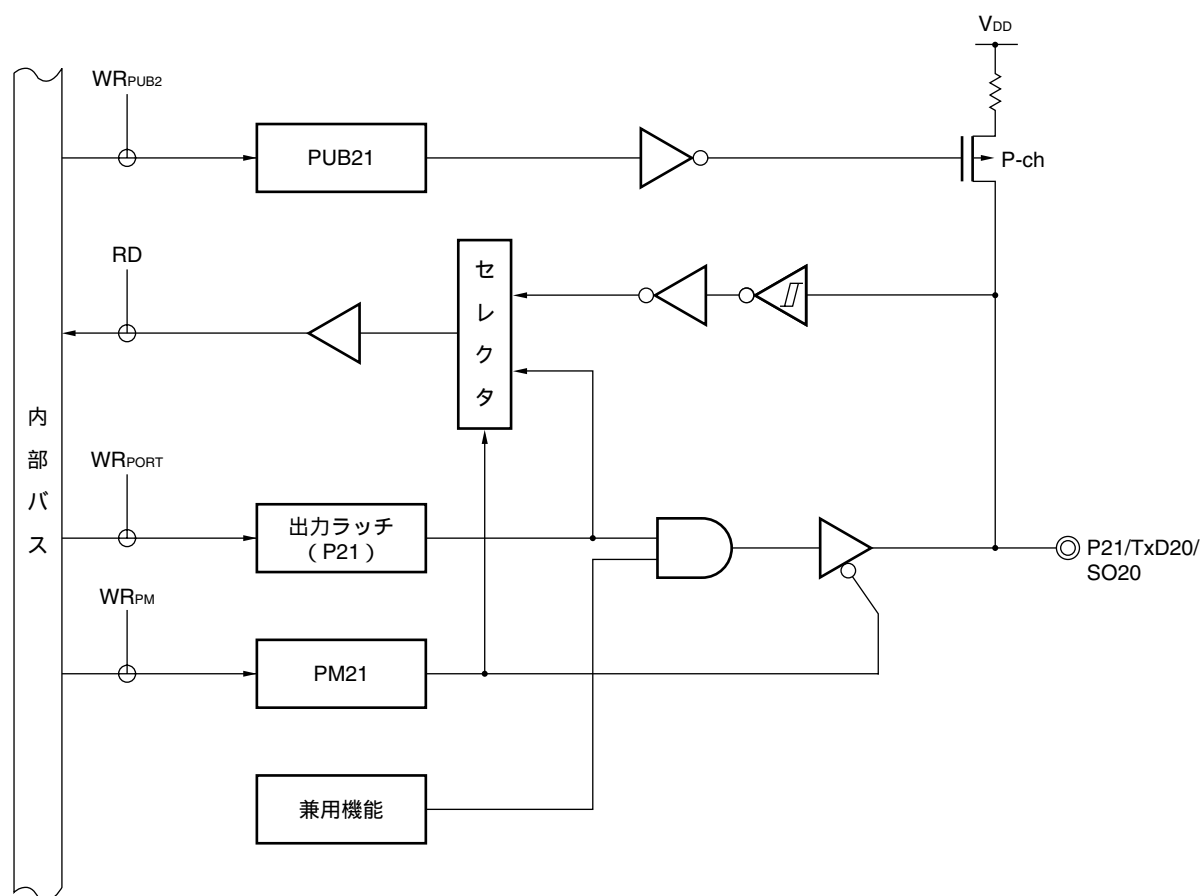
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6 - 5 P21のブロック図



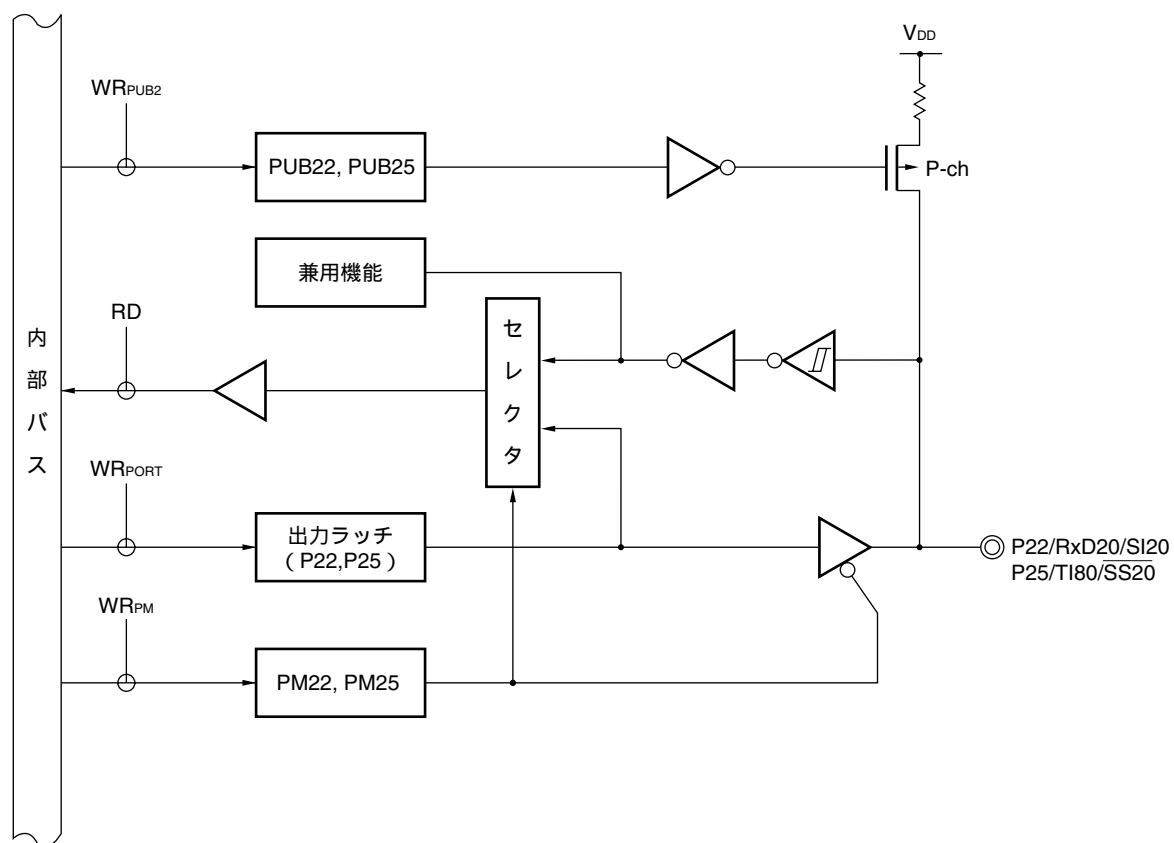
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6 - 6 P22, P25のブロック図



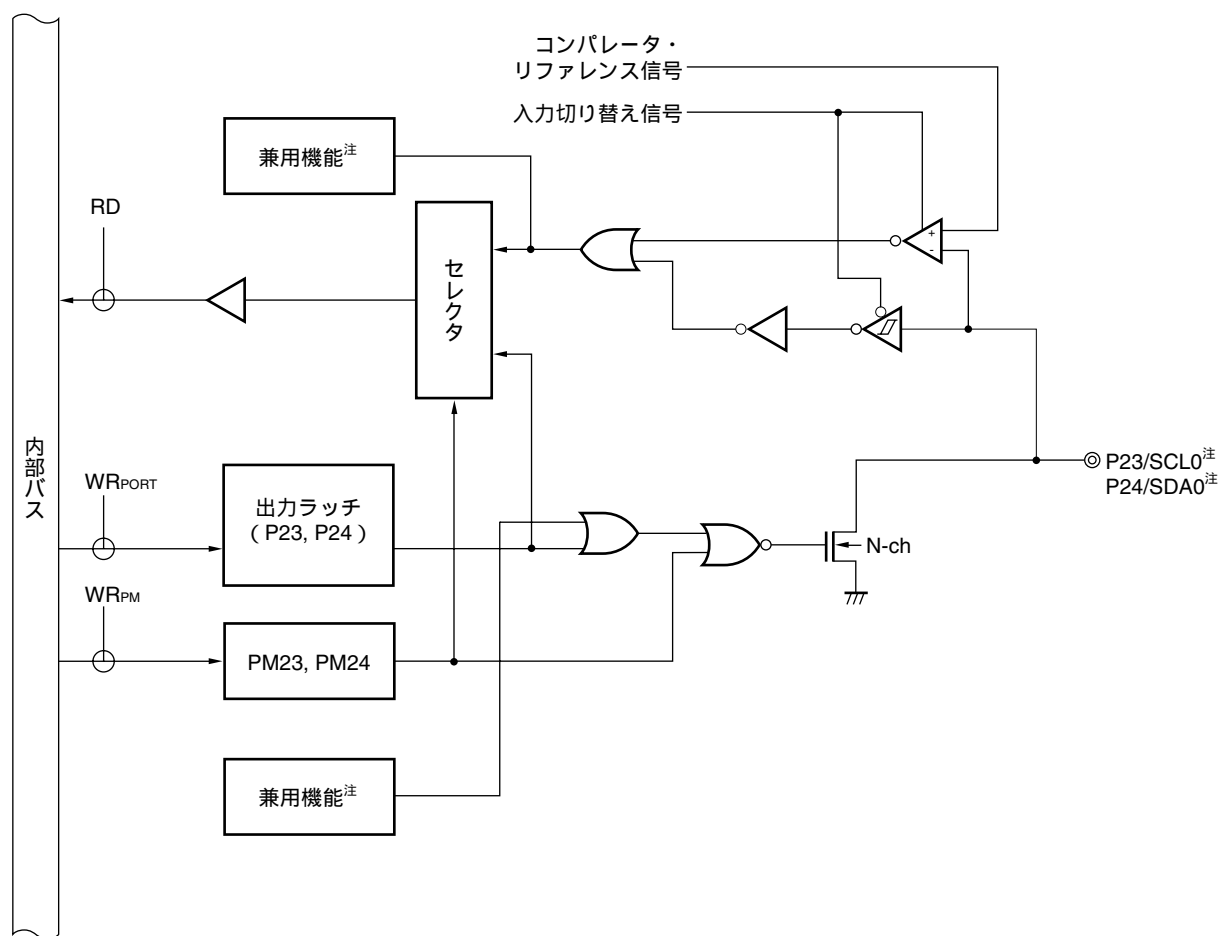
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6 - 7 P23, P24のブロック図



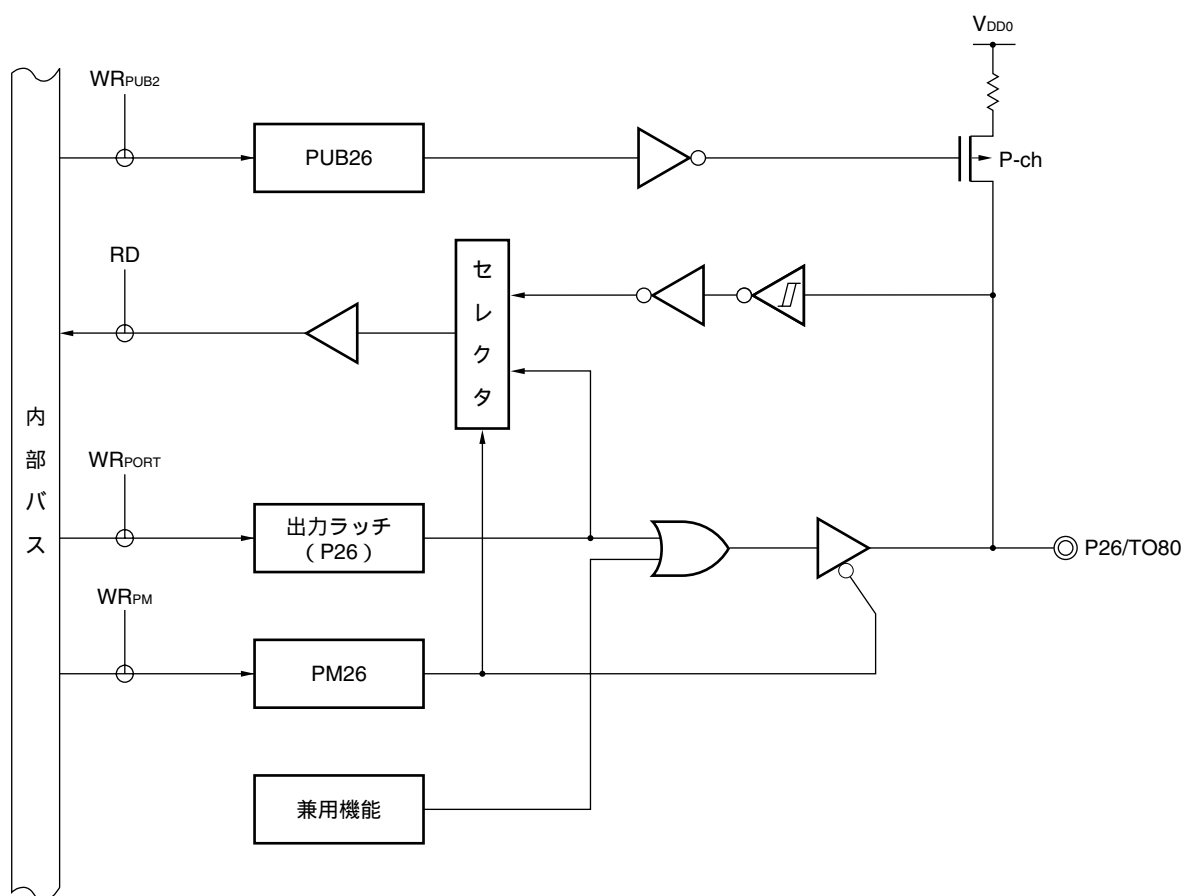
PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

注 μ PD789167Y, 789177Yサブシリーズのみです。 μ PD789167, 789177サブシリーズにはP23, P24の兼用機能はありません。

図6 - 8 P26のブロック図



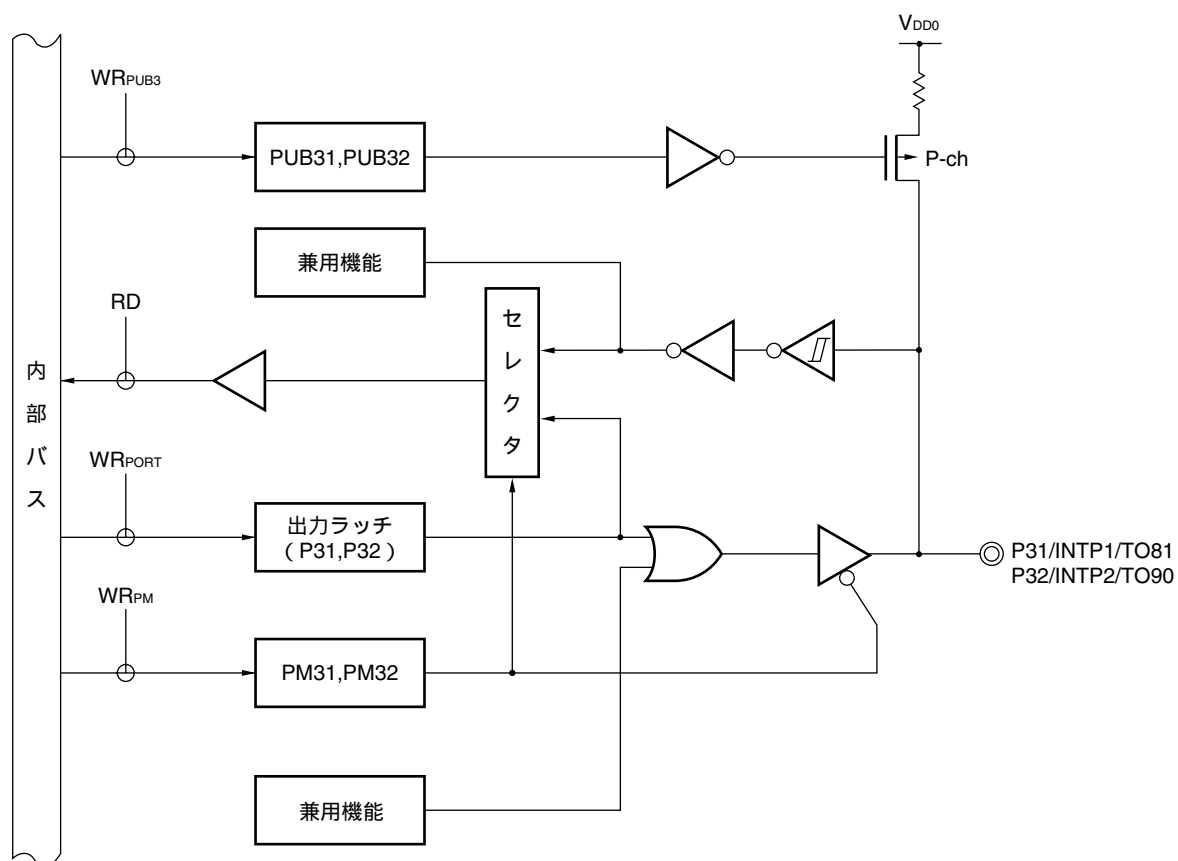
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6 - 10 P31, P32のブロック図



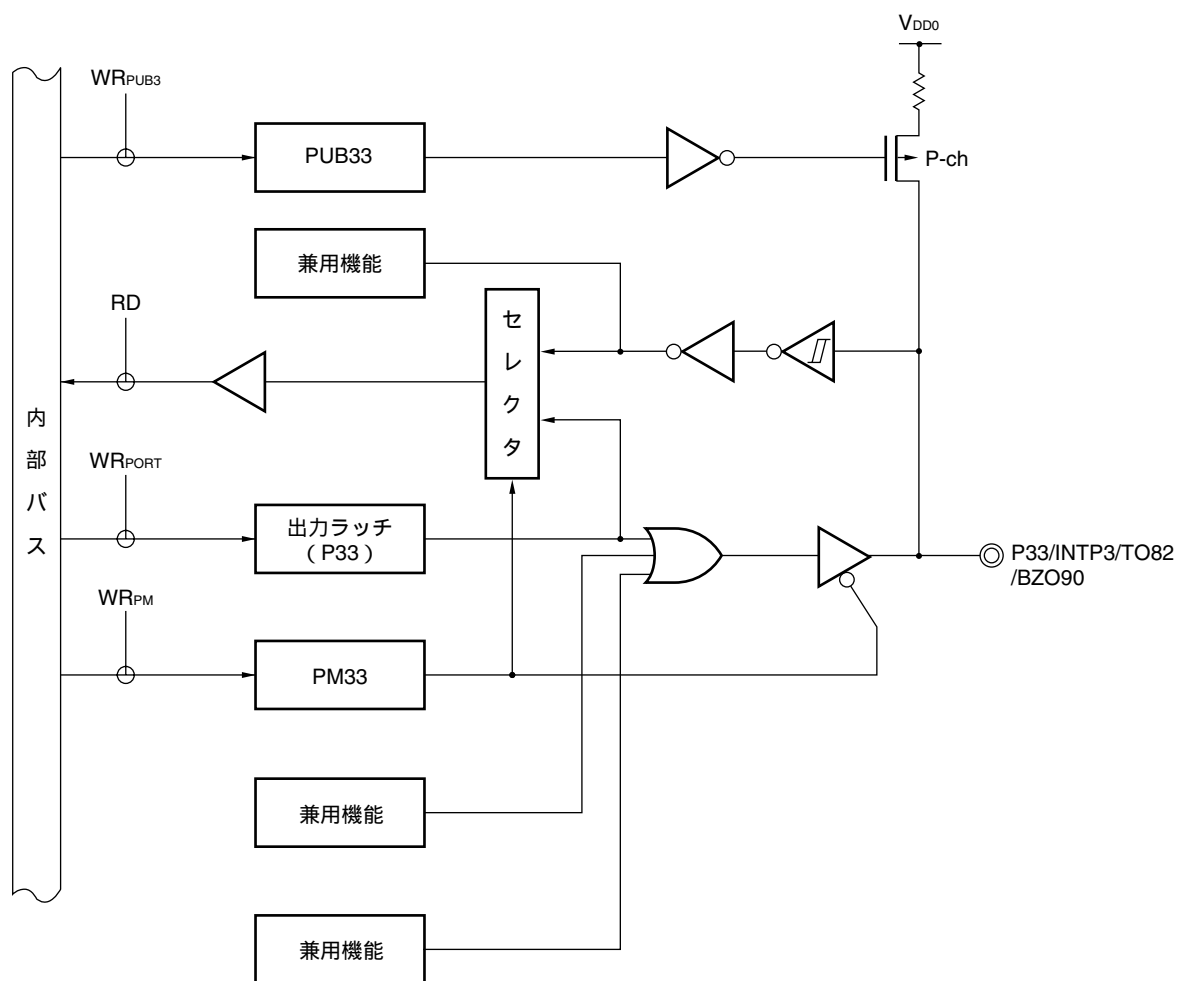
PUB3 : プルアップ抵抗オプション・レジスタB3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図6 - 11 P33のブロック図



PUB3 : プルアップ抵抗オプション・レジスタB3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

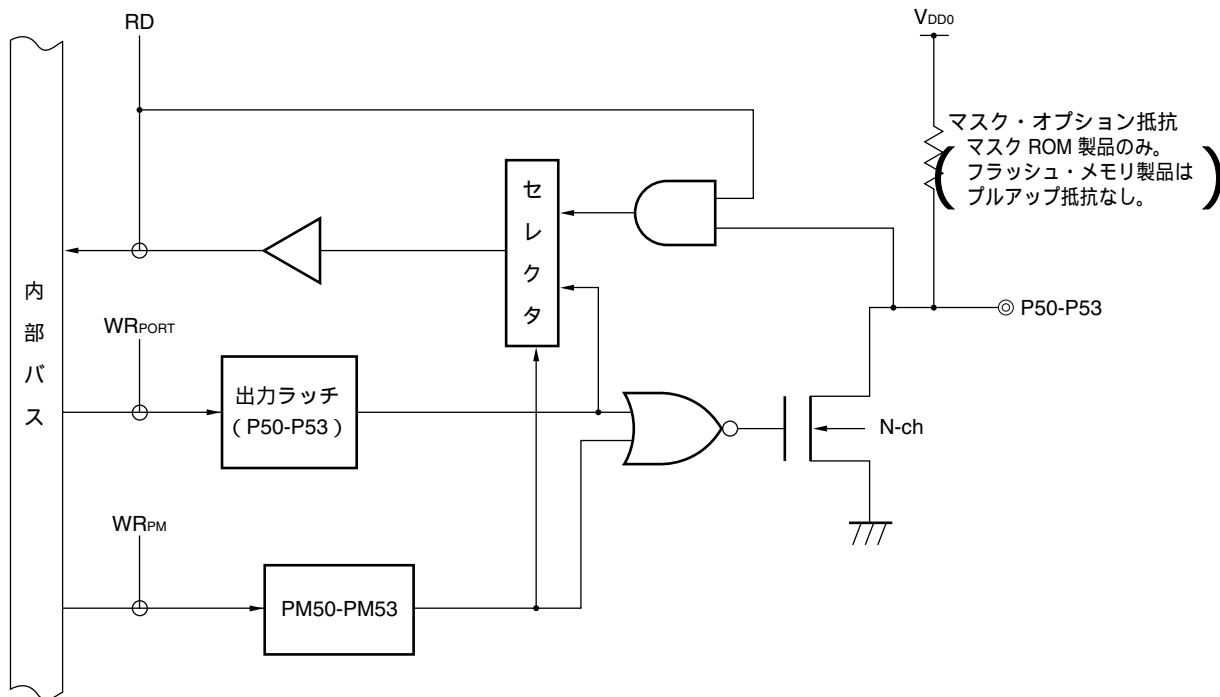
6.2.5 ポート5

出力ラッチ付き4ビットN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力モード/出力モードの指定ができます。マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6 - 12にポート5のブロック図を示します。

図6 - 12 P50-P53のブロック図



PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

注意 μ PD78F9177, 78F9177Yにおいて、ポート5を入力端子として使用するときには次の制限事項をお守りください。

- $V_{DD} = 1.8 \sim 5.5 \text{ V}$ で使用したい場合 : $T_A = 25 \sim 85$ の範囲内でご使用ください。
- $T_A = -40 \sim +85$ で使用したい場合 : $V_{DD} = 2.7 \sim 5.5 \text{ V}$ の範囲内でご使用ください。
- $T_A = -40 \sim +85$ かつ $V_{DD} = 1.8 \sim 5.5 \text{ V}$ で使用したい場合 :

ポート5をリードする命令を3回連続して実行してください。

上記制限事項を守らないと、入力値を正常に読み出せないことがあります。

なお、出力端子として使用する場合、もしくは μ PD78F9177, 78F9177Y以外の製品の場合は、この制限はありません。

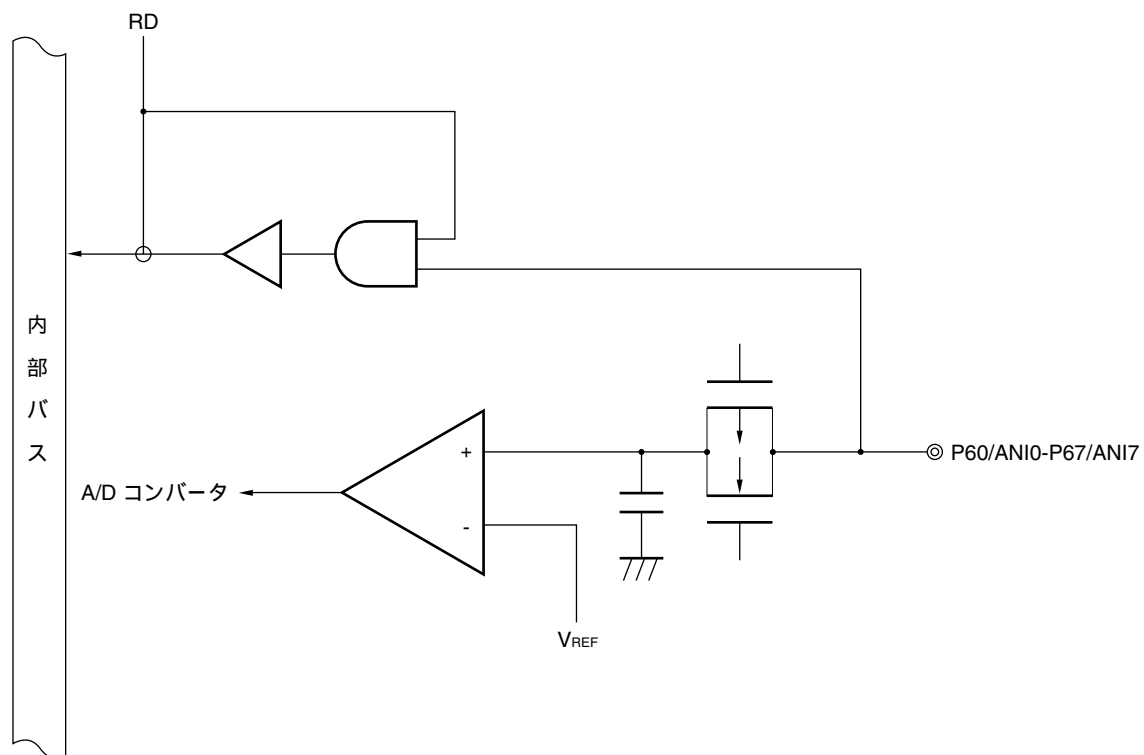
6.2.6 ポート6

8ビット入力専用ポートです。

兼用機能としてA/Dコンバータのアナログ入力があります。

図6 - 13にポート6のブロック図を示します。

図6 - 13 P60-P67のブロック図



6.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3, PM5)
- ・プルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3)

(1) ポート・モード・レジスタ (PM0-PM3, PM5)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表6-3のように設定してください。

注意 ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図6-14 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 $\left(\begin{array}{l} m=0: n=0-5, m=1: n=0,1 \\ m=2: n=0-6, m=3: n=0-3 \\ m=5: n=0-3 \end{array} \right)$
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表6 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P25	TI80	入力	1	×
P26	TO80	出力	0	0
P30	INTP0	入力	1	×
	TI81	入力	1	×
	CPT90	入力	1	×
P31	INTP1	入力	1	×
	TO81	出力	0	0
P32	INTP2	入力	1	×
	TO90	出力	0	0
P33	INTP3	入力	1	×
	TO82	出力	0	0
	BZO90	出力	0	0

注意 ポート2をシリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，表14 - 2 シリアル・インタフェース20の動作モードの設定一覧を参照してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

各ポートの内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで，入力モードに設定したビットにのみ，内部でプルアップ抵抗が使用できます。出力モードに設定したビットは，PU0の設定にかかわらず，内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図6 - 15 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01 PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0, 1)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

注意 ビット2-7には必ず0を設定してください。

(3) プルアップ抵抗オプション・レジスタB2, B3 (PUB2, PUB3)

ポート2, 3の各端子の内蔵プルアップ抵抗を使用するか, しないかを設定するレジスタです。PUB2, PUB3で内蔵プルアップ抵抗の使用を指定した端子は, ポート・モード・レジスタの設定にかかわらず, 内部でプルアップ抵抗が使用できます。

PUB2, PUB3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図6 - 16 プルアップ抵抗オプション・レジスタB2のフォーマット

略号	7		4	3		0	アドレス	リセット時	R/W
PUB2	0	PUB26	PUB25	0	0	PUB22	PUB21	PUB20	FF32H 00H R/W

PUB2n	P2nの内蔵プルアップ抵抗の選択 (n = 0-2, 5, 6)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

注意 ビット3, 4, 7には必ず0を設定してください。

図6 - 17 プルアップ抵抗オプション・レジスタB3のフォーマット

略号	7	6	5	4		0	アドレス	リセット時	R/W
PUB3	0	0	0	0	PUB33	PUB32	PUB31	PUB30	FF33H 00H R/W

PUB3n	P3nの内蔵プルアップ抵抗の選択 (n = 0-3)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

注意 ビット4-7には必ず0を設定してください。

6.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

6.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

6.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

6.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第7章 クロック発生回路

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロック発振回路には、次の2種類があります。

・メイン・システム・クロック発振回路

拡張規格品の場合

1.0～10.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

従来規格品の場合

1.0～5.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

・サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。サブ発振モード・レジスタ（SCKM）により発振の停止ができます。

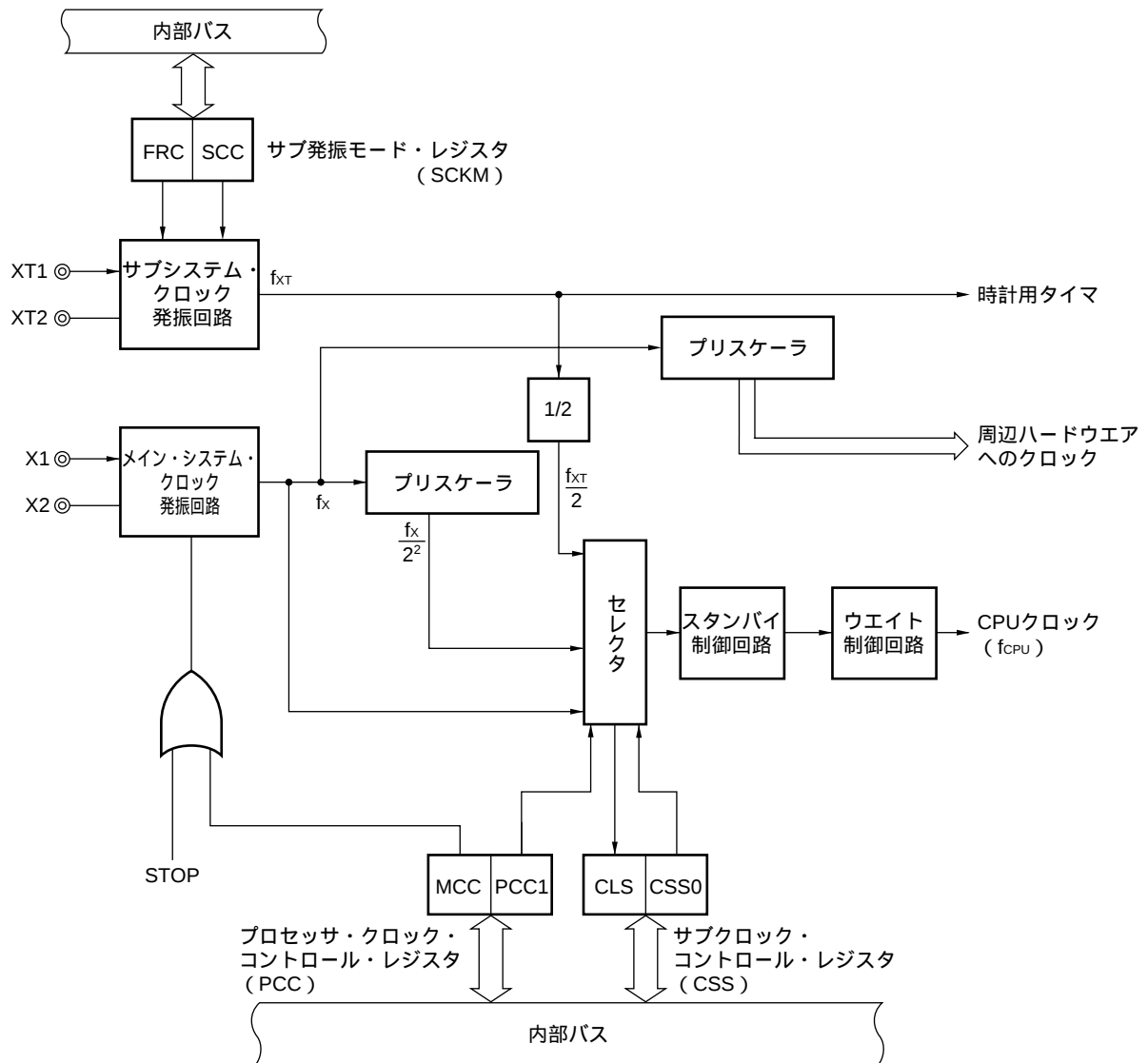
7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） サブ発振モード・レジスタ（SCKM） サブクロック・コントロール・レジスタ（CSS）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図7 - 1 クロック発生回路のブロック図



7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・サブ発振モード・レジスタ (SCKM)
- ・サブクロック・コントロール・レジスタ (CSS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，02Hになります。

図7-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFFBH	02H	R/W

MCC	メイン・システム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

CSS0	PCC1	CPUクロック (f_{CPU}) の選択 ^{注1}	最小命令実行時間：2/ f_{CPU}	
			$f_x = 10.0 \text{ MHz}$ ^{注2} または $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ または $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	f_x	0.2 μs	0.4 μs
0	1	$f_x/2^2$	0.8 μs	1.6 μs
1	0	$f_{\text{XT}}/2$	122 μs	122 μs
1	1			

注1. CPUクロックの選択は，プロセッサ・クロック・コントロール・レジスタ (PCC) のPCC1フラグとサブクロック・コントロール・レジスタ (CSS) のCSS0フラグの両方を組み合わせて設定します (7.3(3) サブクロック・コントロール・レジスタ (CSS) を参照)。

2. 拡張規格品のみ

注意1. ビット0, 2-6には必ず0を設定してください。

2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

(2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。

SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図7 - 3 サブ発振モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	フィードバック抵抗の選択 ^注
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

SCC	サブシステム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。
サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

注意 ビット2-7には必ず0を設定してください。

(3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図7 - 4 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W ^注

CLS	CPUクロックの動作状態
0	メイン・システム・クロックの（分周）出力で動作
1	サブシステム・クロックの出力で動作

CSS0	メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択
0	メイン・システム・クロック発振回路の（分周）出力
1	サブシステム・クロックの発振回路の出力

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

7.4 システム・クロック発振回路

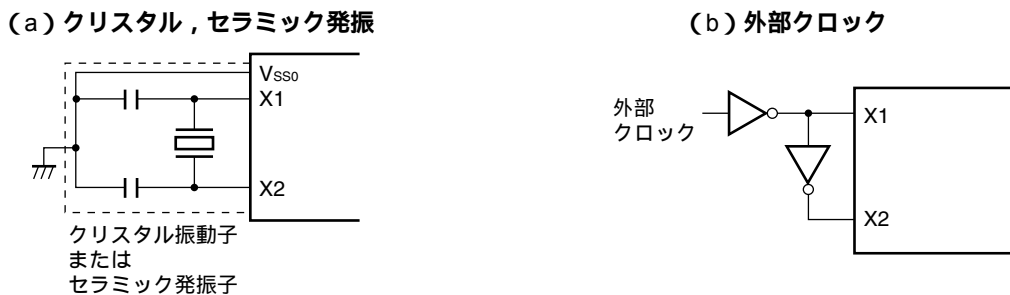
7.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また，外部クロックを入力することもできます。その場合，X1端子にクロック信号を入力し，X2端子には，その反転した信号を入力してください。

図7 - 5にメイン・システム・クロック発振回路の外付け回路を示します。

図7 - 5 メイン・システム・クロック発振回路の外付け回路



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図7 - 5, 7 - 6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また，変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は，常に V_{SS0} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

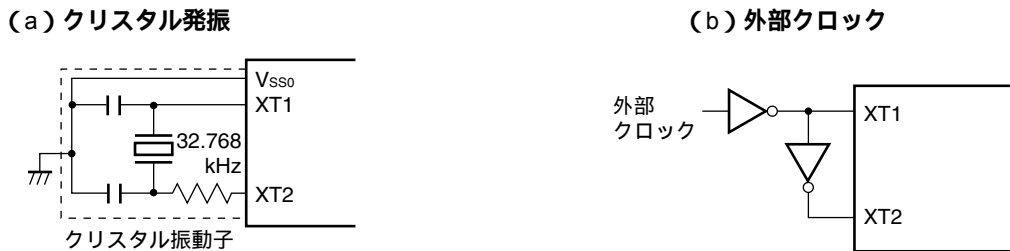
7.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

図7 - 6にサブシステム・クロック発振回路の外付け回路を示します。

図7 - 6 サブシステム・クロック発振回路の外付け回路



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図7 - 5, 7 - 6の破線の部分を次のように配線してください。

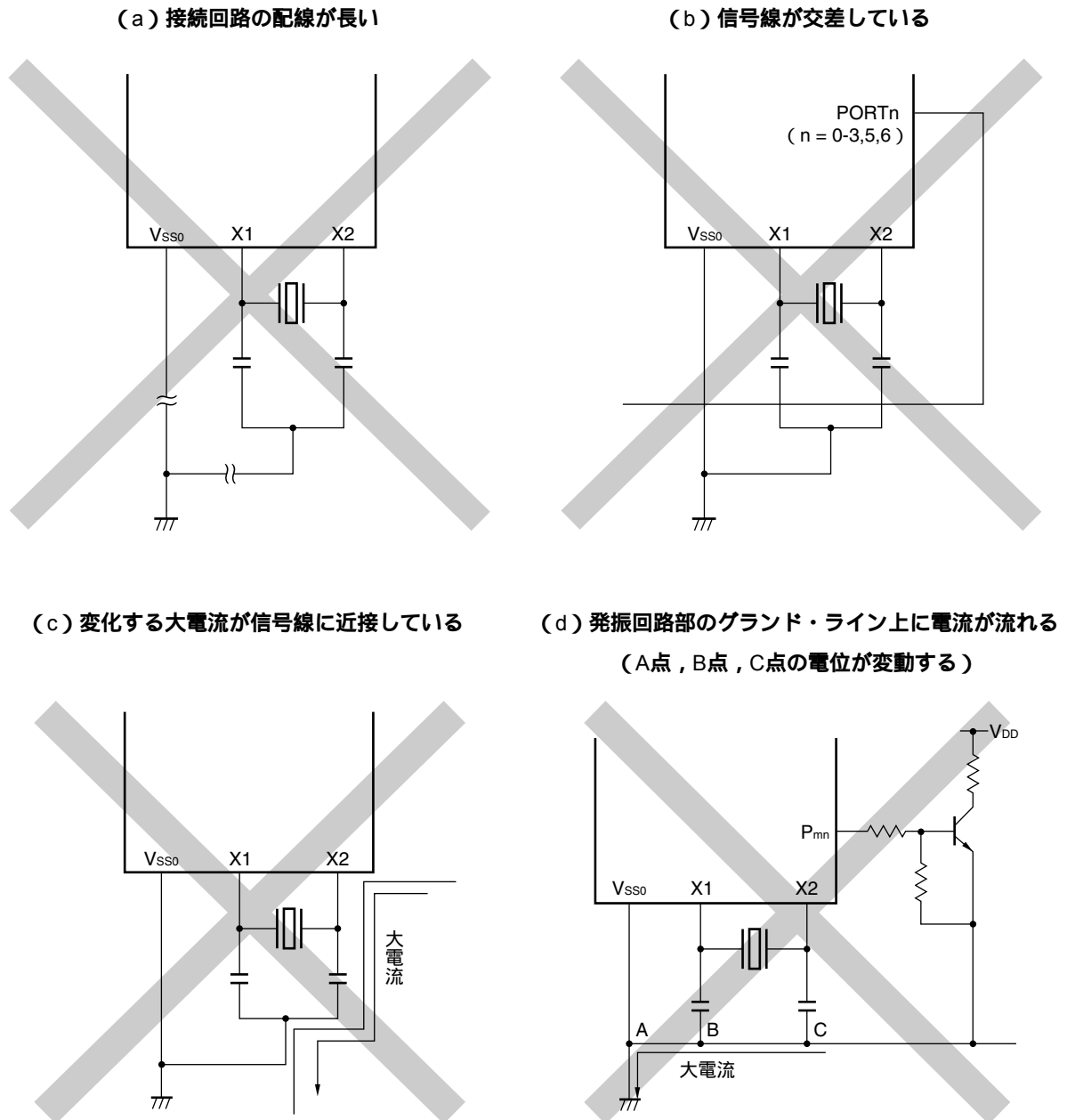
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

7.4.3 発振子の接続の悪い例

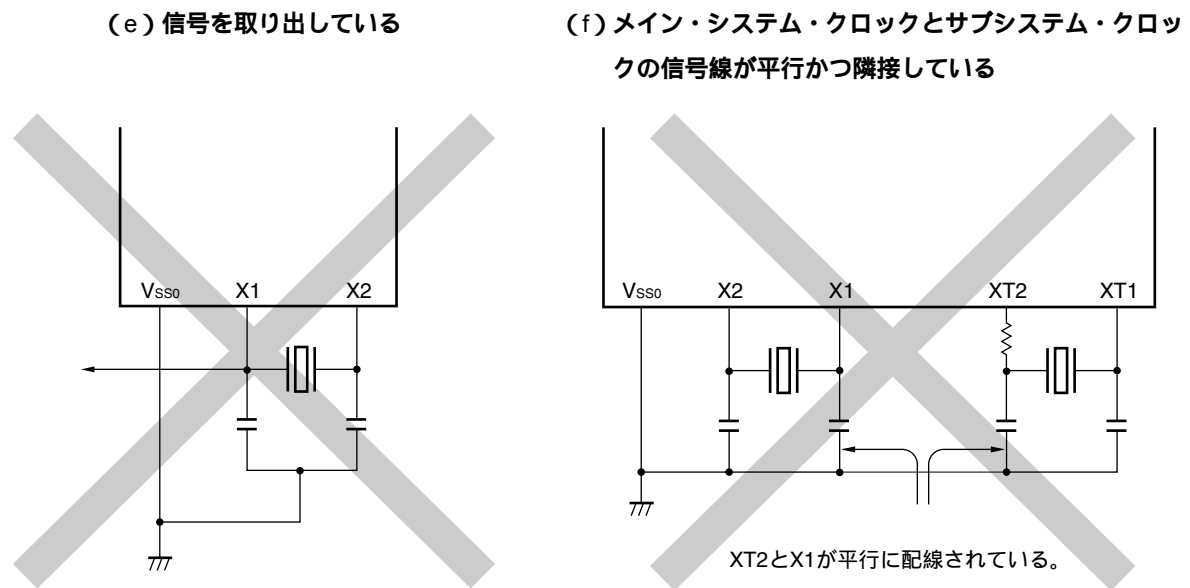
図7 - 7に発振子の接続の悪い例を示します。

図7 - 7 発振子の接続の悪い例 (1/2)



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を接続してください。

図7-7 発振子の接続の悪い例 (2/2)



備考 サブシステム・クロックをご使用の場合は、X1、X2をXT1、XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

注意 X1とXT2が平行に配線されている場合、X1のクロストーク・ノイズがXT2に相乗し誤動作を引き起こすことがあります。

これを避けるために、X1とXT2の配線を平行にしないでください。

7.4.4 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

7.4.5 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1、XT2端子を次のように処置してください。

XT1 : Vss0またはVss1に接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1、XT2端子の処理は上記と同じです。

7.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x
- ・サブシステム・クロック f_{xT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）、サブ発振モード・レジスタ（SCKM）、サブクロック・コントロール・レジスタ（CSS）により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モード（0.8 μs : 10.0 MHz動作時）が選択されます（PCC = 02H）。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCとSCKMとCSSの設定により3段階の最小命令実行時間（0.2 μs , 0.8 μs : メイン・システム・クロック（10.0 MHz動作時）、122 μs : サブシステム・クロック（32.768 kHz動作時））を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1（FRC）で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電流をさらに低減できます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4（CSS0）により、サブシステム・クロックを選択し、低消費電流で動作（122 μs : 32.768 kHz動作時）できます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7（MCC）によりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、16ビット・タイマ90, 8ビット・タイマ82、時計用タイマにのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも16ビット・タイマ90, 8ビット・タイマ82、時計機能は、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし、外部からの入力クロック動作は除く）。

7.6 システム・クロックとCPUクロックの設定の変更

7.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）とサブクロック・コントロール・レジスタ（CSS）のビット4（CSS0）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表7 - 2参照）。

表7 - 2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	×
0	0			4クロック		2f _x /f _{xT} クロック (612クロック) [306クロック]	
	1			2クロック		f _x /2f _{xT} クロック (152クロック) [76クロック]	
1	×	2クロック		2クロック			

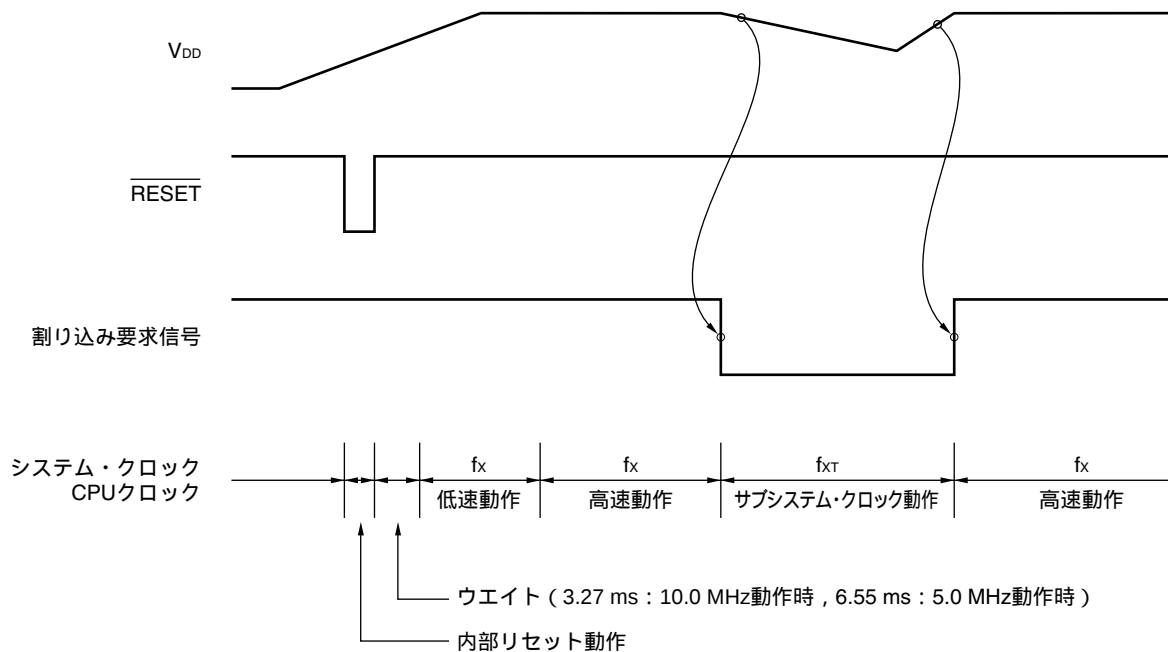
備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

- () 内は、f_x = 10.0 MHz動作時またはf_{xT} = 32.768 kHz動作時
[] 内は、f_x = 5.0 MHz動作時またはf_{xT} = 32.768 kHz動作時
- × : don't care

7.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図7-8 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($0.8 \mu\text{s}$: 10.0 MHz動作時) で命令の実行を開始します。

V_{DD} 電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

V_{DD} 電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

V_{DD} 電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1, CSS0を書き換えて高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第8章 16ビット・タイマ90

8.1 16ビット・タイマ90の機能

16ビット・タイマ90には、次のような機能があります。

- ・タイマ割り込み
- ・タイマ出力
- ・ブザー出力
- ・カウント値のキャプチャ

(1) タイマ割り込み

カウント値とコンペア値の一致で割り込みを発生します。

(2) タイマ出力

カウント値とコンペア値の一致でタイマ出力制御が可能です。

(3) ブザー出力

ソフトウェアの設定によりブザー出力制御が可能です。

(4) カウント値のキャプチャ

キャプチャ・トリガに同期して16ビット・タイマ・カウンタ90 (TM90) のカウント値をキャプチャ・レジスタに取り込み、保持します。

8.2 16ビット・タイマ90の構成

16ビット・タイマ90は、次のハードウェアで構成しています。

表8 - 1 16ビット・タイマ90の構成

項 目	構 成
タイマ・カウンタ	16ビット×1本 (TM90)
レジスタ	コンペア・レジスタ : 16ビット×1本 (CR90) キャプチャ・レジスタ : 16ビット×1本 (TCP90)
タイマ出力	1本 (TO90)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) ブザー出力コントロール・レジスタ90 (BZC90) ポート・モード・レジスタ3 (PM3)

(1) 16ビット・コンペア・レジスタ90 (CR90)

CR90に設定した値と16ビット・タイマ・レジスタ90 (TM90) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM90) を発生する16ビットのレジスタです。

CR90は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で設定します。0000H-FFFFHの設定が可能です。

$\overline{\text{RESET}}$ 入力により、FFFFHになります。

- 注意1.** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。
2. カウント動作中にCR90を書き換える場合は、あらかじめ、割り込みマスク・フラグ・レジスタ1 (MK1) で割り込み禁止にしてください。また、16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) でタイマ出力データを反転禁止に設定してください。割り込みを許可している状態でCR90を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) 16ビット・タイマ・カウンタ90 (TM90)

カウント・パルスをカウントする16ビットのレジスタです。

TM90は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

- 注意1.** ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。
2. 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。
3. 8ビット・メモリ操作命令を使用する場合、下位バイト→上位バイトの順で必ずペアで読み出してください。

(3) 16ビット・キャプチャ・レジスタ90 (TCP90)

TM90の内容をキャプチャする16ビットのレジスタです。

TCP90は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(4) 16ビット・カウンタ・リード・バッファ90

TM90のカウント値をラッチし、カウント値を保持します。

8.3 16ビット・タイマ90を制御するレジスタ

16ビット・タイマ90は、次の3種類のレジスタで制御します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90)
- ・ プザー出力コントロール・レジスタ90 (BZC90)
- ・ ポート・モード・レジスタ3 (PM3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90)

16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) は、カウント・クロック設定、キャプチャ・エッジなどの設定を制御するレジスタです。

TMC90は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8 - 2 16ビット・タイマ・モード・コントロール・レジスタ90のフォーマット

略号	7	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC90	TOD90	TOF90	CPT901	CPT900	TOC90	TCL901	TCL900	TOE90	FF48H	00H R/W ^{注1}

TOD90	タイマ出力データ
0	タイマ出力データが“0”
1	タイマ出力データが“1”

TOF90	オーバフロー・フラグのセット
0	リセットおよびソフトウェアでクリア
1	16ビット・タイマのオーバフローでセット

CPT901	CPT900	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT90端子の立ち上がりエッジ
1	0	CPT90端子の立ち下がりエッジ
1	1	CPT90端子の両エッジ

TOC90	タイマ出力データの反転制御
0	反転禁止
1	反転許可

TCL901	TCL900	16ビット・タイマ・カウンタ90のカウント・クロック (fcl) の選択		
			$f_x = 10.0 \text{ MHz}$ ^{注2} または $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$f_x/2^2$	2.5 MHz	1.25 MHz
0	1	$f_x/2^6$	156 kHz	78.1 kHz
1	0	$f_x/2^7$	78.1 kHz	39.1 kHz
1	1	f_{XT}	32.768 kHz	

TOE90	16ビット・タイマ・カウンタ90の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注1. ビット7は、Read Onlyです。

2. 拡張規格品のみ

注意 TCL901, TCL900を同一データ以外に書き換えるには、あらかじめ、割り込みマスク・フラグ・レジスタ1 (MK1) で割り込み禁止にしてください。またタイマ出力データを反転禁止 (TOC90 = 0) にしてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

(2) ブザー出力コントロール・レジスタ90 (BZC90)

カウント・クロック選択ビット (TCL901, TCL900) で選択したfclをもとにブザー出力コントロール・レジスタ90 (BZC90) でブザー周波数を設定し、方形波を出力するレジスタです。

BZC90は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 3 ブザー出力コントロール・レジスタ90のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BZC90	0	0	0	0	BCS902	BCS901	BCS900	BZOE90	FF49H	00H	R/W ^{注1}

BCS902	BCS901	BCS900	ブザー周波数の選択
0	0	0	fcl/2 ⁴
0	0	1	fcl/2 ⁵
0	1	0	fcl/2 ⁸
0	1	1	fcl/2 ⁹
1	0	0	fcl/2 ¹⁰
1	0	1	fcl/2 ¹¹
1	1	0	fcl/2 ¹²
1	1	1	fcl/2 ¹³

BZOE90	ブザーのポート出力の制御
0	ブザーのポート出力禁止
1	ブザーのポート出力許可 ^{注2}

注1. ビット4-7には必ず0を設定してください。

2. BZOE90を1に設定したときTOE82 (図9 - 6 8ビット・タイマ・モード・コントロール・レジスタ82のフォーマット参照) には必ず0を設定してください。

注意 カウント・クロックとしてサブクロックを選択した場合 (TCL901 = 1, TCL900 = 1: 図8 - 2 16ビット・タイマ・モード・コントロール・レジスタ90のフォーマット参照), ブザーのポート出力許可にするとサブクロックを同期化しません。このため、キャプチャ機能, TM90のリード機能は使えなくなります。またTM90のカウント値は不定となります。

表8 - 2 16ビット・タイマ90のブザー周波数

BCS902	BCS901	BCS900	ブザー周波数						
			$f_x = 10.0 \text{ MHz}$ ^注 動作時			$f_x = 5.0 \text{ MHz}$ 動作時			$f_{XT} = 32.768 \text{ kHz}$ 動作時
			$f_{cl} = f_x/2^2$	$f_{cl} = f_x/2^5$	$f_{cl} = f_x/2^7$	$f_{cl} = f_x/2^2$	$f_{cl} = f_x/2^5$	$f_{cl} = f_x/2^7$	$f_{cl} = f_{XT}$
0	0	0	156 kHz	9.76 kHz	4.88 kHz	78.1 kHz	4.88 kHz	2.44 kHz	2.05 kHz
0	0	1	78.1 kHz	4.88 kHz	2.44 kHz	39.1 kHz	2.44 kHz	1.22 kHz	1.02 kHz
0	1	0	9.76 kHz	610 Hz	305 Hz	4.88 kHz	305 Hz	152 Hz	128 Hz
0	1	1	4.88 kHz	305 Hz	152 Hz	2.44 kHz	152 Hz	76 Hz	64 Hz
1	0	0	2.44 kHz	152 Hz	76 Hz	1.22 kHz	76 Hz	38 Hz	32 Hz
1	0	1	1.22 kHz	76 Hz	38 Hz	610 Hz	38 Hz	19 Hz	16 Hz
1	1	0	610 Hz	38 Hz	19 Hz	305 Hz	19 Hz	10 Hz	8 Hz
1	1	1	305 Hz	19 Hz	10 Hz	153 Hz	10 Hz	5 Hz	4 Hz

注 拡張規格品のみ

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

(3) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

P32/INTP2/TO90端子をタイマ出力として使用するとき、PM32およびP32の出力ラッチに0を、P33/INTP3/TO82/BZO90端子をブザー出力として使用するとき[※]、PM33およびP33の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注 TO82とBZO90を同時に出力しないでください。

図8 - 4 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モード (n = 2, 3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 16ビット・タイマ90の動作

8.4.1 タイマ割り込みとしての動作

フリーランニングのカウンタの値が、CR90に設定した値になるたびに繰り返し割り込みを発生することができます。割り込み発生後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL901とTCL900で設定したカウント・クロックの1周期分となります。

16ビット・タイマをタイマ割り込みとして動作させるには次の設定をします。

- ・CR90にカウンタ値を設定
- ・16ビット・タイマ・モード・コントロール・レジスタ90（TMC90）を図8 - 5のように設定

図8 - 5 タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容

	TOD90	TOF90	CPT901	CPT900	TOC90	TCL901	TCL900	TOE90
TMC90	-	0/1	0/1	0/1	0/1	0	0/1	0/1

注意 CPT901フラグとCPT900フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ90（TM90）のカウント値がCR90に設定した値と一致したとき、TM90のカウントをそのまま継続するとともに、割り込み要求信号（INTTM90）を発生します。

表8 - 3にインターバル時間を、図8 - 6にタイマ割り込み動作のタイミングを示します。

注意 カウント動作中にCR90を書き換える場合は必ず次の処理を行ってください。

割り込みを禁止（TMMK90（割り込みマスク・フラグ・レジスタ1（MK1）のビット4）=1）に設定

タイマ出力データの反転制御を禁止（TOC90 = 0）に設定

割り込みを許可している状態でCR90を書き換えた場合、その時点で割り込み要求が発生することがあります。

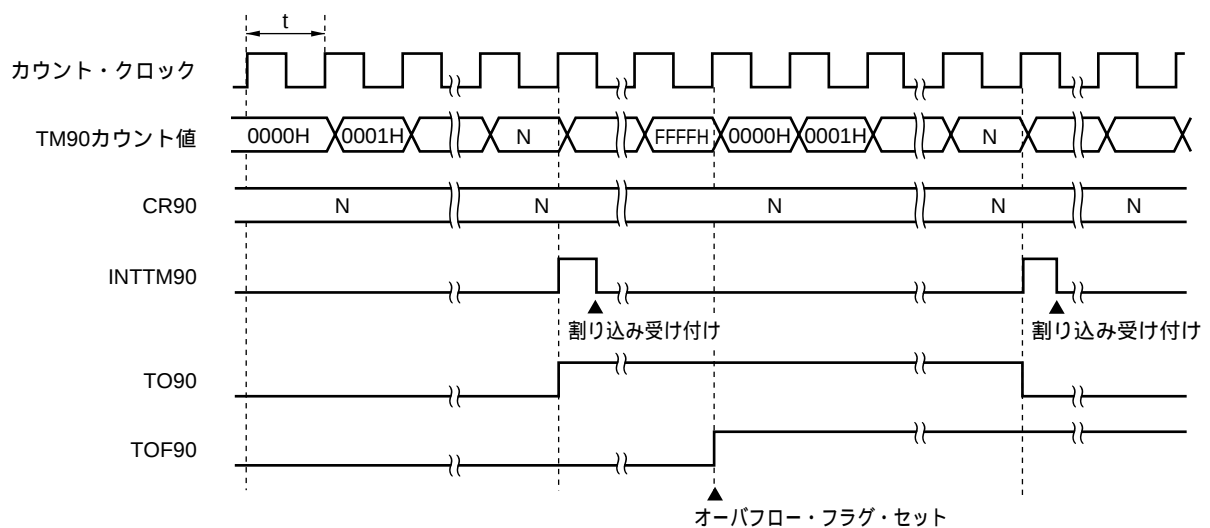
表8 - 3 16ビット・タイマ90のインターバル時間

TCL901	TCL900	カウント・クロック		インターバル時間			
		$f_X = 10.0 \text{ MHz}$ ^注 または $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_X = 5.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_X = 10.0 \text{ MHz}$ ^注 または $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_X = 5.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時		
0	0	$2^2/f_X$	$0.4 \mu\text{s}$	$0.8 \mu\text{s}$	$2^{18}/f_X$	26.2 ms	52.4 ms
0	1	$2^6/f_X$	$6.4 \mu\text{s}$	$12.8 \mu\text{s}$	$2^{22}/f_X$	419 ms	839 ms
1	0	$2^7/f_X$	$12.8 \mu\text{s}$	$25.6 \mu\text{s}$	$2^{23}/f_X$	839 ms	1.68 s
1	1	$1/f_{XT}$	$30.5 \mu\text{s}$		$2^{16}/f_{XT}$	2.0 s	

注 拡張規格品のみ

備考1. f_X : メイン・システム・クロック発振周波数2. f_{XT} : サブシステム・クロック発振周波数

図8 - 6 タイマ割り込み動作のタイミング



備考 N = 0000H-FFFFH

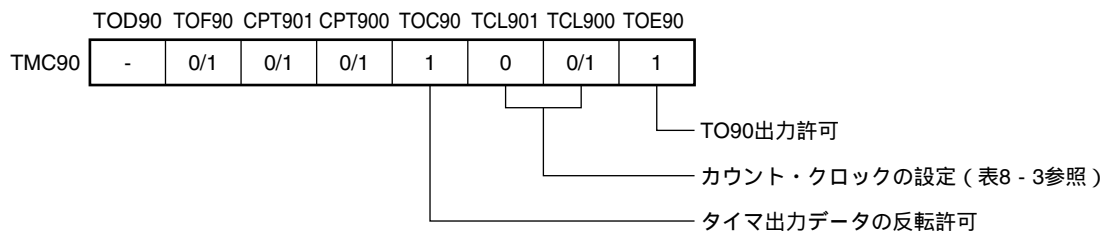
8.4.2 タイマ出力としての動作

フリーランニングのカウンタの値が、CR90に設定した値になるたびに繰り返しタイマ出力を反転することができます。タイマ出力を反転後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL901とTCL900で設定したカウント・クロックの1周期分となります。

16ビット・タイマをタイマ出力として動作させるには次の設定をします。

- ・ P32を出力モード (PM32 = 0) に設定
- ・ P32の出力ラッチに0を設定
- ・ CR90にカウント値を設定
- ・ 16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) を図8 - 7のように設定

図8 - 7 タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容

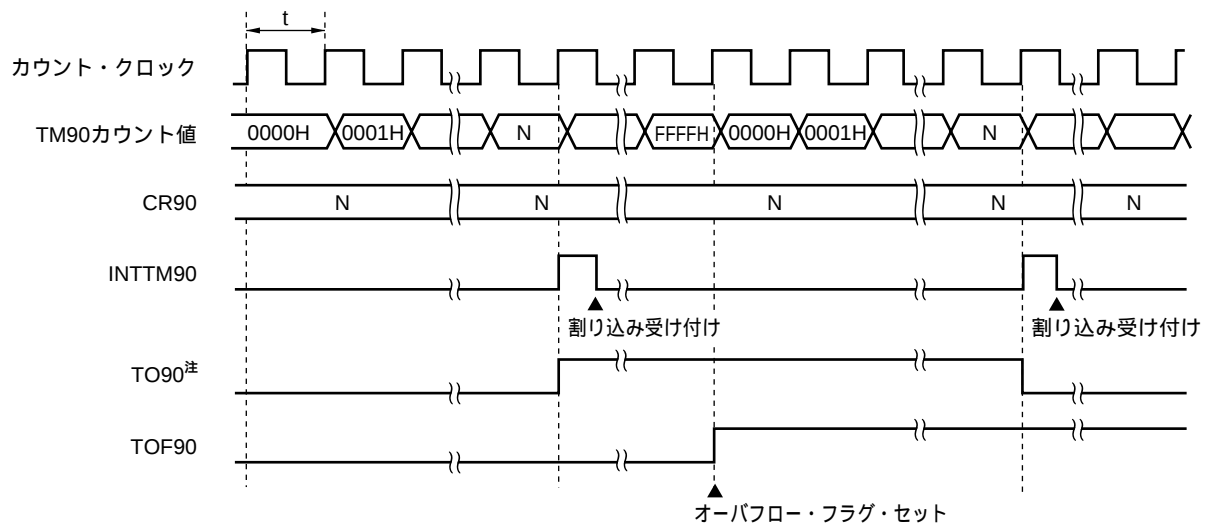


注意 CPT901フラグとCPT900フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ90(TM90)のカウンタ値がCR90に設定した値と一致したとき ,TO90/P32/INTP2 端子の出力状態が反転します。これによりタイマ出力が可能です。また ,このとき ,TM90のカウンタをそのまま継続するとともに ,割り込み要求信号 (INTTM90) を発生します。

図8 - 8にタイマ出力のタイミングを示します (16ビット・タイマのインターバル時間は表8 - 3を参照してください)。

図8 - 8 タイマ出力のタイミング



注 出力許可 (TOE90 = 1) 時のTO90の初期値はロウ・レベルになります。

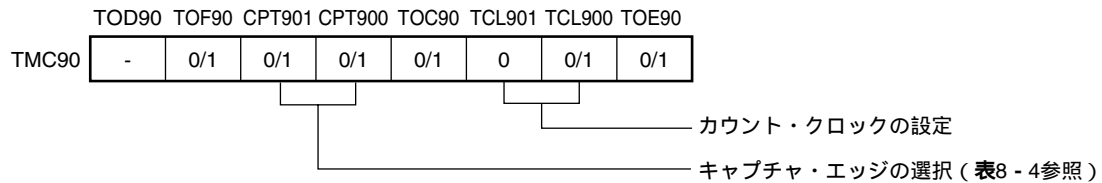
備考 N = 0000H-FFFFH

8.4.3 キャプチャ動作

キャプチャ・トリガに同期して、16ビット・タイマ・カウンタ90 (TM90) のカウント値をキャプチャ・レジスタに取り込み、カウント値を保持するキャプチャ動作を行います。

16ビット・タイマをキャプチャ動作させるには図8 - 9のように設定します。

図8 - 9 キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ90の設定内容



16ビット・キャプチャ・レジスタ90 (TCP90) は、CPT90のキャプチャ・トリガ・エッジが検出されたあと、キャプチャ動作を開始し、16ビット・タイマ90のカウント値をラッチし、保持します。TCP90は、2クロック以内にカウント値をフェッチし、次のキャプチャ・エッジが検出されるまでカウント値を保持します。

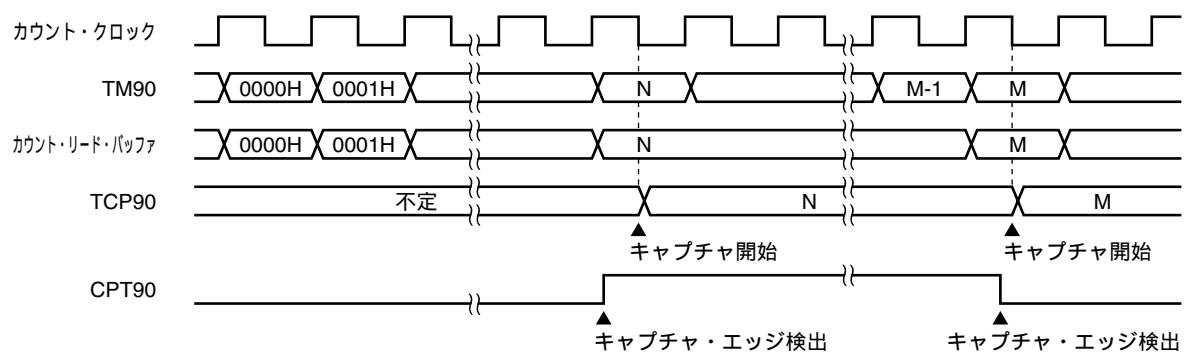
表8 - 4にキャプチャ・エッジの設定内容を、図8 - 10にキャプチャ動作のタイミングを示します。

表8 - 4 キャプチャ・エッジの設定内容

CPT901	CPT900	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT90端子の立ち上がりエッジ
1	0	CPT90端子の立ち下がりエッジ
1	1	CPT90端子の両エッジ

注意 TCP90のリード期間中にキャプチャ・トリガ・エッジが検出されると、TCP90は書き換えられるので、TCP90のリード期間中はキャプチャ・トリガ・エッジ検出を禁止にしてください。

図8 - 10 キャプチャ動作のタイミング (CPT90端子の両エッジ指定時)



8.4.4 16ビット・タイマ・カウンタ90の読み出し

16ビット・タイマ・カウンタ90 (TM90) のカウント値は16ビット操作命令で読み出します。

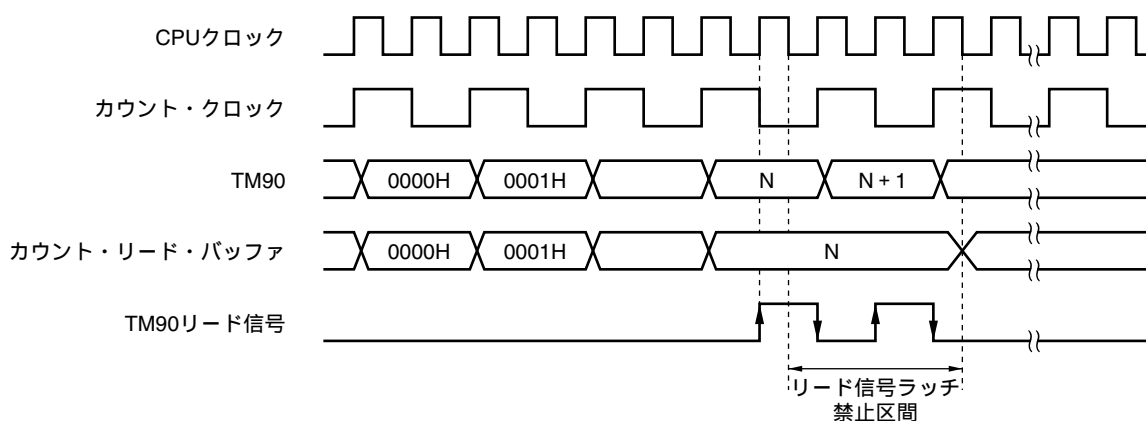
TM90の読み出しは、カウンタ・リード・バッファを介して行います。16ビット・カウンタ・リード・バッファはTM90のカウント値をラッチします。そして、TM90の下位バイトのリード信号が立ち上がったあとのCPUクロックの立ち下がりによってバッファ動作を保留し、カウント値を保持します。この保持状態のカウンタ・リード・バッファの値をカウント値として読み出すことができます。

保留の解除は、TM90の上位バイトのリード信号が立ち下がったあとのCPUクロックの立ち下がりで行います。TM90は、RESET入力により0000Hになり、再びフリーランニングします。

図8-11に16ビット・タイマ・カウンタ90の読み出しのタイミングを示します。

- 注意1. ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。
- TM90は16ビット転送命令専用のレジスタですが、8ビット転送命令も使用できます。
8ビット転送命令を使用する場合、ダイレクト・アドレッシングで行ってください。
 - 8ビット転送命令を使用するとき、下位バイト→上位バイトの順で必ずペアで行ってください。下位バイトのみの読み出しは、カウンタ・リード・バッファの保留状態が解除されず、また、上位バイトのみの読み出しは不定となったカウント値を読み込んでしまいます。

図8-11 16ビット・タイマ・カウンタ90の読み出しのタイミング



備考 N = 0000H-FFFFH

8.4.5 ブザー出力としての動作

TMC90のTCL901とTCL900で設定したカウント・クロックをソース・クロックとし、ブザー出力コントロール・レジスタ90（BZC90）でブザー周波数を設定し、ブザー周波数の方形波を出力します。

表8 - 5にブザー周波数を示します。

16ビット・タイマをブザー出力として動作させるには次の設定をします。

- ・P33を出力モード（PM33 = 0）に設定
- ・P33の出力ラッチに0を設定
- ・TCL901とTCL900でカウント・クロックを設定
- ・BZC90を図8 - 12のように設定
- ・8ビット・タイマ・モード・コントロール・レジスタ82（TMC82）のTOE82に0を設定し、8ビット・タイマ82の出力を禁止する。

図8 - 12 ブザー出力動作時のブザー出力コントロール・レジスタ90の設定内容

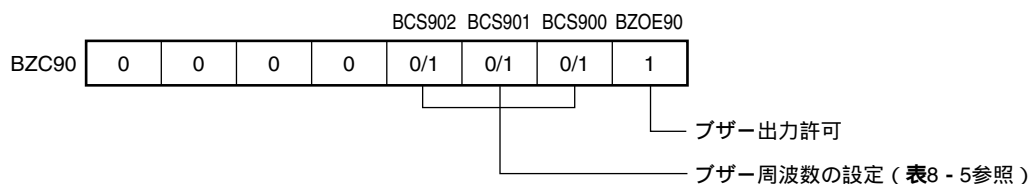


表8 - 5 16ビット・タイマ90のブザー周波数

BCS902	BCS901	BCS900	ブザー周波数						
			f _x = 10.0 MHz ^注 動作時			f _x = 5.0 MHz動作時			f _{XT} = 32.768 kHz動作時
			f _{cl} = f _x /2 ²	f _{cl} = f _x /2 ⁶	f _{cl} = f _x /2 ⁷	f _{cl} = f _x /2 ²	f _{cl} = f _x /2 ⁶	f _{cl} = f _x /2 ⁷	f _{cl} = f _{XT}
0	0	0	156 kHz	9.76 kHz	4.88 kHz	78.1 kHz	4.88 kHz	2.44 kHz	2.05 kHz
0	0	1	78.1 kHz	4.88 kHz	2.44 kHz	39.1 kHz	2.44 kHz	1.22 kHz	1.02 kHz
0	1	0	9.76 kHz	610 Hz	305 Hz	4.88 kHz	305 Hz	152 Hz	128 Hz
0	1	1	4.88 kHz	305 Hz	152 Hz	2.44 kHz	152 Hz	76 Hz	64 Hz
1	0	0	2.44 kHz	152 Hz	76 Hz	1.22 kHz	76 Hz	38 Hz	32 Hz
1	0	1	1.22 kHz	76 Hz	38 Hz	610 Hz	38 Hz	19 Hz	16 Hz
1	1	0	610 Hz	38 Hz	19 Hz	305 Hz	19 Hz	10 Hz	8 Hz
1	1	1	305 Hz	19 Hz	10 Hz	153 Hz	10 Hz	5 Hz	4 Hz

注 拡張規格品のみ

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

8.5 16ビット・タイマ90の注意事項

8.5.1 16ビット・タイマ90使用上の注意

カウント・クロックの選択，CPUクロックの動作，システム・クロックの発振状態，BZOE90（ブザー出力コントロール・レジスタ90（BZC90）のビット0）の設定によって16ビット・タイマの使用できる機能が異なります。

次の表を参照してください。

カウント・クロック	CPU クロック	システム・クロック		BZOE90	キャプ チャ	TM90 リード	ブザー 出力	タイマ 出力	タイマ 割り込み
		メイン・クロック	サブクロック						
fx/2 ² , fx/2 ⁶ , fx/2 ⁷	メイン	発振	発振 / 停止	1/0	○	○注 ¹	注 ²	○	○
		停止			×	×	×	×	×
	サブ	発振	発振		○	×	注 ²	○	○
		停止			×	×	×	×	×
f _{XT}	メイン	発振	発振	0	○	○	×	○	○
				1	×	×	○	○	○
			停止	1/0	×	×	×	×	×
		停止 (STOPモード)	発振	0	×	×	×	×	×
				1	×	×	○	○	○
			停止	1/0	×	×	×	×	×
	サブ	発振	発振	0	○	○	×	○	○
				1	×	×	○	○	○
		停止		0	×	×	×	×	×
				1	×	×	○	○	○

注1. CPUクロックが高速モード時のみ可能

2. BZOE90 = 1のとき出力可能

注意1. キャプチャ機能は，制御に $f_x/2$ を使用します（図8 - 1 16ビット・タイマ90のブロック図参照）。

したがって，メイン・システム・クロックが停止しているとき，キャプチャ機能は使用できません。

- TM90のリード機能は，制御にCPUクロックを使用し（図8 - 1参照），CPUクロックがカウント・クロックより遅いときは不定をリードします（値を保証できません）。TM90をリードするときはカウント・クロックをCPUクロックと同じにするか（CPUクロックがメイン・システム・クロックのときは高速モードにする），CPUクロックより遅いものを選択してください。
- カウント・クロックにサブシステム・クロックを選択し，BZOE90に0を設定したとき，TM90のカウント・クロックとしてサブシステム・クロックをメイン・システム・クロックで同期化したクロックが選択されます（図8 - 1参照）。したがって，このときメイン・システム・クロックの発振が停止していた場合，16ビット・タイマ90に供給されるクロックが停止するため，タイマそのものが動作停止になります（タイマ割り込みも発生しません）。

また，カウント・クロックにサブシステム・クロックを選択し，BZOE90に1を設定したとき，サブシステム・クロックが同期化されないため，キャプチャ，TM90リード値が保証されません。したがって，キャプチャ，TM90リード機能を使用するときは必ずBZOE90に0を設定してください（カウント・クロックにサブシステム・クロックを選択した場合，ブザー出力とキャプチャ，TM90リード機能を同時に使用することはできません）。

低消費電流対応でメイン・システム・クロックの発振を停止し、HALTモードの解除を行う場合、次に示す設定をしてください。

カウント・クロック	: サブシステム・クロック
CPUクロック	: サブシステム・クロック
メイン・システム・クロック	: 発振停止
BZOE90	: 1 (ブザー出力許可)

このとき、ブザー出力兼用端子であるP33の設定が“ PM33 = 0, P33 = 0 ” の場合、P33からブザー周波数の方形波を出力します。もし、ブザー周波数を出力したくない場合は、次の対応のいずれかを行ってください。

- ・ P33を入力モード (PM33 = 1) にする
- ・ P33を入力モードにできない場合、P33のポート・ラッチの値を1 (P33 = 1) にする
(この場合、P33からハイ・レベルが出力されます)

8.5.2 16ビット・コンペア・レジスタ90を書き換える際の制限事項

(1) コンペア・レジスタ (CR90) を書き換える場合は、必ず割り込みを禁止 (TMMK90 = 1) し、タイマ出力の反転制御を禁止 (TOC90 = 0) してから行ってください。

割り込みを許可している状態で、CR90を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) コンペア・レジスタ (CR90) を書き換えるタイミングによっては、インターバル時間が意図する時間の2倍となる場合があります。同様に、タイマ出力波形が意図する出力よりも短い波形や2倍の波形が出力されてしまう場合があります。

これを回避するために、次のどちらかの手順で書き換えを行ってください。

<回避策A> 8ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK90 = 1) し、タイマ出力の反転制御を禁止 (TOC90 = 0) に設定

先にCR90 (16ビット) の上位1バイトを書き換える

次にCR90 (16ビット) の下位1バイトを書き換える

割り込み要求フラグ (TMIF90) をクリアする

割り込みの先頭からカウント・クロックの半周期分以上経過したあとで、タイマ割り込み許可 / タイマ出力反転許可する

<プログラム例A> (カウント・クロック = 64/f_x, CPUクロック = f_xの場合)

TM90_VCT : SET1	TMMK90	; タイマ割り込み禁止 (6クロック)	} 合計32クロック 以上 [※]
CLR1	TMC90.3	; タイマ出力反転禁止 (6クロック)	
MOV	A, #xxH	; 上位バイト書き換え値設定 (6クロック)	
MOV	!0FF17H,A	; CR90 上位バイト書き換え (8クロック)	
MOV	A, #yyH	; 下位バイト書き換え値設定 (6クロック)	
MOV	!0FF16H,A	; CR90 下位バイト書き換え (8クロック)	
CLR1	TMIF90	; 割り込み要求フラグをクリア (6クロック)	
CLR1	TMMK90	; タイマ割り込み許可 (6クロック)	
SET1	TMC90.3	; タイマ出力反転許可	

注 INTTM90信号は、割り込み発生してからカウント・クロックの半周期の期間、ハイ・レベルになっているので、この期間にTOC90を1にセットすると出力が反転してしまうため。

<回避策B> 16ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK90 = 1) し、タイマ出力の反転制御を禁止 (TOC90 = 0) に設定
 CR90 (16ビット) を書き換える
 カウント・クロックの1周期分以上ウエイトする
 割り込み要求フラグ (TMIF90) をクリアする
 タイマ割り込み許可 / タイマ出力反転許可する

<プログラム例B> (カウント・クロック = $64/f_x$, CPUクロック = f_x の場合)

```

TM90_VCT  SET1    TMMK90    ; タイマ割り込み禁止
          CLR1    TMC90.3   ; タイマ出力反転禁止
          MOVW    AX, #xyyyH ; CR90 書き換え値設定
          MOVW    CR90, AX   ; CR90 書き換え

          NOP
          NOP                ;
          :                  ; NOP32個 (64/fx分のウエイト)注
          NOP
          NOP
          CLR1    TMIF90     ; 割り込み要求フラグクリア
          CLR1    TMMK90     ; タイマ割り込み許可
          SET1    TMC90.3    ; タイマ出力反転許可

```

注 CR90を書き換える命令 (MOVW CR90, AX) から、カウント・クロックの1周期分以上ウエイトしたあとで、割り込み要求フラグ (TMIF90) をクリアしてください。

第9章 8ビット・タイマ/イベント・カウンタ80-82

9.1 8ビット・タイマ/イベント・カウンタ80-82の機能

8ビット・タイマ/イベント・カウンタ80, 81, 8ビット・タイマ82には、次のような機能があります。

- ・ インターバル・タイマ (TM80, TM81, TM82)
- ・ 外部イベント・カウンタ (TM80, TM81のみ)
- ・ 方形波出力 (TM80, TM81, TM82)
- ・ PWM出力 (TM80, TM81, TM82)

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表9-1 8ビット・タイマ/イベント・カウンタ80のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$1/f_x$ (100 ns) [200 ns]	$2^9/f_x$ (25.6 μ s) [51.2 μ s]	$1/f_x$ (100 ns) [200 ns]
$2^3/f_x$ (0.8 μ s) [1.6 μ s]	$2^{11}/f_x$ (204.8 μ s) [409.6 μ s]	$2^3/f_x$ (0.8 μ s) [1.6 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

- () 内は, $f_x = 10.0$ MHz動作時 (拡張規格品のみ)
- [] 内は, $f_x = 5.0$ MHz動作時

表9-2 8ビット・タイマ/イベント・カウンタ81のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^4/f_x$ (1.6 μ s) [3.2 μ s]	$2^{12}/f_x$ (409.6 μ s) [819.2 μ s]	$2^4/f_x$ (1.6 μ s) [3.2 μ s]
$2^8/f_x$ (25.6 μ s) [51.2 μ s]	$2^{16}/f_x$ (6.55 ms) [13.1 ms]	$2^8/f_x$ (25.6 μ s) [51.2 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

- () 内は, $f_x = 10.0$ MHz動作時 (拡張規格品のみ)
- [] 内は, $f_x = 5.0$ MHz動作時

表9-3 8ビット・タイマ82のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^5/f_x$ (3.2 μ s) [6.4 μ s]	$2^{13}/f_x$ (0.82 ms) [1.64 ms]	$2^5/f_x$ (3.2 μ s) [6.4 μ s]
$2^7/f_x$ (12.8 μ s) [25.6 μ s]	$2^{15}/f_x$ (3.27 ms) [6.55 ms]	$2^7/f_x$ (12.8 μ s) [25.6 μ s]
$1/f_{XT}$ (30.5 μ s) [30.5 μ s]	$2^9/f_{XT}$ (7.81 ms) [7.81 ms]	$1/f_{XT}$ (30.5 μ s) [30.5 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

- f_{XT} : サブシステム・クロック発振周波数
- () 内は, $f_x = 10.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時 (拡張規格品のみ)
- [] 内は, $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9 - 4 8ビット・タイマ/イベント・カウンタ80の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$1/f_x$ (100 ns) [200 ns]	$2^8/f_x$ (25.6 μ s) [51.2 μ s]	$1/f_x$ (100 ns) [200 ns]
$2^3/f_x$ (0.8 μ s) [1.6 μ s]	$2^{11}/f_x$ (204.8 μ s) [409.6 μ s]	$2^3/f_x$ (0.8 μ s) [1.6 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10.0$ MHz動作時 (拡張規格品のみ)

3. [] 内は, $f_x = 5.0$ MHz動作時

表9 - 5 8ビット・タイマ/イベント・カウンタ81の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$2^4/f_x$ (1.6 μ s) [3.2 μ s]	$2^{12}/f_x$ (409.6 μ s) [819.2 μ s]	$2^4/f_x$ (1.6 μ s) [3.2 μ s]
$2^8/f_x$ (25.6 μ s) [51.2 μ s]	$2^{16}/f_x$ (6.55 ms) [13.1 ms]	$2^8/f_x$ (25.6 μ s) [51.2 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10.0$ MHz動作時 (拡張規格品のみ)

3. [] 内は, $f_x = 5.0$ MHz動作時

表9 - 6 8ビット・タイマ82の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$2^5/f_x$ (3.2 μ s) [6.4 μ s]	$2^{13}/f_x$ (819 μ s) [1.64 ms]	$2^5/f_x$ (3.2 μ s) [6.4 μ s]
$2^7/f_x$ (12.8 μ s) [25.6 μ s]	$2^{15}/f_x$ (3.27 ms) [6.55 ms]	$2^7/f_x$ (12.8 μ s) [25.6 μ s]
$1/f_{XT}$ (30.5 μ s) [30.5 μ s]	$2^8/f_{XT}$ (7.81 ms) [7.81 ms]	$1/f_{XT}$ (30.5 μ s) [30.5 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は, $f_x = 10.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時 (拡張規格品のみ)

4. [] 内は, $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

(4) PWM出力

8ビット分解能のPWM出力ができます。

9.2 8ビット・タイマ/イベント・カウンタ80-82の構成

8ビット・タイマ/イベント・カウンタ80-82は、次のハードウェアで構成しています。

表9 - 7 8ビット・タイマ/イベント・カウンタ80-82の構成

項 目	構 成
タイマ・カウンタ	8ビット×3本 (TM80-TM82)
レジスタ	コンペア・レジスタ : 8ビット×3本 (CR80-CR82)
タイマ出力	3本 (TO80-TO82)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ80-82 (TMC80-TMC82) ポート・モード・レジスタ2, 3 (PM2, PM3)

図9 - 1 8ビット・タイマ/イベント・カウンタ80のブロック図

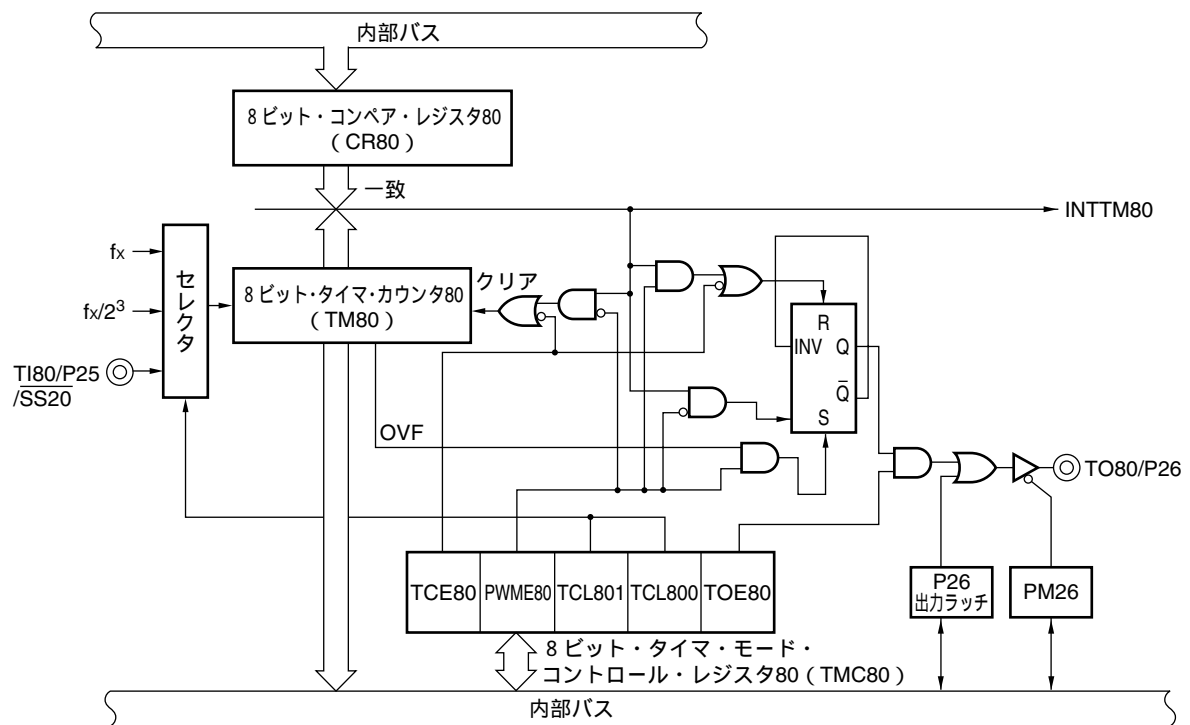


図9 - 2 8ビット・タイマ/イベント・カウンタ81のブロック図

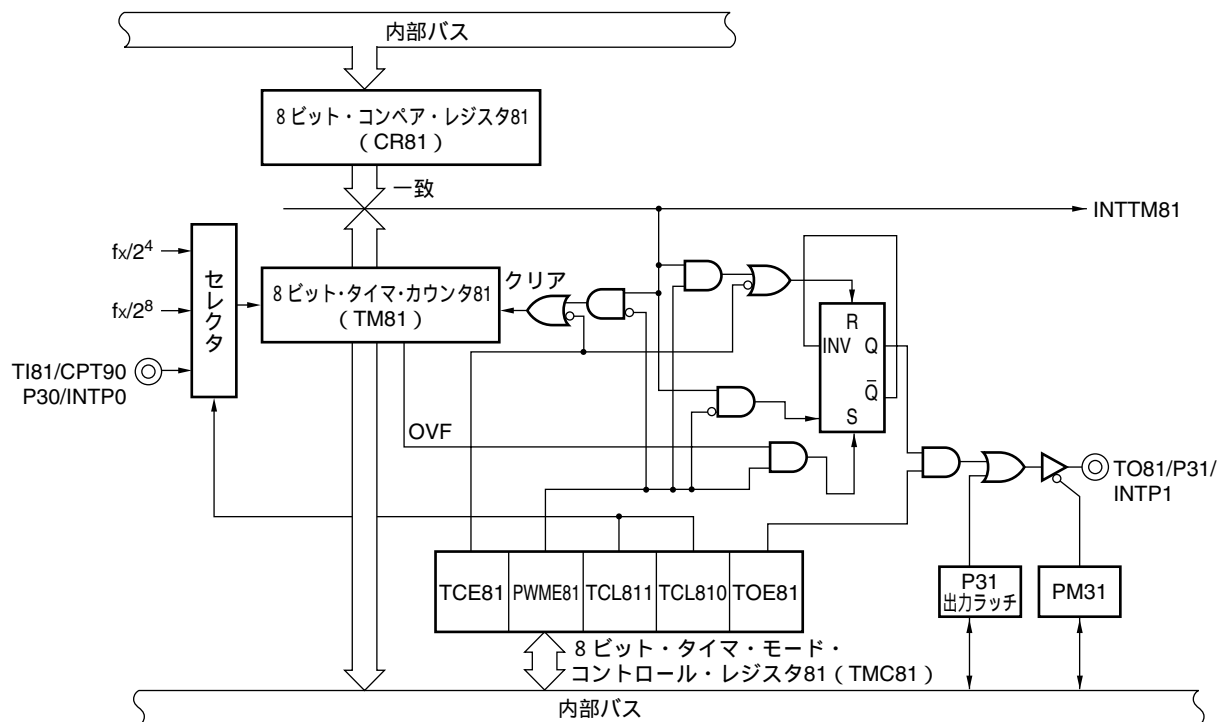
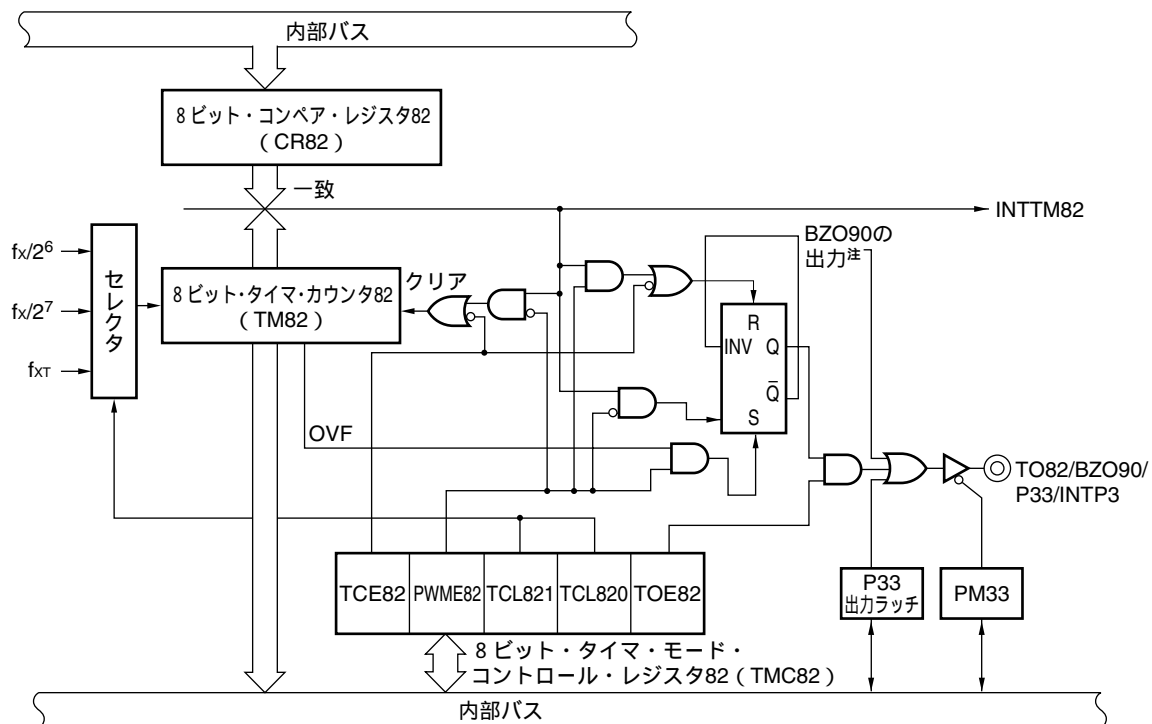


図9 - 3 8ビット・タイマ82のブロック図



注 図8 - 1 16ビット・タイマ90のブロック図参照

(1) 8ビット・コンペア・レジスタ8n (CR8n)

CR8nに設定した値と8ビット・タイマ・カウンタ8n (TM8n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM8n) を発生する8ビットのレジスタです。

CR8nは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、それぞれ不定になります。

注意1. CR8nを書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

2. PWM出力モード時 (PWME8n = 1 : 8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット6) では、CR8nに00Hを設定しないでください。PWMが正常に出力されないことがあります。

備考 n = 0-2

(2) 8ビット・タイマ・カウンタ8n (TM8n)

カウント・パルスをカウントする8ビットのレジスタです。

TM8nは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

備考 n = 0-2

9.3 8ビット・タイマ/イベント・カウンタ80-82を制御するレジスタ

8ビット・タイマ/イベント・カウンタは、次の2種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ80, 81, 82 (TMC80, TMC81, TMC82)
- ・ポート・モード・レジスタ2, 3 (PM2, PM3)

(1) 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

8ビット・タイマ・カウンタ80 (TM80) の動作許可/停止, TM80のカウント・クロックの設定, および8ビット・タイマ/イベント・カウンタ80の出力制御回路の動作を制御するレジスタです。

TMC80は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9 - 4 8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
TMC80	TCE80	PWME80	0	0	0	TCL801	TCL800	TOE80	FF53H	00H	R/W
0											

TCE80	TM80の動作の制御
0	動作停止 (TM80は00Hにクリア)
1	動作許可

PWME80	PWM出力の選択
0	タイマ・カウンタ動作モード
1	PWM出力動作モード

TCL801	TCL800	8ビット・タイマ・カウンタ80のカウント・クロックの選択		
		fx = 10.0 MHz ^注 動作時		fx = 5.0 MHz動作時
0	0	fx	10.0 MHz	5.0 MHz
0	1	fx/2 ³	1.25 MHz	625 kHz
1	0	TI80の立ち上がりエッジ		
1	1	TI80の立ち下がりエッジ		

TOE80	8ビット・タイマ/イベント・カウンタ80の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注 拡張規格品のみ

注意1. TMC80の設定は、必ずタイマ動作を停止させたのちに行ってください。

2. PWMモードで使用する場合は、割り込みマスク・フラグ (TMMK80) をセットしてください。

備考 fx: メイン・システム・クロック発振周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81)

8ビット・タイマ・カウンタ81 (TM81) の動作許可/停止, TM81のカウント・クロックの設定, および8ビット・タイマ/イベント・カウンタ81の出力制御回路の動作を制御するレジスタです。

TMC81は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図9 - 5 8ビット・タイマ・モード・コントロール・レジスタ81のフォーマット

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
TMC81	TCE81	PWME81	0	0	0	TCL811	TCL810	TOE81	FF57H	00H	R/W
1											

TCE81	TM81の動作の制御
0	動作停止 (TM81は00Hにクリア)
1	動作許可

PWME81	PWM出力の選択
0	タイマ・カウンタ動作モード
1	PWM出力動作モード

TCL811	TCL810	8ビット・タイマ・カウンタ81のカウント・クロックの選択		
		$f_x = 10.0 \text{ MHz}$ ^注 動作時		$f_x = 5.0 \text{ MHz}$ 動作時
0	0	$f_x/2^4$	625 kHz	312 kHz
0	1	$f_x/2^8$	39.1 kHz	19.5 kHz
1	0	TI81の立ち上がりエッジ		
1	1	TI81の立ち下がりエッジ		

TOE81	8ビット・タイマ/イベント・カウンタ81の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注 拡張規格品のみ

注意1. TMC81の設定は, 必ずタイマ動作を停止させたのちに行ってください。

2. PWMモードで使用する場合は, 割り込みマスク・フラグ (TMMK81) をセットしてください。

備考 f_x : メイン・システム・クロック発振周波数

(3) 8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82)

8ビット・タイマ・カウンタ82 (TM82) の動作許可 / 停止, TM82のカウント・クロックの設定, および8ビット・タイマ82の出力制御回路の動作を制御するレジスタです。

TMC82は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図9 - 6 8ビット・タイマ・モード・コントロール・レジスタ82のフォーマット

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
TMC82	TCE82	PWME82	0	0	0	TCL821	TCL820	TOE82	FF5BH	00H	R/W
2											

TCE82	TM82の動作の制御
0	動作停止 (TM82は00Hにクリア)
1	動作許可

PWME82	PWM出力の選択
0	タイマ・カウンタ動作モード
1	PWM出力動作モード

TCL821	TCL820	8ビット・タイマ・カウンタ82のカウント・クロックの選択	
		$f_x = 10.0 \text{ MHz}$ ^{注1} または $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$f_x/2^5$	312 kHz
0	1	$f_x/2^7$	78.1 kHz
1	0	f_{XT}	32.768 kHz
1	1	設定禁止	

TOE82	8ビット・タイマ82の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可 ^{注2}

注1. 拡張規格品のみ

2. TOE82を1に設定したとき, BZOE90 (図8 - 3 ブザー出力コントロール・レジスタ90のフォーマット参照) には必ず0を設定してください。

注意1. TMC82の設定は, 必ずタイマ動作を停止させたのちに行ってください。

2. PWMモードで使用する場合は, 割り込みマスク・フラグ (TMMK82) をセットしてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

(4) ポート・モード・レジスタ2, 3 (PM2, PM3)

ポート2, ポート3の入力/出力を1ビット単位で設定するレジスタです。

P26/TO80端子をタイマ出力として使用するとき, PM26およびP26の出力ラッチに0を設定してください。

P31/TO81/INTP1端子をタイマ出力として使用するとき, PM31およびP31の出力ラッチに0を設定してください。

P33/INTP3/TO82/BZO90端子をタイマ出力として使用するとき, PM33およびP33の出力ラッチに0を設定してください。

PM2, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図9-7 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM26	P26端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図9-8 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM31	P31端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

PM33	P33端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマ/イベント・カウンタ80-82の動作

9.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ8n (CR8n) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタ80-82をインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCE8n (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタ80-82のカウント・クロックを設定 (表9 - 8 ~ 表9 - 10参照)
CR8nにカウント値を設定

TM8nを動作許可 (TCE8n = 1) に設定

8ビット・タイマ・カウンタ8n (TM8n) のカウント値がCR8nに設定した値と一致したとき、TM8nの値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM8n) を発生します。

表9 - 8から表9 - 10にインターバル時間を、図9 - 9にインターバル・タイマ動作のタイミングを示します。

- 注意1. CR8nを書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
2. TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で設定してください。

備考 n = 0-2

表9 - 8 8ビット・タイマ/イベント・カウンタ80のインターバル時間

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$1/f_x$ (100 ns) [200 ns]	$2^8/f_x$ (25.6 μ s) [51.2 μ s]	$1/f_x$ (100 ns) [200 ns]
0	1	$2^3/f_x$ (0.8 μ s) [1.6 μ s]	$2^{11}/f_x$ (204.8 μ s) [409.6 μ s]	$2^3/f_x$ (0.8 μ s) [1.6 μ s]
1	0	TI80入力周期	$2^8 \times$ TI80入力周期	TI80入力エッジ周期
1	1	TI80入力周期	$2^8 \times$ TI80入力周期	TI80入力エッジ周期

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10.0$ MHz動作時 (拡張規格品のみ)
3. [] 内は、 $f_x = 5.0$ MHz動作時

表9-9 8ビット・タイマ/イベント・カウンタ81のインターバル時間

TCL811	TCL810	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^4/f_x$ (1.6 μ s) [3.2 μ s]	$2^{12}/f_x$ (409.6 μ s) [819.2 μ s]	$2^4/f_x$ (1.6 μ s) [3.2 μ s]
0	1	$2^8/f_x$ (25.6 μ s) [51.2 μ s]	$2^{16}/f_x$ (6.55 ms) [13.1 ms]	$2^8/f_x$ (25.6 μ s) [51.2 μ s]
1	0	TI81入力周期	$2^8 \times$ TI81入力周期	TI81入力エッジ周期
1	1	TI81入力周期	$2^8 \times$ TI81入力周期	TI81入力エッジ周期

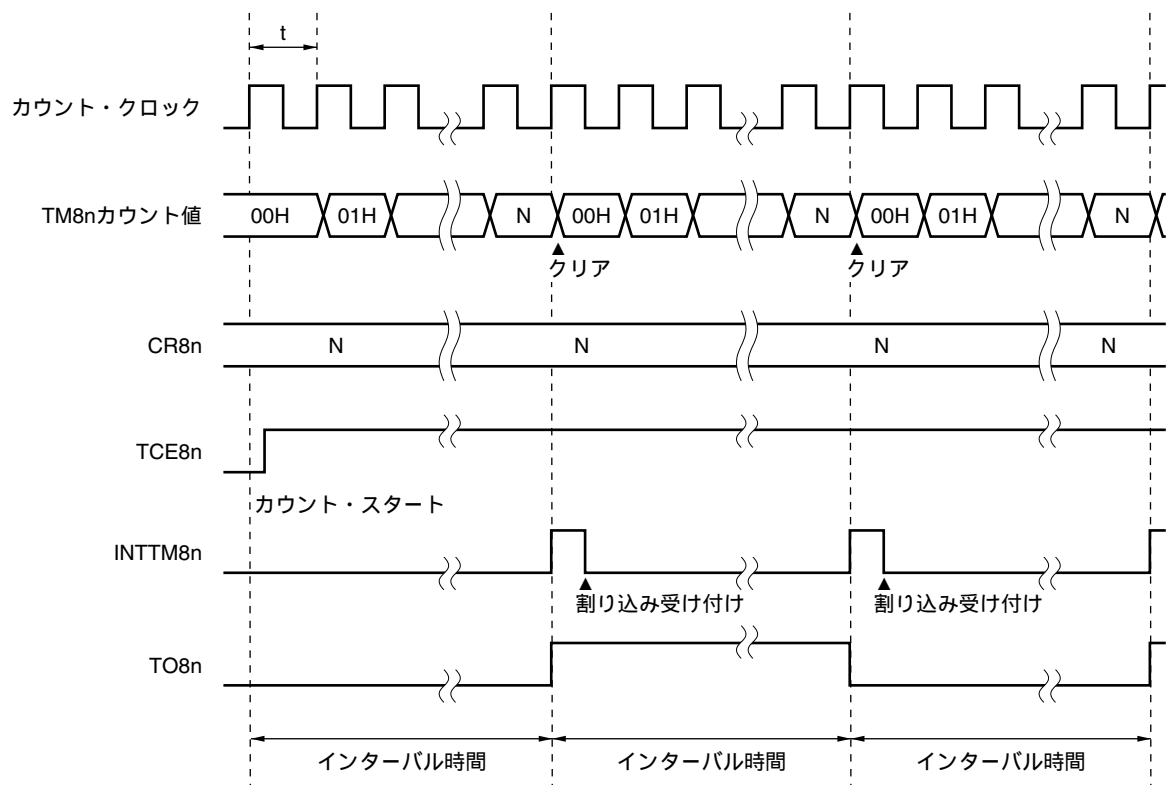
備考1. f_x : メイン・システム・クロック発振周波数2. () 内は, $f_x = 10.0$ MHz動作時 (拡張規格品のみ)3. [] 内は, $f_x = 5.0$ MHz動作時

表9-10 8ビット・タイマ82のインターバル時間

TCL821	TCL820	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^5/f_x$ (3.2 μ s) [6.4 μ s]	$2^{13}/f_x$ (819 μ s) [1.64 ms]	$2^5/f_x$ (3.2 μ s) [6.4 μ s]
0	1	$2^7/f_x$ (12.8 μ s) [25.6 μ s]	$2^{15}/f_x$ (3.27 ms) [6.55 ms]	$2^7/f_x$ (12.8 μ s) [25.6 μ s]
1	0	$1/f_{XT}$ (30.5 μ s) [30.5 μ s]	$2^8/f_{XT}$ (7.81 ms) [7.81 ms]	$1/f_{XT}$ (30.5 μ s) [30.5 μ s]
1	1	設定禁止		

備考1. f_x : メイン・システム・クロック発振周波数2. f_{XT} : サブシステム・クロック発振周波数3. () 内は, $f_x = 10.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時 (拡張規格品のみ)4. [] 内は, $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

図9-9 インターバル・タイマ動作のタイミング

備考1. インターバル時間 = $(N + 1) \times t$; $N = 00H-FFH$ 2. $n = 0-2$

9.4.2 外部イベント・カウンタとしての動作^注

外部イベント・カウンタは、TI80/P25/SS20端子またはTI81/P30/INTP0/CPT90端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ80, 81 (TM80, TM81) でカウントするものです。

8ビット・タイマ/イベント・カウンタ8nを外部イベント・カウンタとして動作させるには次の設定をします。

- P25, P30を入力モード (PM25 = 1, PM30 = 1) に設定
- 8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCE8n (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) に設定
- TI8nの立ち上がり / 立ち下がりエッジを指定 (図9 - 4, 9 - 5参照)
- CR8nにカウント値を設定
- TM8nを動作許可 (TCE8n = 1) に設定

注 TM80, TM81のみの機能です。

TMC8nのビット1 (TCL8n0) で指定した有効エッジが入力されるたびにTM8nがインクリメントされます。

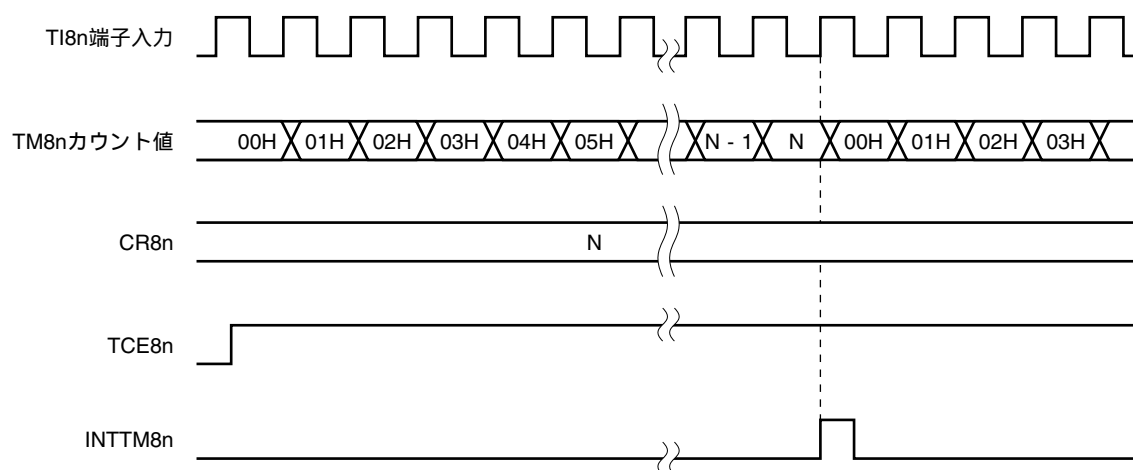
TM8nのカウント値がCR8nに設定した値と一致したとき、TM8nの値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM8n) を発生します。

図9 - 10に外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を示します。

- 注意1.** CR8nを書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
- 2** TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、外部イベント・カウンタとして動作させる際には、必ず上記の順序で設定してください。

備考 n = 0, 1

図9 - 10 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



備考1. N = 00H-FFH

2. n = 0, 1

9.4.3 方形波出力としての動作

8ビット・コンペア・レジスタ8n (CR8n) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ/イベント・カウンタ8nを方形波出力として動作させるには次の設定をします。

P26, P31, P33を出力モード (PM26 = 0, PM31 = 0, PM33 = 0) に設定

P26, P31, P33の出力ラッチに0を設定

8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCE8n (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 1) に設定

8ビット・タイマ/イベント・カウンタ8nのカウント・クロックを設定し、TO8nを出力許可 (TOE8n (TMC8nのビット0) = 1) に設定

CR8nにカウント値を設定

TM8nを動作許可 (TCE8n = 1) に設定

TM8nのカウント値がCR8nに設定した値と一致したとき、TO8n端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM8nの値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM8n) を発生します。

方形波出力は、TMC8nのビット7 (TCE8n) に0を設定するとクリア (0) されます。

表9 - 11から表9 - 13に方形波出力範囲を、図9 - 11に方形波出力のタイミングを示します。

- 注意1.** CR8nを書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
- 2.** TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で設定してください。

備考 n = 0-2

表9 - 11 8ビット・タイマ/イベント・カウンタ80の方形波出力範囲

TCL801	TCL800	最小パルス幅	最大パルス幅	分解能
0	0	$1/f_x$ (100 ns) [200 ns]	$2^8/f_x$ (25.6 μ s) [51.2 μ s]	$1/f_x$ (100 ns) [200 ns]
0	1	$2^3/f_x$ (0.8 μ s) [1.6 μ s]	$2^{11}/f_x$ (204.8 μ s) [409.6 μ s]	$2^3/f_x$ (0.8 μ s) [1.6 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10.0$ MHz動作時 (拡張規格品のみ)
3. [] 内は、 $f_x = 5.0$ MHz動作時

表9 - 12 8ビット・タイマ/イベント・カウンタ81の方形波出力範囲

TCL811	TCL810	最小パルス幅	最大パルス幅	分解能
0	0	$2^4/f_x$ (1.6 μ s) [3.2 μ s]	$2^{12}/f_x$ (409.6 μ s) [819.2 μ s]	$2^4/f_x$ (1.6 μ s) [3.2 μ s]
0	1	$2^8/f_x$ (25.6 μ s) [51.2 μ s]	$2^{16}/f_x$ (6.55 ms) [13.1 ms]	$2^8/f_x$ (25.6 μ s) [51.2 μ s]

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10.0$ MHz動作時 (拡張規格品のみ)
3. [] 内は、 $f_x = 5.0$ MHz動作時

表9 - 13 8ビット・タイマ82の方形波出力範囲

TCL821	TCL820	最小パルス幅	最大パルス幅	分解能
0	0	$2^5/f_x$ (3.2 μ s) [6.4 μ s]	$2^{13}/f_x$ (819 μ s) [1.64 ms]	$2^5/f_x$ (3.2 μ s) [6.4 μ s]
0	1	$2^7/f_x$ (12.8 μ s) [25.6 μ s]	$2^{15}/f_x$ (3.27 ms) [6.55 ms]	$2^7/f_x$ (12.8 μ s) [25.6 μ s]
1	0	$1/f_{XT}$ (30.5 μ s) [30.5 μ s]	$2^8/f_{XT}$ (7.81 ms) [7.81 ms]	$1/f_{XT}$ (30.5 μ s) [30.5 μ s]

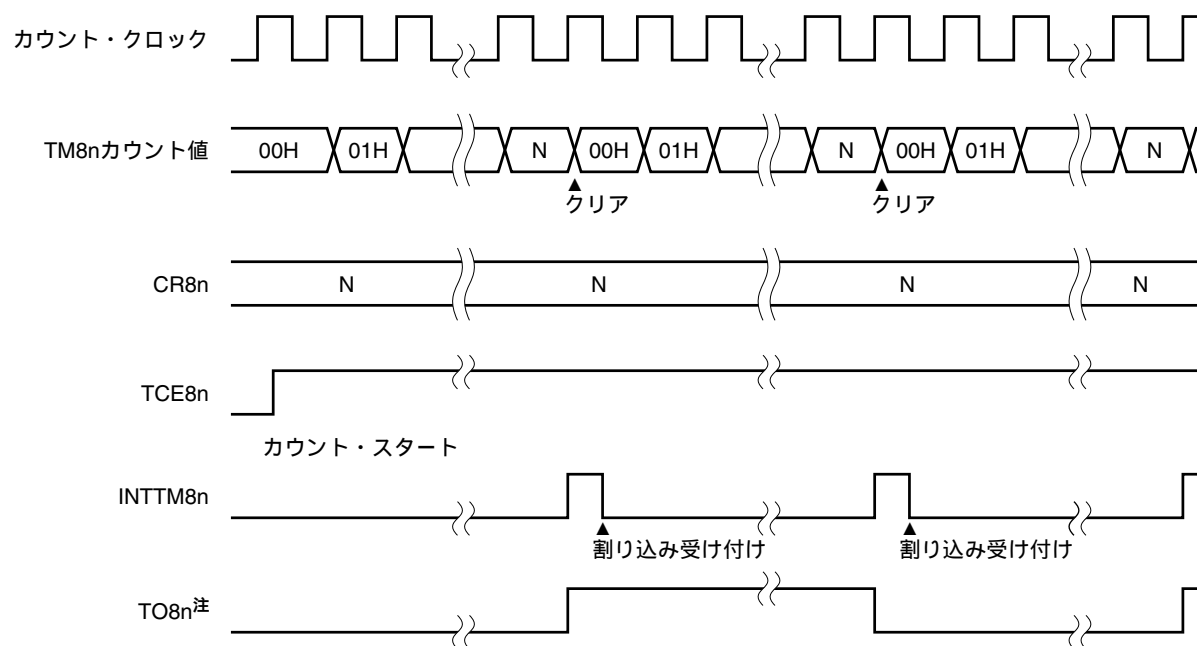
備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は, $f_x = 10.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時 (拡張規格品のみ)

4. [] 内は, $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

図9 - 11 方形波出力のタイミング



注 出力許可 (TOE8n = 1) 時のTO8nの初期値は, ロウ・レベルになります。

備考 n = 0-2

9.4.4 PWM出力としての動作

PWM出力は、あらかじめ8ビット・コンペア・レジスタ8n (CR8n) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタ8nをPWM出力として動作させるには次の設定をします。

P26, P31, P33を出力モード (PM26 = 0, PM31 = 0, PM33 = 0) に設定

P26, P31, P33の出力ラッチに0を設定

8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCE8n (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタ8nのカウント・クロックを設定し、TO8nを出力許可 (TOE8n (TMC8nのビット0) = 1) に設定、およびPWM出力モード (PWME8n = 1) に設定

CR8nにカウント値を設定

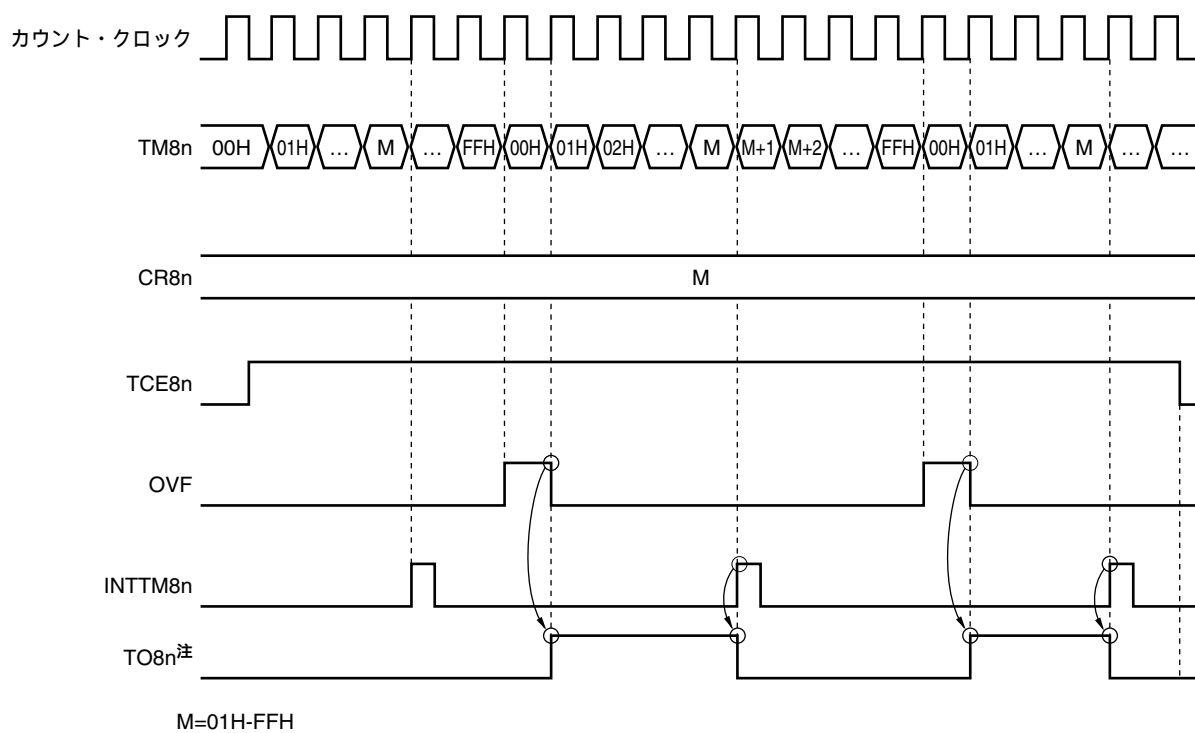
TM8nを動作許可 (TCE8n = 1) に設定

TM8nのカウント値がCR8nに設定した値と一致したとき、TM8nのカウントをそのまま継続するとともに、割り込み要求信号 (INTTM8n) を発生します。

- 注意1.** タイマ動作中にCR8nを書き換えた場合、次の1周期 (カウント・パルス × 256) の間はハイ・レベルが出力される可能性があります (詳細は9.5(4) PWM出力中のコンペア・レジスタの変更後の動作を参照してください)。
- 2.** TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、PWM出力として動作させる際には、必ず上記の順序で設定してください。

備考 n = 0-2

図9 - 12 PWM出力のタイミング



注 出力許可 (TOE8n = 1) 時のTO8nの初期値は、ロウ・レベルになります。

注意 CR8nに00Hを設定しないでください。PWMが正常に出力されないことがあります。

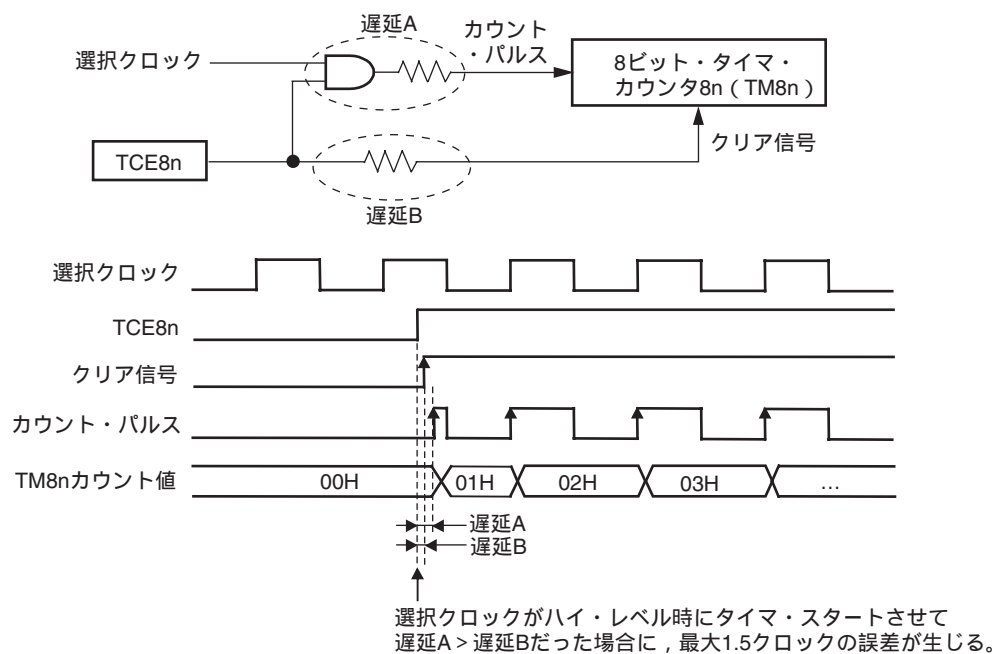
備考 n = 0-2

9.5 8ビット・タイマ/イベント・カウンタ80-82の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。これは、カウント・クロックがハイ・レベルのときにタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウンタがインクリメントされてしまうことがあるためです（図9 - 13参照）。

図9 - 13 1.5クロック（最大）の誤差が出るケース



備考 n = 0-2

(2) TI8n端子からの外部クロックを選択した場合のカウント値

カウント・クロックとしてTI8n端子からの外部入力の上立ち上がりエッジを選択した際に、TI8n端子がハイ・レベル期間中にタイマを動作許可 (TCE8n = 0→1) にすると、カウント値が01Hから始まることがあります。これはTI8n端子からの入力とTCE8n信号とが内部でAND回路になっているので、TCE8nをセットした直後に立ち上がりエッジがタイマに入り、カウンタがインクリメントされるためです。遅延のタイミングにより、立ち上がりエッジがカウンタ・クリアのあとで入力された場合はカウント値 + 1 となります。逆に、立ち上がりエッジがカウンタ・クリアの前に入力された場合は影響がありません(通常動作します)。

同様の理由で、カウント・クロックとしてTI8n端子からの外部入力の下立ちがりエッジを選択した際に、TI8n端子がロウ・レベル期間中にタイマを動作許可 (TCE8n = 0→1) にした場合も、カウント値が01Hから始まることがあります。

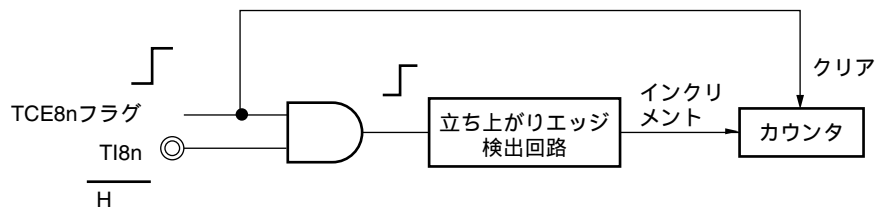
カウント値に1カウントの誤差があることを認識して使用するか、以下のA, Bどちらかの方法により対策を施してください。

<対策A> 立ち上がりエッジ選択時は、必ずTI8n端子がロウ・レベルのときにタイマ・スタートする。

立ち下がりエッジ選択時は、必ずTI8n端子がハイ・レベルのときにタイマ・スタートする。

<対策B> タイマ・スタート時のカウント値を制御レジスタに退避させておき、カウント値を読み出すときは制御レジスタに退避したカウント値とのSUBを取り、真のカウント値とする。

図9 - 14 TI8nがハイ・レベル時にタイマ・スタートした場合のカウント動作 (立ち上がりエッジ選択時)

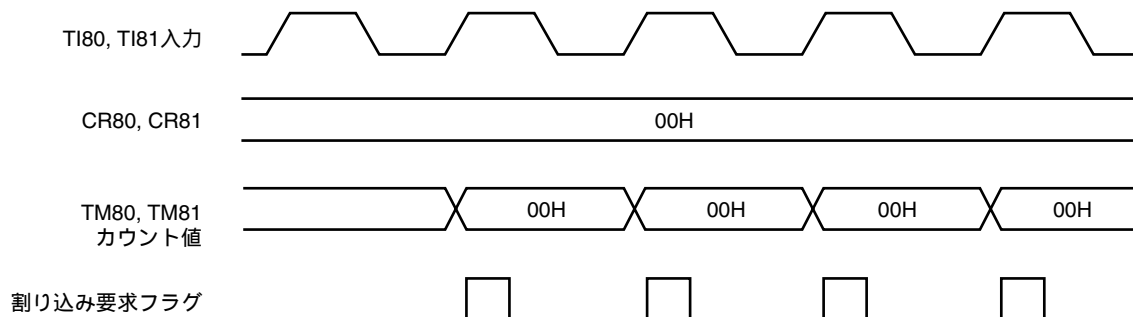


(3) 8ビット・コンペア・レジスタ8nの設定

8ビット・コンペア・レジスタ8n (CR8n) には, 00Hの設定が可能です。

したがって, イベント・カウンタとして使用時, 1パルスのカウント動作が可能です。

図9 - 15 外部イベント・カウンタとしての動作時のタイミング



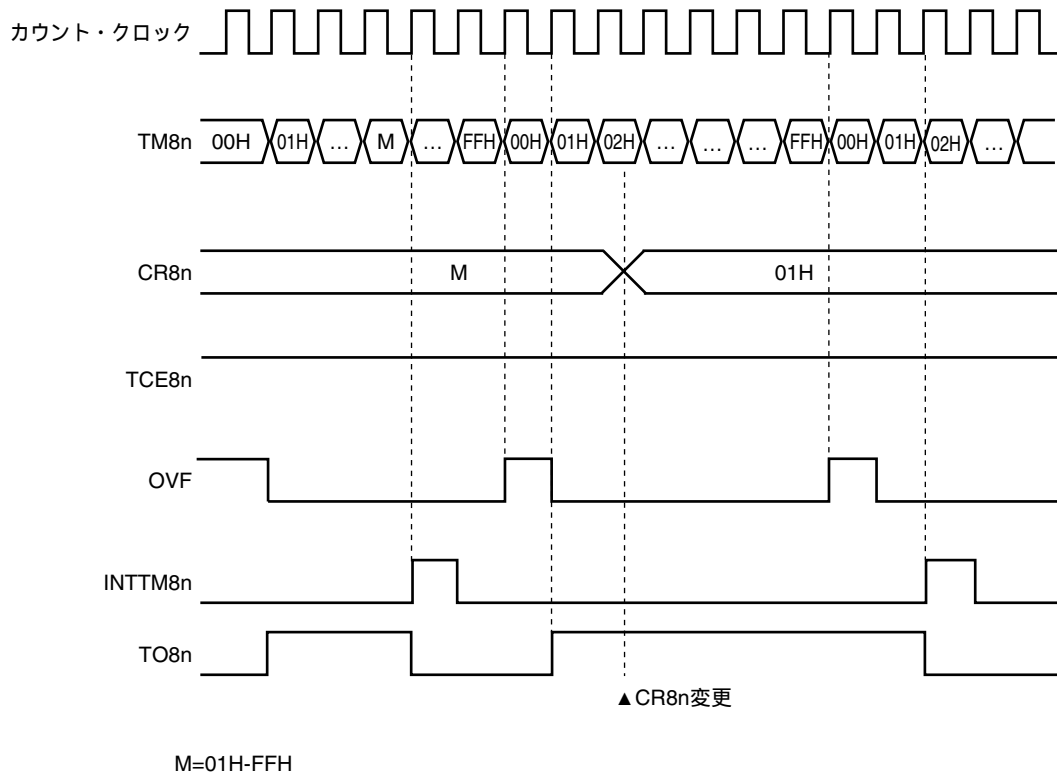
- 注意1.** タイマ・カウンタ動作モード (PWME8n (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) = 0) にCR8nを書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合, その時点で一致割り込み要求信号が発生する場合があります。
2. PWM動作モード時 (PWME8n = 1), タイマ動作中にCR8nを書き換えた場合, 書き換えた直後の1周期だけパルスが発生しない可能性があります。
3. PWM動作モード時では, CR8nに00Hを設定しないでください。PWMが正常に出力されないことがあります。

備考 n = 0-2

(4) PWM出力中のコンペア・レジスタの変更後の動作

PWM出力中に8ビット・コンペア・レジスタ8n (CR8n) を書き換えた場合、変更後の値が8ビット・タイマ・カウンタ8n (TM8n) の値より小さいとき、CR8nを書き換えた1周期 (カウント・パルス×256) の間はハイ・レベルが出力される場合があります。このときのタイミングを図9 - 16に示します。

図9 - 16 PWM出力中のコンペア・レジスタの変更後のタイミング



備考 n = 0-2

(5) STOPモード設定時の注意

STOP命令を実行する前には、必ずタイマ動作を停止 (TCE8n = 0) に設定してください。

第10章 時計用タイマ

10.1 時計用タイマの機能

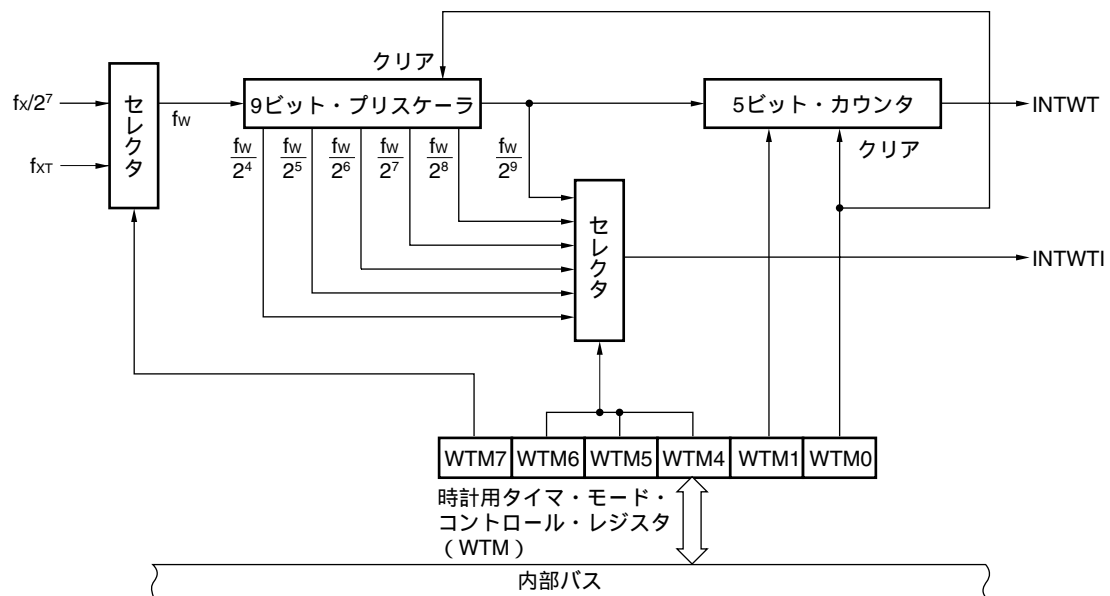
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図10 - 1に、時計用タイマのブロック図を示します。

図10 - 1 時計用タイマのブロック図



(1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求（INTWT）を発生します。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。
32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求（INTWT）を発生します。

表10 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	204 μs	409 μs	489 μs	488 μs
$2^5 \times 1/f_w$	409 μs	819 μs	978 μs	977 μs
$2^6 \times 1/f_w$	819 μs	1.64 ms	1.96 ms	1.95 ms
$2^7 \times 1/f_w$	1.64 ms	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	3.27 ms	6.55 ms	7.82 ms	7.81 ms
$2^9 \times 1/f_w$	6.55 ms	13.1 ms	15.6 ms	15.6 ms

注 拡張規格品のみ

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表10 - 2 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

10.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTM) があります。

・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図10 - 2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	時計用タイマのカウンタ・クロック (f_w) の選択		
		$f_x = 10.0 \text{ MHz}$ ^注 または $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	$f_x/2^7$	78.2 kHz	39.1 kHz
1	f_{XT}	32.768 kHz	

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$ (488 μs)
0	0	1	$2^5/f_w$ (977 μs)
0	1	0	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, タイマともにクリア)
1	動作許可

注 拡張規格品のみ

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

4. () 内は、 $f_w = 32.768 \text{ kHz}$ 動作時

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

メイン・システム・クロック (4.19 MHz) またはサブシステム・クロック (32.768 kHz) を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後の最初のオーバフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表10-3 インターバル・タイマのインターバル時間

WTM6	WTM5	WTM4	インターバル 時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	204 μs	409 μs	489 μs	488 μs
0	0	1	$2^5 \times 1/f_w$	409 μs	819 μs	978 μs	977 μs
0	1	0	$2^6 \times 1/f_w$	819 μs	1.64 ms	1.96 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	1.64 ms	3.28 ms	3.91 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	3.27 ms	6.55 ms	7.82 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	6.55 ms	13.1 ms	15.6 ms	15.6 ms
上記以外			設定禁止				

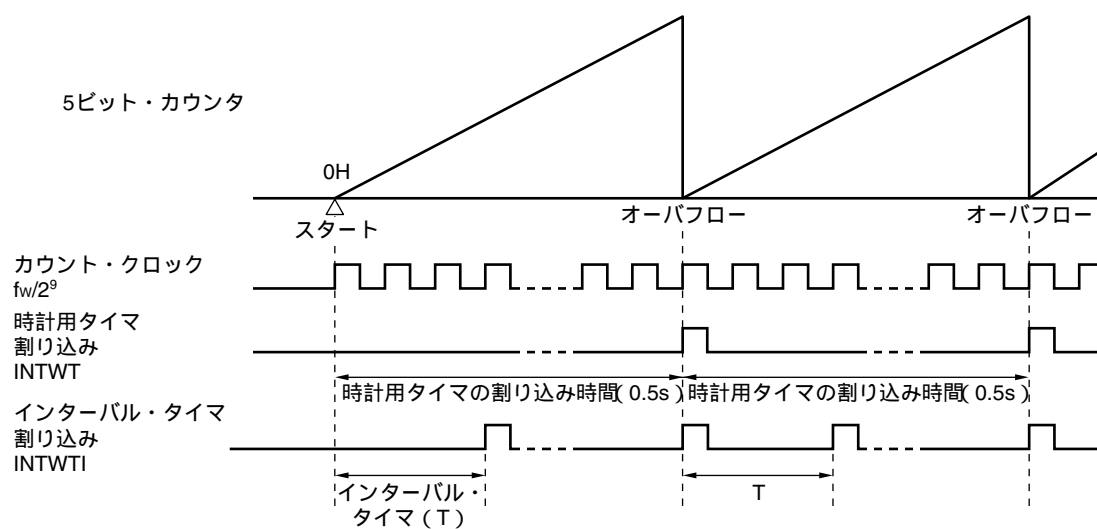
注 拡張規格品のみ

備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数

図10 - 3 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTM0 (WTMのビット0) = 1) したとき, 設定後の最初の割り込み要求 (INTWT) までの時間は, 正確に時計用タイマ割り込み時間 (0.5 s) にはなりません。これは5ビット・カウンタのカウント開始が9ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

備考1. f_w : 時計用タイマ・クロック周波数

2. () 内は, $f_w = 32.768 \text{ kHz}$ 動作時

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表11-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	205 μs	410 μs
$2^{13} \times 1/f_x$	819 μs	1.64 ms
$2^{15} \times 1/f_x$	3.27 ms	6.55 ms
$2^{17} \times 1/f_x$	13.1 ms	26.2 ms

注 拡張規格品のみ

備考 f_x : メイン・システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表11-2 インターバル時間

インターバル時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	205 μs	410 μs
$2^{13} \times 1/f_x$	819 μs	1.64 ms
$2^{15} \times 1/f_x$	3.27 ms	6.55 ms
$2^{17} \times 1/f_x$	13.1 ms	26.2 ms

注 拡張規格品のみ

備考 f_x : メイン・システム・クロック発振周波数

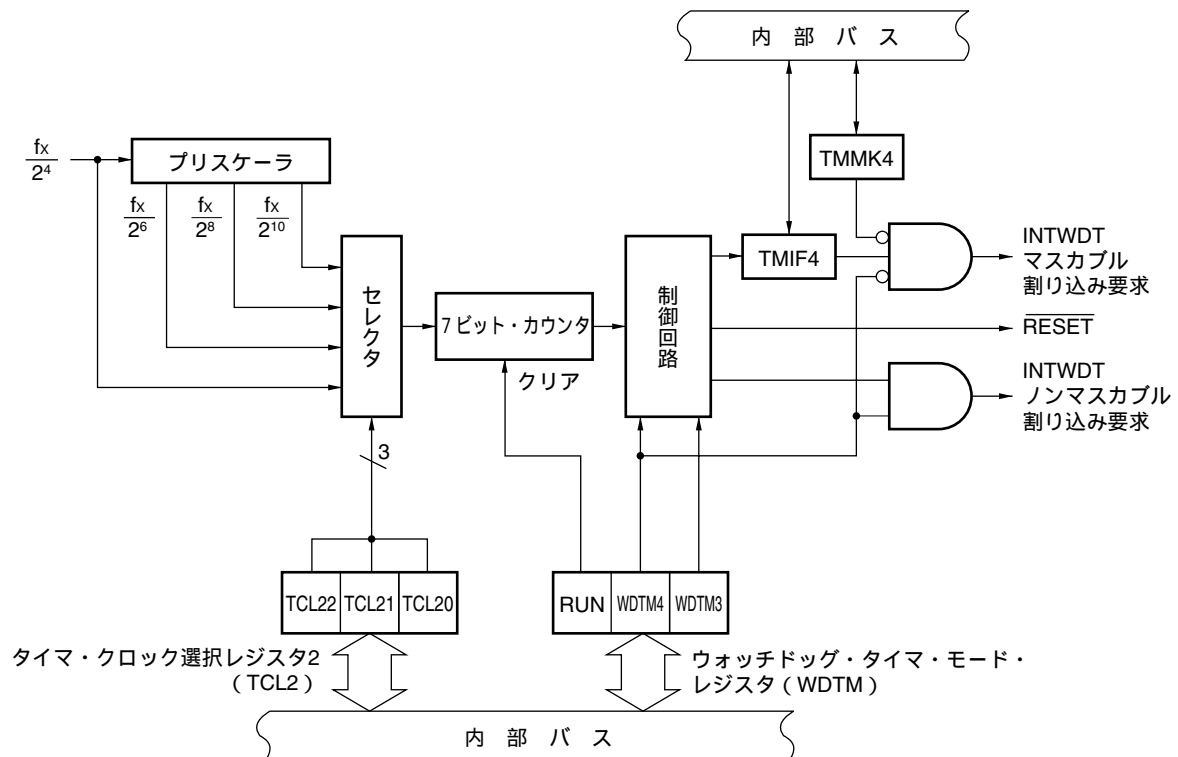
11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表11-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図11-1 ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11 - 2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択			インターバル時間		
				$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時		$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	0	$f_x/2^4$	625.0 kHz	312.5 kHz	$2^{11}/f_x$	205 μs	410 μs
0	1	0	$f_x/2^5$	156.2 kHz	78.1 kHz	$2^{13}/f_x$	819 μs	1.64 ms
1	0	0	$f_x/2^8$	39.0 kHz	19.5 kHz	$2^{15}/f_x$	3.27 ms	6.55 ms
1	1	0	$f_x/2^{10}$	9.76 kHz	4.88 kHz	$2^{17}/f_x$	13.1 ms	26.2 ms
上記以外			設定禁止					

注 拡張規格品のみ

備考 f_x : メイン・システム・クロック発振周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可／禁止を設定するレジスタです。

WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図11-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード（オーバフロー発生時，マスカブル割り込み発生） ^{注3}
1	0	ウォッチドッグ・タイマ・モード1（オーバフロー発生時，ノンマスカブル割り込み発生）
1	1	ウォッチドッグ・タイマ・モード2（オーバフロー発生時，リセット動作を起動）

注1. RUNは，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，タイマ・クロック選択レジスタ2（TCL2）で設定した時間より最大0.8%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，TMIF4（割り込み要求フラグ・レジスタ0（IF0）のビット0）が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態で，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1. 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。したがって、このときメイン・システム・クロックが発振していてもウォッチドッグ・タイマの動作は停止します。

表11-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	0	$2^{11} \times 1/f_x$	205 μs	410 μs
0	1	0	$2^{13} \times 1/f_x$	819 μs	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	3.27 ms	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	13.1 ms	26.2 ms

注 拡張規格品のみ

備考 f_x : メイン・システム・クロック発振周波数

11. 4. 2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなるときがあります。

表11 - 5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	$f_x = 10.0 \text{ MHz}$ 時 ^注	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	205 μs	410 μs
0	1	0	$2^{13} \times 1/f_x$	819 μs	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	3.27 ms	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	13.1 ms	26.2 ms

注 拡張規格品のみ

備考 f_x : メイン・システム・クロック発振周波数

第12章 8ビットA/Dコンバータ

(μ PD789167, 789167Yサブシリーズ)

12.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD0）を発生します。

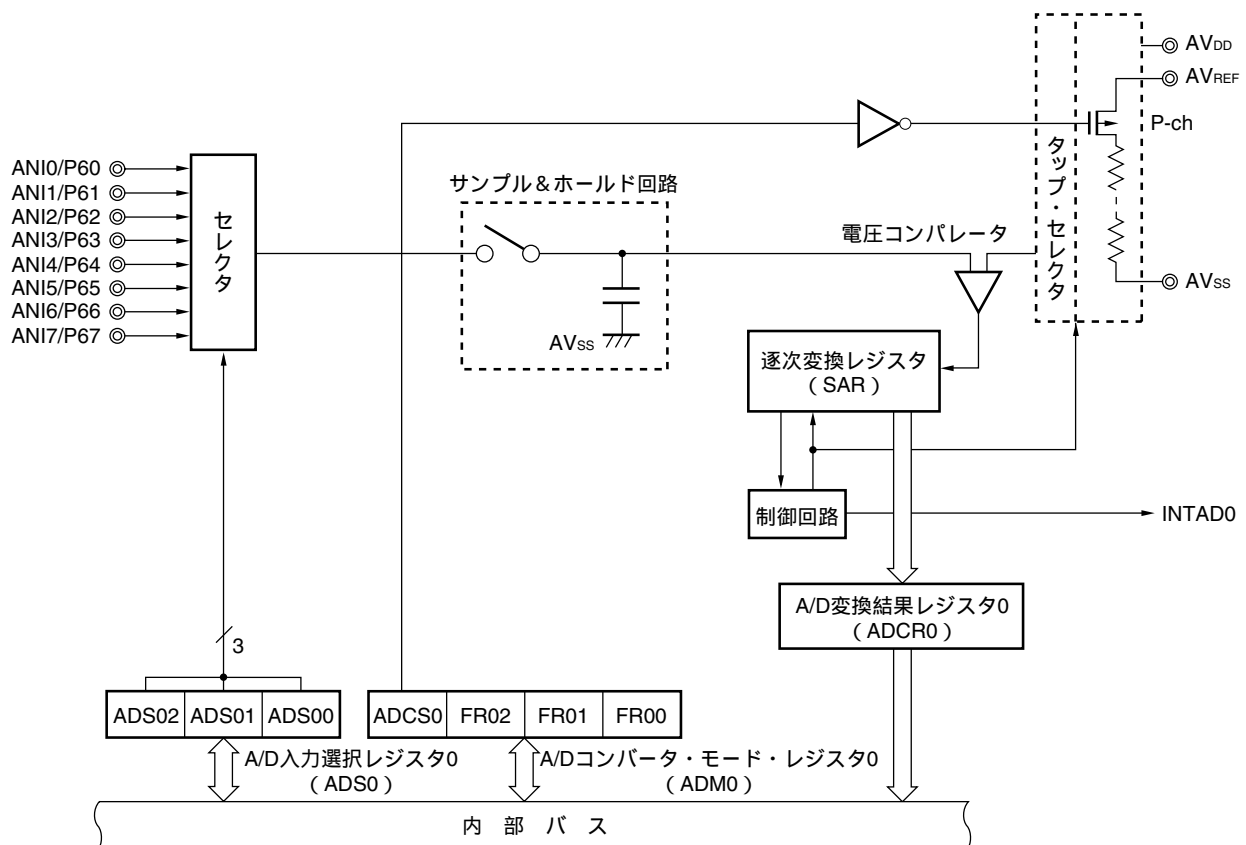
12.2 8ビットA/Dコンバータの構成

8ビットA/Dコンバータは、次のハードウェアで構成しています。

表12 - 1 8ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル（ANI0-ANI7）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0（ADCR0）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADM0） A/D入力選択レジスタ0（ADS0）

図12 - 1 8ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/Dの変換結果を保持する8ビットのレジスタです。

ADCR0は、8ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングはAVREF-AVSS間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの7チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上, AV_{SS} 以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{REF} 端子

A/Dコンバータの基準電圧端子です。

AV_{REF} - AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

(8) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子と同電位で使用してください。

(9) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD0} 端子と同電位で使用してください。

12.3 8ビットA/Dコンバータを制御するレジスタ

8ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・A/D入力選択レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
ADM0	ADCS0	0		FR02		FR01		FR00		0		0		0	FF80H	00 H	R/W

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}		
			f _x = 10.0 MHz動作時 ^{注2}		f _x = 5.0 MHz動作時
0	0	0	144/f _x	14.4 μs	28.8 μs
0	0	1	120/f _x	12.0 μs	24.0 μs
0	1	0	96/f _x	設定禁止 ^{注3}	19.2 μs
1	0	0	72/f _x	設定禁止 ^{注3}	14.4 μs
1	0	1	60/f _x	設定禁止 ^{注3}	12.0 μs ^{注4}
1	1	0	48/f _x	設定禁止 ^{注3}	
上記以外			設定禁止		

注1. A/D変換時間が以下の規格を満たすように設定してください。

< 拡張規格品の場合 >

4.5 AV_{REF} AV_{DD} = V_{DD} 5.5 V時.....12 μs以上

2.7 AV_{REF} AV_{DD} = V_{DD} < 4.5 V時.....14 μs以上

1.8 AV_{REF} AV_{DD} = V_{DD} < 2.7 V時.....28 μs以上

< 従来規格品の場合 >

2.7 AV_{REF} AV_{DD} = V_{DD} 5.5 V時.....14 μs以上

1.8 AV_{REF} AV_{DD} = V_{DD} < 2.7 V時.....28 μs以上

2. 拡張規格品のみ

3. この条件のf_xでは、A/D変換時間が注1の規格を満たせないので、設定禁止です。

4. 拡張規格品で4.5 AV_{REF} AV_{DD} = V_{DD} 5.5 V時のみ設定可能です。他の条件下では設定禁止となります。

注意1. ビット7 (ADCS0) をセット直後の変換結果は不定になります。

2. ADCS0のクリア後の変換結果が不定になることがあります (詳しくは、12.5 (5) A/D変換結果が不定になるタイミングを参照)。

備考 fx : メイン・システム・クロック発振周波数

(2) A/D入力選択レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 3 A/D入力選択レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF84H	00H	R/W

ADS02	ADS01	ADS00	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意 ビット3-7には、必ず0を設定してください。

12.4 8ビットA/Dコンバータの動作

12.4.1 8ビットA/Dコンバータの基本動作

A/D変換するチャンネルをA/D入力選択レジスタ0 (ADS0) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) AV_{REF}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力が $(1/2) AV_{REF}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{REF}$ よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ ビット7 = 1 : $(3/4) AV_{REF}$
- ・ ビット7 = 0 : $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

- ・ アナログ入力電圧 電圧タップ : ビット6 = 1
- ・ アナログ入力電圧 < 電圧タップ : ビット6 = 0

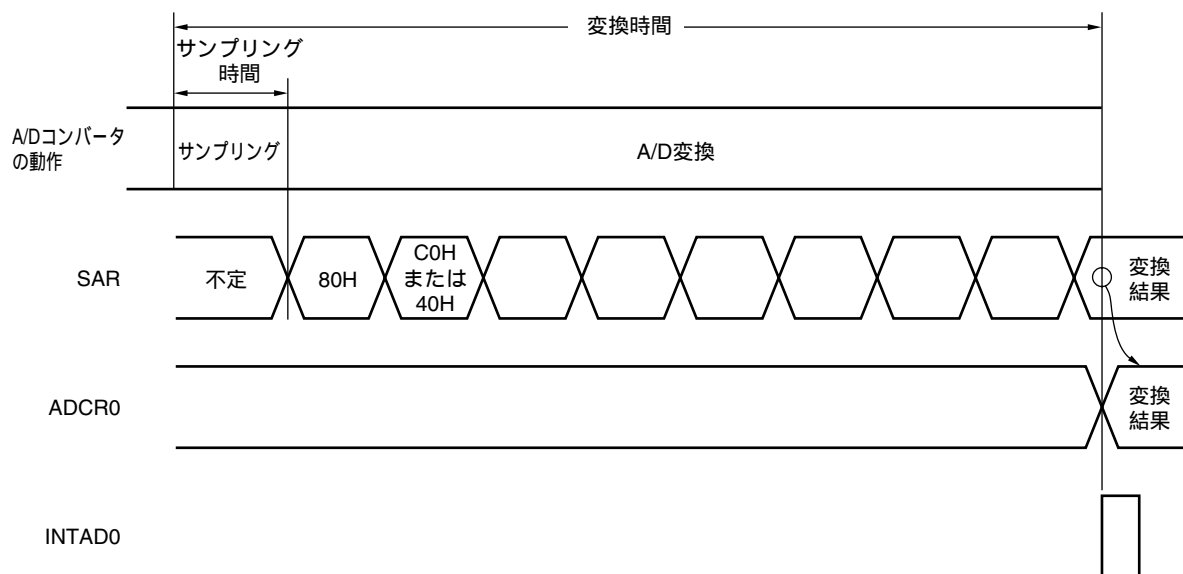
このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

- 注意1.** A/D変換結果動作をスタートした直後の最初のA/D変換値は不定になることがあります。
- 2.** スタンバイ・モード時、A/Dコンバータは動作停止となります。

図12 - 4 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0, A/D入力選択レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

12. 4. 2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{V_{\text{REF}}} \times 256 + 0.5 \right)$$

または、

$$(\text{ADCR0} - 0.5) \times \frac{V_{\text{REF}}}{256} < V_{\text{IN}} < (\text{ADCR0} + 0.5) \times \frac{V_{\text{REF}}}{256}$$

INT () : () 内の値の整数部を返す関数

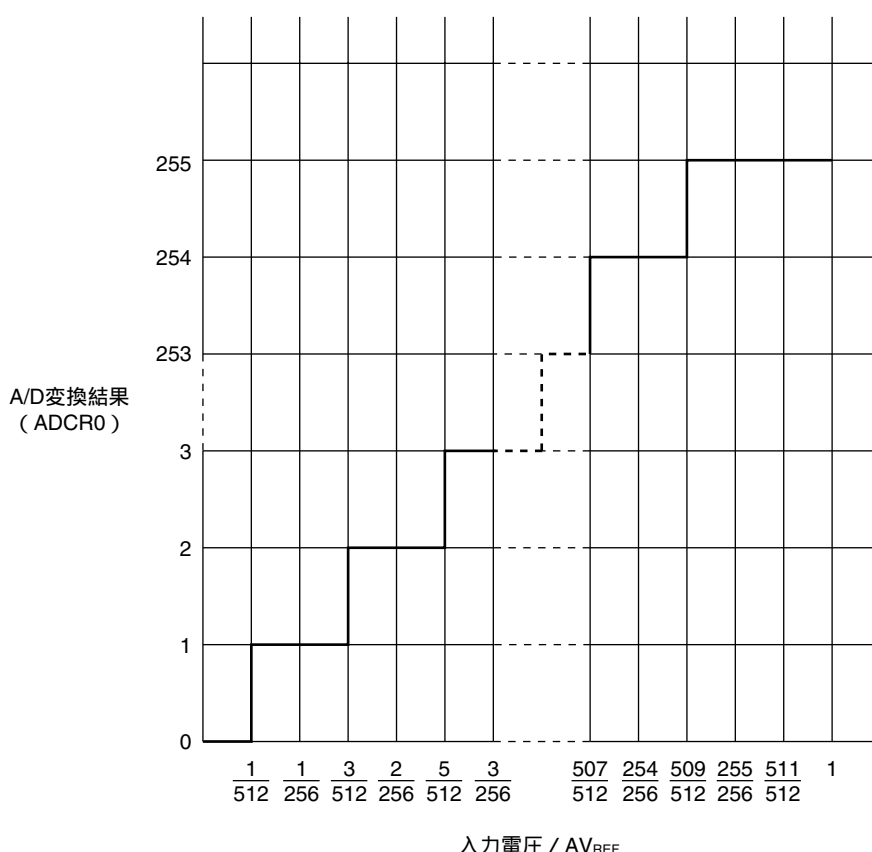
V_{IN} : アナログ入力電圧

V_{REF} : V_{REF} 端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図12 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 5 アナログ入力電圧とA/D変換結果の関係



12. 4. 3 8ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。A/D入力選択レジスタ0 (ADS0) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

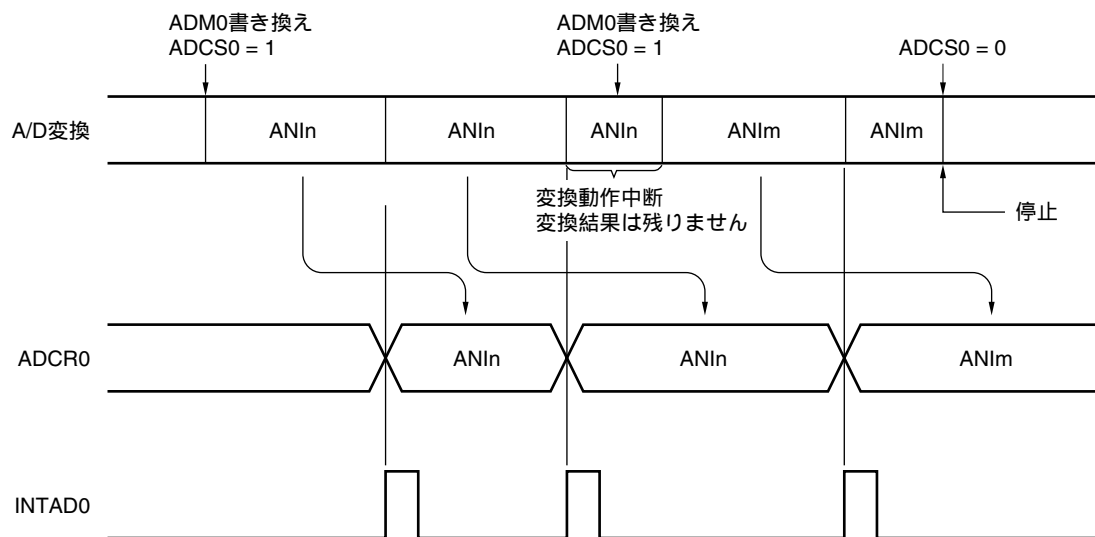
・ソフトウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、A/D入力選択レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図12 - 6 ソフトウェア・スタートによるA/D変換動作



- 備考1. $n = 0, 1, \dots, 7$
 2. $m = 0, 1, \dots, 7$

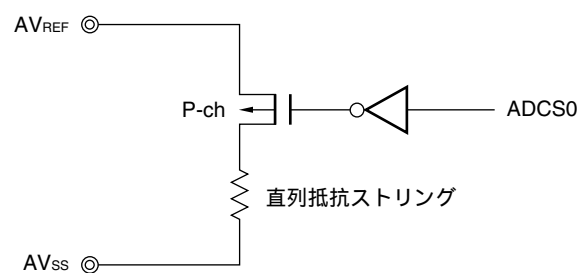
12.5 8ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0にすることにより、消費電流を低減できます。

スタンバイ・モード時の消費電流を低減させる方法例を図12 - 7に示します。

図12 - 7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAVREF以上, AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはA/D入力
選択レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、A/D変換終了
割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込
み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になるこ
とがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D
変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止し
てから行ってください。

変換結果を読み出すタイミングを図12 - 8、図12 - 9に示します。

図12 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

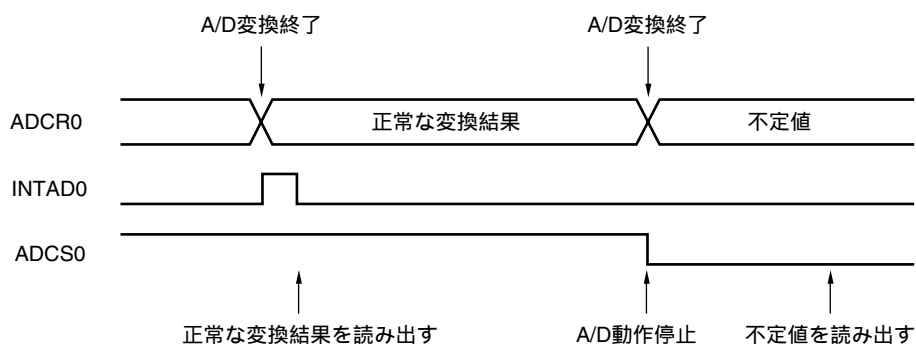
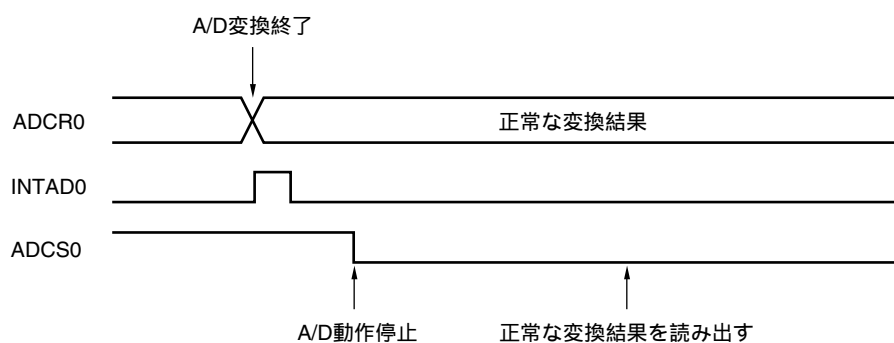


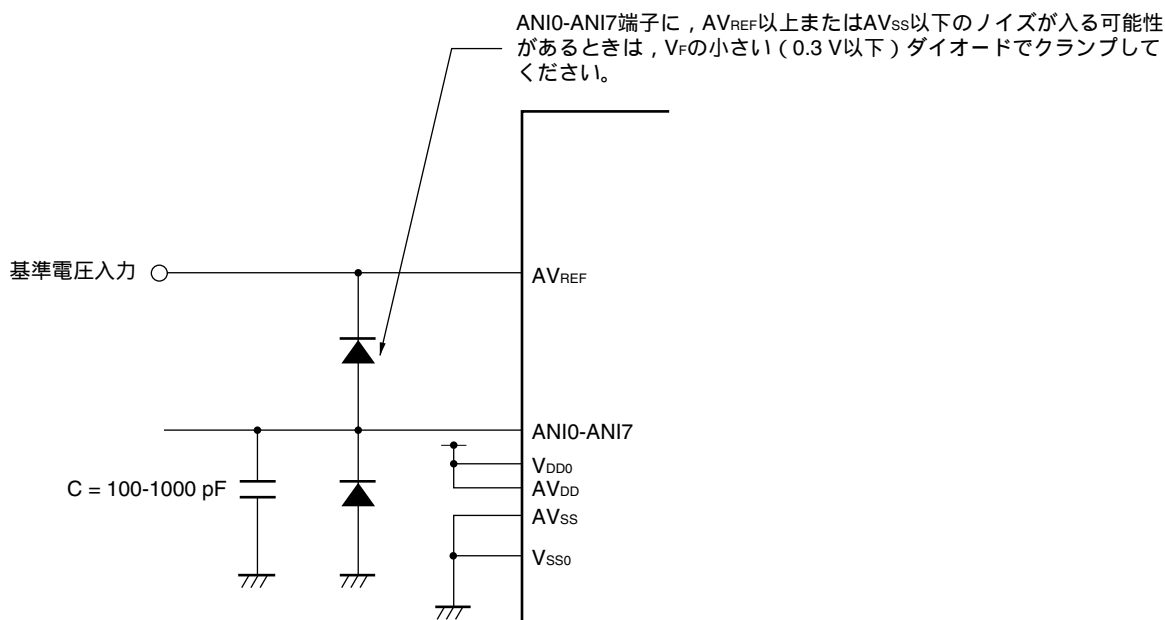
図12 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

8ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-10のようにCを外付けすることを推奨します。

図12-10 アナログ入力端子の処理



(7) ANI0-ANI7

アナログ入力（ANI0-ANI7）端子はポート端子（P60-P67）と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(8) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図12-10参照）。

(9) AV_{REF} 端子の入力インピーダンスについて

AV_{REF} 端子と AV_{SS} 端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、 AV_{REF} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

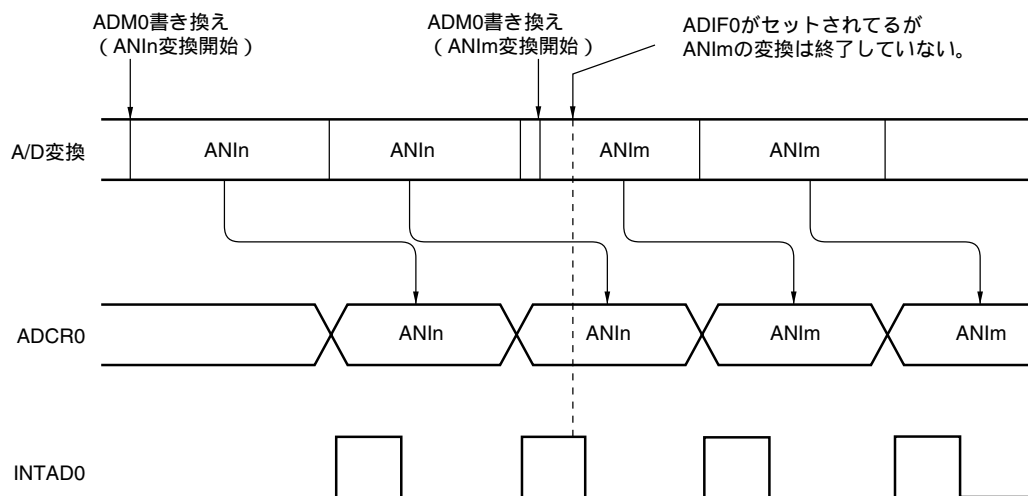
(10) 割り込み要求フラグ (ADIF0) について

A/Dコンバータ・モード・レジスタ0 (ADM0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図12 - 11 A/D変換終了割り込み要求発生タイミング



備考1. $n = 0, 1, \dots, 7$

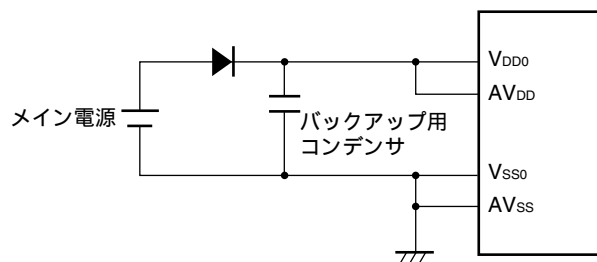
2. $m = 0, 1, \dots, 7$

(11) AVDD端子について

AVDD端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図12 - 12のように必ずVDD0端子と同レベルの電位を印加してください。

図12 - 12 AVDD端子の処理



(12) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 13 ANIn端子内部等価回路

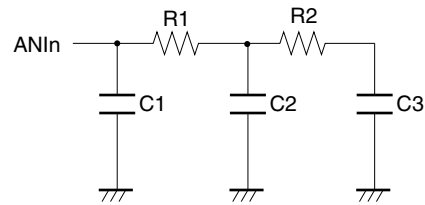


表12 - 2 等価回路の各抵抗と容量値 (参考値)

AV _{DD}	R1	R2	C1	C2	C3
4.5 V	4.0 kΩ	2.7 kΩ	3.0 pF	1.4 pF	2.0 pF
2.7 V	12.0 kΩ	8.0 kΩ	3.0 pF	3.0 pF	2.0 pF
1.8 V	75.0 kΩ	30.0kΩ	3.0 pF	4.0 pF	3.0 pF

備考1. 表12 - 2の各抵抗と容量値は保証値ではありません。

2. n = 0-7

第13章 10ビットA/Dコンバータ (μ PD789177, 789177Yサブシリーズ)

13.1 10ビットA/Dコンバータの機能

10ビットA/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD0）を発生します。

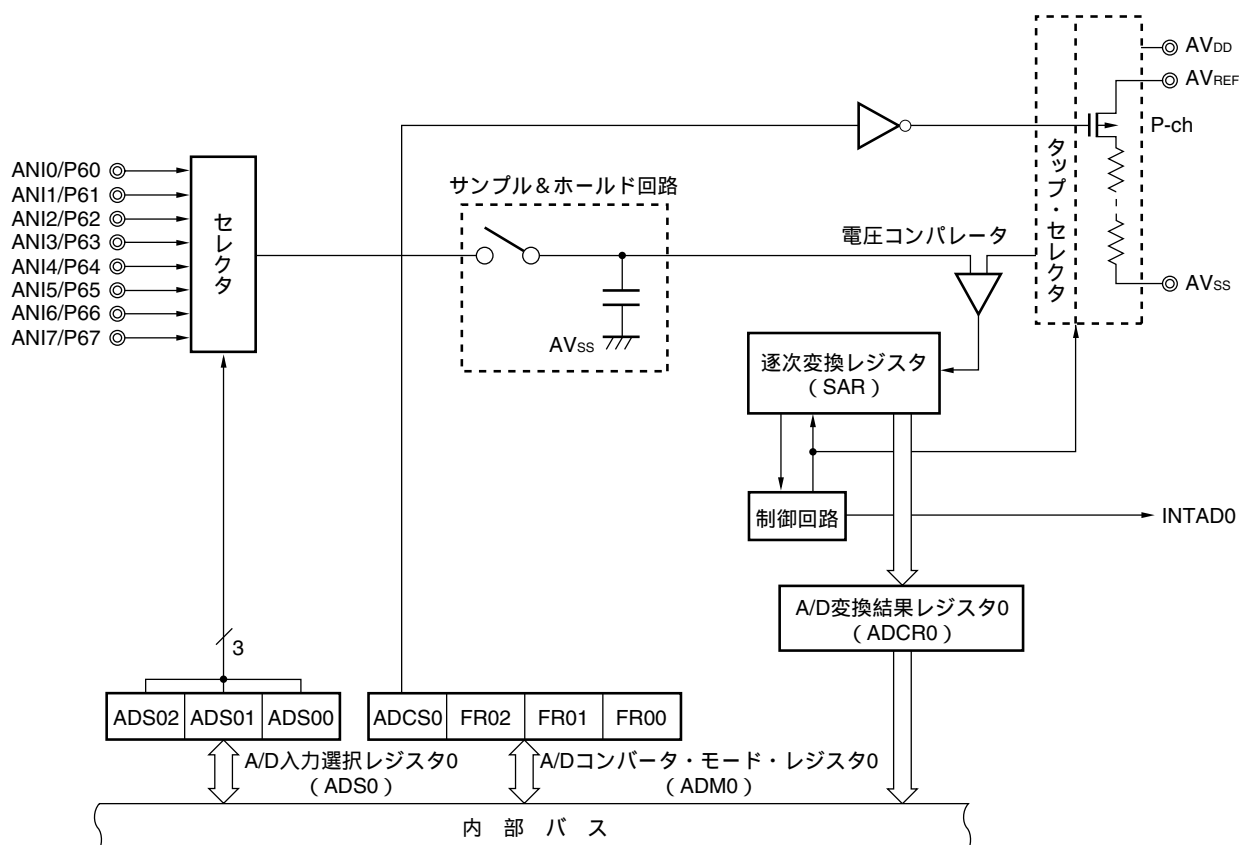
13.2 10ビットA/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表13 - 1 10ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル（ANI0-ANI7）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0（ADCR0）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADM0） A/D入力選択レジスタ0（ADS0）

図13 - 1 10ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了), SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは、0固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCR0には最上位ビット（MSB）から順に格納されます。

ADCR0は、16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により，0000Hになります。

略号	FF15H						FF14H						アドレス	リセット時	R/W		
ADCR0									0	0	0	0	0	0	FF14H, FF15H	0000H	R

注意 μ PD78F9177を μ PD789166, 789167のフラッシュ・メモリとして使用する場合は μ PD78F9177Yを μ PD789166Y, 789167Yのフラッシュ・メモリとして使用する場合は, 8ビット・アクセスが可能です。ただし, μ PD789166, 789167でアセンブルしたオブジェクト・ファイルまたは μ PD789166Y, 789167Yでアセンブルしたオブジェクト・ファイルに限ります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} - AV_{SS} 間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{REF} 端子

A/Dコンバータの基準電圧端子です。

AV_{REF} - AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

(8) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子と同電位で使用してください。

(9) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD0} 端子と同電位で使用してください。

13.3 10ビットA/Dコンバータを制御するレジスタ

10ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・A/D入力選択レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	0	0	0	0	0	FF80H	00H	R/W	

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}		
			f _x = 10.0 MHz動作時 ^{注2}		f _x = 5.0 MHz動作時
0	0	0	144/f _x	14.4 μs	28.8 μs
0	0	1	120/f _x	12.0 μs	24.0 μs
0	1	0	96/f _x	設定禁止 ^{注3}	19.2 μs
1	0	0	72/f _x	設定禁止 ^{注3}	14.4 μs
1	0	1	60/f _x	設定禁止 ^{注3}	12.0 μs ^{注4}
1	1	0	48/f _x	設定禁止 ^{注3}	
上記以外			設定禁止		

注1. A/D変換時間が以下の規格を満たすように設定してください。

< 拡張規格品の場合 >

4.5 AV_{REF} AV_{DD} = V_{DD} 5.5 V時.....12 μs以上

2.7 AV_{REF} AV_{DD} = V_{DD} < 4.5 V時.....14 μs以上

1.8 AV_{REF} AV_{DD} = V_{DD} < 2.7 V時.....28 μs以上

< 従来規格品の場合 >

2.7 AV_{REF} AV_{DD} = V_{DD} 5.5 V時.....14 μs以上

1.8 AV_{REF} AV_{DD} = V_{DD} < 2.7 V時.....28 μs以上

2. 拡張規格品のみ

3. この条件のf_xでは、A/D変換時間が注1の規格を満たせないで、設定禁止です。

4. 拡張規格品で4.5 AV_{REF} AV_{DD} = V_{DD} 5.5 V時のみ設定可能です。他の条件下では設定禁止となります。

注意1. ビット7 (ADCS0) をセット直後の変換結果は不定になります。

2. ADCS0のクリア後の変換結果が不定になることがあります (詳しくは13.5 (5) A/D変換結果が不定になるタイミングを参照)。

備考 fx : メイン・システム・クロック発振周波数

(2) A/D入力選択レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13-3 A/D入力選択レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF84H	00H	R/W

ADS02	ADS01	ADS00	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意 ビット3-7には必ず0を設定してください。

13.4 10ビットA/Dコンバータの動作

13.4.1 10ビットA/Dコンバータの基本動作

A/D変換するチャンネルをA/D入力選択レジスタ0 (ADS0) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) AV_{REF}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $> (1/2) AV_{REF}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{REF}$ よりも小さければMSBをリセットします。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット9 = 1 : $(3/4) AV_{REF}$
- ・ビット9 = 0 : $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。

- ・アナログ入力電圧 $>$ 電圧タップ : ビット8 = 1
- ・アナログ入力電圧 $<$ 電圧タップ : ビット8 = 0

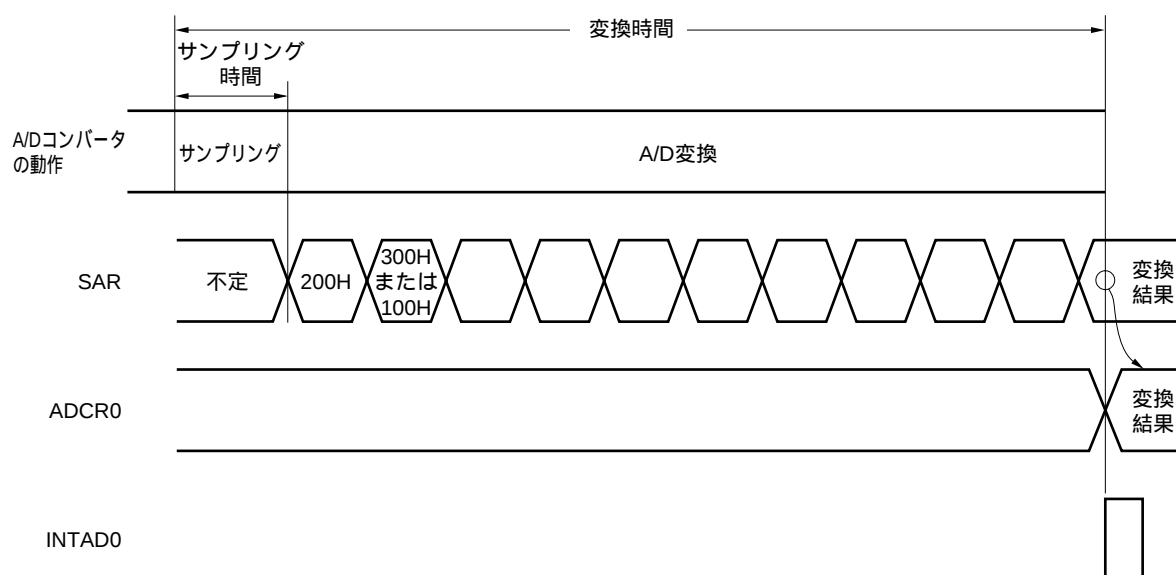
このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

- 注意1.** A/D変換結果動作をスタートした直後の最初のA/D変換値は不定になることがあります。
- 2.** スタンバイ・モード時、A/Dコンバータは動作停止となります。

図13 - 4 10ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0, A/D入力選択レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

13. 4. 2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

または、

$$(\text{ADCR0} - 0.5) \times \frac{V_{\text{REF}}}{1024} < V_{\text{IN}} < (\text{ADCR0} + 0.5) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

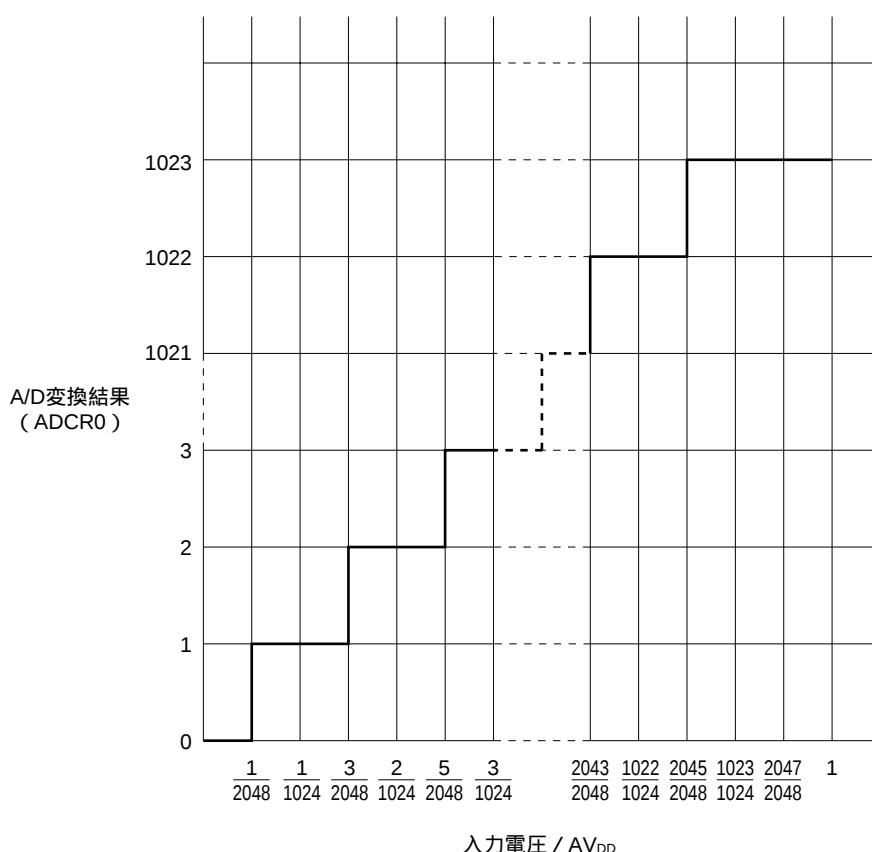
V_{IN} : アナログ入力電圧

V_{REF} : V_{REF} 端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図13 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 5 アナログ入力電圧とA/D変換結果の関係



13.4.3 10ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。A/D入力選択レジスタ0 (ADS0) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

・ソフトウェア・スタートによるA/D変換動作

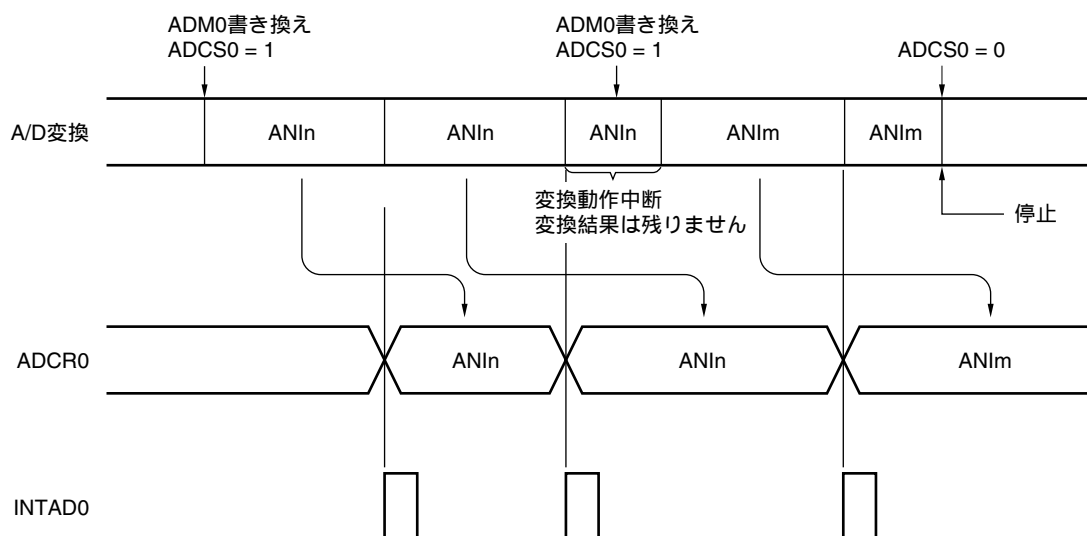
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、A/D入力選択レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図13 - 6 ソフトウェア・スタートによるA/D変換動作

備考1. $n = 0, 1, \dots, 7$ 2. $m = 0, 1, \dots, 7$

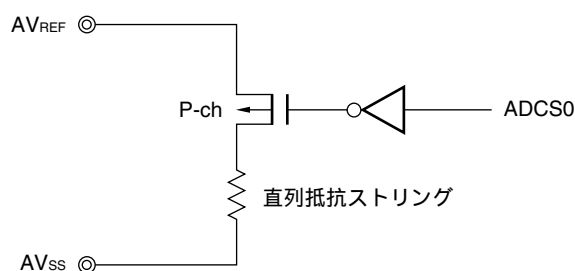
13.5 10ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図13 - 7に示します。

図13 - 7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト, またはA/D入力選択レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また, A/D変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし, 最初の変換結果を廃棄するなどの処理を行ってください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため, A/D変換結果を読み出す場合は, A/D変換動作中に行ってください。また, A/D変換動作を停止してから変換結果を読み出す場合は, 次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図13 - 8, 図13 - 9に示します。

図13 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

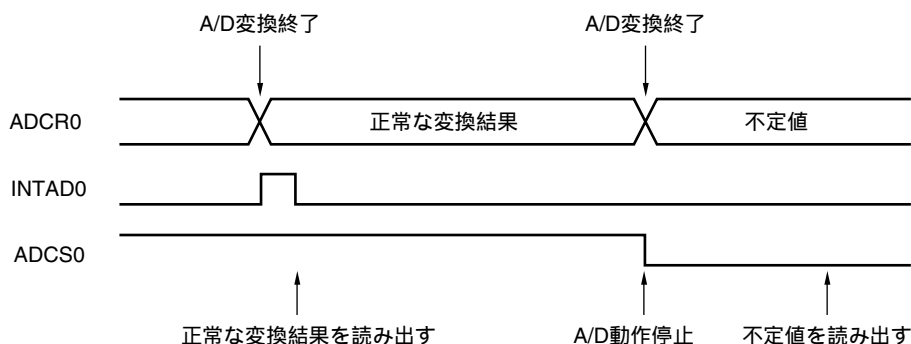
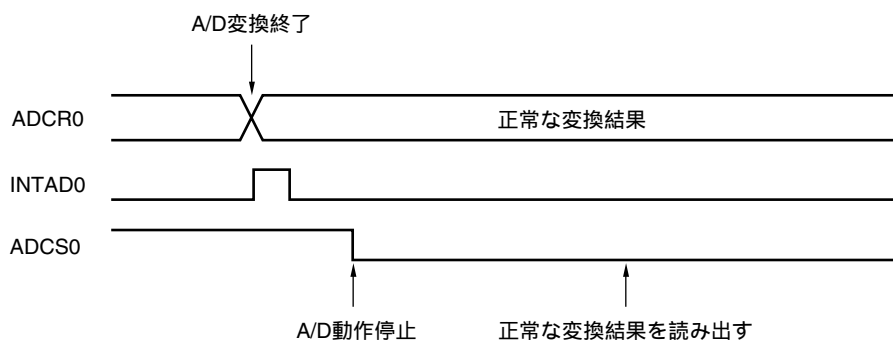


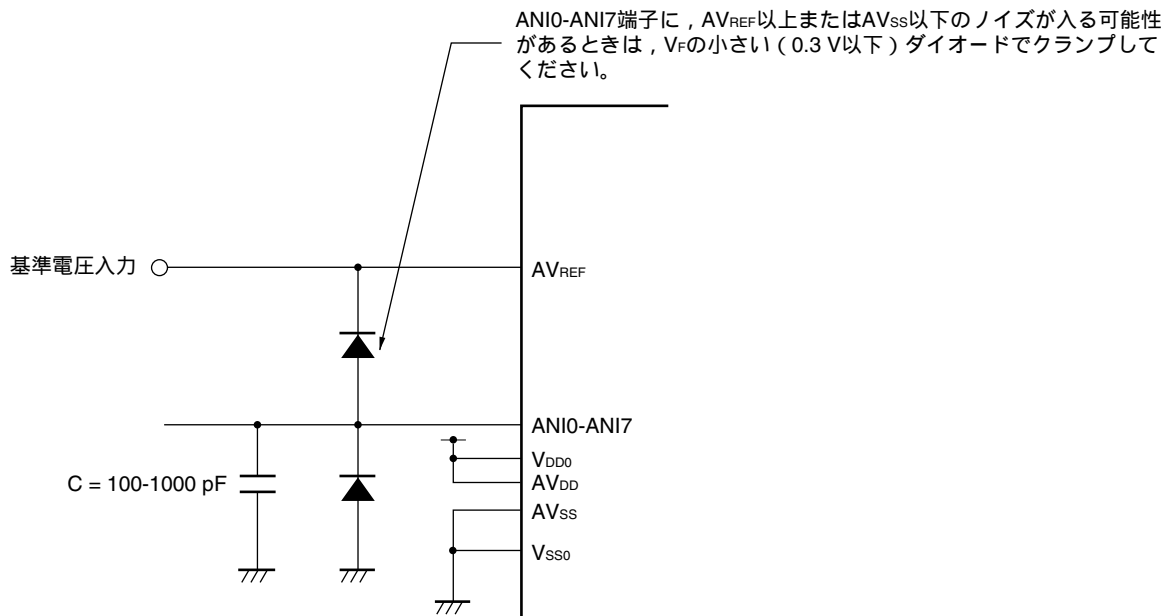
図13 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13 - 10のようにCを外付けることを推奨します。

図13 - 10 アナログ入力端子の処理



(7) ANI0-ANI7

アナログ入力（ANI0-ANI7）端子はポート端子（P60-P67）と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(8) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図13 - 10参照）。

(9) AV_{REF} 端子の入力インピーダンスについて

AV_{REF} 端子と AV_{SS} 端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、 AV_{REF} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

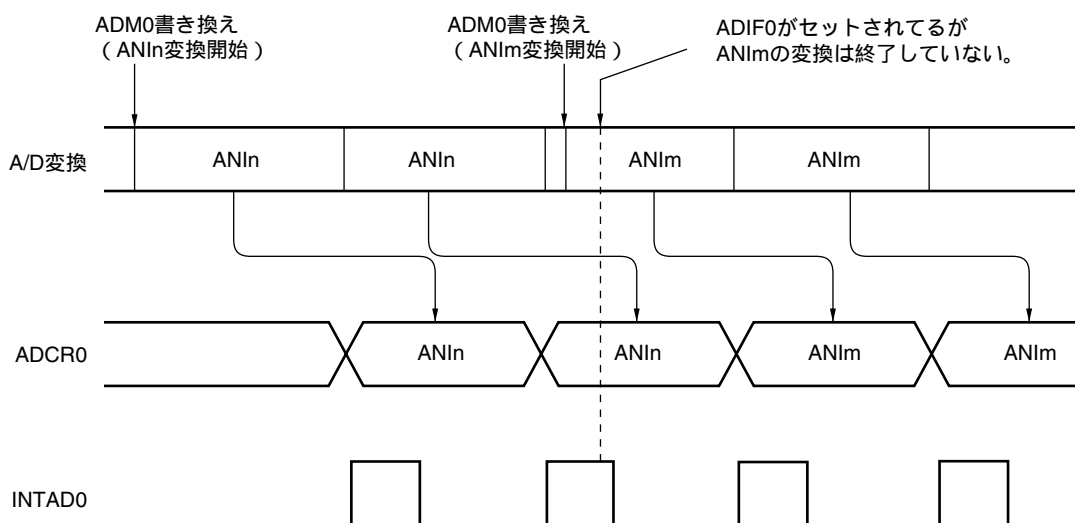
(10) 割り込み要求フラグ (ADIF0) について

A/Dコンバータ・モード・レジスタ0 (ADM0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図13 - 11 A/D変換終了割り込み要求発生タイミング



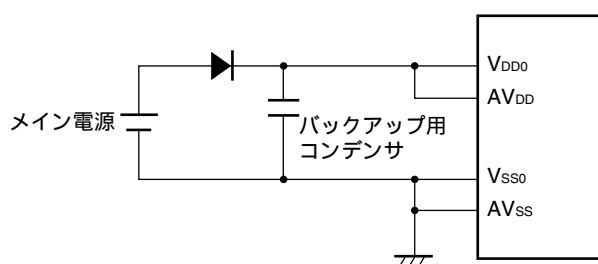
備考1. $n = 0, 1, \dots, 7$

2. $m = 0, 1, \dots, 7$

(11) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図13 - 12のように必ずV_{DD0}端子と同レベルの電位を印加してください。

図13 - 12 AV_{DD}端子の処理

(12) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図13 - 13 ANIn端子内部等価回路

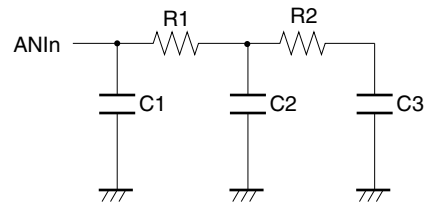


表13 - 2 等価回路の各抵抗と容量値 (参考値)

AV _{DD}	R1	R2	C1	C2	C3
4.5 V	4.0 kΩ	2.7 kΩ	3.0 pF	1.4 pF	2.0 pF
2.7 V	12.0 kΩ	8.0 kΩ	3.0 pF	3.0 pF	2.0 pF
1.8 V	75.0 kΩ	30.0kΩ	3.0 pF	4.0 pF	3.0 pF

備考1. 表13 - 2の各抵抗と容量値は保証値ではありません。

2. n = 0-7

第14章 シリアル・インタフェース20

14.1 シリアル・インタフェース20の機能

シリアル・インタフェース20には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK20}}$) と、シリアル・データ (SI20, SO20) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

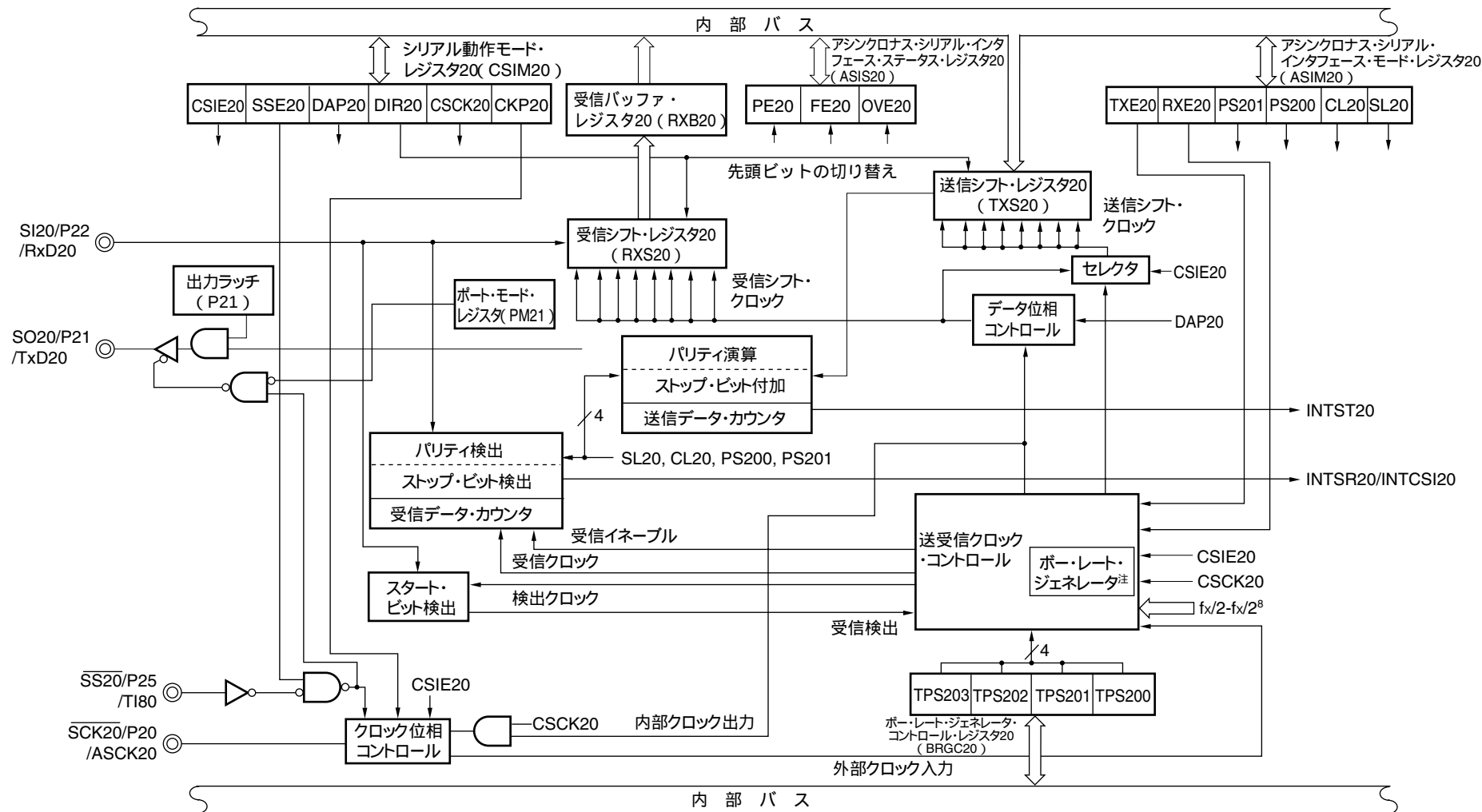
14.2 シリアル・インタフェース20の構成

シリアル・インタフェース20は、次のハードウェアで構成しています。

表14 - 1 シリアル・インタフェース20の構成

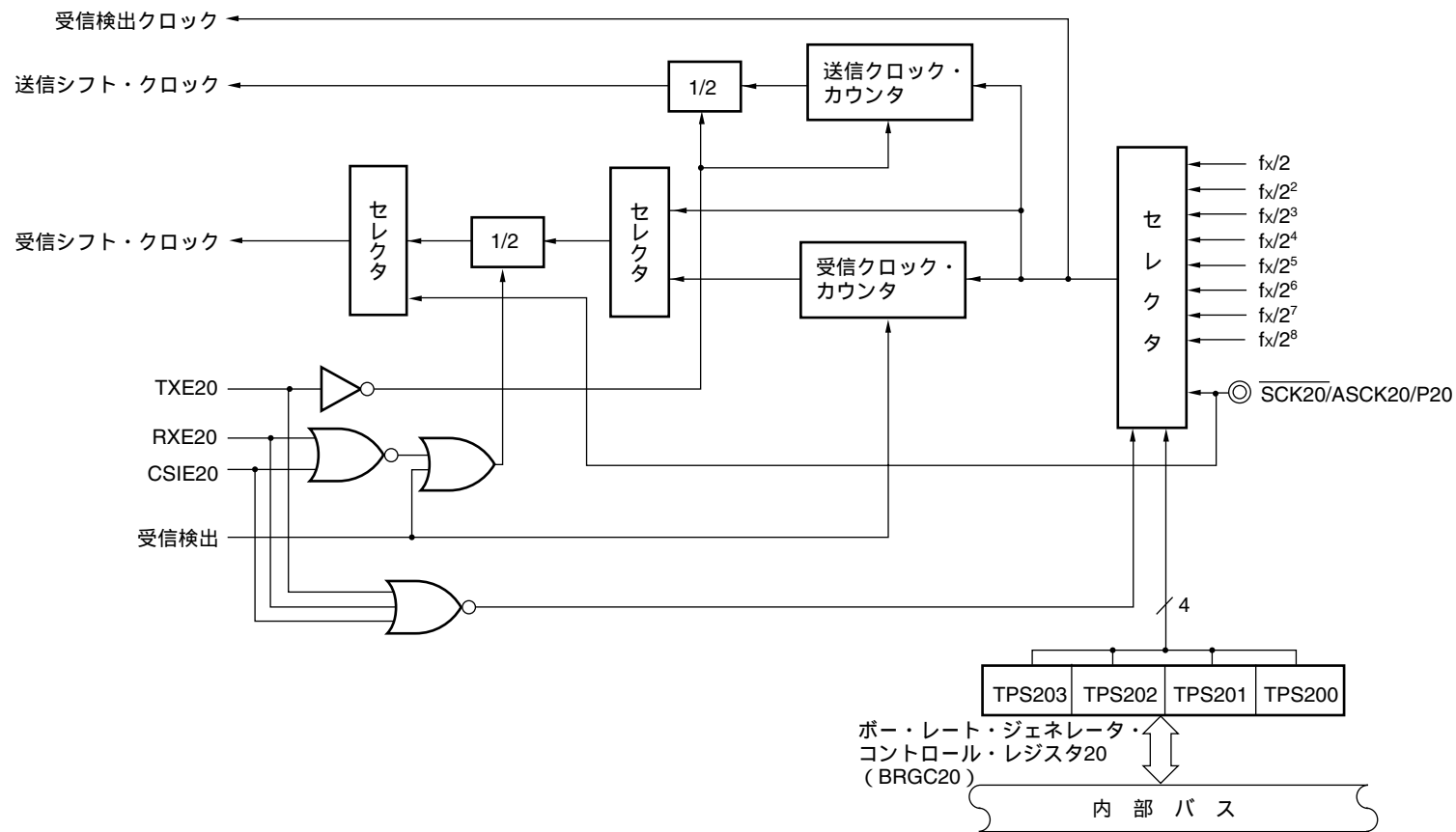
項 目	構 成
レジスタ	送信シフト・レジスタ20 (TXS20) 受信シフト・レジスタ20 (RXS20) 受信バッファ・レジスタ20 (RXB20)
制御レジスタ	シリアル動作モード・レジスタ20 (CSIM20) アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図14 - 1 シリアル・インタフェース20のブロック図



注 ボー・レート・ジェネレータの構成は、図14 - 2を参照してください。

図14 - 2 ポー・レート・ジェネレータ20のブロック図



(1) 送信シフト・レジスタ20 (TXS20)

送信データを設定するレジスタです。TXS20に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS20に書き込んだデータのビット0-6が送信データとして転送されます。TXS20にデータを書き込むことにより、送信動作を開始します。

TXS20は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS20への書き込みを行わないでください。

TXS20と受信バッファ・レジスタ20 (RXB20) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB20の値が読み出されます。

(2) 受信シフト・レジスタ20 (RXS20)

RxD20端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ20 (RXB20) へ転送します。

RXS20はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ20 (RXB20)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ20 (RXS20) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB20のビット0-6に転送され、RXB20のMSBは必ず0になります。

RXB20は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 RXB20と送信シフト・レジスタ20 (TXS20) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS20に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、送信シフト・レジスタ20 (TXS20) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) にセットします。

14.3 シリアル・インタフェース20を制御するレジスタ

シリアル・インタフェース20は、次の6種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ20 (CSIM20)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) シリアル動作モード・レジスタ20 (CSIM20)

シリアル・インタフェース20を3線式シリアルI/Oモードで使用するときに設定するレジスタです。

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 3 シリアル動作モード・レジスタ20のフォーマット

略号	6		5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	F F 7 2 H	0 0 H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P25端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	SCK20の立ち下がりエッジで出力する
1	SCK20の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ，アイドル時にSCK20はハイ・レベル
1	クロックはハイ・アクティブ，アイドル時にSCK20はロウ・レベル

注意1. ビット4, 5には，必ず0を設定してください。

2. UARTモード選択時は，CSIM20に00Hを設定してください。

3. 動作モードの切り替えは，シリアル送受信動作を停止させたのちに行ってください。

4. 3線式シリアルI/Oモード時で外部からの入力クロックを選択したときは，ポート・モード・レジスタ2（PM2）のビット0に1を設定して入力モードにしてください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

シリアル・インタフェース20をアシクロナス・シリアル・インタフェース・モードで使用するとき
設定するレジスタです。

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 4 アシクロナス・シリアル・インタフェース・モード・レジスタ20のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表14 - 2 シリアル・インタフェース20の動作モードの設定一覧

(1) 動作停止モード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCK20											
0	0	0	×	×	×注1	×注1	×注1	×注1	×注1	×注1	-	-	P22	P21	P20
上記以外											設定禁止				

(2) 3線式シリアル/Oモード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCK20											
0	0	1	0	0	1注2	x注2	0	1	1	x	MSB	外部 クロック	SI20注2	SO20 (CMOS出力)	SCK20入力
				0					1	内部 クロック		SCK20出力			
		1	1	0					1	x	LSB	外部 クロック			SCK20入力
				1					0	1		内部 クロック			SCK20出力
上記以外												設定禁止			

(3) アシクロナス・シリアル・インタフェース・モード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCK20											
1	0	0	0	0	×注1	×注1	0	1	1	×	LSB	外部 クロック	P22	TxD20 (CMOS出力)	ASCK20入力
									×注1	×注1		内部 クロック			
0	1	0	0	0	1	×	×注1	×注1	1	×		外部 クロック	RxD20	P21	ASCK20入力
										×注1					
1	1	0	0	0	1	×	0	1	1	×		外部 クロック		TxD20 (CMOS出力)	ASCK20入力
										×注1					
上記以外												設定禁止			

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22 (CMOS入出力) として使用できます。

備考 × : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASIS20の内容は不定となります。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	FF71H	00H	R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき)

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) ^{注1}

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
0	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ20からデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ20 (RXB20) を必ず読み出してください。RXB20を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

シリアル・インタフェース20のシリアル・クロックを設定するレジスタです。

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 6 ボー・レート・ジェネレータ・コントロール・レジスタ20のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	F F 7 3 H	0 0 H	R/W

TPS203	TPS202	TPS201	TPS200	3ビット・カウンタのソース・クロックの選択			n
					$f_x = 10.0 \text{ MHz}$ 動作時 ^{注1}	$f_x = 5.0 \text{ MHz}$ 動作時	
0	0	0	0	$f_x/2$	5.00 MHz	2.50 MHz	1
0	0	0	1	$f_x/2^2$	2.50 MHz	1.25 MHz	2
0	0	1	0	$f_x/2^3$	1.25 MHz	625 kHz	3
0	0	1	1	$f_x/2^4$	625 kHz	313 kHz	4
0	1	0	0	$f_x/2^5$	313 kHz	156 kHz	5
0	1	0	1	$f_x/2^6$	156 kHz	78.1 kHz	6
0	1	1	0	$f_x/2^7$	78.1 kHz	39.1 kHz	7
0	1	1	1	$f_x/2^8$	39.1 kHz	19.5 kHz	8
1	0	0	0	ASCK20端子への外部からの入力クロック ^{注2}			—
上記以外				設定禁止			

注1. 拡張規格品のみ

2. UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2. UARTモード時で $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

3. UARTモード時で $f_x > 5.0 \text{ MHz}$ の場合、 $n = 2$ はボー・レートの規格値を越えてしまうため選択しないでください。

4. 3線式シリアルI/Oモード時で $f_x > 5.0 \text{ MHz}$ の場合、 $n = 1$ はシリアル・クロックの規格値を越えてしまうため選択しないでください。

5. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) のビット0に1を設定して、入力モードに設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. n : TPS200-TPS203の設定で決定される値 (1 ~ 8)

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(a) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{bps}]$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される図14 - 6中の値 (2 ≤ n ≤ 8)

表14 - 3 システム・クロックとボー・レートの関係例

ボー・レート (bps)	$f_x = 10.0 \text{ MHz}$ 時 ^注			$f_x = 5.0 \text{ MHz}$ 時			$f_x = 4.9152 \text{ MHz}$ 時		
	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)
1200	-	-	1.73	8	70H	1.73	8	70H	0
2400	8	70H		7	60H		7	60H	
4800	7	60H		6	50H		6	50H	
9600	6	50H		5	40H		5	40H	
19200	5	40H		4	30H		4	30H	
38400	4	30H		3	20H		3	20H	
76800	3	20H		2	10H		2	10H	

注 拡張規格品のみ

注意1. $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

2. $f_x > 5.0 \text{ MHz}$ の場合、 $n = 2$ はボー・レートの規格値を越えてしまうため選択しないでください。

(b) ASCK20端子からの外部クロックによるボー・レート用のUART送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表14 - 4 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成

システム・クロックを分周してシリアル・クロックを生成します。シリアル・クロック周波数は、次の式によって求められます。外部からSCK20端子にシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} [\text{Hz}]$$

f_x : システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される図14 - 6中の値 (1 ~ 8)

14.4 シリアル・インタフェース20の動作

シリアル・インタフェース20は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード
- ・3線式シリアルI/Oモード

14.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、動作停止モードでは、P20/SCK20/ASCK20, P21/SO20/TxD20, P22/SI20/RxD20端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ20（CSIM20）とアシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20）で行います。

(a) シリアル動作モード・レジスタ20（CSIM20）

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	FF72H	00H R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット4, 5には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0, 1には必ず0を設定してください。

14. 4. 2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ20 (CSIM20)、アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)、ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)、ポート・モード・レジスタ2 (PM2)、ポート2 (P2)で行います。

(a) シリアル動作モード・レジスタ20 (CSIM20)

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6		5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCK20	CKP20	F F 7 2 H	0 0 H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	SS20端子の選択	SS20/P25端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	SCK20の立ち下がりエッジで出力する
1	SCK20の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ、アイドル時にSCK20はハイ・レベル
1	クロックはハイ・アクティブ、アイドル時にSCK20はロウ・レベル

注意1. ビット4, 5には、必ず0を設定してください。

2. UARTモード選択時は、CSIM20に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	キャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

ASIS20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	FF71H	00H	R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生（送信パリティと受信パリティが一致しないとき）

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生（ストップ・ビットが検出されないとき） ^{注1}

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} （受信バッファ・レジスタ20からデータを読み出す前に次の受信動作が完了したとき）

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ20 (RXB20) を必ず読み出して下さい。RXB20を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	3ビット・カウンタのソース・クロックの選択			n
					$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	
0	0	0	0	$f_x/2$	5.00 MHz	2.50 MHz	1
0	0	0	1	$f_x/2^2$	2.50 MHz	1.25 MHz	2
0	0	1	0	$f_x/2^3$	1.25 MHz	625 kHz	3
0	0	1	1	$f_x/2^4$	625 kHz	313 kHz	4
0	1	0	0	$f_x/2^5$	313 kHz	156 kHz	5
0	1	0	1	$f_x/2^6$	156 kHz	78.1 kHz	6
0	1	1	0	$f_x/2^7$	78.1 kHz	39.1 kHz	7
0	1	1	1	$f_x/2^8$	39.1 kHz	19.5 kHz	8
1	0	0	0	ASCK20端子への外部からの入力クロック			—
上記以外				設定禁止			

注 拡張規格品のみ

- 注意1. 通信動作中にBRGC20への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。
2. $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。
3. $f_x > 5.0 \text{ MHz}$ の場合、 $n = 2$ はボー・レートの規格値を越えてしまうため選択しないでください。
4. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) のビット0に1を設定して、入力モードに設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. n : TPS200-TPS203の設定で決定される値 (1 ~ 8)

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(i) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{bps}]$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される上記の表中の値 (2 ~ 8)

表14 - 5 システム・クロックとボー・レートの関係例

ボー・レート (bps)	fx = 10.0 MHz時 ^注			fx = 5.0 MHz時			fx = 4.9152 MHz時		
	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)	n	BRGC20の 設定値	誤差 (%)
1200	-	-	1.73	8	70H	1.73	8	70H	0
2400	8	70H		7	60H		7	60H	
4800	7	60H		6	50H		6	50H	
9600	6	50H		5	40H		5	40H	
19200	5	40H		4	30H		4	30H	
38400	4	30H		3	20H		3	20H	
76800	3	20H		2	10H		2	10H	

注 拡張規格品のみ

- 注意1. fx > 2.5 MHzの場合 ,n = 1はボー・レートの規格値を越えてしまうため選択しないでください。
 2. fx > 5.0 MHzの場合 ,n = 2はボー・レートの規格値を越えてしまうため選択しないでください。

(ii) ASCK20端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表14 - 6 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図14 - 7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) によって行います。

図14 - 7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット.....7ビット / 8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット.....1ビット / 2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

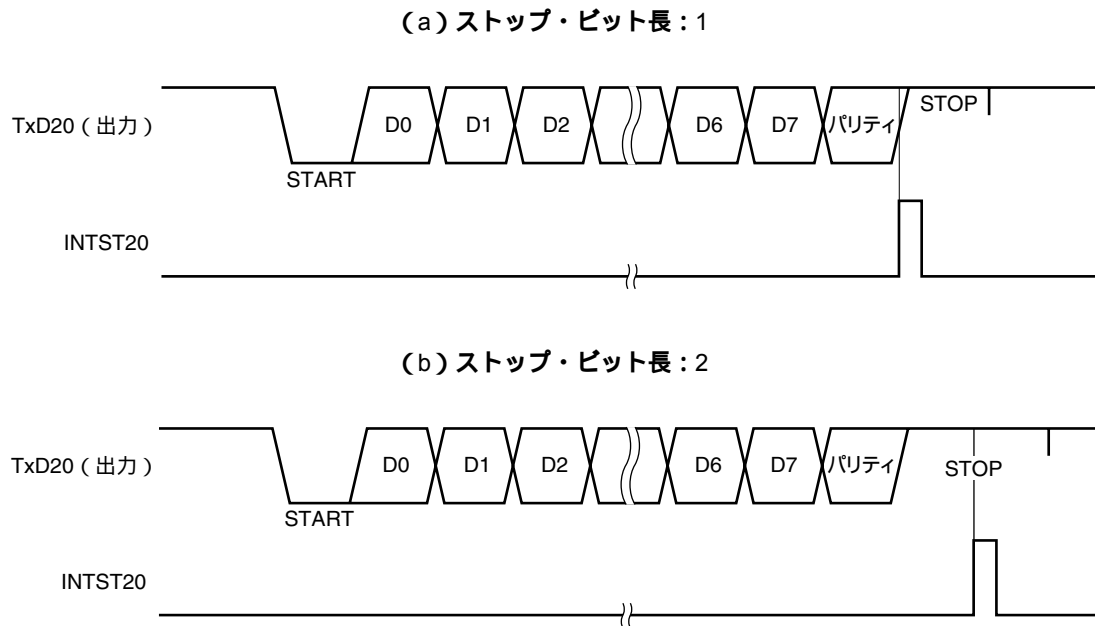
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ20 (TXS20) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS20内のデータがシフト・アウトされ, TXS20が空になると送信完了割り込み (INTST20) が発生します。

図14 - 8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) の書き換えは行わないでください。送信中にASIM20レジスタの書き換えを行うと, それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により, 正常になります)。

送信中かどうかは, 送信完了割り込み (INTST20) またはINTST20によりセットされる割り込み要求フラグ (STIF20) を用いて, ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) がセット (1) されると許可状態となり、RxD20端子入力のサンプリングを行います。

RxD20端子入力のサンプリングはBRGC20で指定したシリアル・クロックで行います。

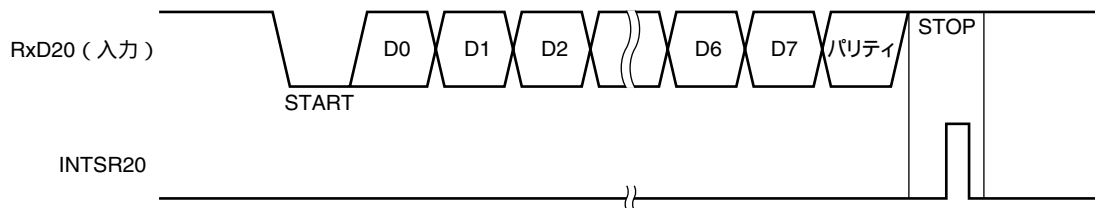
RxD20端子入力がロウ・レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD20端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ20 (RXB20) に転送し、受信完了割り込み (INTSR20) を発生します。

また、エラーが発生しても、RXB20にエラーの発生した受信データを転送し、INTSR20を発生します。

なお、受信動作中にRXE20ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB20およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の内容は変化せず、また、INTSR20も発生しません。

図14 - 9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ20 (RXB20) は必ず読み出してください。

RXB20を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) 内に立ちます。受信エラーの要因を表14 - 7に示します。

受信エラー割り込み処理内で、ASIS20の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図14 - 9, 図14 - 10参照)。

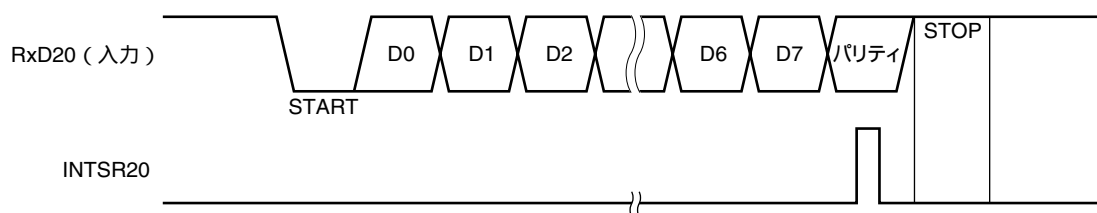
ASIS20の内容は、受信バッファ・レジスタ20 (RXB20) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表14 - 7 受信エラーの要因

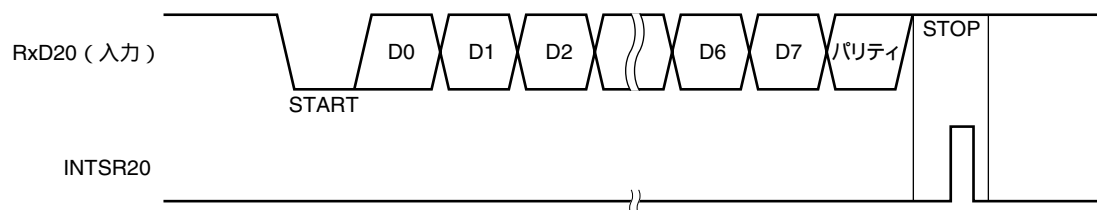
受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図14 - 10 受信エラー・タイミング

(a) パリティ・エラー発生時



(b) フレーミング・エラー, オーバラン・エラー発生時



- 注意1. ASIS20レジスタの内容は、受信バッファ・レジスタ20 (RXB20) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB20を読み出す前にASIS20を読み出してください。
2. 受信エラー発生時にも、受信バッファ・レジスタ20 (RXB20) は必ず読み出してください。RXB20を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(f) 受信データの読み出し

受信完了割り込み (INTSR20) が発生したら、受信バッファ・レジスタ20 (RXB20) の値をリードすることで受信データを読み出します。

受信バッファ・レジスタ20 (RXB20) に格納された受信データをリードするときには、受信動作許可 (RXE20 = 1) の状態で読み出してください。

備考 ただし、受信動作停止 (RXE20 = 0) してから受信データを読み出す必要がある場合は、次のどちらかの方法で行ってください。

(a) BRGC20で選択したソース・クロックの1周期分以上のウェイト後にRXE20 = 0にして、リードする。

(b) シリアル動作モード・レジスタ20 (CSIM20) のビット2 (DIR20) をセット(1)して、リードする。

(a) のプログラム例 (BRGC20 = 00H (ソース・クロック = $f_x/2$) の場合)

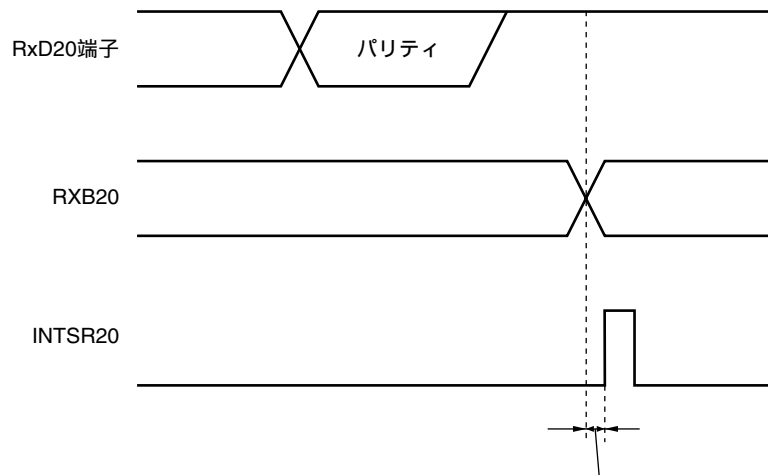
```
INTRXE:                                ; < 受信完了割り込みルーチン >
      NOP                                ; 2クロック
      CLR1 RXE20                          ; 受信動作停止
      MOV  A, RXB20                       ; 受信データをリード
```

(b) のプログラム例

```
INTRXE:                                ; < 受信完了割り込みルーチン >
      SET1 CSIM20.2                       ; DIR20フラグをLSBファーストに設定
      CLR1 RXE20                          ; 受信動作停止
      MOV  A, RXB20                       ; 受信データをリード
```

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット7 (TXE20) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ20 (TXS20) にFFHを設定したのちに、TXE20に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) をクリアした場合、受信バッファ・レジスタ20 (RXB20)、受信完了割り込み (INTSR20) は、次のようになります。



の区間でRXE20に0を設定した場合、RXB20は前のデータを保持し、INTSR20は発生しません。

の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20は発生しません。

の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20は発生します。

14.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK20}}$ ）、シリアル出力（SO20）、シリアル入力（SI20）の3本のラインで通信を行います。

（1）レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ20（CSIM20）、アシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20）、ポー・レート・ジェネレータ・コントロール・レジスタ20（BRGC20）、ポート・モード・レジスタ2（PM2）、ポート2（P2）で行います。

（a）シリアル動作モード・レジスタ20（CSIM20）

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6		5	4	3		2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	SSE20	0	0	DAP20	DIR20	CSCCK20	CKP20		F F 7 2 H	0 0 H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

SSE20	$\overline{\text{SS20}}$ 端子の選択	$\overline{\text{SS20/P25}}$ 端子の機能	通信状態
0	使用しない	ポート機能	通信許可
1	使用する	0	通信許可
		1	通信不可

DAP20	3線式シリアルI/Oモード時のデータ位相の選択
0	$\overline{\text{SCK20}}$ の立ち下がりエッジで出力する
1	$\overline{\text{SCK20}}$ の立ち上がりエッジで出力する

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCCK20	3線式シリアルI/Oモード時のクロックの選択
0	$\overline{\text{SCK20}}$ 端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CKP20	3線式シリアルI/Oモード時のクロック位相の選択
0	クロックはロウ・アクティブ、アイドル時に $\overline{\text{SCK20}}$ はハイ・レベル
1	クロックはハイ・アクティブ、アイドル時に $\overline{\text{SCK20}}$ はロウ・レベル

注意1. ビット4, 5には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2（PM2）のビット0に1を設定して入力モードにしてください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	3ビット・カウンタのソース・クロックの選択			n
					$f_x = 10.0 \text{ MHz}$ 動作時 ^注	$f_x = 5.0 \text{ MHz}$ 動作時	
0	0	0	0	$f_x/2$	5.00 MHz	2.50 MHz	1
0	0	0	1	$f_x/2^2$	2.50 MHz	1.25 MHz	2
0	0	1	0	$f_x/2^3$	1.25 MHz	625 kHz	3
0	0	1	1	$f_x/2^4$	625 kHz	313 kHz	4
0	1	0	0	$f_x/2^5$	313 kHz	156 kHz	5
0	1	0	1	$f_x/2^6$	156 kHz	78.1 kHz	6
0	1	1	0	$f_x/2^7$	78.1 kHz	39.1 kHz	7
0	1	1	1	$f_x/2^8$	39.1 kHz	19.5 kHz	8
上記以外				設定禁止			

注 拡張規格品のみ

- 注意1. 通信動作中にBRGC20の書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。
2. 3線式シリアルI/Oモード時で $f_x > 5.0 \text{ MHz}$ の場合、 $n = 1$ はシリアル・クロックの規格値を越えてしまうため設定禁止です。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. n : TPS200-TPS203で決定される値 (1 ~ 8)

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS200-TPS203でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される上記の表中の値 (1 ~ 8)

(2) 通信動作

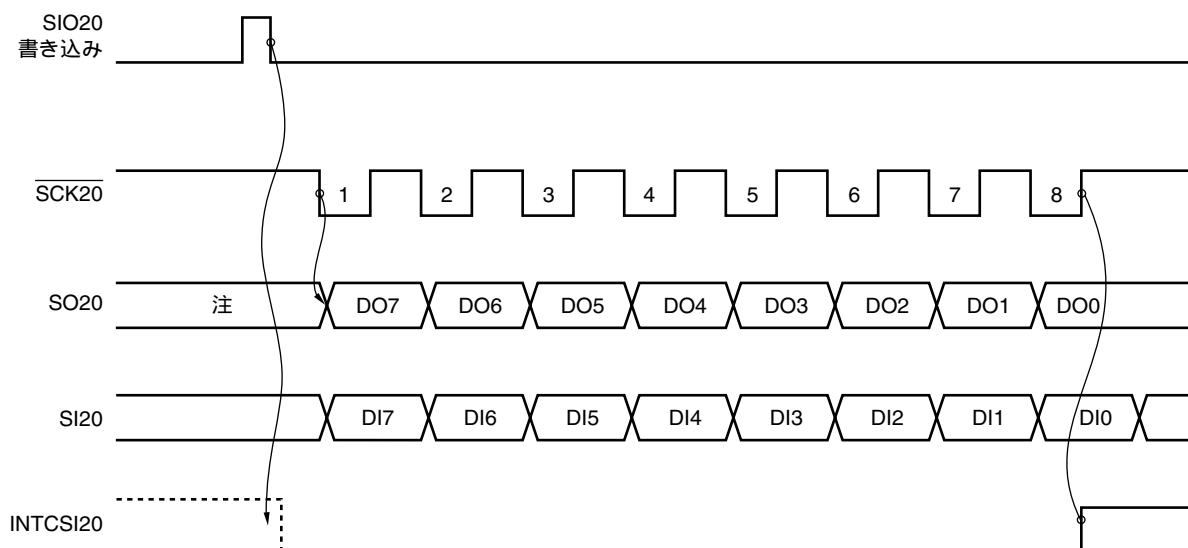
3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ20 (TXS20/SIO20)、受信シフト・レジスタ20 (RXS20) のシフト動作は、シリアル・クロック ($\overline{\text{SCK20}}$) の立ち下がりに同期して行われます。そして、送信データがSO20ラッチに保持され、SO20端子から出力されます。また、 $\overline{\text{SCK20}}$ の立ち上がりで、SI20端子に入力された受信データが受信バッファ・レジスタ20 (RXB20/SIO20) にラッチされます。

8ビット転送終了により、TXS20/SIO20、RXS20の動作は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

図14 - 11 3線式シリアルI/Oモードのタイミング (1/7)

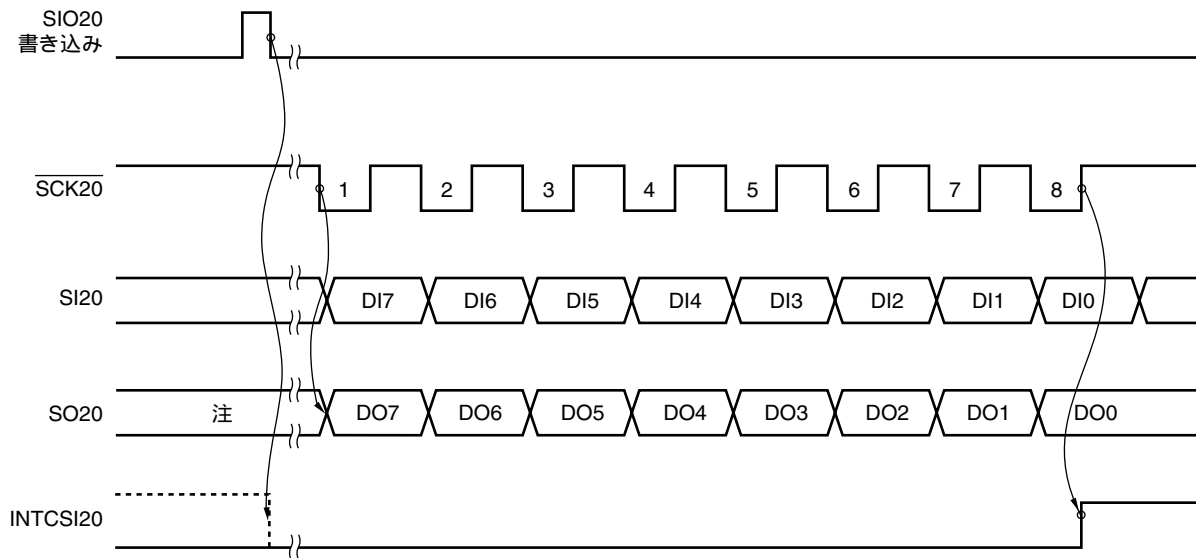
(i) マスタ動作 (DAP20 = 0, CKP20 = 0, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

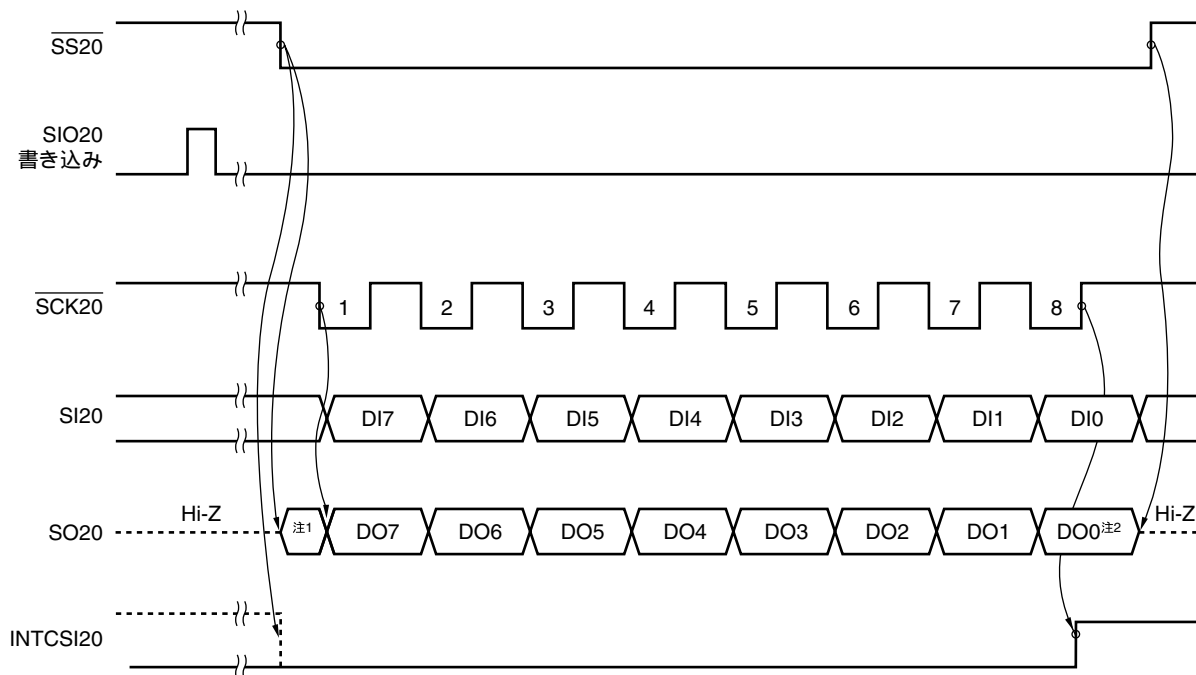
図14 - 11 3線式シリアルI/Oモードのタイミング (2/7)

(ii) スレープ動作 (DAP20 = 0, CKP20 = 0, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

(iii) スレープ動作 (DAP20 = 0, CKP20 = 0, SSE20 = 1設定時)



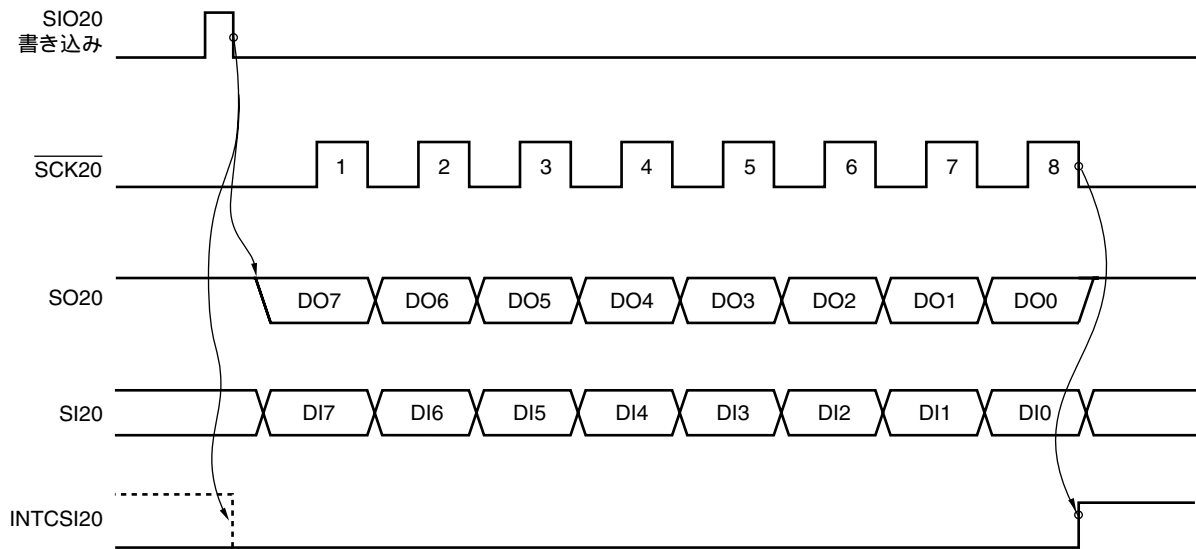
注1. 前回出力した最終ビットの値が出力されます。

2. SS20が立ち上がるまでDO0を出力し続けます。

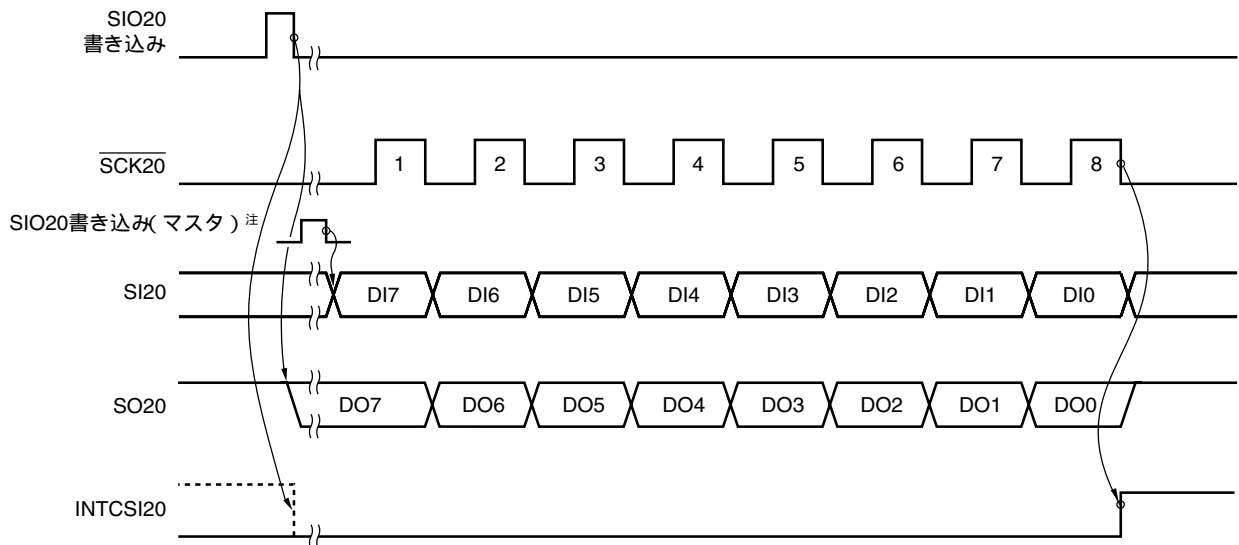
SS20がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

図14 - 11 3線式シリアルI/Oモードのタイミング (3/7)

(iv) マスタ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 0設定時)



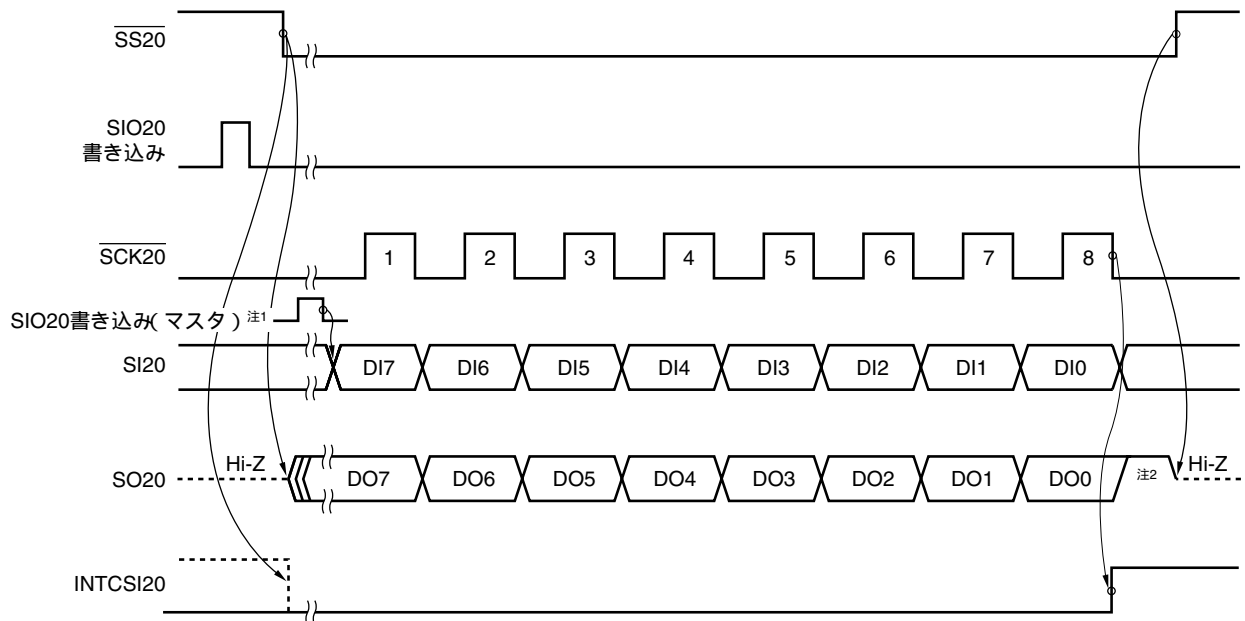
(v) スレーブ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 0設定時)



注 SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち上がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち上がり以前で行うようにしてください。

図14 - 11 3線式シリアルI/Oモードのタイミング (4/7)

(vi) スレーブ動作 (DAP20 = 0, CKP20 = 1, SSE20 = 1設定時)



- 注1. SI20のデータの取り込みは、 $\overline{SCK20}$ の最初の立ち上がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{SCK20}$ の最初の立ち上がり以前で行うようにしてください。
2. DO0の出力が終わってから $\overline{SS20}$ が立ち上がるまでSO20はハイ・レベルになります。 $\overline{SS20}$ がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

(vii) マスタ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 0設定時)

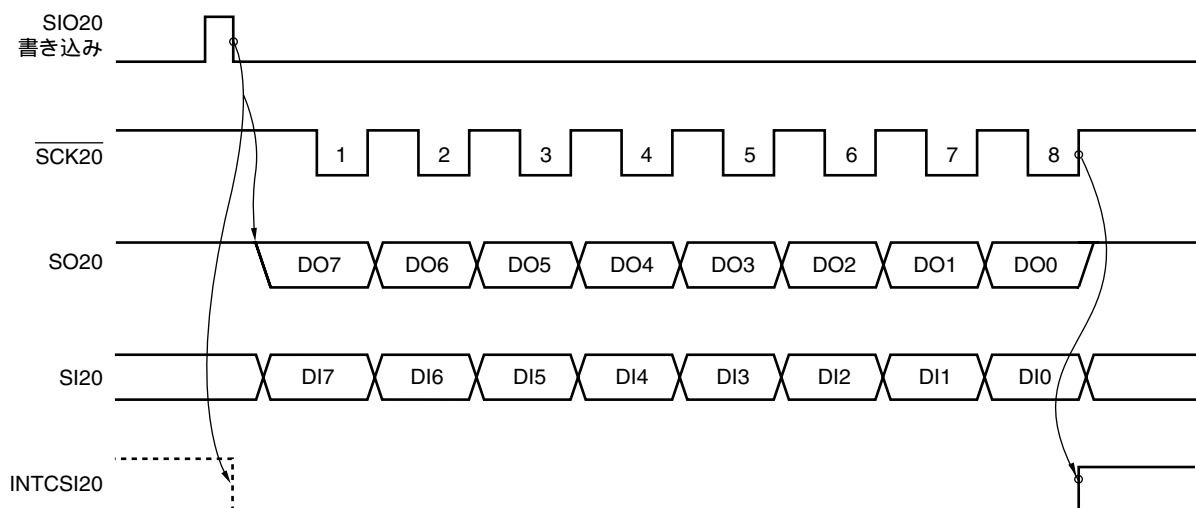
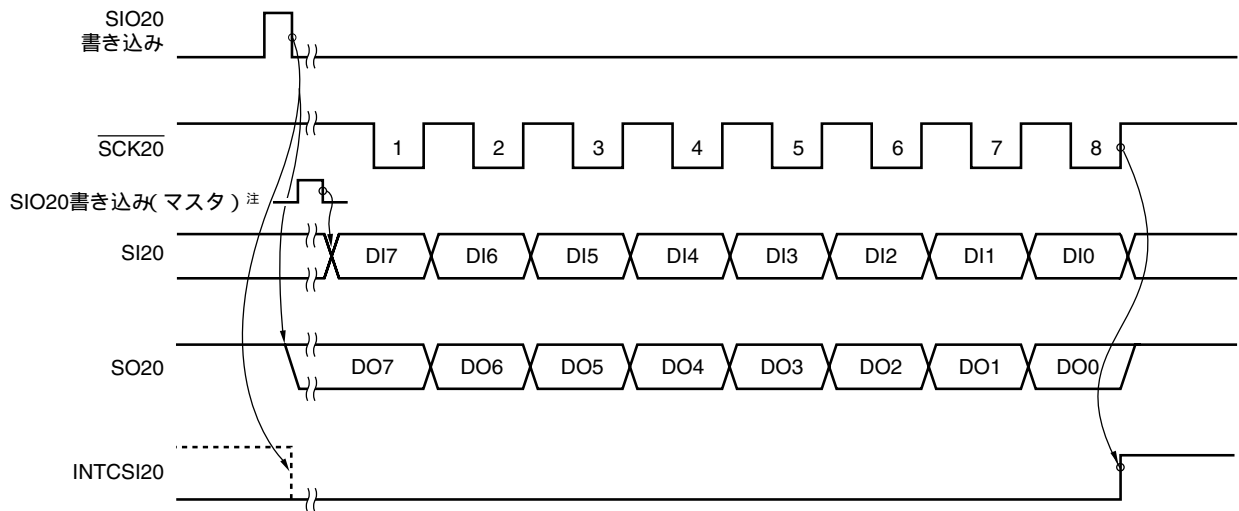


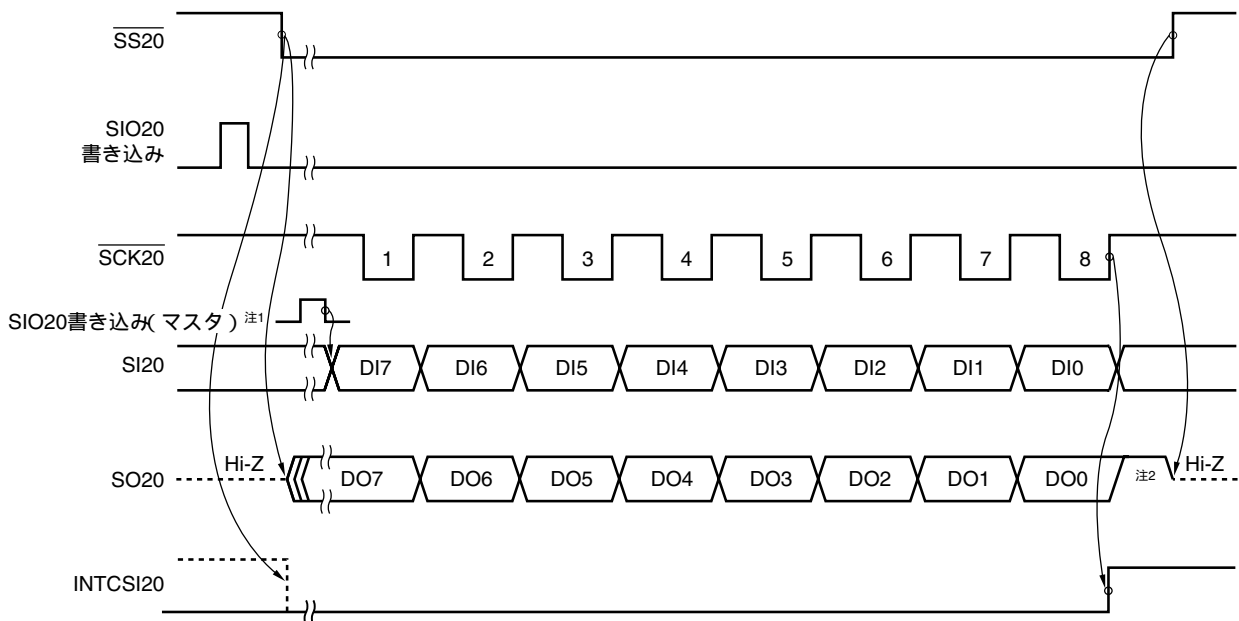
図14 - 11 3線式シリアルI/Oモードのタイミング (5/7)

(viii) スレーブ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 0設定時)



注 SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち下がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち下がり以前で行うようにしてください。

(ix) スレーブ動作 (DAP20 = 1, CKP20 = 0, SSE20 = 1設定時)

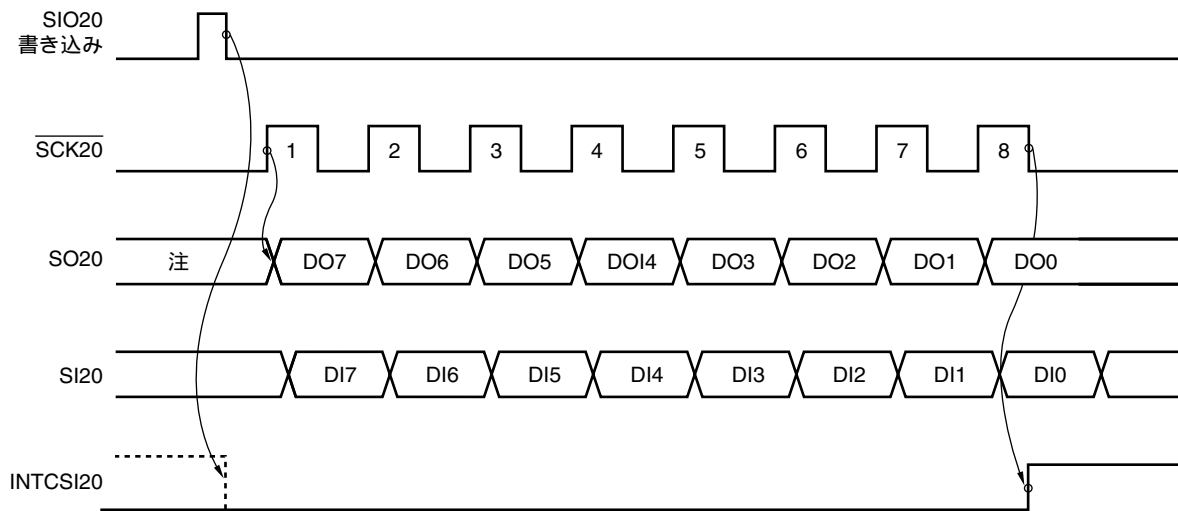


注1. SI20のデータの取り込みは、 $\overline{\text{SCK20}}$ の最初の立ち下がりから行われます。マスタ側からの先頭ビットの出力は、 $\overline{\text{SCK20}}$ の最初の立ち下がり以前で行うようにしてください。

2. DO0の出力が終わってから $\overline{\text{SS20}}$ が立ち上がるまでSO20はハイ・レベルになります。 $\overline{\text{SS20}}$ がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

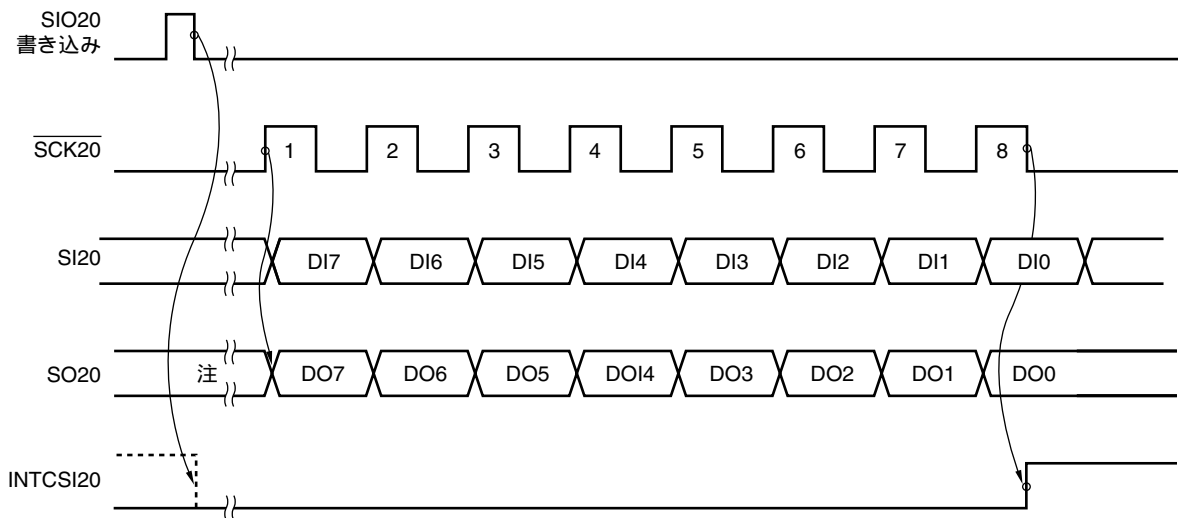
図14 - 11 3線式シリアルI/Oモードのタイミング (6/7)

(x) マスタ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

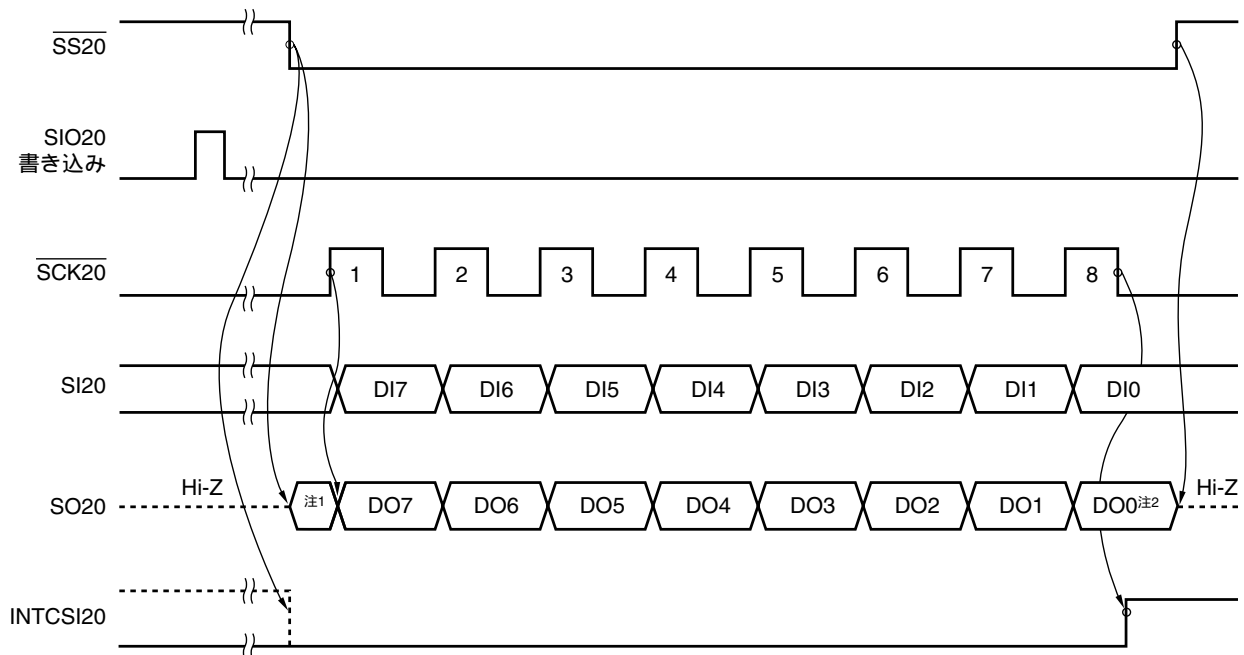
(xi) スレーブ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 0設定時)



注 前回出力した最終ビットの値が出力されます。

図14 - 11 3線式シリアルI/Oモードのタイミング (7/7)

(xii) スレーブ動作 (DAP20 = 1, CKP20 = 1, SSE20 = 1設定時)



注1. 前回出力した最終ビットの値が出力されます。

2. SS20が立ち上がるまでDO0を出力し続けます。

SS20がハイ・レベルになるとSO20はハイ・インピーダンス状態となります。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ20 (TXS20/SIO20) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ20 (CSIM20) のビット7 (CSIE20) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK20がハイ・レベルの状態

注意 TXS20/SIO20にデータを書き込んだあと、CSIE20を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

第15章 SMB0 (μ PD789167Y, 789177Yサブシリーズのみ)

15.1 SMB0の機能

SMB0 (System Management Bus) には、次の2種類のモードがあります。

- ・動作停止モード
- ・SMBモード (マルチマスタ対応)

(a) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(b) SMBモード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

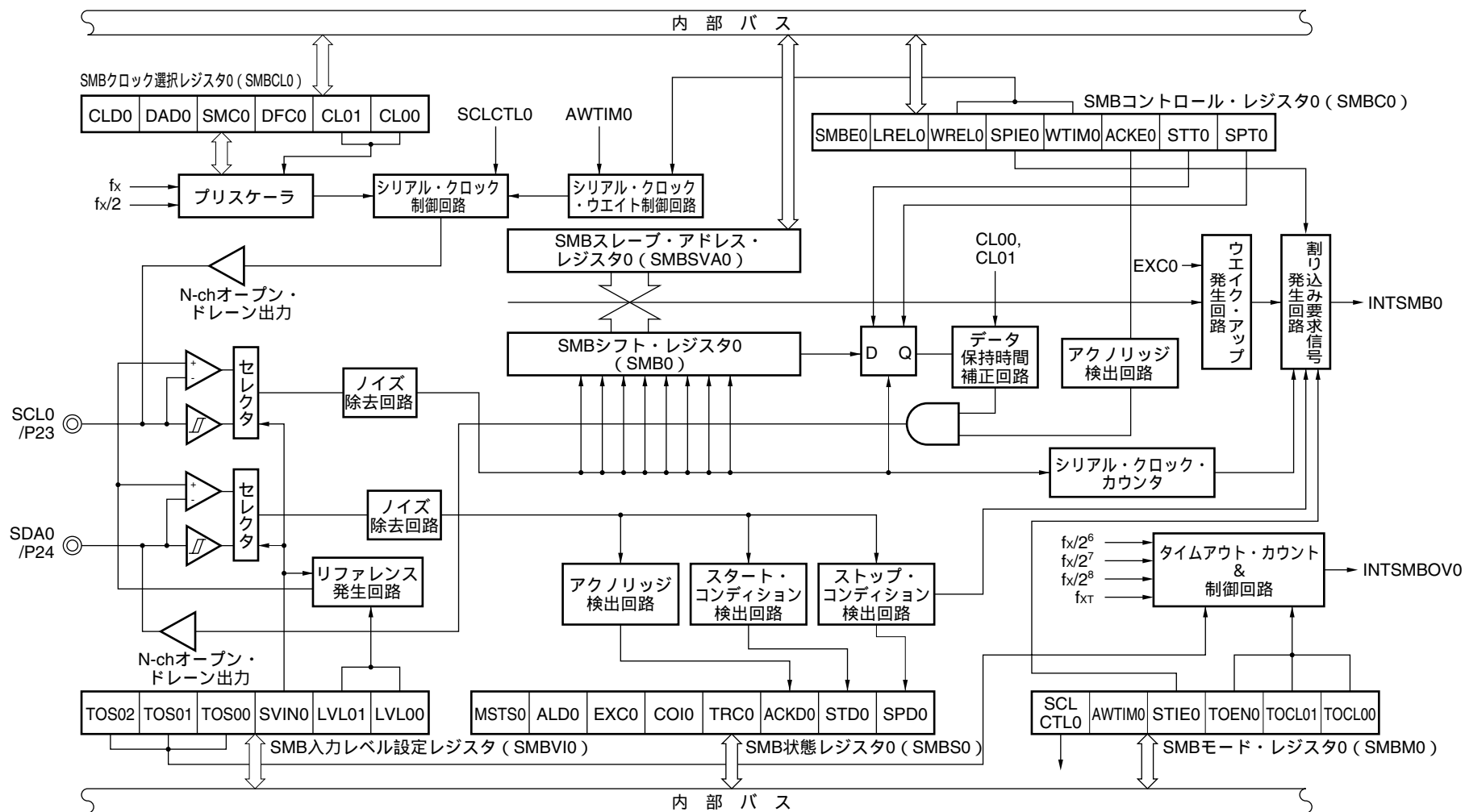
SMBフォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

SMB0では、SCL0とSDA0はオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

SMBモードでは、ソフトウェアの設定により、 I^2C (Inter IC) バス標準モード / 高速モードとして使用することも可能です。

図15 - 1に、SMB0のブロック図を示します。

図15-1 SMB0のブロック図



15.2 SMB0の構成

SMB0は、次のハードウェアで構成されています。

表15 - 1 SMB0の構成

項 目	構 成
レジスタ	SMBシフト・レジスタ0 (SMB0) SMBスレーブ・アドレス・レジスタ0 (SMBSVA0)
制御レジスタ	SMBコントロール・レジスタ0 (SMBC0) SMB状態レジスタ0 (SMBS0) SMBクロック選択レジスタ0 (SMBCL0) SMBモード・レジスタ0 (SMBM0) SMB入力レベル設定レジスタ0 (SMBVI0) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

(1) SMBシフト・レジスタ0 (SMB0)

SMB0は、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SMB0は送信および受信の両方に使用されます。

SMB0に対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

SMB0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

(2) SMBスレーブ・アドレス・レジスタ0 (SMBSVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SMBSVA0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SMBスレーブ・アドレス・レジスタ0 (SMBSVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。

SMB割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目（WTIM0ビットで設定^注）
- ・ストップ・コンディション検出による割り込み要求発生（SPIE0ビットで設定^注）

注 WTIM0ビット：SMBコントロール・レジスタ0 (SMBC0) のビット3

SPIE0ビット : " のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

15.3 SMB0を制御するレジスタ

SMB0は、次の5種類のレジスタで制御します。

- ・SMBコントロール・レジスタ0 (SMBC0)
- ・SMB状態レジスタ0 (SMBS0)
- ・SMBクロック選択レジスタ0 (SMBCL0)
- ・SMBモード・レジスタ0 (SMBM0)
- ・SMB入力レベル設定レジスタ0 (SMBVI0)

また、次のレジスタも使用します。

- ・SMBシフト・レジスタ0 (SMB0)
- ・SMBスレーブ・アドレス・レジスタ0 (SMBSVA0)

(1) SMBコントロール・レジスタ0 (SMBC0)

SMBの動作許可 / 禁止、ウエイト・タイミングの設定、その他SMB動作の設定を行うレジスタです。

SMBC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力より、00Hになります。

注意 SMBモード時、ポート・モード・レジスタ2 (PM2×) を次のように設定してください。
また出力ラッチはそれぞれ0に設定してください。

- ・P23 (SCL0) を出力モード (PM23 = 0) に設定
- ・P24 (SDA0) を出力モード (PM24 = 0) に設定

図15 - 2 SMBコントロール・レジスタ0のフォーマット (1/4)

略号	0								アドレス	リセット時	R/W
SMBC0	SMBE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0	FF78H	00H	R/W

SMBE0	SMB動作許可 ^{注1}
0	動作停止。SMB状態レジスタ0 (SMBS0) をプリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (SMBE0 = 0)	
・ 命令によるクリア ・ RESET入力時	
セットされる条件 (SMBE0 = 1)	
・ 命令によるセット	

LREL0	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 次のフラグがクリアされる。 ・ STD0 ・ STT0 ・ SPT0 ・ ACKD0 ・ TRC0 ・ COI0 ・ EXC0 ・ MST0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL0 = 0) ^{注2}	
・ 実行後、自動的にクリア ・ RESET入力時	
セットされる条件 (LREL0 = 1)	
・ 命令によるセット	

WREL0	ウェイト解除
0	ウェイトを解除しない。
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。
クリアされる条件 (WREL0 = 0) ^{注2}	
・ 実行後、自動的にクリア ・ RESET入力時	
セットされる条件 (WREL0 = 1)	
・ 命令によるセット	

SPIE0	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止
0	禁止
1	許可
クリアされる条件 (SPIE0 = 0) ^{注2}	
・ 命令によるクリア ・ RESET入力時	
セットされる条件 (SPIE0 = 1)	
・ 命令によるセット	

注1. SMBE0に1をセットする前に、SMBクロック選択レジスタ0 (SMBCL0) の値を確定しておいてください。

通信クロックを変更するときはSMBE0 = 0にしてからSMBCL0を書き換えてください。

2. SMBE0 = 0により、このフラグの信号を無効にします。

図15 - 2 SMBコントロール・レジスタ0のフォーマット (2/4)

WTIM0	ウェイトおよび割り込み要求発生時の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合：8クロック出力後，クロック出力をロウ・レベルにしたままウェイト スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをウェイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合：9クロック出力後，クロック出力をロウ・レベルにしたままウェイト スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをウェイト
アドレス転送中はこのビットの設定は無効になり，転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは，AWTIM0の設定により8クロックまたは9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは，8クロック目の立ち下がりでウェイトに入ります。	
クリアされる条件（WTIM0 = 0） ^注	セットされる条件（WTIM0 = 1）
・ 命令によるクリア ・ RESET入力時	・ 命令によるセット

ACKE0	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。ただし, アドレス転送中は無効, EXC0 = 1の場合は有効。	
クリアされる条件 (ACKE0 = 0) ^注		セットされる条件 (ACKE0 = 1)
・ 命令によるクリア ・ $\overline{\text{RESET}}$ 入力時		・ 命令によるセット

注 SMBE0 = 0により, このフラグの信号を無効にします。

図15 - 2 SMBコントロール・レジスタ0のフォーマット (3/4)

STT0	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SDA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL0をロウ・レベルにする。 バスに参加していないとき： スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセットは禁止です。ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。 ・マスタ送信の場合：ACK期間中は、正常にスタート・コンディションが生成されないことがあるので、注意してください。 ・SPT0と同時にセットすることは禁止です。 ・STT0をセット後、クリア条件が来る前に再セットすることは禁止です。	
クリアされる条件（STT0 = 0） ^注	セットされる条件（STT0 = 1）
・命令によるクリア ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LREL0 = 1によるクリア ・SMBE0 = 0のとき ・RESET入力時	・命令によるセット

注 SMBE0 = 0により、このフラグの信号を無効にします。

図15 - 2 SMBコントロール・レジスタ0のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0ラインをロウ・レベルにしたあと、SCL0ラインをハイ・レベルにするか、またはSCL0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセットは禁止です。 $ACKEO = 0$ に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。 ・マスタ送信の場合： $\overline{ACK}$ 期間中は、正常にストップ・コンディションが生成されないことがあるので、注意してください。 ・STT0と同時にセットすることは禁止です。 ・SPT0のセットは、マスタのときのみ行ってください。 ^{注1} ・SPT0をセット後、クリア条件が来る前に再セットすることは禁止です。 ・WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0をセットすると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。9クロック目を出力する必要がある場合には、8クロック出力後のウェイト期間中にWTIM0 = 0→1に設定し、9クロック目出力後のウェイト期間中にSPT0をセットしてください。	
クリアされる条件 (SPT0 = 0) ^{注2}	
・命令によるクリア ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0 = 1によるクリア ・SMBE0 = 0のとき ・ $\overline{RESET}$ 入力時	セットされる条件 (SPT0 = 1) ・命令によるセット

注1. SPT0のセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPT0をセットしてストップ・コンディションを生成する必要があります。

2. SMBE0 = 0により、このフラグの信号を無効にします。

注意 SMB状態レジスタ0 (SMBS0) のビット3 (TRC0) = 1 のとき、9クロック目にWREL0をセットしてウェイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

備考1. STD0 : SMB状態レジスタ0 (SMBS0) のビット1

ACKD0 : " のビット2

TRC0 : " のビット3

COI0 : " のビット4

EXC0 : " のビット5

MSTS0 : " のビット7

2. ビット0, 1 (SPT0, STT0) はデータ設定後に読み出すと0になっています。

(2) SMB状態レジスタ (SMBS0)

SMBのステータスを表すレジスタです。

SMBS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。SMBS0は読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15 - 3 SMB状態レジスタ0のフォーマット (1/3)

略号	0							アドレス	リセット時	R/W	
SMBS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0	FF79H	00H	R

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0 = 0)	
・ストップ・コンディション検出時 ・ALD0 = 1のとき ・LREL0 = 1によるクリア ・SMBE0 = 1→0のとき ・$\overline{\text{RESET}}$入力時	
セットされる条件 (MSTS0 = 1)	
・スタート・コンディション生成時	

ALD0	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0がクリアされる。
クリアされる条件 (ALD0 = 0)	
・SMBS0読み出し後、自動的にクリア^注 ・SMBE0 = 1→0のとき ・$\overline{\text{RESET}}$入力時	
セットされる条件 (ALD0 = 1)	
・アービトレーションに負けたとき	

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信。
クリアされる条件 (EXC0 = 0)	
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・SMBE0 = 1→0のとき ・$\overline{\text{RESET}}$入力時	
セットされる条件 (EXC0 = 1)	
・受信したアドレス・データの上位4ビットが " 0000 " または " 1111 " のとき (8クロック目の立ち上がりでセット)	

注 SMBS0のほかのビットに対しビット操作命令を実行した場合もクリアされます。

図15 - 3 SMB状態レジスタ0のフォーマット (2/3)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI0 = 0)		セットされる条件 (COI0 = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・SMBE0 = 1→0のとき ・$\overline{\text{RESET}}$入力時		・受信アドレスが自局アドレス (SVA0) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC0 = 0)		セットされる条件 (TRC0 = 1)
・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・SMBE0 = 1→0のとき ・WREL0 = 1によるクリア^注 ・ALD0 = 0→1のとき ・$\overline{\text{RESET}}$入力時		マスタの場合 ・スタート・コンディション生成時 スレーブの場合 ・1バイト目のLSB (転送方向指定ビット) で“1”を入力したとき
マスタの場合		
・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき		
スレーブの場合		
・スタート・コンディション検出時		
通信不参加の場合		

ACKD0	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出する。	
クリアされる条件 (ACKD0 = 0)		セットされる条件 (ACKD0 = 1)
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1によるクリア ・SMBE0 = 1→0のとき ・$\overline{\text{RESET}}$入力時		・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

注 SMB状態レジスタ0 (SMBS0) のビット3 (TRC0) = 1のとき, 9クロック目にSMBコントロール・レジスタ0 (SMBC0) のビット5 (WREL0) をセットしてウェイトを解除すると, TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

図15 - 3 SMB状態レジスタ0のフォーマット (3/3)

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
クリアされる条件 (STD0 = 0)		セットされる条件 (STD0 = 1)
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1によるクリア ・SMBE0 = 1→0のとき ・ $\overline{\text{RESET}}$ 入力時		・スタート・コンディション検出時

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
クリアされる条件 (SPD0 = 0)		セットされる条件 (SPD0 = 1)
・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・SMBE0 = 1→0のとき ・ $\overline{\text{RESET}}$ 入力時		・ストップ・コンディション検出時

備考 LREL0 : SMBコントロール・レジスタ0 (SMBC0) のビット6

SMBE0 : " のビット7

(3) SMBクロック選択レジスタ0 (SMBCL0)

SMBの転送クロックを設定するレジスタです。

SMBCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。また、SMBの通信クロックを表15 - 2に示します。

図15 - 4 SMBクロック選択レジスタ0のフォーマット (1/2)

略号	7	6	3			2	1	0	アドレス	リセット時	R/W
SMBCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00	FF7AH	00H	R/W ^{注1}

CLD0	SCL0ラインのレベル検出 (SMBE0 = 1のときのみ有効)
0	SCL0ラインがロウ・レベルであることを検出
1	SCL0ラインがハイ・レベルであることを検出
クリアされる条件 (CLD0 = 0)	
・ SCL0ラインがロウ・レベルのとき ・ SMBE0 = 0のとき ・ $\overline{\text{RESET}}$入力時	
セットされる条件 (CLD0 = 1)	
・ SCL0ラインがハイ・レベルのとき	

DAD0	SDA0ラインのレベル検出 (SMBE0 = 1のときのみ有効)
0	SDA0ラインがロウ・レベルであることを検出
1	SDA0ラインがハイ・レベルであることを検出
クリアされる条件 (DAD0 = 0)	
・ SDA0ラインがロウ・レベルのとき ・ SMBE0 = 0のとき ・ $\overline{\text{RESET}}$入力時	
セットされる条件 (DAD0 = 1)	
・ SDA0ラインがハイ・レベルのとき	

SMC0	動作モードの切り替え
0	IIC標準モードまたは、SMBモードで動作
1	IIC高速モード
クリアされる条件 (SMC0 = 0)	
・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時	
セットされる条件 (SMC0 = 1)	
・ 命令によるセット	

DFC0	デジタル・フィルタの動作の制御 ^{注2}
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

注1. ビット4, 5はRead Onlyです。

2. デジタル・フィルタは高速モード時に使用できます。デジタル・フィルタは高速モード時に使用すると反応は遅くなります。

注意 ビット6, 7には必ず0を設定してください。

図15 - 4 SMBクロック選択レジスタ0のフォーマット (2/2)

CL01	CL00	通信クロック	
		SMB/IIC標準モード (SMC0 = 0)	IIC高速モード (SMC0 = 1)
0	0	$f_x/44$	$f_x/24$
0	1	$f_x/86$	
1	0	$f_x/172$	$f_x/48$
1	1	設定禁止	

注意 通信クロックを変更する場合は、動作停止 (SMBE0 = 0) にしてからSMBCL0を書き換えてください。

備考 f_x : メイン・システム・クロック発振周波数

表15 - 2 SMB0の通信クロック

SMC0	CL01	CL00	通信クロック		デジタル・フィルタによる入力遅延
			$f_x = 10.0 \text{ MHz}$ 動作時 ^{注1}	$f_x = 5.0 \text{ MHz}$ 動作時	
0	0	0	227.2 kHz ^{注2}	113.6 kHz ^{注2}	250 ns
0	0	1	116.2 kHz ^{注2}	58.13 kHz	250 ns
0	1	0	58.13 kHz	29.06 kHz	500 ns
1	0	0	416.6 kHz ^{注3}	208.3 kHz	250 ns
1	0	1	416.6 kHz ^{注3}	208.3 kHz	250 ns
1	1	0	208.3 kHz	104.1 kHz	500 ns
上記以外			設定禁止		

注1. 拡張規格品のみ

- SMB/IIC標準モードの規格は10 ~ 100 kHzのため、この通信クロックは規格外になります。
- IIC高速モードの規格は0 ~ 400 kHzのため、この通信クロックは規格外になります。

(4) SMBモード・レジスタ0 (SMBM0)

SMBM0はSCL0レベルや割り込みの制御などを設定するレジスタです。

SMBM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、20Hになります。

図15 - 5 SMBモード・レジスタ0のフォーマット (1/2)

略号	7		6				1		0		アドレス	リセット時	R/W
SMBM0	0	0	SCLCTL0	AWTIM0	STIE0	TOEN0	TOCL01	TOCL00	FF7CH	20H		R/W	

SCLCTL0	SCLレベル制御 ^{注1}
0	SCL0をロウ・レベルに固定する。 SCL0がハイ・レベルのときは、ロウ・レベルになるまで待ってからロウ・レベルに固定する。
1	通常動作。

AWTIM0	アドレス一致時のウェイトおよび割り込み制御 ^{注2, 3}
0	スレーブの場合、アドレス・データ受信中において、アドレス一致 (COI0 = 1) で9クロック目の立ち下がりにおいて割り込み要求発生。 クロックをロウ・レベルにひいてマスタをウェイトさせる。
1	スレーブの場合、アドレス・データ受信中において、アドレス一致 (COI0 = 1) で8クロック目の立ち下がりにおいて割り込み要求発生。 クロックをロウ・レベルにひいてマスタをウェイトさせる。

STIE0	スタート・コンディション割り込み許可
0	スタート・コンディション割り込みの発生を禁止
1	通常動作。

TOEN0	タイム・アウト・カウント許可ビット ^{注4}
0	タイム・アウト・カウントを0にクリアしたあと、カウント動作を禁止する。
1	タイム・アウト・カウントの、カウント動作を許可する。

注1. SCLCTL0でSCL0をロウ・レベルにした場合は、WREL0ではウェイト解除はできません。

2. 拡張コード受信時 (EXC0 = 1) は8クロック目で強制ウェイトします。

3. マスタは、アドレス転送中は9クロック目にウェイトします。

4. タイム・アウト・カウンタのオーバフローで割り込み (INTSMBOV0) を発生します。ハードウェアでは、SMBの動作をリセットしません。INTSMBOV0発生後、ソフトでSMBの動作をリセットしてください。

注意 ビット6, 7には、必ず0を設定してください。

図15 - 5 SMBモード・レジスタ0のフォーマット (2/2)

TOCL01	TOCL00	タイム・アウト・クロック (fro) 選択ビット
0	0	$f_x/2^6$ (78.1 kHz)
0	1	$f_x/2^7$ (39.1 kHz)
1	0	$f_x/2^8$ (19.5 kHz)
1	1	f_{XT} (32.768 kHz)

- 備考1. f_x : メイン・システム・クロック発振周波数
2. f_{XT} : サブシステム・クロック発振周波数

(5) SMB入力レベル設定レジスタ0 (SMBVI0)

SMBVI0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESETにより、00Hになります。

図15-6 SMB入力レベル設定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SMBVI0	0	TOS02	TOS01	TOS00	SVIN0	0	LVL01	LVL00	FF7DH	00H	R/W

TOS02	TOS01	TOS00		タイム・アウト時間選択ビット							
				f _x = 10.0 MHz動作時 ^{注1}			f _x = 5.0 MHz動作時			f _{XT} = 32.768 kHz動作時	
				f _{TO} = f _x /2 ⁶	f _{TO} = f _x /2 ⁷	f _{TO} = f _x /2 ⁸	f _{TO} = f _x /2 ⁶	f _{TO} = f _x /2 ⁷	f _{TO} = f _x /2 ⁸	f _{TO} = f _{XT}	
0	0	0	1024/f _{TO}	6.55 ms	13.1 ms	26.2 ms	13.1 ms	26.2 ms	52.4 ms	31.2 ms	
0	0	1	896/f _{TO}	5.73 ms	11.4 ms	22.9 ms	11.4 ms	22.9 ms	45.8 ms	27.3 ms	
0	1	0	768/f _{TO}	4.91 ms	9.83 ms	19.6 ms	9.83 ms	19.6 ms	39.3 ms	23.4 ms	
0	1	1	640/f _{TO}	4.09 ms	8.19 ms	16.3 ms	8.19 ms	16.3 ms	32.7 ms	19.5 ms	
1	0	0	512/f _{TO}	3.27 ms	6.55 ms	13.1 ms	6.55 ms	13.1 ms	26.2 ms	15.6 ms	
1	0	1	384/f _{TO}	2.45 ms	4.91 ms	9.83 ms	4.91 ms	9.83 ms	19.6 ms	11.7 ms	
1	1	0	256/f _{TO}	1.63 ms	3.27 ms	6.55 ms	3.27 ms	6.55 ms	13.1 ms	7.81 ms	
1	1	1	128/f _{TO}	819 μs	1.63 ms	3.27 ms	1.63 ms	3.27 ms	6.55 ms	3.90 ms	

SVIN0	入力レベル選択ビット
0	通常のヒステリシスと同じ入力レベルとします。
1	LVL01, LVL00で設定された電圧をSCL0, SDA0の入力レベルのしきい値とします。

LVL01	LVL00	入力レベル選択ビット ^{注2}
0	0	入力レベルを0.1875 × V _{DD} にします。
0	1	入力レベルを0.25 × V _{DD} にします。
1	0	入力レベルを0.375 × V _{DD} にします。
1	1	入力レベルを0.5 × V _{DD} にします。

注1. 拡張規格品のみ

- 入力レベルは0.75 ~ 1.25 Vになるように設定してください。

注意 ビット2, 7には、必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. f_{TO} : SMBモード・レジスタ0 (SMBM0) のビット0, 1 (TOCL00, TOCL01) で選択したクロック

(6) SMBシフト・レジスタ0 (SMB0)

このレジスタは、シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。
8ビット単位でリード/ライト可能ですが、データ転送中にSMB0へデータを書き込まないでください。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SMB0									FF7EH	00H	R/W

(7) SMBスレーブ・アドレス・レジスタ0 (SMBSVA0)

このレジスタには、SMBのスレーブ・アドレスを格納します。
8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。

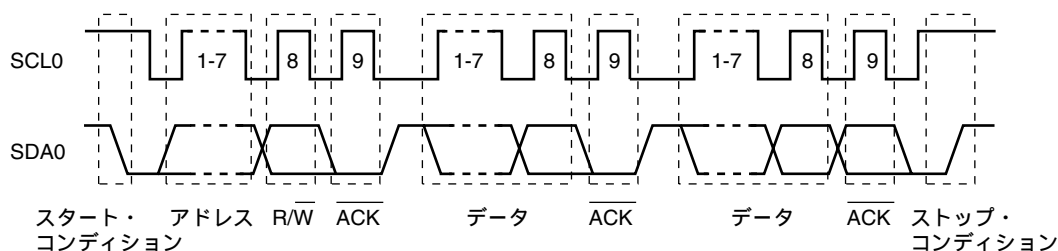
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SMBSVA0								0	FF7BH	00H	R/W

15.4 SMB0の定義および制御方法

SMB0のシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

SMB0のシリアル・データ・バス上に出力されている“スタート・コンディション”、“データ”および“ストップ・コンディション”の各転送タイミングを図15-7に示します。

図15-7 SMB0のシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。

スタート・コンディション、ストップ・コンディションのみSCL0がハイ・レベルのときSDA0を変化させることができます。

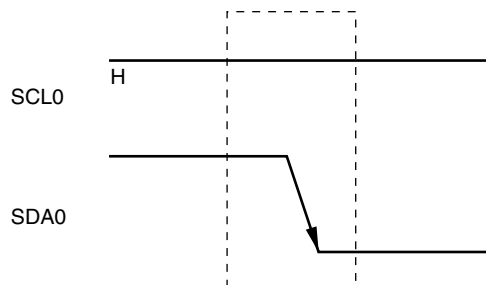
アクノリッジ信号 ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも出力できます (アドレス転送時はスレーブが $\overline{\text{ACK}}$ を出力し、8ビット・データ転送時はデータを受信する側が $\overline{\text{ACK}}$ を出力します)。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0のロウ・レベル期間を延長し、ウエイトを挿入できます。

15.4.1 スタート・コンディション

SCL0端子がハイ・レベル (シリアル・クロックが出力されていない) のときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出る信号です。スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図15-8 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0: SMB状態レジスタ0 (SMBS0) のビット0 = 1) のときにSMBコントロール・レジスタ0 (SMBC0) のビット1 (STT0) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、SMBS0のビット1 (STD0) がセット (1) され、SMBM0のビット3 (STIE0) がセット (1) されている場合にはINTSMB0が発生します。

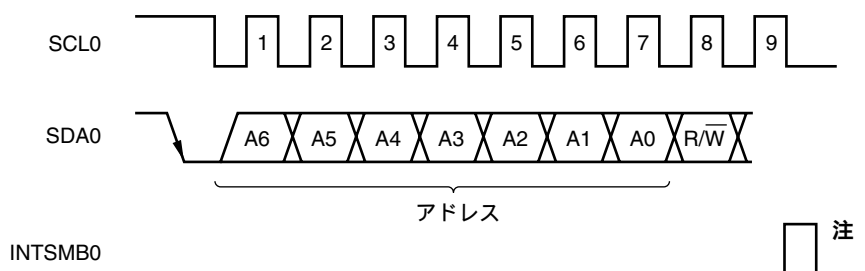
15.4.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSMBスレーブ・アドレス・レジスタ0 (SMBSVA0) と一致しているかを調べます。このとき、7ビット・データとSMBSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図15 - 9 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTSMB0は発生しません。

アドレスは、スレーブのアドレスと15.4.3 転送方向指定に説明する転送方向を合わせて8ビットとしてSMBシフト・レジスタ0 (SMB0) に書き込むと出力します。また、受信したアドレスはSMB0に書き込まれます。

なお、スレーブのアドレスは、SMB0の上位7ビットに割り当てられます。

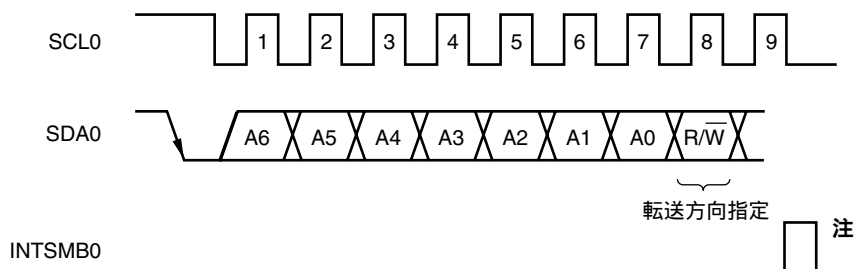
15.4.3 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。

また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図15 - 10 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTSMB0は発生しません。

15.4.4 アクノリッジ信号 (ACK)

アクノリッジ信号 ($\overline{\text{ACK}}$) は、送信側と受信側における、シリアル・データ受信の確認のための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は、通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDA0ラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります(正常受信返答)。

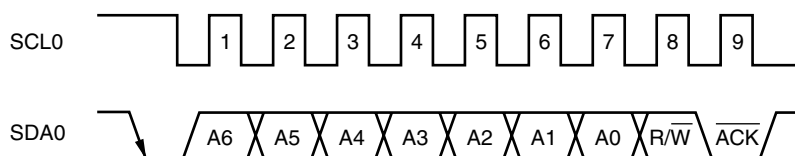
SMBコントロール・レジスタ0 (SMBC0) のビット2 (ACKE0) = 1でアクノリッジ信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりSMB状態レジスタ0 (SMBS0) のビット3 (TRC0) が設定されますが、TRC0ビットの値が“0”の場合は受信状態なので、ACKE0 = 1にしてください。

スレーブ受信動作時 (TRC0 = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE0 = 0にすると、マスタ側が次に転送を開始しないようにできます。

同様に、マスタ受信動作時 (TRC0 = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKE0 = 0にしてください。これは、スレーブ送信動作時に、SDA0ラインにデータのMSBデータを出力しないようにするためです(送信停止)。

図15 - 11 アクノリッジ信号



自局アドレス受信時は、ACKE0の値にかかわらずSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません。

データ受信時のアクノリッジ信号の出力方法は、ウェイト・タイミングの設定により次のようになります。

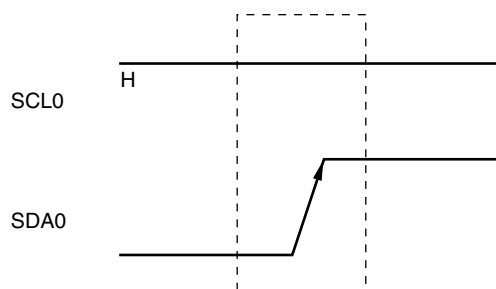
- ・8クロック・ウェイト選択時：ウェイト解除を行う前にACKE0 = 1とすることでアクノリッジ信号を出力します。
- ・9クロック・ウェイト選択時：あらかじめACKE0 = 1とすることでSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

15.4.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図15 - 12 ストップ・コンディション



ストップ・コンディションは、SMBコントロール・レジスタ0 (SMBC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとSMB状態レジスタ0 (SMBS0) のビット0 (SPD0) がセット (1) され、SMBC0のビット4 (SPIE0) がセット (1) されている場合にはINTSMB0が発生します。

15.4.6 ウェイト信号 (WAIT)

ウェイト信号 ($\overline{\text{WAIT}}$) は、マスタまたはスレーブがデータの送受信のための準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL0端子をロウ・レベルにすることにより、相手にウェイト信号を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図15 - 13 ウェイト信号 (1/2)

(1) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信， $\text{ACKE0} = 1$)

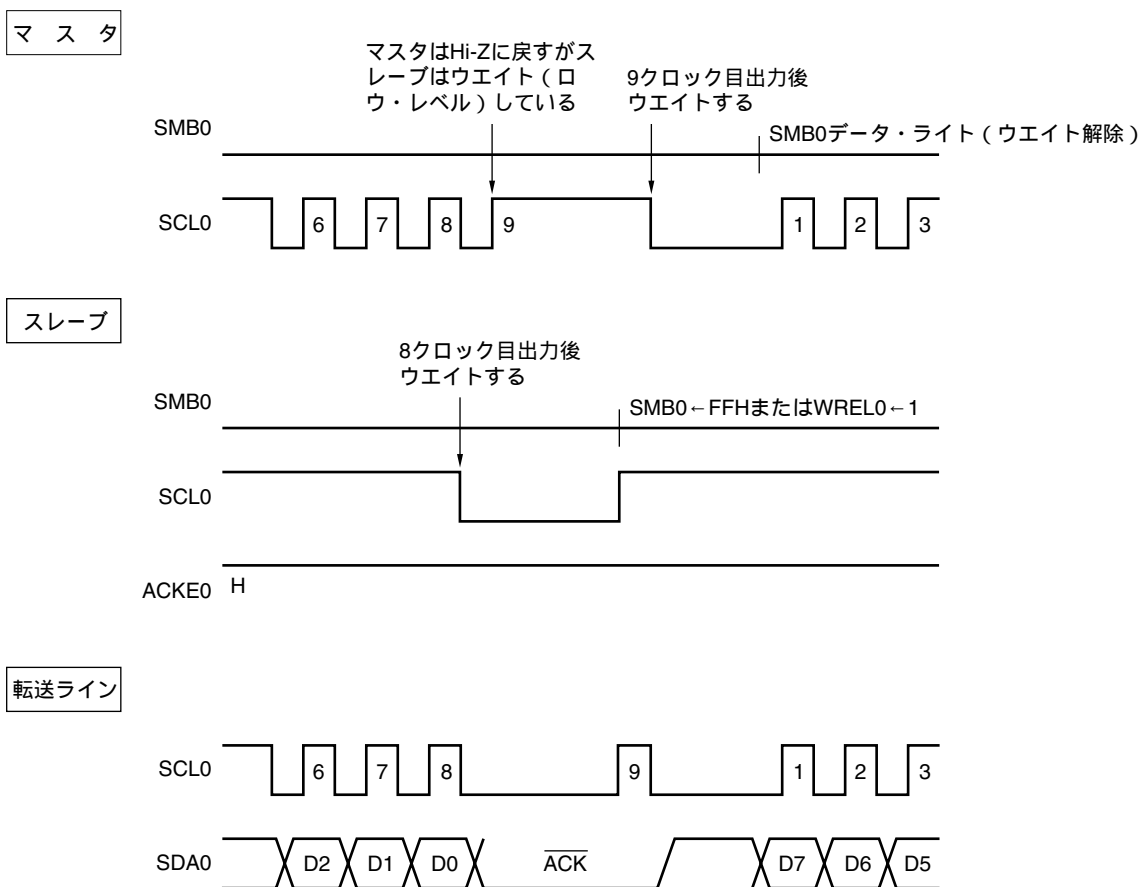
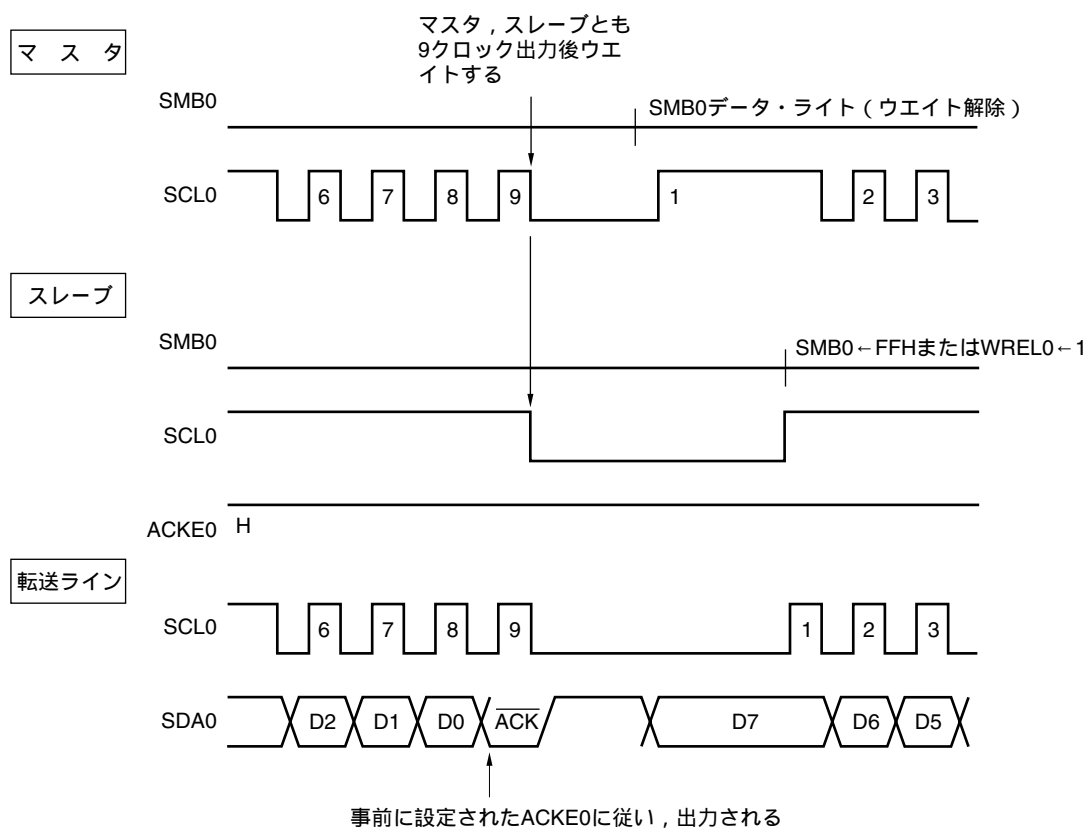


図15 - 13 ウェイト信号 (2/2)

(2) マスタ、スレーブとも9クロック・ウェイト時

(マスタ：送信，スレーブ：受信， $ACKEO = 1$)**備考** $ACKEO$: SMBコントロール・レジスタ0 (SMBC0) のビット2 $WREL0$: " のビット5

ウェイトは、SMBコントロール・レジスタ0 (SMBC0) のビット3 ($WTIM0$) の設定により自動的に発生します。

通常、受信側はSMBC0のビット5 ($WREL0$) = 1またはSMBシフト・レジスタ0 (SMB0) ← FFHライトにするとウェイトを解除し、送信側はSMB0にデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ SMBC0のビット1 ($STT0$) = 1
- ・ SMBC0のビット0 ($SPT0$) = 1

15.4.7 SMB0割り込み (INTSMB0)

次にINTSMB0割り込み要求発生タイミングと、INTSMB0割り込みタイミングでのSMB状態レジスタ0 (SMBS0) の値を示します。

注意 ここではAWTIM0 = 0の場合について記述します。

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3	▲4
								5

- 0 : SMBS0 = 10001010B
- ▲1 : SMBS0 = 1000X110B
- ▲2 : SMBS0 = 1000X000B
- ▲3 : SMBS0 = 1000X000B
- ▲4 : SMBS0 = 1000XX00B
- 5 : SMBS0 = 00000001B

- 備考** STIE0 = 1のときだけ発生
- ▲ 必ず発生
 - SPIE0 = 1のときだけ発生
 - X 任意

WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3	4

- 0 : SMBS0 = 10001010B
- ▲1 : SMBS0 = 1000X110B
- ▲2 : SMBS0 = 1000X100B
- ▲3 : SMBS0 = 1000XX00B
- 4 : SMBS0 = 00000001B

- 備考** STIE0 = 1のときだけ発生
- ▲ 必ず発生
 - SPIE0 = 1のときだけ発生
 - X 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1		▲2				▲3		▲4	▲5

- 0 : SMBS0 = 10001010B
- ▲ 1 : SMBS0 = 1000X110B
- ▲ 2 : SMBS0 = 1000X000B
- ▲ 3 : SMBS0 = 1000X110B
- ▲ 4 : SMBS0 = 1000X000B
- ▲ 5 : SMBS0 = 1000XX00B
- 6 : SMBS0 = 00000001B

- 備考** STIE0 = 1のときだけ発生
- ▲ 必ず発生
 - SPIE0 = 1のときだけ発生
 - X 任意

WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1		▲2				▲3		▲4	5

- 0 : SMBS0 = 10001010B
- ▲ 1 : SMBS0 = 1000X110B
- ▲ 2 : SMBS0 = 1000XX00B
- ▲ 3 : SMBS0 = 1000X110B
- ▲ 4 : SMBS0 = 1000XX00B
- 5 : SMBS0 = 00000001B

- 備考** STIE0 = 1のときだけ発生
- ▲ 必ず発生
 - SPIE0 = 1のときだけ発生
 - X 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3 ▲4	5

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 1010XX10B

▲2 : SMBS0 = 1010X000B

▲3 : SMBS0 = 1010X000B

▲4 : SMBS0 = 1010XX00B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3	4

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 0010X110B

▲2 : SMBS0 = 0010X100B

▲3 : SMBS0 = 0010XX00B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA0一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3	4

0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0001X110B

▲ 2 : SMBS0 = 0001X000B

▲ 3 : SMBS0 = 0001X000B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3	4

0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0001X110B

▲ 2 : SMBS0 = 0001X100B

▲ 3 : SMBS0 = 0001XX00B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0 = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1	▲2					▲3	▲4		5

0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0001X110B

▲ 2 : SMBS0 = 0001X000B

▲ 3 : SMBS0 = 0001X110B

▲ 4 : SMBS0 = 0001X000B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1	▲2					▲3	▲4		5

0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0001X110B

▲ 2 : SMBS0 = 0001XX00B

▲ 3 : SMBS0 = 0001X110B

▲ 4 : SMBS0 = 0001XX00B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0 = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1	▲2				▲3		▲4		5

0 : SMBS0 = 00000010B

▲1 : SMBS0 = 0001X110B

▲2 : SMBS0 = 0001X000B

▲3 : SMBS0 = 0010X010B

▲4 : SMBS0 = 0010X000B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1	▲2				▲3	▲4		▲5	6

0 : SMBS0 = 00000010B

▲1 : SMBS0 = 0001X110B

▲2 : SMBS0 = 0001XX00B

▲3 : SMBS0 = 0010X010B

▲4 : SMBS0 = 00100110B

▲5 : SMBS0 = 0010XX00B

6 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

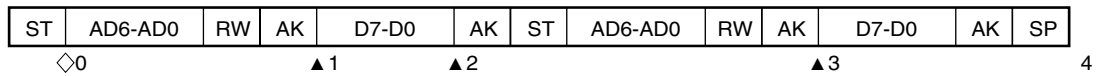
▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0001X110B

▲ 2 : SMBS0 = 0001X000B

▲ 3 : SMBS0 = 0000XX10B

4 : SMBS0 = 00000001B

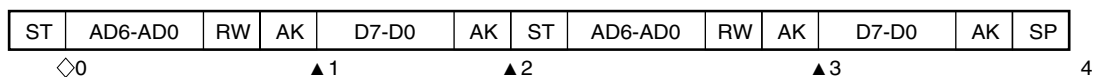
備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0001X110B

▲ 2 : SMBS0 = 0001XX00B

▲ 3 : SMBS0 = 0000XX10B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

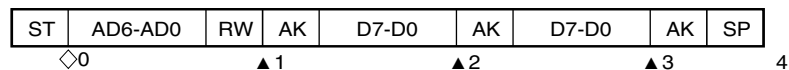
SPIE0 = 1のときだけ発生

X 任意

(3) スレーブ動作 (拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

WTIM0 = 0のとき



0 : SMBS0 = 00000010B

▲1 : SMBS0 = 0010X010B

▲2 : SMBS0 = 0010X000B

▲3 : SMBS0 = 0010X000B

4 : SMBS0 = 00000001B

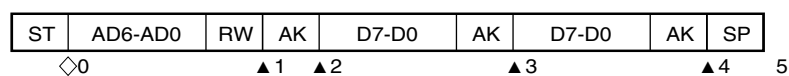
備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき



0 : SMBS0 = 00000010B

▲1 : SMBS0 = 0010X010B

▲2 : SMBS0 = 0010X110B

▲3 : SMBS0 = 0010XX00B

▲4 : SMBS0 = 0010XX00B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0 = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1		▲2				▲3		▲4	5

0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0010X010B

▲ 2 : SMBS0 = 0010X000B

▲ 3 : SMBS0 = 0001X110B

▲ 4 : SMBS0 = 0001X000B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1	▲2		▲3			▲4		▲5	6

0 : SMBS0 = 00000010B

▲ 1 : SMBS0 = 0010X010B

▲ 2 : SMBS0 = 0010X110B

▲ 3 : SMBS0 = 0010XX00B

▲ 4 : SMBS0 = 0001X110B

▲ 5 : SMBS0 = 0001XX00B

6 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0 = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1		▲2				▲3		▲4	5

0 : SMBS0 = 00000010B
 ▲1 : SMBS0 = 0010X010B
 ▲2 : SMBS0 = 0010X000B
 ▲3 : SMBS0 = 0010X010B
 ▲4 : SMBS0 = 0010X000B
 5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1	▲2		▲3			▲4	▲5		▲6 7

0 : SMBS0 = 00000010B
 ▲1 : SMBS0 = 0010X010B
 ▲2 : SMBS0 = 0010X110B
 ▲3 : SMBS0 = 0010XX00B
 ▲4 : SMBS0 = 0010X010B
 ▲5 : SMBS0 = 0010X110B
 ▲6 : SMBS0 = 0010XX00B
 7 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1		▲2					▲3		4

0 : SMBS0 = 00000010B

▲1 : SMBS0 = 0010X010B

▲2 : SMBS0 = 0010X000B

▲3 : SMBS0 = 00000X10B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0			▲1	▲2		▲3				▲4		5

0 : SMBS0 = 00000010B

▲1 : SMBS0 = 0010X010B

▲2 : SMBS0 = 0010X110B

▲3 : SMBS0 = 0010XX00B

▲4 : SMBS0 = 00000X10B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0								1

0 : SMBS0 = 00000010B

1 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

SPIE0 = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3	4

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 0101X110B (例 割り込み処理中にALD0をリード)

▲2 : SMBS0 = 0001X000B

▲3 : SMBS0 = 0001X000B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2		▲3	4

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 0101X110B (例 割り込み処理中にALD0をリード)

▲2 : SMBS0 = 0001X100B

▲3 : SMBS0 = 0001XX00B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0		▲1		▲2		▲3		4

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 0110X010B (例 割り込み処理中にALD0をリード)

▲2 : SMBS0 = 0010X000B

▲3 : SMBS0 = 0010X000B

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0		▲1	▲2		▲3		▲4	5

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 0110X010B (例 割り込み処理中にALD0をリード)

▲2 : SMBS0 = 0010X110B

▲3 : SMBS0 = 0010X100B

▲4 : SMBS0 = 0010XX00B

5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1					2

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 01000110B (例 割り込み処理中にALD0をリード)

2 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1					2

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 0110X010B (例 割り込み処理中にALD0をリード, ソフトでLREL0 = 1を設定)

2 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(c) データ転送時にアービトレーションに負けた場合

WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2			3

0 : SMBS0 = 10001010B

▲ 1 : SMBS0 = 10001110B

▲ 2 : SMBS0 = 01000000B (例 割り込み処理中にALD0をリード)

3 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
◇0			▲1		▲2			3

0 : SMBS0 = 10001010B

▲ 1 : SMBS0 = 10001110B

▲ 2 : SMBS0 = 01000100B (例 割り込み処理中にALD0をリード)

3 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVA0不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0				▲1					▲2		3

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 1000X110B

▲2 : SMBS0 = 01000110B (例 割り込み処理中にALD0をリード)

3 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

Dn = D6-D0

拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
◇0				▲1					▲2		3

0 : SMBS0 = 10001010B

▲1 : SMBS0 = 1000X110B

▲2 : SMBS0 = 0110X010B (例 割り込み処理中にALD0をリード, ソフトでSMBC0:LREL0 = 1を設定)

3 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

Dn = D6-D0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	RW	AK	D7-Dn	SP
◇0			▲1		2

0 : SMBS0 = 10001010B

▲ 1 : SMBS0 = 1000X110B

2 : SMBS0 = 01000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

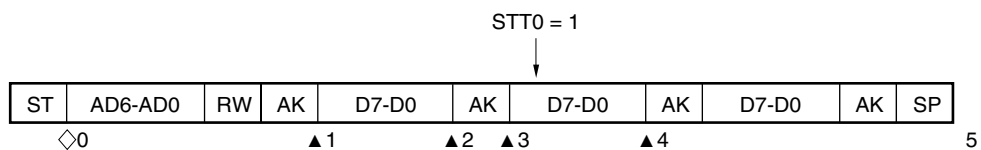
SPIE0 = 1のときだけ発生

X 任意

Dn = D6-D0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIM0 = 0のとき

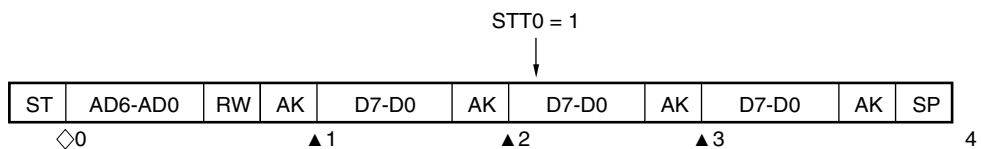


- 0 : SMBS0 = 10001010B
- ▲ 1 : SMBS0 = 1000X110B
- ▲ 2 : SMBS0 = 1000X000B
- ▲ 3 : SMBS0 = 1000XX00B
- ▲ 4 : SMBS0 = 01000000B (例 割り込み処理中にALD0をリード)
- 5 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

- ▲ 必ず発生
- SPIE0 = 1のときだけ発生
- X 任意

WTIM0 = 1のとき



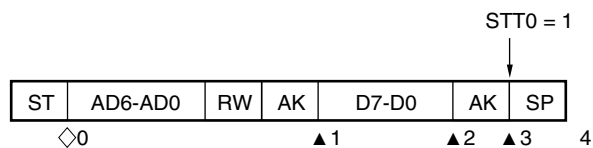
- 0 : SMBS0 = 10001010B
- ▲ 1 : SMBS0 = 1000X110B
- ▲ 2 : SMBS0 = 1000XX00B
- ▲ 3 : SMBS0 = 01000100B (例 割り込み処理中にALD0をリード)
- 4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

- ▲ 必ず発生
- SPIE0 = 1のときだけ発生
- X 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIM0 = 0のとき



0 : SMBS0 = 10001010B

▲1 : SMBS0 = 1000X110B

▲2 : SMBS0 = 1000X000B

▲3 : SMBS0 = 1000XX00B

4 : SMBS0 = 01000001B

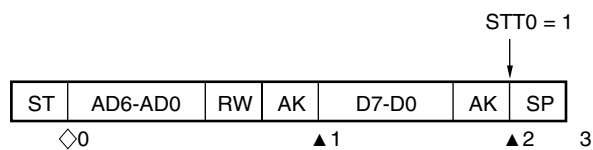
備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき



0 : SMBS0 = 10001010B

▲1 : SMBS0 = 1000X110B

▲2 : SMBS0 = 1000XX00B

3 : SMBS0 = 01000001B

備考 STIE0 = 1のときだけ発生

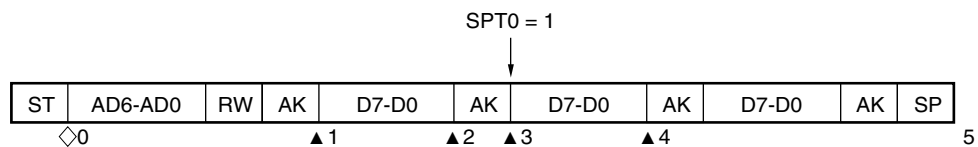
▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIM0 = 0のとき



0 : SMBS0 = 10001010B

▲ 1 : SMBS0 = 1000X110B

▲ 2 : SMBS0 = 1000X000B

▲ 3 : SMBS0 = 1000XX00B

▲ 4 : SMBS0 = 01000000B (例 割り込み処理中にALD0をリード)

5 : SMBS0 = 00000001B

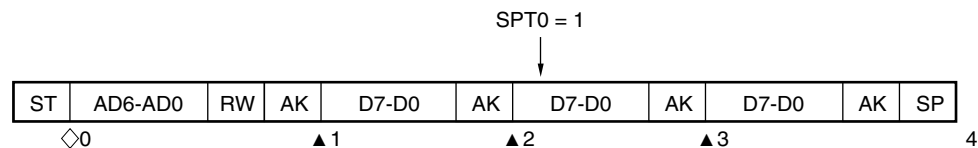
備考 STIE0 = 1のときだけ発生

▲ 必ず発生

SPIE0 = 1のときだけ発生

X 任意

WTIM0 = 1のとき



0 : SMBS0 = 10001010B

▲ 1 : SMBS0 = 1000X110B

▲ 2 : SMBS0 = 1000XX00B

▲ 3 : SMBS0 = 01000000B (例 割り込み処理中にALD0をリード)

4 : SMBS0 = 00000001B

備考 STIE0 = 1のときだけ発生

▲ 必ず発生

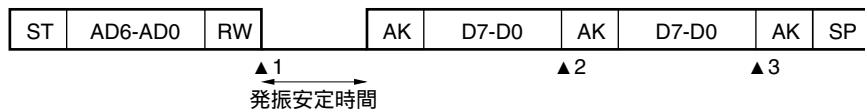
SPIE0 = 1のときだけ発生

X 任意

(7) スレーブ動作 (STOPモード解除時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIM0 = 0のとき



▲1 : SMBS0 = 0001X010B

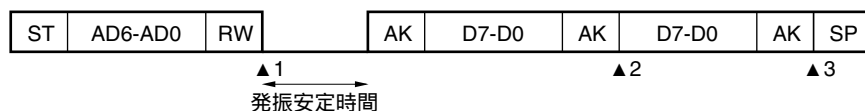
▲2 : SMBS0 = 0001X000B

▲3 : SMBS0 = 0001X000B

備考 ▲ 必ず発生

X 任意

WTIM0 = 1のとき



▲1 : SMBS0 = 0001X010B

▲2 : SMBS0 = 0001X100B

▲3 : SMBS0 = 0001XX00B

備考 ▲ 必ず発生

X 任意

- 注意1. アドレス一致でSTOPモードを解除する場合、STIE0 = SPIE0 = 0にしておいてください。ただし、この場合はSTOPモード中に他のデバイスがスタート・コンディションやストップ・コンディションを出力しても割り込みが発生しないため、タイム・アウト・カウンタの動作や停止を制御することはできません。
2. STOPモードを解除する場合、スタート・コンディションで割り込みが発生しないため、スタート・コンディション～発振安定時間後までの間はタイム・アウト・カウンタを動作させることはできません。

15.4.8 割り込み要求 (INTSMB0) 発生タイミングおよびウェイト制御

SMBコントロール・レジスタ0 (SMBC0) のビット3 (WTIM0) の設定で、表15 - 3に示すタイミングでINTSMB0が発生し、また、ウェイト制御を行います。

表15 - 3 INTSMB0発生タイミングおよびウェイト制御

WTIM0	AWTIM0	スレーブ動作時			マスタ動作時		
		アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
	1	8 ^{注1, 2}					
1	0	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9
	1	8 ^{注1, 2}					

注1. スレーブのINTSMB0信号およびウェイトは、SMBスレーブ・アドレス・レジスタ (SMBSVA0) のアドレスと一致したときのみ、AWTIM0の設定に従って8または9クロック目の立ち下がりで発生します。

また、このとき、SMBC0のビット2 (ACKE0) の設定にかかわらず、 $\overline{ACK}$ が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTSMB0が発生します。

2. SMBスレーブ・アドレス・レジスタ0 (SMBSVA0) と受信したアドレスが一致していない場合は、INTSMB0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・SMBコントロール・レジスタ0 (SMBC0) のビット5 (WREL0) = 1
- ・SMBシフト・レジスタ0 (SMB0) のライト動作
- ・スタート・コンディションのセット (SMBC0のビット1 (STT0) = 1)
- ・ストップ・コンディションのセット (SMBC0のビット0 (SPT0) = 1)

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前に $\overline{ACK}$ の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

INTSMB0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

(6) スタート・コンディション検出

INTSMB0は、スタート・コンディションを検出すると発生します (STIE0 = 1のときのみ)。

15.4.9 アドレスの一致検出方法

SMBモードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SMBスレーブ・アドレス・レジスタ0 (SMBSVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSMBSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTSMB0割り込み要求が発生します。

15.4.10 エラーの検出

SMBモードでは、送信中のシリアル・データ・バス (SDA0) の状態が、送信しているデバイスのSMBシフト・レジスタ0 (SMB0) にも取り込まれるため、送信開始前と送信終了後のSMB0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

15.4.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセットし、8クロック目の立ち下がりで割り込み要求 (INTSMB0) を発生します。SMBスレーブ・アドレス・レジスタ0 (SMBSVA0) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SMBSVA0に“111110××”を設定し、マスタから“111110××0”が転送されてきた場合は、次のようになります。ただしINTSMB0は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXC0 = 1^注

・7ビット・データの一致 : COI0 = 1^注

注 EXC0 : SMB状態レジスタ0 (SMBS0) のビット5

COI0 : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。たとえば拡張コード受信後、スレーブとして動作したくない場合は、LREL0 = 1に設定し、次の通信待機状態となります。

表15-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説 明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	X	CBUSアドレス
0000 010	X	異なるバス・フォーマット用に予約されているアドレス
1111 0XX	X	10ビット・スレーブ・アドレス指定

そのほか、次のアドレスもシステム管理バス用に予約されています。

スレーブ・アドレス	説 明
0001 000	SMBホスト
0001 100	SMBアラートへの応答アドレス
1010 001	SMBデバイスのデフォルト・アドレス
1001 0XX	無制約アドレス

15.4.12 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合(STD0 = 1になる前にSTT0 = 1にしたとき^注), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, SMB状態レジスタ0 (SMBS0) のアービトレーション負けフラグ (ALD0) をセットし, SCL0, SDA0ラインともHi-Z状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み発生タイミングについては, 15.4.7 SMB0割り込み (INTSMB0) を参照してください。

注 STD0 : SMB状態レジスタ0 (SMBS0) のビット1

STT0 : SMBコントロール・レジスタ0 (SMBC0) のビット1

図15 - 14 アービトレーション・タイミング例

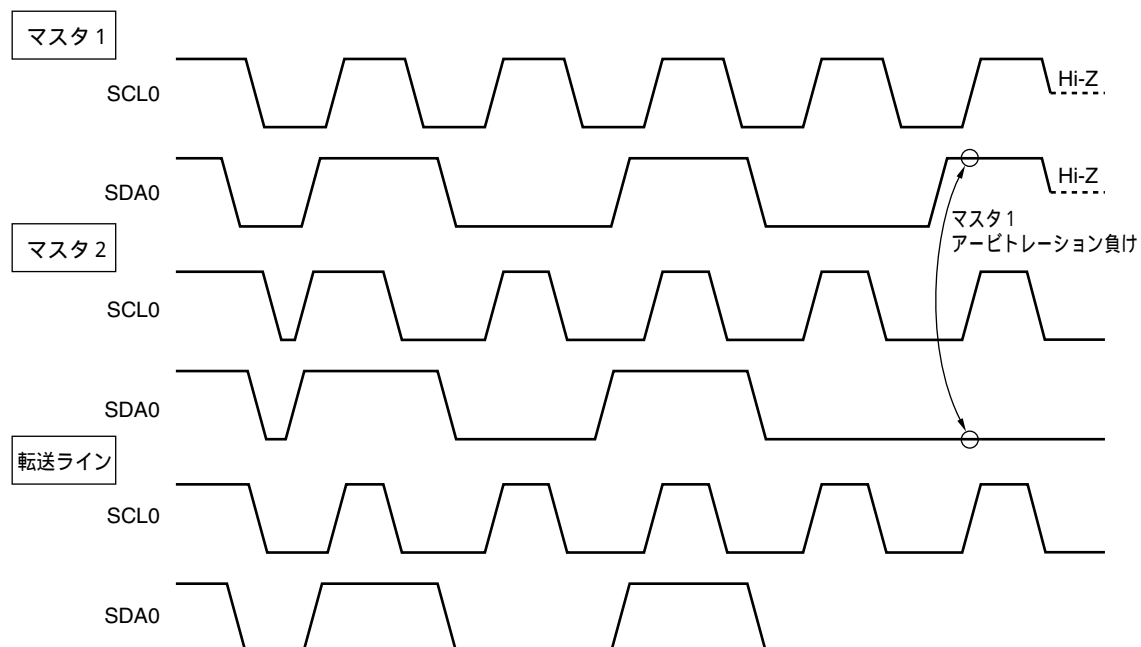


表15 - 5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCL0がロウ・レベル	

注1. WTIM0 (SMBコントロール・レジスタ0 (SMBC0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作でSPIE0 = 1にしてください。

備考 SPIE0 : SMBコントロール・レジスタ0 (SMBC0) のビット4

15.4.13 ウェイク・アップ機能

SMB0のスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求 (INTSMB0) を発生する機能です。この割り込みで、STOPモードおよびHALTモードの解除ができます。

アドレスが一致しないときは不要な割り込み要求を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ（スタート・コンディションを出力した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、SMBコントロール・レジスタ0 (SMB0) のビット4 (SPIE0) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

[動作手順]

ストップ・コンディションを検出

アドレス・ウェイトを8クロック (AWTIM0=1) に設定

アクノリッジを許可 (ACKE0=1) に設定

STOP/HALT命令を実行 → STOP/HALTモード

STOP/HALTモード中

STOP/HALTモード中に、マスタよりアドレスが送信されて来た場合

→ アドレス一致しないとき . . . STOP/HALTモードを保持

→ アドレス一致したとき . . . STOP/HALTモードの解除へ移行

STOP/HALTモード解除

SCLCTL0=1でウェイトを解除

ACKを返して9クロック目を受け付け (この処理は自動)

あとは通常のIIC通信フローに準拠

15.4.14 通信予約

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない ($\overline{\text{ACK}}$ を返さず、SMBコントロール・レジスタ0 (SMBC0) のビット6 (LREL0) = 1でバスを解放した) とき

バスに不参加の状態、SMBC0のビット1 (STT0) をセットすると、バスが解放されたあと (ストップ・コンディション検出後) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出 (ストップ・コンディション検出) すると、SMBシフト・レジスタ0 (SMB0) ライト操作により、マスタとしてのアドレス転送を開始します。このとき、SMBC0のビット4 (SPIE0) をセットしておいてください。

STT0をセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) 通信予約

STT0がどちらに動作したのかを検出する方法は、STT0をセットし、ウェイト時間をとったあと、再度STT0ビットを確認することで行います。

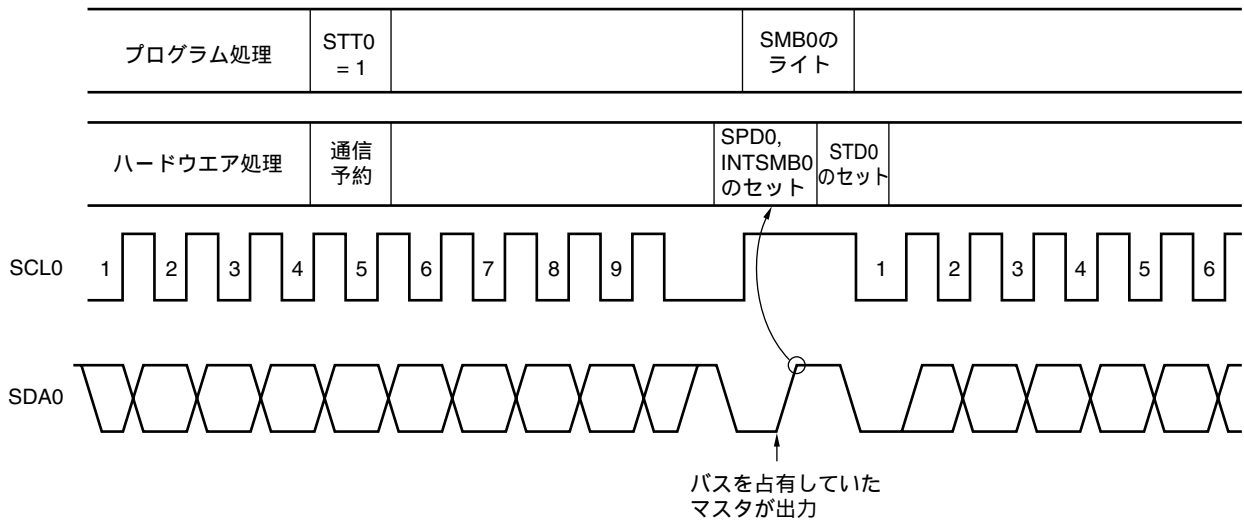
ウェイト時間は、表15 - 6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はSMBクロック選択レジスタ0 (SMBCL0) のビット3 (SMC0) により設定できます。

表15 - 6 ウェイト時間

SMC0	ウェイト時間
0	46クロック
1	16クロック

通信予約のタイミングを図15 - 15に示します。

図15 - 15 通信予約のタイミング



SMB0 : SMBシフト・レジスタ0
STT0 : SMBコントロール・レジスタ0 (SMBC0) のビット1
STD0 : SMB状態レジスタ0 (SMBS0) のビット1
SPD0 : " のビット0

通信予約は次のタイミングで受け付けられます。SMB状態レジスタ0 (SMBS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにSMBコントロール・レジスタ0 (SMBC0) のビット1 (STT0) = 1で通信予約をします。

図15 - 16 通信予約受け付けタイミング

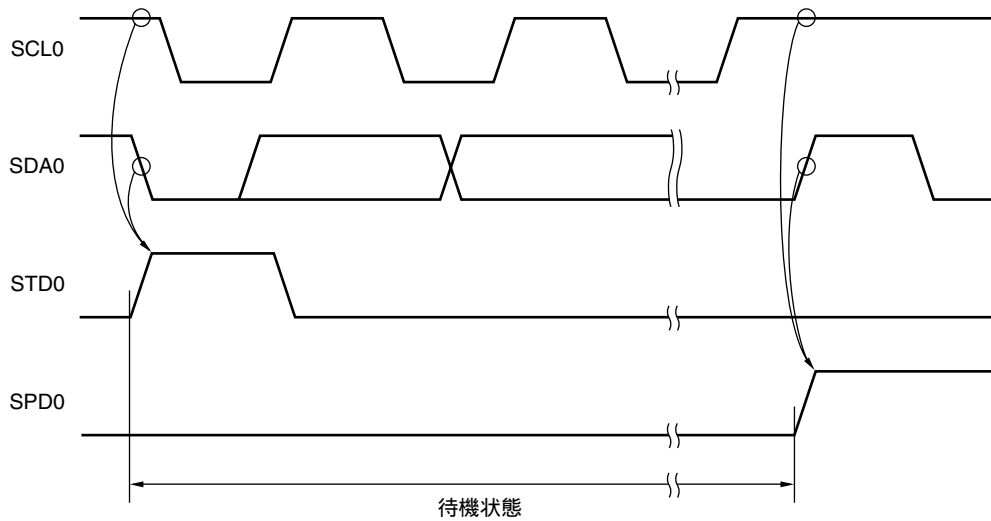
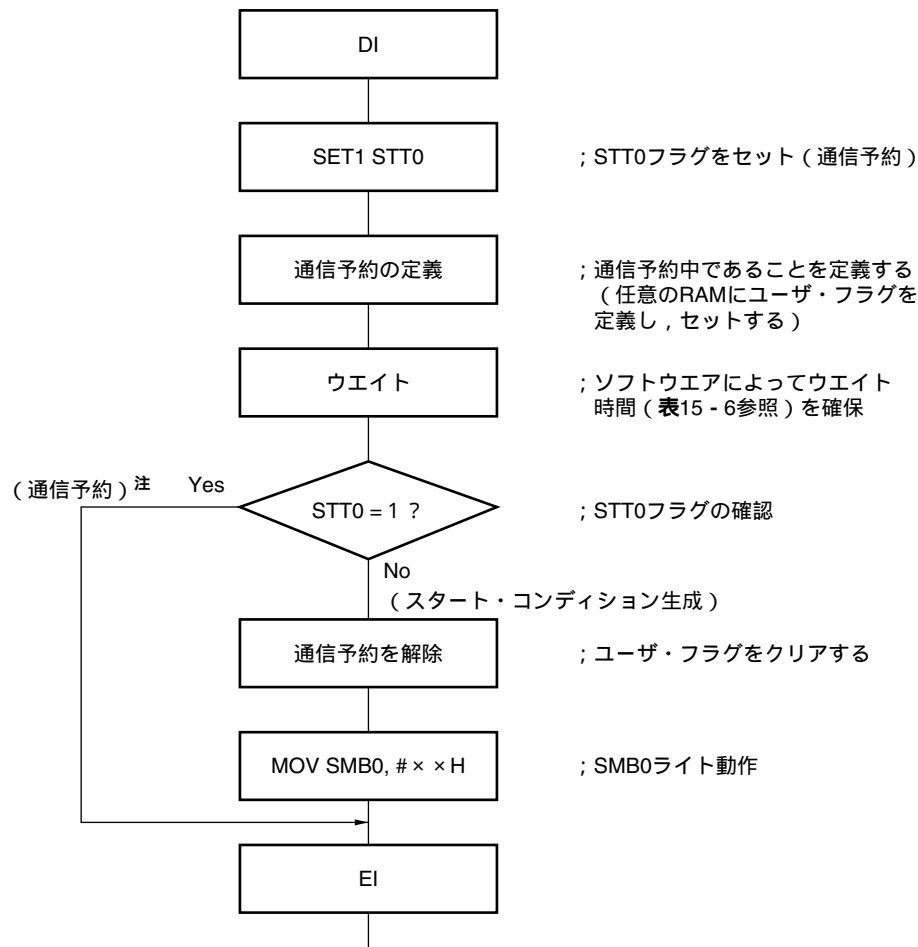


図15 - 17に通信予約の手順を示します。

図15 - 17 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込みでSMBシフト・レジスタ0 (SMB0) への書き込みを実行します。

15. 4. 15 その他の注意事項

リセット後、ストップ・コンディションを検出していない (バスが解放されていない) 状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は以下の順序で行ってください。

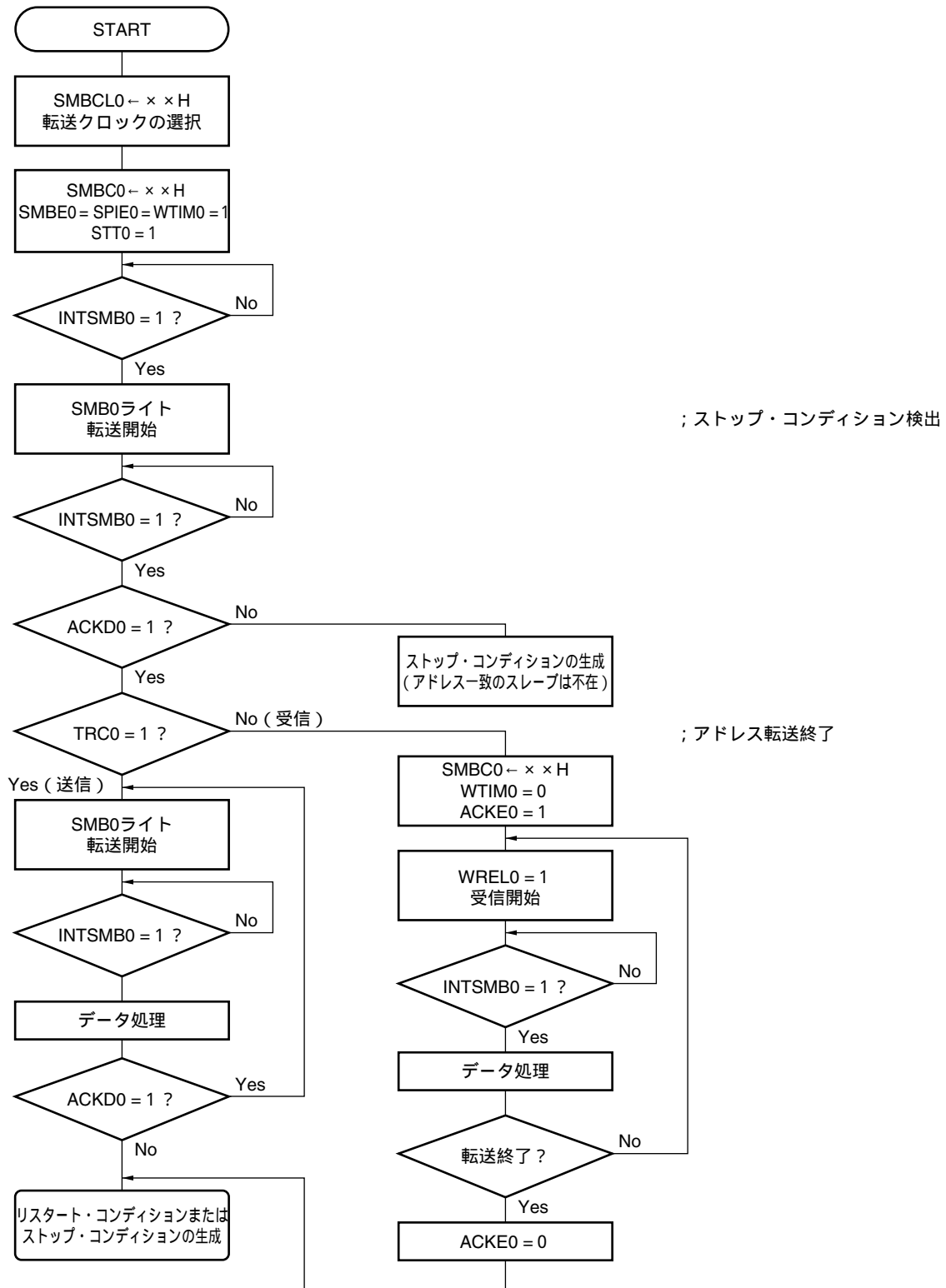
- SMBクロック選択レジスタ0 (SMBCL0) の設定
- SMBコントロール・レジスタ0 (SMB0) のビット7 (SMBE0) のセット
- SMB0のビット0 (SPT0) のセット

15.4.16 通信動作

(1) マスタ動作

マスタ動作手順の例を次に示します。

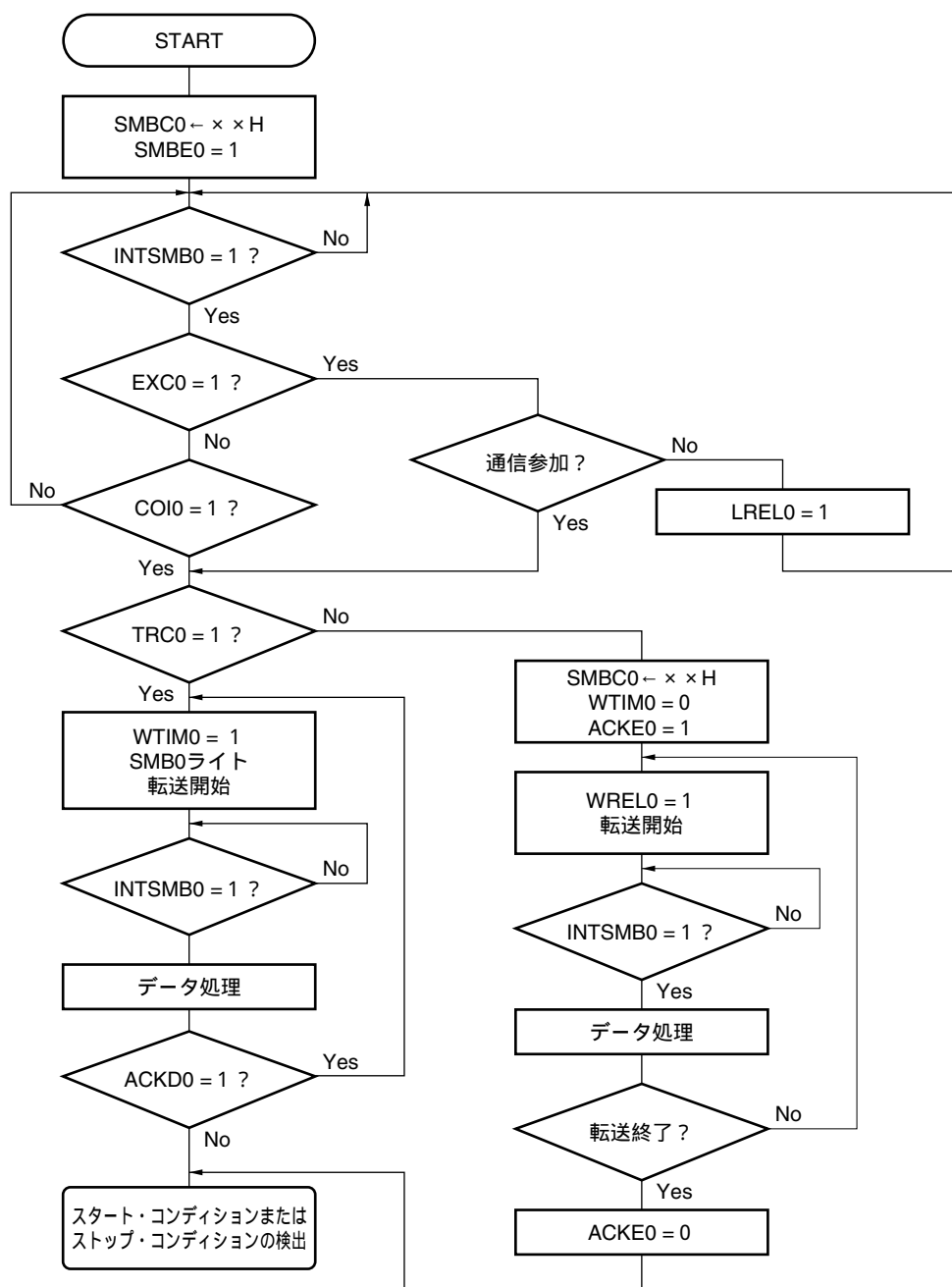
図15 - 18 マスタ動作手順



(2) スレーブ動作

スレーブ動作手順の例を次に示します。

図15 - 19 スレーブ動作手順



15.5 タイミング・チャート

SMBモードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット (SMB状態レジスタ0 (SMBS0) のビット3) を送信し、スレーブとのシリアル通信を開始します。

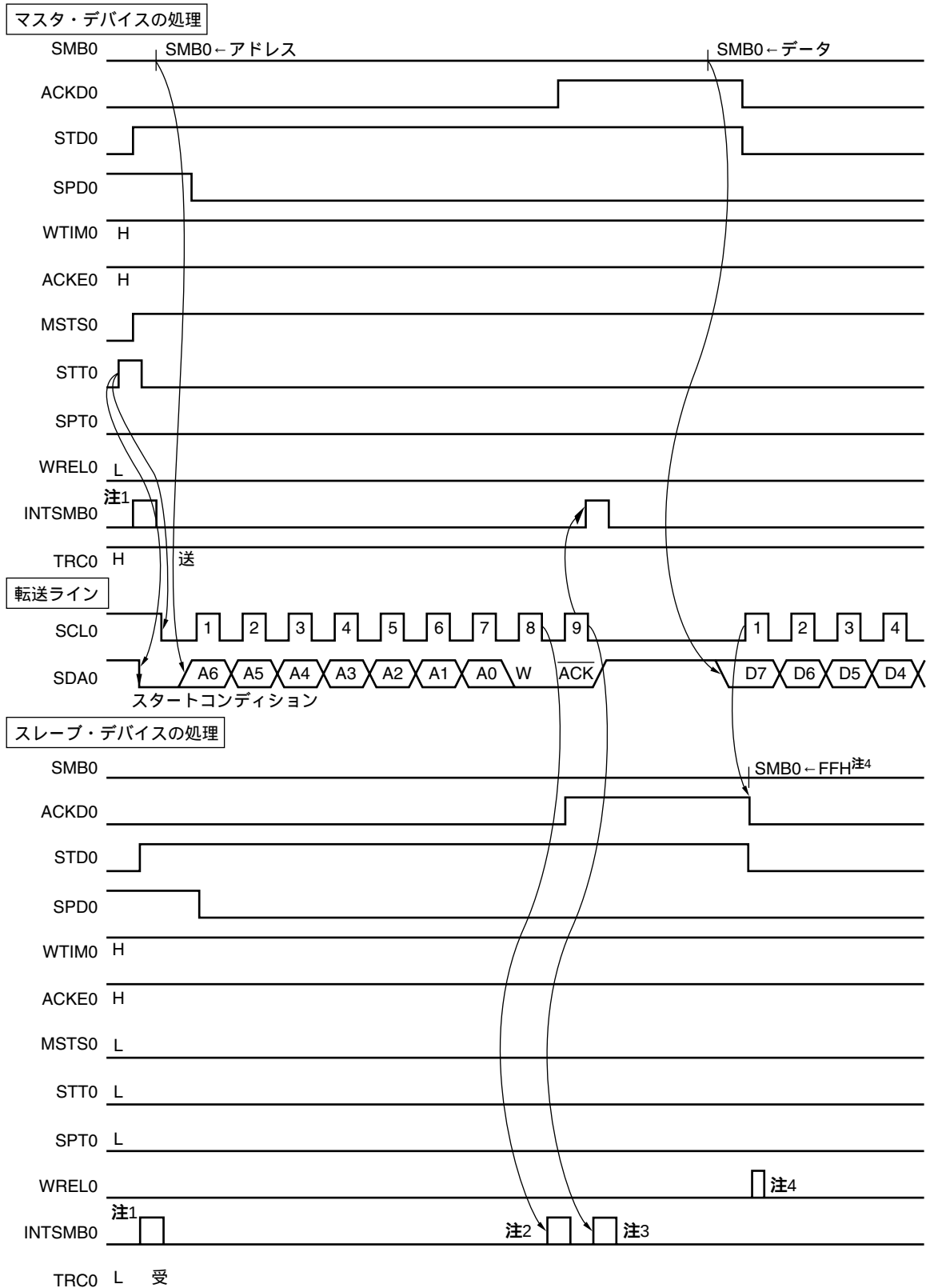
データ通信のタイミング・チャートを図15 - 20、図15 - 21に示します。

シリアル・クロック (SCL0) の立ち下がりに同期してSMBシフト・レジスタ0 (SMB0) のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがSMB0に取り込まれます。

図15 - 20 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (1/3)

(1) スタート・コンディション～アドレス



注1. STIE0 = 1のときのみ、割り込み信号が出ます。

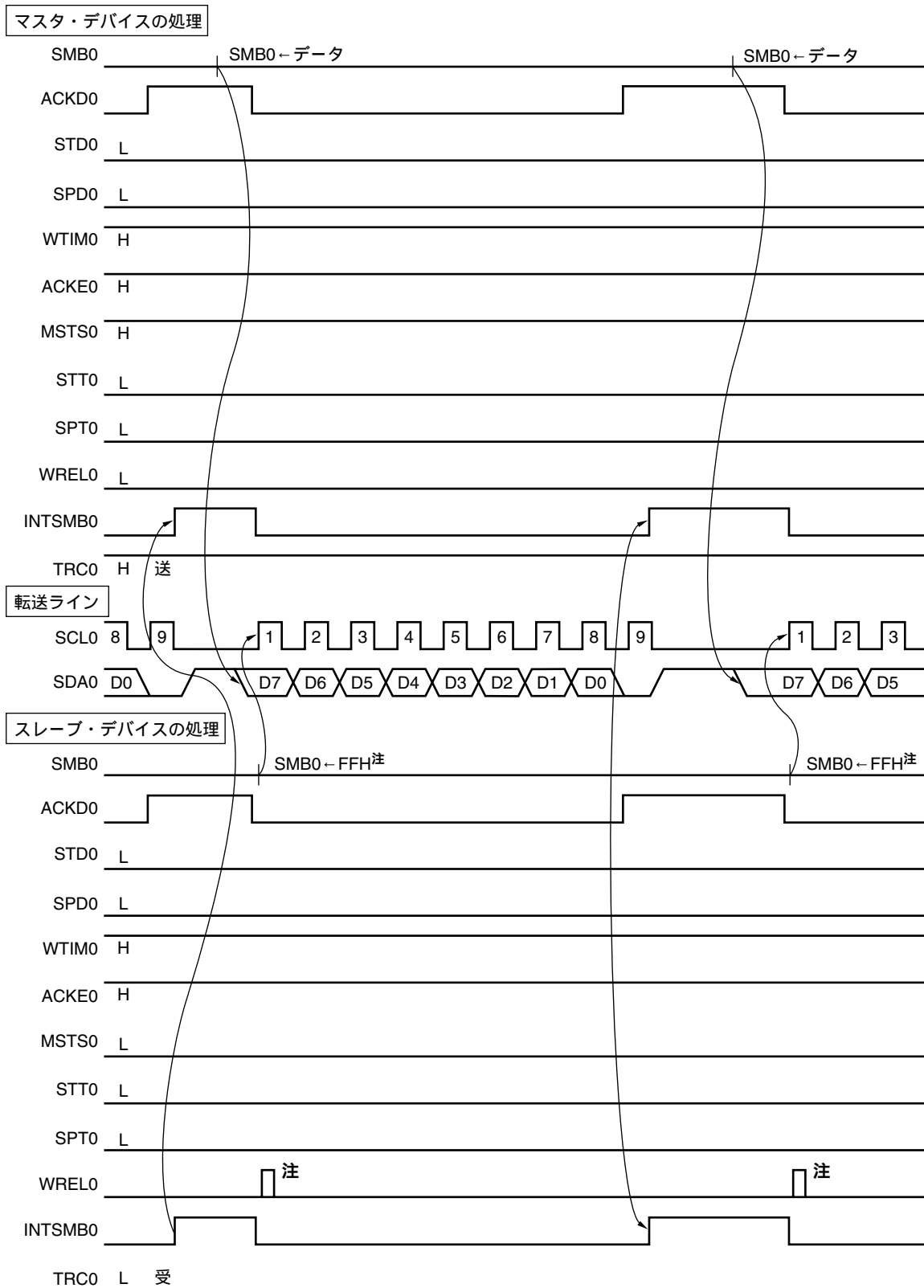
2. EXC0 = 1のときのみ、割り込み信号が出ます。

3. SPIE0 = 1のときのみ、割り込み信号が出ます。

4. スレーブ・ウェイト解除は、SMB0 ← FFHまたはWREL0のセットのどちらかで行ってください。

図15 - 20 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (2/3)

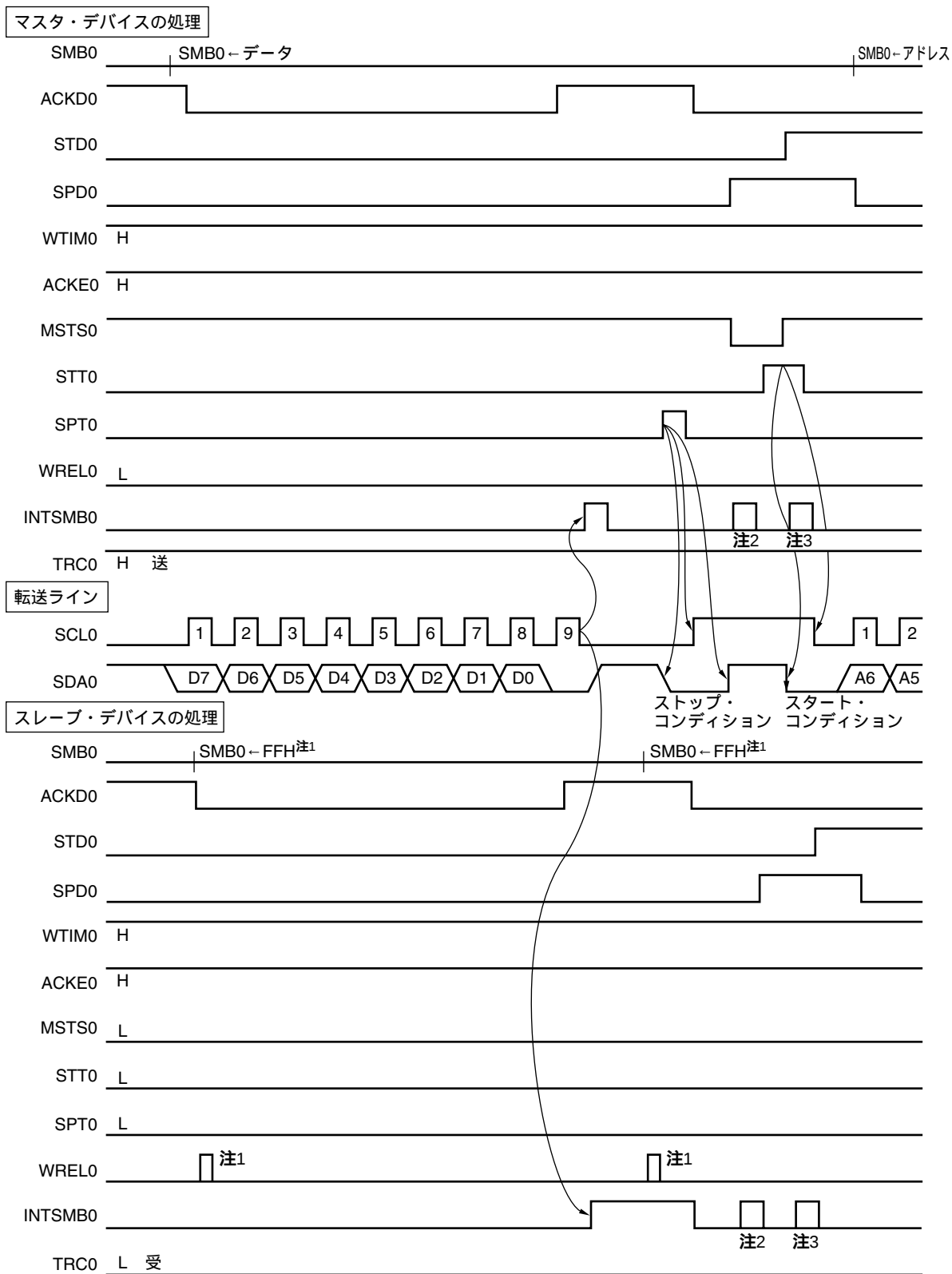
(2) データ



注 スレーブ・ウェイト解除は, SMB0 ← FFHまたはWREL0のセットのどちらかで行ってください。

図15 - 20 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (3/3)

(3) ストップ・コンディション



注1. スレーブ・ウェイト解除は, SMB0←FFHまたはWREL0のセットのどちらかで行ってください。

2. SPIE0 = 1のときのみ, 割り込み信号が出ます。

3. STIE0 = 1のときのみ, 割り込み信号が出ます。

図15 - 21 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション～アドレス

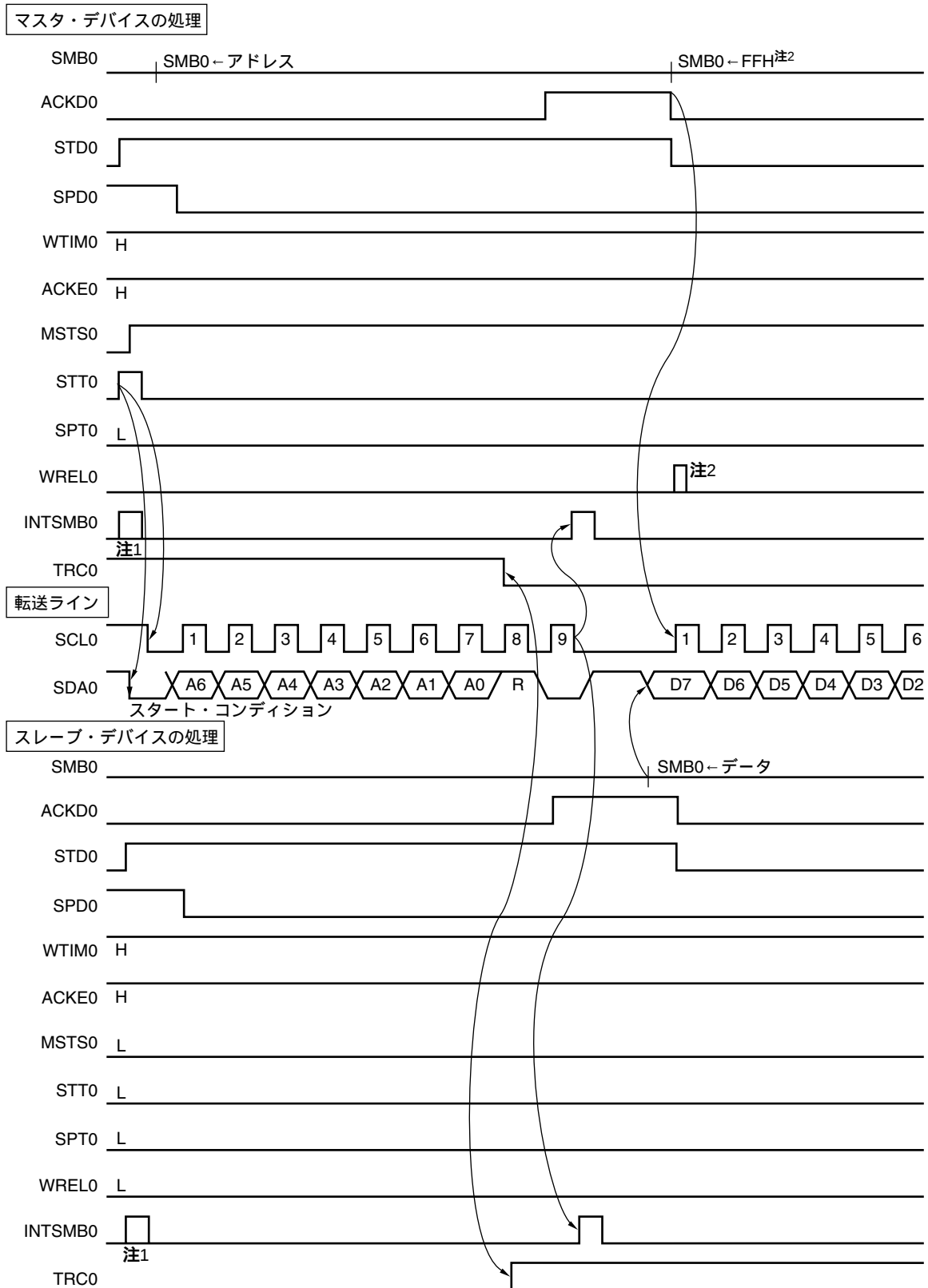
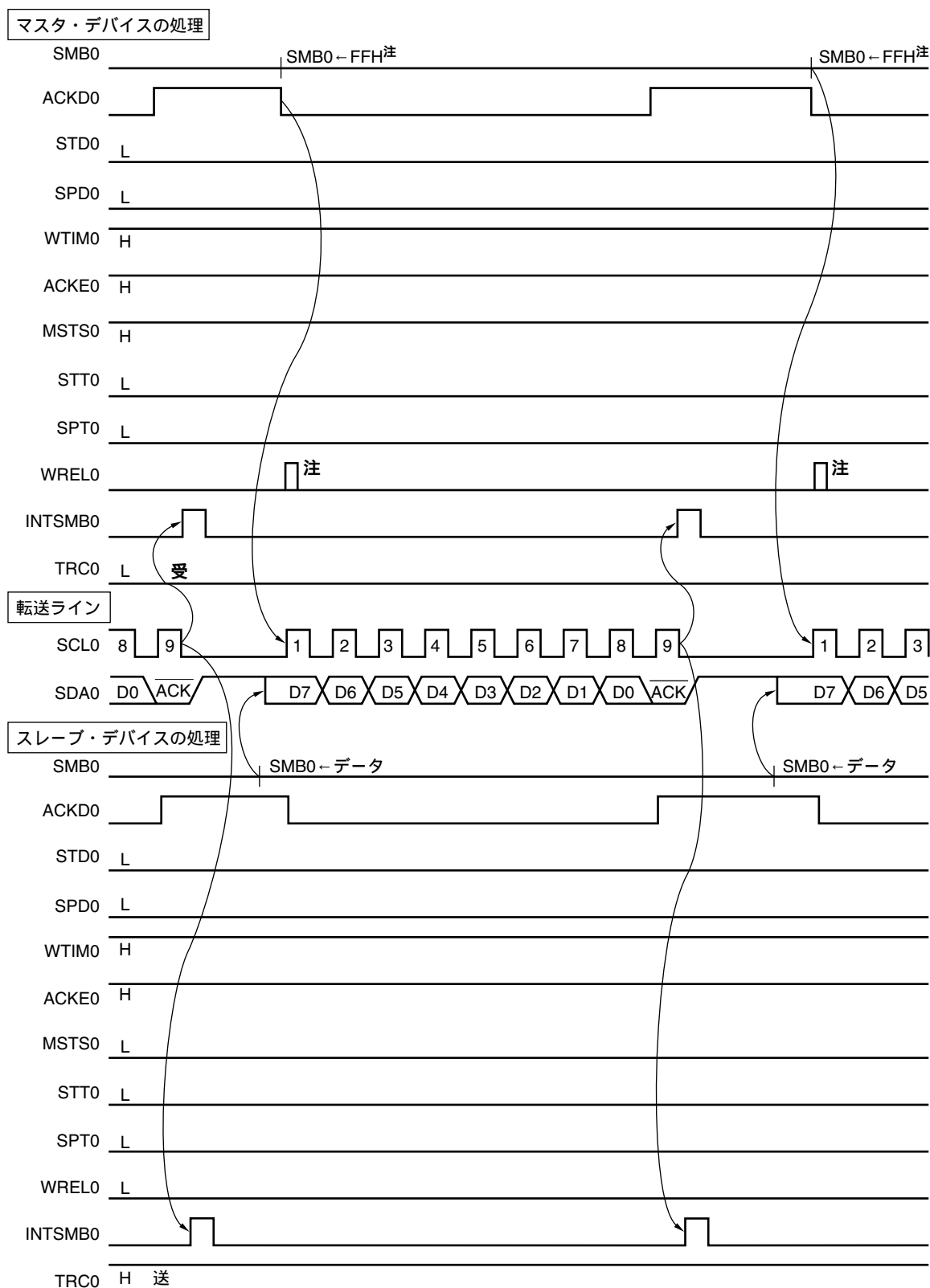


図15 - 21 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) (2/3)

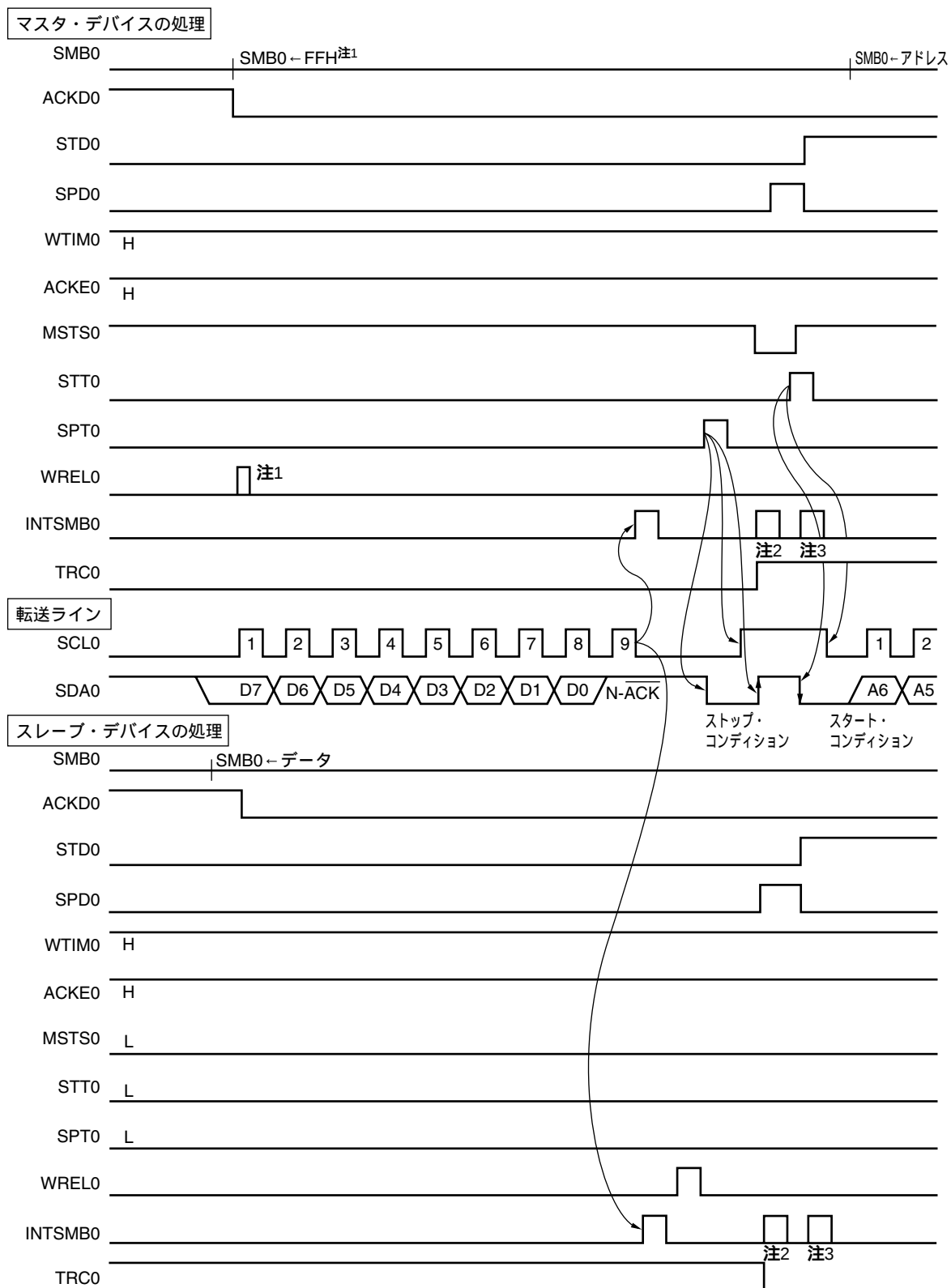
(2) データ



注 スレーブ・ウェイト解除は, $SMB0 \leftarrow FFH$ または $WREL0$ のセットのどちらかで行ってください。

図15 - 21 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(3) ストップ・コンディション



注1. スレーブ・ウエイト解除は, SMB0 ← FFHまたはWREL0のセットのどちらかで行ってください。

2. SPIE0 = 1のときのみ, 割り込み信号が出ます。

3. STIE0 = 1のときのみ, 割り込み信号が出ます。

第16章 乗算器

16.1 乗算器の機能

乗算器には、次のような機能があります。

・ 8ビット×8ビット = 16ビットの計算ができます。

16.2 乗算器の構成

(1) 16ビット乗算結果格納レジスタ0 (MUL0)

16ビットの乗算結果を格納するレジスタです。

このレジスタは、CPUクロックで16クロック経過後、乗算結果を保持します。

MUL0は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(2) 乗算データ・レジスタA, B (MRA0, MRB0)

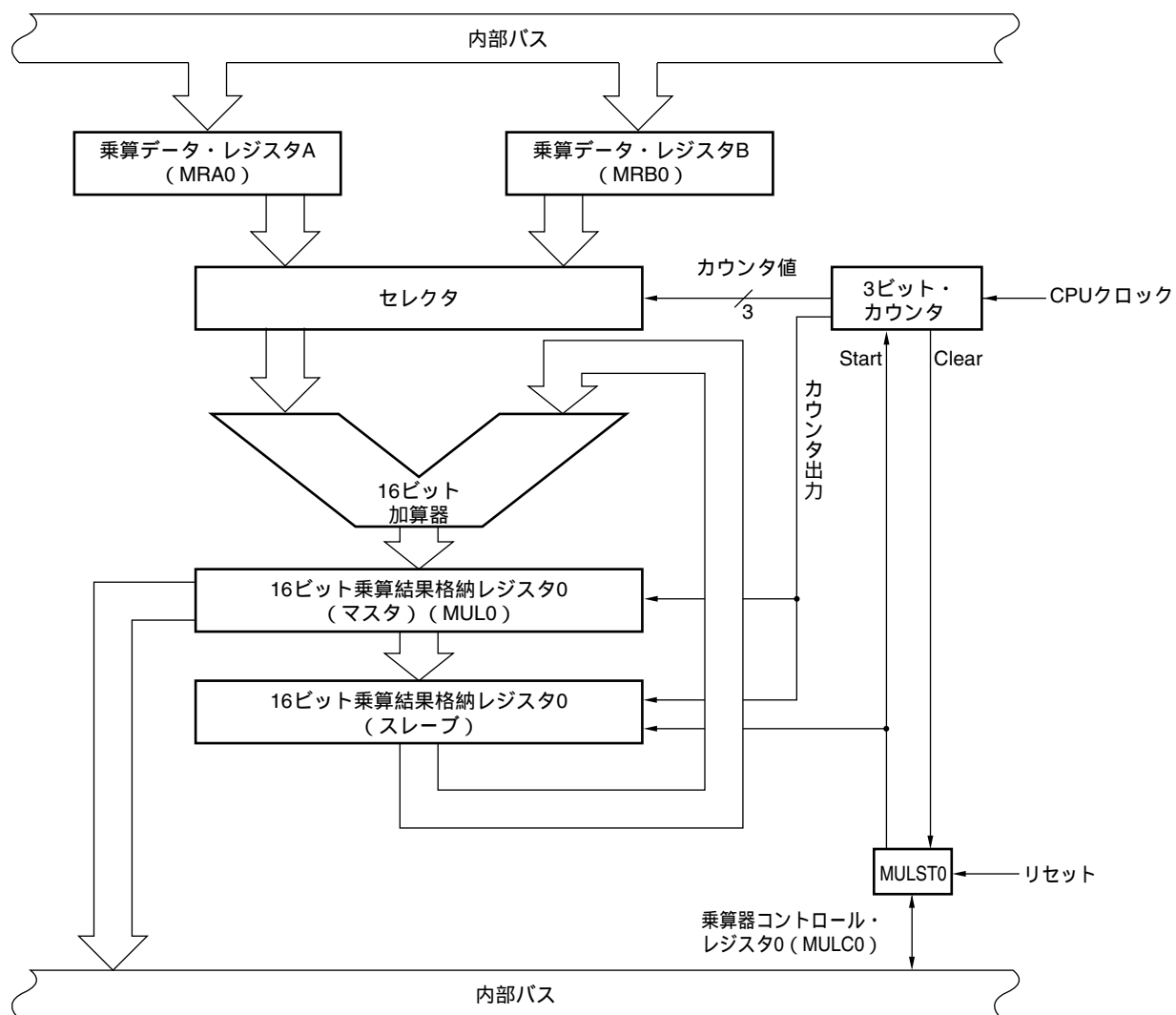
8ビットの乗算データ格納用レジスタです。乗算器はMRA0とMRB0の値を乗算します。

MRA0, MRB0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図16 - 1に乗算器のブロック図を示します。

図16 - 1 乗算器のブロック図



16.3 乗算器を制御するレジスタ

乗算器は次のレジスタで制御します。

- ・乗算器コントロール・レジスタ0 (MULC0)

MULC0は、演算動作を制御する機能と同時に、乗算器の動作状態を示すレジスタです。

MULC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16 - 2 乗算器コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MULC0	0	0	0	0	0	0	0	MULST0	FFD2H	00H	R/W

MULST0	乗算器の演算活動開始の制御ビット	乗算器の動作状態
0	カウンタをすべて“0”にセットした後、演算動作停止	動作停止中
1	演算動作許可	演算実行中

注意 ビット1-7には、必ず0を設定してください。

16.4 乗算器の動作

μ PD789167, 789177, 789167Y, 789177Yサブシリーズの乗算器では8ビット×8ビット = 16ビットの計算ができます。

MRA0 = AAH, MRB0 = D3Hと設定した場合の乗算器の動作タイミングを図16 - 3に示します。

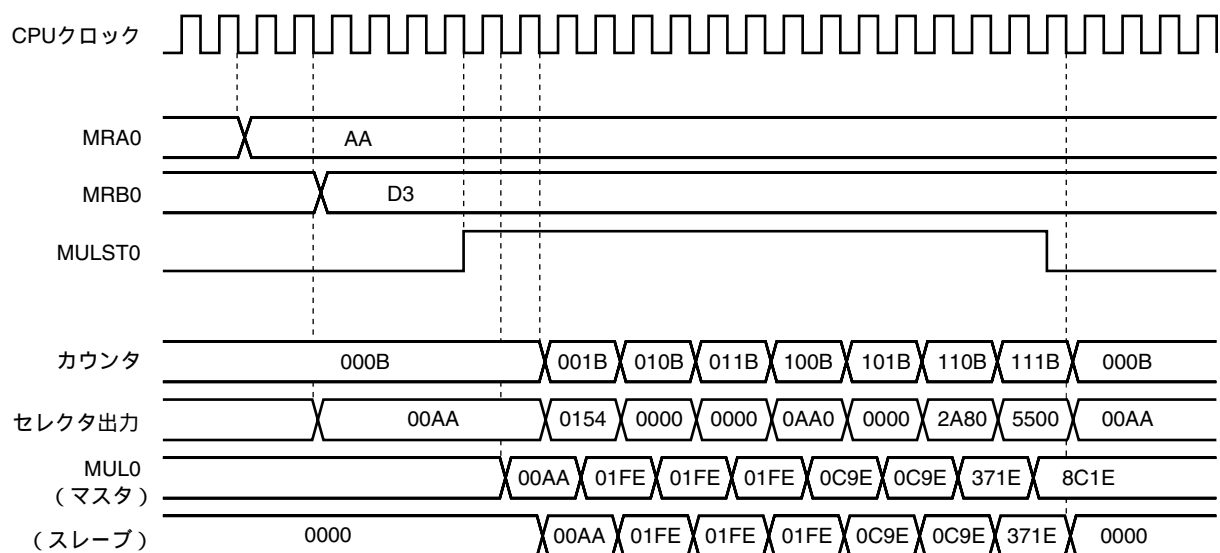
MULST0をセットすることにより、カウント動作を開始します。

CPUクロックごとに、セクタによって生成されたデータとMUL0のデータを加算し、カウンタ値を1インクリメントします。

カウンタの値が111Bのとき、MULST0がクリアされると演算動作を停止します。そのときMUL0はデータを保持しています。

MULST0がロウ・レベル中は、カウンタとスレーブはクリアされています。

図16 - 3 乗算器の動作タイミング (AAH×D3Hの例)



第17章 割り込み機能

17.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表17 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、 μ PD789167, 789177サブシリーズでは外部割り込みが4要因、内部割り込みが10要因、 μ PD789167Y, 789177Yサブシリーズでは外部割り込みが4要因、内部割り込みが12要因あります。

17.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、 μ PD789167, 789177サブシリーズでは合計15要因、 μ PD789167Y, 789177Yサブシリーズでは合計17要因あります(表17 - 1参照)。

表17 - 1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTSR20	シリアル・インタフェース20のUART受信終了	内部	000EH	(B)
		INTCSI20	シリアル・インタフェース20の3線式SIO転送受信終了			
	6	INTST20	シリアル・インタフェース20のUART送信終了		0010H	
	7	INTWT	時計用タイマ割り込み		0012H	
	8	INTWTI	インターバル・タイマ割り込み		0014H	
	9	INTTM80	8ビット・タイマ/イベント・カウンタ80の一致信号発生		0016H	
	10	INTTM81	8ビット・タイマ/イベント・カウンタ81の一致信号発生		0018H	
	11	INTTM82	8ビット・タイマ82の一致信号発生		001AH	
	12	INTTM90	16ビット・タイマ90の一致信号発生		001CH	
	13	INTSMB0 ^{注3}	SMB割り込み		001EH	
	14	INTSMB0 ^{注3}	SMBタイム・アウト割り込み		0020H	
	15	INTAD0	A/D変換完了信号		0022H	

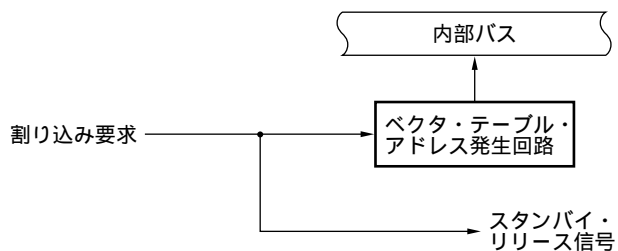
注1. プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位，15が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図17 - 1の (A) - (C) に対応しています。

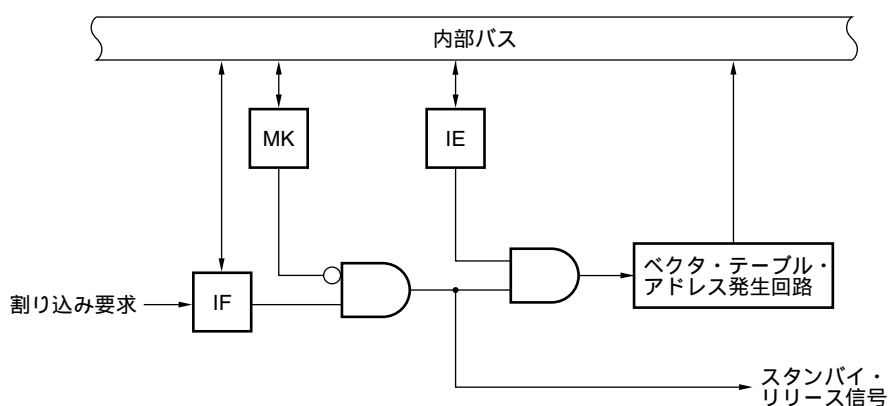
3. μ PD789167Y, 789177Yサブシリーズのみ

図17 - 1 割り込み機能の基本構成

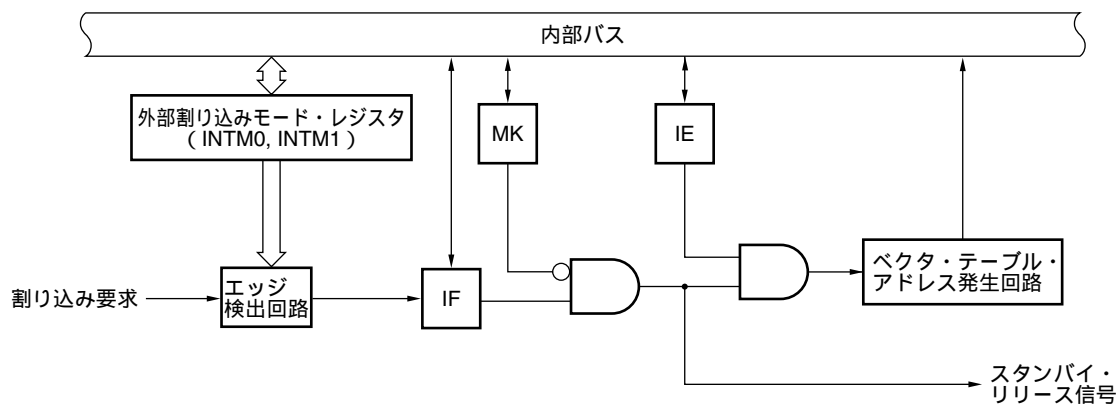
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)
- ・外部割り込みモード・レジスタ0, 1 (INTM0, INTM1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表17 - 2に示します。

表17 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTP3	PIF3	PMK3
INTSR20/INTCSI20	SRIF20	SRMK20
INTST20	STIF20	STMK20
INTWT	WTIF	WTMK
INTWTI	WTIIF	WTIMK
INTTM80	TMIF80	TMMK80
INTTM81	TMIF81	TMMK81
INTTM82	TMIF82	TMMK82
INTTM90	TMIF90	TMMK90
INTSMB0 ^注	SMBIF0 ^注	SMBMK0 ^注
INTSMBOV0 ^注	SMBOVIF0 ^注	SMBOVMK0 ^注
INTAD0	ADIF0	ADMK0

注 μ PD789167Y, 789177Yサブシリーズのみ

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット（1）され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア（0）されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17 - 2 割り込み要求フラグ・レジスタのフォーマット

略号	0							アドレス	リセット時	R/W
IF0	WTIF	STIF20	SRIF20	PIF3	PIF2	PIF1	PIF0	TMIF4	FFE0H	00H R/W
0										
IF1	ADIF0	SMBOVIF0 ^注	SMBIF0 ^注	TMIF90	TMIF82	TMIF81	TMIF80	WTIIF	FFE1H	00H R/W

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 μPD789167Y, 789177Yサブシリーズのみ内蔵しています。μPD789167, 789177サブシリーズでは必ず0を設定してください。

- 注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。
2. ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図17 - 3 割り込みマスク・フラグ・レジスタのフォーマット

略号	0							アドレス	リセット時	R/W
MK0	WTMK	STMK20	SRMK20	PMK3	PMK2	PMK1	PMK0	TMMK4	FFE4H	FFH R/W
0										
MK1	ADMK0	SMBOMK0 ^注	SMBMK0 ^注	TMMK90	TMMK82	TMMK81	TMMK80	WTIMK	FFE5H	FFH R/W

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 μ PD789167Y, 789177Yサブシリーズのみ内蔵しています。 μ PD789167, 789177サブシリーズでは必ず1を設定してください。

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、TMMK4フラグを読み出すと不定になっています。
2. ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1には、必ず0を設定してください。

- INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット ($\times \times \text{MK} \times = 1$) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア ($\times \times \text{IF} \times = 0$) してから、割り込みマスク・フラグをクリア ($\times \times \text{MK} \times = 0$) し、割り込みを許可してください。

(4) 外部割り込みモード・レジスタ1 (INTM1)

INTP3の有効エッジを設定するレジスタです。

INTM1は8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-5 外部割り込みモード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	0	0	0	0	ES31	ES30	FFEDH	00H	R/W

ES31	ES30	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット2-7には、必ず0を設定してください。

2. INTM1レジスタの設定は、必ずPMK3をセットし、割り込みを禁止してから行ってください。その後、PIF3をクリアしてから、PMK3をクリアし、割り込みを許可してください。

(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図17-6 プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	0	AC	0	0	1	CY	0 2 H
									通常の命令実行時に使用

IE	割り込み受け付けの許可 / 禁止
0	禁止
1	許可

17.4 割り込み処理動作

17.4.1 ノンマスカブル割り込み要求の受け付け動作

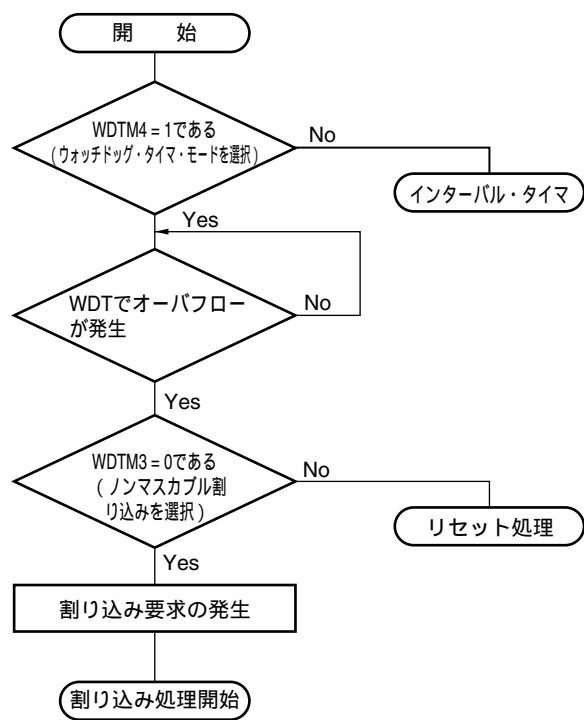
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図17 - 7に、ノンマスカブル割り込み要求の受け付けタイミングを図17 - 8に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図17 - 9に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図17 - 7 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート

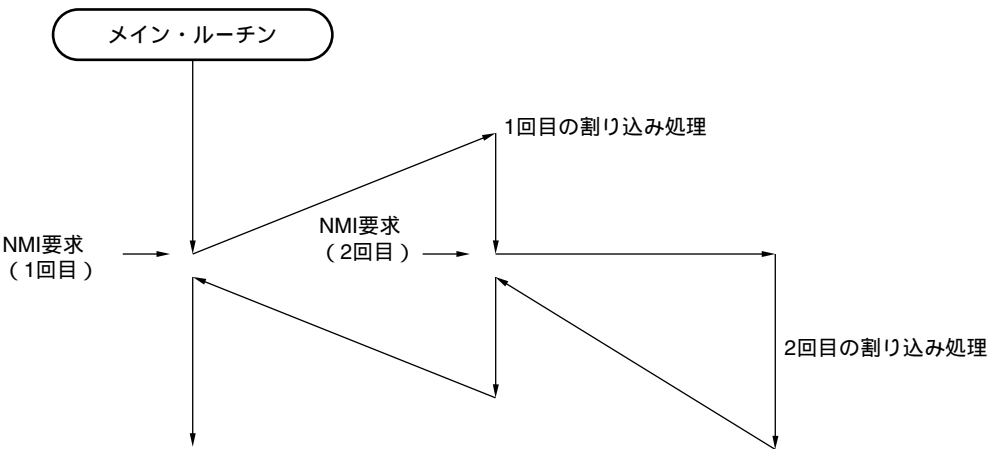


WDTM : ウォッチドッグ・タイマ・モード・レジスタ
WDT : ウォッチドッグ・タイマ

図17 - 8 ノンマスクابل割り込み要求の受け付けタイミング



図17 - 9 ノンマスクابل割り込み要求の受け付け動作



17.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表17-3のようになります。

割り込み要求の受け付けのタイミングについては、図17-11、17-12を参照してください。

表17-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

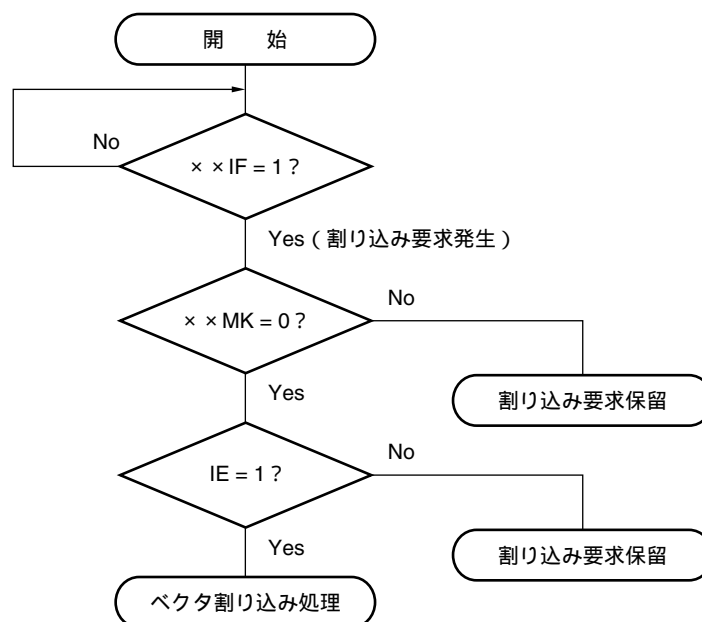
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図17-10に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図17-10 割り込み要求受け付け処理アルゴリズム

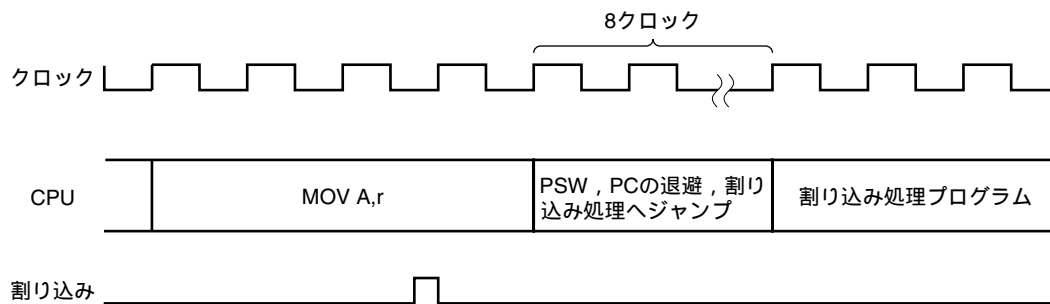


××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

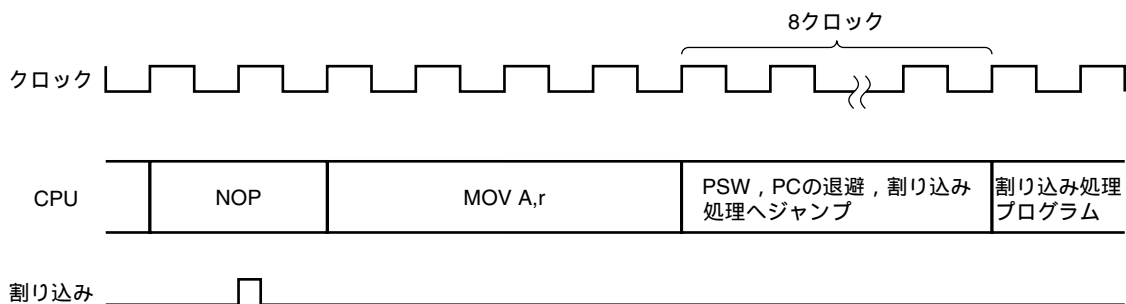
図17 - 11 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図17 - 11では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図17 - 12 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図17 - 12ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

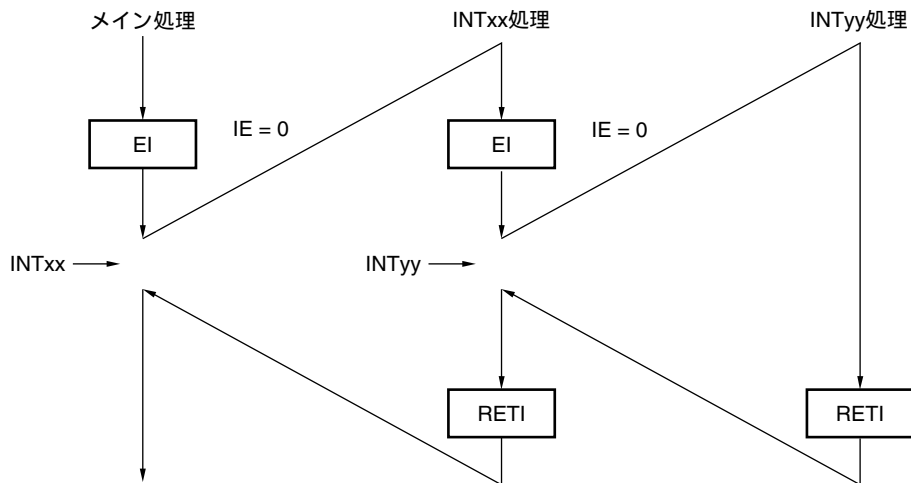
注意 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) または割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) にアクセス中は割り込み要求は保留されます。

17.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表17-1参照）。

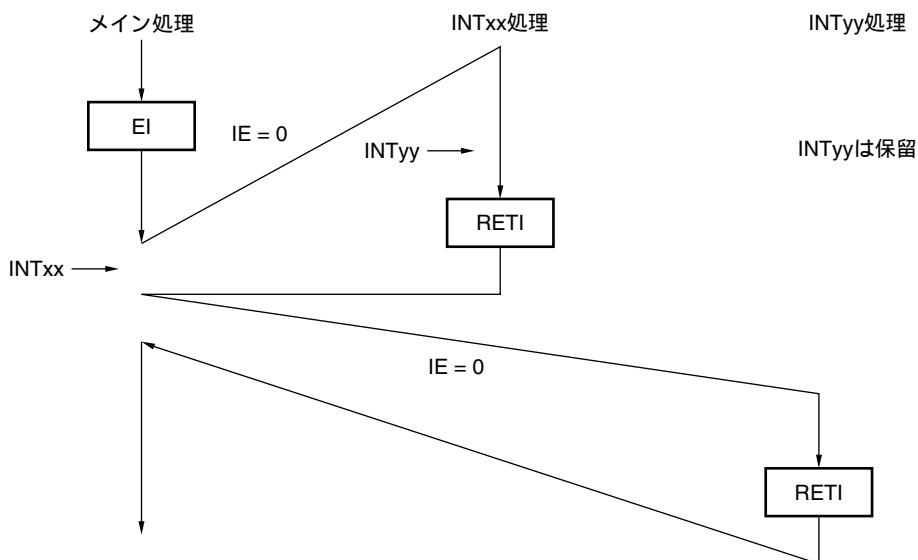
図17-13 多重割り込みの例

例1．多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2．割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

17.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0, 1（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0, 1（MK0, MK1）に対する操作命令

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

18.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ（OSTS）で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

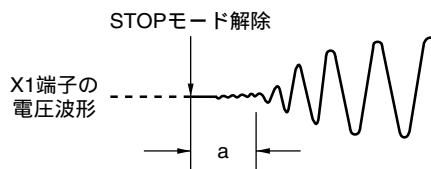
図18 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 10.0 \text{ MHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	0	$2^{12}/f_x$	409 μs	819 μs
0	1	0	$2^{15}/f_x$	3.27 ms	6.55 ms
1	0	0	$2^{17}/f_x$	13.1 ms	26.2 ms
上記以外			設定禁止		

注 拡張規格品のみ

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は（下図a）は含みません。



備考 f_x ：メイン・システム・クロック発振周波数

18.2 スタンバイ機能の動作

18.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表18-1 HALTモード時の動作状態

項 目	メイン・システム・クロック動作中のHALTモードの動作状態		サブシステム・クロック動作中のHALTモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止	メイン・システム・クロック動作	メイン・システム・クロック停止
メイン・システム・クロック発生回路	発振可能			停止
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
16ビット・タイマ（TM90）	動作可能	動作可能 ^{注1}	動作可能	動作可能 ^{注2}
8ビット・タイマ/イベント・カウンタ（TM80）	動作可能			動作可能 ^{注3}
8ビット・タイマ/イベント・カウンタ（TM81）	動作可能			動作可能 ^{注4}
8ビット・タイマ（TM82）	動作可能	動作可能 ^{注1}	動作可能	動作可能 ^{注5}
時計用タイマ	動作可能	動作可能 ^{注1}	動作可能	動作可能 ^{注5}
ウォッチドッグ・タイマ	動作可能		動作停止	
シリアル・インタフェース20	動作可能			動作可能 ^{注6}
SMB0	動作可能			動作可能 ^{注7}
A/Dコンバータ	動作停止			
乗算器	動作停止			
外部割り込み	動作可能 ^{注8}			

注1. メイン・システム・クロック選択時は動作可能

2. サブシステム・クロック選択時およびプザー出力許可時は動作可能（詳しくは8.5 16ビット・タイマ90の注意事項を参照）

3. カウント・クロックにTI80選択時のみ動作可能

4. カウント・クロックにTI81選択時のみ動作可能

5. サブシステム・クロック選択時は動作可能

6. 外部クロック時は3線式シリアルI/Oモード，UARTモードともに動作可能

7. スレープ時アドレス一致で割り込みを発生可能

8. マスクされていないマスカブル割り込み

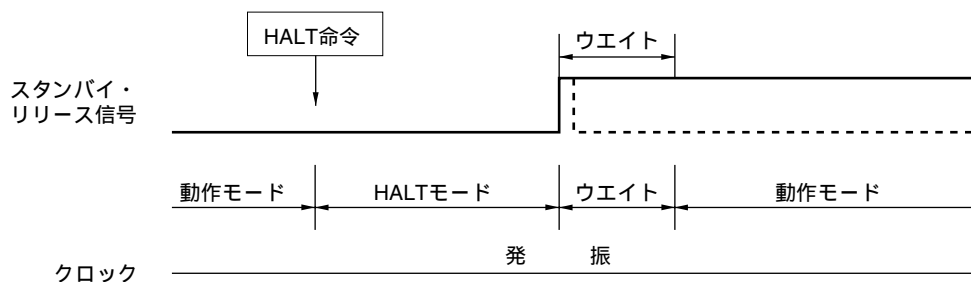
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図18 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

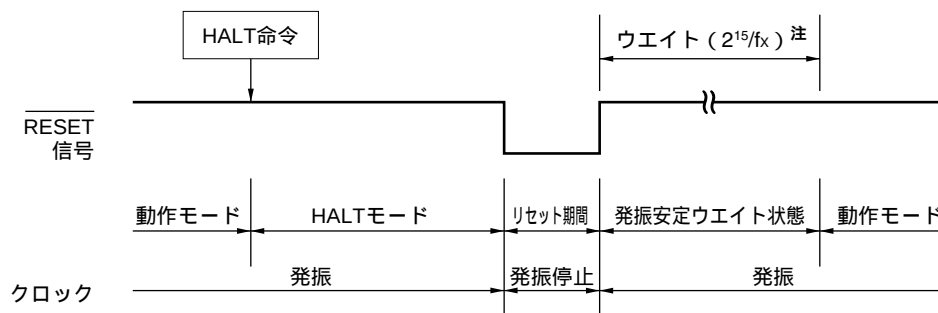
- ・ベクタに分岐した場合 : 9～10クロック
- ・ベクタに分岐しなかった場合 : 1～2クロック

(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図18 - 3 HALTモードのRESET入力による解除

注 3.27 ms ($f_x = 10.0$ MHz動作時) , 6.55 ms ($f_x = 5.0$ MHz動作時)

表18 - 2 HALTモードの解除後の動作

解除ソース	MK × ×	IE	動 作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	HALTモード保持
ノンマスカブル割り込み要求	-	×	割り込み処理実行
RESET入力	-	-	リセット処理

× : don't care

18.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表18 - 3 STOPモード時の動作状態

項 目	メイン・システム・クロック動作中のSTOPモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止
メイン・システム・クロック発生回路	発振停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
16ビット・タイマ（TM90）	動作可能 ^{注1}	動作停止
8ビット・タイマ/イベント・カウンタ（TM80）	動作可能 ^{注2}	
8ビット・タイマ/イベント・カウンタ（TM81）	動作可能 ^{注3}	
8ビット・タイマ（TM82）	動作可能 ^{注4}	動作停止
時計用タイマ	動作可能 ^{注4}	動作停止
ウォッチドッグ・タイマ	動作停止	
シリアル・インタフェース20	動作可能 ^{注5}	
SMB0	動作可能 ^{注6}	
A/Dコンバータ	動作停止	
乗算器	動作停止	
外部割り込み	動作可能 ^{注7}	

注1. サブシステム・クロック選択時およびプザー出力許可時は動作可能

2. カウント・クロックにTI80選択時のみ動作可能

3. カウント・クロックにTI81選択時のみ動作可能

4. サブシステム・クロック選択時は動作可能

5. 外部クロック時は3線式シリアルI/Oモード，UARTモードともに動作可能

6. スレープ時アドレス一致で割り込みを発生可能

7. マスクされていないマスカブル割り込み

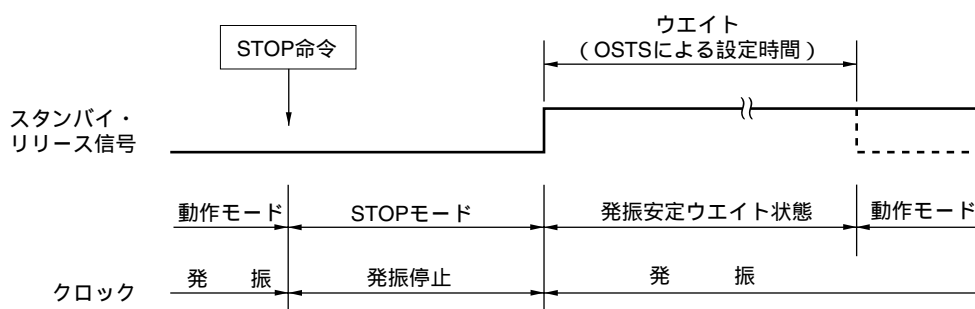
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

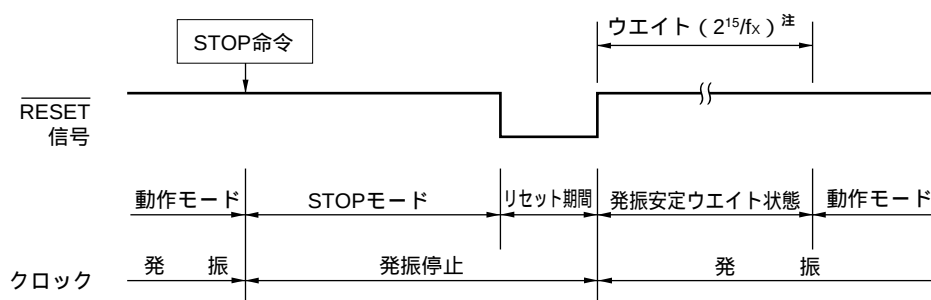
図18 - 4 STOPモードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図18 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除

注 3.27 ms ($f_x = 10.0$ MHz動作時) , 6.55 ms ($f_x = 5.0$ MHz動作時)

表18 - 4 STOPモードの解除後の動作

解除ソース	MK × ×	IE	動作
マスクブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	STOPモード保持
RESET入力	-	-	リセット処理

× : don't care

第19章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表19 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後プログラムの実行を開始します（図19 - 2から図19 - 4参照）。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図19 - 1 リセット機能のブロック図

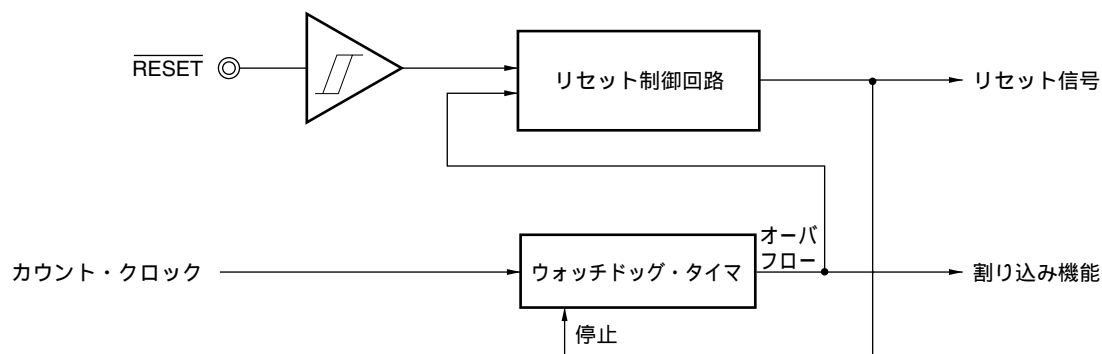


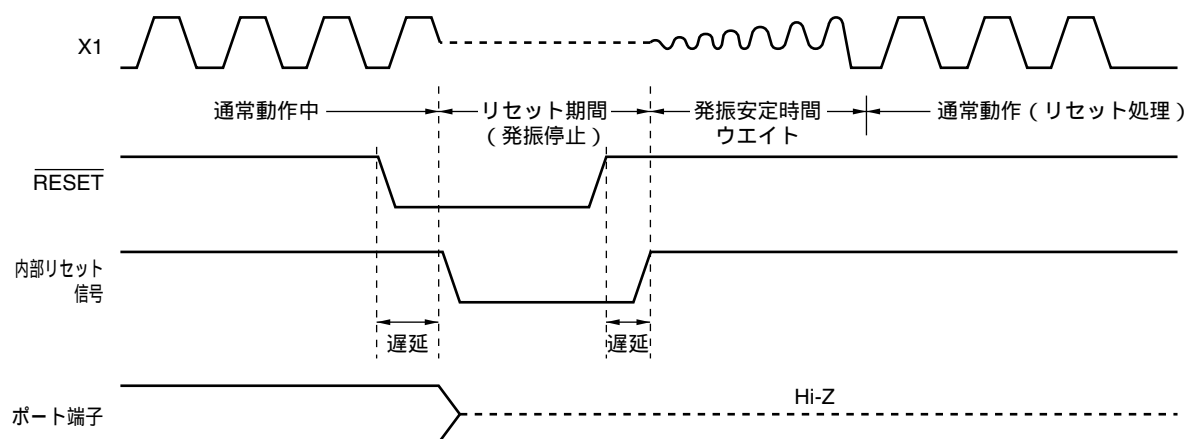
図19 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図19 - 3 ウォッチドッグ・タイマのオーバフローによるリセット・タイミング

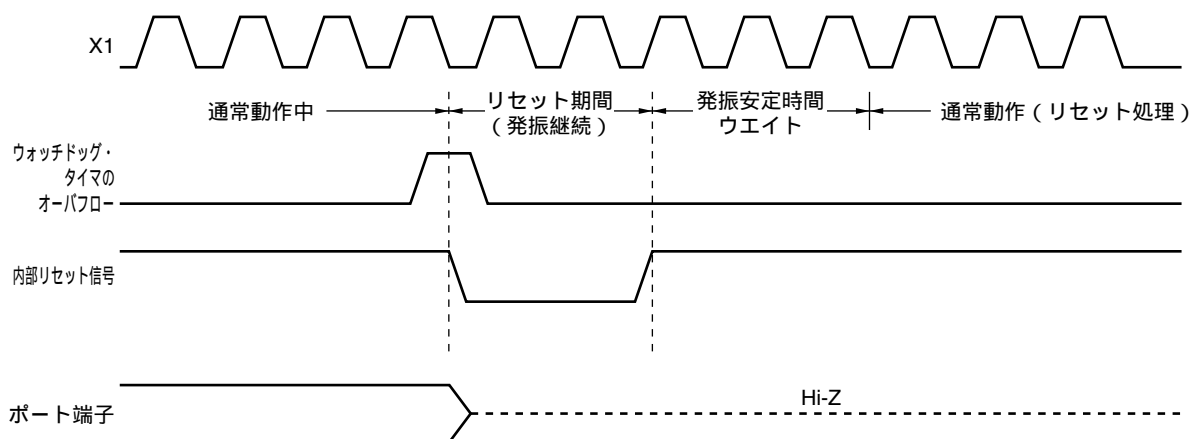
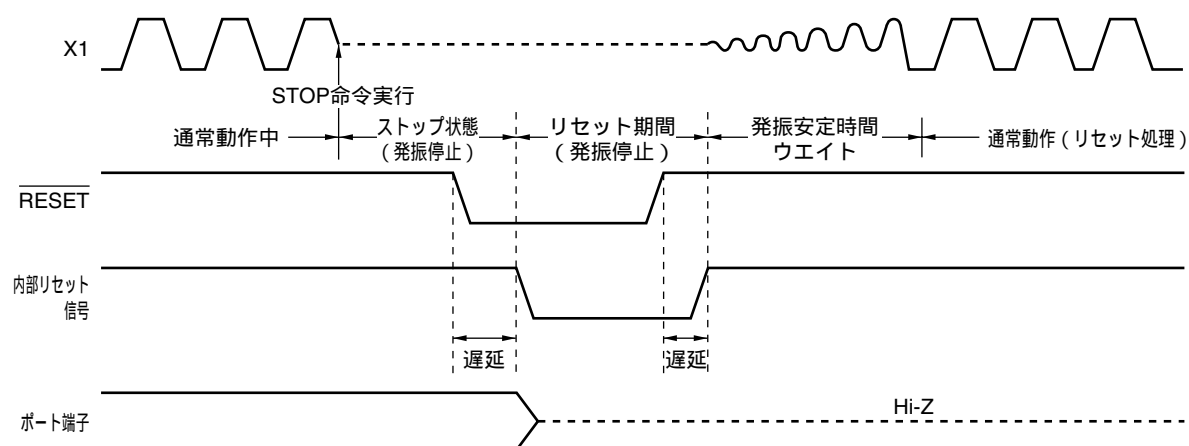
図19 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

表19 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P3, P5, P6) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3, PM5)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
サブ発振モード・レジスタ (SCKM)		00H
サブクロック・コントロール・レジスタ (CSS)		00H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ90	タイマ・カウンタ (TM90)	0000H
	コンペア・レジスタ (CR90)	FFFFH
	キャプチャ・レジスタ (TCP90)	不定
	モード・コントロール・レジスタ (TMC90)	00H
	ブザー出力コントロール・レジスタ (BZC90)	00H
8ビット・タイマ/イベント・カウンタ80-82	タイマ・カウンタ (TM80-TM82)	00H
	コンペア・レジスタ (CR80-CR82)	不定
	モード・コントロール・レジスタ (TMC80-TMC82)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
A/Dコンバータ	モード・レジスタ (ADM0)	00H
	A/D入力選択レジスタ (ADS0)	00H
	A/D変換結果レジスタ (ADCR0)	不定
シリアル・インタフェース20	モード・レジスタ (CSIM20)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM20)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS20)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC20)	00H
	送信シフト・レジスタ (TXS20)	FFH
	受信バッファ・レジスタ (RXB20)	不定

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表19 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
SMB0	コントロール・レジスタ (SMBC0)	00H
	状態レジスタ (SMBS0)	00H
	クロック選択レジスタ (SMBCL0)	00H
	スレーブ・アドレス・レジスタ (SMBSVA0)	00H
	モード・レジスタ (SMBM0)	20H
	入力レベル設定レジスタ (SMBVI0)	00H
	シフト・レジスタ (SMB0)	00H
乗算器	16ビット乗算結果格納レジスタ (MUL0)	不定
	乗算データ・レジスタ (MRA0, MRB0)	不定
	乗算器コントロール・レジスタ (MULC0)	00H
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0, INTM1)	00H

第20章 フラッシュ・メモリ製品

μ PD789177サブシリーズのフラッシュ・メモリ製品には、 μ PD78F9177, 78F9177A, 78F9177A(A), 78F9177A(A1)があります。

μ PD789177Yサブシリーズのフラッシュ・メモリ製品には、 μ PD78F9177Y, 78F9177AY, 78F9177AY(A)があります。

μ PD78F9177, 78F9177A, 78F9177A(A), 78F9177A(A1)は μ PD789167, 789177サブシリーズの内部ROMを、 μ PD78F9177Y, 78F9177AY, 78F9177AY(A)は μ PD789167Y, 789177Yサブシリーズの内部ROMをそれぞれフラッシュ・メモリに置き換えた製品です。フラッシュ・メモリ製品とマスクROM製品の違いを表20 - 1に示します。

表20 - 1 フラッシュ・メモリ製品とマスクROM製品の違い

項 目		フラッシュ・メモリ製品		マスクROM製品			
		μ PD78F9177A μ PD78F9177AY μ PD78F9177A(A) μ PD78F9177AY(A) μ PD78F9177A(A1)	μ PD78F9177 μ PD78F9177Y	μ PD789166 μ PD789166Y μ PD789166(A) μ PD789166Y(A) μ PD789166(A1) μ PD789166(A2)	μ PD789167 μ PD789167Y μ PD789167(A) μ PD789167Y(A) μ PD789167(A1) μ PD789167(A2)	μ PD789176 μ PD789176Y μ PD789176(A) μ PD789176Y(A) μ PD789176(A1) μ PD789176(A2)	μ PD789177 μ PD789177Y μ PD789177(A) μ PD789177Y(A) μ PD789177(A1) μ PD789177(A2)
内部メモリ	ROM構造	フラッシュ・メモリ		マスクROM			
	ROM容量	24 Kバイト		16 Kバイト	24 Kバイト	16 Kバイト	24 Kバイト
	高速RAM	512バイト					
最小命令実行時間		0.2 μ s (10 MHz動作時)	0.4 μ s (5 MHz動作時)	拡張規格品 : 0.2 μ s (10 MHz動作時) (A1)品, (A2)品, 従来規格品 : 0.4 μ s (5 MHz動作時)			
A/Dコンバータの分解能		10ビット		8ビット		10ビット	
P50-P53端子のプルアップ抵抗内蔵のマスク・オプション指定		不可		可			
V _{PP} 端子		あり		なし			
電気的特性		各電気的特性の章を参照してください。					

注意1. フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価を行ってください。

2. A/D変換結果レジスタ0（ADCR0）は、8ビットA/Dコンバータ（ μ PD789167, 789167Yサブシリーズ）として使用するときは8ビット・メモリ操作命令で、10ビットA/Dコンバータ（ μ PD789177, 789177Yサブシリーズ）として使用するときは16ビット・メモリ操作命令で操作します。

ただしフラッシュ・メモリ製品の場合は、 μ PD789167, 789167Yサブシリーズのフラッシュ・メモリ製品として使用するときは、ADCR0を8ビット・メモリ操作命令で操作できます。その場合、 μ PD789167, 789167Yサブシリーズの製品でアセンブルしたオブジェクト・ファイルで行ってください。

20. 1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9177, 78F9177Y, 78F9177A, 78F9177AYを実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）またはFlashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

20. 1. 1 プログラミング環境

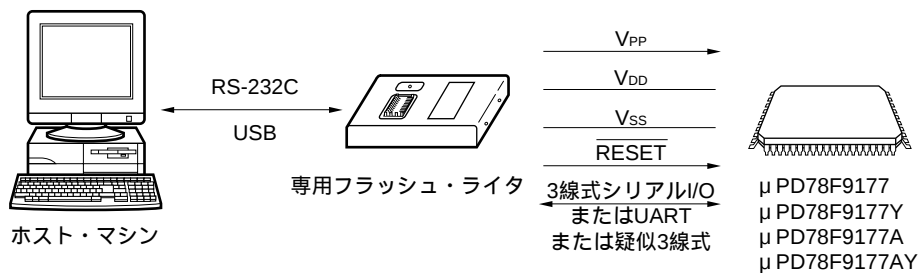
μ PD78F9177, 78F9177Y, 78F9177A, 78F9177AYのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro またはFlashpro を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro またはFlashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図20 - 1 フラッシュ・メモリにプログラムを書き込むための環境



20.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9177, 78F9177Y, 78F9177A, 78F9177AYとの通信は、表20 - 2に示す通信方式から選択して行います。

表20 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK ^{注2, 3}		Multiple Rate		
			In Flashpro	On Target Board			
3線式シリアル/O (SIO3)	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注3}	1, 2, 4, 5, 6, 8, 10 MHz ^{注4}	1-10 MHz	1.0	SI20/RxD20/P22 SO20/TxD20/P21 SCK20/ASCK20/P20	0
	SIO ch-1 (3wired, sync.) ^{注8}					P02 P01 P00	¹ ^{注8}
SMB ^{注5}	I2C ch-0	10 kHz- 100 kHz	1, 2, 4, 5, 6, 8, 10 MHz ^{注4}	1-10 MHz	1.0	SCL0/P23 SDA0/P24	4
UART	UART ch-0 (Async.)	4800-76800 bps ^{注3, 6}	5, 10 MHz ^{注7}	4.91, 5, 10 MHz	1.0	RxD20/SI20/P22 TxD20/SO20/P21	8
疑似3線式 ^{注9}	Port A (Pseudo-3wired)	100 Hz- 1 kHz	1, 2, 4, 5 MHz	1-5 MHz	1.0	P02 P01 P00	12 ^{注9}

注1. 専用フラッシュ・ライタ (Flashpro またはFlashpro) 上のTYPE設定における選択項目です。

2. μ PD78F9177, 78F9177Yの場合は5 MHzを越える値は設定禁止です。
3. 電圧により設定可能な範囲が異なります。詳細は各電気的特性の章を参照してください。
4. Flashpro の場合は2, 4, 8 MHzのみ。
5. μ PD78F9177Y, 78F9177AYのみ。SLAVE ADDRESSは10Hに設定してください。
6. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
7. Flashpro の場合のみ。Flashpro の場合は必ずオンボード上の発振子のクロックを選択してください。Flashpro から供給されるクロックでは対応できません。
8. μ PD78F9177A, 78F9177AYのみ。
9. μ PD78F9177, 78F9177Yのみ。ポートをソフトウェアで制御してシリアル転送を行います。

図20 - 2 通信方式選択フォーマット

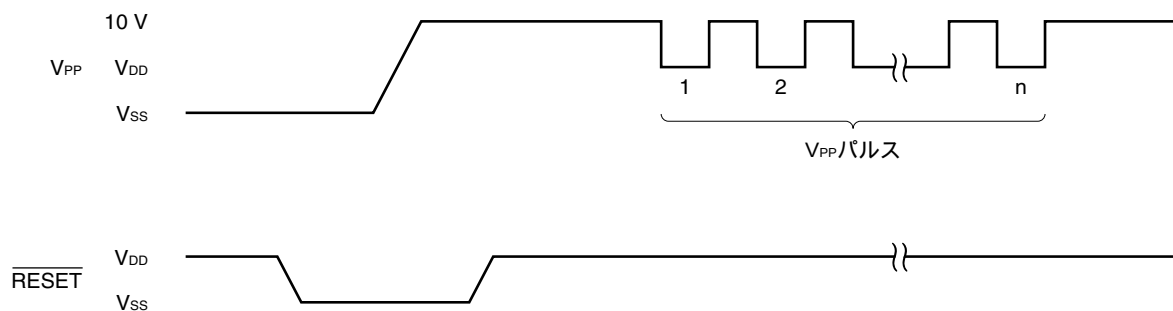
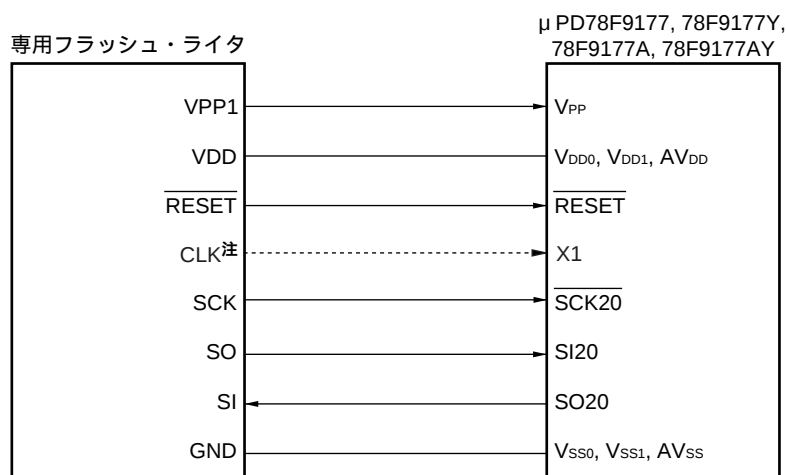
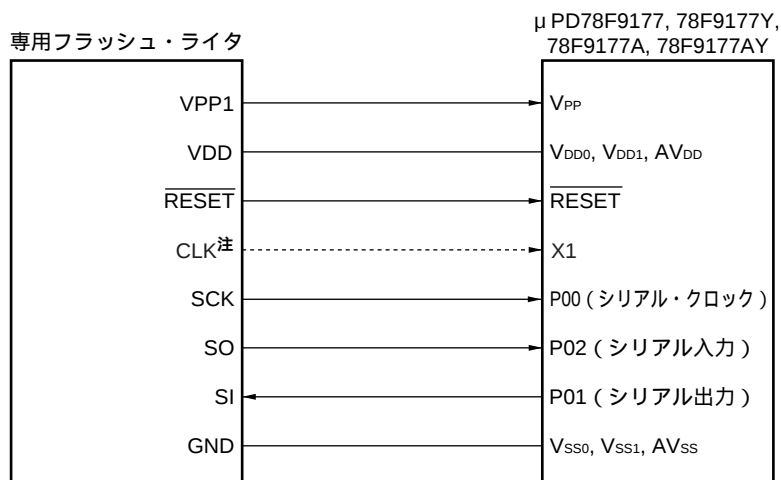


図20 - 3 専用フラッシュ・ライタとの接続例 (1/2)

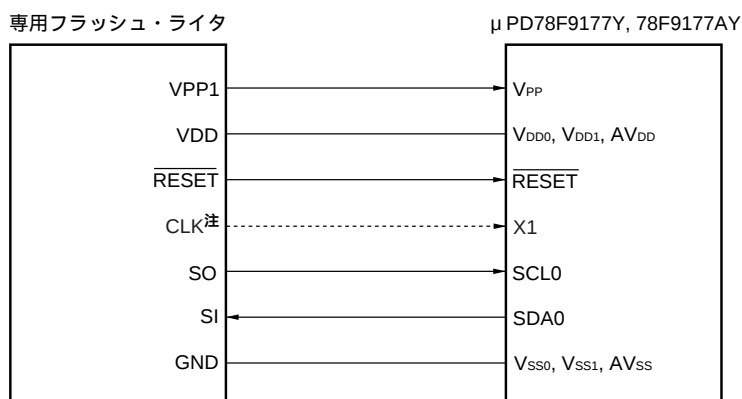
(a) 3線式シリアルI/O (SIO-ch0の場合)



(b) 3線式シリアルI/O (SIO-ch1の場合) または疑似3線式



(c) SMB

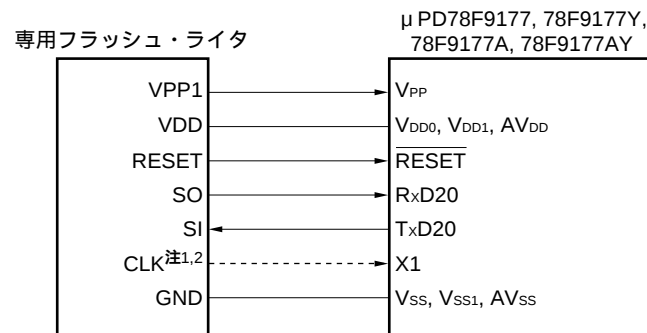


注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

図20 - 3 専用フラッシュ・ライターとの接続例 (2/2)

(d) UART



- 注1. 専用フラッシュ・ライターからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。
2. Flashpro でUARTを使用する場合は必ずX1端子に接続された振動子のクロックを使わなければならないので、CLK端子と接続する必要はありません。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライターのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro またはFlashpro を使用した場合， μ PD78F9177, 78F9177Y, 78F9177A, 78F9177AYに対して次の信号を生成します。詳細はFlashpro またはFlashpro のマニュアルを参照してください。

表20 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O (SIO-ch0)	3線式シリアルI/O (SIO-ch1) ^{注1}	SMB ^{注2}	UART	疑似3線式 ^{注3}
VPP1	出力	書き込み電圧	V _{PP}					
VPP2	-	-	-	×	×	×	×	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD0} /V _{DD1} /AV _{DD}	注4	注4	注4	注4	注4
GND	-	グランド	V _{SS0} /V _{SS1} /AV _{SS}					
CLK	出力	クロック出力	X1	○	○	○	○	○
RESET	出力	リセット信号	RESET					
SI	入力	受信信号	SO20/P01/ SDA0/TxD20					
SO	出力	送信信号	SI20/P02/SCL0/ RxD20					
SCK	出力	転送クロック	SCK20/P00			×	×	
HS	入力	ハンドシェーク信号	-	×	×	×	×	×

注1. μ PD78F9177A, 78F9177AYのみ

2. μ PD78F9177Y, 78F9177AYのみ

3. μ PD78F9177, 78F9177Yのみ

4. V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

○ : ターゲット・ボード上で供給されていれば，接続の必要はありません。

× : 接続の必要はありません。

20.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

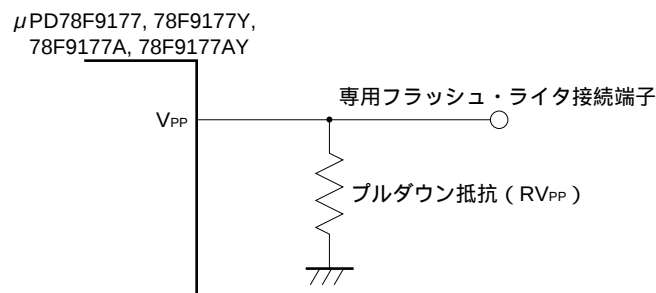
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 kΩを接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図20 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

シリアル・インタフェース		使用端子
3線式シリアルI/O	SIO-ch0	SI20, SO20, SCK20
	SIO-ch1 ^{注1}	P00, P01, P02
SMB ^{注2}		SCL0, SDA0
UART		RxD20, TxD20
疑似3線式 ^{注3}		P00, P01, P02

注1. μPD78F9177A, 78F9177AYのみ

2. μPD78F9177Y, 78F9177AYのみ

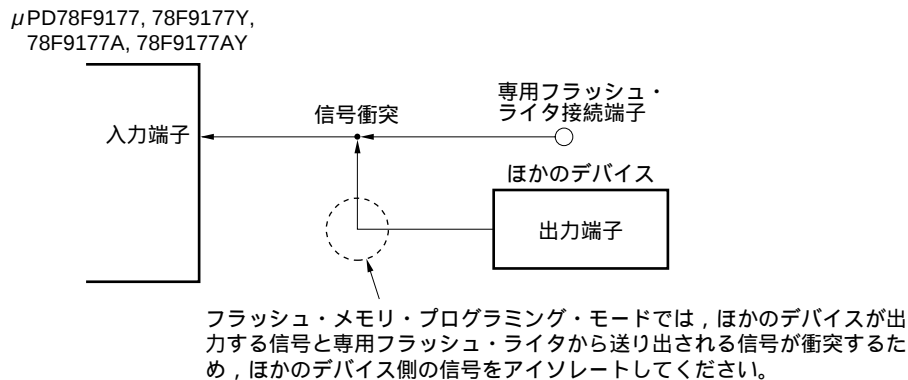
3. μPD78F9177, 78F9177Yのみ

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

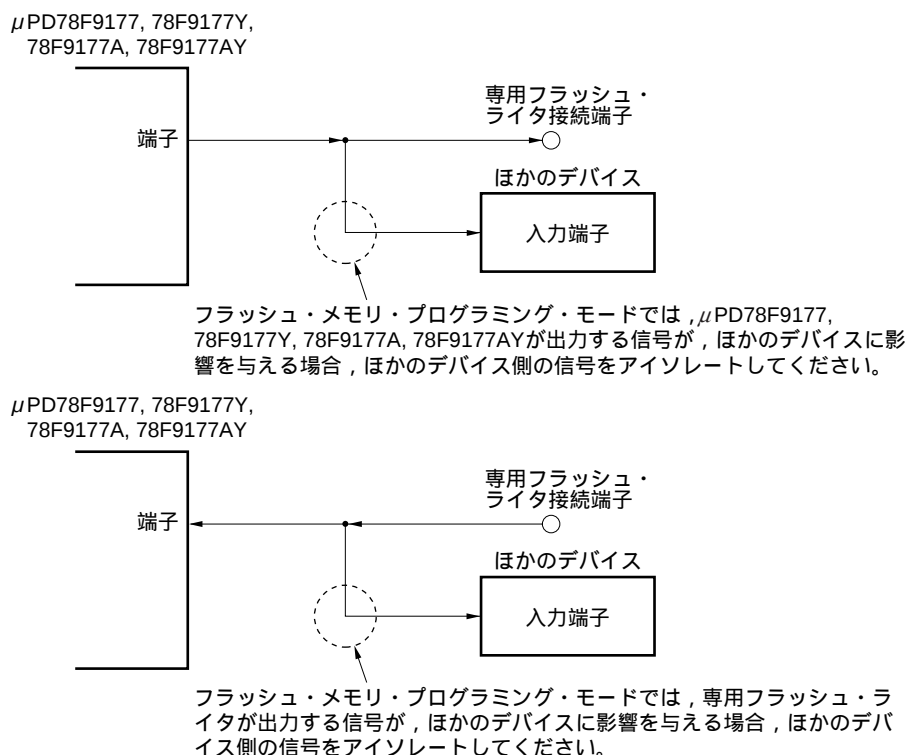
図20 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図20 - 6 ほかのデバイスの異常動作

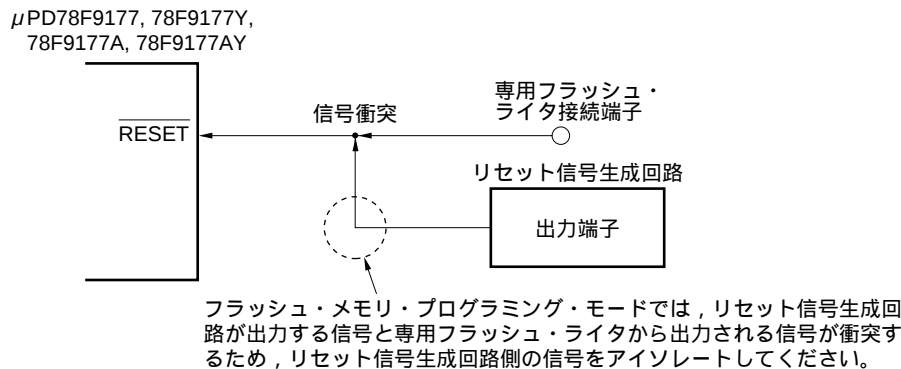


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図20 - 7 信号の衝突 (RESET端子)



<ポート端子>

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD0}, V_{DD1}, V_{SS0}, V_{SS1}のいずれかに接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2, XT1, XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モード時に準拠します。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD0}, V_{DD1}端子はフラッシュ・ライタのVDDに、V_{SS0}, V_{SS1}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

その他の電源 (AV_{DD}, AV_{REF}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

20.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図20 - 8 3線式シリアルI/O方式 (SIO-ch0の場合) でのフラッシュ書き込み用アダプタ配線例 (1/2)

(a) 44ピン・プラスチックLQFP (10×10)

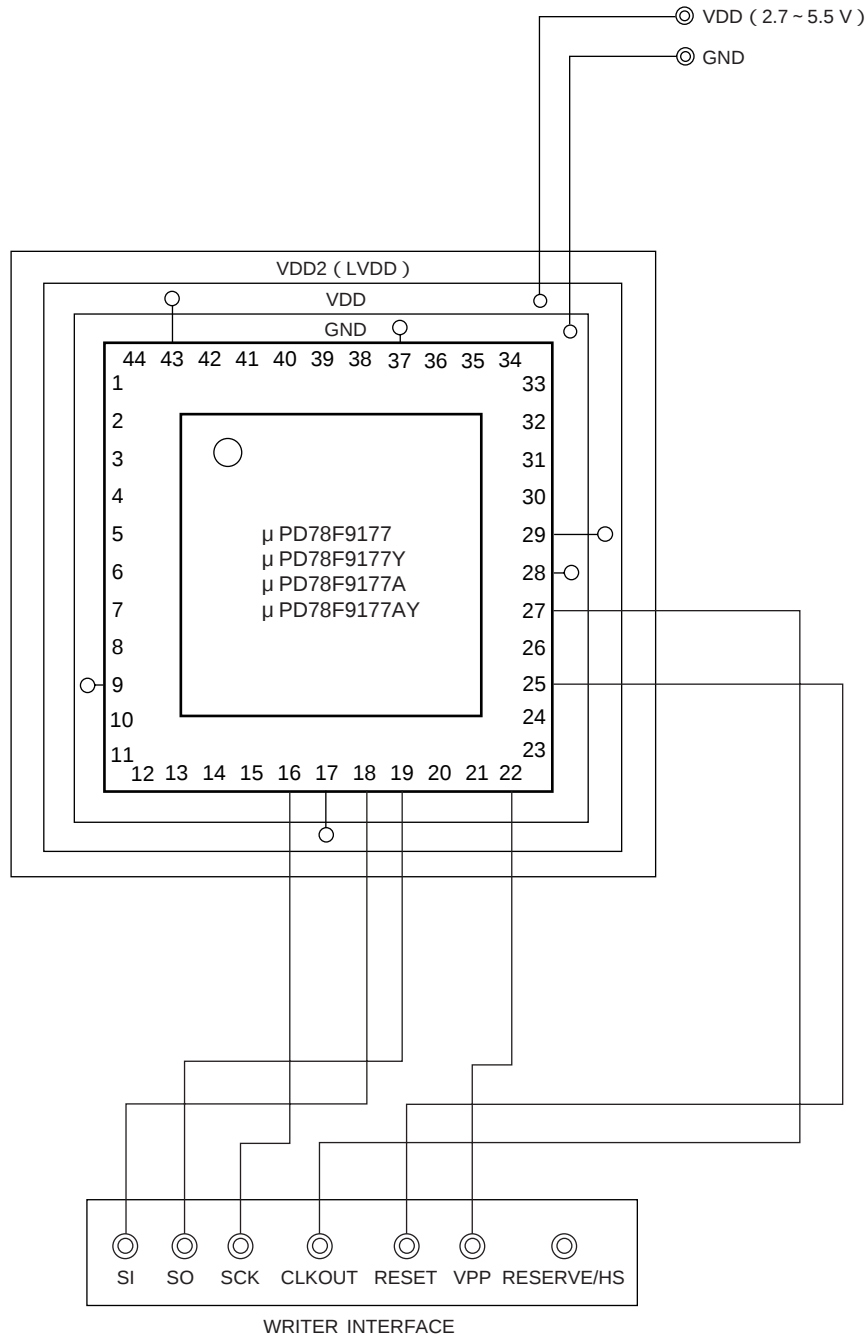


図20 - 8 3線式シリアルI/O方式（SIO-ch0の場合）でのフラッシュ書き込み用アダプタ配線例（2/2）

(b) 48ピン・プラスチックTQFP（ファインピッチ）（7×7）

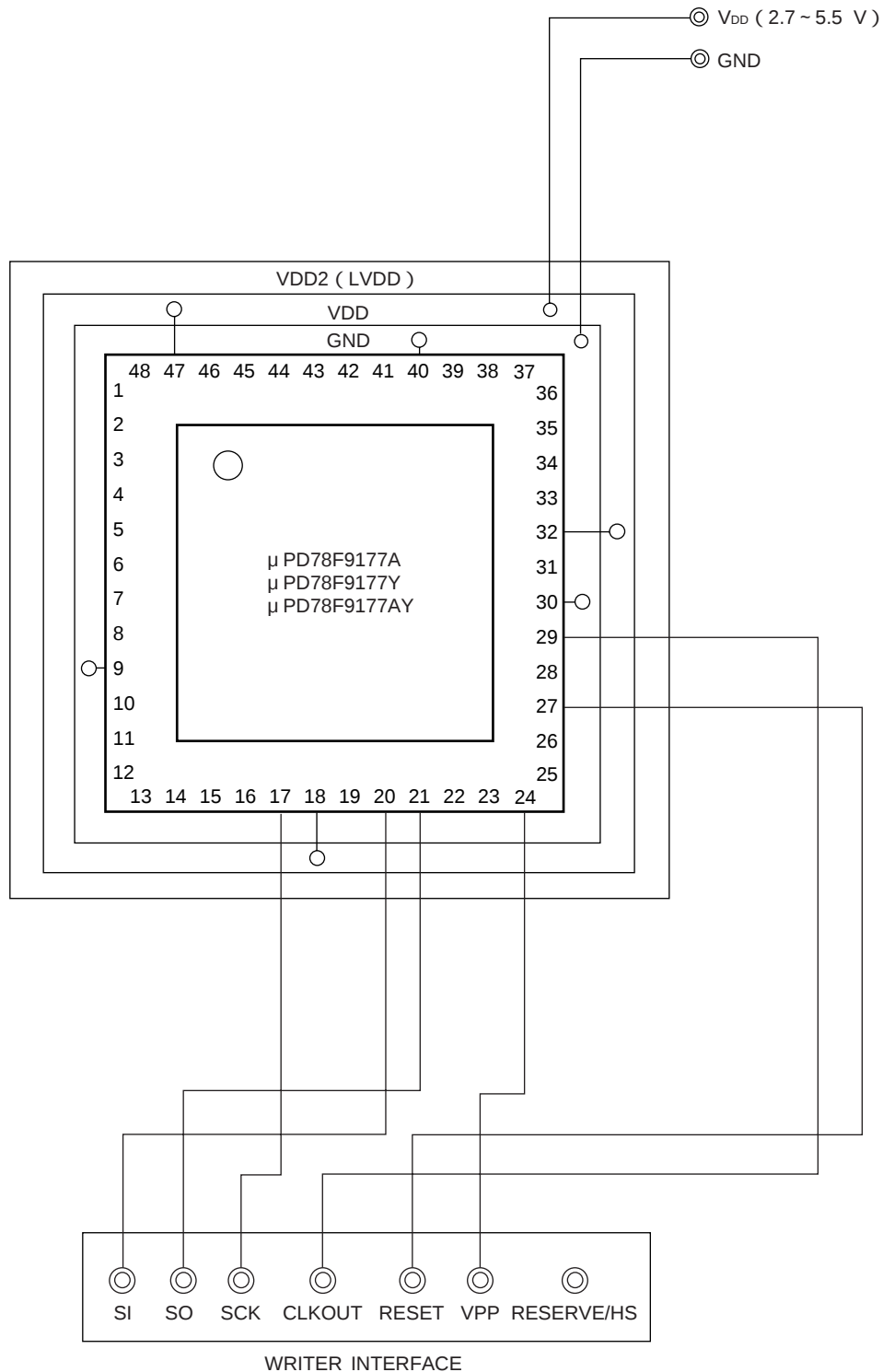


図20 - 9 3線式シリアルI/O方式(SIO-ch1の場合)または疑似3線式でのフラッシュ書き込み用アダプタ配線例(1/2)

(a) 44ピン・プラスチックLQFP (10×10)

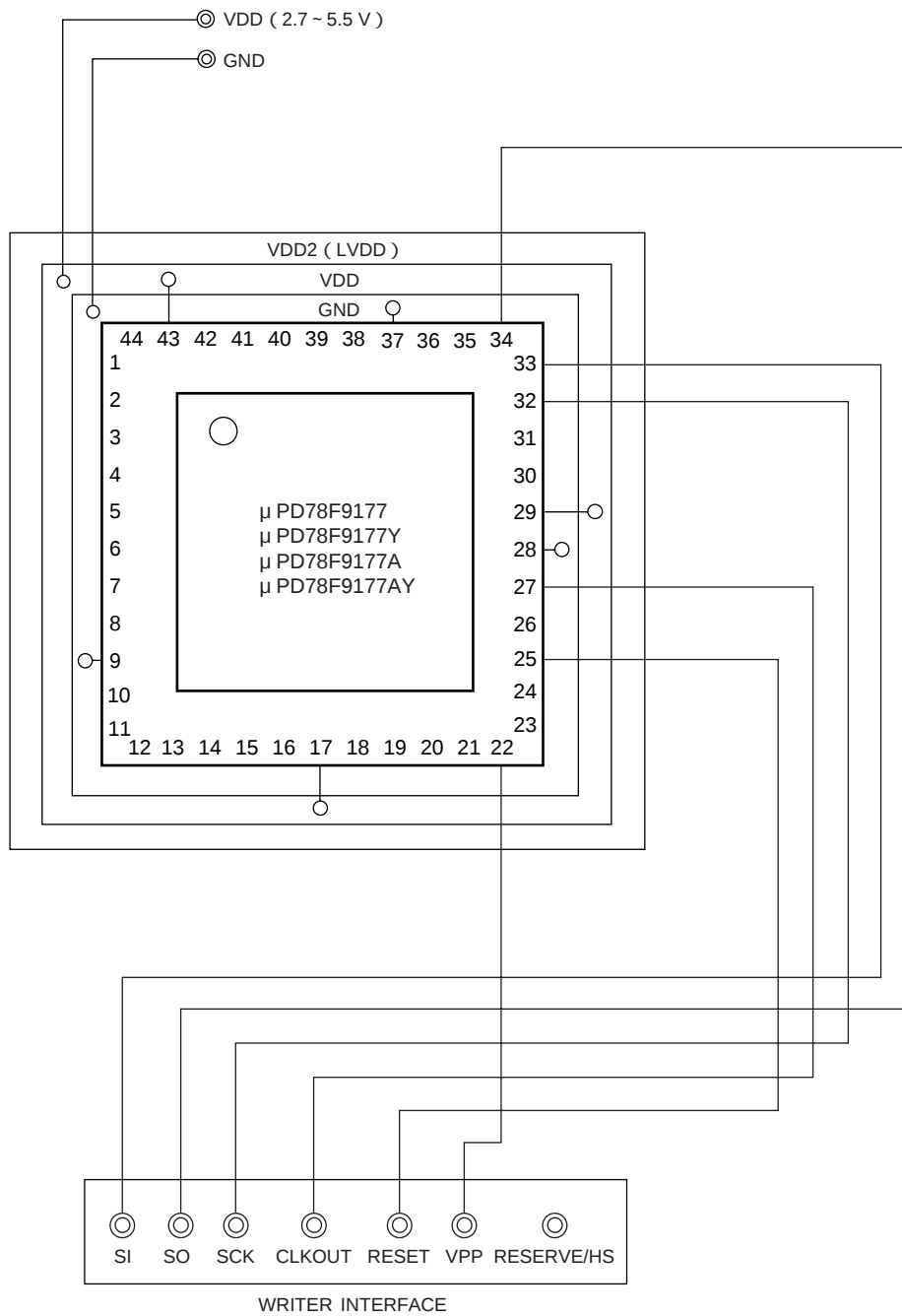


図20 - 9 3線式シリアルI/O方式(SIO-ch1の場合)または疑似3線式でのフラッシュ書き込み用アダプタ配線例(2/2)

(b) 48ピン・プラスチックTQFP (ファインピッチ) (7×7)

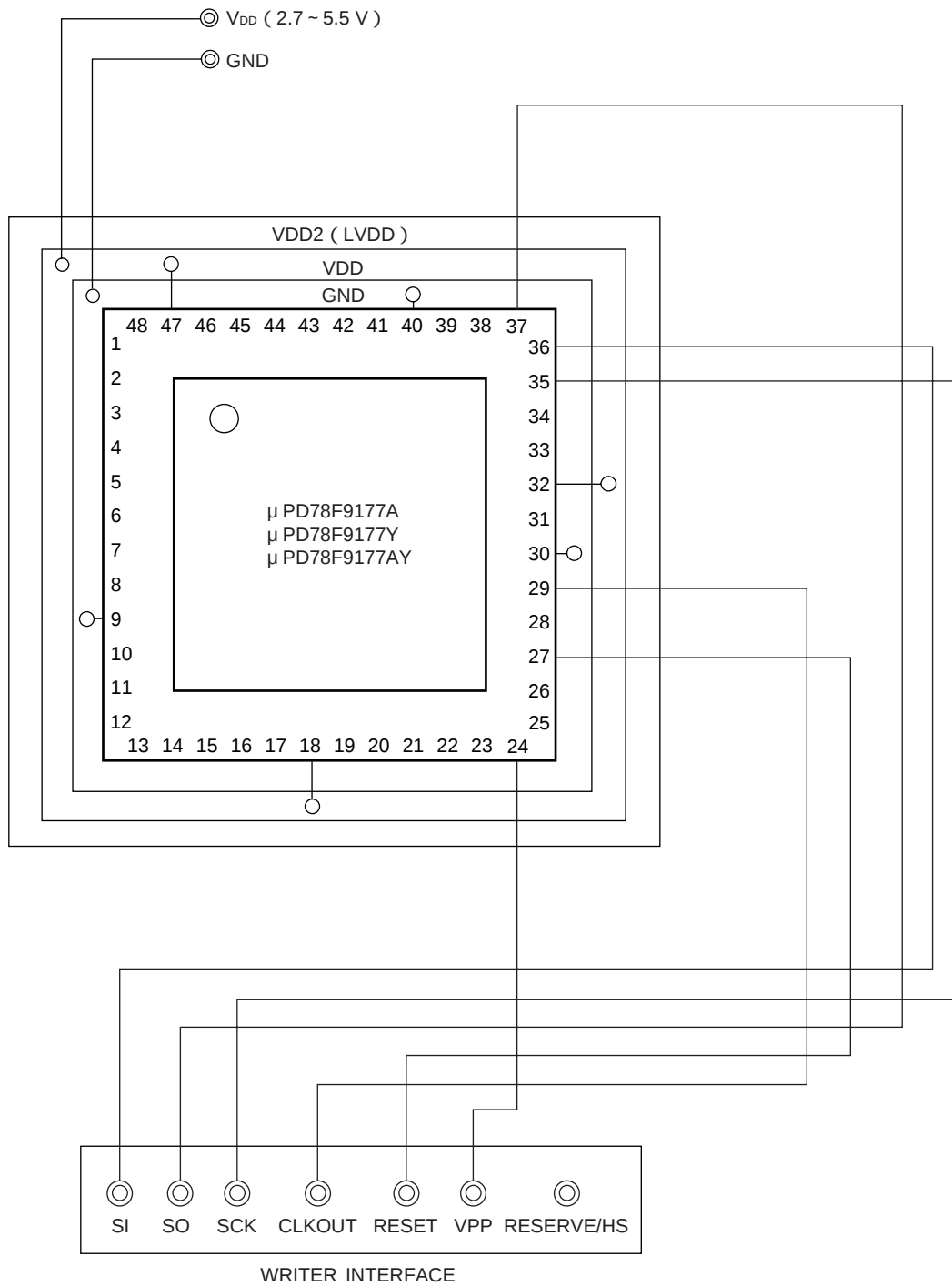


図20 - 10 SMB方式でのフラッシュ書き込み用アダプタ配線例 (1/2)

(a) 44ピン・プラスチックLQFP (10×10)

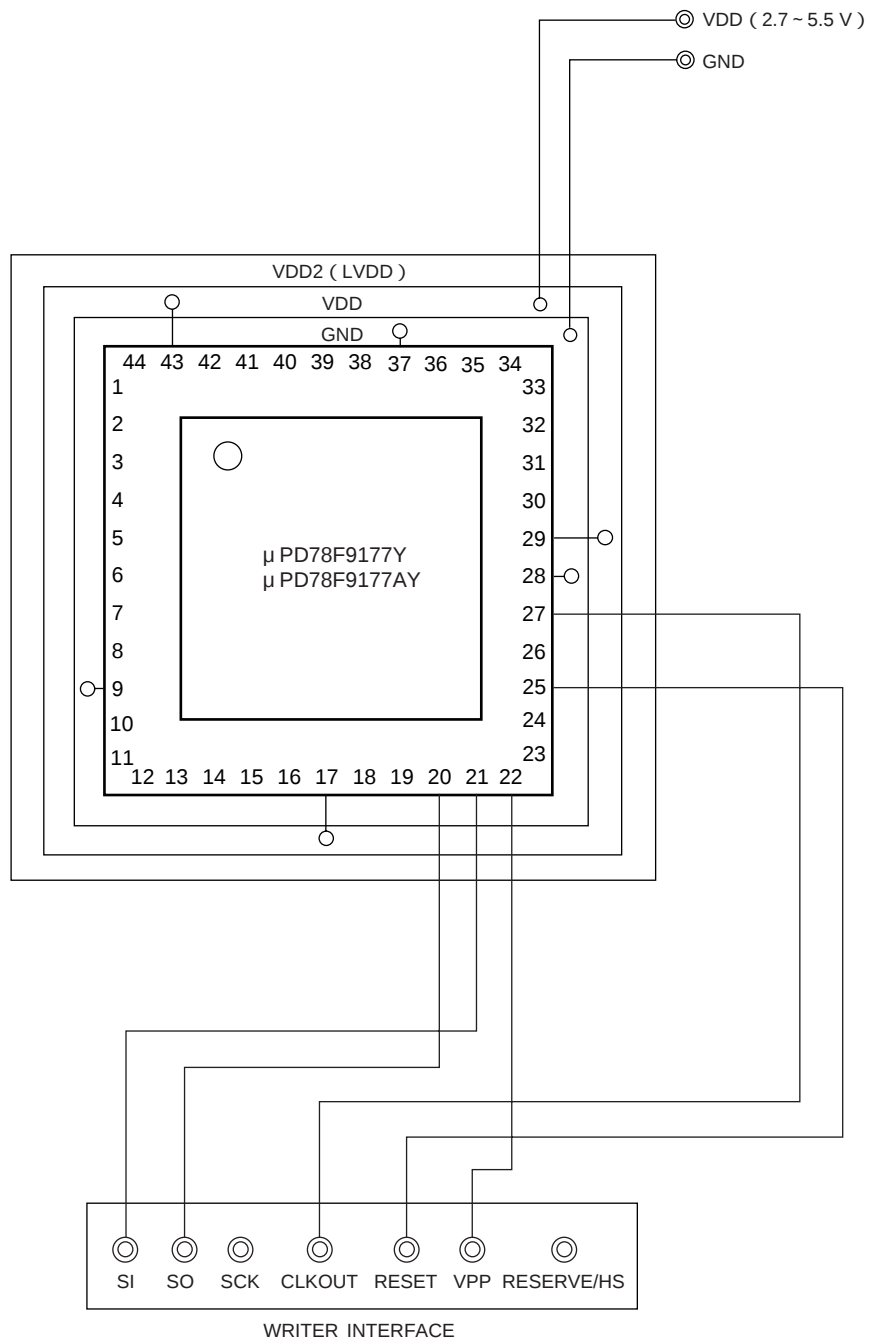


図20 - 10 SMB方式でのフラッシュ書き込み用アダプタ配線例 (2/2)

(b) 48ピン・プラスチックTQFP (ファインピッチ) (7×7)

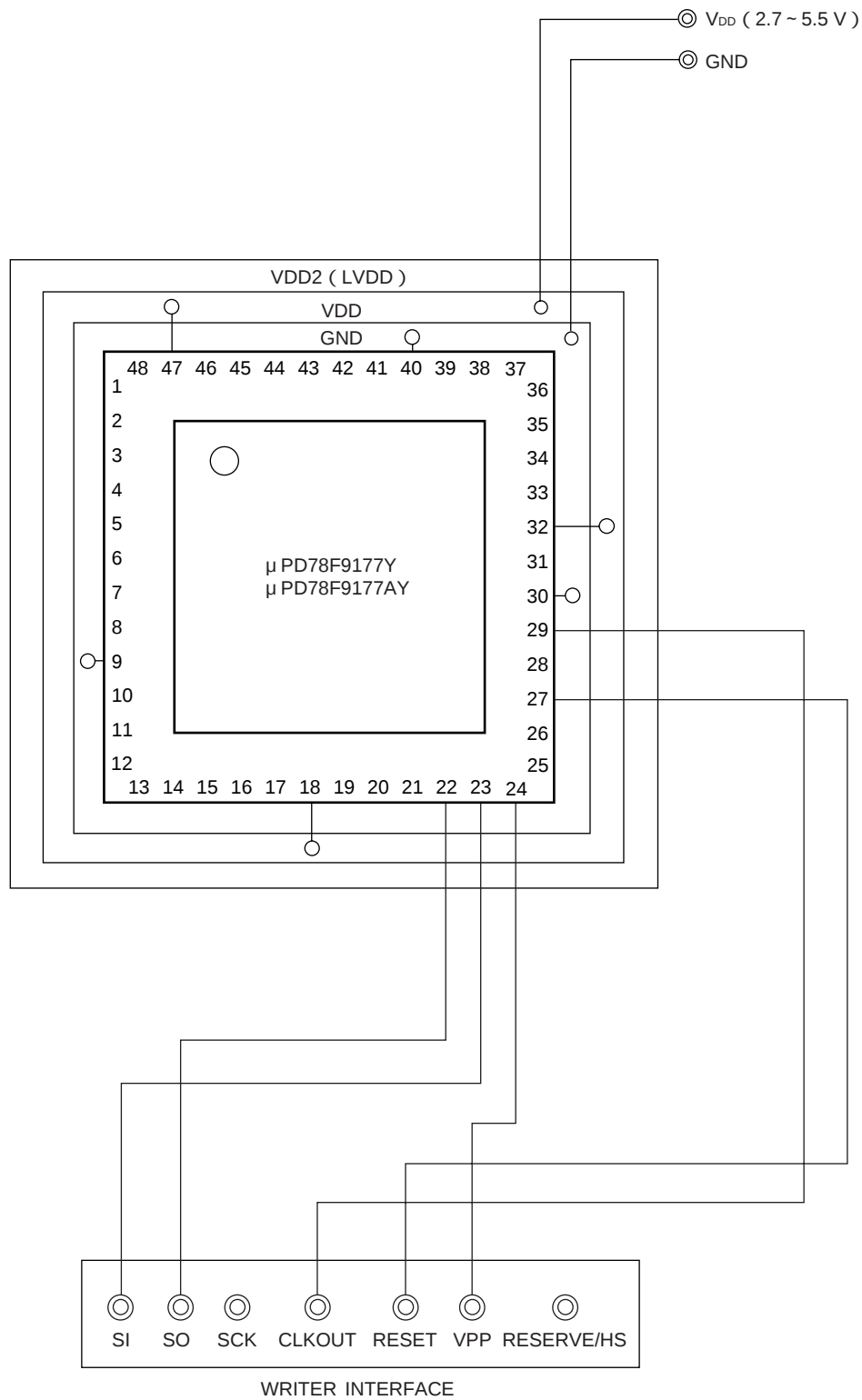


図20 - 11 UART方式でのフラッシュ書き込み用アダプタ配線例 (1/2)

(a) 44ピン・プラスチックLQFP (10×10)

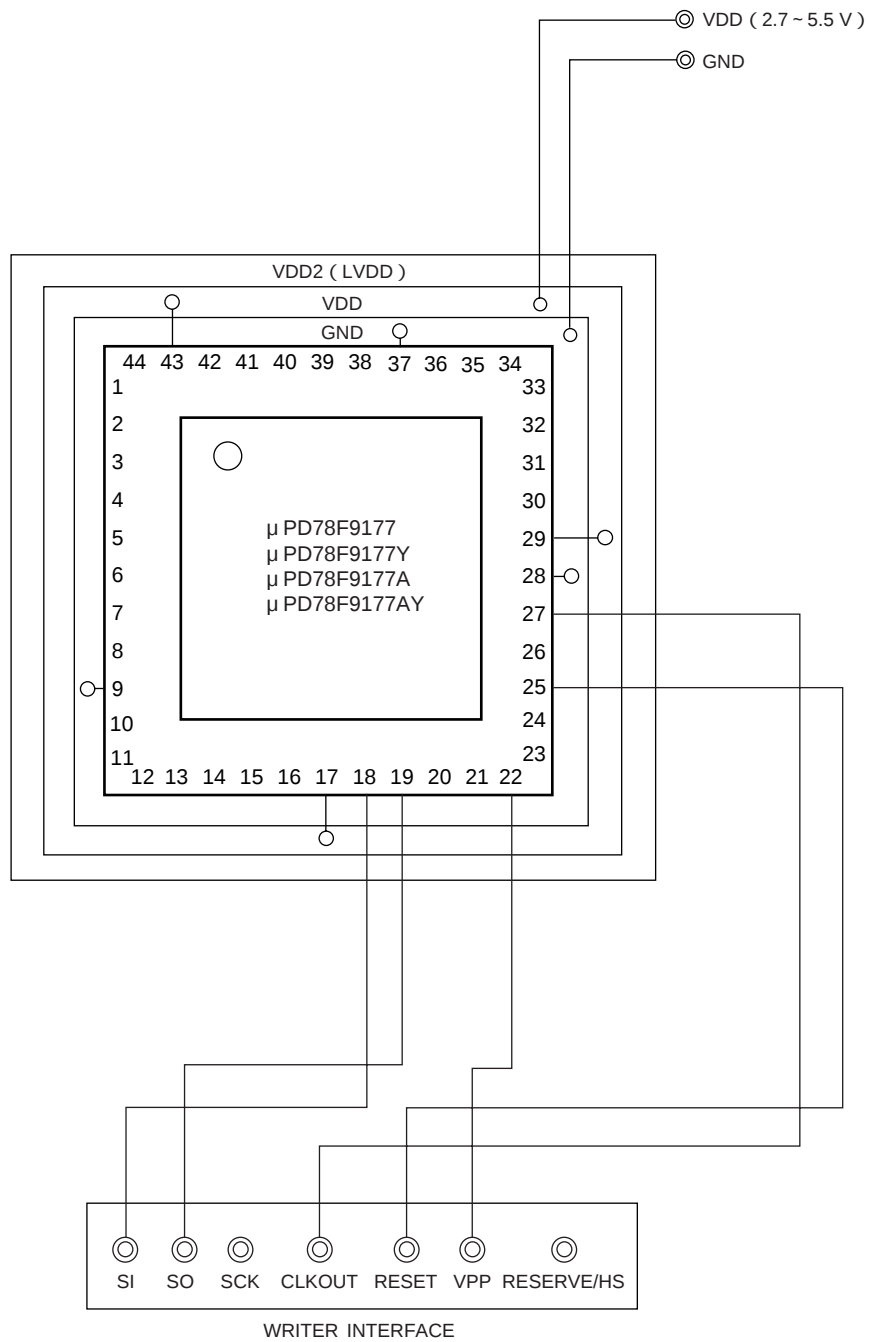
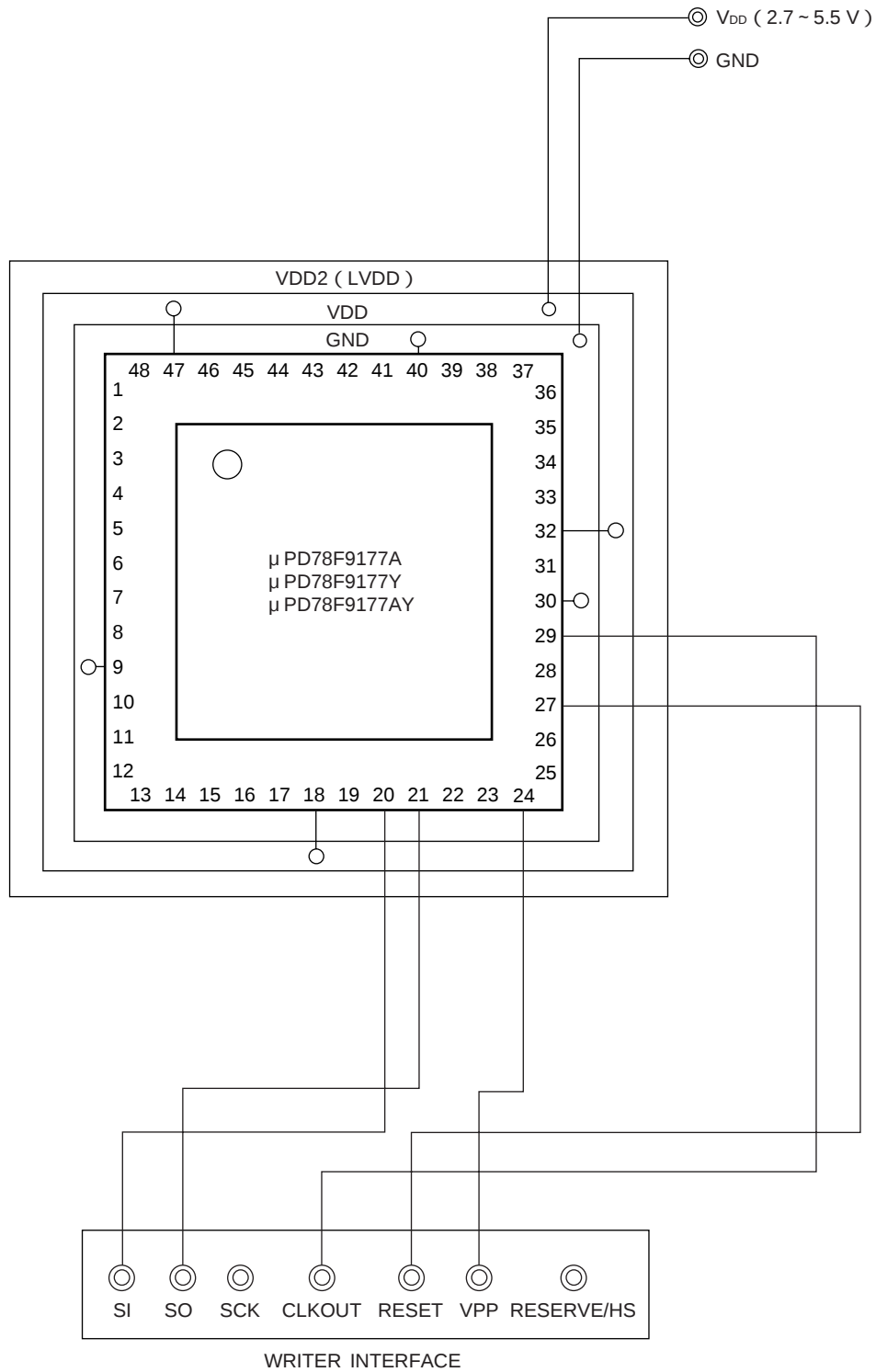


図20 - 11 UART方式でのフラッシュ書き込み用アダプタ配線例 (2/2)

(b) 48ピン・プラスチックTQFP (ファインピッチ) (7×7)



第21章 マスク・オプション

表21 - 1 端子のマスク・オプションの選択

端 子	マスク・オプション
P50-P53	1ビット単位でプルアップ抵抗の内蔵を指定可能

P50-P53 (ポート5) は、マスク・オプションによりプルアップ抵抗の内蔵を指定することができます。マスク・オプションは1ビット単位で指定できます。

注意 フラッシュ・メモリ製品にはマスク・オプションによるプルアップ抵抗の内蔵機能はありません。

第22章 命令セットの概要

μ PD789167, 789177, 789167Y, 789177Yサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

22.1 オペレーション

22.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表22 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r rp sfr	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7) AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3) 特殊機能レジスタ略号
saddr saddrp	FE20H-FF1FH イミディエト・データまたはレーベル FE20H-FF1FH イミディエト・データまたはレーベル（偶数アドレスのみ）
addr16 addr5	0000H-FFFFH イミディエト・データまたはレーベル （16ビット・データ転送命令時は偶数アドレスのみ） 0040H-007FH イミディエト・データまたはレーベル（偶数アドレスのみ）
word byte bit	16ビット・イミディエト・データまたはレーベル 8ビット・イミディエト・データまたはレーベル 3ビット・イミディエト・データまたはレーベル

備考 特殊機能レジスタの略号は表5 - 3 特殊機能レジスタ一覧を参照してください。

22. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
× _H , × _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレースメント値)

22. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
×	: 結果に従ってセット / クリアされる
R	: 以前に退避した値がストアされる

22.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r ← byte			
	saddr, #byte	3	6	(saddr) ← byte			
	sfr, #byte	3	6	sfr ← byte			
	A, r 注1	2	4	A ← r			
	r, A 注1	2	4	r ← A			
	A, saddr	2	4	A ← (saddr)			
	saddr, A	2	4	(saddr) ← A			
	A, sfr	2	4	A ← sfr			
	sfr, A	2	4	sfr ← A			
	A, laddr16	3	8	A ← (addr16)			
	laddr16, A	3	8	(addr16) ← A			
	PSW, #byte	3	6	PSW ← byte	x	x	x
	A, PSW	2	4	A ← PSW			
	PSW, A	2	4	PSW ← A	x	x	x
	A, [DE]	1	6	A ← (DE)			
	[DE], A	1	6	(DE) ← A			
	A, [HL]	1	6	A ← (HL)			
	[HL], A	1	6	(HL) ← A			
	A, [HL + byte]	2	6	A ← (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) ← A			
XCH	A, X	1	4	A ↔ X			
	A, r 注2	2	6	A ↔ r			
	A, saddr	2	6	A ↔ (saddr)			
	A, sfr	2	6	A ↔ sfr			
	A, [DE]	1	8	A ↔ (DE)			
	A, [HL]	1	8	A ↔ (HL)			
	A, [HL, byte]	2	8	A ↔ (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp ← word			
	AX, saddrp	2	6	AX ← (saddrp)			
	saddrp, AX	2	8	(saddrp) ← AX			
	AX, rp 注	1	4	AX ← rp			
	rp, AX 注	1	4	rp ← AX			
XCHW	AX, rp 注	1	8	AX ↔ rp			
ADD	A, #byte	2	4	A, CY ← A + byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte	×	×	×
	A, r	2	4	A, CY ← A + r	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte)	×	×	×
ADDC	A, #byte	2	4	A, CY ← A + byte + CY	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte + CY	×	×	×
	A, r	2	4	A, CY ← A + r + CY	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr) + CY	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16) + CY	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL) + CY	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte) + CY	×	×	×
SUB	A, #byte	2	4	A, CY ← A - byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) - byte	×	×	×
	A, r	2	4	A, CY ← A - r	×	×	×
	A, saddr	2	4	A, CY ← A - (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A - (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A - (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A - (HL + byte)	×	×	×

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
	saddr, #byte	3	6	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
	A, r	2	4	$A, CY \leftarrow A - r - CY$	×	×	×
	A, saddr	2	4	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
	A, !addr16	3	8	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
	A, [HL]	1	6	$A, CY \leftarrow A - (HL) - CY$	×	×	×
	A, [HL + byte]	2	6	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
AND	A, #byte	2	4	$A \leftarrow A \wedge \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \wedge r$	×		
	A, saddr	2	4	$A \leftarrow A \wedge (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \wedge (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \wedge (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \wedge (HL + \text{byte})$	×		
OR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \vee \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \vee r$	×		
	A, saddr	2	4	$A \leftarrow A \vee (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \vee (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \vee (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \vee (HL + \text{byte})$	×		
XOR	A, #byte	2	4	$A \leftarrow A \nabla \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \nabla \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \nabla r$	×		
	A, saddr	2	4	$A \leftarrow A \nabla (saddr)$	×		
	A, !addr16	3	8	$A \leftarrow A \nabla (\text{addr16})$	×		
	A, [HL]	1	6	$A \leftarrow A \nabla (HL)$	×		
	A, [HL + byte]	2	6	$A \leftarrow A \nabla (HL + \text{byte})$	×		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	×	×	×
	saddr, #byte	3	6	(saddr) - byte	×	×	×
	A, r	2	4	A - r	×	×	×
	A, saddr	2	4	A - (saddr)	×	×	×
	A, laddr16	3	8	A - (addr16)	×	×	×
	A, [HL]	1	6	A - (HL)	×	×	×
	A, [HL + byte]	2	6	A - (HL + byte)	×	×	×
ADDW	AX, #word	3	6	AX, CY ← AX + word	×	×	×
SUBW	AX, #word	3	6	AX, CY ← AX - word	×	×	×
CMPW	AX, #word	3	6	AX - word	×	×	×
INC	r	2	4	r ← r + 1	×	×	
	saddr	2	4	(saddr) ← (saddr) + 1	×	×	
DEC	r	2	4	r ← r - 1	×	×	
	saddr	2	4	(saddr) ← (saddr) - 1	×	×	
INCW	rp	1	4	rp ← rp + 1			
DECW	rp	1	4	rp ← rp - 1			
ROR	A, 1	1	2	(CY, A ₇ ← A ₀ , A _{m-1} ← A _m) × 1回			×
ROL	A, 1	1	2	(CY, A ₀ ← A ₇ , A _{m+1} ← A _m) × 1回			×
RORC	A, 1	1	2	(CY ← A ₀ , A ₇ ← CY, A _{m-1} ← A _m) × 1回			×
ROLC	A, 1	1	2	(CY ← A ₇ , A ₀ ← CY, A _{m+1} ← A _m) × 1回			×
SET1	saddr.bit	3	6	(saddr.bit) ← 1			
	sfr.bit	3	6	sfr.bit ← 1			
	A.bit	2	4	A.bit ← 1			
	PSW.bit	3	6	PSW.bit ← 1	×	×	×
	[HL].bit	2	10	(HL).bit ← 1			
CLR1	saddr.bit	3	6	(saddr.bit) ← 0			
	sfr.bit	3	6	sfr.bit ← 0			
	A.bit	2	4	A.bit ← 0			
	PSW.bit	3	6	PSW.bit ← 0	×	×	×
	[HL].bit	2	10	(HL).bit ← 0			
SET1	CY	1	2	CY ← 1			1
CLR1	CY	1	2	CY ← 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \leftarrow \overline{CY}$			×
CALL	laddr16	3	6	$(SP - 1) \leftarrow (PC + 3)_H, (SP - 2) \leftarrow (PC + 3)_L,$ $PC \leftarrow \text{laddr16}, SP \leftarrow SP - 2$			
CALLT	[addr5]	1	8	$(SP - 1) \leftarrow (PC + 1)_H, (SP - 2) \leftarrow (PC + 1)_L,$ $PC_H \leftarrow (00000000, \text{addr5} + 1),$ $PC_L \leftarrow (00000000, \text{addr5}),$ $SP \leftarrow SP - 2$			
RET		1	6	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $SP \leftarrow SP + 2$			
RETI		1	8	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP + 2), SP \leftarrow SP + 3$	R	R	R
PUSH	PSW	1	2	$(SP - 1) \leftarrow PSW, SP \leftarrow SP - 1$			
	rp	1	4	$(SP - 1) \leftarrow rp_H, (SP - 2) \leftarrow rp_L,$ $SP \leftarrow SP - 2$			
POP	PSW	1	4	$PSW \leftarrow (SP), SP \leftarrow SP + 1$	R	R	R
	rp	1	6	$rp_H \leftarrow (SP + 1), rp_L \leftarrow (SP),$ $SP \leftarrow SP + 2$			
MOVW	SP, AX	2	8	$SP \leftarrow AX$			
	AX, SP	2	6	$AX \leftarrow SP$			
BR	laddr16	3	6	$PC \leftarrow \text{laddr16}$			
	\$addr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$			
	AX	1	6	$PC_H \leftarrow A, PC_L \leftarrow X$			
BC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 1			
BNC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 0			
BZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 1			
BNZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 0			
BT	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1			
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1			
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 0			
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 0			
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 0			
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 0			
DBNZ	B, \$addr16	2	6	$B \leftarrow B - 1$, then $PC \leftarrow PC + 2 + \text{jdisp8}$ if $B \neq 0$			
	C, \$addr16	2	6	$C \leftarrow C - 1$, then $PC \leftarrow PC + 2 + \text{jdisp8}$ if $C \neq 0$			
	saddr, \$addr16	3	8	$(\text{saddr}) \leftarrow (\text{saddr}) - 1$, then $PC \leftarrow PC + 3 + \text{jdisp8}$ if $(\text{saddr}) \neq 0$			
NOP		1	2	No Operation			
EI		3	6	$IE \leftarrow 1$ (Enable Interrupt)			
DI		3	6	$IE \leftarrow 0$ (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

22.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注 ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第23章 電気的特性

(μ PD78916x, 17x, 16xY, 17xY, 16x(A), 17x(A), 16xY(A), 17xY(A))

備考 この章は拡張規格品の値を示しています。

絶対最大定格 ($T_A = 25$)

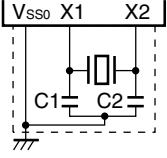
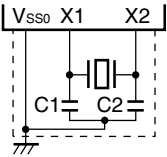
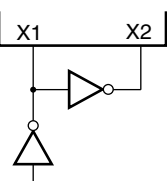
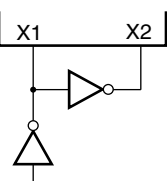
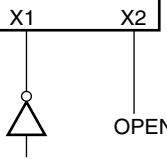
項 目	略 号	条 件		定 格	単 位
電源電圧	V _{DD}	AV _{DD} - 0.3 V V _{DD} AV _{DD} + 0.3 V		- 0.3 ~ + 6.5	V
	AV _{DD}	AV _{REF} AV _{DD} + 0.3 V			V
	AV _{REF}	AV _{REF} V _{DD} + 0.3 V			V
入力電圧	V _{I1}	P50-P53, P23, P24以外の端子		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P23, P24		- 0.3 ~ + 5.5	V
	V _{I3}	P50-P53	N-chオープン・ドレイン時	- 0.3 ~ + 13	V
			ブルアップ抵抗内蔵時	- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	μ PD78916x, 78917x, 78916xY,	- 10	mA
		全端子合計	78917xY	- 30	mA
		1端子	μ PD78916x(A), 78917x(A),	- 7	mA
		全端子合計	78916xY(A), 78917xY(A)	- 22	mA
ロウ・レベル出力電流	I _{OL}	1端子	μ PD78916x, 78917x,	30	mA
		全端子合計	78916xY, 78917xY	160	mA
		1端子	μ PD78916x(A), 78917x(A),	10	mA
		全端子合計	78916xY(A), 78917xY(A)	120	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 4.5 ~ 5.5 V	1.0		10.0	MHz
			VDD = 3.0 ~ 5.5 V	1.0		6.0	MHz
			VDD = 1.8 ~ 5.5 V	1.0		5.0	MHz
		発振安定時間注2	VDDが発振開始電圧のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1	VDD = 4.5 ~ 5.5 V	1.0		10.0	MHz
			VDD = 3.0 ~ 5.5 V	1.0		6.0	MHz
			VDD = 1.8 ~ 5.5 V	1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V			10	ms
			VDD = 1.8 ~ 5.5 V			30	ms
外部 クロック		X1入力周波数 (fx) 注1	VDD = 4.5 ~ 5.5 V	1.0		10.0	MHz
			VDD = 3.0 ~ 5.5 V	1.0		6.0	MHz
			VDD = 1.8 ~ 5.5 V	1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)	VDD = 4.5 ~ 5.5 V	45		500	ns
			VDD = 3.0 ~ 5.5 V	75		500	ns
			VDD = 1.8 ~ 5.5 V	85		500	ns
		X1入力周波数 (fx) 注1	VDD = 2.7 ~ 5.5 V	1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)	VDD = 2.7 ~ 5.5 V	85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する発振子、振動子を使用してください。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS0と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

推奨発振回路定数 (μ PD78916x, 17x, 16xY, 17xYの場合)

セラミック発振子 (T_A = -40 ~ +85)

メーカー	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所 (標準品)	CSBLA1M00J58-B0	1.000	150	150	2.2	5.5	コンデンサ非内蔵品
	CSBFB1M00J58-R1						
	CSTCC2M00G56-R0	2.000	-	-	1.8	5.5	コンデンサ内蔵品
	CSTLS2M00G56-B0						
	CSTCR4M00G53-R0	4.000					
	CSTLS4M00G53-B0						
	CSTCR4M19G53-R0	4.195					
	CSTLS4M19G53-B0						
	CSTCR4M91G53-R0	4.915					
	CSTLS4M91G53-B0						
	CSTCR5M00G53-R0	5.000					
	CSTLS5M00G53-B0						
	CSTCR6M00G53-R0	6.000					
	CSTLS6M00G53-B0						
	CSTCE8M00G52-R0	8.000					
	CSTLS8M00G53-B0						
	CSTCE8M38G52-R0	8.388					
	CSTLS8M38G53-B0						
	CSTCE10M0G52-R0	10.000					
	CSTLS10M0G53-B0						
村田製作所 (低電圧駆動タイプ)	CSTLS10M0G53093-B0	10.000	-	-	1.8	5.5	コンデンサ内蔵品

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μ PD78916x, 17x, 16xY, 17xYの内部動作条件についてはDC, AC特性の規格内で使用してください。

推奨発振回路定数 (μPD78916x(A), 17x(A), 16xY(A), 17xY(A)の場合)

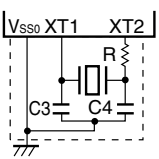
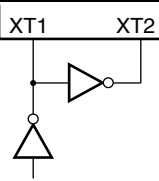
セラミック発振子 (T_A = -40 ~ +85)

メーカー	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所	CSTCC2M00G56A-R0	2.000	-	-	1.8	5.5	コンデンサ内蔵品
	CSTCR4M00G53A-R0	4.000					
	CSTCR4M19G53A-R0	4.195					
	CSTCR4M91G53A-R0	4.915					
	CSTCR5M00G53A-R0	5.000					
	CSTCR6M00G53A-R0	6.000					
	CSTCE8M00G52A-R0	8.000					
	CSTCE8M38G52A-R0	8.388					
	CSTCE10M0G52A-R0	10.000					

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD78916x(A), 17x(A), 16xY(A), 17xY(A)の内部動作条件についてはDC, AC特性の規格内で使用してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5$ V		1.2	2	s
			$V_{DD} = 1.8 \sim 5.5$ V			10	s
外部 クロック		XT1入力周波数 (f_{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		14.3		15.6	μs

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (1/3)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78916x, 78917x, 78916xY,			- 1	mA
		全端子合計	78917xY			- 15	mA
		1端子あたり	μ PD78916x(A), 78917x(A),			- 1	mA
		全端子合計	78916xY(A), 78917xY(A)			- 11	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78916x, 78917x, 78916xY,			10	mA
		全端子合計	78917xY			80	mA
		1端子あたり	μ PD78916x(A), 78917x(A),			3	mA
		全端子合計	78916xY(A), 78917xY(A)			60	mA
ハイ・レベル入力電圧	V _{IH1}	P00-P05, P10, P11, P60-P67		V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ド レーン時	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	12	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	12	V
			プルアップ抵抗内 蔵時	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH3}	RESET, P20-P26, P30-P33		V _{DD} = 2.7 ~ 5.5 V	0.8 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	X1, X2, XT1, XT2		V _{DD} = 4.5 ~ 5.5 V	V _{DD} - 0.5	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	V _{DD} - 0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P05, P10, P11, P60-P67		V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL2}	P50-P53		V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL3}	RESET, P20-P26, P30-P33		V _{DD} = 2.7 ~ 5.5 V	0	0.2 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL4}	X1, X2, XT1, XT2		V _{DD} = 4.5 ~ 5.5 V	0	0.4	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (2/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電圧	V _{OH}	P23, P24, P50-P53以外の端子	V _{DD} = 4.5 ~ 5.5 V, I _{OH} = - 1 mA	V _{DD} - 1.0		V
			V _{DD} = 1.8 ~ 5.5 V, I _{OH} = - 100 μA	V _{DD} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	P50-P53 以外の端子	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 10 mA (μPD78916x, 78917x, 78916xY, 78917xY)		1.0	V
			V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 3 mA (μPD78916x(A), 78917x(A), 78916xY(A), 78917xY(A))		1.0	V
			V _{DD} = 1.8 ~ 5.5 V, I _{OL} = 400 μA		0.5	V
	V _{OL2}	P50-P53	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 10 mA (μPD78916x, 78917x, 78916xY, 78917xY)		1.0	V
			V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 3 mA (μPD78916x(A), 78917x(A), 78916xY(A), 78917xY(A))		1.0	V
			V _{DD} = 1.8 ~ 5.5 V, I _{OL} = 1.6 mA		0.4	V
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	P50-P53 (N-chオープン・ドレ ーン), X1, X2, XT1, XT2以外の 端子		3	μA
	I _{LIH2}		X1, X2, XT1, XT2		20	μA
	I _{LIH3}	V _I = 12 V ^{注1}	P50-P53 (N-chオープン・ドレ ーン)		20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0 V	P50-P53 (N-chオープン・ドレ ーン), X1, X2, XT1, XT2以外の 端子		- 3	μA
	I _{LIL2}		X1, X2, XT1, XT2		- 20	μA
	I _{LIL3}		P50-P53 (N-chオープン・ドレ ーン)		- 3 ^{注2}	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			- 3	μA
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P23, P24, P50-P53以外の端子	50	100	200	kΩ
マスク・オプション・プルアップ抵抗	R ₂	V _I = 0 V, P50-P53	15	30	60	kΩ

注1. P50-P53にプルアップ抵抗を内蔵しない場合 (マスク・オプションにて指定)。

2. P50-P53にプルアップ抵抗を内蔵しない場合 (マスク・オプションにて指定) で, P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ, ロウ・レベル入力リーク電流が - 60 μA (MAX.) 流れます。これ以外では - 3 μA (MAX.) です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (3/3)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
電源電流	I _{DD1} ^{注1}	10.0 MHz水晶発振 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		3.2	8.0	mA
		6.0 MHz水晶発振 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		2.0	4.7	mA
		5.0 MHz水晶発振 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		1.8	4.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.6	1.2	mA
	V _{DD} = 2.0 V ± 10 % ^{注5}			0.35	0.7	mA	
	I _{DD2} ^{注1}	10.0 MHz水晶発振 HALTモード	V _{DD} = 5.0 V ± 10 % ^{注4}		1.5	3.0	mA
		6.0 MHz水晶発振 HALTモード	V _{DD} = 5.0 V ± 10 % ^{注4}		0.9	1.8	mA
		5.0 MHz水晶発振 HALTモード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		0.75	1.5	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.4	0.8	mA
	V _{DD} = 2.0 V ± 10 % ^{注5}			0.25	0.5	mA	
	I _{DD3} ^{注1}	32.768 kHz水晶発振 動作モード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		25	90	μA
			V _{DD} = 3.0 V ± 10 %		7.0	50	μA
			V _{DD} = 2.0 V ± 10 %		3.5	30	μA
	I _{DD4} ^{注1}	32.768 kHz水晶発振 HALTモード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		16	75	μA
			V _{DD} = 3.0 V ± 10 %		4.5	35	μA
			V _{DD} = 2.0 V ± 10 %		2.3	18	μA
	I _{DD5} ^{注1}	32.768 kHz水晶停止 STOPモード	V _{DD} = 5.0 V ± 10 %		0.1	10	μA
			V _{DD} = 3.0 V ± 10 %		0.05	5.0	μA
			V _{DD} = 2.0 V ± 10 %		0.05	3.0	μA
	I _{DD6} ^{注2}	10.0 MHz水晶発振 A/D動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		4.0	10.0	mA
6.0 MHz水晶発振 A/D動作モード		V _{DD} = 5.0 V ± 10 % ^{注4}		2.8	6.7	mA	
5.0 MHz水晶発振A/D 動作モード (C1 = C2 = 22 pF)		V _{DD} = 5.0 V ± 10 % ^{注4}		2.6	6.0	mA	
		V _{DD} = 3.0 V ± 10 % ^{注5}		1.4	3.2	mA	
	V _{DD} = 2.0 V ± 10 % ^{注5}		1.15	2.7	mA		

注1. AV_{REFON}電流 (ADCS0 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7) = 1) , AV_{DD}電流およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。

2. AV_{REFON}電流 (ADCS0 = 1) およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。AV_{REF}に流れる電流はA/Dコンバータ特性を参照してください。

3. メイン・システム・クロック停止時

4. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)

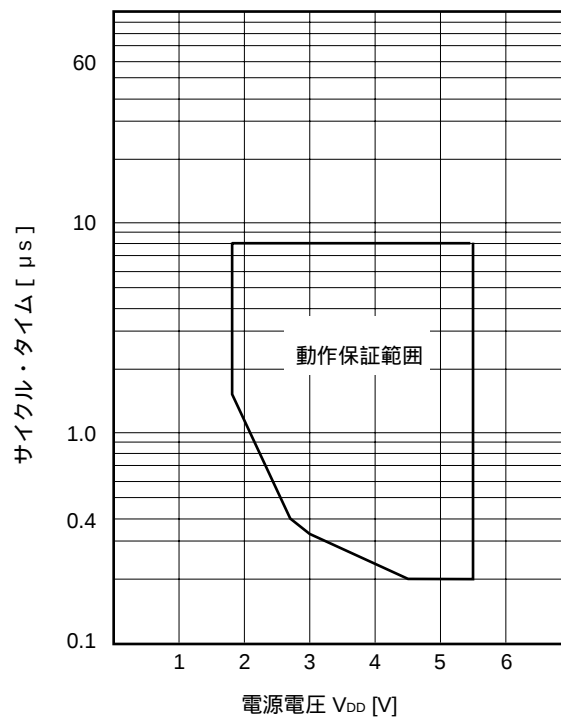
5. 低速モード動作時 (PCC = 02Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	$V_{DD} = 4.5 \sim 5.5$ V	0.2	8	μ s
			$V_{DD} = 3.0 \sim 5.5$ V	0.33	8	μ s
			$V_{DD} = 2.7 \sim 5.5$ V	0.4	8	μ s
			$V_{DD} = 1.8 \sim 5.5$ V	1.6	8	μ s
		サブシステム・クロックで動作	114	122	125	μ s
TI80, TI81入力周波数	f_{TI}	$V_{DD} = 2.7 \sim 5.5$ V	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5$ V	0		275	kHz
TI80, TI81入力ハイ, ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5$ V	0.1			μ s
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5$ V	1.8			μ s
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH}	INTP0-INTP3	10			μ s
	t_{INTL}					
RESET入力 ロウ・レベル幅	t_{RSL}		10			μ s
CPT90入力ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μ s

 T_{CY} VS V_{DD} (メイン・システム・クロック)

(2) シリアル・インタフェース SIO20 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(a) 3線式シリアル/Oモード (SCK20...内部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH1},$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1\text{k}\Omega,$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
		$C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (SCK20...外部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	900			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3500			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH2},$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1\text{k}\Omega,$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
		$C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

(d) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	900			ns
		V _{DD} = 1.8 ~ 5.5 V	3500			ns
ASCK20ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}	V _{DD} = 2.7 ~ 5.5 V	400			ns
		V _{DD} = 1.8 ~ 5.5 V	1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	bps
		V _{DD} = 1.8 ~ 5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

(3) シリアル・インタフェース SMB0 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(μPD78916xY, 78917xY, 78916xY(A), 78917xY(A)のみ)

(a) DC特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V_{IH}	SCL0, SDA0 (ヒステリシス時)	$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	SCL0, SDA0 (ヒステリシス時)	0		$0.2 V_{DD}$	V
ロウ・レベル出力電圧	V_{OL}	SCL0, SDA0 $V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 10 \text{ mA}$			1.0	V
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OL} = 400 \mu\text{A}$			0.5	V
ハイ・レベル入力リーク電流	I_{LH}	SCL0, SDA0 $V_i = V_{DD}$			3	μA
ロウ・レベル入力リーク電流	I_{LL}	SCL0, SDA0 $V_i = 0 \text{ V}$			-3	μA

(b) DC特性 (コンパレータ使用時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力範囲	V_{SDA}, V_{SCL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		5.5	V
転送レベル	V_{ISDA}, V_{ISCL}	$4.5 V_{DD} \sim 5.5 \text{ V}$	$0.72 V_{ISMB}$	V_{ISMB}	$1.28 V_{ISMB}$	V
		$3.3 V_{DD} < 4.5 \text{ V}$	$0.78 V_{ISMB}$	V_{ISMB}	$1.22 V_{ISMB}$	V
		$2.7 V_{DD} < 3.3 \text{ V}$	$0.75 V_{ISMB}$	V_{ISMB}	$1.25 V_{ISMB}$	V
		$1.8 V_{DD} < 2.7 \text{ V}$	$0.90 V_{ISMB}$	V_{ISMB}	$1.45 V_{ISMB}$	V
入力レベルしきい値 ^注	V_{ISMB}	LVL01, LVL00 = 0, 1		$0.25 \times V_{DD}$		V
		LVL01, LVL00 = 1, 0		$0.375 \times V_{DD}$		V
		LVL01, LVL00 = 1, 1		$0.5 \times V_{DD}$		V

注 V_{ISMB} はLVL00, LVL01 (SMB入力レベル設定レジスタ0 (SMBVI0) のビット0, 1) によって選択された入力レベルしきい値です。

SMBの規格 (V1.1) では, ロウ・レベル入力電圧の最大値は0.8 V, ハイ・レベル入力電圧の最小値は2.1 Vとなっています。これを満足させるためにLVL01, LVL00の設定は次のようにしてください。

- $V_{DD} = 1.8 \sim 3.3 \text{ V}$ 時 : LVL01, LVL00 = 1, 1 ($0.5 \times V_{DD}$)
- $V_{DD} = 3.3 \sim 4.5 \text{ V}$ 時 : LVL01, LVL00 = 1, 0 ($0.375 \times V_{DD}$)
- $V_{DD} = 4.5 \sim 5.5 \text{ V}$ 時 : LVL01, LVL00 = 0, 1 ($0.25 \times V_{DD}$)

LVL01, LVL00 = 0, 0は, SMBの規格 (V1.1) を満足しないため使用できません。

(c) AC特性

項 目	略 号	SMBモード		I ² C標準モード		I ² C高速モード		単 位
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{CLK}	10	100	0	100	0	400	kHz
バス・フリータイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	-	4.7	-	1.3	-	μs
ホールド・タイム ^{注1}	t _{HD:STA}	4.0	-	4.0	-	0.6	-	μs
スタート/リスタート・コンディションの セットアップ時間	t _{SU:STA}	4.7	-	4.7	-	0.6	-	μs
ストップ・コンディションのセットアップ 時間	t _{SU:STO}	4.0	-	4.0	-	0.6	-	μs
データ保持 時間	CBUS互換マスタの場合	t _{HD:DAT}	-	-	5	-	-	μs
	SMB/IICの場合	300	-	0 ^{注2}	-	0 ^{注2}	900 ^{注3}	ns
データ・セットアップ時間	t _{SU:DAT}	250	-	250	-	100 ^{注4}	-	ns
SCL0クロックのロウ・レベル幅	t _{LOW}	4.7	-	4.7	-	1.3	-	μs
SCL0クロックのハイ・レベル時間	t _{HIGH}	4.0	50	4.0	-	0.6	-	μs
SCL0およびSDA0信号の立ち下がり時間	t _F	-	300	-	300	-	300	ns
SCL0およびSDA0信号の立ち上がり時間	t _R	-	1000	-	1000	-	300	ns
入力フィルタによって制御されるスパイク のパルス幅	t _{SP}	-	-	-	-	0	50	ns
タイム・アウト時間	t _{TIMEOUT}	25	35	-	-	-	-	ms
SCL0クロックのロウ・レベル期間合計延 長時間 (スレープ)	t _{LOW:} S _{EXT}	-	25	-	-	-	-	ms
累積SCL0クロックのロウ・レベル期間合 計延長時間 (マスタ)	t _{LOW:} M _{EXT}	-	10	-	-	-	-	ms
各バス・レインの容量性負荷	C _b	-	-	-	400	-	400	pF

注1. スタート・コンディション時に、この期間のあと最初のクロック・パルスが生成されます。

- 装置は、SCL0の立ち下がりエッジの未定義領域を埋めるために (SCL0信号のV_{IHmin.}での) SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみを満たすことが必要です。
- I²C高速モードはSMBモードおよびI²C標準モード内で利用できます。この場合、次の条件を満たすようにしてください。

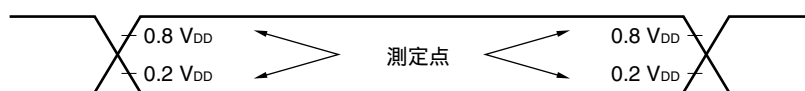
・装置がSCL0信号のロウ状態ホールド・タイムを延長しない場合

t_{SU:DAT} 250 ns

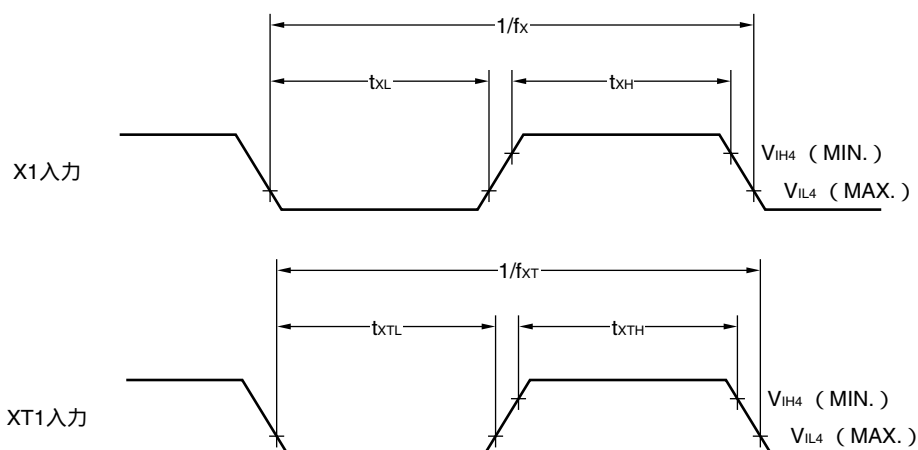
・装置がSCL0信号のロウ状態ホールド・タイムを延長する場合

SCL0が解放される (t_{Rmax.} + t_{SU:DAT} = 1000 + 250 = 1250 ns : SMBモードまたはI²C標準モード使用による) 前に、次のデータ・ビットをSDA0ラインに送出してください。

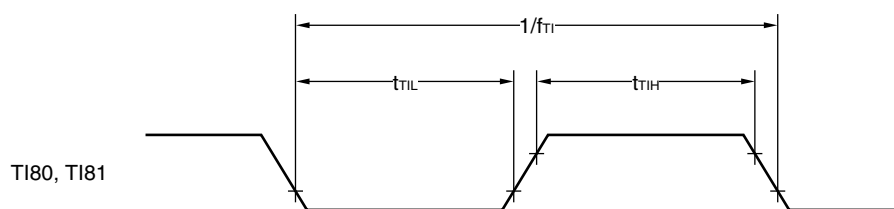
ACタイミング測定点 (X1, XT1入力を除く)



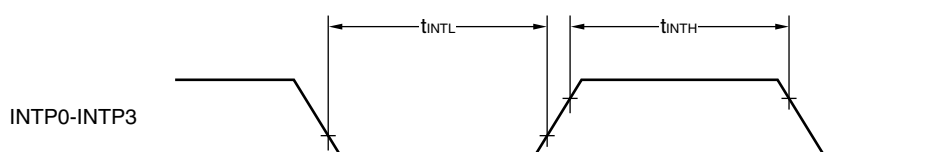
クロック・タイミング



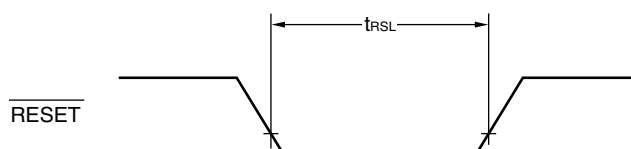
TI タイミング



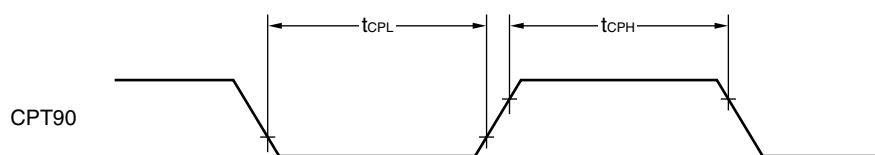
割り込み入力タイミング



RESET入力タイミング

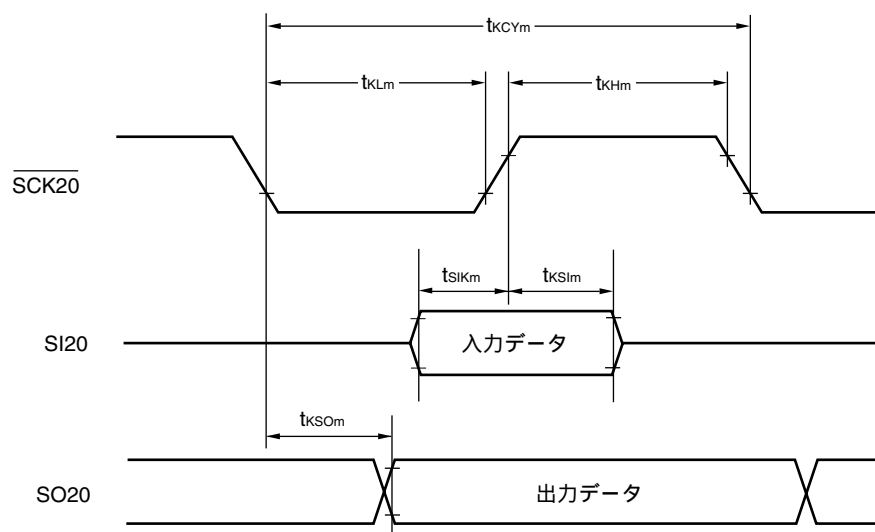


CPT90入力タイミング



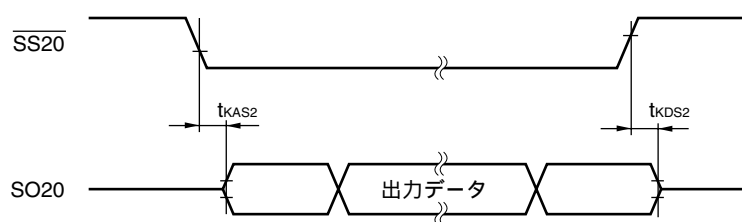
シリアル転送タイミング

3線式シリアルI/Oモード :

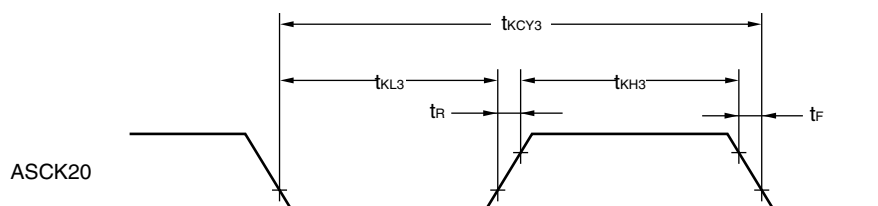


備考 m = 1, 2

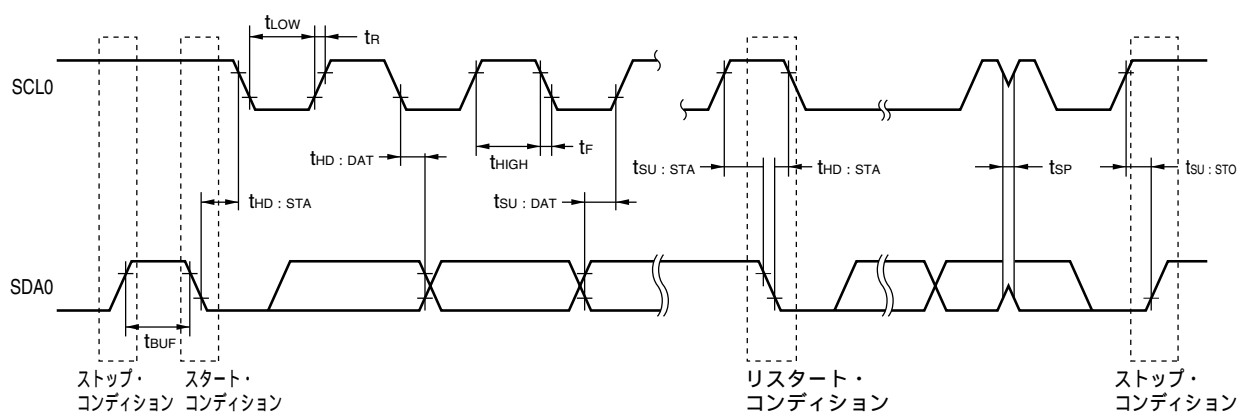
3線式シリアルI/Oモード ($\overline{SS20}$ 使用時) :



UARTモード (外部クロック入力) :



SMBモード：



8ビットA/Dコンバータ特性 (μ PD78916x, 78916xY, 78916x(A), 78916xY(A))

(TA = -40 ~ +85 , 1.8 AVREF AVDD = VDD 5.5 V, AVSS = VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^注		2.7 AVREF AVDD 5.5 V		± 0.4	± 0.6	%FSR
		1.8 AVREF AVDD 5.5 V		± 0.8	± 1.2	%FSR
変換時間	tCONV	4.5 AVREF AVDD 5.5 V	12		100	μs
		2.7 AVREF AVDD 5.5 V	14		100	μs
		1.8 AVREF AVDD 5.5 V	28		100	μs
アナログ入力電圧	VIAN		0		AVREF	V
基準電圧	AVREF		1.8		AVDD	V
AVREF-AVSS間抵抗	RADREF		20	40		kΩ

注 量子化誤差 (±0.2 %FSR) を含みません。

備考 FSR : フルスケール・レンジ

10ビットA/Dコンバータ特性 (μ PD78917x, 78917xY, 78917x(A), 78917xY(A))

(TA = -40 ~ +85 , 1.8 AVREF AVDD = VDD 5.5 V, AVSS = VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^注		4.5 AVREF AVDD 5.5 V		± 0.2	± 0.4	%FSR
		2.7 AVREF AVDD 5.5 V		± 0.4	± 0.6	%FSR
		1.8 AVREF AVDD 5.5 V		± 0.8	± 1.2	%FSR
変換時間	tCONV	4.5 AVREF AVDD 5.5 V	12		100	μs
		2.7 AVREF AVDD 5.5 V	14		100	μs
		1.8 AVREF AVDD 5.5 V	28		100	μs
ゼロ・スケール誤差 ^注		4.5 AVREF AVDD 5.5 V			± 0.4	%FSR
		2.7 AVREF AVDD 5.5 V			± 0.6	%FSR
		1.8 AVREF AVDD 5.5 V			± 1.2	%FSR
フルスケール誤差 ^注		4.5 AVREF AVDD 5.5 V			± 0.4	%FSR
		2.7 AVREF AVDD 5.5 V			± 0.6	%FSR
		1.8 AVREF AVDD 5.5 V			± 1.2	%FSR
積分直線性誤差 ^注	INL	4.5 AVREF AVDD 5.5 V			± 2.5	LSB
		2.7 AVREF AVDD 5.5 V			± 4.5	LSB
		1.8 AVREF AVDD 5.5 V			± 8.5	LSB
微分直線性誤差 ^注	DNL	4.5 AVREF AVDD 5.5 V			± 1.5	LSB
		2.7 AVREF AVDD 5.5 V			± 2.0	LSB
		1.8 AVREF AVDD 5.5 V			± 3.5	LSB
アナログ入力電圧	VIAN		0		AVREF	V
基準電圧	AVREF		1.8		AVDD	V
AVREF-AVSS間抵抗	RADREF		20	40		kΩ

注 量子化誤差 (±0.05 %FSR) を含みません。

備考 FSR : フルスケール・レンジ

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

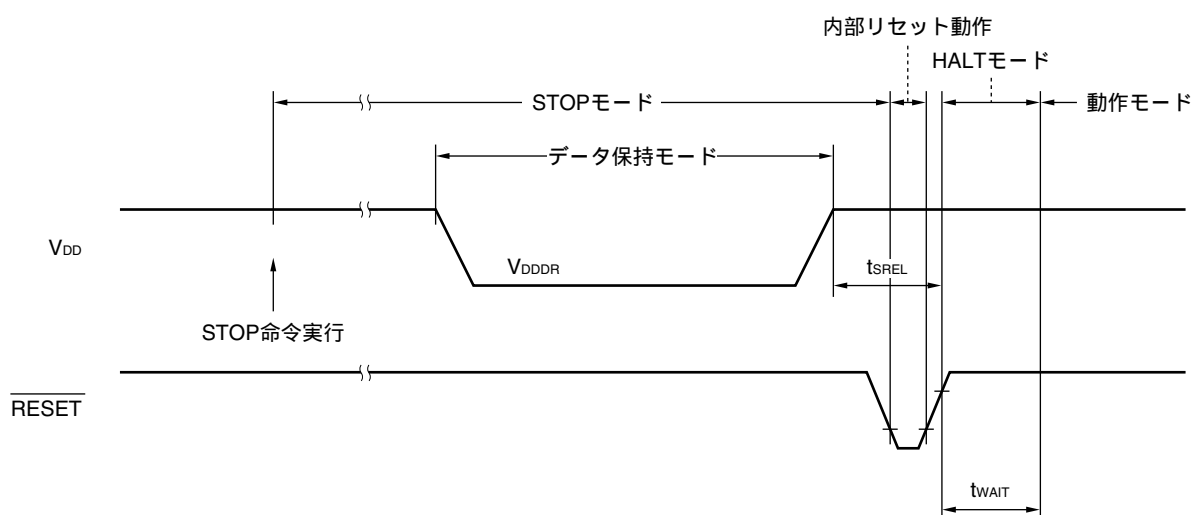
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μ s
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除		$2^{15}/f_x$		s
		割り込み要求による解除		注2		s

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

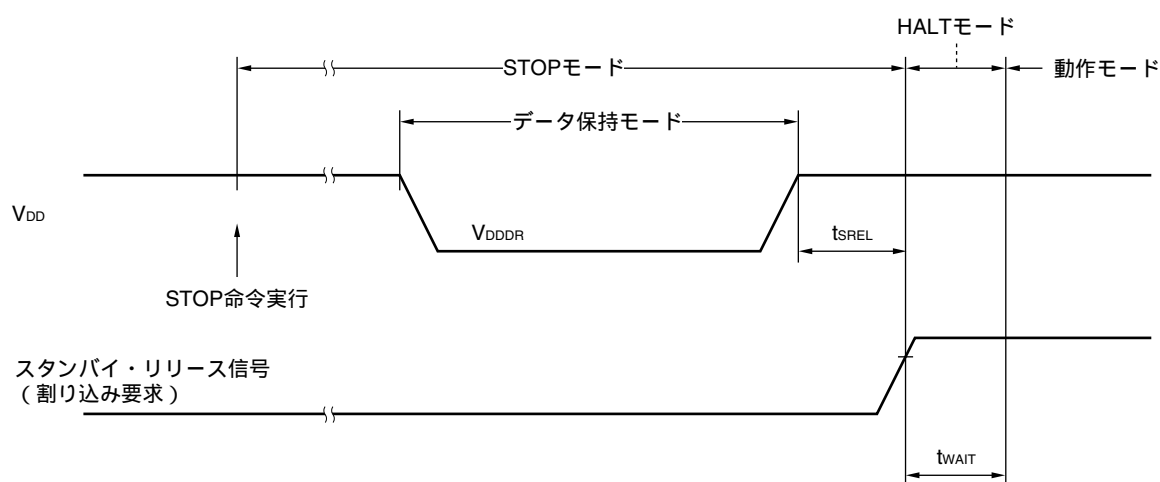
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です。

備考 f_x : メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



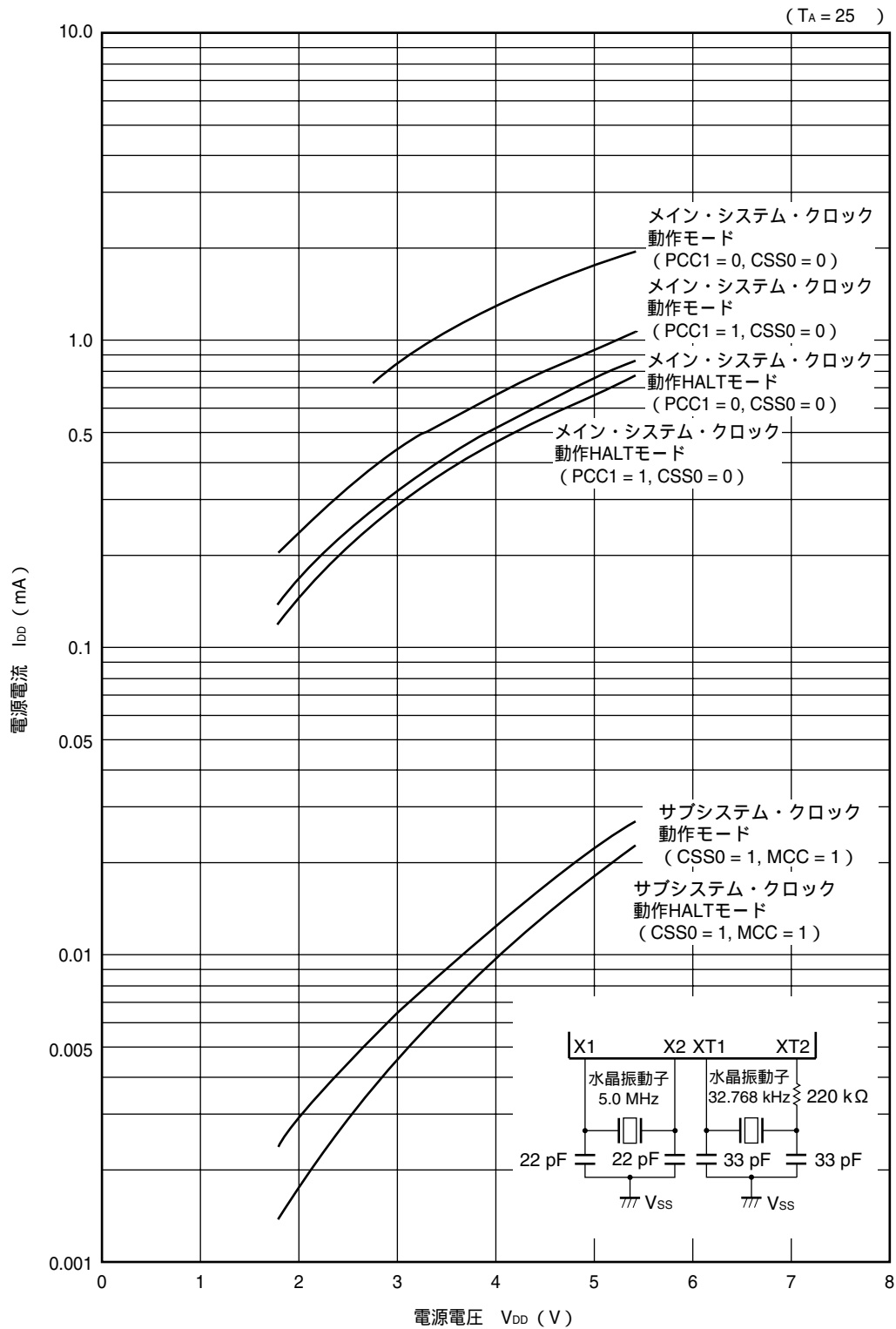
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



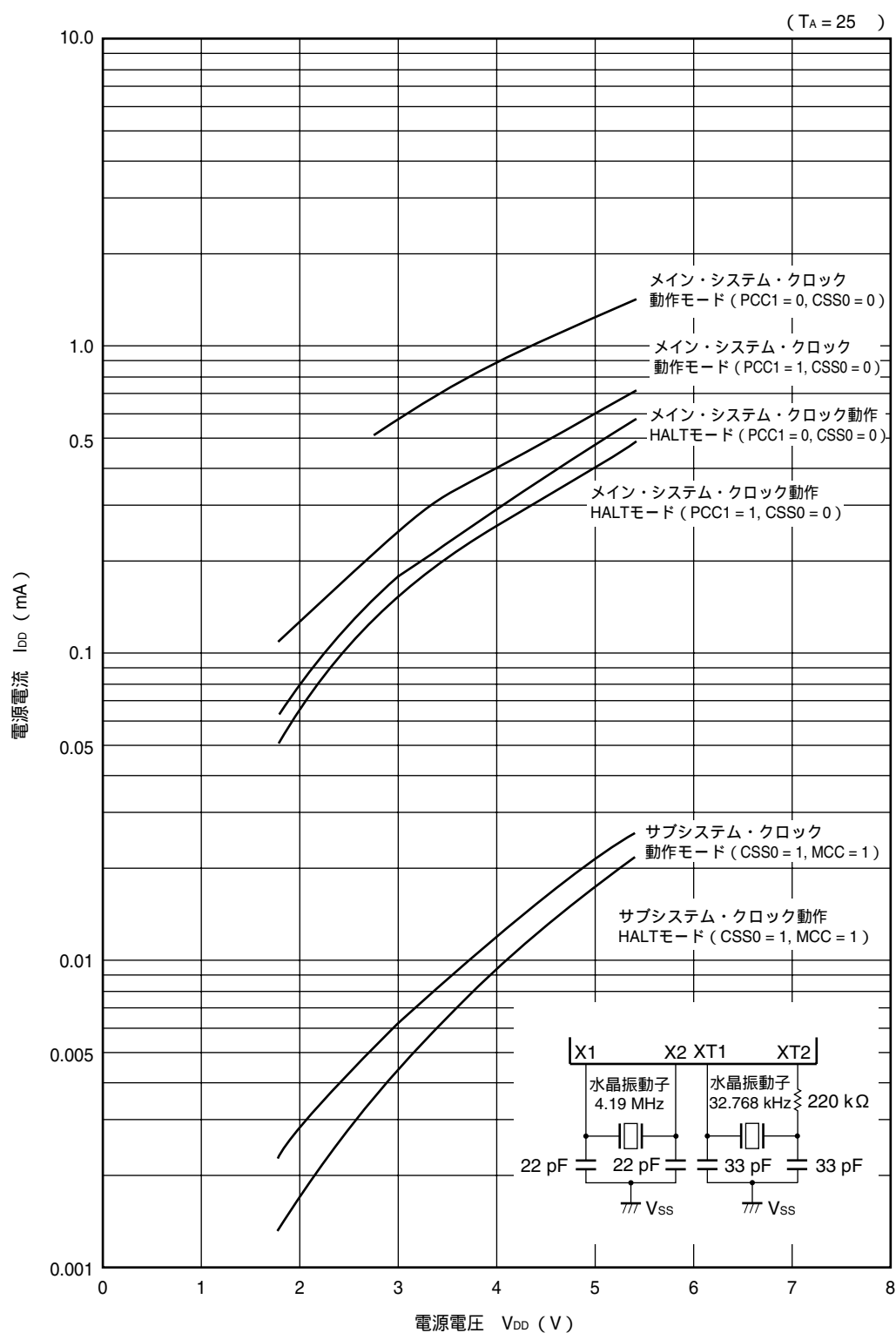
第24章 特性曲線

(μ PD78916x, 17x, 16xY, 17xY, 16x(A), 17x(A), 16xY(A), 17xY(A))

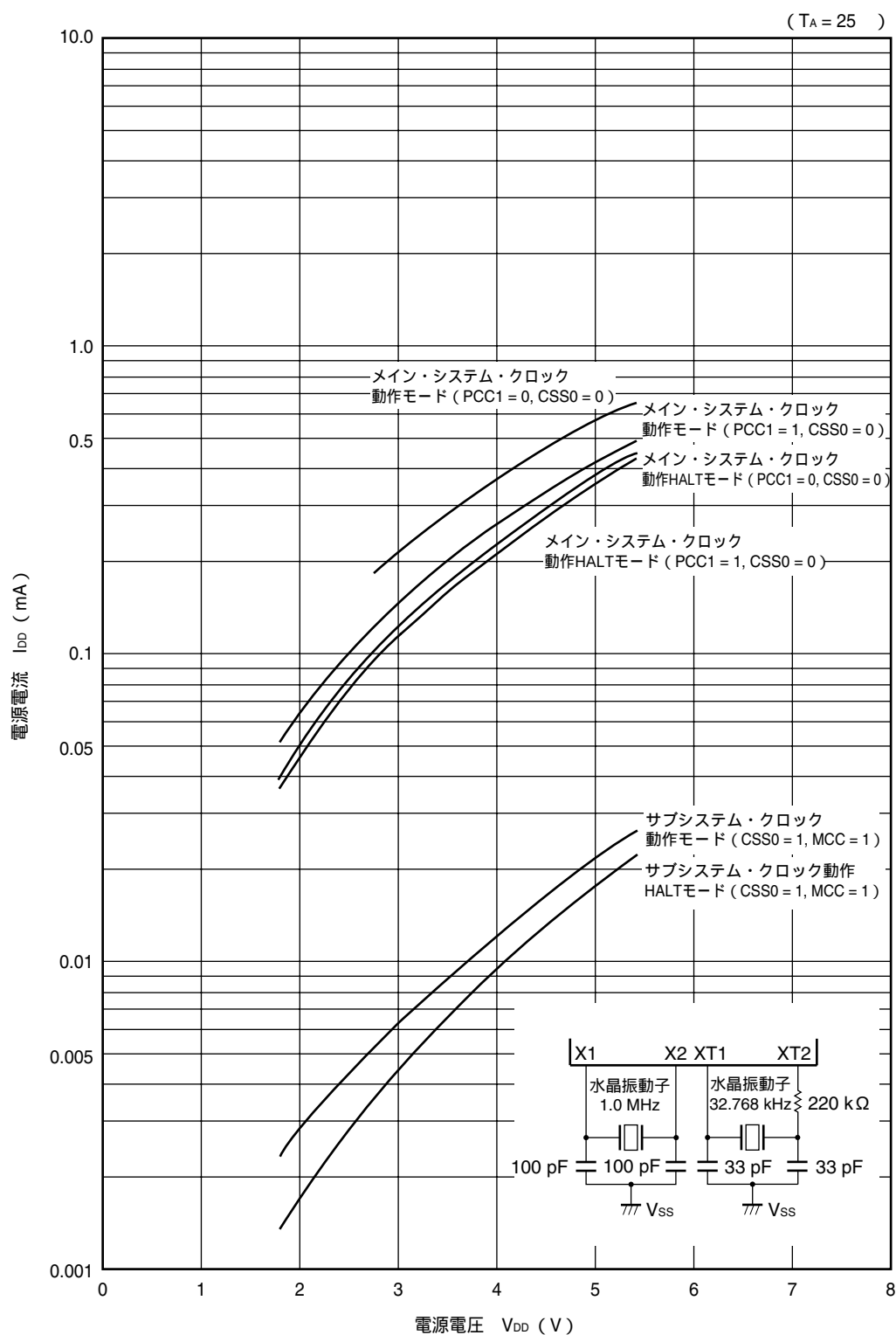
I_{DD} vs V_{DD} ($f_X = 5.0$ MHz, $f_{XT} = 32.768$ kHz)



I_{DD} VS V_{DD} ($f_X = 4.19$ MHz, $f_{XT} = 32.768$ kHz)



I_{DD} vs V_{DD} ($f_X = 1.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$)



第25章 電気的特性

(μ PD78916x(A1), 17x(A1), 16x(A2), 17x(A2))

絶対最大定格 ($T_A = 25$)

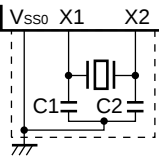
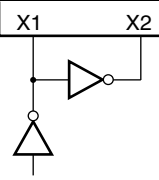
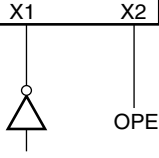
項 目	略 号	条 件		定 格	単 位
電源電圧	V _{DD}	AV _{DD} - 0.3 V V _{DD} AV _{DD} + 0.3 V		- 0.3 ~ + 6.5	V
	AV _{DD}	AV _{REF} AV _{DD} + 0.3 V			
	AV _{REF}	AV _{REF} V _{DD} + 0.3 V			
入力電圧	V _{I1}	P23, P24, P50-P53以外の端子		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P23, P24		- 0.3 ~ + 5.5	V
	V _{I3}	P50-P53	N-chオープン・ドレイン時	- 0.3 ~ + 13	V
			プルアップ抵抗内蔵時	- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	μ PD78916x(A1), 78917x(A1)	- 4	mA
		全端子合計		- 14	mA
		1端子	μ PD78916x(A2), 78917x(A2)	- 2	mA
		全端子合計		- 6	mA
ロウ・レベル出力電流	I _{OL}	1端子	μ PD78916x(A1), 78917x(A1)	5	mA
		全端子合計		80	mA
		1端子	μ PD78916x(A2), 78917x(A2)	2	mA
		全端子合計		40	mA
動作周囲温度	T _A	μ PD78916x(A1), 78917x(A1)		- 40 ~ + 110	
		μ PD78916x(A2), 78917x(A2)		- 40 ~ + 125	
保存温度	T _{stg}			- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性

($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110$ (μ PD78916x(A1), 78917x(A1)) ,
 $-40 \sim +125$ (μ PD78916x(A2), 78917x(A2)))

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) ^{注1}	V_{DD} = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振開始電圧のMIN.に達したあと			4	ms
外部 クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ,ロウ・レベル幅 (t_{xH} , t_{xL})		85		500	ns
		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ,ロウ・レベル幅 (t_{xH} , t_{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する発振子、振動子を使用してください。

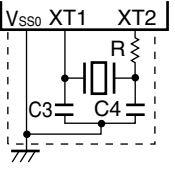
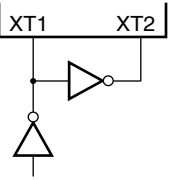
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位になるようにする。
 - ・大電流が流れるグラウンド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
 3. セラミック発振子については、発振子メーカーが以下の条件で動作保証している型番を使用してください。
 μ PD78916x(A1), 78917x(A1)の場合： $T_A = 110$
 μ PD78916x(A2), 78917x(A2)の場合： $T_A = 125$

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性

($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110$ (μPD78916x(A1), 78917x(A1)) ,
 $-40 \sim +125$ (μPD78916x(A2), 78917x(A2)))

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}			1.2	2	s
外部 クロック		XT1入力周波数 (f_{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		14.3		15.6	μs

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウェイト時間内に発振安定する振動子を使用してください。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110$ (μ PD78916x(A1), 78917x(A1)) ,
 $-40 \sim +125$ (μ PD78916x(A2), 78917x(A2))) (1/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78916x(A1), 78917x(A1)		- 1	mA
		全端子合計			- 7	mA
		1端子あたり	μ PD78916x(A2), 78917x(A2)		- 1	mA
		全端子合計			- 3	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78916x(A1), 78917x(A1)		1.6	mA
		全端子合計			40	mA
		1端子あたり	μ PD78916x(A2), 78917x(A2)		1.6	mA
		全端子合計			20	mA
ハイ・レベル入力電圧	V _{IH1}	P00-P05, P10, P11, P60-P67	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン時	0.7 V _{DD}	10	V
			プルアップ抵抗内蔵時	0.7 V _{DD}	V _{DD}	V
	V _{IH3}	RESET, P20-P26, P30-P33	0.8 V _{DD}		V _{DD}	V
	V _{IH4}	X1, X2, XT1, XT2	V _{DD} - 0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P05, P10, P11, P60-P67	0		0.3 V _{DD}	V
	V _{IL2}	P50-P53	0		0.3 V _{DD}	V
	V _{IL3}	RESET, P20-P26, P30-P33	0		0.2 V _{DD}	V
	V _{IL4}	X1, X2, XT1, XT2	0		0.1	V
ハイ・レベル出力電圧	V _{OH}	P23, P24, P50-P53以外の端子	I _{OH} = - 1 mA	V _{DD} - 2.0		V
			I _{OH} = - 100 μA	V _{DD} - 1.0		V
ロウ・レベル出力電圧	V _{OL1}	P50-P53 以外の端子	I _{OL} = 1.6 mA		2.0	V
			I _{OL} = 400 μA		1.0	V
	V _{OL2}	P50-P53	I _{OL} = 1.6 mA		1.0	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110$ (μ PD78916x(A1), 78917x(A1)) ,
 $-40 \sim +125$ (μ PD78916x(A2), 78917x(A2))) (2/3)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	P50-P53 (N-chオープン・ドレ ーン) , X1, X2, XT1, XT2以外の 端子			10	μ A
	I _{LIH2}		X1, X2, XT1, XT2			20	μ A
	I _{LIH3}	V _I = 10 V ^{注1}	P50-P53 (N-chオープン・ドレ ーン)			80	μ A
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0 V	P50-P53 (N-chオープン・ドレ ーン) , X1, X2, XT1, XT2以外の 端子			- 10	μ A
	I _{LIL2}		X1, X2, XT1, XT2			- 20	μ A
	I _{LIL3}		P50-P53 (N-chオープン・ドレ ーン)			- 10 ^{注2}	μ A
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				10	μ A
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				- 10	μ A
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V, P23, P24, P50-P53以外の端子		50	100	300	kΩ
マスク・オプション・プルアップ抵抗	R ₂	V _I = 0 V, P50-P53	μ PD78916x(A1), 78917x(A1)	15	30	100	kΩ
			μ PD78916x(A2), 78917x(A2)	10	30	100	kΩ

注1. P50-P53にプルアップ抵抗を内蔵しない場合 (マスク・オプションにて指定)。

- P50-P53にプルアップ抵抗を内蔵しない場合 (マスク・オプションにて指定) で, P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ, ロウ・レベル入力リーク電流が - 60 μ A (MAX.) 流れます。これ以外では - 10 μ A (MAX.) です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110$ (μPD78916x(A1), 78917x(A1)) ,
 $-40 \sim +125$ (μPD78916x(A2), 78917x(A2))) (3/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
電源電流	I _{DD1} ^{注1}	5.0 MHz水晶発振 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		2.0	8.0	mA
	I _{DD2} ^{注1}	5.0 MHz水晶発振 HALTモード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		1.0	5.0	mA
	I _{DD3} ^{注1}	32.768 kHz水晶発振 動作モード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		30	1200	μA
	I _{DD4} ^{注1}	32.768 kHz水晶発振 HALTモード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		25	1100	μA
	I _{DD5} ^{注1}	32.768 kHz水晶停止 STOPモード	V _{DD} = 5.0 V ± 10 %		0.1	1000	μA
	I _{DD6} ^{注2}	5.0 MHz水晶発振A/D 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		3.0	10.0	mA

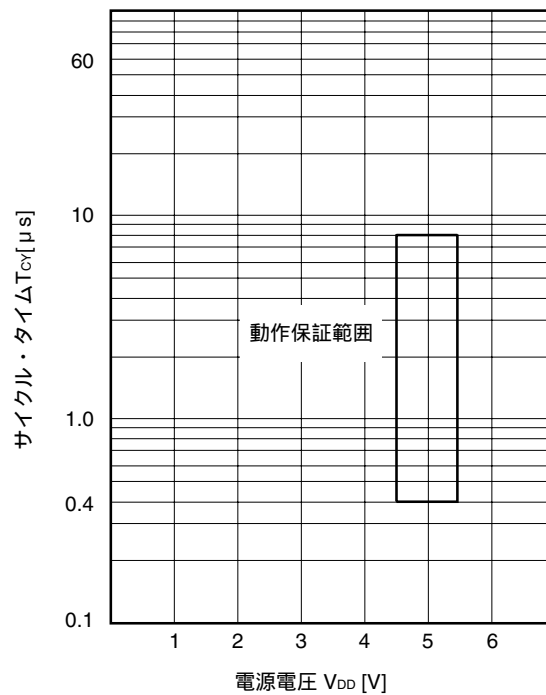
- 注1. AV_{REFON} 電流 ($ADCS0$ (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7) = 1) , AV_{DD} 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。
2. AV_{REFON} 電流 ($ADCS0 = 1$) およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。
 AV_{REF} に流れる電流はA/Dコンバータ特性を参照してください。
3. メイン・システム・クロック停止時
4. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110$ (μ PD78916x(A1), 78917x(A1)) ,
 $-40 \sim +125$ (μ PD78916x(A2), 78917x(A2)))

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		8	μs
		サブシステム・クロックで動作	114	122	125	μs
TI80, TI81入力周波数	f_{TI}		0		4	MHz
TI80, TI81入力ハイ, ロウ・レベル幅	t_{TIH} , t_{TIL}		0.1			μs
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP3	10			μs
RESET $\bar$ 入力 ロウ・レベル幅	t_{RSL}		10			μs
CPT90入力ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μs

 T_{CY} VS V_{DD} (メイン・システム・クロック)

(2) シリアル・インタフェース20

(V_{DD} = 4.5 ~ 5.5 V, T_A = - 40 ~ + 110 (μ PD78916x(A1), 78917x(A1)) ,
- 40 ~ + 125 (μ PD78916x(A2), 78917x(A2)))

(a) 3線式シリアル/Oモード (SCK20...内部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY1}		800			ns
SCK20ハイ,ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2 - 50			ns
SI20セット・アップ時間 (対SCK20↑)	t _{SIK1}		150			ns
SI20ホールド時間 (対SCK20↑)	t _{KSI1}		400			ns
SCK20↓→SO20 出力遅延時間	t _{KSO1}	R = 1kΩ, C = 100 pF ^注	0		250	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (SCK20...外部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY2}		900			ns
SCK20ハイ,ロウ・レベル幅	t _{KH2} , t _{KL2}		400			ns
SI20セット・アップ時間 (対SCK20↑)	t _{SIK2}		100			ns
SI20ホールド時間 (対SCK20↑)	t _{KSI2}		400			ns
SCK20↓→SO20 出力遅延時間	t _{KSO2}	R = 1 kΩ, C = 100 pF ^注	0		300	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t _{KAS2}				120	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t _{KDS2}				240	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

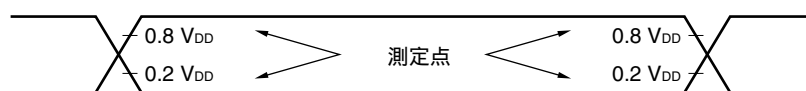
(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					78125	bps

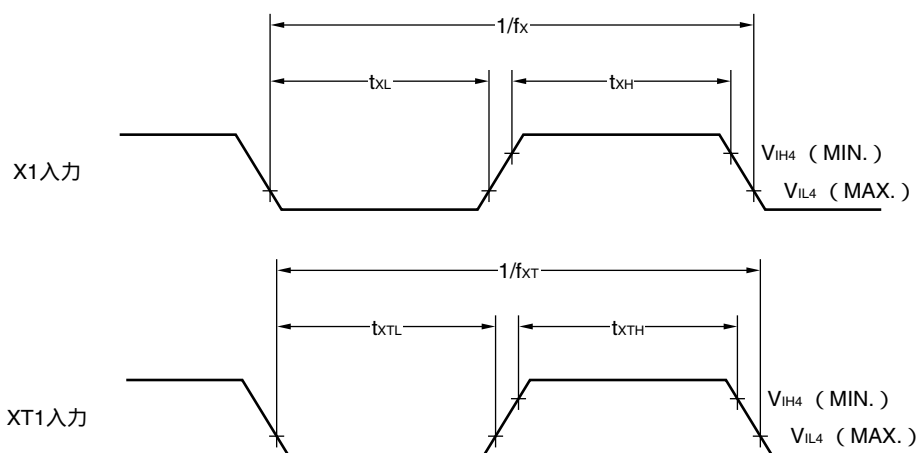
(d) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}		900			ns
ASCK20ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}		400			ns
転送レート					39063	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

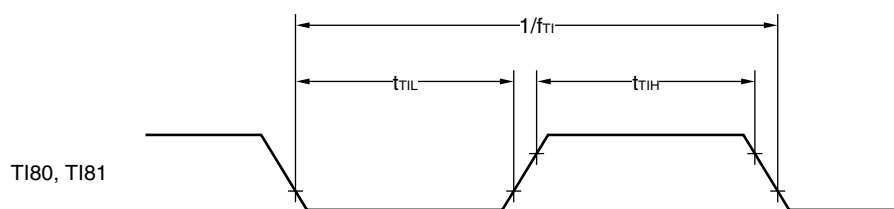
ACタイミング測定点 (X1, XT1入力を除く)



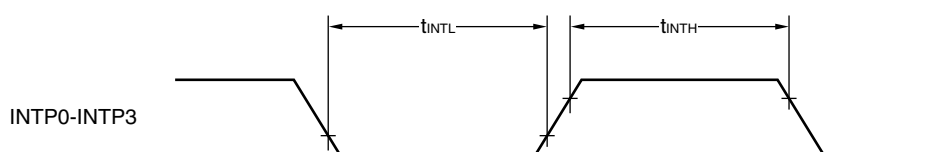
クロック・タイミング



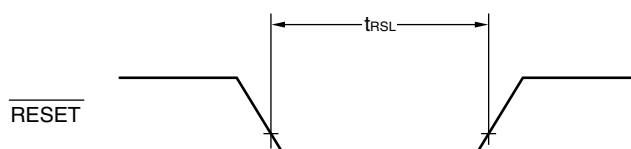
TI タイミング



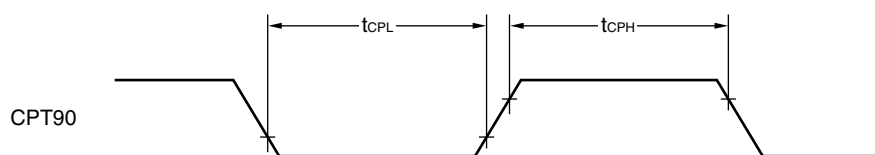
割り込み入力タイミング



RESET入力タイミング

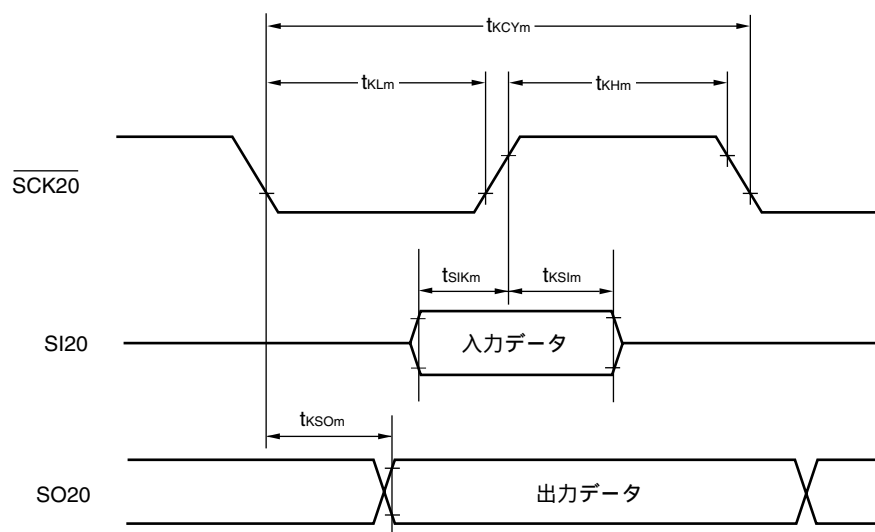


CPT90入力タイミング



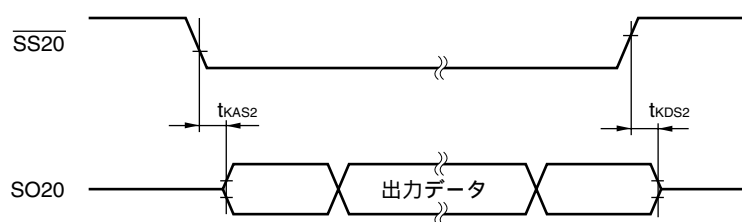
シリアル転送タイミング

3線式シリアルI/Oモード :

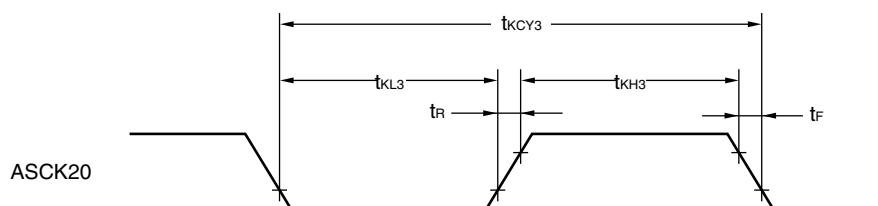


備考 m = 1, 2

3線式シリアルI/Oモード ($\overline{SS20}$ 使用時) :



UARTモード (外部クロック入力) :



8ビットA/Dコンバータ特性 (μ PD78916x(A1), 78916x(A2))

(TA = -40 ~ +110 (μ PD78916x(A1)), -40 ~ +125 (μ PD78916x(A2)))

4.5 AVREF AVDD = VDD 5.5 V, AVSS = VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^注				± 0.4	± 1.0	%FSR
変換時間	t _{CONV}		14		28	μs
アナログ入力電圧	V _{IAN}		0		AV _{REF}	V
基準電圧	AV _{REF}		4.5		AV _{DD}	V
AV _{REF} -AV _{SS} 間抵抗	R _{ADREF}		20	40		kΩ

注 量子化誤差 (±0.2 %FSR) を含みません。

備考 FSR : フルスケール・レンジ

10ビットA/Dコンバータ特性 (μ PD78917x(A1), 78917x(A2))

(TA = -40 ~ +110 (μ PD78917x(A1)), -40 ~ +125 (μ PD78917x(A2)))

4.5 AVREF AVDD = VDD 5.5 V, AVSS = VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^注				± 0.2	± 0.6	%FSR
変換時間	t _{CONV}		14		28	μs
ゼロ・スケール誤差 ^注					± 0.6	%FSR
フルスケール誤差 ^注					± 0.6	%FSR
積分直線性誤差 ^注	INL				± 4.5	LSB
微分直線性誤差 ^注	DNL				± 2.0	LSB
アナログ入力電圧	V _{IAN}		0		AV _{REF}	V
基準電圧	AV _{REF}		4.5		AV _{DD}	V
AV _{REF} -AV _{SS} 間抵抗	R _{ADREF}		20	40		kΩ

注 量子化誤差 (±0.05 %FSR) を含みません。

備考 FSR : フルスケール・レンジ

データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +110$ (μ PD78916x(A1), 78917x(A1)) ,
 $-40 \sim +125$ (μ PD78916x(A2), 78917x(A2)))

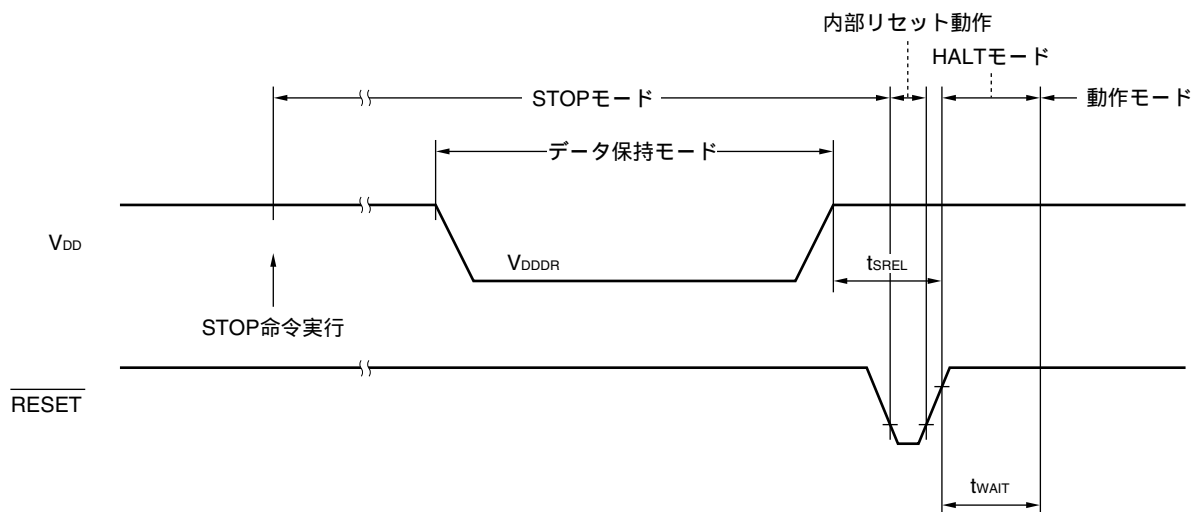
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		4.5		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _x		s
		割り込み要求による解除		注2		s

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

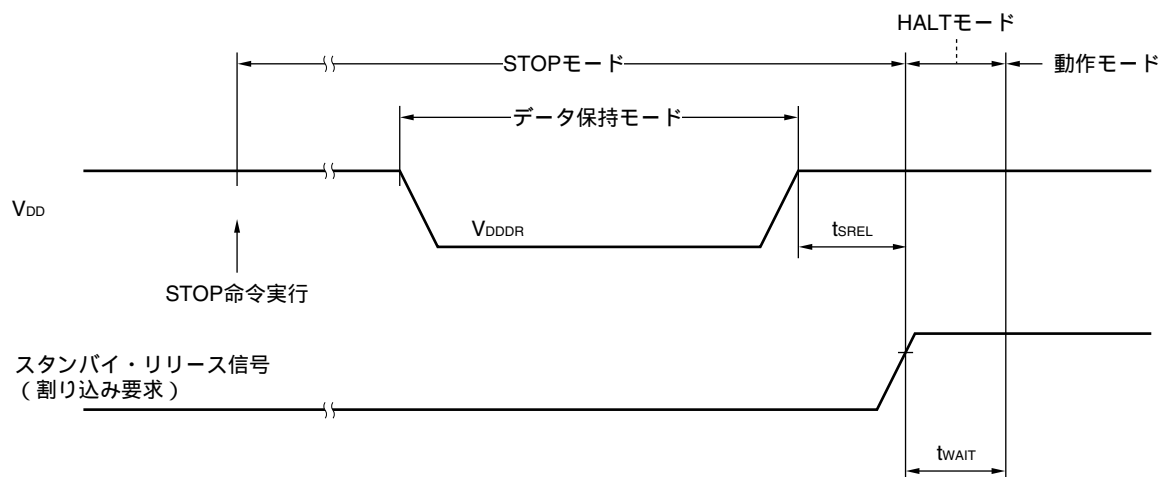
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/f_x, 2¹⁵/f_x, 2¹⁷/f_xの選択が可能です。

備考 f_x: メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



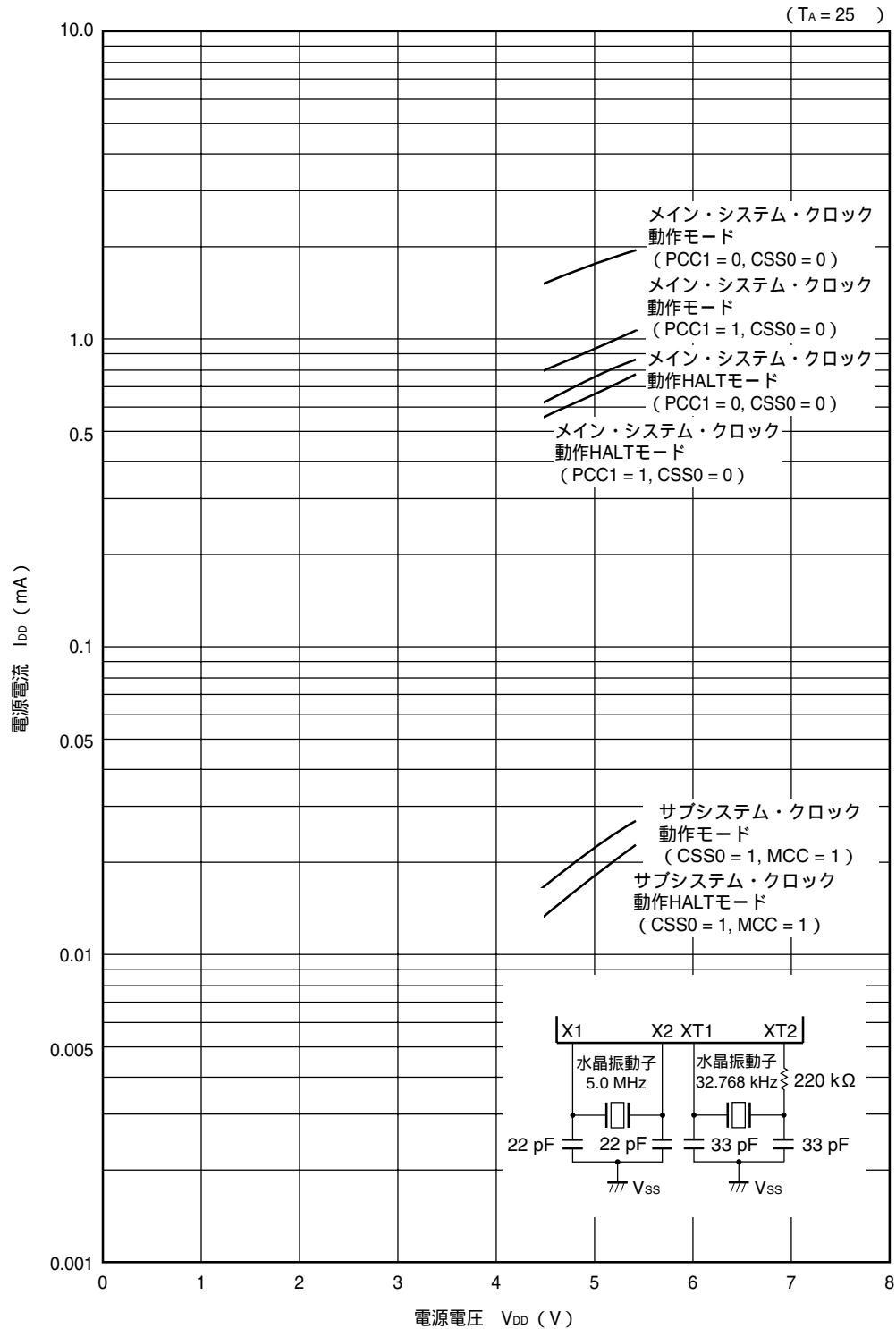
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



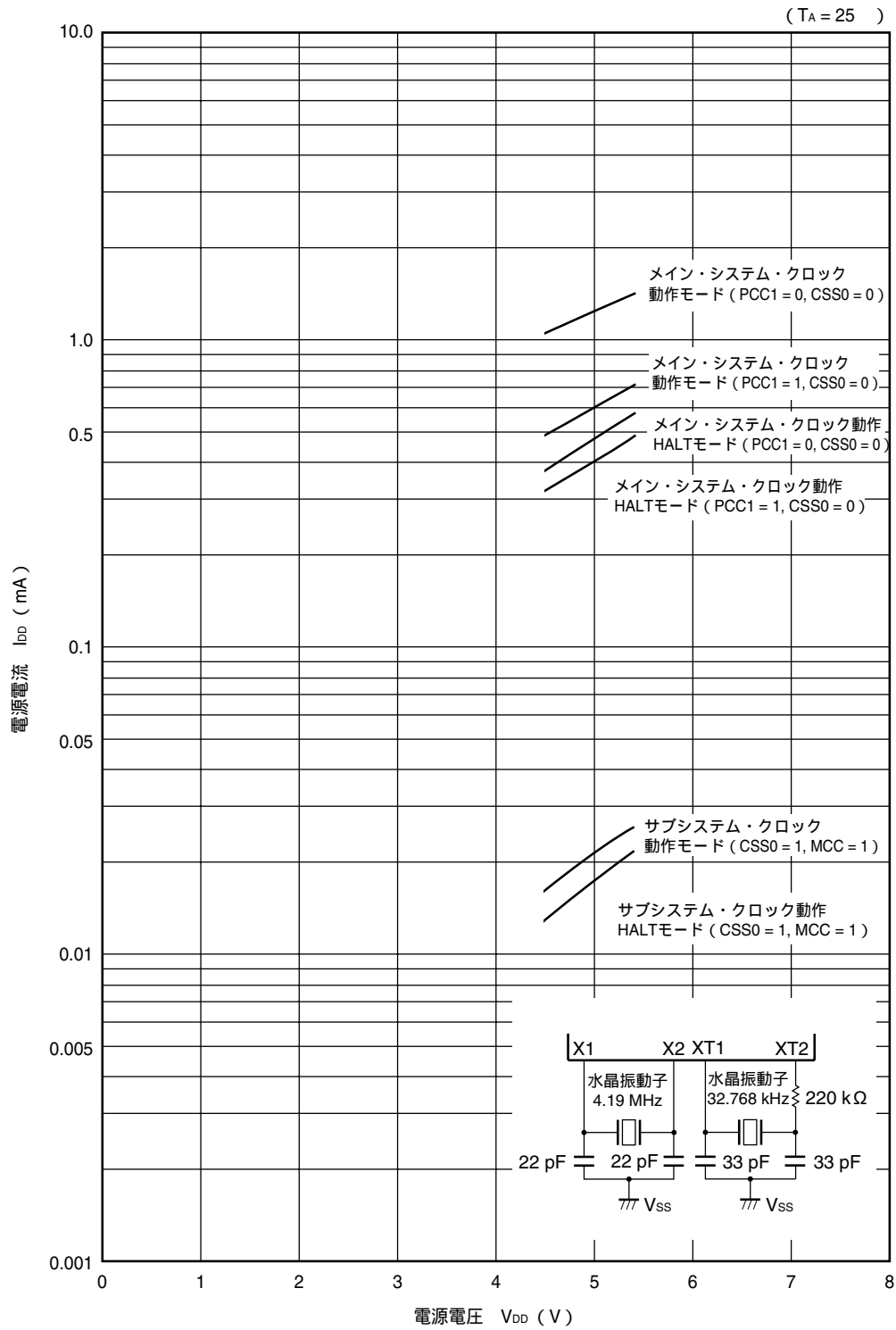
第26章 特性曲線

(μ PD78916x(A1), 17x(A1), 16x(A2), 17x(A2))

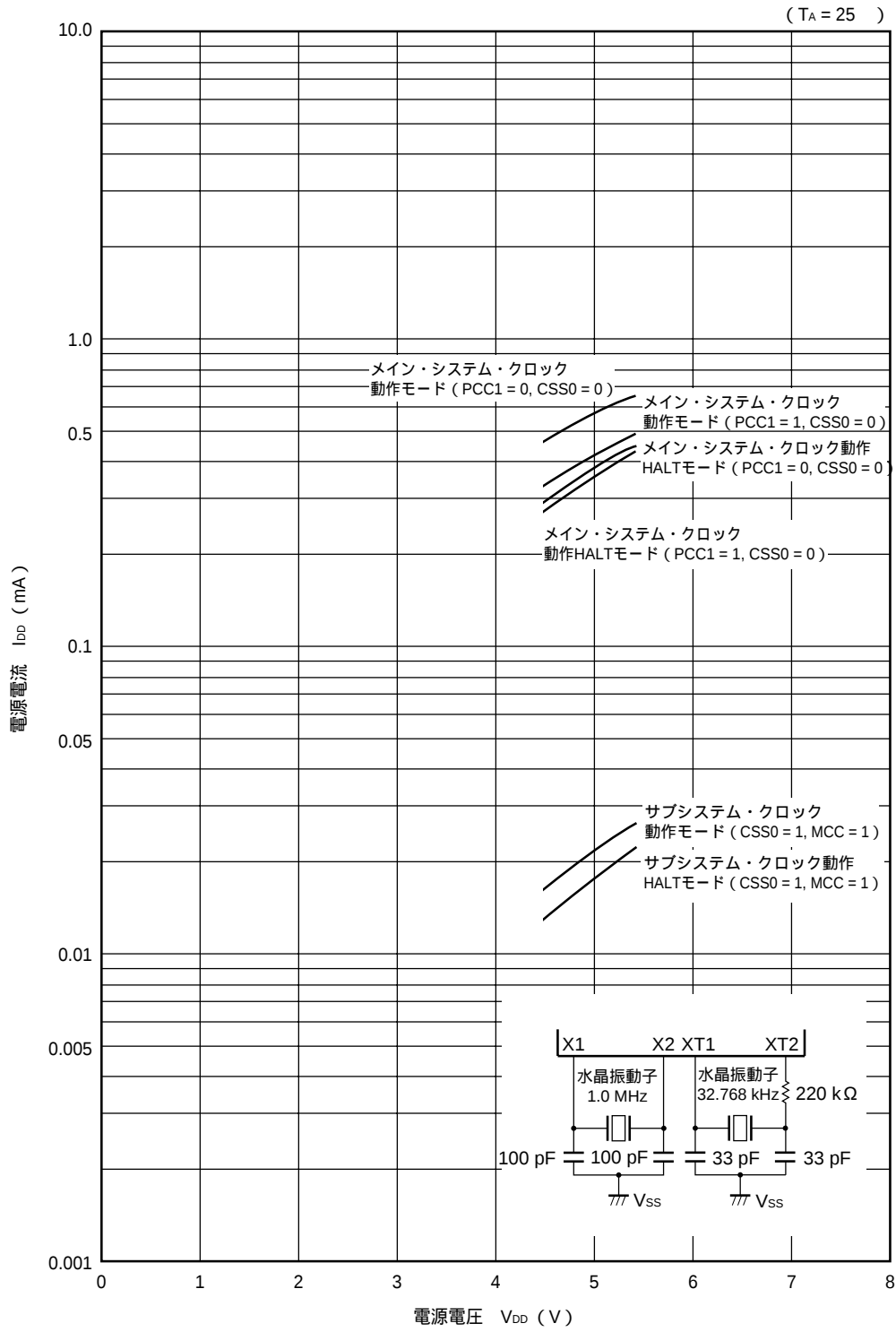
I_{DD} vs V_{DD} ($f_x = 5.0$ MHz, $f_{XT} = 32.768$ kHz)



I_{DD} VS V_{DD} ($f_X = 4.19$ MHz, $f_{XT} = 32.768$ kHz)



I_{DD} vs V_{DD} ($f_X = 1.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$)



第27章 電気的特性

(μ PD78F9177A, 78F9177AY, 78F9177A(A), 78F9177AY(A))

絶対最大定格 ($T_A = 25$)

項 目	略 号	条 件		定 格	単 位
電源電圧	V _{DD}	AV _{DD} - 0.3 V V _{DD} AV _{DD} + 0.3 V		- 0.3 ~ + 6.5	V
	AV _{DD}	AV _{REF} AV _{DD} + 0.3 V			V
	AV _{REF}	AV _{REF} V _{DD} + 0.3 V			V
	V _{PP}	注		- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P50-P53, P23, P24以外の端子		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P23, P24		- 0.3 ~ + 5.5	V
	V _{I3}	P50-P53		- 0.3 ~ + 13	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	μ PD78F9177A,	- 10	mA
		全端子合計	μ PD78F9177AY	- 30	mA
		1端子	μ PD78F9177A(A),	- 7	mA
		全端子合計	μ PD78F9177AY(A)	- 22	mA
ロウ・レベル出力電流	I _{OL}	1端子	μ PD78F9177A,	30	mA
		全端子合計	μ PD78F9177AY	160	mA
		1端子	μ PD78F9177A(A),	10	mA
		全端子合計	μ PD78F9177AY(A)	120	mA
動作周囲温度	T _A	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時		10 ~ 40	
保存温度	T _{stg}			- 40 ~ + 125	

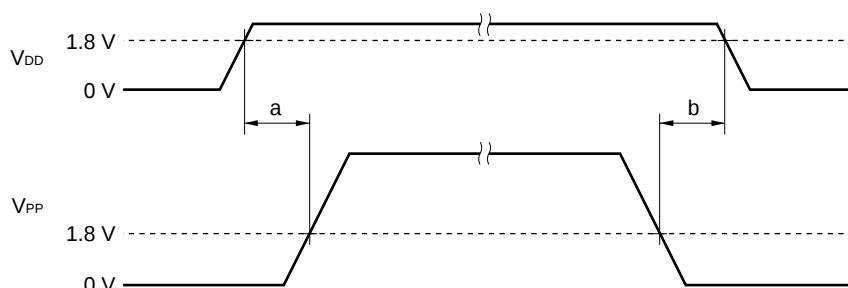
注 フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μ s以上経過後、 V_{PP} が V_{DD} を越えること (下図のa)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μ s以上経過後、 V_{DD} を立ち下げること (下図のb)。

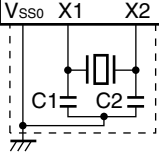
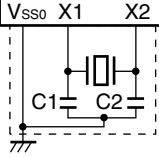
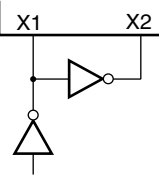
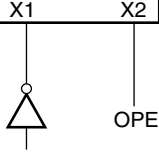


注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 4.5 ~ 5.5 V	1.0		10.0	MHz
			VDD = 3.0 ~ 5.5 V	1.0		6.0	MHz
			VDD = 1.8 ~ 5.5 V	1.0		5.0	MHz
		発振安定時間 注2	VDDが発振開始電圧のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1	VDD = 4.5 ~ 5.5 V	1.0		10.0	MHz
			VDD = 3.0 ~ 5.5 V	1.0		6.0	MHz
			VDD = 1.8 ~ 5.5 V	1.0		5.0	MHz
		発振安定時間 注2	VDD = 4.5 ~ 5.5 V			10	ms
			VDD = 1.8 ~ 5.5 V			30	ms
外部 クロック		X1入力周波数 (fx) 注1	VDD = 4.5 ~ 5.5 V	1.0		10.0	MHz
			VDD = 3.0 ~ 5.5 V	1.0		6.0	MHz
			VDD = 1.8 ~ 5.5 V	1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)	VDD = 4.5 ~ 5.5 V	45		500	ns
			VDD = 3.0 ~ 5.5 V	75		500	ns
			VDD = 1.8 ~ 5.5 V	85		500	ns
		X1入力周波数 (fx) 注1	VDD = 2.7 ~ 5.5 V	1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)	VDD = 2.7 ~ 5.5 V	85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する発振子、振動子を使用してください。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS0と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

推奨発振回路定数 (μ PD78F9177A, 78F9177AYの場合)

セラミック発振子 (T_A = -40 ~ +85)

メーカー	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考			
			C1	C2	MIN.	MAX.				
村田製作所 (標準品)	CSBLA1M00J58-B0	1.000	150	150	2.4	5.5	コンデンサ非内蔵品			
	CSBFB1M00J58-R1									
	CSTCC2M00G56-R0	2.000	-	-	1.8	5.5	コンデンサ内蔵品			
	CSTLS2M00G56-B0									
	CSTCR4M00G53-R0	4.000			1.9	5.5				
	CSTLS4M00G53-B0									
	CSTCR4M19G53-R0	4.195			1.8	5.5				
	CSTLS4M19G53-B0									
	CSTCR4M91G53-R0	4.915			1.9	5.5				
	CSTLS4M91G53-B0									
	CSTCR5M00G53-R0	5.000			2.1	5.5				
	CSTLS5M00G53-B0									
	CSTCR6M00G53-R0	6.000			1.9	5.5				
	CSTLS6M00G53-B0									
	CSTCE8M00G52-R0	8.000			2.1	5.5				
	CSTLS8M00G53-B0									
	CSTCE8M38G52-R0	8.388			1.8	5.5				
	CSTLS8M38G53-B0									
	CSTCE10M0G52-R0	10.000			2.0	5.5				
	CSTLS10M0G53-B0									
村田製作所 (低電圧駆動タイプ)	CSTLS4M00G53093-B0	4.000			-	-		1.8	5.5	コンデンサ内蔵品
	CSTLS4M19G53093-B0	4.195								
	CSTCR4M91G53093-R0	4.915								
	CSTLS4M91G53U-B0									
	CSTCR5M00G53093-R0	5.000								
	CSTLS5M00G53U-B0									
	CSTCR6M00G53093-R0	6.000								
	CSTLS6M00G53U-B0									
	CSTLS8M00G53U-B0	8.000								
	CSTLS8M38G53U-B0	8.388								
	CSTLS10M0G53U-B0	10.000								

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μ PD78F9177A, 78F9177AYの内部動作条件についてはDC, AC特性の規格内で使用してください。

推奨発振回路定数 (μ PD78F9177A(A), 78F9177AY(A)の場合)

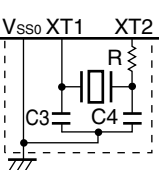
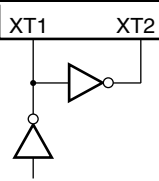
セラミック発振子 (T_A = -40 ~ +85)

メーカ	品 名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所 (標準品)	CSTCC2M00G56A-R0	2.000	-	-	1.8	5.5	コンデンサ内蔵品
	CSTCR4M00G53A-R0	4.000					
	CSTCR4M19G53A-R0	4.195					
	CSTCR4M91G53A-R0	4.915			1.9	5.5	
	CSTCR5M00G53A-R0	5.000					
	CSTCR6M00G53A-R0	6.000					
	CSTCE8M00G52A-R0	8.000			1.8	5.5	
	CSTCE8M38G52A-R0	8.388					
	CSTCE10M0G52A-R0	10.000			2.0	5.5	
村田製作所 (低電圧駆動タイプ)	CSTCR4M91G53A093-R0	4.915	-	-	1.8	5.5	コンデンサ内蔵品
	CSTCR5M00G53A093-R0	5.000					
	CSTCR6M00G53A093-R0	6.000					

注意 この発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μ PD78F9177A(A), 78F9177AY(A)の内部動作条件についてはDC, AC特性の規格内で使用してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5$ V		1.2	2	s
			$V_{DD} = 1.8 \sim 5.5$ V			10	s
外部 クロック		XT1入力周波数 (f_{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		14.3		15.6	μ s

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (1/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり	μ PD78F9177A,		- 1	mA
		全端子合計	μ PD78F9177AY		- 15	mA
		1端子あたり	μ PD78F9177A(A),		- 1	mA
		全端子合計	μ PD78F9177AY(A)		- 11	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり	μ PD78F9177A,		10	mA
		全端子合計	μ PD78F9177AY		80	mA
		1端子あたり	μ PD78F9177A(A),		3	mA
		全端子合計	μ PD78F9177AY(A)		60	mA
ハイ・レベル入力電圧	V _{IH1}	P00-P05, P10,	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
		P11, P60-P67	V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	12	V
			V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	12	V
	V _{IH3}	RESET, P20-	V _{DD} = 2.7 ~ 5.5 V	0.8 V _{DD}	V _{DD}	V
		P26, P30-P33	V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	X1, X2, XT1,	V _{DD} = 4.5 ~ 5.5 V	V _{DD} - 0.5	V _{DD}	V
		XT2	V _{DD} = 1.8 ~ 5.5 V	V _{DD} - 0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P05, P10,	V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
		P11, P60-P67	V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL2}	P50-P53	V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
			V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL3}	RESET, P20-	V _{DD} = 2.7 ~ 5.5 V	0	0.2 V _{DD}	V
		P26, P30-P33	V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL4}	X1, X2, XT1,	V _{DD} = 4.5 ~ 5.5 V	0	0.4	V
		XT2	V _{DD} = 1.8 ~ 5.5 V	0	0.1	V
ハイ・レベル出力電圧	V _{OH}	P23, P24,	V _{DD} = 4.5 ~ 5.5 V, I _{OH} = - 1 mA	V _{DD} - 1.0		V
		P50-P53以外の端子	V _{DD} = 1.8 ~ 5.5 V, I _{OH} = - 100 μA	V _{DD} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 10 mA (μ PD78F9177A, μ PD78F9177AY)		1.0	V
			V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 3 mA (μ PD78F9177A (A) , μ PD78F9177AY (A))			
			V _{DD} = 1.8 ~ 5.5 V, I _{OL} = 400 μA		0.5	V
	V _{OL2}	P50-P53	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 10 mA (μ PD78F9177A, μ PD78F9177AY)		1.0	V
			V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 3 mA (μ PD78F9177A (A) , μ PD78F9177AY (A))			
			V _{DD} = 1.8 ~ 5.5 V, I _{OL} = 1.6 mA		0.4	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (2/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}			3	μA
	I _{LIH2}				20	μA
	I _{LIH3}	V _I = 12 V			20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0 V			- 3	μA
	I _{LIL2}				- 20	μA
	I _{LIL3}				- 3 ^注	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			- 3	μA
ソフトウェア・プルアップ抵抗	R _I	V _I = 0 V, P23, P24, P50-P53以外の端子	50	100	200	kΩ

注 P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ, ロウ・レベル入力リーク電流が - 60 μA (MAX.) 流れます。これ以外では - 3 μA (MAX.) です。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (3/3)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
電源電流	I _{DD1} ^{注1}	10.0 MHz水晶発振 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		10.0	20.0	mA
		6.0 MHz水晶発振 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		6.0	12.0	mA
		5.0 MHz水晶発振 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		5.0	10.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		1.2	2.5	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		1.0	2.0	mA
		I _{DD2} ^{注1}	10.0 MHz水晶発振 HALTモード	V _{DD} = 5.0 V ± 10 % ^{注4}		1.2	6.0
	6.0 MHz水晶発振 HALTモード		V _{DD} = 5.0 V ± 10 % ^{注4}		0.9	2.8	mA
	5.0 MHz水晶発振 HALTモード (C1 = C2 = 22 pF)		V _{DD} = 5.0 V ± 10 % ^{注4}		0.8	2.5	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.4	2.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		0.25	1.5	mA
	I _{DD3} ^{注1}		32.768 kHz水晶発振 動作モード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		100	320
		V _{DD} = 3.0 V ± 10 %			80	240	μA
		V _{DD} = 2.0 V ± 10 %			65	210	μA
	I _{DD4} ^{注1}	32.768 kHz水晶発振 HALTモード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		18	120	μA
			V _{DD} = 3.0 V ± 10 %		5.0	50	μA
			V _{DD} = 2.0 V ± 10 %		2.5	30	μA
	I _{DD5} ^{注1}	32.768 kHz水晶停止 STOPモード	V _{DD} = 5.0 V ± 10 %		0.1	30	μA
			V _{DD} = 3.0 V ± 10 %		0.05	10	μA
			V _{DD} = 2.0 V ± 10 %		0.05	10	μA
	I _{DD6} ^{注2}	10.0 MHz水晶発振 A/D動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		10.8	22.0	mA
		6.0 MHz水晶発振 A/D動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		6.8	14.0	mA
		5.0 MHz水晶発振A/D 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		5.8	12.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		2.0	4.5	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}		1.8	4.0	mA

注1. AVREFON電流 (ADCS0 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7) = 1) , AVDD電流およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。

2. AVREFON電流 (ADCS0 = 1) およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。
AVREFに流れる電流はA/Dコンバータ特性を参照してください。

3. メイン・システム・クロック停止時

4. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)

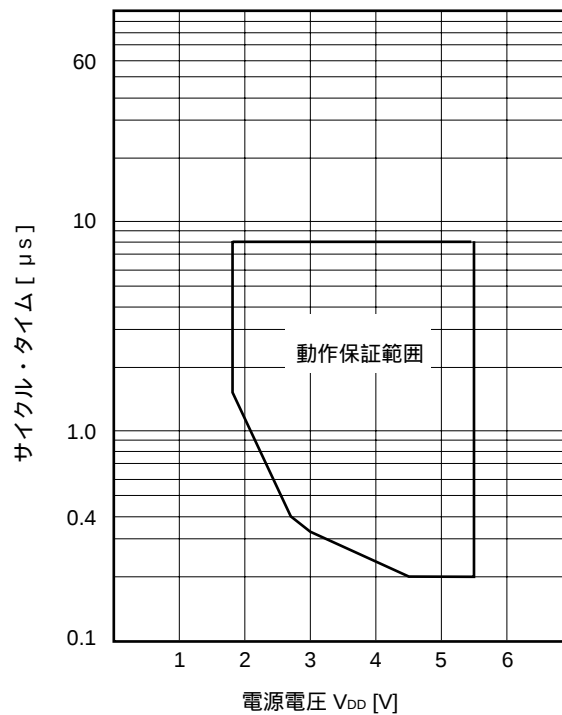
5. 低速モード動作時 (PCC = 02Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	$V_{DD} = 4.5 \sim 5.5$ V	0.2	8	μ s
			$V_{DD} = 3.0 \sim 5.5$ V	0.333	8	μ s
			$V_{DD} = 2.7 \sim 5.5$ V	0.4	8	μ s
			$V_{DD} = 1.8 \sim 5.5$ V	1.6	8	μ s
		サブシステム・クロックで動作	114	122	125	μ s
TI80, TI81入力周波数	f_{TI}	$V_{DD} = 2.7 \sim 5.5$ V	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5$ V	0		275	kHz
TI80, TI81入力ハイ, ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5$ V	0.1			μ s
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5$ V	1.8			μ s
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH}	INTP0-INTP3	10			μ s
	t_{INTL}					
RESET入力 ロウ・レベル幅	t_{RSL}		10			μ s
CPT90入力ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μ s

 T_{CY} VS V_{DD} (メイン・システム・クロック)

(2) シリアル・インタフェース SIO20 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

(a) 3線式シリアルI/Oモード (SCK20...内部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5$ V	800			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3200			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH1},$	$V_{DD} = 2.7 \sim 5.5$ V	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5$ V	$t_{KCY1}/2 - 150$			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5$ V	150			ns
		$V_{DD} = 1.8 \sim 5.5$ V	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1k\Omega,$ $C = 100$ pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	250	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアルI/Oモード (SCK20...外部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5$ V	900			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3500			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH2},$	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5$ V	1600			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5$ V	100			ns
		$V_{DD} = 1.8 \sim 5.5$ V	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1k\Omega,$ $C = 100$ pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	300	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5$ V			120	ns
		$V_{DD} = 1.8 \sim 5.5$ V			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5$ V			240	ns
		$V_{DD} = 1.8 \sim 5.5$ V			800	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5$ V			78125	bps
		$V_{DD} = 1.8 \sim 5.5$ V			19531	bps

(d) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	900			ns
		V _{DD} = 1.8 ~ 5.5 V	3500			ns
ASCK20ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}	V _{DD} = 2.7 ~ 5.5 V	400			ns
		V _{DD} = 1.8 ~ 5.5 V	1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	bps
		V _{DD} = 1.8 ~ 5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

(3) シリアル・インタフェース SMB0 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(μ PD78F9177AY, 78F9177AY(A)のみ)

(a) DC特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V_{IH}	SCL0, SDA0 (ヒステリシス時)	$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	SCL0, SDA0 (ヒステリシス時)	0		$0.2 V_{DD}$	V
ロウ・レベル出力電圧	V_{OL}	SCL0, SDA0 $V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 10 \text{ mA}$			1.0	V
					0.5	V
ロウ・レベル出力電圧		$V_{DD} = 1.8 \sim 5.5 \text{ V}$, $I_{OL} = 400 \mu\text{A}$			0.5	V
ハイ・レベル入力リーク電流	I_{LH}	SCL0, SDA0 $V_I = V_{DD}$			3	μA
ロウ・レベル入力リーク電流	I_{LL}	SCL0, SDA0 $V_I = 0 \text{ V}$			- 3	μA

(b) DC特性 (コンパレータ使用時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力範囲	V_{SDA}, V_{SCL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		5.5	V
転送レベル	V_{ISDA}, V_{ISCL}	$4.5 V_{DD} \sim 5.5 \text{ V}$	$0.72 V_{ISMB}$	V_{ISMB}	$1.28 V_{ISMB}$	V
		$3.3 V_{DD} < 4.5 \text{ V}$	$0.78 V_{ISMB}$	V_{ISMB}	$1.22 V_{ISMB}$	V
		$2.7 V_{DD} < 3.3 \text{ V}$	$0.75 V_{ISMB}$	V_{ISMB}	$1.25 V_{ISMB}$	V
		$1.8 V_{DD} < 2.7 \text{ V}$	$0.90 V_{ISMB}$	V_{ISMB}	$1.45 V_{ISMB}$	V
入力レベルしきい値 ^注	V_{ISMB}	LVL01, LVL00 = 0, 1		$0.25 \times V_{DD}$		V
		LVL01, LVL00 = 1, 0		$0.375 \times V_{DD}$		V
		LVL01, LVL00 = 1, 1		$0.5 \times V_{DD}$		V

注 V_{ISMB} はLVL00, LVL01 (SMB入力レベル設定レジスタ0 (SMBVI0) のビット0, 1) によって選択された入力レベルしきい値です。

SMBの規格 (V1.1) では、ロウ・レベル入力電圧の最大値は0.8 V、ハイ・レベル入力電圧の最小値は2.1 Vとなっています。これを満足させるためにLVL01, LVL00の設定は次のようにしてください。

- ・ $V_{DD} = 1.8 \sim 3.3 \text{ V}$ 時 : LVL01, LVL00 = 1, 1 ($0.5 \times V_{DD}$)
- ・ $V_{DD} = 3.3 \sim 4.5 \text{ V}$ 時 : LVL01, LVL00 = 1, 0 ($0.375 \times V_{DD}$)
- ・ $V_{DD} = 4.5 \sim 5.5 \text{ V}$ 時 : LVL01, LVL00 = 0, 1 ($0.25 \times V_{DD}$)

LVL01, LVL00 = 0, 0は、SMBの規格 (V1.1) を満足しないため使用できません。

(c) AC特性

項 目	略 号	SMBモード		I ² C標準モード		I ² C高速モード		単 位
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{CLK}	10	100	0	100	0	400	kHz
バス・フリータイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	-	4.7	-	1.3	-	μs
ホールド・タイム ^{注1}	t _{HD:STA}	4.0	-	4.0	-	0.6	-	μs
スタート/リスタート・コンディションの セットアップ時間	t _{SU:STA}	4.7	-	4.7	-	0.6	-	μs
ストップ・コンディションのセットアップ 時間	t _{SU:STO}	4.0	-	4.0	-	0.6	-	μs
データ保持 時間	CBUS互換マスタの場合	t _{HD:DAT}	-	5	-	-	-	μs
	SMB/IICの場合	300	-	0 ^{注2}	-	0 ^{注2}	900 ^{注3}	ns
データ・セットアップ時間	t _{SU:DAT}	250	-	250	-	100 ^{注4}	-	ns
SCL0クロックのロウ・レベル幅	t _{LOW}	4.7	-	4.7	-	1.3	-	μs
SCL0クロックのハイ・レベル時間	t _{HIGH}	4.0	50	4.0	-	0.6	-	μs
SCL0およびSDA0信号の立ち下がり時間	t _F	-	300	-	300	-	300	ns
SCL0およびSDA0信号の立ち下がり時間	t _R	-	1000	-	1000	-	300	ns
入力フィルタによって制御されるスパイク のパルス幅	t _{SP}	-	-	-	-	0	50	ns
タイム・アウト時間	t _{TIMEOUT}	25	35	-	-	-	-	ms
SCL0クロックのロウ・レベル期間合計延 長時間 (スレーブ)	t _{LOW:SEXT}	-	25	-	-	-	-	ms
累積SCL0クロックのロウ・レベル期間合 計延長時間 (マスタ)	t _{LOW:MEXT}	-	10	-	-	-	-	ms
各バス・レインの容量性負荷	C _b	-	-	-	400	-	400	pF

注1. スタート・コンディション時に、この期間のあと最初のクロック・パルスが生成されます。

- 装置は、SCL0の立ち下がりエッジの未定義領域を埋めるために (SCL0信号のV_{IHmin.}での) SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみを満たすことが必要です。
- I²C高速モードはSMBモードおよびI²C標準モード内で利用できます。この場合、次の条件を満たすようにしてください。

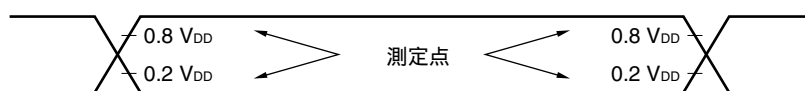
・装置がSCL0信号のロウ状態ホールド・タイムを延長しない場合

t_{SU:DAT} 250 ns

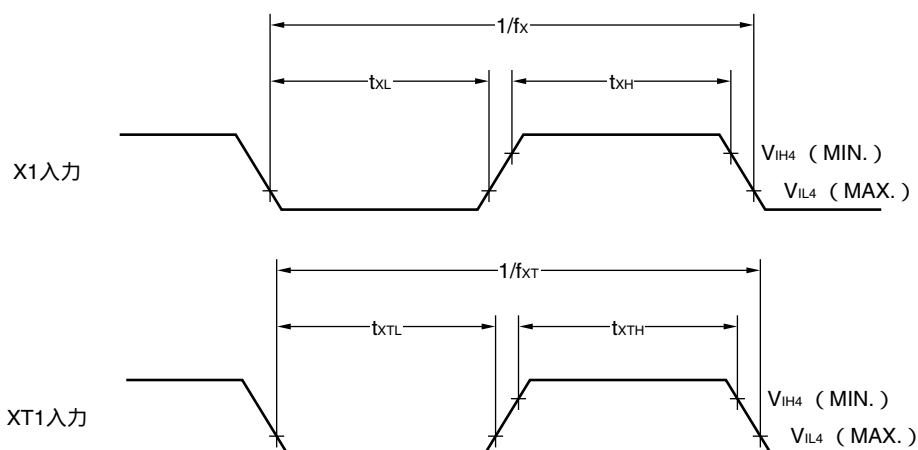
・装置がSCL0信号のロウ状態ホールド・タイムを延長する場合

SCL0が解放される (t_{Rmax.} + t_{SU:DAT} = 1000 + 250 = 1250 ns : SMBモードまたはI²C標準モード使用による) 前に、次のデータ・ビットをSDA0ラインに送出してください。

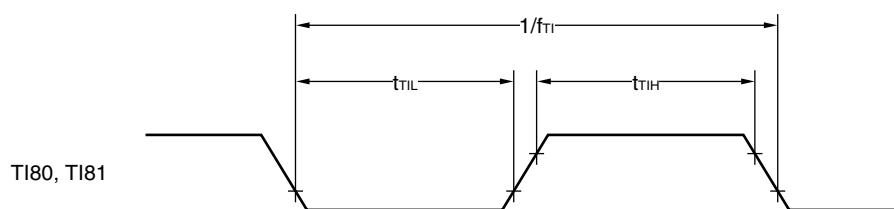
ACタイミング測定点 (X1, XT1入力を除く)



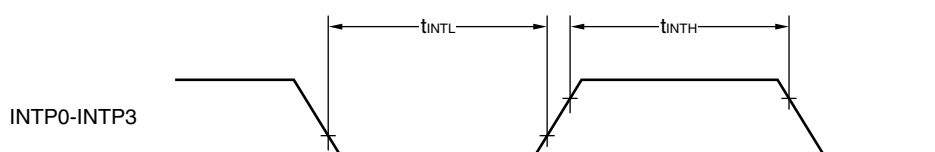
クロック・タイミング



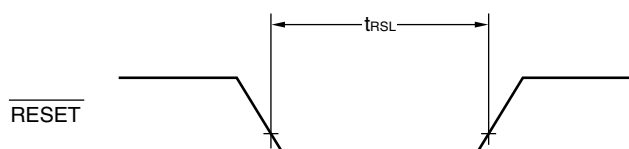
TIタイミング



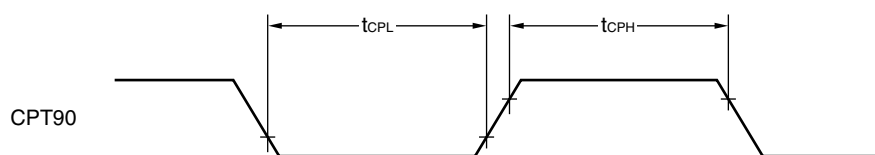
割り込み入力タイミング



RESET入力タイミング

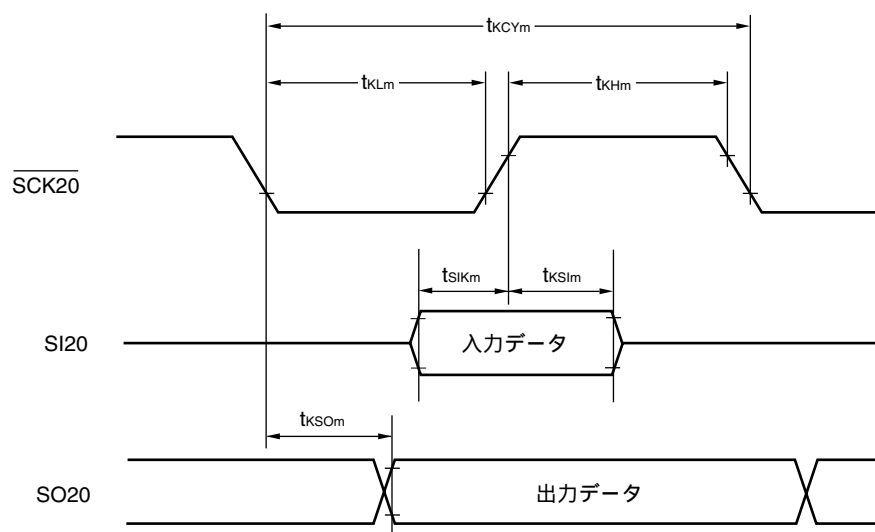


CPT90入力タイミング



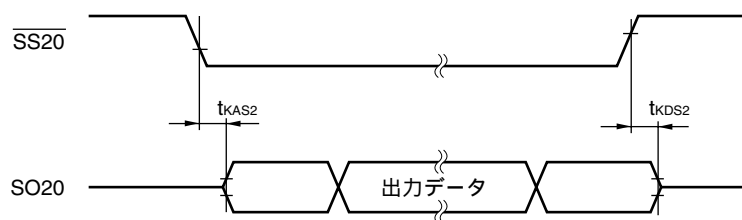
シリアル転送タイミング

3線式シリアルI/Oモード :

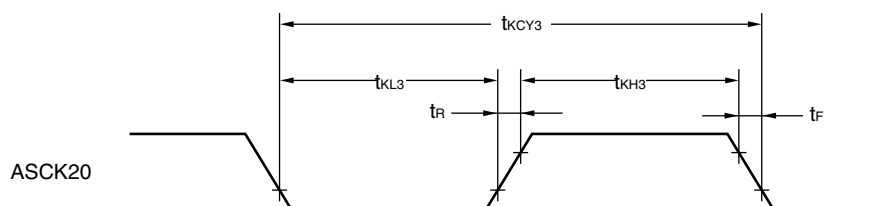


備考 $m = 1, 2$

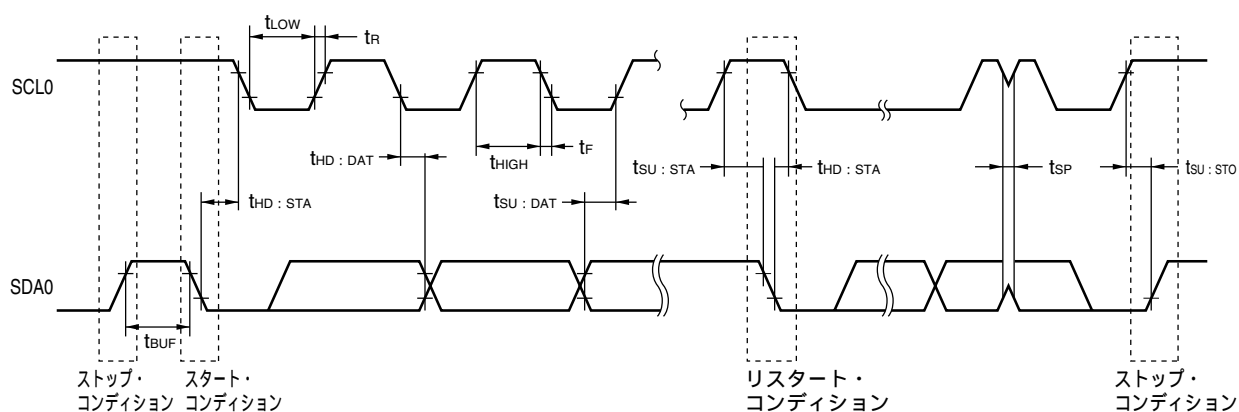
3線式シリアルI/Oモード ($\overline{SS20}$ 使用時) :



UARTモード (外部クロック入力) :



SMBモード：



10ビットA/Dコンバータ特性 (T_A = -40 ~ +85 , 1.8 AV_{REF} AV_{DD} = V_{DD} 5.5 V, AV_{SS} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^注		4.5 AV _{REF} AV _{DD} 5.5 V		± 0.2	± 0.4	%FSR
		2.7 AV _{REF} AV _{DD} 5.5 V		± 0.4	± 0.6	%FSR
		1.8 AV _{REF} AV _{DD} 5.5 V		± 0.8	± 1.2	%FSR
変換時間	t _{CONV}	4.5 AV _{REF} AV _{DD} 5.5 V	12		100	μs
		2.7 AV _{REF} AV _{DD} 5.5 V	14		100	μs
		1.8 AV _{REF} AV _{DD} 5.5 V	28		100	μs
ゼロ・スケール誤差 ^注		4.5 AV _{REF} AV _{DD} 5.5 V			± 0.4	%FSR
		2.7 AV _{REF} AV _{DD} 5.5 V			± 0.6	%FSR
		1.8 AV _{REF} AV _{DD} 5.5 V			± 1.2	%FSR
フルスケール誤差 ^注		4.5 AV _{REF} AV _{DD} 5.5 V			± 0.4	%FSR
		2.7 AV _{REF} AV _{DD} 5.5 V			± 0.6	%FSR
		1.8 AV _{REF} AV _{DD} 5.5 V			± 1.2	%FSR
積分直線性誤差 ^注	INL	4.5 AV _{REF} AV _{DD} 5.5 V			± 2.5	LSB
		2.7 AV _{REF} AV _{DD} 5.5 V			± 4.5	LSB
		1.8 AV _{REF} AV _{DD} 5.5 V			± 8.5	LSB
微分直線性誤差 ^注	DNL	4.5 AV _{REF} AV _{DD} 5.5 V			± 1.5	LSB
		2.7 AV _{REF} AV _{DD} 5.5 V			± 2.0	LSB
		1.8 AV _{REF} AV _{DD} 5.5 V			± 3.5	LSB
アナログ入力電圧	V _{IAN}		0		AV _{REF}	V
基準電圧	AV _{REF}		1.8		AV _{DD}	V
AV _{REF} -AV _{SS} 間抵抗	R _{ADREF}		20	40		kΩ

注 量子化誤差 (± 0.05 %FSR) を含みません。

備考 FSR : フルスケール・レンジ

フラッシュ・メモリ書き込み / 消去特性 ($T_A = 10 \sim 40$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 ^{注1} (V_{DD} 端子)	I_{DDW}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			23	mA
書き込み電流 (V_{PP} 端子)	I_{PPW}	V_{PP} 電源電圧 = V_{PP1} 時			20	mA
消去電流 ^{注1} (V_{DD} 端子)	I_{DDE}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			23	mA
消去電流 (V_{PP} 端子)	I_{PPE}	V_{PP} 電源電圧 = V_{PP1} 時			100	mA
単位消去時間 ^{注2}	t_{er}		0.2	0.2	0.2	s
Total消去時間	t_{era}				20	s
書き込み回数 ^{注3}		消去 / 書き込みを1サイクルとする	20	20	20	回
V_{PP} 電源電圧	V_{PP0}	通常動作時	0		$0.2 V_{DD}$	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注1. AV_{DD} 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含みません。

3. 出荷品に対する初回書き込み時, 「消去→書き込み」の場合も書き換え1回となります。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

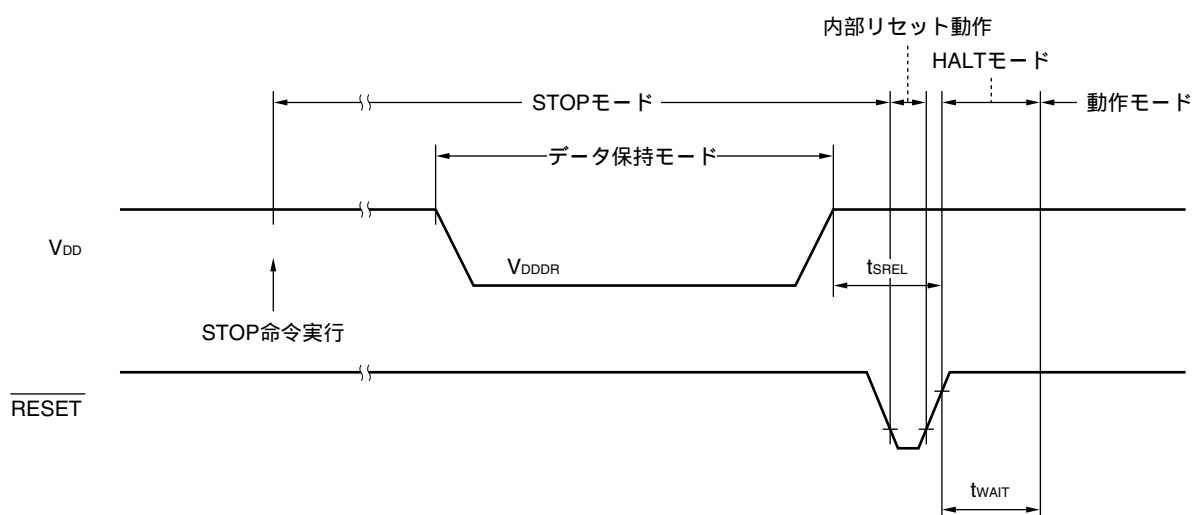
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除		$2^{15}/f_x$		s
		割り込み要求による解除		注2		s

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

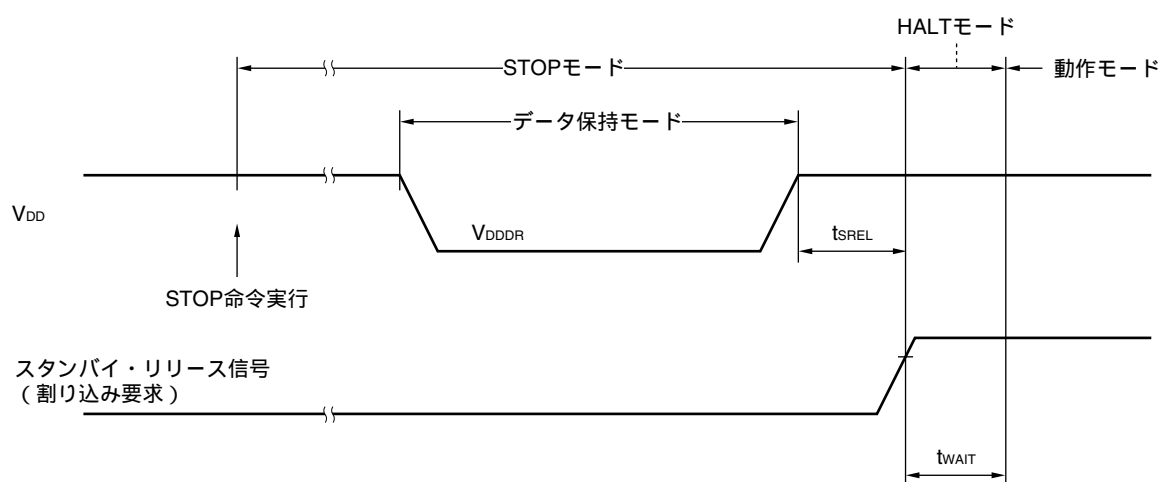
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$ 、 $2^{15}/f_x$ 、 $2^{17}/f_x$ の選択が可能です。

備考 f_x ：メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第28章 電気的特性 (μ PD78F9177, 78F9177Y)

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	AV _{DD} - 0.3 V V _{DD} AV _{DD} + 0.3 V	- 0.3 ~ + 6.5	V
	AV _{DD}	AV _{REF} AV _{DD} + 0.3 V		V
	AV _{REF}	AV _{REF} V _{DD} + 0.3 V		V
	V _{PP}	注	- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P50-P53, P23, P24以外の端子	- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P23, P24	- 0.3 ~ + 5.5	V
	V _{I3}	P50-P53	- 0.3 ~ + 13	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}		- 40 ~ + 125	

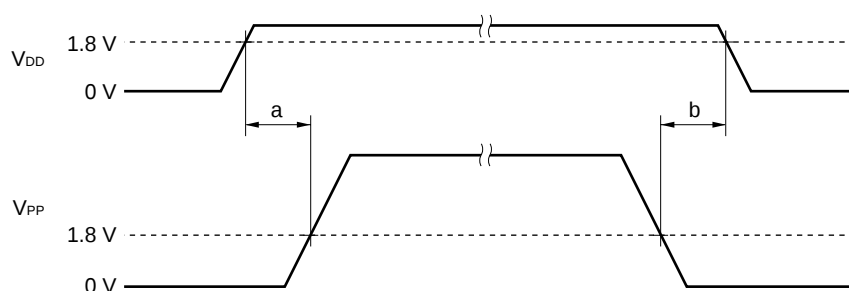
注 フラッシュ・メモリ書き込み時, V_{PP}の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μs以上経過後, V_{PP}がV_{DD}を越えること (下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μs以上経過後, V_{DD}を立ち下げること (下図のb)。

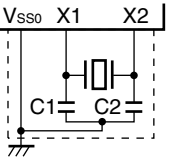
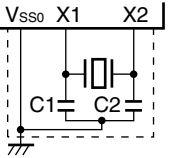
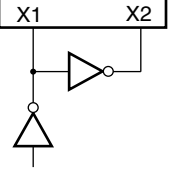
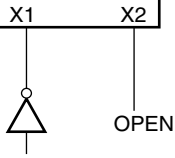


注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。

つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) ^{注1}	V_{DD} = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振開始電圧の MIN. に達したあと			4	ms
水晶振動子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$			10	ms
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			30	ms
外部 クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レ ベル幅 (t_{xH} , t_{xL})		85		500	ns
		X1入力周波数 (f_x) ^{注1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		X1入力ハイ、ロウ・レ ベル幅 (t_{xH} , t_{xL})	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する発振子、振動子を使用してください。

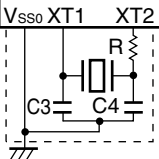
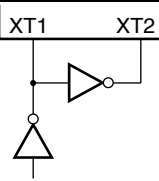
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5$ V		1.2	2	s
			$V_{DD} = 1.8 \sim 5.5$ V			10	s
外部 クロック		XT1入力周波数 (f_{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		14.3		15.6	μs

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位になるようにする。
 - ・大電流が流れるグラウンド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
- サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH}	1端子あたり			- 1	mA
		全端子合計			- 15	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり			10	mA
		全端子合計			80	mA
ハイ・レベル入力電圧	V _{IH1}	P00-P05, P10, P11, P60-P67	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
			V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	12	V
			V _{DD} = 1.8 ~ 5.5 V, T _A = 25 ~ 85	0.9 V _{DD}	12	V
	V _{IH3}	RESET, P20-P26, P30-P33	V _{DD} = 2.7 ~ 5.5 V	0.8 V _{DD}	V _{DD}	V
			V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	X1, X2, XT1, XT2	V _{DD} = 4.5 ~ 5.5 V	V _{DD} - 0.5	V _{DD}	V
			V _{DD} = 1.8 ~ 5.5 V	V _{DD} - 0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P05, P10, P11, P60-P67	V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
			V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL2}	P50-P53	V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
			V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL3}	RESET, P20-P26, P30-P33	V _{DD} = 2.7 ~ 5.5 V	0	0.2 V _{DD}	V
			V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL4}	X1, X2, XT1, XT2	V _{DD} = 4.5 ~ 5.5 V	0	0.4	V
			V _{DD} = 1.8 ~ 5.5 V	0	0.1	V
ハイ・レベル出力電圧	V _{OH}	P23, P24, P50-P53以外の端子	V _{DD} = 4.5 ~ 5.5 V, I _{OH} = - 1 mA	V _{DD} - 1.0		V
			V _{DD} = 1.8 ~ 5.5 V, I _{OH} = - 100 μA	V _{DD} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	P50-P53以外の端子	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 10 mA		1.0	V
			V _{DD} = 1.8 ~ 5.5 V, I _{OL} = 400 μA		0.5	V
	V _{OL2}	P50-P53	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 10 mA		1.0	V
			V _{DD} = 1.8 ~ 5.5 V, I _{OL} = 1.6 mA		0.4	V
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	P50-P53 (N-chオープン・ドレ ーン), X1, X2, XT1, XT2以外の 端子		3	μA
	I _{LIH2}		X1, X2, XT1, XT2		20	μA
	I _{LIH3}	V _I = 12 V	P50-P53 (N-chオープン・ドレ ーン)		20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0 V	P50-P53 (N-chオープン・ドレ ーン), X1, X2, XT1, XT2以外の 端子		- 3	μA
	I _{LIL2}		X1, X2, XT1, XT2		- 20	μA
	I _{LIL3}		P50-P53 (N-chオープン・ドレ ーン)		- 3 ^注	μA

注 P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ、ロウ・レベル入力リーク電流が - 60 μA (MAX.) 流れます。これ以外では - 3 μA (MAX.) です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			- 3	μA
ソフトウェア・プルアップ抵抗	R _I	V _I = 0 V, P23, P24, P50-P53以外の端子	50	100	200	kΩ
電源電流	I _{DD1} ^{注1}	5.0 MHz水晶発振 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}	5.0	15.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	2.0	5.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}	1.5	3.0	mA
	I _{DD2} ^{注1}	5.0 MHz水晶発振 HALTモード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}	2.0	6.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	1.0	2.5	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}	0.75	1.5	mA
	I _{DD3} ^{注1}	32.768 kHz水晶発振 動作モード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %	250	750	μA
			V _{DD} = 3.0 V ± 10 %	200	600	μA
			V _{DD} = 2.0 V ± 10 %	150	450	μA
	I _{DD4} ^{注1}	32.768 kHz水晶発振 HALTモード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %	50	150	μA
			V _{DD} = 3.0 V ± 10 %	30	90	μA
			V _{DD} = 2.0 V ± 10 %	20	60	μA
	I _{DD5} ^{注1}	32.768 kHz水晶停止 STOPモード	V _{DD} = 5.0 V ± 10 %	0.1	30	μA
			V _{DD} = 3.0 V ± 10 %	0.05	10	μA
			V _{DD} = 2.0 V ± 10 %	0.05	10	μA
	I _{DD6} ^{注2}	5.0 MHz水晶発振A/D 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}	6.0	17.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	3.0	7.0	mA
			V _{DD} = 2.0 V ± 10 % ^{注5}	2.5	5.0	mA

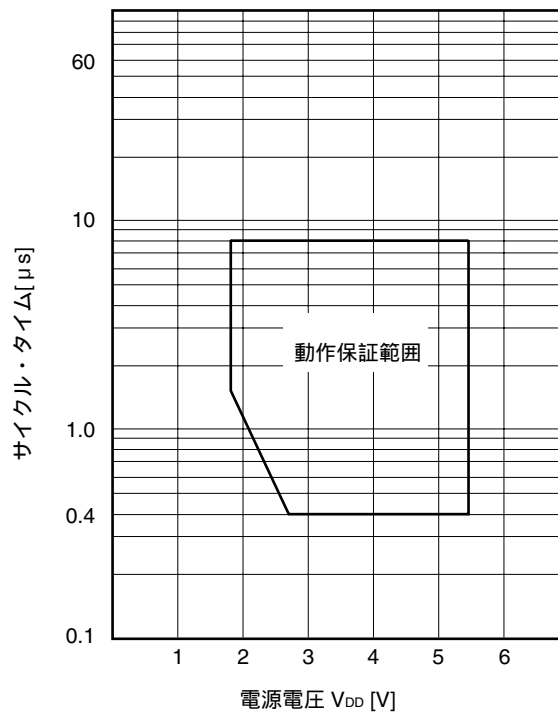
- 注1. AV_{REFON}電流 (ADCS0 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7) = 1) , AV_{DD}電流およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。
2. AV_{REFON}電流 (ADCS0 = 1) およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。AV_{REF}に流れる電流はA/Dコンバータ特性を参照してください。
3. メイン・システム・クロック停止時
4. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)
5. 低速モード動作時 (PCC = 02Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロック で動作 $V_{DD} = 2.7 \sim 5.5$ V	0.4		8	μ s
		$V_{DD} = 1.8 \sim 5.5$ V	1.6		8	μ s
		サブシステム・クロックで動作	114	122	125	μ s
TI80, TI81入力周波数	f_{TI}	$V_{DD} = 2.7 \sim 5.5$ V	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5$ V	0		275	kHz
TI80, TI81入力ハイ, ロウ・レベル幅	t_{TIH}	$V_{DD} = 2.7 \sim 5.5$ V	0.1			μ s
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5$ V	1.8			μ s
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP3	10			μ s
RESET入力 ロウ・レベル幅	t_{RSL}		10			μ s
CPT90入力ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μ s

 T_{CY} VS V_{DD} (メイン・システム・クロック)

(2) シリアル・インタフェース SIO20 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

(a) 3線式シリアルI/Oモード (SCK20...内部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH1},$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{KCY1}/2 - 150$			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1\text{k}\Omega,$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
		$C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアルI/Oモード (SCK20...外部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	900			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3500			ns
SCK20ハイ, ロウ・レベル幅	$t_{KH2},$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1\text{k}\Omega,$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
		$C = 100 \text{ pF}^{\text{注}}$	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0	1000	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			120	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			400	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$			240	ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			800	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

(d) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	900			ns
		V _{DD} = 1.8 ~ 5.5 V	3500			ns
ASCK20ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}	V _{DD} = 2.7 ~ 5.5 V	400			ns
		V _{DD} = 1.8 ~ 5.5 V	1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	bps
		V _{DD} = 1.8 ~ 5.5 V			9766	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

(3) シリアル・インタフェース SMB0 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)
(μPD78F9177Yのみ)

(a) DC特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V_{IH}	SCL0, SDA0 (ヒステリシス時)	$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	SCL0, SDA0 (ヒステリシス時)	0		$0.2 V_{DD}$	V
ロウ・レベル出力電圧	V_{OL}	SCL0, SDA0 $V_{DD} = 4.5 \sim 5.5 \text{ V}$, $I_{OL} = 10 \text{ mA}$			1.0	V
					$0.5 V_{DD}$	V
ハイ・レベル入力リーク電流	I_{LH}	SCL0, SDA0 $V_i = V_{DD}$			3	μA
ロウ・レベル入力リーク電流	I_{LL}	SCL0, SDA0 $V_i = 0 \text{ V}$			- 3	μA

(b) DC特性 (コンパレータ使用時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力範囲	V_{SDA}, V_{SCL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		5.5	V
転送レベル	V_{ISDA}, V_{ISCL}	$4.5 V_{DD} \sim 5.5 \text{ V}$	$0.72 V_{ISMB}$	V_{ISMB}	$1.28 V_{ISMB}$	V
		$3.3 V_{DD} < 4.5 \text{ V}$	$0.78 V_{ISMB}$	V_{ISMB}	$1.22 V_{ISMB}$	V
		$2.7 V_{DD} < 3.3 \text{ V}$	$0.75 V_{ISMB}$	V_{ISMB}	$1.25 V_{ISMB}$	V
		$1.8 V_{DD} < 2.7 \text{ V}$	$0.90 V_{ISMB}$	V_{ISMB}	$1.45 V_{ISMB}$	V
入力レベルしきい値 ^注	V_{ISMB}	LVL01, LVL00 = 0, 1		$0.25 \times V_{DD}$		V
		LVL01, LVL00 = 1, 0		$0.375 \times V_{DD}$		V
		LVL01, LVL00 = 1, 1		$0.5 \times V_{DD}$		V

注 V_{ISMB} はLVL00, LVL01 (SMB入力レベル設定レジスタ0 (SMBVIO) のビット0, 1) によって選択された入力レベルしきい値です。

SMBの規格 (V1.1) では、ロウ・レベル入力電圧の最大値は0.8 V、ハイ・レベル入力電圧の最小値は2.1 Vとなっています。これを満足させるためにLVL01, LVL00の設定は次のようにしてください。

- $V_{DD} = 1.8 \sim 3.3 \text{ V}$ 時 : LVL01, LVL00 = 1, 1 ($0.5 \times V_{DD}$)
- $V_{DD} = 3.3 \sim 4.5 \text{ V}$ 時 : LVL01, LVL00 = 1, 0 ($0.375 \times V_{DD}$)
- $V_{DD} = 4.5 \sim 5.5 \text{ V}$ 時 : LVL01, LVL00 = 0, 1 ($0.25 \times V_{DD}$)

LVL01, LVL00 = 0, 0は、SMBの規格 (V1.1) を満足しないため使用できません。

(c) AC特性

項 目	略 号	SMBモード		I ² C標準モード		I ² C高速モード		単 位
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{CLK}	10	100	0	100	0	400	kHz
バス・フリータイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	-	4.7	-	1.3	-	μs
ホールド・タイム ^{注1}	t _{HD:STA}	4.0	-	4.0	-	0.6	-	μs
スタート/リスタート・コンディションの セットアップ時間	t _{SU:STA}	4.7	-	4.7	-	0.6	-	μs
ストップ・コンディションのセットアップ 時間	t _{SU:STO}	4.0	-	4.0	-	0.6	-	μs
データ保持 時間	CBUS互換マスタの場合	t _{HD:DAT}	-	5	-	-	-	μs
	SMB/IICの場合	300	-	0 ^{注2}	-	0 ^{注2}	900 ^{注3}	ns
データ・セットアップ時間	t _{SU:DAT}	250	-	250	-	100 ^{注4}	-	ns
SCL0クロックのロウ・レベル幅	t _{LOW}	4.7	-	4.7	-	1.3	-	μs
SCL0クロックのハイ・レベル時間	t _{HIGH}	4.0	50	4.0	-	0.6	-	μs
SCL0およびSDA0信号の立ち下がり時間	t _F	-	300	-	300	-	300	ns
SCL0およびSDA0信号の立ち下がり時間	t _R	-	1000	-	1000	-	300	ns
入力フィルタによって制御されるスパイクの パルス幅	t _{SP}	-	-	-	-	0	50	ns
タイム・アウト時間	t _{TIMEOUT}	25	35	-	-	-	-	ms
SCL0クロックのロウ・レベル期間合計延 長時間 (スレープ)	t _{LOW:SEXT}	-	25	-	-	-	-	ms
累積SCL0クロックのロウ・レベル期間合 計延長時間 (マスタ)	t _{LOW:MEXT}	-	10	-	-	-	-	ms
各バス・レインの容量性負荷	C _b	-	-	-	400	-	400	pF

注1. スタート・コンディション時に、この期間のあと最初のクロック・パルスが生成されます。

- 装置は、SCL0の立ち下がりエッジの未定義領域を埋めるために (SCL0信号のV_{IHmin.}での) SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみを満たすことが必要です。
- I²C高速モードはSMBモードおよびI²C標準モード内で利用できます。この場合、次の条件を満たすようにしてください。

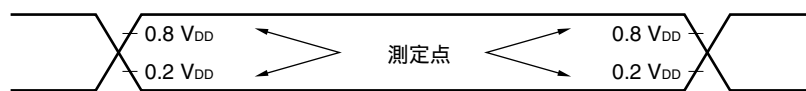
- 装置がSCL0信号のロウ状態ホールド・タイムを延長しない場合

t_{SU:DAT} 250 ns

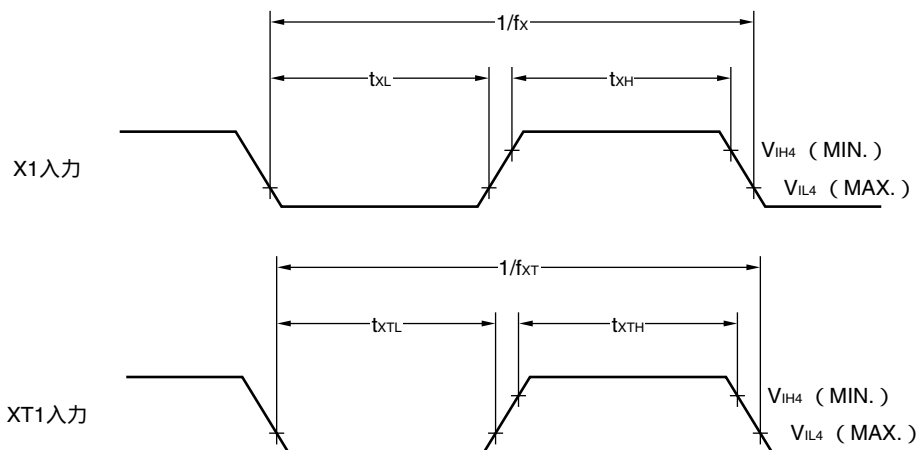
- 装置がSCL0信号のロウ状態ホールド・タイムを延長する場合

SCL0が解放される (t_{Rmax.} + t_{SU:DAT} = 1000 + 250 = 1250 ns : SMBモードまたはI²C標準モード使用による) 前に、次のデータ・ビットをSDA0ラインに送出してください。

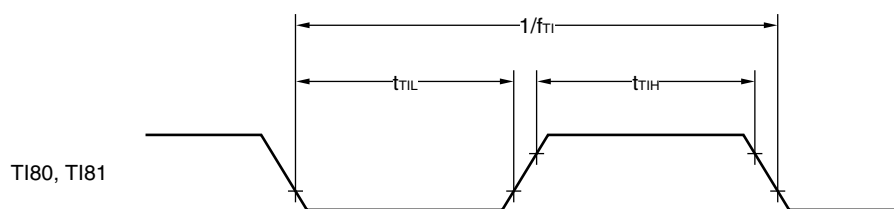
ACタイミング測定点 (X1, XT1入力を除く)



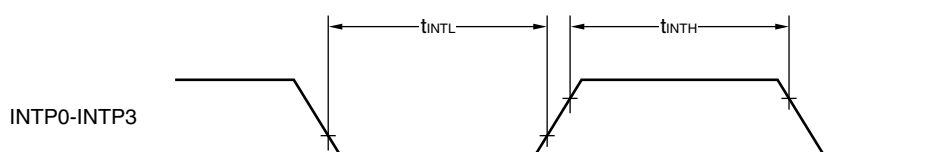
クロック・タイミング



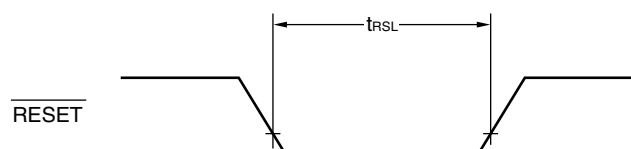
TI タイミング



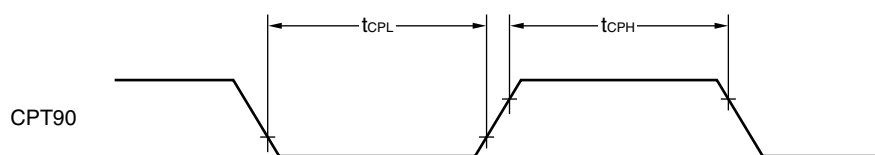
割り込み入力タイミング



RESET入力タイミング

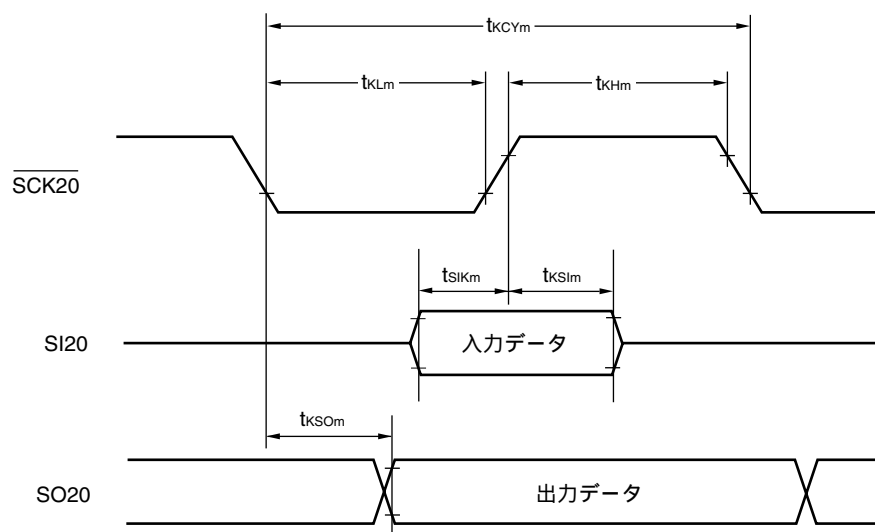
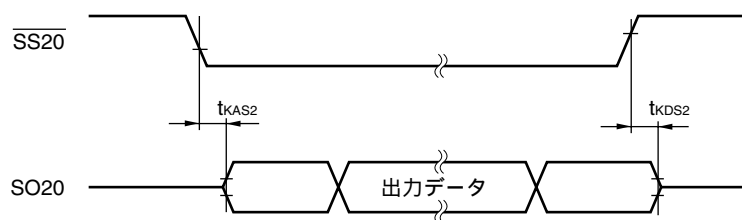


CPT90入力タイミング

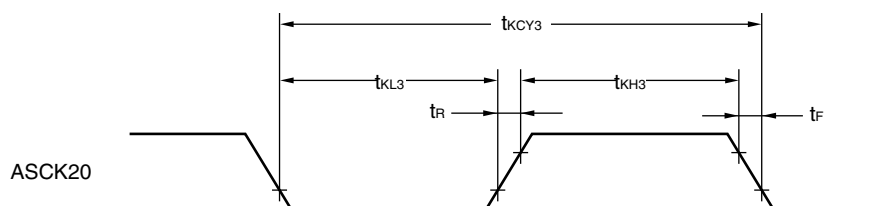


シリアル転送タイミング

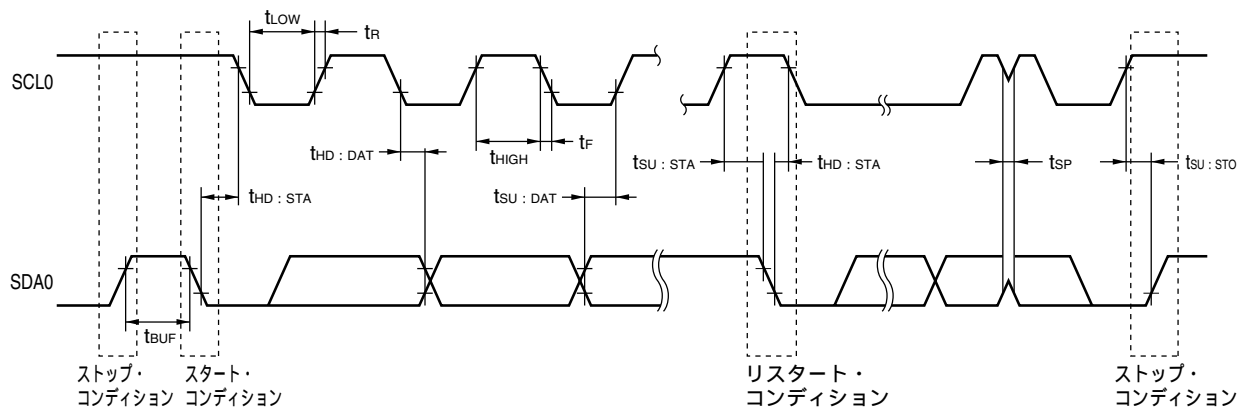
3線式シリアルI/Oモード :

備考 $m = 1, 2$ 3線式シリアルI/Oモード ($\overline{SS20}$ 使用時) :

UARTモード (外部クロック入力) :



SMBモード：



10ビットA/Dコンバータ特性 ($T_A = -40 \sim +85$, 1.8 AV_{REF} $AV_{DD} = V_{DD}$ 5.5 V, $AV_{SS} = V_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^注		4.5 AV_{REF} AV_{DD} 5.5 V		± 0.2	± 0.4	%FSR
		2.7 AV_{REF} AV_{DD} 5.5 V		± 0.4	± 0.6	%FSR
		1.8 AV_{REF} AV_{DD} 5.5 V		± 0.8	± 1.2	%FSR
変換時間	t_{CONV}	4.5 AV_{REF} AV_{DD} 5.5 V	14		100	μs
		2.7 AV_{REF} AV_{DD} 5.5 V	14		100	μs
		1.8 AV_{REF} AV_{DD} 5.5 V	28		100	μs
ゼロ・スケール誤差 ^注		4.5 AV_{REF} AV_{DD} 5.5 V			± 0.4	%FSR
		2.7 AV_{REF} AV_{DD} 5.5 V			± 0.6	%FSR
		1.8 AV_{REF} AV_{DD} 5.5 V			± 1.2	%FSR
フルスケール誤差 ^注		4.5 AV_{REF} AV_{DD} 5.5 V			± 0.4	%FSR
		2.7 AV_{REF} AV_{DD} 5.5 V			± 0.6	%FSR
		1.8 AV_{REF} AV_{DD} 5.5 V			± 1.2	%FSR
積分直線性誤差 ^注	INL	4.5 AV_{REF} AV_{DD} 5.5 V			± 2.5	LSB
		2.7 AV_{REF} AV_{DD} 5.5 V			± 4.5	LSB
		1.8 AV_{REF} AV_{DD} 5.5 V			± 8.5	LSB
微分直線性誤差 ^注	DNL	4.5 AV_{REF} AV_{DD} 5.5 V			± 1.5	LSB
		2.7 AV_{REF} AV_{DD} 5.5 V			± 2.0	LSB
		1.8 AV_{REF} AV_{DD} 5.5 V			± 3.5	LSB
アナログ入力電圧	V_{IAN}		0		AV_{REF}	V
基準電圧	AV_{REF}		1.8		AV_{DD}	V
AV_{REF} - AV_{SS} 間抵抗	R_{ADREF}		20	40		k Ω

注 量子化誤差 (± 0.05 %FSR) を含みません。

備考 FSR : フルスケール・レンジ

フラッシュ・メモリ書き込み/消去特性 ($T_A = 10 \sim 40$, $V_{DD} = 1.8 \sim 5.5$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 ^{注1} (V_{DD} 端子)	I_{DDW}	V_{PP} 電源電圧= V_{PP1} 時 (5.0 MHz動作時)			18	mA
書き込み電流 (V_{PP} 端子)	I_{PPW}	V_{PP} 電源電圧= V_{PP1} 時			7.5	mA
消去電流 ^{注1} (V_{DD} 端子)	I_{DDE}	V_{PP} 電源電圧= V_{PP1} 時 (5.0 MHz動作時)			18	mA
消去電流 (V_{PP} 端子)	I_{PPE}	V_{PP} 電源電圧= V_{PP1} 時			100	mA
単位消去時間 ^{注2}	t_{er}		0.5	1	1	s
Total消去時間	t_{era}				20	s
書き込み回数 ^{注3}		消去 / 書き込みを1サイクルとする	20	20	20	回
V_{PP} 電源電圧	V_{PP0}	通常動作時	0		0.2 V_{DD}	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注1. AV_{DD} 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含みません。

3. 出荷品に対する初回書き込み時, 「消去→書き込み」の場合も書き換え1回となります。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

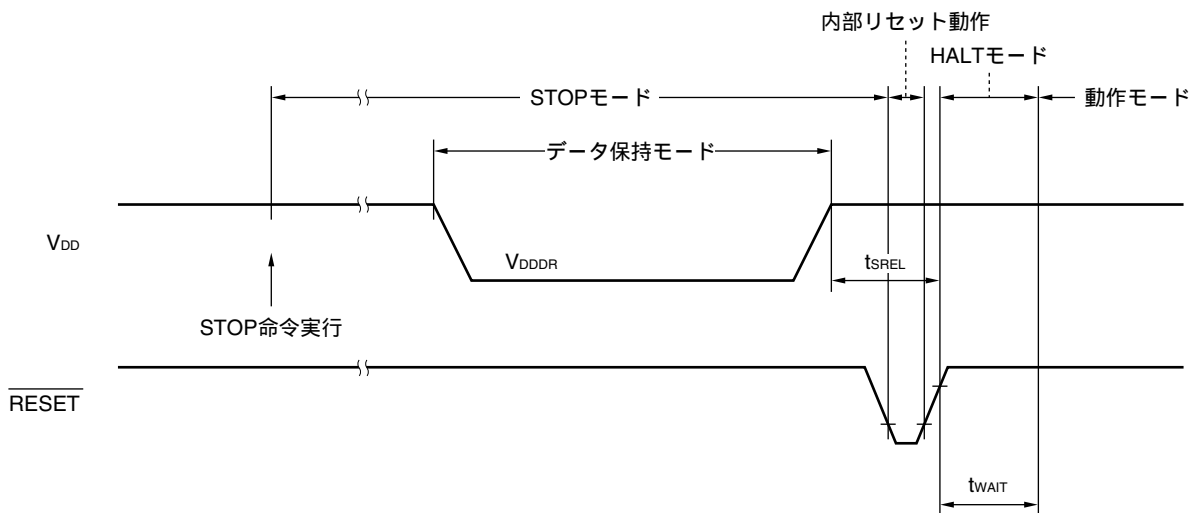
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _x		s
		割り込み要求による解除		注2		s

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

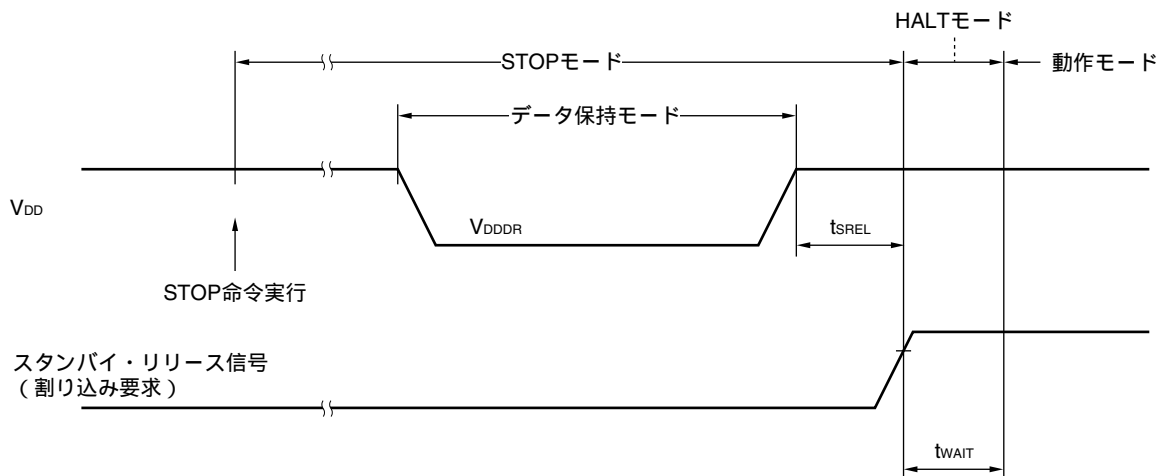
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/f_x、2¹⁵/f_x、2¹⁷/f_xの選択が可能です。

備考 f_x: メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)

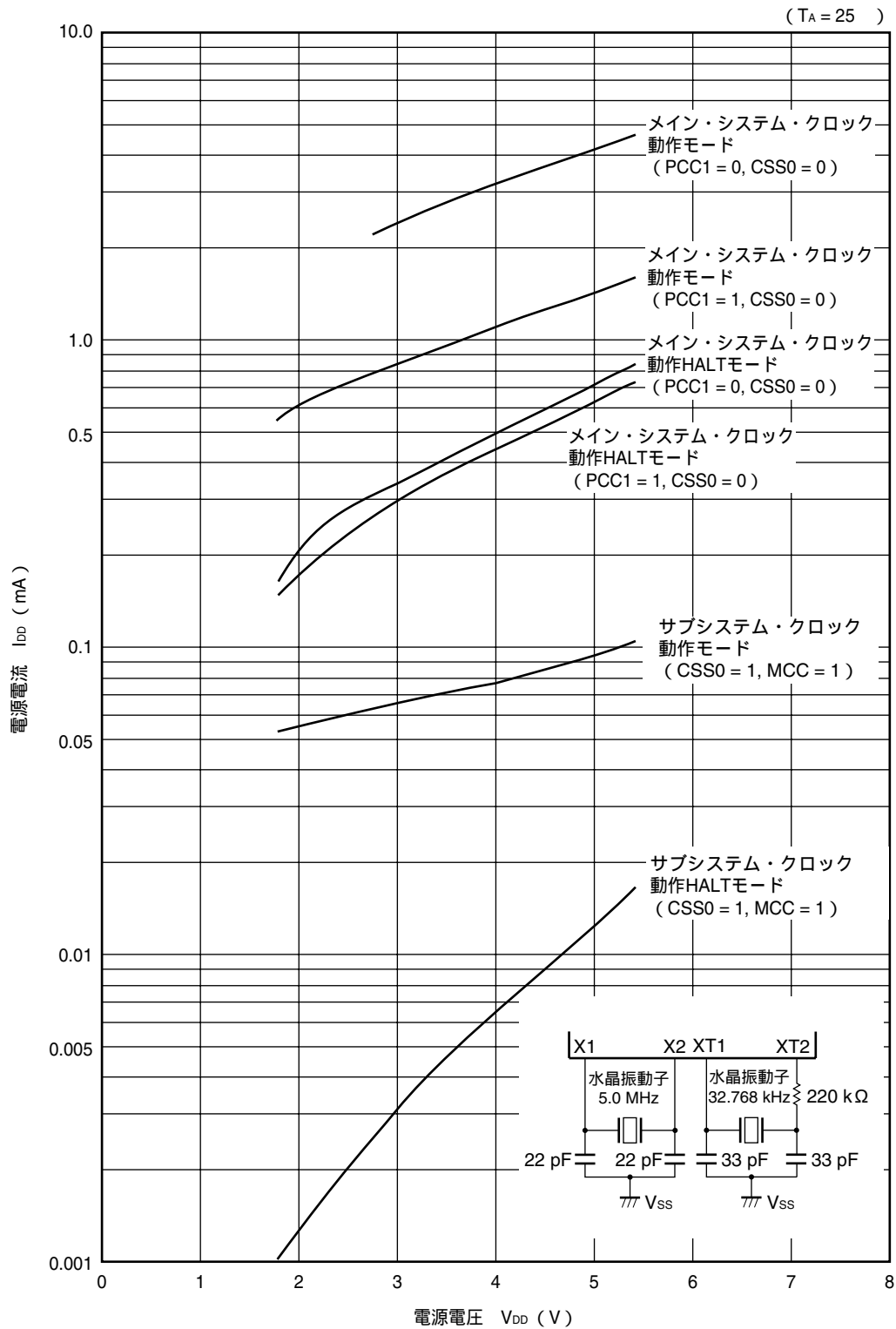


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第29章 特性曲線 (μ PD78F9177, 78F9177Y)

I_{DD} vs V_{DD} ($f_x = 5.0$ MHz, $f_{XT} = 32.768$ kHz)



第30章 電気的特性 (μPD78F9177A(A1))

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	AV _{DD} - 0.3 V V _{DD} AV _{DD} + 0.3 V	- 0.3 ~ + 6.5	V
	AV _{DD}	AV _{REF} AV _{DD} + 0.3 V		
	AV _{REF}	AV _{REF} V _{DD} + 0.3 V		
	V _{PP}	注	- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P23, P24, P50-P53以外の端子	- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P23, P24	- 0.3 ~ + 5.5	V
	V _{I3}	P50-P53	- 0.3 ~ + 13	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 4	mA
		全端子合計	- 14	mA
ロウ・レベル出力電流	I _{OL}	1端子	5	mA
		全端子合計	80	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 105	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}		- 40 ~ + 125	

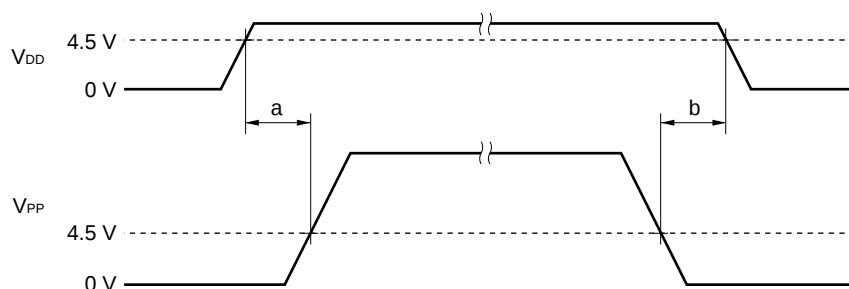
注 フラッシュ・メモリ書き込み時，V_{PP}の電圧印加タイミングについては，必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (4.5 V) に達してから10 μs以上経過後，V_{PP}がV_{DD}を越えること (下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (4.5 V) を下回ってから10 μs以上経過後，V_{DD}を立ち下げること (下図のb)。



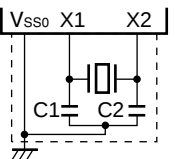
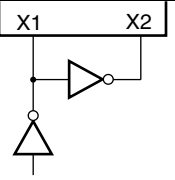
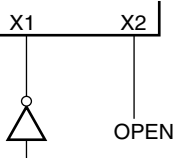
注意 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。

つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性

(V_{DD} = 4.5 ~ 5.5 V, T_A = -40 ~ +105)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f _x) ^{注1}	V _{DD} = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 ^{注2}	V _{DD} が発振開始電圧のMIN.に達したあと			4	ms
外部 クロック		X1入力周波数 (f _x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t _{xH} , t _{xL})		85		500	ns
		X1入力周波数 (f _x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t _{xH} , t _{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウェイト時間内に発振安定する発振子、振動子を使用してください。

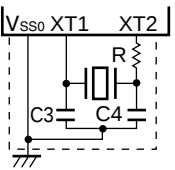
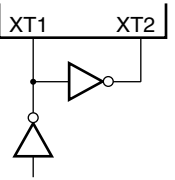
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常にV_{SS0}と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
3. セラミック発振子については、発振子メーカーがT_A = 105 の条件で動作保証している型番を使用してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性

(V_{DD} = 4.5 ~ 5.5 V, T_A = -40 ~ +105)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f _{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}			1.2	2	s
外部 クロック		XT1入力周波数 (f _{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t _{XTH} , t _{XTL})		14.3		15.6	μs

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常にV_{SS0}と同電位になるようにする。
 - ・大電流が流れるグラウンド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
- サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +105$) (1/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I_{OH}	1端子あたり			- 1	mA
		全端子合計			- 7	mA
ロウ・レベル出力電流	I_{OL}	1端子あたり			1.6	mA
		全端子合計			40	mA
ハイ・レベル入力電圧	V_{IH1}	P00-P05, P10, P11, P60-P67	$0.7 V_{DD}$		V_{DD}	V
	V_{IH2}	P50-P53	$0.7 V_{DD}$		10	V
	V_{IH3}	RESET, P20-P26, P30-P33	$0.8 V_{DD}$		V_{DD}	V
	V_{IH4}	X1, X2, XT1, XT2	$V_{DD} - 0.1$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00-P05, P10, P11, P60-P67	0		$0.3 V_{DD}$	V
	V_{IL2}	P50-P53	0		$0.3 V_{DD}$	V
	V_{IL3}	RESET, P20-P26, P30-P33	0		$0.2 V_{DD}$	V
	V_{IL4}	X1, X2, XT1, XT2	0		0.1	V
ハイ・レベル出力電圧	V_{OH}	P23, P24, P50-P53以外の端子	$I_{OH} = -1 \text{ mA}$	$V_{DD} - 2.0$		V
			$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 1.0$		V
ロウ・レベル出力電圧	V_{OL1}	P50-P53 以外の端子	$I_{OL} = 1.6 \text{ mA}$		2.0	V
			$I_{OL} = 400 \mu\text{A}$		1.0	V
	V_{OL2}	P50-P53	$I_{OL} = 1.6 \text{ mA}$		1.0	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +105$) (2/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	$I_{L IH1}$	$V_I = V_{DD}$			10	μA
	$I_{L IH2}$				20	μA
	$I_{L IH3}$	$V_I = 10 \text{ V}$			80	μA
ロウ・レベル入力リーク電流	$I_{L IL1}$	$V_I = 0 \text{ V}$			- 10	μA
	$I_{L IL2}$				- 20	μA
	$I_{L IL3}$				- 10 ^注	μA
ハイ・レベル出力リーク電流	$I_{L OH}$	$V_O = V_{DD}$			10	μA
ロウ・レベル出力リーク電流	$I_{L OL}$	$V_O = 0 \text{ V}$			- 10	μA
ソフトウェア・プルアップ抵抗	R_I	$V_I = 0 \text{ V}$, P23, P24, P50-P53以外の端子	50	100	300	$k\Omega$

注 P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ、ロウ・レベル入力リーク電流が - 60 μA (MAX.) 流れます。これ以外では - 10 μA (MAX.) です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +105$) (3/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
電源電流	I _{DD1} ^{注1}	5.0 MHz水晶発振 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		7.5	20.0	mA
	I _{DD2} ^{注1}	5.0 MHz水晶発振 HALTモード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		3.0	6.0	mA
	I _{DD3} ^{注1}	32.768 kHz水晶発振 動作モード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		30	3000	μA
	I _{DD4} ^{注1}	32.768 kHz水晶発振 HALTモード ^{注3} (C3 = C4 = 22 pF, R = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		25	2500	μA
	I _{DD5} ^{注1}	32.768 kHz水晶停止 STOPモード	V _{DD} = 5.0 V ± 10 %		1.0	1000	μA
	I _{DD6} ^{注2}	5.0 MHz水晶発振A/D 動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注4}		8.7	22.3	mA

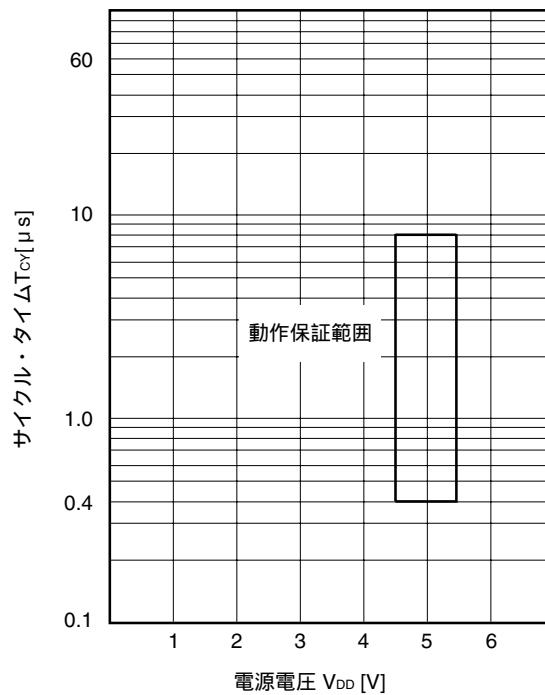
- 注1. AV_{REFON} 電流 ($ADCS0$ (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7) = 1) , AV_{DD} 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。
2. AV_{REFON} 電流 ($ADCS0 = 1$) およびポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。
 AV_{REF} に流れる電流はA/Dコンバータ特性を参照してください。
3. メイン・システム・クロック停止時
4. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +105$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		8	μs
		サブシステム・クロックで動作	114	122	125	μs
TI80, TI81入力周波数	f_{TI}		0		4	MHz
TI80, TI81入力ハイ, ロウ・レベル幅	t_{TIH} , t_{TIL}		0.1			μs
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP3	10			μs
RESET入力 ロウ・レベル幅	t_{RSL}		10			μs
CPT90入力ハイ, ロウ・レベル幅	t_{CPH} , t_{CPL}		10			μs

 T_{CY} VS V_{DD} (メイン・システム・クロック)

(2) シリアル・インタフェース20 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +105$)

(a) 3線式シリアル/Oモード (SCK20...内部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY1}		800			ns
SCK20ハイ,ロウ・レベル幅	t_{KH1} , t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK1}		150			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI1}		400			ns
SCK20↓→SO20 出力遅延時間	t_{KSO1}	$R = 1\text{k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	0		250	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (SCK20...外部クロック)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t_{KCY2}		900			ns
SCK20ハイ,ロウ・レベル幅	t_{KH2} , t_{KL2}		400			ns
SI20セット・アップ時間 (対SCK20↑)	t_{SIK2}		100			ns
SI20ホールド時間 (対SCK20↑)	t_{KSI2}		400			ns
SCK20↓→SO20 出力遅延時間	t_{KSO2}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}^{\text{注}}$	0		300	ns
SO20セットアップ時間 (SS20使用時, 対SS20↓)	t_{KAS2}				120	ns
SO20ディスエーブル時間 (SS20使用時, 対SS20↑)	t_{KDS2}				240	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

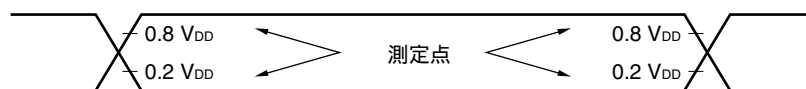
(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					78125	bps

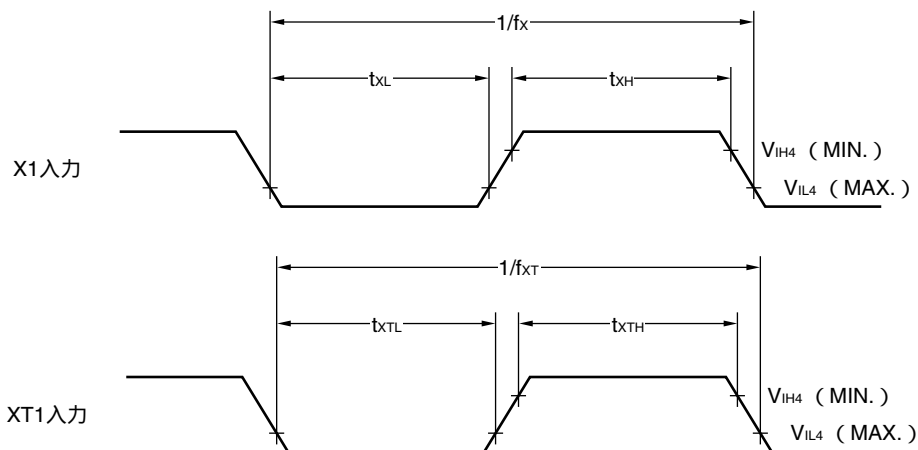
(d) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}		900			ns
ASCK20ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}		400			ns
転送レート					39063	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

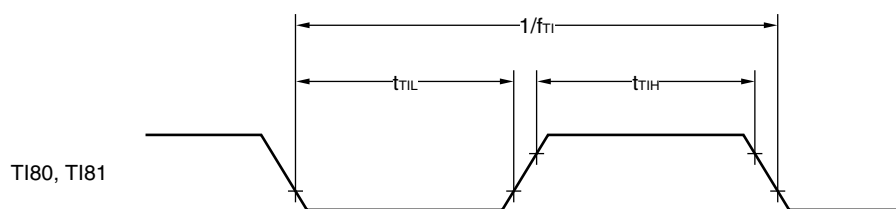
ACタイミング測定点 (X1, XT1入力を除く)



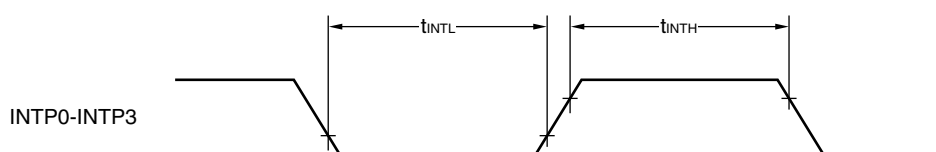
クロック・タイミング



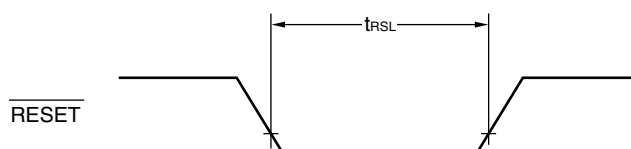
TI タイミング



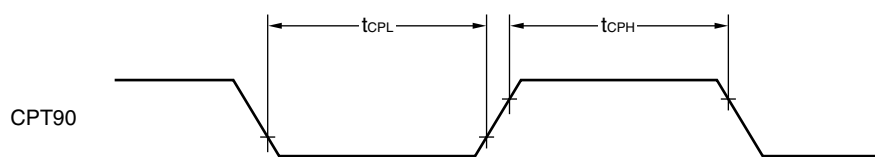
割り込み入力タイミング



RESET入力タイミング

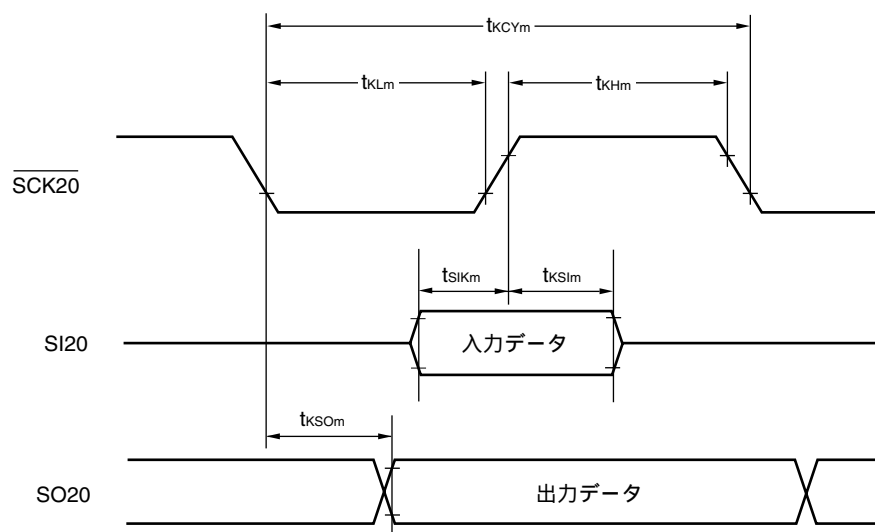


CPT90入力タイミング



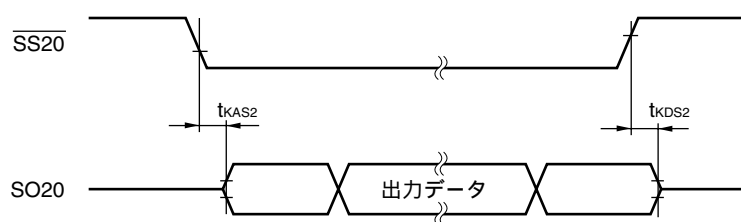
シリアル転送タイミング

3線式シリアルI/Oモード :

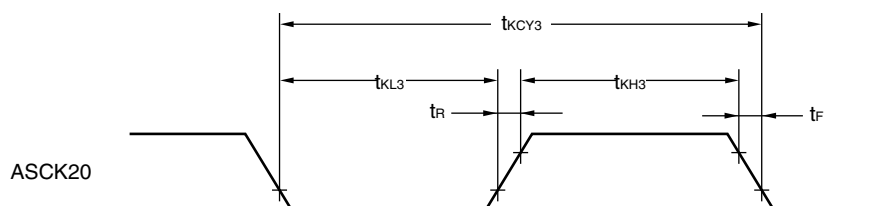


備考 $m = 1, 2$

3線式シリアルI/Oモード ($\overline{SS20}$ 使用時) :



UARTモード (外部クロック入力) :



10ビットA/Dコンバータ特性

(TA = -40 ~ +105 , 4.5 AVREF AVDD = VDD 5.5 V, AVSS = VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^注				± 0.2	± 0.6	%FSR
変換時間	tCONV		14		28	μs
ゼロ・スケール誤差 ^注					± 0.6	%FSR
フルスケール誤差 ^注					± 0.6	%FSR
積分直線性誤差 ^注	INL				± 4.5	LSB
微分直線性誤差 ^注	DNL				± 2.0	LSB
アナログ入力電圧	VIAN		0		AVREF	V
基準電圧	AVREF		4.5		AVDD	V
AVREF-AVSS間抵抗	RADREF		20	40		kΩ

注 量子化誤差 (± 0.05 %FSR) を含みません。

備考 FSR : フルスケール・レンジ

フラッシュ・メモリ書き込み/消去特性 (TA = 10 ~ 40 , VDD = 4.5 ~ 5.5 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み電流 ^{注1} (VDD端子)	IDDW	VPP電源電圧= VPP1時 (5.0 MHz動作時)			23	mA
書き込み電流 (VPP端子)	IPPW	VPP電源電圧= VPP1時			20	mA
消去電流 ^{注1} (VDD端子)	IDDE	VPP電源電圧= VPP1時 (5.0 MHz動作時)			23	mA
消去電流 (VPP端子)	IPPE	VPP電源電圧= VPP1時			100	mA
単位消去時間 ^{注2}	ter		0.2	0.2	0.2	s
Total消去時間	tera				20	s
書き込み回数 ^{注3}		消去 / 書き込みを1サイクルとする	20	20	20	回
VPP電源電圧	VPP0	通常動作時	0		0.2 VDD	V
	VPP1	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注1. AVDD電流およびポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含みません。

3. 出荷品に対する初回書き込み時, 「消去→書き込み」の場合も書き換え1回となります。

データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40 ~ +105)

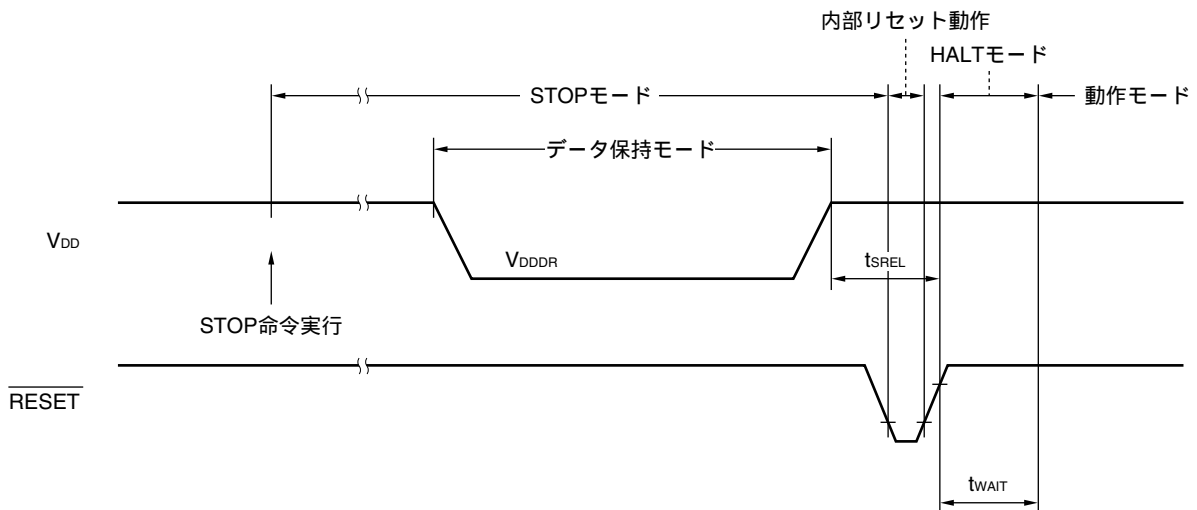
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V _{DDDR}		4.5		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _x		s
		割り込み要求による解除		注2		s

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

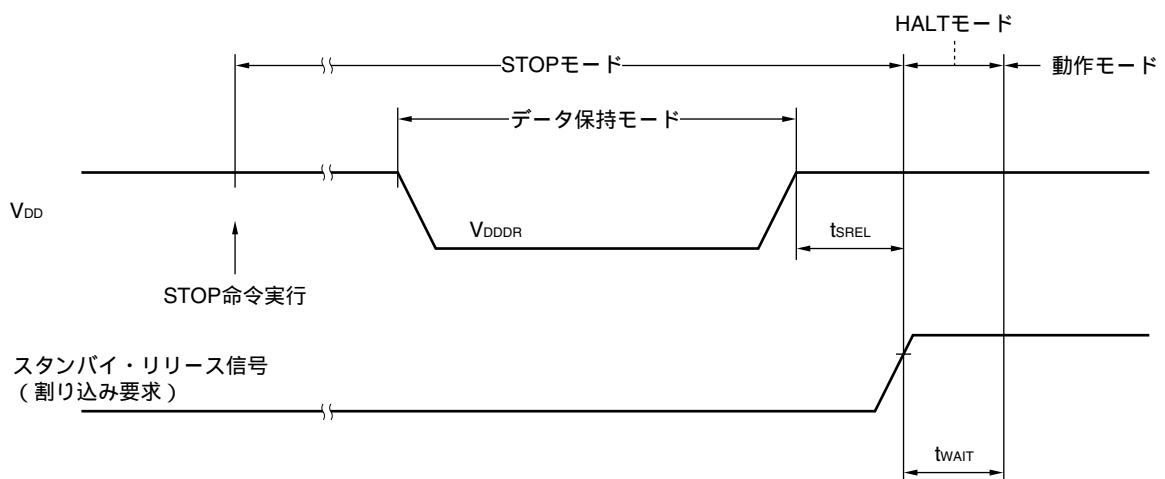
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/f_x、2¹⁵/f_x、2¹⁷/f_xの選択が可能です。

備考 f_x: メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)

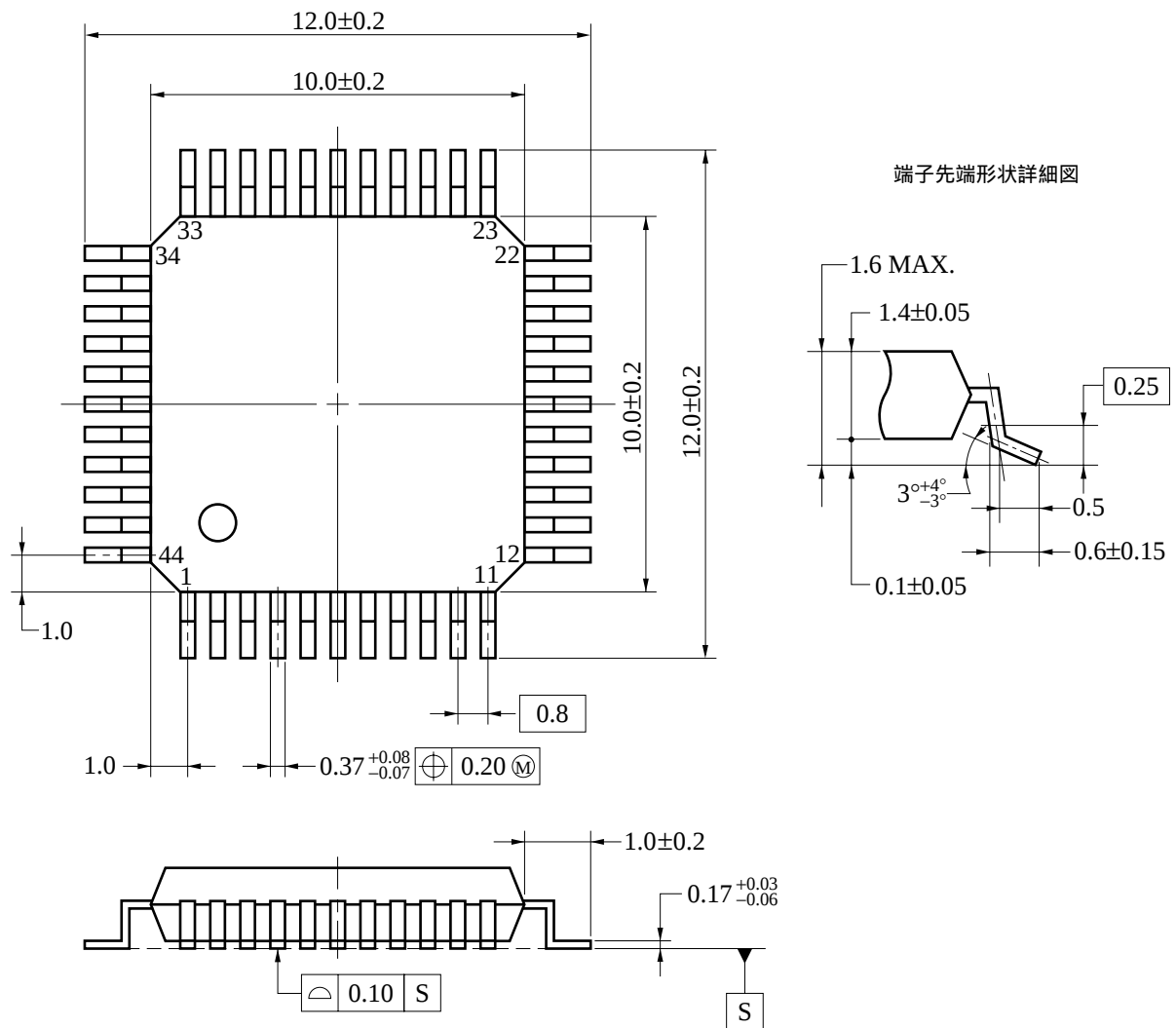


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



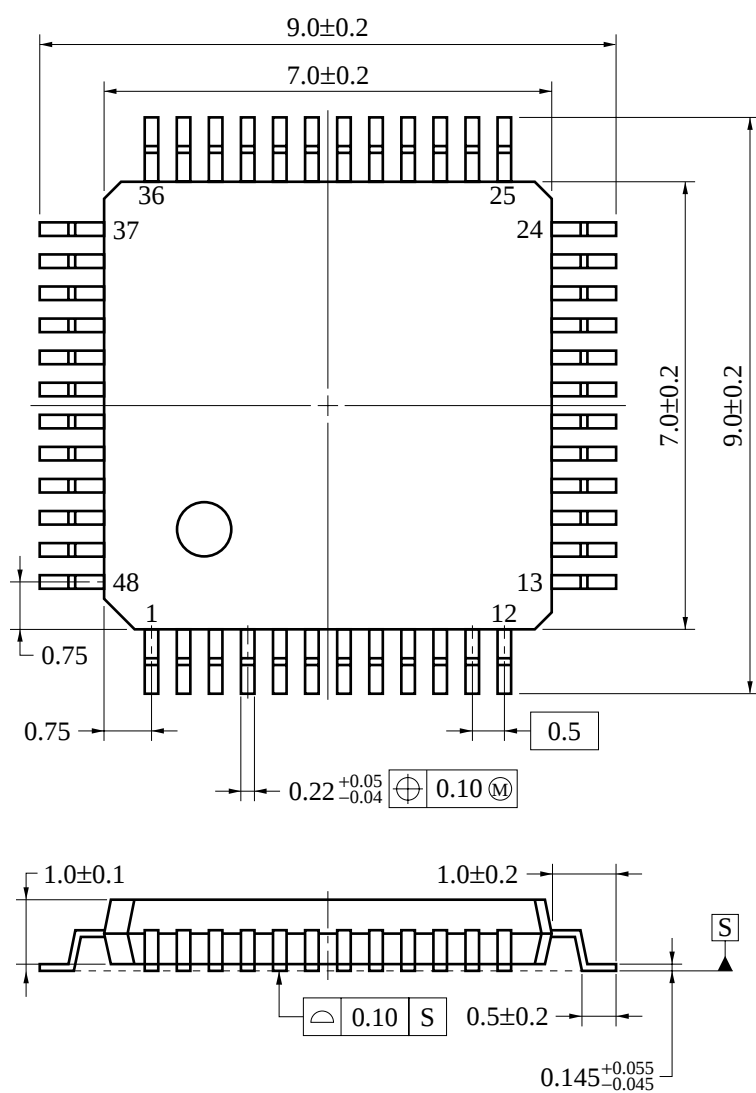
第31章 外形図

44ピン・プラスチック LQFP (10x10) 外形図 (単位 : mm)

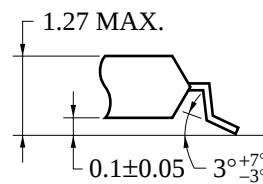


S44GB-80-8ES-2

48ピン・プラスチック TQFP (ファインピッチ)(7x7) 外形図 (単位: mm)



端子先端形状詳細図



S48GA-50-9EU-2

第32章 半田付け推奨条件

μPD789167, 789177, 789167Y, 789177Yサブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については、下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

備考 μPD789166GA- × × × -9EU-A, 789167GA- × × × -9EU-A, 789176GA- × × × -9EU-A, 789177GA- × × × -9EU-A, 78F9177AGA-9EU-A, 789166YGA- × × × -9EU-A, 789167YGA- × × × -9EU-A, 789176YGA- × × × -9EU-A, 789177YGA- × × × -9EU-A, 78F9177YGA-9EU-A, 78F9177AYGA-9EU-Aは、評価未了です。

表32 - 1 表面実装タイプの半田付け条件 (1/3)

・ 44ピン・プラスチックLQFP (10 × 10)

μPD789166GB- × × × -8ES, 789167GB- × × × -8ES, 789176GB- × × × -8ES, 789177GB- × × × -8ES, 789166YGB- × × × -8ES, 789167YGB- × × × -8ES, 789176YGB- × × × -8ES, 789177YGB- × × × -8ES, 789166GB(A)- × × × -8ES, 789167GB(A)- × × × -8ES, 789176GB(A)- × × × -8ES, 789177GB(A)- × × × -8ES, 789166GB(A1)- × × × -8ES, 789167GB(A1)- × × × -8ES, 789176GB(A1)- × × × -8ES, 789177GB(A1)- × × × -8ES, 789166GB(A2)- × × × -8ES, 789167GB(A2)- × × × -8ES, 789176GB(A2)- × × × -8ES, 789177GB(A2)- × × × -8ES

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイス一辺当たり）	-

注意 半田付け方式の併用は避けください（ただし、端子部分加熱方式は除く）。

表32 - 1 表面実装タイプの半田付け条件 (2/3)

・44ピン・プラスチックLQFP (10×10)

μ PD78F9177GB-8ES, 78F9177YGB-8ES, 78F9177AGB-8ES, 78F9177AYGB-8ES, 78F9177AGB(A)-8ES,
78F9177AYGB(A)-8ES, μ PD78F9177AGB(A1)-8ES

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：2回以内，制限日数：3日間 ^注 （以降125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：2回以内，制限日数：3日間 ^注 （以降125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	VP15-103-2
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：3日間 ^注 （以降125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	WS60-103-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイス一辺当たり）	-

・48ピン・プラスチックTQFP（ファインピッチ）（7×7）

μ PD789166GA-×××-9EU, 789167GA-×××-9EU, 789176GA-×××-9EU, 789177GA-×××-9EU,
789166YGA-×××-9EU, 789167YGA-×××-9EU, 789176YGA-×××-9EU, 789177YGA-×××-9EU,
789166YGA(A)-×××-9EU, μ PD789167YGA(A)-×××-9EU, 789176YGA(A)-×××-9EU,
789177YGA(A)-×××-9EU, 78F9177YGA-9EU, 78F9177AGA-9EU, 78F9177AYGA-9EU,
78F9177AYGA(A)-9EU

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：2回以内，制限日数：3日間 ^注 （以降125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：2回以内，制限日数：3日間 ^注 （以降125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	VP15-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイス一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表32 - 1 表面実装タイプの半田付け条件 (3/3)

・ 44ピン・プラスチックLQFP (10×10)

μPD789166GB-×××-8ES-A, 789167GB-×××-8ES-A, 789176GB-×××-8ES-A, 789177GB-×××-8ES-A,
78F9177GB-8ES-A, 78F9177AGB-8ES-A, 789166YGB-×××-8ES-A, 789167YGB-×××-8ES-A,
789176YGB-×××-8ES-A, 789177YGB-×××-8ES-A, 78F9177YGB-8ES-A, 78F9177AYGB-8ES-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μPD789167, 789177, 789167Y, 789177Yサブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

- PC98-NXシリーズへの対応について

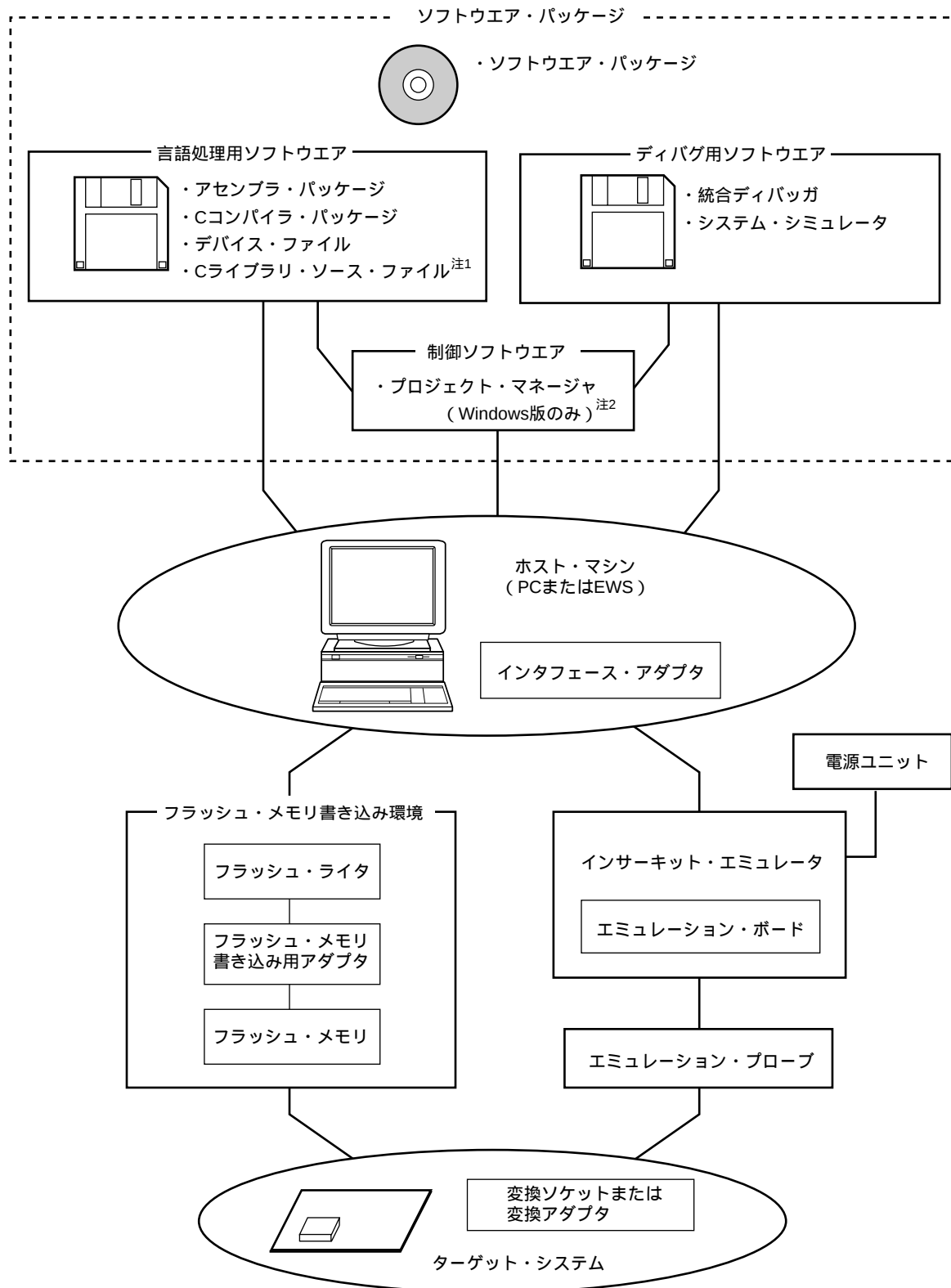
特に断りのないかぎり, IBM PC/ATTM互換機でサポートされている製品については, PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は, IBM PC/AT互換機の説明を参照してください。

- Windows[®]について

特に断りのないかぎり, 「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NT[®]Version 4.0
- ・ Windows XP

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K/0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789178) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789178) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789178 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789178
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789178は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789178

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタ
FA-44GB-8ES FA-48GA フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-44GB-8ES : 44ピン・プラスチックLQFP (GB-8ESタイプ) 用 FA-48GA : 48ピン・プラスチックTQFP (GA-9EUタイプ) 用

備考 FL-PR3, FL-PR4, FA-44GB-8ES, FA-48GAは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (042) 750-4172))

A.5 ディバグ用ツール（ハードウェア）

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータ。統合ディバガ（ID78K0S-NS）に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。	
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。	
IE-70000-MC-PS-B ACアダプタ	AC100～240 Vのコンセントから電源を供給するためのアダプタ	
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタ（Cバス対応）	
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル（PCMCIAソケット対応）	
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ（ISAバス対応）	
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ	
IE-789177-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。	
NP-44GB-TQ NP-H44GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。TGB-044SAPと組み合わせて使用します。	
	TGB-044SAP 変換アダプタ	44ピン・プラスチックLQFP（GB-8ESタイプ）を実装できるように作られたターゲット・システムの基板とNP-44GB-TQ、NP-H44GB-TQを接続するための変換ソケット
NP-48GA エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。TGA-048SDPと組み合わせて使用します。	
	TGA-048SDP 変換アダプタ	48ピン・プラスチックTQFP（ファインピッチ）（GA-9EUタイプ）を実装できるように作られたターゲット・システムの基板とNP-48GAを接続するための変換アダプタ

備考1. NP-44GB-TQ、NP-H44GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

2. TGB-044SAP、TGA-048SDPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

A. 6 デバッグ用ツール（ソフトウェア）

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル（DF789178）と組み合わせて使用します。 オーダ名称：μS××××ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF789178）と組み合わせて使用します。 オーダ名称：μS××××SM78K0S
DF789178 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称：μS××××DF789178

注 DF789178は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するOS、供給媒体により異なります。

μS××××ID78K0S-NS

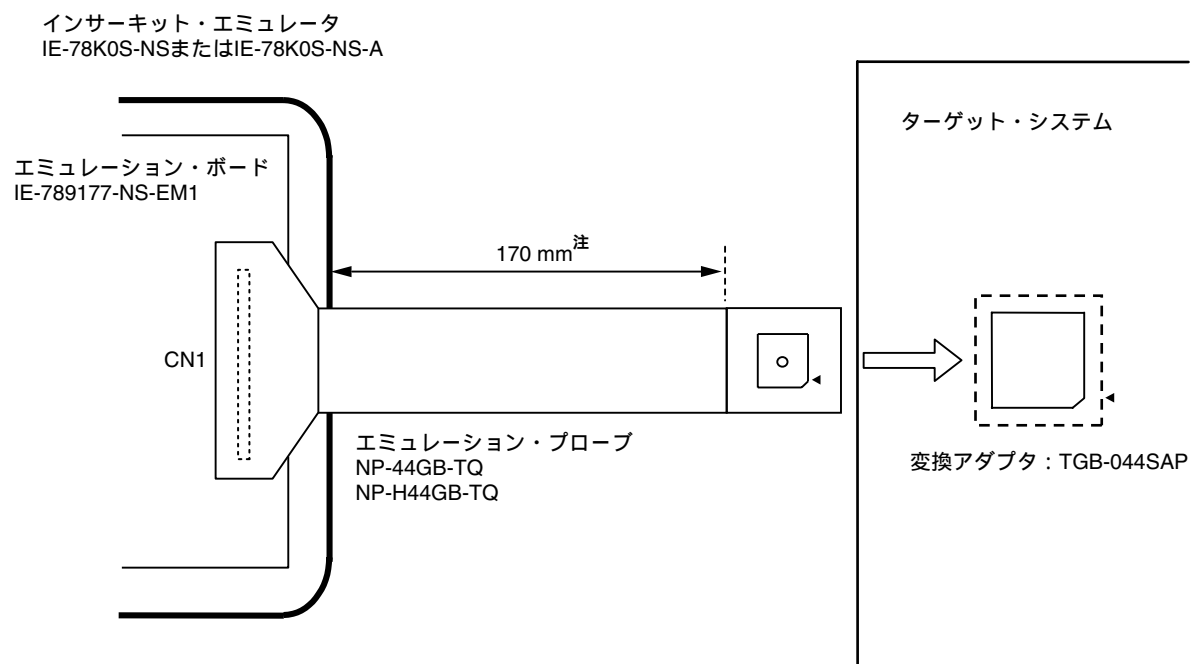
μS××××SM78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

付録B ターゲット・システム設計上の注意

エミュレーション・プローブと変換コネクタ，変換ソケットの接続条件図を以下に示します。この構成によってターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図B - 1 インサーキット・エミュレータから変換ソケットまでの距離（NP-44GB-TQの場合）

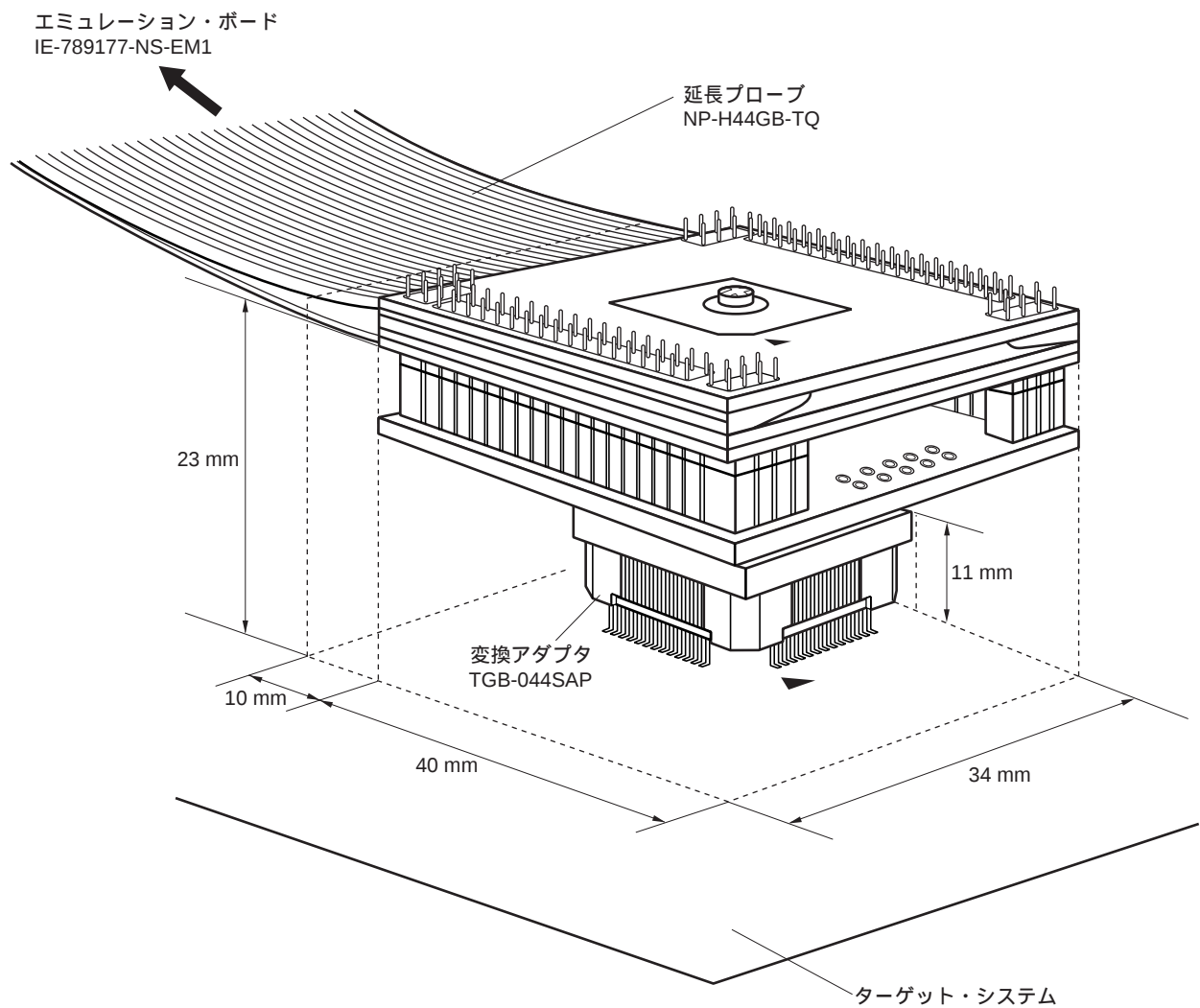


注 NP-44GB-TQの場合の距離です。NP-H44GB-TQの場合は，370 mmです。

備考 NP-44GB-TQ，およびNP-H44GB-TQは，株式会社内藤電誠町田製作所の製品です。

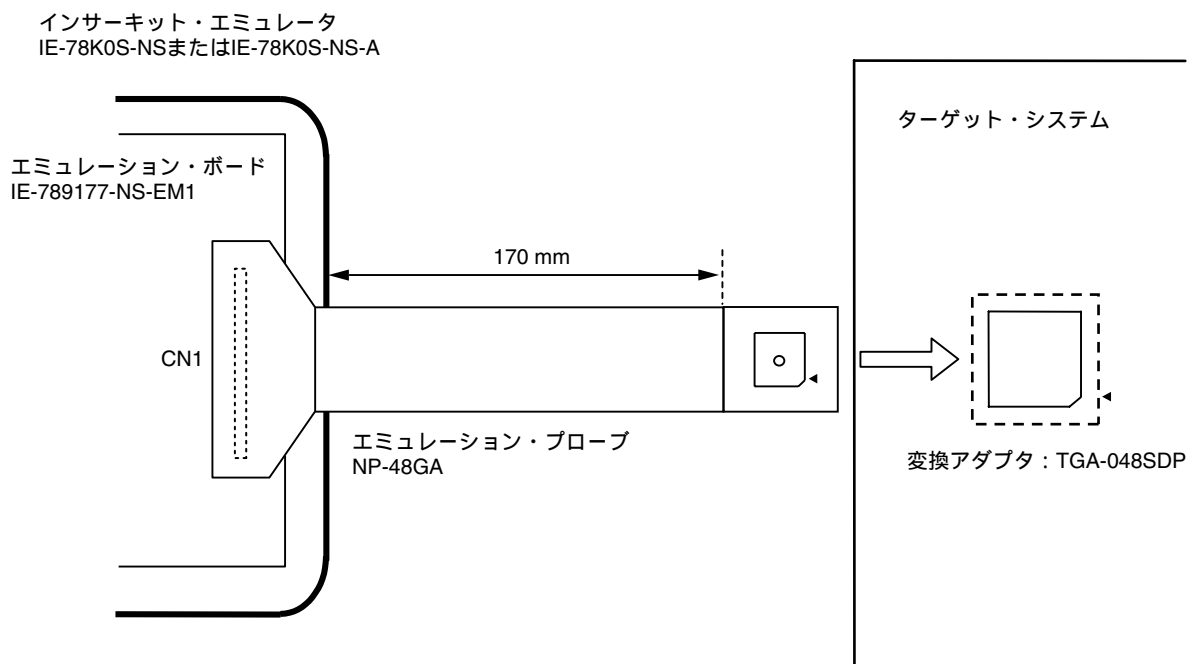
TGB-044SAPは，東京エレクトック株式会社の製品です

図B - 2 ターゲット・システムの接続条件 (NP-H44GB-TQの場合)



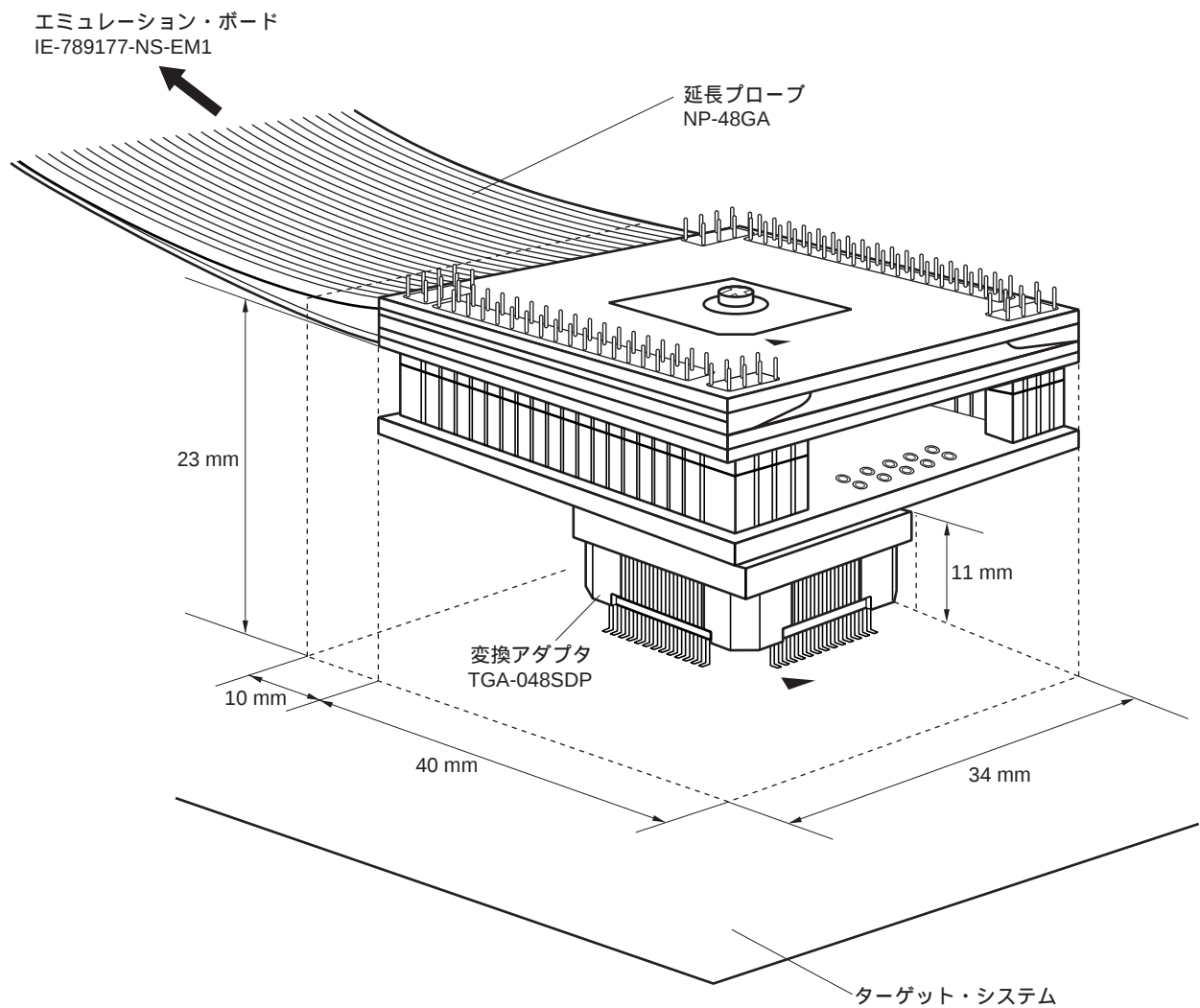
- 備考1. NP-H44GB-TQは、株式会社内藤電誠町田製作所の製品です。
2. TGB-044SAPは、東京エレクトック株式会社の製品です。

図B - 3 インサーキット・エミュレータから変換ソケットまでの距離（NP-48GAの場合）



- 備考1.** NP-48GAは、株式会社内藤電誠町田製作所の製品です。
- 2.** TGA-048SDPIは、東京エレテック株式会社の製品です。

図B - 4 ターゲット・システムの接続条件 (NP-48GAの場合)



- 備考1. NP-48GAは、株式会社内藤電誠町田製作所の製品です。
2. TGA-048SDPIは、東京エレクトック株式会社の製品です。

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) ... 198
アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) ... 196
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 161
A/Dコンバータ・モード・レジスタ0 (ADM0) ... 167, 180
A/D入力選択レジスタ0 (ADS0) ... 168, 181
A/D変換結果レジスタ0 (ADCR0) ... 165, 178
SMBクロック選択レジスタ0 (SMBCL0) ... 239
SMBコントロール・レジスタ0 (SMBC0) ... 231
SMBシフト・レジスタ0 (SMB0) ... 229, 244
SMB状態レジスタ0 (SMBS0) ... 236
SMBスレーブ・アドレス・レジスタ0 (SMBSVA0) ... 229, 244
SMB入力レベル設定レジスタ0 (SMBVI0) ... 243
SMBモード・レジスタ0 (SMBM0) ... 241

【か行】

外部割り込みモード・レジスタ0 (INTM0) ... 299
外部割り込みモード・レジスタ1 (INTM1) ... 300

【さ行】

サブクロック・コントロール・レジスタ (CSS) ... 106
サブ発振モード・レジスタ (SCKM) ... 105
16ビット・キャプチャ・レジスタ90 (TCP90) ... 116
16ビット・コンペア・レジスタ90 (CR90) ... 116
16ビット乗算結果格納レジスタ0 (MUL0) ... 289
16ビット・タイマ・カウンタ90 (TM90) ... 116
16ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) ... 117
受信バッファ・レジスタ20 (RXB20) ... 193
乗算器コントロール・レジスタ0 (MULC0) ... 291
乗算データ・レジスタA0, B0 (MRA0, MRB0) ... 289
シリアル動作モード・レジスタ20 (CSIM20) ... 194
送信シフト・レジスタ20 (TXS20) ... 193

【た行】

タイマ・クロック選択レジスタ2 (TCL2) ... 160
時計用タイマ・モード・コントロール・レジスタ (WTM) ... 155

【は行】

8ビット・コンペア・レジスタ80, 81, 82 (CR80, CR81, CR82) ...	136
8ビット・タイマ・カウンタ80, 81, 82 (TM80, TM81, TM82) ...	136
8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) ...	137
8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81) ...	138
8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82) ...	139
発振安定時間選択レジスタ (OSTS) ...	308
ブザー出力コントロール・レジスタ90 (BZC90) ...	119
プルアップ抵抗オプション・レジスタ0 (PU0) ...	99
プルアップ抵抗オプション・レジスタB2, B3 (PUB2, PUB3) ...	100
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	104
ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) ...	199
ポート・モード・レジスタ0 (PM0) ...	98
ポート・モード・レジスタ1 (PM1) ...	98
ポート・モード・レジスタ2 (PM2) ...	98
ポート・モード・レジスタ3 (PM3) ...	98
ポート・モード・レジスタ5 (PM5) ...	98
ポート0 (P0) ...	86
ポート1 (P1) ...	87
ポート2 (P2) ...	88
ポート3 (P3) ...	93
ポート5 (P5) ...	96
ポート6 (P6) ...	97

【わ行】

割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) ...	298
割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) ...	297

C.2 レジスタ索引 (アルファベット順)

[A]

ADCR0	: A/D変換結果レジスタ0 ...	165, 178
ADM0	: A/Dコンバータ・モード・レジスタ0 ...	167, 180
ADS0	: A/D入力選択レジスタ0 ...	168, 181
ASIM20	: アシクロナス・シリアル・インタフェース・モード・レジスタ20 ...	196
ASIS20	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 ...	198

[B]

BRGC20	: ボー・レート・ジェネレータ・コントロール・レジスタ20 ...	199
BZC90	: ブザー出力コントロール・レジスタ90 ...	119

[C]

CR80	: 8ビット・コンペア・レジスタ80 ...	136
CR81	: 8ビット・コンペア・レジスタ81 ...	136
CR82	: 8ビット・コンペア・レジスタ82 ...	136
CR90	: 16ビット・コンペア・レジスタ90 ...	116
CSIM20	: シリアル動作モード・レジスタ20 ...	194
CSS	: サブクロック・コントロール・レジスタ ...	106

[I]

IF0	: 割り込み要求フラグ・レジスタ0 ...	297
IF1	: 割り込み要求フラグ・レジスタ1 ...	297
INTM0	: 外部割り込みモード・レジスタ0 ...	299
INTM1	: 外部割り込みモード・レジスタ1 ...	300

[M]

MK0	: 割り込みマスク・フラグ・レジスタ0 ...	298
MK1	: 割り込みマスク・フラグ・レジスタ1 ...	298
MRA0	: 乗算データ・レジスタA0 ...	289
MRB0	: 乗算データ・レジスタB0 ...	289
MUL0	: 16ビット乗算結果格納レジスタ0 ...	289
MULC0	: 乗算器コントロール・レジスタ0 ...	291

[O]

OSTS	: 発振安定時間選択レジスタ ...	308
------	--------------------	-----

[P]

P0	: ポート0 ...	86
P1	: ポート1 ...	87
P2	: ポート2 ...	88
P3	: ポート3 ...	93

P5	: ポート5 ...	96
P6	: ポート6 ...	97
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	104
PM0	: ポート・モード・レジスタ0 ...	98
PM1	: ポート・モード・レジスタ1 ...	98
PM2	: ポート・モード・レジスタ2 ...	98
PM3	: ポート・モード・レジスタ3 ...	98
PM5	: ポート・モード・レジスタ5 ...	98
PU0	: プルアップ抵抗オプション・レジスタ0 ...	99
PUB2	: プルアップ抵抗オプション・レジスタB2 ...	100
PUB3	: プルアップ抵抗オプション・レジスタB3 ...	100

[R]

RXB20	: 受信バッファ・レジスタ20 ...	193
-------	---------------------	-----

[S]

SCKM	: サブ発振モード・レジスタ ...	105
SMB0	: SMBシフト・レジスタ0 ...	229, 244
SMBC0	: SMBコントロール・レジスタ0 ...	231
SMBCL0	: SMBクロック選択レジスタ0 ...	239
SMBM0	: SMBモード・レジスタ0 ...	241
SMBS0	: SMB状態レジスタ0 ...	236
SMBSVA0	: SMBスレーブ・アドレス・レジスタ0 ...	229, 244
SMBVI0	: SMB入力レベル設定レジスタ0 ...	243

[T]

TCL2	: タイマ・クロック選択レジスタ2 ...	160
TCP90	: 16ビット・タイマ・キャプチャ・レジスタ90 ...	116
TM80	: 8ビット・タイマ・カウンタ80 ...	136
TM81	: 8ビット・タイマ・カウンタ81 ...	136
TM82	: 8ビット・タイマ・カウンタ82 ...	136
TM90	: 16ビット・タイマ・カウンタ90 ...	116
TMC80	: 8ビット・タイマ・モード・コントロール・レジスタ80 ...	137
TMC81	: 8ビット・タイマ・モード・コントロール・レジスタ81 ...	138
TMC82	: 8ビット・タイマ・モード・コントロール・レジスタ82 ...	139
TMC90	: 16ビット・タイマ・モード・コントロール・レジスタ90 ...	117
TXS20	: 送信シフト・レジスタ20 ...	193

[W]

WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	161
WTM	: 時計用タイマ・モード・コントロール・レジスタ ...	155

付録D 改版履歴

D. 1 本版で改訂された主な箇所

箇 所	内 容
p.10	はじめに ・ 関連資料を最新版に修正
p. 21 p. 22 p. 26	第1章 概説 (μ PD789167, 789177サブシリーズ) ・ 1. 4 オータ情報に鉛フリー製品を追加 ・ 1. 5 品質水準に鉛フリー製品を追加 ・ 1. 7 78K/0Sシリーズの展開を変更
p. 34 p. 35 p. 39	第2章 概説 (μ PD789167Y, 789177Yサブシリーズ) ・ 2. 4 オータ情報に鉛フリー製品を追加 ・ 2. 5 品質水準に鉛フリー製品を追加 ・ 2. 7 78K/0Sシリーズの展開を変更
p. 50	第3章 端子機能 (μ PD789167, 789177サブシリーズ) ・ 3. 2. 15 V_{PP} (フラッシュ・メモリ製品のみ) に説明文を追加
p. 58	第4章 端子機能 (μ PD789167Y, 789177Yサブシリーズ) ・ 4. 2. 15 V_{PP} (フラッシュ・メモリ製品のみ) に説明文を追加
p. 144 p. 152	第9章 8ビット・タイマ/イベント・カウンタ80-82 ・ 図9 - 10 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を変更 ・ 図9 - 16 PWM出力中のコンペア・レジスタの変更後のタイミングを変更
p. 176	第12章 8ビットA/Dコンバータ (μ PD789167, 789167Yサブシリーズ) ・ 12. 5 (12) 内部等価回路についてを追加
p. 189	第13章 10ビットA/Dコンバータ (μ PD789167, 789167Yサブシリーズ) ・ 13. 5 (12) 内部等価回路についてを追加
p. 199	第14章 シリアル・インタフェース20 ・ 14. 3 (4) ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) に注意5を追加
p. 238 p. 245 p. 276	第15章 SMB0 (μ PD789167Y, 789177Yサブシリーズのみ) ・ 図15 - 3 SMB状態レジスタ0のフォーマット (3/3) における記述を修正 ・ 15. 4. 1 スタート・コンディションの文中のビット名, ビット番号を修正 ・ 15. 4. 13 ウエイク・アップ機能に [動作手順] を追加
p. 320	第20章 フラッシュ・メモリ製品 ・ 表20 - 2 通信方式一覧の注4を変更
p. 436	第32章 半田付け推奨条件 ・ 表32 - 1 表面実装タイプの半田付け条件 (3/3) を追加

D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/3)

版 数	前版からの改版内容	適用箇所
第2版	μ PD789166Y, 789167Y, 789176Y, 789177Yを追加	全般
	μ PD789166, 789167, 789176, 789177を開発中から開発済みに変更	
	特殊機能レジスタ一覧でSMB0の特殊機能レジスタを追加	第5章 CPUアーキテクチャ
	P21のブロック図を修正	第6章 ポート機能
	サブシステム・クロック発振回路の外付け回路の図を修正	第7章 クロック発生回路
	16ビット・タイマの注意事項を追加	第8章 16ビット・タイマ
	変換結果を読み出すタイミング（不定値の場合）の図を修正	第12章 8ビットA/Dコンバータ (μ PD789167, 789167Yサブシリーズ)
	SMB0 (μ PD789167Y, 789177Yサブシリーズのみ) を追加	第15章 SMB0 (μ PD789167Y, 789177Yサブシリーズのみ)
	割り込み機能でSMB0の割り込みを追加	第17章 割り込み機能
	外部割り込みモード・レジスタ1のフォーマットの図を修正	
	SMB方式でのFlashpro の接続例を追加	第20章 μ PD78F9177, 78F9177Y
	PG-FP3での設定例にSMB方式での設定例を追加	
	μ PD789166Y, 789167Y, 789176Y, 789177Yに対応した開発ツールを追加	付録A 開発ツール
第3版	・ μ PD789166(A), 789167(A), 789176(A), 789177(A), 789166Y(A), 789167Y(A), 789176Y(A), 789177Y(A), 789166(A1), 789167(A1), 789176(A1), 789177(A1), 789166(A2), 789167(A2), 789176(A2), 789177(A2), 78F9177A, 78F9177AY, 78F9177A(A), 78F9177AY(A), 78F9177A(A1)を追加 ・ 拡張規格品（10MHz）に関する記述を追加	全般
	・ 本文に出てくる製品総称の説明の記述を追加 ・ 関連資料を最新版に修正	はじめに
	・ 1. 1 拡張規格品と従来規格品についてを追加 ・ 1. 10 標準水準品と(A)製品, (A1)製品, (A2)製品との違いを追加	第1章 概説 (μ PD789167, 789177サブシリーズ)
	・ 2. 1 拡張規格品と従来規格品についてを追加 ・ 2. 10 標準水準品と(A)製品との違いを追加	第2章 概説 (μ PD789167Y, 789177Yサブシリーズ)
	・ 3. 2. 15 V _{PP} （フラッシュ・メモリ製品）、表3 - 1 各端子の入出力回路タイプと未使用端子の処理で、V _{PP} の端子処理を変更	第3章 端子機能 (μ PD 789167, 789177サブシリーズ)
	・ 図7 - 3 サブ発振モード・レジスタのフォーマットの注を追加	第7章 クロック発生回路
	・ 8. 4. 1 タイマ割り込みとしての動作の記述を修正 ・ 8. 4. 2 タイマ出力としての動作の記述を修正	第8章 16ビット・タイマ90
	・ 9. 5 (4) STOPモード設定時の注意を追加 ・ 9. 5 (5) 外部イベント・カウンタのスタート・タイミングを追加	第9章 8ビット・タイマ/イベント・カウンタ80-82
	・ 12. 5 (8) ANI0-ANI7端子の入カインピーダンスについての記述を追加	第12章 8ビットADコンバータ (μ PD789167, 789167Yサブシリーズ)

版 数	前版からの改版内容	適用箇所
第3版	・ 13. 2 (2) A/D変換結果レジスタ0 (ADCR0) の記述を修正 ・ 図13 - 4 10ビットA/Dコンバータの基本動作の図を修正 ・ 13. 5 (8) ANI0-ANI7端子の入カインピーダンスについての記述を追加	第13章 10ビットA/Dコンバータ(μ PD789177, 789177Yサブシリーズ)
	・ 図14 - 1 シリアル・インタフェース20のブロック図を修正 ・ 図14 - 5 アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマットの, PE20フラグの説明を修正 ・ 14. 4. 2 (2) (f) UARTの受信データの読み出しの説明を追加	第14章 シリアル・インタフェース20
	・ フラッシュ・メモリ・プログラミングに関する内容を全面改定	第20章 フラッシュ・メモリ製品
	・ 電気的特性を追加	第23章, 25章, 27章, 29章, 31章 電気的特性
	・ 特性曲線を追加	第24章, 26章, 28章, 30章, 32章 特性曲線
	・ 外形図を追加	第33章 外形図
	・ 半田付け推奨条件を追加	第34章 半田付け推奨条件
	・ 開発ツールの内容を全面改訂 ・ 組み込み用ソフトウェアを削除	付録A 開発ツール
第4版	・ 関連資料を最新版に修正	はじめに
	・ 1. 8 ブロック図の, SMBを削除	第1章 概 説 (μ PD789167, 789177サブシリーズ)
	・ 表6 - 3 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定の, P60-P67を削除	第6章 ポート機能
	・ 図8 - 6 タイマ割り込み動作のタイミング, 図8 - 8 タイマ出力のタイミングの図を修正	第8章 16ビット・タイマ90
	・ 9. 5 8ビット・タイマ/イベント・カウンタ80-82の注意事項を変更	第9章 8ビット・タイマ/イベント・カウンタ80-82
	・ 図12 - 2 A/Dコンバータ・モード・レジスタ0のフォーマットの注を修正	第12章 8ビットA/Dコンバータ(μ PD789167, 789167Yサブシリーズ)
	・ 図13 - 2 A/Dコンバータ・モード・レジスタ0のフォーマットの注を修正	第13章 10ビットA/Dコンバータ(μ PD789177, 789177Yサブシリーズ)
	・ 図14 - 1 シリアル・インタフェース20のブロック図を修正 ・ 図14 - 6 ポー・レート・ジェネレータ・コントロール・レジスタ20のフォーマットの注意文を修正 ・ 14. 3 (4) (c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成を追加	第14章 シリアル・インタフェース20
	・ 15. 4. 1 スタート・コンディションの, SMBM0の説明を追加 ・ 15. 4. 7 (7) スレープ動作 (STOPモード解除時) を追加 ・ 表15 - 3 INTSMB0発生タイミングおよびウェイト制御を修正 ・ 15. 4. 8 (6) スタート・コンディション検出を追加 ・ 図15 - 20 マスタ→スレープ通信例 (マスタ, スレープとも9クロック・ウェイト選択時), 図15 - 21 スレープ→マスタ通信例 (マスタ, スレープとも9クロック・ウェイト選択時) の注の修正と追加	第15章 SMB0 (μ PD789167Y, 789177Yサブシリーズのみ)
	・ 図17 - 2 割り込み要求フラグ・レジスタのフォーマットの注意文を追加	第17章 割り込み機能

(3/3)

版 数	前版からの改版内容	適用箇所
第4版	・表20 - 2 通信方式一覧, 表20 - 3 端子接続一覧を修正 ・図20 - 3 専用フラッシュ・ライタとの接続例, 図20 - 9 3線式シリアル I/O方式 (SiO-ch1の場合) または疑似3線式でのフラッシュ書き込み用アダプタ配線例に, 疑似3線式の記述を追加	第20章 フラッシュ・メモリ製品
	・各電気的特性の章の値を一部修正	第23, 25, 27, 28, 30章 電気的特性
	・章を追加	付録B ターゲット・システム設計上の注意
第5版	μ PD789167, 789177サブシリーズに48ピン・プラスチックTQFP (ファインピッチ) (7×7) を追加 μ PD789166GA-×××-9EU, μ PD789167GA-×××-9EU, μ PD789176GA-×××-9EU, μ PD789177GA-×××-9EU, μ PD78F9177AGA-9EU	全般
	3. 1 (2) ポート以外の端子にIC3の説明を追加	第3章 端子機能 (μ PD789167, 789177サブシリーズ)
	3. 2. 17 IC3を追加	
	表3 - 1 各端子の入出力回路タイプと未使用端子の処理にIC3の説明を追加	

〔メ モ〕

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）： **044(435)5111**

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **<http://www.necel.co.jp/>**

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : **044-435-9494**

E-mail : **info@necel.com**

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。