

FemtoClock™3 ファミリ 112G PAM-4 SERDES ジッタ要件



概要

112G PAM-4 を使用した高速シリアル・リンクに必要な基準クロックの生成に、ルネサスの超高性能クロック・シンクロナイザを使用することには多くの利点があります。本資料では、基準クロックのジッタ要件を導き出す手法を説明し、このようなシステムのクロック生成にルネサスの低位相ノイズクロック・シンセサイザおよびジッタ減衰器 FemtoClock™3 ファミリを使用する利点について概説します。

1. はじめに

データ通信の世界は常に進化しており、データ転送の速度と効率を向上させる新技術が開発されています。高速 SERDES の性能を押し上げるいくつかの動向が見られます。以下はその一例です：

- PCI Express® (PCIe®) はレガシーから始まり、16G の PCIe 4.0、32G の PCIe 5.0、そして仕様の進化とともに 64G をサポートする PCIe 6.0 へと移行しています。
- ハイ・コンピューティング・クラウドの分野では、絶えず性能要件が向上し、400G やそのほか先まで視野に入っています。
- O-RAN を含む 5G ワイヤレスインフラ

しかし、この新しい技術には新しい課題がつきものです。高速 SERDES を使用した設計の重要な課題の 1 つは、クロック分配（アナログ・クロック・ツリー）です。ルネサスの FemtoClock™3 デバイスは、高度で高性能なクロックシンセサイザです。

シンプルで低コストの基本波モード水晶振動子を低周波数リファレンスとして採用したこれらのデバイスは、1GHz まで RMS 位相ノイズ 75fs 未満の高品質で低ジッタのクロック信号を生成することができます。また、RC3 シリーズは、ノイズの多いリファレンスを入力しても、ジッタを 100fs に抑えて出力することができるジッタ減衰モードとネットワーク同期機能を備えています。これはすべて、リファレンスとして低コストの基本波モード温度補償型水晶発振器（TCXO）を使用する場合に、ITU-T G.8262.1 拡張同期イーサネット機器クロック（eEEC）ワンダ・フィルタリングを実行しながら行うことができます。

業界標準への準拠と最適なシステム性能を確保するためには、112G PAM-4 SERDES リンクを注意深く設計し、テストして必要なジッタ仕様を満たすことが不可欠です。そのためにはシステム・レイアウト、クロッキング、同期に対する注意をする必要があります。

2. 符号化スキーム

112G SERDES のクロックジッタ要件を見る前に、今日の SERDES 設計で広く使用されている 2 つの符号化方式について見てみましょう： Non-Return to Zero (NRZ) とパルス振幅変調です。

2.1 Non-Return to Zero

伝統的な変調方式は、NRZ（Non-Return to Zero）または PAM-2（Pulse-Amplitude Modulation 2-Level）と呼ばれ、論理 "0" と論理 "1" を表す 2 つの電圧レベルを持ちます。電圧レベルはビット区間を通じて一定であるため、各単位区間には 1 つのアイが存在し、電圧のレベルはビットと等しいです。NRZ は 56G 以下のアプリケーションで広く使われています。56Gbps の場合、ナイキスト周波数は $56\text{G}/2=28\text{GHz}$ となります。NRZ では、データストリーム 0011-0010-0011 は次のように符号化されます：

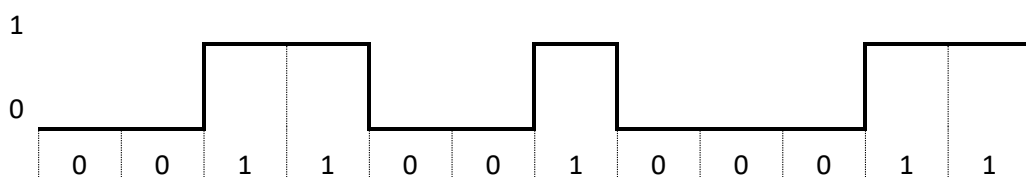


Figure 1. NRZ データストリームの例

2.2 パルス振幅変調 4 レベル

PAM-4（Pulse-Amplitude Modulation 4-Level）方式には、論理 "00"、"01"、"10"、"11" を表す 4 つの電圧レベルがあります。電圧レベルはビットペア区間を通じて一定であるため、各単位区間には 1 つのアイが存在し、電圧のレベルはビットペアと等しいです。PAM-4 は 56G 以上のアプリケーションで広く使用されています。56Gbps の PAM-4 では、ナイキスト周波数は $56 / 4 = 14\text{GHz}$ となります。PAM-4 では、同じデータストリーム 0011-0010-0011 は、NRZ に比べて半分のサイクルで符号化されます：

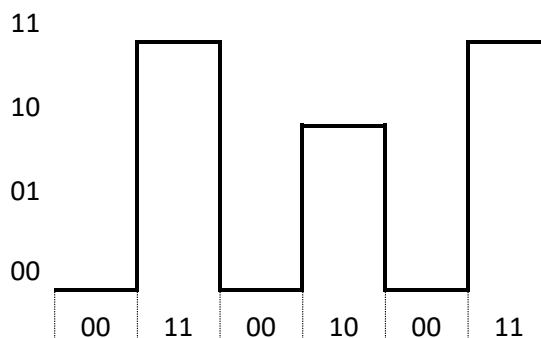


Figure 2. PAM-4 データストリームの例

2.3 高速 SERDES 向けに PAM-4 を使用する理由

PAM-4 は、より高い周波数でチャネル損失が起こるため、人気を集めています。PAM-4 は NRZ と比較して SNR が ~9.5dB 程度高くなりますが、挿入損失を検査する際には大きな利点があります。設計がどの程度の損失を受けながらも正しく機能するかによって、チャネルの長さ、パッケージ、チャネル材料の品質、ノイズ、反射、クロストークなどに対する耐性が決まります。例えば、イーサネット規格（IEEE 802.3）の 56G に準拠するためには、14GHz において挿入損失は 33.35dB となります。同じ 56G で NRZ を使用する場合、28GHz のクロックが必要となり、挿入損失は約 62dB となります。

また、112G PAM-4 SERDES は、OIF（Optical Internetworking Forum）や IEEE（Institute of Electrical and Electronics Engineers）など、関連するすべての業界標準や仕様を満たすことが不可欠です。

- IEEE802.3ck、IEEE802.3cu、IEEE802.3df、IEEE802.3dj は、PAM-4 エンコーディング方式を使用した最大 1.6T イーサネット用の 1 レーンあたり 100Gbps のマルチレーンを規定しています。100Gb/s、200Gb/s、400Gb/s、800Gb/s、1.6Tb/s の伝送が可能です。
- 同様に、OIF CEI-112G では、マルチチップモジュール（MCM）から光ネットワークへの 112Gbps のデータ伝送について、PAM4 変調方式が主流となるさまざまなトレースやケーブル長で規定されています

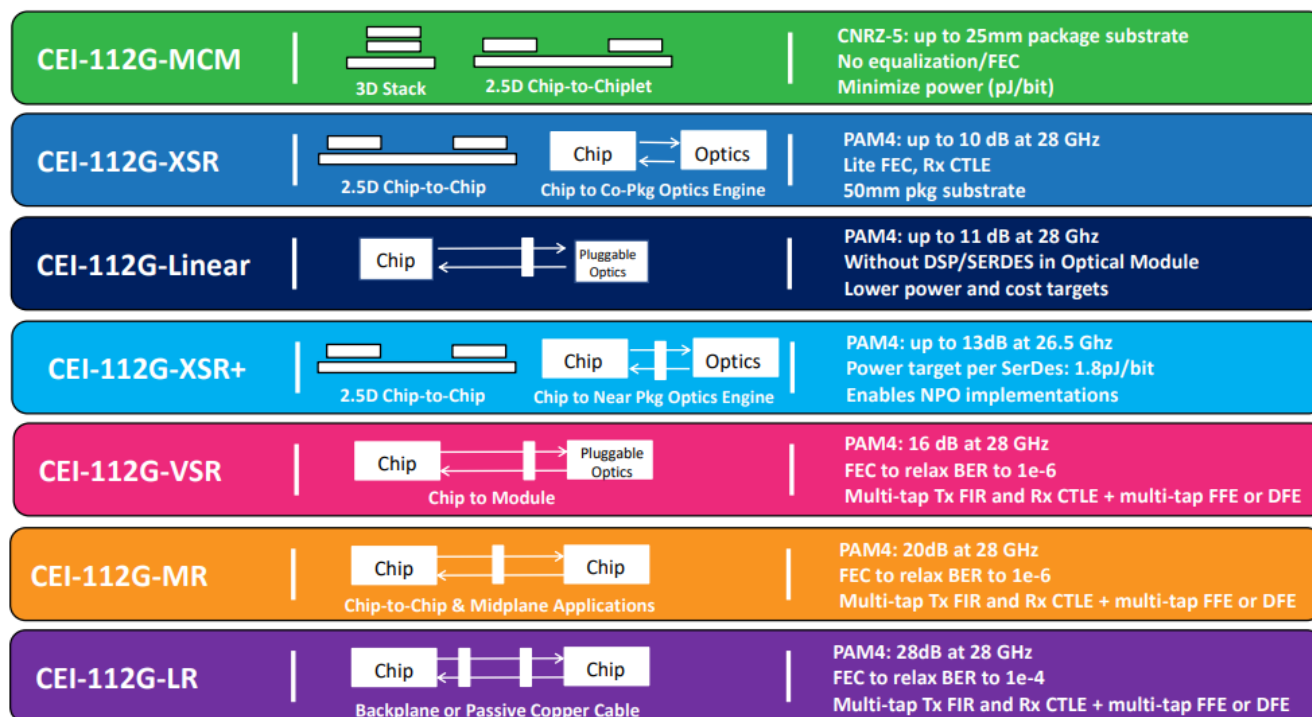


Figure 3. OIF CEI-112G アプリケーション

(Source: OIF_CEI-112G_Demo_OFC2022_presentation)

NRZ は設計が容易で、PAM4 に比べて信号対雑音比（SNR）が約 9.5dB 優れています。NRZ は通常、PAM-4 よりも消費電力が少ないですが、112G のような高いサンプリング・レートでは、設計がより困難であっても、妥当な挿入損失を得るために PAM-4 を選択するほうが賢明です。課題はさておき、NRZ は伝送速度が速くなるにつれて、望ましい選択肢ではなくなります。

これらの最大許容ジッタ値は、通常特定のアプリケーションとシステムの動作条件に基づいて定義され、ケーブル長、信号振幅、温度などの要因によって変化する可能性があることに注意する必要があります。112G SERDES PAM-4 リンクの許容ジッタは、通常、前述した業界標準化団体によって規定されています。さらに、特定のシステムに対する実際の許容ジッタ値は、システム設計者やエンド・ユーザーの要件によっても異なる場合があります。

3. 確定的ジッタ

従来の NRZ と比較して、PAM-4 信号はノイズ、ジッタ、クロストーク、非線形性などのチャネル障害に対してより敏感です。ジッタは信号の歪みの一種で、信号のタイミングが変動することで発生し、データ伝送のエラーにつながります。112G PAM-4 SERDES の場合、ジッタはシステムの性能に大きな影響を与える可能性があるため、最適な性能を確保するためにはジッタの問題に対処することが不可欠です。

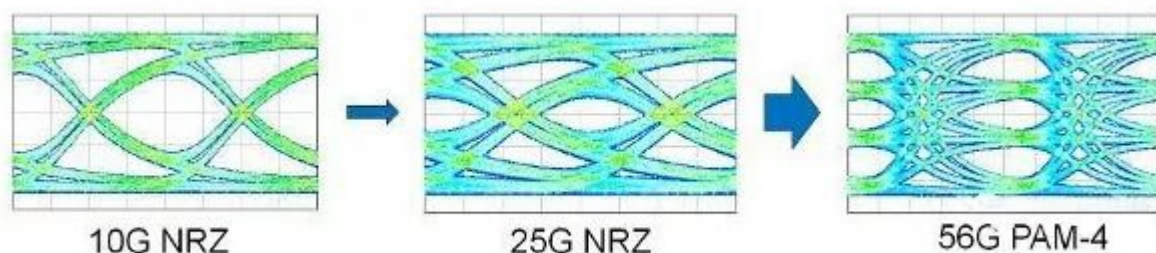


Figure 4. NRZ と PAM4 のアイパターン比較

(Source: Fibre Mall PAM4 Signal Article)

SERDES トランスミッタは通常、確定的ジッタの発生源となります。したがって、非常に低い送信ランダム・ジッタ（通常、112G 動作では 100fs 以下）を実現することが不可欠です。厳しい 112G PHY 干渉耐性/ジッタ耐性（ITOL/JTOL）要求により、シグナルの整合性に関する課題が浮上しています。例えば、112G PAM-4 の 2km 後のアイダイアグラムは図 5 のようになります。

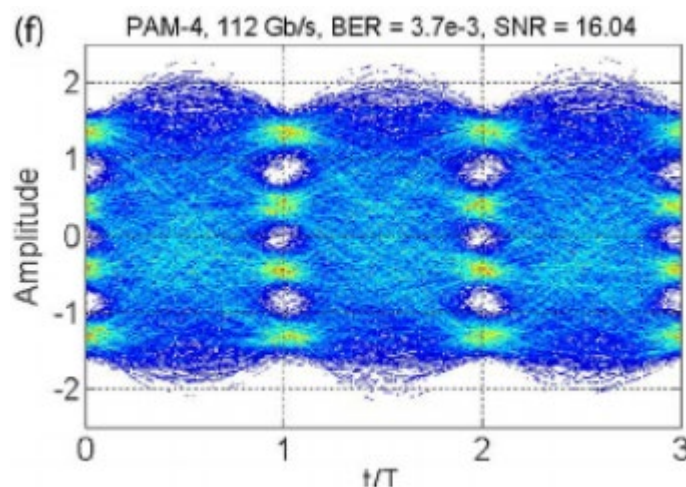


Figure 5. 2km 後の PAM-4 アイパターン

(Source: IEEE Photonics Society Article on 112-Gb/s Transmission System)

50G 入力レーンから 100G 出力レーンに移行する場合、ジッタ減衰機能が必要となります。これは、特定の周波数に対する 100G レーン出力ジッタ要件が、50G のピーク・ツー・ピーク値の半分であるためです。

3.1 112G PAM-4 リンクのクロッキング要件

シリアル・リンクにおける全体的な許容ジッタは、IEEE や OIF などの適用規格によって決定されます。800GAUI-8 を例にとると、最大送信ジッタ (RMS) は $0.023 \cdot UI$ 以下であるべきです。1 UI は 53.125G の周期です (0.023RMS は 0.23-0.25 p-p に変換され、これはアイの 25%です)。これは、全体の許容送信ジッタの 433fs RMS に相当します。異なるトレースとケーブル長に基づき、112G PAM-4 リンクに必要な基準クロックを表 1 に示します。

Table 1. トランスミッタ出力ジッタ

インターフェース	ボーレート	トランスミッタ 出力ジッタ	説明
CEI-112G-XSR-PAM4	36Gsym/s から 58Gsym/s	0.0224*UI (RMS)	OIF-CEI-05.1 第24節「CEI-112G-XSR-PAM4 Extra Short Reach Interface」より
CEI-112G-MR-PAM4		0.023*UI (RMS)	OIF-CEI-05.1、第26節 「CEI-112G-MR-PAM4 Medium Reach Interface」 および第27節 「CEI-112G-LR-PAM4 Long Reach Interface」より
CEI-112G-LR-PAM4			
IEEE 802.3ck	25.78125 または 26.5625 GBd	0.023*UI (RMS)	IEEE 規格 802.3ck™-2022、IEEE 規格 802.3cu™-2021、IEEE P802.3df™ /D2.0 より
IEEE 802.3cu	26.5625 または 53.125 GBd		
IEEE 802.3df (800GAUI-8)	53.125 GBd		

しかし、許容される送信ジッタ全体の一部のみが基準クロックに割り当てられます。例えば、112G PAM-4 SerDes を搭載する複数のスイッチ ASIC ベンダーは、12kHz～20MHz の周波数帯域で 100fs RMS 以下の基準クロックジッタを要求します。この基準クロック要件は、全体の RMS ジッタ バジエットの最大 20% を基準クロックに割り当てることに基づいています。T_{j-refclk} を決定する式は $\sqrt{T_{\text{total}}^2 - T_{j\text{-tx}}^2}$ です。20% バジエットの式は、送信機出力ジッター (RMS) を $\sqrt{5}$ で割ったものに単純化できます。表 2 に、112G PAM-4 リンクにおけるランダム・ジッタの基準クロック・ニーズ(ジッタマスク)を示します。

Table 2. 112G 基準クロックへの要求事項

インターフェース	基準クロック	説明
高周波 非相関非有界 ガウス分布ジッタ	0.009*UI (RMS)	これにより、許容される合計送信ジッターの約 15% が基準クロックに割り当てられます。UI はまだボーレート期間 (53.125 GBd) のままです。基準クロックは通常ボーレートの1/64に設定される。しかし、多くの112G SERDESまたはスイッチASICは基準クロックに312.5MHzを使用している。
単側波帯(SSB) 位相雑音	-131 dBc/Hz	@ 10kHz オフセット
	-137 dBc/Hz	@ 100kHz オフセット
	-143 dBc/Hz	@ 1MHz オフセット
	-158 dBc/Hz	@ ≥10MHz オフセット

3.2 Renesas FemtoClock™3 による 112G クロッキング

FemtoClock™3 ファミリは、超高性能クロック・ジェネレータ、ジッタ・クリーナー、クロック・シンクロナイザです。RC3 シリーズは、高度な基準クロック選択機能とヒットレス・スイッチング機能を備え、通信インフラ・アプリケーションの厳しい ITU-T 要件を

満たします。これらのデバイスの超低ジッタ性能は、112G PAM-4 SERDES などの高速シリアル・リンクを含むアプリケーションにおいて、ビット・エラー・レート（BER）を最小限に抑えます。

FemtoClock™3 は、4 つの差動またはシングルエンドの基準クロック入力の 1 つに同期できるシングル・チャンネル・シンクロナイザを備えています。このシンクロナイザには、ルネサスの新世代超低位相ノイズ VCO を搭載したアナログ位相ロックループ（APLL）ドメインが付属しており、312.5MHz 出力の 12kHz～20MHz の周波数帯域で 60fs rms 未満の標準ジッタを生成します。

図 6 に APLL から 312.5MHz LVPECL 出力の位相雑音プロットを示します。基準クロック入力または XO 入力にロックされた非同期的な周波数を生成するために使用できる追加の FOD ドメインがあり、120fs rms 標準ジッタを生成します。FemtoClock™3 は、最大 4 つの異なる周波数で、最大 12 の高性能出力クロックを生成できます。

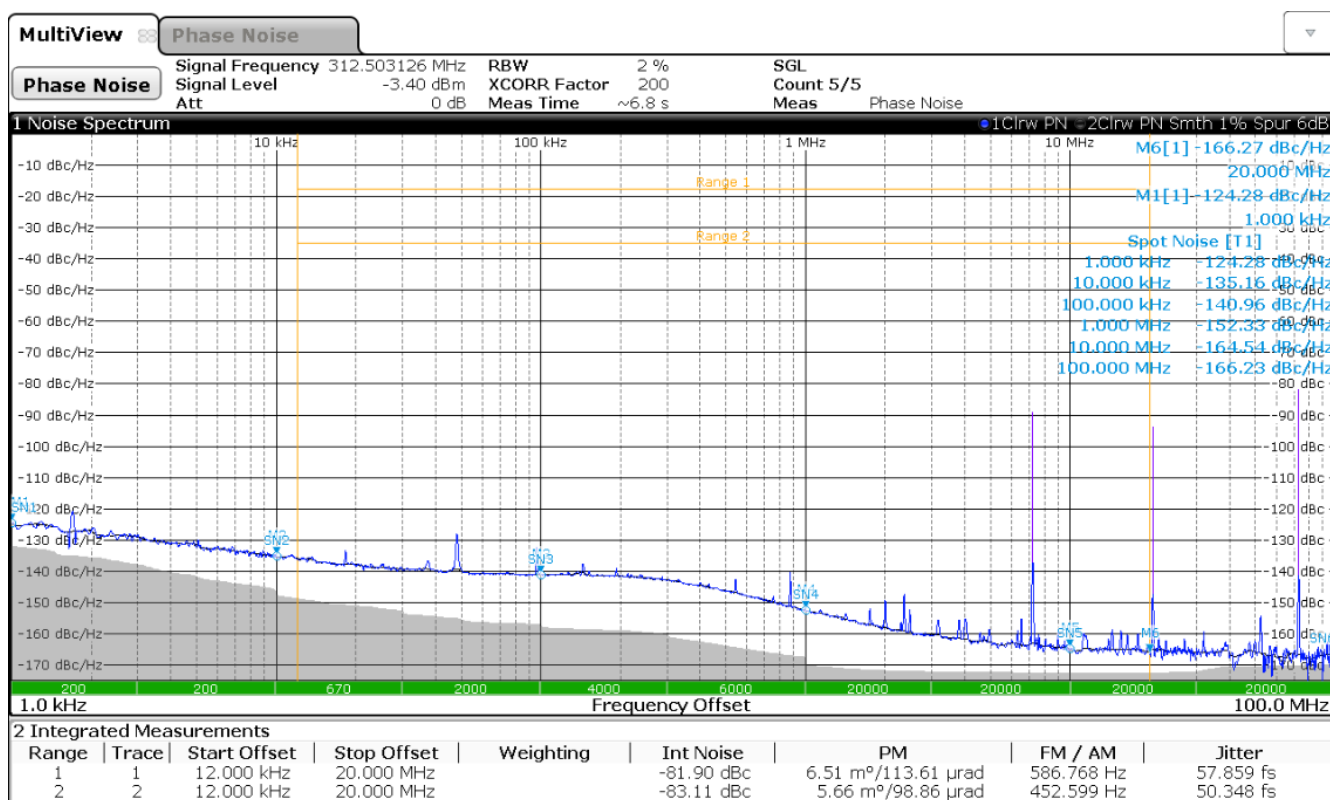


Figure 6. 312.5MHz LVPECL 出力の位相雑音プロット

3.2.1. 利点

FemtoClock™3 は、超低ジッタ（<60 fs rms）基準クロックを生成する際に、すべてのオフセットで 112G 仕様を最も余裕を持って満たすことができる唯一のクロック・シンセサイザ・ソリューションです。最大 4 つの独立した周波数ドメイン、改善された EMI、低消費電力、優れた PSRR を備えた内蔵 LDO により、FemtoClock™3 は 112G SERDES アプリケーションの PCB レイアウトを簡素化します。

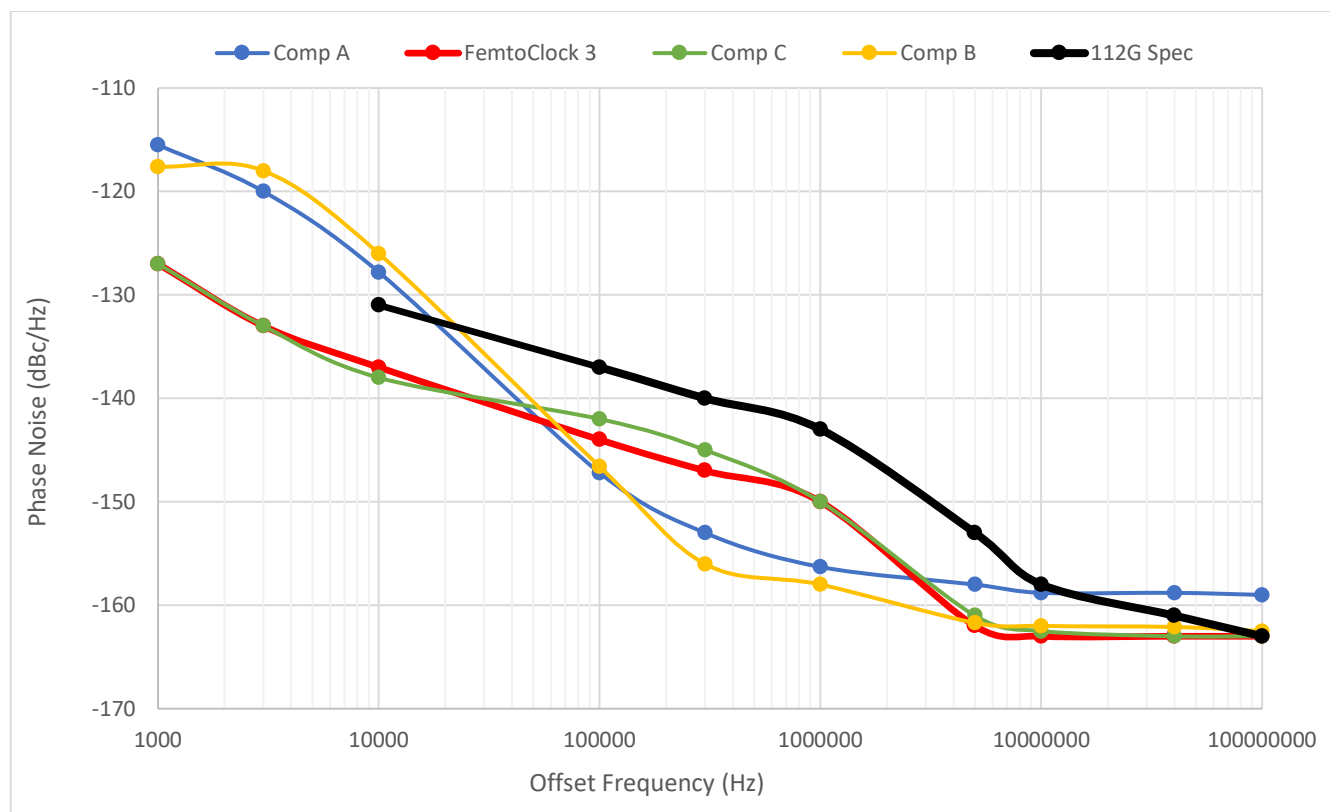


Figure 7. FemtoClock™3 と競合製品との比較-312.5MHz における位相雑音

さらに、ITU-T G.8262 同期イーサネットおよび G.8262.1 拡張同期イーサネットに準拠し、低周波数 TCXO（20MHz 未満）を使用してもジッタ劣化がないため、112G SERDES 技術を使用する最新の 5G インフラ機器に最適です。

4. まとめ

112G PAM-4 SERDES はデータ通信分野において大きな進歩を遂げ、ネットワーク上でより高速で効率的なデータ伝送が可能になります。しかし、最適なパフォーマンスを確保するためには、低ジッタ耐性、正確なタイミング同期、高度な信号処理、高速テスト、業界標準への準拠など、ジッタのニーズに対応することが不可欠です。ルネサスの FemtoClock™3 ファミリなどの超高性能クロック・シンクロナイザは、このホワイトペーパーで概説されている高速シリアル・リンク・システムの総合性能を高めることができます。

RC32312 の超低ジッタは、同期のサポートや周波数マーキングと相まって、システム開発全体を簡素化します。これらのニーズに対応することで、設計者やエンジニアは、112G PAM-4 SERDES が最大限の性能を発揮することに確信をもち、幅広いアプリケーションで信頼性の高い効率的な通信を実現できるようになります。

参考資料

- <https://www.chipestimate.com/Understanding-the-high-speed-SerDes-solution-space-10G-112G/Cadence/Technical-Article/2020/06/30>
- <https://www.renesas.com/products/clocks-timing/femtoclock-low-phase-noise-frequency-synthesizers>

ルネサスエレクトロニクスまたはその関連会社（Renesas）無断複写・転載を禁じます。全著作権所有。すべての商標および商品名は、それぞれの所有者のもので、ルネサスは、本書に記載されている情報は提供された時点では正確であると考えていますが、その品質や使用に関してリスクを負いません。すべての情報は、商品性、特定の目的への適合性、または非侵害を含むがこれらに限定されないことを含め、明示、黙示、法定、または取引、使用、または取引慣行の過程から生じるかどうかを問わず、いかなる種類の保証もなく現状のまま提供されます。ルネサスは、直接的、間接的、特別、結果的、偶発的、またはその他のいかなる損害についても、そのような損害の可能性について通知された場合でも、本書の情報の使用または信頼から生じる責任を負いません。ルネサスは、予告なしに製品の製造を中止するか、製品の設計や仕様、または本書の他の情報を変更する権利を留保します。すべてのコンテンツは、米国および国際著作権法によって保護されています。ここで特に許可されている場合を除き、本資料のいかなる部分も、ルネサスからの事前の書面による許可なしに、いかなる形式または手段によっても複製することはできません。訪問者またはユーザは、公共または商業目的で、この資料の派生物を修正、配布、公開、送信、または作成することを許可されていません。(Rev.1.0 Mar 2020)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24
(豊洲フォレシア)

<https://www.renesas.com>

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄りの営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

<http://www.renesas.com/contact/>

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロ

ニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に
帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved
Doc Number: R31WP0004JJ0100