

# RL78/G23

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
  2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
  3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
  5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
  6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等  
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
  7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
  8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
  9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
  10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
  11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
  12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
  13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
  14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

**対象者** このマニュアルは RL78/G23 の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。  
対象製品は、次に示す各製品です。

- 30ピン： R7F100GAx (x = F, G, H, J)
- 32ピン： R7F100GBx (x = F, G, H, J)
- 36ピン： R7F100GCx (x = F, G, H, J)
- 40ピン： R7F100GEx (x = F, G, H, J)
- 44ピン： R7F100GFx (x = F, G, H, J, K, L, N)
- 48ピン： R7F100GGx (x = F, G, H, J, K, L, N)
- 52ピン： R7F100GJx (x = F, G, H, J, K, L, N)
- 64ピン： R7F100GLx (x = F, G, H, J, K, L, N)
- 80ピン： R7F100GMx (x = G, H, J, K, L, N)
- 100ピン： R7F100GPx (x = G, H, J, K, L, N)
- 128ピン： R7F100GSx (x = J, K, L, N)

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成** RL78/G23のマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/G23  
ユーザーズマニュアル  
ハードウェア編

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

RL78ファミリ  
ユーザーズマニュアル  
ソフトウェア編

- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を<>で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr 指令で、sfr変数として定義されているものです。

□ RL78/G23 マイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J) を参照してください。

凡例 データ表記の重み： 左が上位桁、右が下位桁

アクティブ・ロウの表記： xxx (端子、信号名称に上線)

注： 本文中につけた注の説明

注意： 気をつけて読んでいただきたい内容

備考： 本文の補足説明

数の表記： 2進数...xxxx またはxxxxB

10進数...xxxx

16進数...xxxxH

## 関連資料

### デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G23 ユーザーズマニュアル ハードウェア編	このマニュアル	R01UH0896E
RL78 ファミリ ユーザーズマニュアル ソフトウェア編	R01US0015J	R01US0015E

### フラッシュ・メモリ書き込みおよびオンチップ・デバッグ機能関連資料（ユーザーズマニュアル）

資料名	資料番号	
	和文	英文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	<b>注1</b>	<b>注1</b>
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2エミュレータ Lite ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	<b>注2</b>	<b>注2</b>

注1 PG-FP6の資料は以下のホーム・ページを参照してください。

和文：<https://www.renesas.com/jp/ja/software-tool/pg-fp6>

英文：<https://www.renesas.com/us/en/software-tool/pg-fp6>

注2 Renesas Flash Programmerの資料は以下のホーム・ページを参照してください。

和文：<https://www.renesas.com/jp/ja/software-tool/renesas-flash-programmer-programming-gui>

英文：<https://www.renesas.com/us/en/software-tool/renesas-flash-programmer-programming-gui>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

# 目次

1.	概 説	1
1.1	特徴	1
1.2	型名一覧	5
1.3	端子接続図 (Top View)	9
1.3.1	30ピン製品	9
1.3.2	32ピン製品	12
1.3.3	36ピン製品	15
1.3.4	40ピン製品	18
1.3.5	44ピン製品	21
1.3.6	48ピン製品	24
1.3.7	52ピン製品	27
1.3.8	64ピン製品	30
1.3.9	80ピン製品	39
1.3.10	100ピン製品	43
1.3.11	128ピン製品	53
1.4	端子名称	59
1.5	ブロック図	60
1.6	機能概要	61
2.	端子機能	69
2.1	ポートの端子機能	69
2.1.1	30ピン製品	70
2.1.2	32ピン製品	72
2.1.3	36ピン製品	74
2.1.4	40ピン製品	76
2.1.5	44ピン製品	78
2.1.6	48ピン製品	81
2.1.7	52ピン製品	84
2.1.8	64ピン製品	87
2.1.9	80ピン製品	90
2.1.10	100ピン製品	93
2.1.11	128ピン製品	96
2.2	ポート以外の端子機能	100
2.2.1	製品別の搭載機能	100
2.2.2	機能説明	106
2.2.3	VBAT端子	108
2.2.3.1	VBAT端子の機能	108
2.2.3.2	VBAT端子とバックアップ用バッテリーの接続	108
2.2.3.3	VBAT端子の使用方法	109
2.3	未使用端子の処理	110
2.4	端子ブロック図	111
3.	CPUアーキテクチャ	144
3.1	メモリ空間	145
3.1.1	内部プログラム・メモリ空間	155

3.1.2	ミラー領域 .....	159
3.1.3	内部データ・メモリ空間 .....	161
3.1.4	特殊機能レジスタ (SFR : Special Function Register) 領域 .....	162
3.1.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 .....	162
3.1.6	データ・メモリ・アドレッシング .....	163
3.2	プロセッサ・レジスタ .....	164
3.2.1	制御レジスタ .....	164
3.2.2	汎用レジスタ .....	166
3.2.3	ES, CSレジスタ .....	167
3.2.4	特殊機能レジスタ (SFR : Special Function Register) .....	168
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) .....	173
3.3	命令アドレスのアドレッシング .....	189
3.3.1	レラティブ・アドレッシング .....	189
3.3.2	イミディエト・アドレッシング .....	189
3.3.3	テーブル・インダイレクト・アドレッシング .....	190
3.3.4	レジスタ・インダイレクト・アドレッシング .....	191
3.4	処理データ・アドレスに対するアドレッシング .....	192
3.4.1	インプライド・アドレッシング .....	192
3.4.2	レジスタ・アドレッシング .....	193
3.4.3	ダイレクト・アドレッシング .....	194
3.4.4	ショート・ダイレクト・アドレッシング .....	195
3.4.5	SFRアドレッシング .....	196
3.4.6	レジスタ・インダイレクト・アドレッシング .....	197
3.4.7	ベースト・アドレッシング .....	198
3.4.8	ベースト・インデクスト・アドレッシング .....	201
3.4.9	スタック・アドレッシング .....	202
4.	ポート機能 .....	205
4.1	ポートの機能 .....	205
4.2	ポートの構成 .....	205
4.2.1	ポート0 .....	207
4.2.2	ポート1 .....	207
4.2.3	ポート2 .....	208
4.2.4	ポート3 .....	208
4.2.5	ポート4 .....	209
4.2.6	ポート5 .....	209
4.2.7	ポート6 .....	210
4.2.8	ポート7 .....	210
4.2.9	ポート8 .....	211
4.2.10	ポート9 .....	211
4.2.11	ポート10 .....	211
4.2.12	ポート11 .....	212
4.2.13	ポート12 .....	212
4.2.14	ポート13 .....	213
4.2.15	ポート14 .....	213
4.2.16	ポート15 .....	213
4.3	ポート機能を制御するレジスタ .....	214
4.3.1	ポート・モード・レジスタ (PMxx) .....	222
4.3.2	ポート・レジスタ (Pxx) .....	223

4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	224
4.3.4	ポート入力モード・レジスタ (PIMxx)	225
4.3.5	ポート出力モード・レジスタ (POMxx)	226
4.3.6	ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)	227
4.3.7	ポート・モード・コントロールA・レジスタ (PMCAxx)	228
4.3.8	ポート・モード・コントロールT・レジスタ (PMCTxx)	229
4.3.9	ポート・モード・コントロールE・レジスタ (PMCEx)	230
4.3.10	周辺I/Oリダイレクション・レジスタ (PIOR)	231
4.3.11	グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)	233
4.3.12	出力電流制御許可レジスタ (CCDE)	234
4.3.13	出力電流選択レジスタ (CCSx)	236
4.3.14	40 mAポート出力制御レジスタ (PTDC)	237
4.3.15	ポート・ファンクション出力許可レジスタ (PFOEx)	239
4.3.16	ポート・モード選択レジスタ (PMS)	240
4.4	ポート機能の動作	241
4.4.1	入出力ポートへの書き込み	241
4.4.2	入出力ポートからの読み出し	241
4.4.3	入出力ポートでの演算	241
4.4.4	EVDD ≤ VDDによる異電位 (1.8 V系、2.5 V系、3 V系) 対応	241
4.4.5	入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応	242
4.5	兼用機能使用時のレジスタ設定	245
4.5.1	兼用機能使用時の基本的な考え方	245
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	247
4.5.3	ポートの各レジスタ設定と端子状態	248
4.5.4	使用するポート機能および兼用機能のレジスタ設定例	248
4.6	ポート機能使用時の注意事項	284
4.6.1	ポート・レジスタm (Pm) に対する1ビット・メモリ操作命令に関する注意事項	284
4.6.2	端子設定に関する注意事項	285
5.	オペレーション・ステート・コントロール	286
5.1	オペレーション・ステート・コントロールの構成	286
5.2	オペレーション・ステート・コントロールを制御するレジスタ	288
5.2.1	フラッシュ動作モード選択レジスタ (FLMODE)	288
5.2.2	フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)	290
5.3	フラッシュ動作モードの初期設定	291
5.4	フラッシュ動作モードの遷移	292
5.5	フラッシュ動作モードの詳細	293
5.5.1	HS (高速メイン) モードの詳細	293
5.5.2	LS (低速メイン) モードの詳細	294
5.5.3	LP (低電力メイン) モードの詳細	295
5.5.4	SUBモードの詳細	296
6.	クロック発生回路	297
6.1	クロック発生回路の機能	297
6.2	クロック発生回路の構成	299
6.3	クロック発生回路を制御するレジスタ	302
6.3.1	クロック動作モード制御レジスタ (CMC)	303
6.3.2	システム・クロック制御レジスタ (CKC)	306
6.3.3	クロック動作ステータス制御レジスタ (CSC)	308

6.3.4	発振安定時間カウンタ状態レジスタ (OSTC) .....	309
6.3.5	発振安定時間選択レジスタ (OSTS) .....	311
6.3.6	周辺イネーブル・レジスタ 0, 1 (PER0, PER1) .....	313
6.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC) .....	318
6.3.8	サブシステム・クロック選択レジスタ (CKSEL) .....	320
6.3.9	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) .....	321
6.3.10	中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) .....	322
6.3.11	高速システム・クロック分周レジスタ (MOSCDIV) .....	323
6.3.12	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) .....	324
6.3.13	中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) .....	325
6.3.14	低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) .....	326
6.3.15	スタンバイ・モード解除設定レジスタ (WKUPMD) .....	327
6.4	システム・クロック発振回路 .....	328
6.4.1	X1 発振回路 .....	328
6.4.2	XT1 発振回路 .....	328
6.4.3	高速オンチップ・オシレータ .....	332
6.4.4	中速オンチップ・オシレータ .....	332
6.4.5	低速オンチップ・オシレータ .....	332
6.5	クロック発生回路の動作 .....	333
6.6	クロックの制御 .....	335
6.6.1	高速オンチップ・オシレータの設定例 .....	335
6.6.2	X1 発振回路の設定例 .....	337
6.6.3	XT1 発振回路の設定例 .....	338
6.6.4	CPUクロック状態移行図 .....	339
6.6.5	CPUクロックの移行前の条件と移行後の処理 .....	343
6.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 .....	349
6.6.7	クロック発振停止前の条件 .....	351
6.7	発振子と発振回路定数 .....	352
7.	タイマ・アレイ・ユニット (TAU) .....	353
7.1	タイマ・アレイ・ユニットの機能 .....	355
7.1.1	単独チャンネル動作機能 .....	355
7.1.2	複数チャンネル連動動作機能 .....	357
7.1.3	8ビット・タイマ動作機能 (チャンネル1, 3のみ) .....	358
7.1.4	LIN-bus対応機能 (ユニット0のチャンネル7のみ) .....	358
7.2	タイマ・アレイ・ユニットの構成 .....	359
7.2.1	タイマ・カウンタ・レジスタ mn (TCRmn) .....	365
7.2.2	タイマ・データ・レジスタ mn (TDRmn) .....	367
7.3	タイマ・アレイ・ユニットを制御するレジスタ .....	368
7.3.1	周辺イネーブル・レジスタ 0 (PER0) .....	369
7.3.2	周辺リセット制御レジスタ 0 (PRR0) .....	371
7.3.3	タイマ・クロック選択レジスタ m (TPSm) .....	372
7.3.4	タイマ・モード・レジスタ mn (TMRmn) .....	376
7.3.5	タイマ・ステータス・レジスタ mn (TSRmn) .....	380
7.3.6	タイマ・チャンネル許可ステータス・レジスタ m (TEm) .....	381
7.3.7	タイマ・チャンネル開始レジスタ m (TSM) .....	382
7.3.8	タイマ・チャンネル停止レジスタ m (TTm) .....	384
7.3.9	タイマ入力選択レジスタ 0 (TIS0) .....	385
7.3.10	タイマ入力選択レジスタ 1 (TIS1) .....	386

7.3.11	タイマ出力許可レジスタ m (TOEm) .....	387
7.3.12	タイマ出力レジスタ m (TOm) .....	388
7.3.13	タイマ出力レベル・レジスタ m (TOLm) .....	389
7.3.14	タイマ出力モード・レジスタ m (TOMm) .....	390
7.3.15	入力切り替え制御レジスタ (ISC) .....	391
7.3.16	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) .....	392
7.3.17	タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ .....	396
7.4	タイマ・アレイ・ユニットの基本ルール .....	397
7.4.1	複数チャネル連動動作機能の基本ルール .....	397
7.4.2	8ビット・タイマ動作機能の基本ルール (チャネル1, 3のみ) .....	399
7.5	カウンタの動作 .....	400
7.5.1	カウント・クロック (ftCLK) .....	400
7.5.2	カウンタのスタート・タイミング .....	402
7.5.3	カウンタの動作 .....	403
7.6	チャネル出力 (TOmn端子) の制御 .....	408
7.6.1	TOmn端子の出力回路の構成 .....	408
7.6.2	TOmn端子の出力設定 .....	409
7.6.3	チャネル出力操作時の注意事項 .....	410
7.6.4	TOmnビットの一括操作 .....	415
7.6.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について .....	417
7.7	タイマ入力 (TImn) の制御 .....	418
7.7.1	TImnの入力回路構成 .....	418
7.7.2	ノイズ・フィルタ .....	418
7.7.3	チャネル入力操作時の注意事項 .....	419
7.8	タイマ・アレイ・ユニットの単独チャネル動作機能 .....	420
7.8.1	インターバル・タイマ/方形波出力としての動作 .....	420
7.8.2	外部イベント・カウンタとしての動作 .....	426
7.8.3	分周器としての動作 (ユニット0のチャネル0のみ) .....	431
7.8.4	入力パルス間隔測定としての動作 .....	436
7.8.5	入力信号のハイ/ロウ・レベル幅測定としての動作 .....	441
7.8.6	ディレイ・カウンタとしての動作 .....	446
7.9	タイマ・アレイ・ユニットの複数チャネル連動動作機能 .....	451
7.9.1	ワンショット・パルス出力機能としての動作 .....	451
7.9.2	PWM機能としての動作 .....	460
7.9.3	多重PWM出力機能としての動作 .....	469
7.10	タイマ・アレイ・ユニット使用時の注意事項 .....	478
7.10.1	タイマ出力使用時の注意事項 .....	478
7.10.2	タイマ出力をELCLのイベント入力として使用するときの注意事項 .....	478
8.	リアルタイム・クロック (RTC) .....	479
8.1	リアルタイム・クロックの機能 .....	479
8.2	リアルタイム・クロックの構成 .....	480
8.3	リアルタイム・クロックを制御するレジスタ .....	482
8.3.1	周辺イネーブル・レジスタ0 (PER0) .....	483
8.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC) .....	484
8.3.3	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) .....	485
8.3.4	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) .....	487
8.3.5	秒カウント・レジスタ (SEC) .....	489
8.3.6	分カウント・レジスタ (MIN) .....	489

8.3.7	時カウント・レジスタ (HOUR) .....	490
8.3.8	日カウント・レジスタ (DAY) .....	492
8.3.9	曜日カウント・レジスタ (WEEK) .....	493
8.3.10	月カウント・レジスタ (MONTH) .....	494
8.3.11	年カウント・レジスタ (YEAR) .....	494
8.3.12	時計誤差補正レジスタ (SUBCUD) .....	495
8.3.13	アラーム分レジスタ (ALARMWM) .....	496
8.3.14	アラーム時レジスタ (ALARMWH) .....	496
8.3.15	アラーム曜日レジスタ (ALARMWW) .....	497
8.3.16	リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御する レジスタ .....	497
8.4	リアルタイム・クロックの動作 .....	498
8.4.1	リアルタイム・クロックの動作開始 .....	498
8.4.2	動作開始後のHALT/STOPモードへの移行 .....	500
8.4.3	リアルタイム・クロックのカウンタ読み出し／書き込み .....	501
8.4.4	リアルタイム・クロックのアラーム設定 .....	503
8.4.5	リアルタイム・クロックの1 Hz出力 .....	504
8.4.6	リアルタイム・クロックの時計誤差補正例 .....	505
9.	32 ビット・インターバル・タイマ (TML32) .....	510
9.1	概要 .....	510
9.2	32 ビット・インターバル・タイマを制御するレジスタ .....	514
9.2.1	周辺イネーブル・レジスタ1 (PER1) .....	515
9.2.2	周辺リセット制御レジスタ1 (PRR1) .....	516
9.2.3	インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn) (mn = 00, 01, 12, 13) .....	517
9.2.4	インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n) (n = 0, 1) .....	517
9.2.5	インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) .....	518
9.2.6	インターバル・タイマ制御レジスタ (ITLCTL0) .....	519
9.2.7	インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0) .....	521
9.2.8	インターバル・タイマ分周レジスタ0 (ITLFDIV00) .....	522
9.2.9	インターバル・タイマ分周レジスタ1 (ITLFDIV01) .....	524
9.2.10	インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) .....	526
9.2.11	インターバル・タイマ・ステータス・レジスタ (ITLS0) .....	528
9.2.12	インターバル・タイマ一致検出マスク・レジスタ (ITLMKF0) .....	530
9.3	動作説明 .....	531
9.3.1	カウンタ・モードの設定 .....	531
9.3.2	キャプチャ・モードの設定 .....	534
9.3.3	タイマ動作 .....	535
9.3.4	キャプチャ動作 .....	536
9.3.5	割り込み動作 .....	538
9.3.6	インターバル・タイマの設定手順 .....	540
10.	クロック出力／ブザー出力制御回路 (PCLBUZ) .....	544
10.1	クロック出力／ブザー出力制御回路の機能 .....	544
10.2	クロック出力／ブザー出力制御回路の構成 .....	546
10.3	クロック出力／ブザー出力制御回路を制御するレジスタ .....	546
10.3.1	クロック出力選択レジスタn (CKSn) .....	546

10.3.2	クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ .....	548
10.4	クロック出力／ブザー出力制御回路の動作 .....	549
10.4.1	出力端子の動作 .....	549
10.5	クロック出力／ブザー出力制御回路使用時の注意事項 .....	549
11.	ウォッチドッグ・タイマ (WDT) .....	550
11.1	ウォッチドッグ・タイマの機能 .....	550
11.2	ウォッチドッグ・タイマの構成 .....	551
11.3	ウォッチドッグ・タイマを制御するレジスタ .....	552
11.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) .....	552
11.4	ウォッチドッグ・タイマの動作 .....	553
11.4.1	ウォッチドッグ・タイマの動作制御 .....	553
11.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定 .....	555
11.4.3	ウォッチドッグ・タイマのウィンドウ・オープン期間の設定 .....	556
11.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定 .....	558
12.	A/Dコンバータ (ADC) .....	559
12.1	A/Dコンバータの機能 .....	559
12.2	A/Dコンバータの構成 .....	562
12.3	A/Dコンバータを制御するレジスタ .....	564
12.3.1	周辺イネーブル・レジスタ0 (PER0) .....	565
12.3.2	周辺リセット制御レジスタ0 (PRR0) .....	566
12.3.3	A/Dコンバータ・モード・レジスタ0 (ADM0) .....	567
12.3.4	A/Dコンバータ・モード・レジスタ1 (ADM1) .....	580
12.3.5	A/Dコンバータ・モード・レジスタ2 (ADM2) .....	581
12.3.6	12ビット／10ビットA/D変換結果レジスタ (ADCRn) .....	584
12.3.7	8ビットA/D変換結果レジスタ (ADCRnH) .....	585
12.3.8	アナログ入力チャンネル指定レジスタ (ADS) .....	586
12.3.9	変換結果比較上限値設定レジスタ (ADUL) .....	589
12.3.10	変換結果比較下限値設定レジスタ (ADLL) .....	589
12.3.11	A/Dテスト・レジスタ (ADTES) .....	590
12.3.12	A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ .....	591
12.4	A/Dコンバータの変換動作 .....	592
12.5	入力電圧と変換結果 .....	594
12.6	A/Dコンバータの動作モード .....	595
12.6.1	ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード) .....	595
12.6.2	ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) .....	596
12.6.3	ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード) .....	597
12.6.4	ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) .....	598
12.6.5	ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード) .....	599
12.6.6	ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) .....	600

12.6.7	ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード)	601
12.6.8	ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)	602
12.6.9	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)	603
12.6.10	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)	604
12.6.11	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)	605
12.6.12	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)	606
12.6.13	ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード)	608
12.6.14	ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	609
12.6.15	ハードウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード)	610
12.6.16	ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)	611
12.7	A/Dコンバータの設定フロー・チャート	612
12.7.1	ソフトウェア・トリガ・ノーウエイト・モード設定	612
12.7.2	ソフトウェア・トリガ・ウエイト・モード設定	613
12.7.3	ハードウェア・トリガ・ノーウエイト・モード設定	614
12.7.4	ハードウェア・トリガ・ウエイト・モード設定	615
12.7.5	温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時)	616
12.7.6	テスト・モード設定	617
12.8	SNOOZEモード機能	618
12.8.1	ソフトウェア・トリガの入力によるA/D変換	618
12.8.2	ハードウェア・トリガの入力によるA/D変換	620
12.9	A/Dコンバータ特性表の読み方	624
12.10	A/Dコンバータ使用時の注意事項	628
13.	D/Aコンバータ (DAC)	632
13.1	D/Aコンバータの機能	632
13.2	D/Aコンバータの構成	633
13.3	D/Aコンバータを制御するレジスタ	634
13.3.1	周辺イネーブル・レジスタ1 (PER1)	635
13.3.2	周辺リセット制御レジスタ1 (PRR1)	636
13.3.3	D/Aコンバータ・モード・レジスタ (DAM)	637
13.3.4	D/A変換値設定レジスタi (DACSi) (i = 0, 1)	637
13.3.5	ロジック&イベント・リンク・コントローラからのイベント出力を制御する レジスタ	638
13.3.6	D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御する レジスタ	638
13.4	D/Aコンバータの動作	639
13.4.1	通常モード時の動作	639
13.4.2	リアルタイム出力モード時の動作	640
13.4.3	D/A変換値の出力タイミング	641
13.5	D/Aコンバータ使用時の注意事項	642

14.	コンパレータ (CMP)	643
14.1	コンパレータの機能	643
14.2	コンパレータの構成	644
14.3	コンパレータを制御するレジスタ	645
14.3.1	周辺イネーブル・レジスタ 1 (PER1)	646
14.3.2	周辺リセット制御レジスタ 1 (PRR1)	647
14.3.3	コンパレータ・モード設定レジスタ (COMPMDR)	648
14.3.4	コンパレータ・フィルタ制御レジスタ (COMPFIR)	650
14.3.5	コンパレータ出力制御レジスタ (COMPOCR)	652
14.3.6	コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するレジスタ	654
14.4	動作説明	655
14.4.1	コンパレータ <i>i</i> デジタル・フィルタ ( $i = 0, 1$ )	657
14.4.2	コンパレータ <i>i</i> 割り込み ( $i = 0, 1$ )	657
14.4.3	ロジック&イベント・リンク・コントローラ (ELCL) へのイベント信号出力	658
14.4.4	コンパレータ <i>i</i> 出力 ( $i = 0, 1$ )	659
14.4.5	コンパレータクロック停止/供給	659
15.	シリアル・アレイ・ユニット (SAU)	660
15.1	シリアル・アレイ・ユニットの機能	662
15.1.1	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)	662
15.1.2	UART (UART0-UART3)	663
15.1.3	簡易I <sup>2</sup> C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)	664
15.2	シリアル・アレイ・ユニットの構成	665
15.2.1	シフト・レジスタ	669
15.2.2	シリアル・データ・レジスタ <i>mn</i> (SDR <i>mn</i> ) の下位 8/9 ビット	669
15.3	シリアル・アレイ・ユニットを制御するレジスタ	671
15.3.1	周辺イネーブル・レジスタ 0 (PER0)	672
15.3.2	周辺リセット制御レジスタ 0 (PRR0)	674
15.3.3	シリアル・クロック選択レジスタ <i>m</i> (SPS <i>m</i> )	675
15.3.4	シリアル・モード・レジスタ <i>mn</i> (SMR <i>mn</i> )	677
15.3.5	シリアル通信動作設定レジスタ <i>mn</i> (SCR <i>mn</i> )	679
15.3.6	シリアル・データ・レジスタ <i>mn</i> (SDR <i>mn</i> )	682
15.3.7	シリアル・フラグ・クリア・トリガ・レジスタ <i>mn</i> (SIR <i>mn</i> )	684
15.3.8	シリアル・ステータス・レジスタ <i>mn</i> (SSR <i>mn</i> )	685
15.3.9	シリアル・チャンネル開始レジスタ <i>m</i> (SS <i>m</i> )	687
15.3.10	シリアル・チャンネル停止レジスタ <i>m</i> (ST <i>m</i> )	688
15.3.11	シリアル・チャンネル許可ステータス・レジスタ <i>m</i> (SE <i>m</i> )	689
15.3.12	シリアル出力許可レジスタ <i>m</i> (SOE <i>m</i> )	690
15.3.13	シリアル出力レジスタ <i>m</i> (SO <i>m</i> )	691
15.3.14	シリアル出力レベル・レジスタ <i>m</i> (SOL <i>m</i> )	693
15.3.15	シリアル・スタンバイ・コントロール・レジスタ <i>m</i> (SSC <i>m</i> )	695
15.3.16	入力切り替え制御レジスタ (ISC)	697
15.3.17	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	699
15.3.18	シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ	700
15.3.19	UARTループバック選択レジスタ (ULBS)	701
15.4	動作停止モード	702
15.4.1	ユニット単位で動作停止とする場合	702
15.4.2	チャンネルごとに動作停止とする場合	703

15.5	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作	704
15.5.1	マスタ送信	707
15.5.2	マスタ受信	716
15.5.3	マスタ送受信	725
15.5.4	スレーブ送信	734
15.5.5	スレーブ受信	743
15.5.6	スレーブ送受信	750
15.5.7	SNOOZEモード機能	759
15.5.8	転送クロック周波数の算出	764
15.5.9	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信時における エラー発生時の処理手順	766
15.6	UART (UART0-UART3) 通信の動作	767
15.6.1	UART送信	770
15.6.2	UART受信	779
15.6.3	SNOOZEモード機能	786
15.6.4	ボーレートの算出	794
15.6.5	UART (UART0-UART3) 通信時におけるエラー発生時の処理手順	799
15.7	LIN通信の動作	800
15.7.1	LIN送信	800
15.7.2	LIN受信	803
15.8	簡易I <sup>2</sup> C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作	809
15.8.1	アドレス・フィールド送信	812
15.8.2	データ送信	818
15.8.3	データ受信	821
15.8.4	ストップ・コンディション発生	825
15.8.5	転送レートの算出	826
15.8.6	簡易I <sup>2</sup> C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時における エラー発生時の処理手順	829
16.	シリアル・インタフェースIICA (IICA)	830
16.1	シリアル・インタフェースIICAの機能	830
16.2	シリアル・インタフェースIICAの構成	833
16.3	シリアル・インタフェースIICAを制御するレジスタ	836
16.3.1	周辺イネーブル・レジスタ0 (PER0)	837
16.3.2	周辺リセット制御レジスタ0 (PRR0)	838
16.3.3	IICAコントロール・レジスタn0 (IICCTLn0)	839
16.3.4	IICAステータス・レジスタn (IICSn)	844
16.3.5	IICAフラグ・レジスタn (IICFn)	848
16.3.6	IICAコントロール・レジスタn1 (IICCTLn1)	850
16.3.7	IICAロウ・レベル幅設定レジスタn (IICWLn)	853
16.3.8	IICAハイ・レベル幅設定レジスタn (IICWHn)	853
16.3.9	IICA入出力端子と端子を兼用するポートのポート機能を制御するレジスタ	854
16.4	I <sup>2</sup> Cバス・モードの機能	855
16.4.1	端子構成	855
16.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	856
16.5	I <sup>2</sup> Cバスの定義および制御方法	858
16.5.1	スタート・コンディション	858
16.5.2	アドレス	859
16.5.3	転送方向指定	859

16.5.4	アクリッジ (ACK) .....	860
16.5.5	ストップ・コンディション .....	861
16.5.6	クロック・ストレッチ .....	862
16.5.7	クロック・ストレッチ解除方法 .....	864
16.5.8	割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御 .....	865
16.5.9	アドレスの一致検出方法 .....	866
16.5.10	エラーの検出 .....	866
16.5.11	拡張コード .....	867
16.5.12	アービトレーション .....	868
16.5.13	ウエイク・アップ機能 .....	870
16.5.14	通信予約 .....	873
16.5.15	その他の注意事項 .....	877
16.5.16	通信動作 .....	878
16.5.17	I <sup>2</sup> C割り込み要求信号 (INTIICAn) の発生タイミング .....	886
16.6	タイミング・チャート .....	906
17.	シリアル・インタフェースUARTA (UARTA) .....	921
17.1	概要 .....	921
17.2	シリアル・インタフェースUARTAを制御するレジスタ .....	923
17.2.1	周辺イネーブル・レジスタ1 (PER1) .....	924
17.2.2	送信バッファ・レジスタ (TXBAn) (n = 0, 1) .....	925
17.2.3	受信バッファ・レジスタ (RXBAn) (n = 0, 1) .....	926
17.2.4	動作モード設定レジスタ0 (ASIMAn0) (n = 0, 1) .....	927
17.2.5	動作モード設定レジスタ1 (ASIMAn1) (n = 0, 1) .....	929
17.2.6	ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) (n = 0, 1) .....	930
17.2.7	ステータス・レジスタ (ASISAn) (n = 0, 1) .....	931
17.2.8	ステータス・クリア・トリガ・レジスタ (ASCTAn) (n = 0, 1) .....	933
17.2.9	UARTAクロック選択レジスタ0 (UTA0CK) .....	934
17.2.10	UARTAクロック選択レジスタ1 (UTA1CK) .....	936
17.2.11	UARTループバック選択レジスタ (ULBS) .....	937
17.2.12	シリアル・インタフェース入出力と端子を兼用するポートのポート機能を制御する レジスタ .....	938
17.3	動作説明 .....	939
17.3.1	動作停止モード .....	939
17.3.2	UARTモード .....	939
17.3.3	受信データのノイズ・フィルタ .....	954
17.3.4	ボーレート・ジェネレータ .....	955
17.4	使用時の注意事項 .....	963
17.4.1	RxDAn端子のPORT設定手順 .....	963
17.4.2	シリアル・インタフェース .....	963
17.4.3	UARTAn動作クロック (fUTAn) 選択時の注意事項 .....	963
18.	リモコン信号受信機能 (REMC) .....	964
18.1	リモコン受信機能 .....	964
18.2	リモコン信号受信機能を制御するレジスタ .....	966
18.2.1	周辺イネーブル・レジスタ1 (PER1) .....	967
18.2.2	周辺リセット制御レジスタ1 (PRR1) .....	968
18.2.3	機能選択レジスタ0 (REMCN0) .....	969
18.2.4	機能選択レジスタ1 (REMCN1) .....	971

18.2.5	ステータスレジスタ (REMSTS) .....	973
18.2.6	割り込み制御レジスタ (REMINT) .....	977
18.2.7	コンペア制御レジスタ (REMCPC) .....	978
18.2.8	コンペア値設定レジスタ (REMCPCD) .....	979
18.2.9	ヘッダ・パターン最小幅設定レジスタ (HDPMIN) .....	979
18.2.10	ヘッダ・パターン最大幅設定レジスタ (HDPMAX) .....	980
18.2.11	データ0パターン最小幅設定レジスタ (D0PMIN) .....	980
18.2.12	データ0パターン最大幅設定レジスタ (D0PMAX) .....	981
18.2.13	データ1パターン最小幅設定レジスタ (D1PMIN) .....	981
18.2.14	データ1パターン最大幅設定レジスタ (D1PMAX) .....	982
18.2.15	特殊データ・パターン最小幅設定レジスタ (SDPMIN) .....	982
18.2.16	特殊データ・パターン最大幅設定レジスタ (SDPMAX) .....	983
18.2.17	パターン・エンド設定レジスタ (REMPE) .....	983
18.2.18	受信機能スタンバイ・コントロール・レジスタ (REMSTC) .....	984
18.2.19	受信ビット数レジスタ (REMRBIT) .....	985
18.2.20	受信データ0レジスタ (REMDAT0) .....	986
18.2.21	受信データjレジスタ (REMDATj) (j = 1-7) .....	987
18.2.22	測定結果レジスタ (REMTIM) .....	988
18.2.23	リモコン信号入力と端子を兼用するポートのポート機能を制御するレジスタ .....	988
18.3	動作説明 .....	989
18.3.1	REMC動作の概要 .....	989
18.3.2	初期設定 .....	989
18.3.3	パターン設定 .....	991
18.3.4	動作クロック .....	994
18.3.4.1	REMC動作クロックとして fsXP を使用する場合 .....	994
18.3.4.2	REMC動作クロックとして INTTM06 を使用する場合 .....	994
18.3.5	RIN0入力 .....	995
18.3.6	パターン検出 .....	997
18.3.6.1	ヘッダ・パターン検出 .....	998
18.3.6.2	データ0パターン検出 .....	998
18.3.6.3	データ1パターン検出 .....	999
18.3.6.4	特殊データ・パターン検出 .....	999
18.3.6.5	パターン設定レジスタの設定例 .....	1000
18.3.6.6	パターン検出によるステータスフラグ更新動作 .....	1000
18.3.7	パターン・エンド .....	1002
18.3.8	受信データバッファ .....	1003
18.3.9	コンペア機能 .....	1007
18.3.10	エラーパターン受信 .....	1008
18.3.11	パターン検出時のベース・タイマ値格納 .....	1010
18.3.12	割り込み .....	1011
18.3.13	SNOOZEモード機能 .....	1012
18.4	使用時の注意事項 .....	1016
18.4.1	リモコン信号受信機能の動作開始時のレジスタアクセス .....	1016
18.4.2	レジスタ変更タイミング .....	1016
18.4.3	RIN0入力制御 .....	1016
18.4.4	動作クロックの変更 .....	1016
18.4.5	レジスタ読み出し手順 .....	1017

19.	データ・トランスファ・コントローラ (DTC)	1018
19.1	DTCの機能	1018
19.2	DTCの構成	1020
19.3	DTCを制御するレジスタ	1021
19.3.1	DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置	1022
19.3.2	コントロール・データの配置	1023
19.3.3	ベクタ・テーブル	1025
19.3.4	周辺イネーブル・レジスタ1 (PER1)	1027
19.3.5	DTC制御レジスタj (DTCCRj) (j = 0-23)	1028
19.3.6	DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0-23)	1030
19.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0-23)	1031
19.3.8	DTC転送回数リロード・レジスタj (DTRLDj) (j = 0-23)	1031
19.3.9	DTCソース・アドレス・レジスタj (DTSARj) (j = 0-23)	1032
19.3.10	DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23)	1032
19.3.11	DTC起動許可レジスタi (DTCENi) (i = 0-4)	1033
19.3.12	DTCベース・アドレス・レジスタ (DTCBAR)	1036
19.4	DTCの動作	1037
19.4.1	起動要因	1038
19.4.2	ノーマル・モード	1039
19.4.3	リピート・モード	1042
19.4.4	チェイン転送	1046
19.5	DTC使用時の注意事項	1048
19.5.1	DTCのコントロール・データおよびベクタ・テーブルの設定	1048
19.5.2	DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置	1048
19.5.3	DTC保留命令	1049
19.5.4	データ・フラッシュ空間にアクセスする場合の動作	1049
19.5.5	DTC実行クロック数	1050
19.5.6	DTC応答時間	1051
19.5.7	DTC起動要因	1051
19.5.8	スタンバイ・モード時の動作	1052
20.	ロジック&イベント・リンク・コントローラ (ELCL)	1053
20.1	ELCLの機能	1053
20.2	ELCLの構成	1053
20.3	ELCLを制御するレジスタ	1063
20.3.1	入力信号選択レジスタn (ELISELn) (n = 0-11)	1064
20.3.2	イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 0-3)	1069
20.3.3	イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 4, 5)	1070
20.3.4	イベント・リンクL1信号選択レジスタ6 (ELL1SEL6)	1071
20.3.5	論理セルブロックL1制御レジスタ (ELL1CTL)	1072
20.3.6	イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 0-3)	1073
20.3.7	イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 4, 5)	1074
20.3.8	イベント・リンクL1出力選択レジスタ6 (ELL1LNK6)	1075
20.3.9	イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 0-3)	1076
20.3.10	イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 4, 5)	1078
20.3.11	イベント・リンクL2信号選択レジスタ6 (ELL2SEL6)	1079
20.3.12	論理セルブロックL2制御レジスタ (ELL2CTL)	1080
20.3.13	イベント・リンクL2出力選択レジスタn (ELL2LNKn) (n = 0-3)	1081
20.3.14	イベント・リンクL2出力選択レジスタn (ELL2LNKn) (n = 4, 5)	1082

20.3.15	イベント・リンクL2出力選択レジスタ6 (ELL2LNK6)	1083
20.3.16	イベント・リンクL3信号選択レジスタn (ELL3SELn) (n = 0-3)	1084
20.3.17	イベント・リンクL3信号選択レジスタn (ELL3SELn) (n = 4, 5)	1086
20.3.18	イベント・リンクL3信号選択レジスタ6 (ELL3SEL6)	1087
20.3.19	論理セルフブロックL3制御レジスタ (ELL3CTL)	1088
20.3.20	イベント・リンクL3出力選択レジスタn (ELL3LNKn) (n = 0-3)	1089
20.3.21	イベント・リンクL3出力選択レジスタn (ELL3LNKn) (n = 4, 5)	1090
20.3.22	イベント・リンクL3出力選択レジスタ6 (ELL3LNK6)	1091
20.3.23	出力信号選択レジスタn (ELOSELn) (n = 0-7)	1092
20.3.24	出力信号イネーブル設定レジスタ (ELOENCTL)	1094
20.3.25	出力信号モニタレジスタ (ELOMONI)	1096
20.3.26	ロジック&イベント・リンク・コントローラ入出力と端子を兼用するポートの ポート機能を制御するレジスタ	1096
20.4	ELCLの動作	1097
20.5	ELCLの設定手順	1098
20.6	ELCL使用時の注意事項	1101
21.	割り込み機能	1102
21.1	割り込み機能の種類	1102
21.2	割り込み要因と構成	1102
21.3	割り込み機能を制御するレジスタ	1109
21.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)	1114
21.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)	1117
21.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)	1119
21.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)、 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)	1123
21.3.5	プログラム・ステータス・ワード (PSW)	1125
21.3.6	割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ	1126
21.4	割り込み処理動作	1127
21.4.1	マスカブル割り込み要求の受け付け動作	1127
21.4.2	ソフトウェア割り込み要求の受け付け動作	1130
21.4.3	多重割り込み処理	1130
21.4.4	割り込み要求の保留	1134
22.	キー割り込み機能	1135
22.1	キー割り込みの機能	1135
22.2	キー割り込みの構成	1135
22.3	キー割り込みを制御するレジスタ	1137
22.3.1	キー・リターン・コントロール・レジスタ (KRCTL)	1137
22.3.2	キー・リターン・モード・レジスタ0 (KRM0)	1138
22.3.3	キー・リターン・フラグ・レジスタ (KRF)	1139
22.3.4	キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ	1139
23.	スタンバイ機能	1140
23.1	スタンバイ機能	1140

23.2	スタンバイ機能を制御するレジスタ .....	1141
23.2.1	スタンバイ・モード解除設定レジスタ (WKUPMD) .....	1142
23.2.2	メモリ電力削減制御レジスタ (PSMCR) .....	1143
23.3	スタンバイ機能の動作 .....	1145
23.3.1	HALTモード .....	1145
23.3.2	STOPモード .....	1151
23.3.3	SNOOZEモード .....	1157
24.	リセット機能 .....	1161
24.1	リセット動作のタイミング .....	1163
24.2	リセット要因を確認するレジスタ .....	1167
24.2.1	リセット・コントロール・フラグ・レジスタ (RESF) .....	1167
24.2.2	パワーオン・リセット・ステータス・レジスタ (PORSR) .....	1170
24.2.3	周辺リセット制御レジスタ0 (PRR0) .....	1171
24.2.4	周辺リセット制御レジスタ1 (PRR1) .....	1172
25.	パワーオン・リセット回路 (POR) .....	1174
25.1	パワーオン・リセット回路の機能 .....	1174
25.2	パワーオン・リセット回路の構成 .....	1175
25.3	パワーオン・リセット回路の動作 .....	1175
26.	電圧検出回路 (LVD) .....	1178
26.1	電圧検出回路の機能 .....	1178
26.2	電圧検出回路の構成 .....	1179
26.3	電圧検出回路を制御するレジスタ .....	1179
26.3.1	電圧検出レジスタ (LVIM) .....	1180
26.3.2	LVD検出フラグ・クリア・レジスタ (LVDFCLR) .....	1181
26.3.3	電圧検出レベル・レジスタ (LVIS) .....	1182
26.4	電圧検出回路の動作 .....	1184
26.4.1	リセット・モードとして使用する場合の設定 .....	1184
26.4.2	割り込みモードとして使用する場合の設定 .....	1187
26.5	電圧検出回路使用時の注意事項 .....	1190
27.	安全機能 .....	1193
27.1	安全機能の概要 .....	1193
27.2	安全機能で使用するレジスタ .....	1194
27.3	安全機能の動作 .....	1194
27.3.1	フラッシュ・メモリCRC演算機能 (高速CRC) .....	1194
27.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL) .....	1195
27.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) .....	1197
27.3.2	CRC演算機能 (汎用CRC) .....	1199
27.3.2.1	CRC入力レジスタ (CRCIN) .....	1199
27.3.2.2	CRCデータ・レジスタ (CRCD) .....	1200
27.3.3	フラッシュ・メモリ・ガード機能 .....	1201
27.3.3.1	コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0) .....	1201
27.3.3.2	データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1) .....	1202
27.3.3.3	フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2) .....	1203
27.3.4	RAMパリティ・エラー検出機能 .....	1204
27.3.4.1	RAMパリティ・エラー制御レジスタ (RPECTL) .....	1204

27.3.5	RAMガード機能	1206
27.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1206
27.3.6	SFRガード機能	1207
27.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1207
27.3.7	不正メモリ・アクセス検出機能	1208
27.3.7.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1209
27.3.8	不正メモリ・アクセス検出制御レジスタのガード機能	1210
27.3.8.1	IAWCTL レジスタ・ガードレジスタ (GIAWCTL)	1210
27.3.9	周波数検出機能	1211
27.3.9.1	タイマ入力選択レジスタ 0 (TIS0)	1212
27.3.10	A/Dテスト機能	1213
27.3.10.1	A/D テスト・レジスタ (ADTES)	1215
27.3.10.2	アナログ入力チャネル指定レジスタ (ADS)	1216
27.3.11	入出力端子のデジタル出力信号レベル検出機能	1218
27.3.11.1	ポート・モード選択レジスタ (PMS)	1218
27.3.12	UARTループバック機能	1219
27.3.12.1	UART ループバック選択レジスタ (ULBS)	1219
28.	セキュリティ機能	1221
28.1	真性乱数発生器	1221
28.1.1	真性乱数発生器の機能	1221
28.1.2	真性乱数発生器を制御するレジスタ	1221
28.1.2.1	乱数シード・コマンド・レジスタ 0 (TRNGSCR0)	1222
28.1.2.2	乱数シード・データ・レジスタ (TRNGSDR)	1223
28.1.3	真性乱数発生器の動作	1224
28.2	フラッシュ・リード・プロテクション	1225
28.2.1	フラッシュ・リード・プロテクションの機能	1225
28.2.2	フラッシュ・リード・プロテクションの設定	1225
28.2.3	動作説明	1227
28.3	ユニークID	1228
28.3.1	ユニークIDの機能	1228
28.3.2	製品名のアスキー・コード	1228
29.	SNOOZEモード・シーケンサ (SMS)	1230
29.1	SNOOZEモード・シーケンサの機能	1230
29.2	SNOOZEモード・シーケンサの構成	1231
29.3	SNOOZEモード・シーケンサを制御するレジスタ	1232
29.3.1	周辺イネーブル・レジスタ 1 (PER1)	1232
29.3.2	周辺リセット制御レジスタ 1 (PRR1)	1233
29.3.3	シーケンサ・インストラクション・レジスタ p (SMSIp) (p = 0-31)	1234
29.3.4	シーケンサ汎用レジスタ n (SMSGn) (n = 0-15)	1237
29.3.5	シーケンサ制御レジスタ (SMSC)	1239
29.3.6	シーケンサ・ステータス・レジスタ (SMSS)	1241
29.4	SNOOZEモード・シーケンサの動作	1242
29.4.1	SNOOZEモード・シーケンサの内部の動作	1242
29.4.2	シーケンサのメモリ空間	1243
29.4.3	シーケンサ・フラグ	1245
29.4.4	SNOOZEモード・シーケンサの割り込み	1245
29.4.5	SNOOZEモード・シーケンサの操作手順	1246

29.4.6	SNOOZEモード・シーケンサの状態 .....	1248
29.5	シーケンサ処理コマンド .....	1249
29.5.1	8ビット・データ転送処理1 .....	1250
29.5.2	8ビット・データ転送処理2 .....	1251
29.5.3	16ビット・データ転送処理1 .....	1252
29.5.4	16ビット・データ転送処理2 .....	1253
29.5.5	1ビット・データ・セット処理 .....	1254
29.5.6	1ビット・データ・クリア処理 .....	1255
29.5.7	1ビット・データ転送処理 .....	1256
29.5.8	ワード・データ加算処理 .....	1257
29.5.9	ワード・データ減算処理 .....	1258
29.5.10	ワード・データ比較処理 .....	1259
29.5.11	右方向論理シフト処理 .....	1260
29.5.12	分岐処理1 (SCY = 1) .....	1261
29.5.13	分岐処理2 (SCY = 0) .....	1262
29.5.14	分岐処理3 (SZ = 1) .....	1263
29.5.15	分岐処理4 (SZ = 0) .....	1264
29.5.16	ウェイト処理 .....	1265
29.5.17	条件付きウェイト処理1 (bit = 1) .....	1267
29.5.18	条件付きウェイト処理2 (bit = 0) .....	1268
29.5.19	終了処理 .....	1269
29.5.20	DTC起動処理 .....	1270
29.6	スタンバイ・モード時の動作 .....	1271
30.	静電容量センサユニット (CTS2L) .....	1272
30.1	概要 .....	1274
30.2	静電容量センサユニットを制御するレジスタ .....	1276
30.2.1	周辺イネーブル・レジスタ1 (PER1) .....	1277
30.2.2	周辺リセット制御レジスタ1 (PRR1) .....	1278
30.2.3	CTS2L制御レジスタAL, AH (CTS2LAL, CTS2LAH) .....	1279
30.2.4	CTS2L制御レジスタBL, BH (CTS2LBL, CTS2LBH) .....	1286
30.2.5	CTS2L計測チャンネルレジスタL, H (CTS2LCHL, CTS2LCHH) .....	1289
30.2.6	CTS2Lチャンネル有効制御レジスタAL, AH, BL, BH (CTS2LACHAL, CTS2LACHAH, CTS2LACHBL, CTS2LACHBH) .....	1291
30.2.7	CTS2Lチャンネル送受信制御レジスタAL, AH, BL, BH (CTS2LACHTRCAL, CTS2LACHTRCAH, CTS2LACHTRCBL, CTS2LACHTRCBH) .....	1293
30.2.8	CTS2LステータスレジスタL (CTS2LSRL) .....	1295
30.2.9	CTS2Lセンサオフセットレジスタ0, 1 (CTS2LSO0, CTS2LSO1) .....	1297
30.2.10	CTS2LセンサカウンタレジスタL, H (CTS2LUSC, CTS2LUUC) .....	1299
30.2.11	CTS2LキャリブレーションレジスタL, H (CTS2LDBGR0, CTS2LDBGR1) .....	1300
30.2.12	CTS2Lセンサユニットクロック制御レジスタAL, AH, BL, BH (CTS2LSUCLK0, CTS2LSUCLK1, CTS2LSUCLK2, CTS2LSUCLK3) .....	1303
30.2.13	CTS2LトリミングレジスタAL, AH (CTS2LUTRIM0, CTS2LUTRIM1) .....	1305
30.2.14	CTS2LトリミングレジスタBL, BH (CTS2LUTRIM2, CTS2LUTRIM3) .....	1307
30.2.15	静電容量センサ入出力と端子を兼用するポートのポート機能を制御する レジスタ .....	1308
30.3	静電容量センサユニット使用時の注意事項 .....	1309

31.	レギュレータ .....	1310
31.1	レギュレータの概要 .....	1310
32.	オプション・バイト .....	1311
32.1	オプション・バイトの機能 .....	1311
32.1.1	ユーザ・オプション・バイト (000C0H-000C2H/040C0H-040C2H) .....	1311
32.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/040C3H) .....	1312
32.2	ユーザ・オプション・バイトのフォーマット .....	1313
32.3	オンチップ・デバッグ・オプション・バイトのフォーマット .....	1317
32.4	オプション・バイトの設定 .....	1318
33.	フラッシュ・メモリ .....	1319
33.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング .....	1320
33.1.1	プログラミング環境 .....	1322
33.1.2	通信方式 .....	1322
33.2	外部デバイス (UART内蔵) によるシリアル・プログラミング .....	1323
33.2.1	プログラミング環境 .....	1323
33.2.2	通信方式 .....	1324
33.3	オンボード上の端子処理 .....	1325
33.3.1	P40/TOOL0端子 .....	1325
33.3.2	RESET端子 .....	1326
33.3.3	ポート端子 .....	1327
33.3.4	REGC端子 .....	1327
33.3.5	電源 .....	1327
33.4	プログラミング方法 .....	1328
33.4.1	シリアル・プログラミング手順 .....	1328
33.4.2	フラッシュ・メモリ・プログラミング・モード .....	1329
33.4.3	通信方式 .....	1330
33.4.4	通信コマンド .....	1331
33.5	専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値) .....	1333
33.6	セルフ・プログラミング .....	1334
33.6.1	セルフ・プログラミング手順 .....	1335
33.6.2	フラッシュ・メモリを制御するレジスタ .....	1336
33.6.2.1	フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) .....	1337
33.6.2.2	フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL) .....	1338
33.6.2.3	フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL) .....	1340
33.6.2.4	フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) .....	1341
33.6.2.5	フラッシュ・ステータス・レジスタ (PFS) .....	1342
33.6.2.6	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) .....	1343
33.6.2.7	フラッシュ領域選択レジスタ (FLARS) .....	1344
33.6.2.8	フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) .....	1345
33.6.2.9	フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ) .....	1347
33.6.2.10	フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) .....	1349
33.6.2.11	フラッシュ・レジスタ初期化レジスタ (FLRST) .....	1351
33.6.2.12	フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) .....	1352
33.6.2.13	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) .....	1354
33.6.2.14	フラッシュ FSW モニタ・レジスタ E (FLFSWE) .....	1355

33.6.2.15	フラッシュ FSW モニタ・レジスタ S (FLFSWS)	1356
33.6.2.16	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	1357
33.6.2.17	割り込みベクタ移動許可レジスタ (VECTCTRL)	1358
33.6.2.18	割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1)	1359
33.6.3	フラッシュ・メモリ制御モードの設定	1360
33.6.3.1	特定シーケンス実行手順	1360
33.6.3.2	コード・フラッシュ・プログラミング・モード移行手順	1361
33.6.3.3	データ・フラッシュ・プログラミング・モード移行手順	1361
33.6.3.4	非書き換えモード移行手順	1361
33.6.4	フラッシュ・メモリ・シーケンサ用レジスタの初期化	1362
33.6.5	フラッシュ・メモリ・シーケンサの動作周波数設定	1362
33.6.6	フラッシュ・メモリの書き換え	1363
33.6.6.1	概要	1363
33.6.6.2	書き換え領域の選択	1363
33.6.6.3	コード/データ・フラッシュ領域シーケンサ・コマンド	1363
33.6.6.4	コード・フラッシュ領域書き換えの操作	1364
33.6.6.5	データ・フラッシュ領域書き換えの操作	1366
33.6.6.6	エクストラ領域シーケンサ・コマンド	1368
33.6.6.7	エクストラ領域の書き換えの操作	1368
33.6.6.8	エクストラ領域シーケンサのコマンドの設定データ	1369
33.6.6.9	フラッシュ・メモリ・シーケンサのコマンドの終了判定手順	1373
33.6.6.10	コード/データ・フラッシュ領域シーケンサのコマンドの強制終了手順	1373
33.6.7	コード・フラッシュ・プログラミング・モード中の割り込み	1374
33.6.7.1	概要	1374
33.6.7.2	割り込み分岐先を変更した場合の動作	1374
33.6.7.3	割り込み分岐先を変更する場合の操作	1375
33.6.8	フラッシュ領域書き換え時のコマンドの実行例	1376
33.6.8.1	コード・フラッシュ領域書き換え時のコマンド実行例	1376
33.6.8.2	データ・フラッシュ領域書き換え時のコマンド実行例	1377
33.6.8.3	エクストラ領域書き換え時のコマンド実行例	1378
33.6.9	セルフ・プログラミング時の注意事項	1379
33.7	ブート・スワップ機能	1380
33.8	フラッシュ・シールド・ウィンドウ機能	1382
33.9	セキュリティ設定	1383
33.10	データ・フラッシュ	1386
33.10.1	データ・フラッシュの概要	1386
33.10.2	データ・フラッシュへのアクセス手順	1387
34.	オンチップ・デバッグ機能	1388
34.1	E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続	1388
34.2	外部デバイス (UART 内蔵) との接続	1389
34.3	オンチップ・デバッグのセキュリティ設定	1389
34.4	ユーザ資源の確保	1390
35.	10進補正 (BCD) 回路	1393
35.1	10進補正回路の機能	1393
35.2	10進補正回路で使用するレジスタ	1393
35.2.1	BCD補正結果レジスタ (BCDADJ)	1393
35.3	10進補正回路の動作	1394

36.	命令セットの概要 .....	1396
36.1	凡例 .....	1397
36.1.1	オペランドの表現形式と記述方法 .....	1397
36.1.2	オペレーション欄の説明 .....	1398
36.1.3	フラグ動作欄の説明 .....	1399
36.1.4	PREFIX命令 .....	1399
36.2	オペレーション一覧 .....	1400
37.	電気的特性 .....	1418
37.1	絶対最大定格 .....	1419
37.2	発振回路特性 .....	1421
37.2.1	X1発振回路特性 .....	1421
37.2.2	XT1発振回路特性 .....	1421
37.2.3	オンチップ・オシレータ特性 .....	1422
37.3	DC特性 .....	1423
37.3.1	端子特性 .....	1423
37.3.2	電源電流特性 .....	1431
37.4	AC特性 .....	1453
37.5	周辺機能特性 .....	1459
37.5.1	シリアル・アレイ・ユニット .....	1459
37.5.2	シリアル・インタフェースUARTA .....	1488
37.5.3	シリアル・インタフェースIICA .....	1489
37.6	アナログ特性 .....	1492
37.6.1	A/Dコンバータ特性 .....	1492
37.6.2	温度センサ／内部基準電圧特性 .....	1497
37.6.3	D/Aコンバータ特性 .....	1497
37.6.4	コンパレータ特性 .....	1497
37.6.5	POR回路特性 .....	1498
37.6.6	LVD回路特性 .....	1499
37.6.7	電源電圧立ち上がり特性 .....	1501
37.7	RAMデータ保持特性 .....	1502
37.8	フラッシュ・メモリ・プログラミング特性 .....	1502
37.9	専用フラッシュ・メモリ・プログラマ通信 (UART) .....	1504
37.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング .....	1504
38.	外形図 .....	1505
38.1	30ピン製品 .....	1505
38.2	32ピン製品 .....	1506
38.3	36ピン製品 .....	1509
38.4	40ピン製品 .....	1510
38.5	44ピン製品 .....	1511
38.6	48ピン製品 .....	1513
38.7	52ピン製品 .....	1516
38.8	64ピン製品 .....	1517
38.9	80ピン製品 .....	1521
38.10	100ピン製品 .....	1523
38.11	128ピン製品 .....	1525

付録A	改版履歴 .....	1526
A.1	本版で改訂された主な箇所 .....	1526
A.2	前版までの改版履歴 .....	1529

## 第1章 概 説

### 1.1 特徴

#### 超低消費電力テクノロジー

- VDD = 1.6 ~ 5.5 Vの単一電源
- HALTモード
- STOPモード  
STOPモードから高速ウェイクアップ可能
- SNOOZEモード

#### RL78 CPU コア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.03125  $\mu$ s：高速オンチップ・オシレータ・クロック32 MHz動作時）から超低速（30.5  $\mu$ s：サブシステム・クロック32.768 kHz動作時）までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ  $\times$  8  $\times$  4バンク
- 内蔵RAM：12 ~ 48 KB

#### コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：96 ~ 768 KB
- ブロック・サイズ：2 KB
- ブロック消去禁止、書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング：ブート・スワップ機能とフラッシュ・シールド・ウィンドウ機能あり

#### データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：8 KB
- バックグラウンド・オペレーション（BGO）：データ・フラッシュ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回（Typ.）

#### 高速オンチップ・オシレータ

- 32 MHz / 24 MHz / 16 MHz / 12 MHz / 8 MHz / 6 MHz / 4 MHz / 3 MHz / 2 MHz / 1 MHzから選択
- 高精度 $\pm$ 1.0%（VDD = 1.8 ~ 5.5 V、TA = -20 ~ +85°C）

**中速オンチップ・オシレータ**

- 4 MHz／2 MHz／1 MHzから選択（補正可能）

**低速オンチップ・オシレータ**

- 32.768 kHz（Typ.）（補正可能）

**動作温度範囲**

- TA = -40 ~ +85°C（2D：民生用途）
- TA = -40 ~ +105°C（3C：産業用途）

**電源管理とリセット機能**

- パワーオン・リセット（POR）回路内蔵
- 電圧検出（LVD0, LVD1）回路内蔵

**データ・トランスファ・コントローラ（DTC）**

- 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード
- 起動要因：割り込み要因により起動
- チェイン転送機能あり

**SNOOZE モード・シーケンサ（SMS）**

- シーケンサ処理コマンドによる演算処理や値比較処理によって、通常動作に復帰しない間欠動作を実現可能
- 21種類の処理から合計で32個の処理を選択して順次に実行可能
- CPUやフラッシュ・メモリ、RAMを使用せずに低消費電力で動作可能

**ロジック&イベント・リンク・コントローラ（ELCL）**

- イベント信号を特定の周辺機能へリンク可能
- 複数のイベント信号を論理回路へ入力することで信号生成が可能
- フリップ・フロップ回路（セット／リセット機能付き）を内蔵

**シリアル・インタフェース**

- 簡易SPI（CSI<sup>注</sup>） : 3 ~ 8 チャンネル
- UART／UART（LIN-bus対応）／UARTA : 3 ~ 6 チャンネル
- I<sup>2</sup>C／簡易I<sup>2</sup>C : 4 ~ 10 チャンネル

**リモコン信号受信機能**

- 1チャンネル
- 4パターンの波形マッチング（ヘッダ、データ0、データ1、特殊データ判別）

**タイマ**

- 16ビット・タイマ : 8 ~ 16 チャンネル
- 32ビット・インターバル・タイマ : 32ビット・カウント・モード時 : 1 チャンネル  
16ビット・カウント・モード時 : 2 チャンネル  
8ビット・カウント・モード時 : 4 チャンネル
- リアルタイム・クロック : 1 チャンネル（99年カレンダー、アラーム機能、時計補正機能）
- ウォッチドッグ・タイマ : 1 チャンネル（専用の低速オンチップ・オシレータ・クロックで動作可能）

**注** 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

#### A/D コンバータ

- 8/10/12ビット分解能A/Dコンバータ
- アナログ入力：8～26チャンネル
- 内部基準電圧（1.48 V）と温度センサを搭載

#### D/A コンバータ

- 8ビット分解能D/Aコンバータ
- アナログ出力：2チャンネル
- 出力電圧：0 V～V<sub>DD</sub>
- リアルタイム出力機能を搭載

#### コンパレータ

- 2チャンネル
- 動作モード：コンパレータ高速モード、コンパレータ低速モード
- 基準電圧は外部基準電圧と内部基準電圧、D/Aコンバータ出力から選択が可能

#### 静電容量式タッチセンサ

- CTSU2L動作電圧条件：V<sub>DD</sub> = 1.8～5.5 V
- 自己容量方式：1端子1キー構成で最大32キーに対応
- 相互容量方式：8×8のマトリクス構成により推奨として最大64キーに対応

#### 入出力ポート

- I/Oポート：26～120本
  - N-ch オープン・ドレイン出力/入力 [6V 耐圧]：2～4本、
  - N-ch オープン・ドレイン出力/入力 [V<sub>DD</sub> 耐圧<sup>注1</sup> / EV<sub>DD</sub> 耐圧<sup>注2</sup>]：10～33本、
  - 出力電流制御ポート：6～8本
- N-ch オープン・ドレイン、TTL入力バッファ、内蔵プルアップの切り替え可能
- 異電位（1.8/2.5/3 V系）動作デバイスと接続可能

#### その他

- キー割り込み機能
- クロック出力/ブザー出力制御回路
- 10進補正（BCD）回路

**注1.** 30～52ピン製品

**注2.** 64～128ピン製品

**備考** 製品によって、搭載している機能が異なります。**1.6 機能概要**を参照してください。

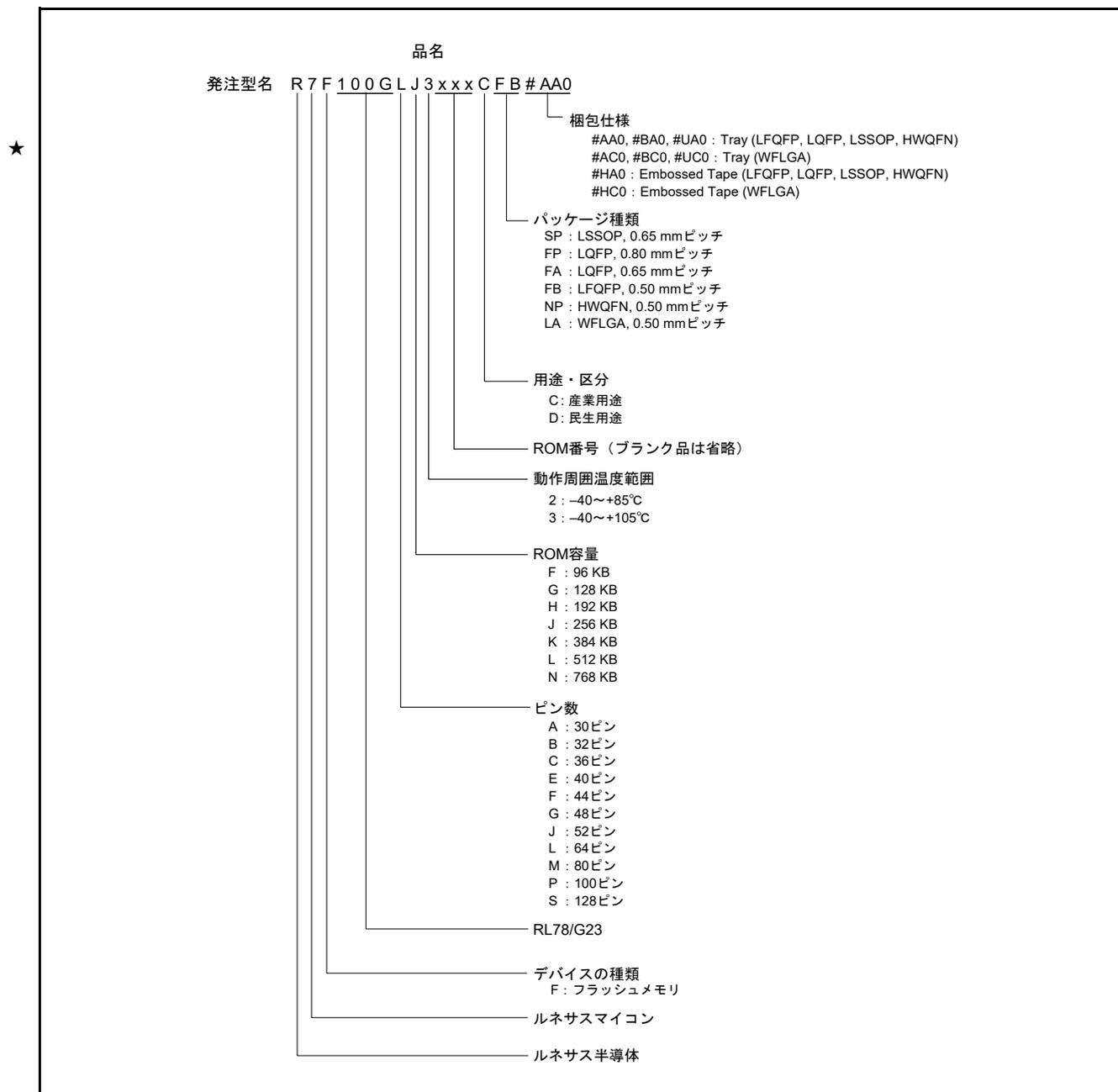
## ○ ROM, RAM 容量

フラッシュ ROM	データ・ フラッシュ	RAM	RL78/G23					
			30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
768 KB	8 KB	48 KB	—	—	—	—	R7F100GFN	R7F100GGN
512 KB	8 KB	48 KB	—	—	—	—	R7F100GFL	R7F100GGL
384 KB	8 KB	32 KB	—	—	—	—	R7F100GFK	R7F100GGK
256 KB	8 KB	24 KB	R7F100GAJ	R7F100GBJ	R7F100GCJ	R7F100GEJ	R7F100GFJ	R7F100GGJ
192 KB	8 KB	20 KB	R7F100GAH	R7F100GBH	R7F100GCH	R7F100GEH	R7F100GFH	R7F100GGH
128 KB	8 KB	16 KB	R7F100GAG	R7F100GBG	R7F100GCG	R7F100GEG	R7F100GFG	R7F100GGG
96 KB	8 KB	12 KB	R7F100GAF	R7F100GBF	R7F100GCF	R7F100GEF	R7F100GFF	R7F100GGF

フラッシュ ROM	データ・ フラッシュ	RAM	RL78/G23				
			52ピン	64ピン	80ピン	100ピン	128ピン
768 KB	8 KB	48 KB	R7F100GJN	R7F100GLN	R7F100GMN	R7F100GPN	R7F100GSN
512 KB	8 KB	48 KB	R7F100GJL	R7F100GLL	R7F100GML	R7F100GPL	R7F100GSL
384 KB	8 KB	32 KB	R7F100GJK	R7F100GLK	R7F100GMK	R7F100GPK	R7F100GSK
256 KB	8 KB	24 KB	R7F100GJJ	R7F100GLJ	R7F100GMJ	R7F100GPJ	R7F100GSJ
192 KB	8 KB	20 KB	R7F100GJH	R7F100GLH	R7F100GMH	R7F100GPH	—
128 KB	8 KB	16 KB	R7F100GJG	R7F100GLG	R7F100GMG	R7F100GPG	—
96 KB	8 KB	12 KB	R7F100GJF	R7F100GLF	—	—	—

## 1.2 型名一覧

図1-1 RL78/G23の型名とメモリ・サイズ、パッケージ



★ 表1-1 発注型名一覧 (1/3)

ピン数	パッケージ	用途・ 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
30ピン	30ピン・プラスチックLSSOP (7.62 mm (300)、0.65 mmピッチ)	C	R7F100GAF3CSP, R7F100GAG3CSP, R7F100GAH3CSP, R7F100GAJ3CSP	#AA0, #BA0, #UA0, #HA0	PLSP0030JB-B
		D	R7F100GAF2DSP, R7F100GAG2DSP, R7F100GAH2DSP, R7F100GAJ2DSP		
32ピン	32ピン・プラスチックHWQFN (5 × 5 mm、0.50 mmピッチ)	C	R7F100GBF3CNP, R7F100GBG3CNP, R7F100GBH3CNP, R7F100GBJ3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0032KE-A
		D	R7F100GBF2DNP, R7F100GBG2DNP, R7F100GBH2DNP, R7F100GBJ2DNP		
	32ピン・プラスチックLQFP (7 × 7 mm、0.80 mmピッチ)	C	R7F100GBF3CFP, R7F100GBG3CFP, R7F100GBH3CFP, R7F100GBJ3CFP	#AA0, #BA0, #UA0, #HA0	PLQP0032GB-A, PLQP0032GE-A
		D	R7F100GBF2DFP, R7F100GBG2DFP, R7F100GBH2DFP, R7F100GBJ2DFP		
36ピン	36ピン・プラスチックWFLGA (4 × 4 mm、0.50 mmピッチ)	C	R7F100GCF3CLA, R7F100GCG3CLA, R7F100GCH3CLA, R7F100GCJ3CLA	#AC0, #BC0, #UC0, #HC0	PWLG0036KB-A
		D	R7F100GCF2DLA, R7F100GCG2DLA, R7F100GCH2DLA, R7F100GCJ2DLA		
40ピン	40ピン・プラスチックHWQFN (6 × 6 mm、0.50 mmピッチ)	C	R7F100GEF3CNP, R7F100GEG3CNP, R7F100GEH3CNP, R7F100GEJ3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0040KD-A
		D	R7F100GEF2DNP, R7F100GEG2DNP, R7F100GEH2DNP, R7F100GEJ2DNP		
44ピン	44ピン・プラスチックLQFP (10 × 10 mm、0.80 mmピッチ)	C	R7F100GFF3CFP, R7F100GFG3CFP, R7F100GFH3CFP, R7F100GFJ3CFP, R7F100GFK3CFP, R7F100GFL3CFP, R7F100GFN3CFP	#AA0, #BA0, #UA0, #HA0	PLQP0044GC-A, PLQP0044GE-A
		D	R7F100GFF2DFP, R7F100GFG2DFP, R7F100GFH2DFP, R7F100GFJ2DFP, R7F100GFK2DFP, R7F100GFL2DFP, R7F100GFN2DFP		
48ピン	48ピン・プラスチックLFQFP (7 × 7 mm、0.50 mmピッチ)	C	R7F100GGF3CFB, R7F100GGG3CFB, R7F100GGH3CFB, R7F100GGJ3CFB, R7F100GGK3CFB, R7F100GGL3CFB, R7F100GGN3CFB	#AA0, #BA0, #UA0, #HA0	PLQP0048KB-B, PLQP0048KL-A
		D	R7F100GGF2DFB, R7F100GGG2DFB, R7F100GGH2DFB, R7F100GGJ2DFB, R7F100GGK2DFB, R7F100GGL2DFB, R7F100GGN2DFB		
	48ピン・プラスチックHWQFN (7 × 7 mm、0.50 mmピッチ)	C	R7F100GGF3CNP, R7F100GGG3CNP, R7F100GGH3CNP, R7F100GGJ3CNP, R7F100GGK3CNP, R7F100GGL3CNP, R7F100GGN3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0048KC-A
		D	R7F100GGF2DNP, R7F100GGG2DNP, R7F100GGH2DNP, R7F100GGJ2DNP, R7F100GGK2DNP, R7F100GGL2DNP, R7F100GGN2DNP		

★ 表1 - 1 発注型名一覧 (2/3)

ピン数	パッケージ	用途・ 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
52ピン	52ピン・プラスチックLQFP (10×10mm、0.65mmピッチ)	C	R7F100GJF3CFA, R7F100GJG3CFA, R7F100GJH3CFA, R7F100GJJ3CFA, R7F100GJK3CFA, R7F100GJL3CFA, R7F100GJN3CFA	#AA0, #BA0, #UA0, #HA0	PLQP0052JA-A
		D	R7F100GJF2DFA, R7F100GJG2DFA, R7F100GJH2DFA, R7F100GJJ2DFA, R7F100GJK2DFA, R7F100GJL2DFA, R7F100GJN2DFA		
64ピン	64ピン・プラスチックLQFP (12×12mm、0.65mmピッチ)	C	R7F100GLF3CFA, R7F100GLG3CFA, R7F100GLH3CFA, R7F100GLJ3CFA, R7F100GLK3CFA, R7F100GLL3CFA, R7F100GLN3CFA	#AA0, #BA0, #UA0, #HA0	PLQP0064JA-A
		D	R7F100GLF2DFA, R7F100GLG2DFA, R7F100GLH2DFA, R7F100GLJ2DFA, R7F100GLK2DFA, R7F100GLL2DFA, R7F100GLN2DFA		
	64ピン・プラスチックLFQFP (10×10mm、0.50mmピッチ)	C	R7F100GLF3CFB, R7F100GLG3CFB, R7F100GLH3CFB, R7F100GLJ3CFB, R7F100GLK3CFB, R7F100GLL3CFB, R7F100GLN3CFB	#AA0, #BA0, #UA0, #HA0	PLQP0064KB-C, PLQP0064KL-A
		D	R7F100GLF2DFB, R7F100GLG2DFB, R7F100GLH2DFB, R7F100GLJ2DFB, R7F100GLK2DFB, R7F100GLL2DFB, R7F100GLN2DFB		
	64ピン・プラスチックWFLGA (5×5mm、0.50mmピッチ)	C	R7F100GLF3CLA, R7F100GLG3CLA, R7F100GLH3CLA, R7F100GLJ3CLA, R7F100GLK3CLA, R7F100GLL3CLA, R7F100GLN3CLA	#AC0, #BC0, #UC0, #HC0	PWL0064KB-A
		D	R7F100GLF2DLA, R7F100GLG2DLA, R7F100GLH2DLA, R7F100GLJ2DLA, R7F100GLK2DLA, R7F100GLL2DLA, R7F100GLN2DLA		
80ピン	80ピン・プラスチックLQFP (14×14mm、0.65mmピッチ)	C	R7F100GMG3CFA, R7F100GMH3CFA, R7F100GMJ3CFA, R7F100GMK3CFA, R7F100GML3CFA, R7F100GMN3CFA	#AA0, #BA0, #UA0, #HA0	PLQP0080JA-B
		D	R7F100GMG2DFA, R7F100GMH2DFA, R7F100GMJ2DFA, R7F100GMK2DFA, R7F100GML2DFA, R7F100GMN2DFA		
	80ピン・プラスチックLFQFP (12×12mm、0.50mmピッチ)	C	R7F100GMG3CFB, R7F100GMH3CFB, R7F100GMJ3CFB, R7F100GMK3CFB, R7F100GML3CFB, R7F100GMN3CFB	#AA0, #BA0, #UA0, #HA0	PLQP0080KB-B
		D	R7F100GMG2DFB, R7F100GMH2DFB, R7F100GMJ2DFB, R7F100GMK2DFB, R7F100GML2DFB, R7F100GMN2DFB		

★ 表1 - 1 発注型名一覧 (3/3)

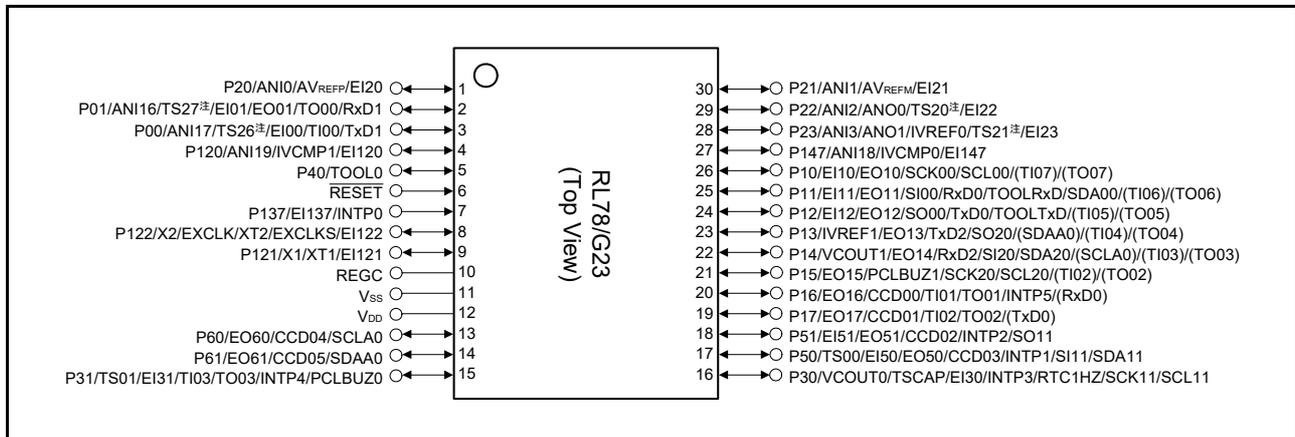
ピン数	パッケージ	用途・ 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
100 ピン	100ピン・プラスチックLFQFP (14 × 14 mm、0.50 mmピッチ)	C	R7F100GPG3CFB, R7F100GPH3CFB, R7F100GPJ3CFB, R7F100GPK3CFB, R7F100GPL3CFB, R7F100GPN3CFB	#AA0, #BA0, #UA0, #HA0	PLQP0100KB-B
		D	R7F100GPG2DFB, R7F100GPH2DFB, R7F100GPJ2DFB, R7F100GPK2DFB, R7F100GPL2DFB, R7F100GPN2DFB		
	100ピン・プラスチックLQFP (14 × 20 mm、0.65 mmピッチ)	C	R7F100GPG3CFA, R7F100GPH3CFA, R7F100GPJ3CFA, R7F100GPK3CFA, R7F100GPL3CFA, R7F100GPN3CFA	#AA0, #BA0, #UA0, #HA0	
		D	R7F100GPG2DFA, R7F100GPH2DFA, R7F100GPJ2DFA, R7F100GPK2DFA, R7F100GPL2DFA, R7F100GPN2DFA		
128 ピン	128ピン・プラスチックLFQFP (14 × 20 mm、0.50 mmピッチ)	C	R7F100GSJ3CFB, R7F100GSK3CFB, R7F100GSL3CFB, R7F100GSN3CFB	#AA0, #BA0, #UA0, #HA0	PLQP0128KD-A
		D	R7F100GSJ2DFB, R7F100GSK2DFB, R7F100GSL2DFB, R7F100GSN2DFB		

注 用途区分は、図1 - 1 RL78/G23の型名とメモリ・サイズ、パッケージを参照してください。

## 1.3 端子接続図 (Top View)

### 1.3.1 30ピン製品

- 30ピン・プラスチックLSSOP (7.62 mm (300)、0.65 mm ピッチ)



**注** コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

**注意** REGC端子はコンデンサ (0.47 ~ 1  $\mu$ F) を介し、V<sub>SS</sub>に接続してください。

**備考1.** 端子名称は、1.4 端子名称を参照してください。

**備考2.** 上図の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

表1 - 2 30ピン製品の兼用機能 (1/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	30LSSOP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS02L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)
1	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
2	P01	-	EI01/ EO01	-	ANI16	-	-	-	-	TS27 <sup>註</sup>	TO00	-	RxD1	-	-	-
3	P00	-	EI00	-	ANI17	-	-	-	-	TS26 <sup>註</sup>	TI00	-	TxD1	-	-	-
4	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-
5	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
6	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
7	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
8	P122	-	EI122	X2/XT2/ EXCLK/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
9	P121	-	EI121	X1/XT1	-	-	-	-	-	-	-	-	-	-	-	-
10	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
11	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
12	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
13	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
14	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
15	P31	-	EI31	PCLBUZ0	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
16	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
17	P50	CCD03	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-
18	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-
19	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(TxD0)	-	-	-
20	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(RxD0)	-	-	-
21	P15	-	EO15	PCLBUZ1	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
22	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
23	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
24	P12	-	EI12/ EO12	TOOLTxD	-	-	-	-	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
25	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-

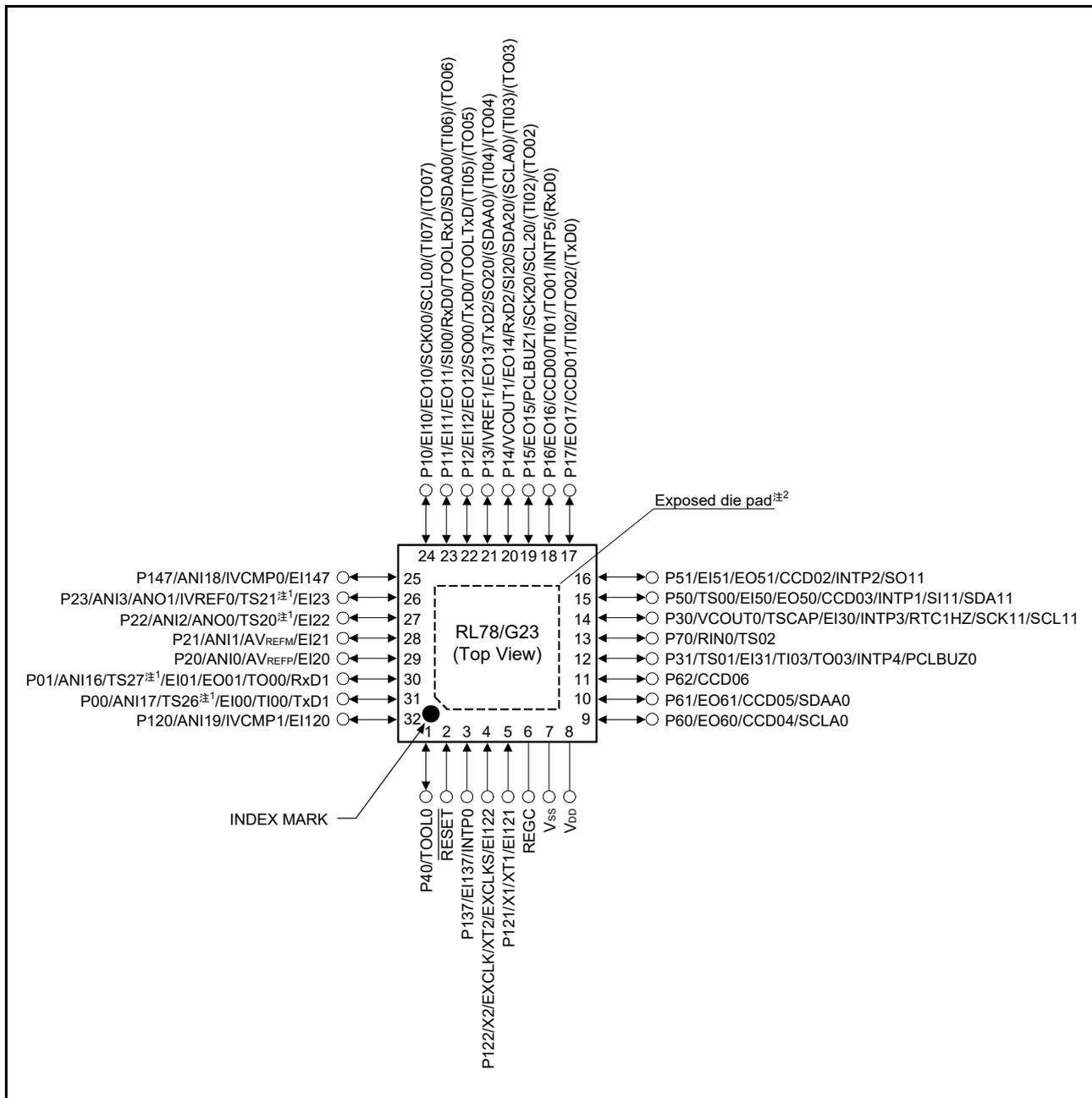
表1 - 2 30ピン製品の兼用機能 (2/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSU2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
26	P10	-	EI10/ EO10	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-	
27	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	
28	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21 <sup>注</sup>	-	-	-	-	-	
29	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20 <sup>注</sup>	-	-	-	-	-	
30	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

### 1.3.2 32ピン製品

- 32ピン・プラスチックHWQFN（5×5 mm、0.50 mmピッチ）
- 32ピン・プラスチックLQFP（7×7 mm、0.80 mmピッチ）



注1. コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注2. 32ピン・プラスチックLQFP（7×7 mm、0.80 mmピッチ）製品にはexposed die padはありません。

注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

備考3. Exposed die padは、Vssに接続することを推奨します。

表1 - 3 32ピン製品の兼用機能 (1/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
32HWQFN, 32LQFP																
1	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
2	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
3	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
4	P122	-	EI122	X2/XT2/ EXCLK/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
5	P121	-	EI121	X1/XT1	-	-	-	-	-	-	-	-	-	-	-	-
6	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
7	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
8	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
9	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
10	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
11	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	-	-	-
12	P31	-	EI31	PCLBUZ0	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
13	P70	-	-	-	-	-	-	-	-	TS02	-	-	-	-	-	RIN0
14	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
15	P50	CCD03	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-
16	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-
17	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(TxD0)	-	-	-
18	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(RxD0)	-	-	-
19	P15	-	EO15	PCLBUZ1	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
20	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
21	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
22	P12	-	EI12/ EO12	TOOLTxD	-	-	-	-	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
23	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
24	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-
25	P147	-	-	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
26	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21 <sup>注</sup>	-	-	-	-	-	-

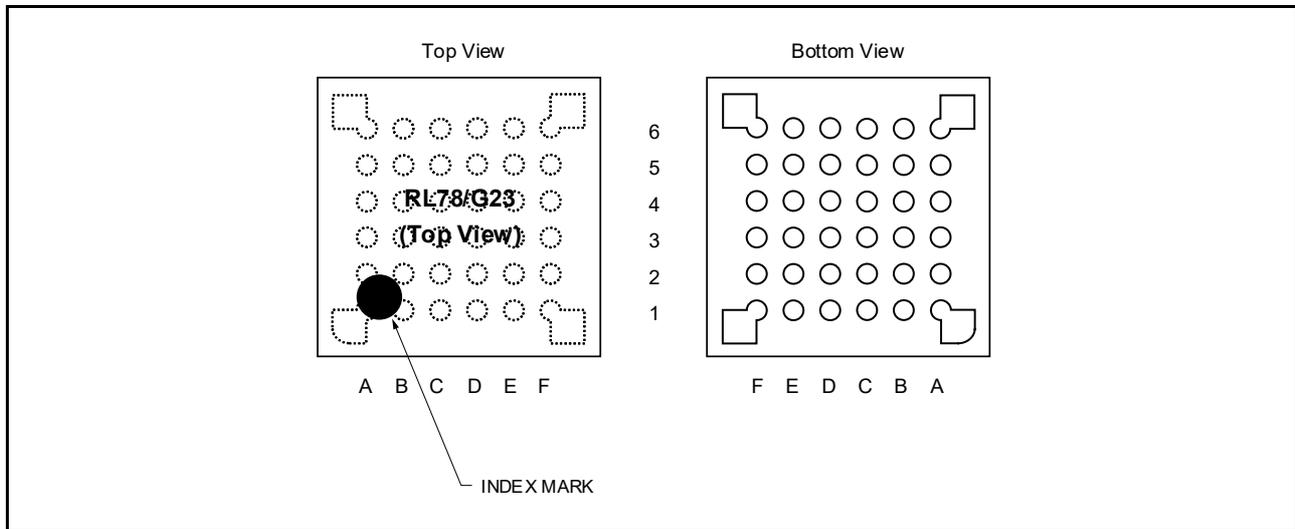
表1 - 3 32ピン製品の兼用機能 (2/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSU2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
32HWQFN, 32LQFP																
27	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20 <sup>注</sup>	-	-	-	-	-	-
28	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
29	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
30	P01	-	EI01/ EO01	-	ANI16	-	-	-	-	TS27 <sup>注</sup>	TO00	-	RxD1	-	-	-
31	P00	-	EI00	-	ANI17	-	-	-	-	TS26 <sup>注</sup>	TI00	-	TxD1	-	-	-
32	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

### 1.3.3 36ピン製品

- 36ピン・プラスチックWFLGA（4×4mm、0.50mmピッチ）



	A	B	C	D	E	F
6	P60/EO60/CCD04/ SCLA0	V <sub>DD</sub>	P121/X1/XT1/EI121	P122/X2/EXCLK/XT2/ EXCLKS/EI122	P137/EI137/INTP0	P40/TOOL0
5	P62/CCD06	P61/EO61/CCD05/ SDAA0	V <sub>SS</sub>	REGC	RESET	P120/ANI19/IVCMP1/ EI120
4	P72/TS04/SO21/ TxDA0	P71/TS03/SI21/ SDA21/RxDA0	P14/VCOUT1/EO14/ RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)	P31/TS01/EI31/TI03/ TO03/INTP4/ PCLBUZ0	P00/TS26注/EI00/ TI00/TxD1	P01/TS27注/EI01/ EO01/TO00/RxD1
3	P50/TS00/EI50/EO50/ CCD03/INTP1/SI11/ SDA11	P70/TS02/RIN0/ SCK21/SCL21	P15/EO15/PCLBUZ1/ SCK20/SCL20/(TI02)/ (TO02)	P22/ANI2/ANO0/ TS20注/EI22	P20/ANI0/AVREFP/ EI20	P21/ANI1/AVREFM/ EI21
2	P30/VCOUT0/TSCAP/ EI30/INTP3/RTC1HZ/ SCK11/SCL11	P16/EO16/CCD00/ TI01/TO01/INTP5/ (RxD0)	P12/EI12/EO12/SO00/ TxD0/TOOLTxD/ (TI05)/(TO05)	P11/EI11/EO11/SI00/ RxD0/TOOLRxD/ SDA00/(TI06)/(TO06)	P24/ANI4/TS22注	P23/ANI3/ANO1/ IVREF0/TS21注/EI23
1	P51/EI51/EO51/ CCD02/INTP2/ SO11	P17/EO17/CCD01/ TI02/TO02(TxD0)	P13/IVREF1/EO13/ TxD2/SO20/(SDAA0)/ (TI04)/(TO04)	P10/EI10/EO10/ SCK00/SCL00/ (TI07)/(TO07)	P147/ANI18/IVCMP0/ EI147	P25/ANI5/TS23注

注 コード・フラッシュ・メモリが128KB以下の製品は非搭載です。

注意 REGC端子はコンデンサ（0.47～1μF）を介し、V<sub>SS</sub>に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

表1 - 4 36ピン製品の兼用機能 (1/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
A1	P51	CCD02	EI51/ EO51	—	—	—	—	INTP2	—	—	—	—	SO11	—	—	—
A2	P30	—	EI30	—	—	—	VCOUT0	INTP3	—	TSCAP	—	RTC1HZ	SCK11/ SCL11	—	—	—
A3	P50	CCD03	EI50/ EO50	—	—	—	—	INTP1	—	TS00	—	—	SI11/ SDA11	—	—	—
A4	P72	—	—	—	—	—	—	—	—	TS04	—	—	SO21	—	TxDA0	—
A5	P62	CCD06	—	—	—	—	—	—	—	—	—	—	—	—	—	—
A6	P60	CCD04	EO60	—	—	—	—	—	—	—	—	—	—	SCLA0	—	—
B1	P17	CCD01	EO17	—	—	—	—	—	—	—	—	—	(TxD0)	—	—	—
B2	P16	CCD00	EO16	—	—	—	—	INTP5	—	—	—	—	(RxD0)	—	—	—
B3	P70	—	—	—	—	—	—	—	—	TS02	—	—	SCK21/ SCL21	—	—	RIN0
B4	P71	—	—	—	—	—	—	—	—	TS03	—	—	SI21/ SDA21	—	RxDA0	—
B5	P61	CCD05	EO61	—	—	—	—	—	—	—	—	—	—	SDAA0	—	—
B6	—	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—
C1	P13	—	EO13	—	—	—	IVREF1	—	—	—	—	(TI04)/ (TO04)	—	SO20/ TxD2	(SDAA0)	—
C2	P12	—	EI12/ EO12	TOOLTxD	—	—	—	—	—	—	—	(TI05)/ (TO05)	—	SO00/ TxD0	—	—
C3	P15	—	EO15	PCLBUZ1	—	—	—	—	—	—	—	(TI02)/ (TO02)	—	SCK20/ SCL20	—	—
C4	P14	—	EO14	—	—	—	VCOUT1	—	—	—	—	(TI03)/ (TO03)	—	SI20/ RxD2/ SDA20	(SCLA0)	—
C5	—	—	—	VSS	—	—	—	—	—	—	—	—	—	—	—	—
C6	P121	—	EI121	X1/XT1	—	—	—	—	—	—	—	—	—	—	—	—
D1	P10	—	EI10/ EO10	—	—	—	—	—	—	—	—	(TI07)/ (TO07)	—	SCK00/ SCL00	—	—
D2	P11	—	EI11/ EO11	TOOLRxD	—	—	—	—	—	—	—	(TI06)/ (TO06)	—	SI00/ RxD0/ SDA00	—	—
D3	P22	—	EI22	—	ANI2	ANO0	—	—	—	—	—	—	—	—	—	—
D4	P31	—	EI31	PCLBUZ0	—	—	—	INTP4	—	—	—	—	—	—	—	—
D5	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—
D6	P122	—	EI122	X2/XT2/ EXCLK/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—

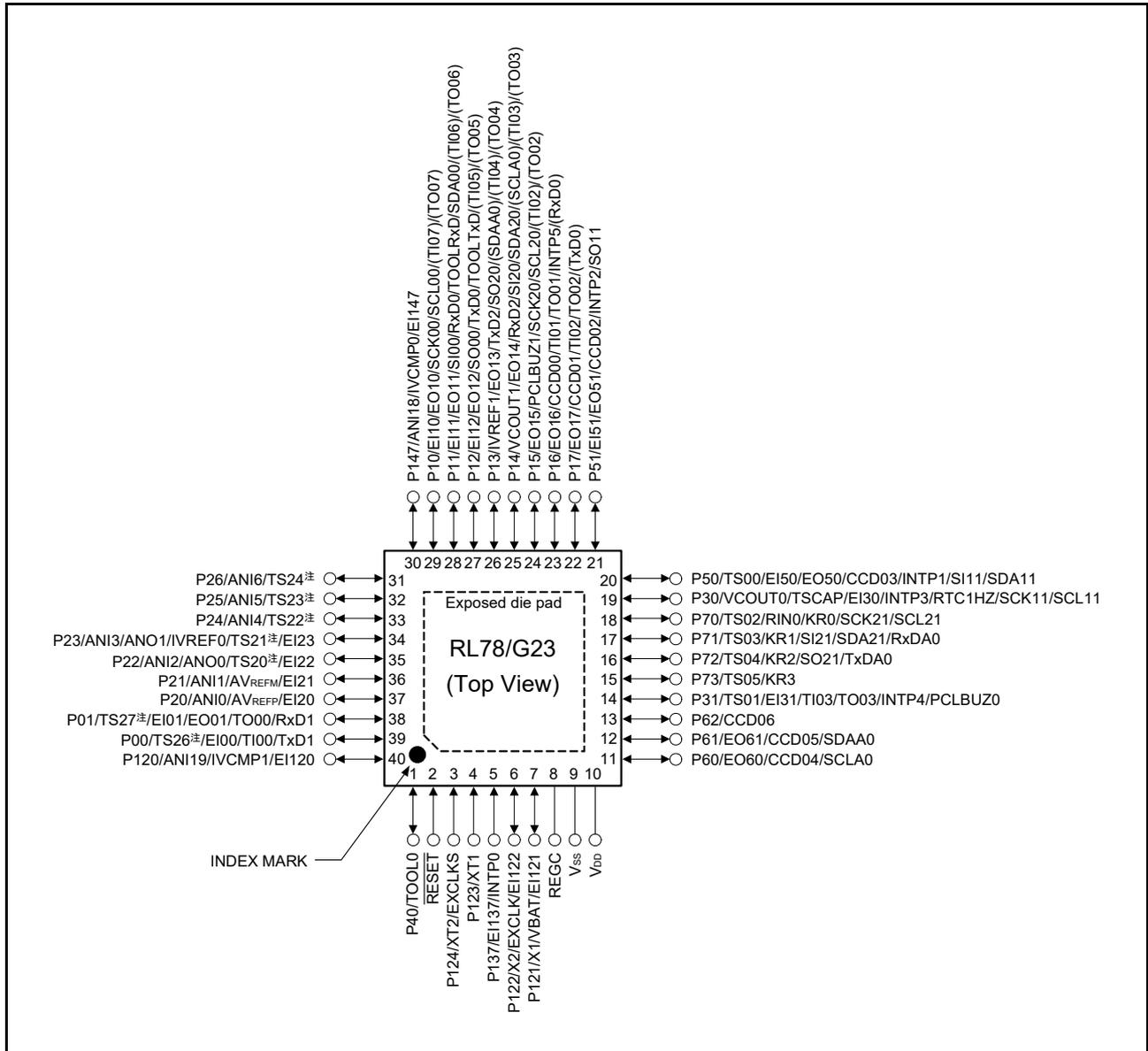
表1 - 4 36ピン製品の兼用機能 (2/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
E1	P147	—	EI147	—	ANI18	—	IVCMP0	—	—	—	—	—	—	—	—	—
E2	P24	—	—	—	ANI4	—	—	—	—	TS22 <sup>注</sup>	—	—	—	—	—	—
E3	P20	—	EI20	—	ANI0/ AVREFP	—	—	—	—	—	—	—	—	—	—	—
E4	P00	—	EI00	—	—	—	—	—	—	TS26 <sup>注</sup>	TI00	—	TxD1	—	—	—
E5	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—
E6	P137	—	EI137	—	—	—	—	INTP0	—	—	—	—	—	—	—	—
F1	P25	—	—	—	ANI5	—	—	—	—	TS23 <sup>注</sup>	—	—	—	—	—	—
F2	P23	—	EI23	—	ANI3	ANO1	IVREF0	—	—	TS21 <sup>注</sup>	—	—	—	—	—	—
F3	P21	—	EI21	—	ANI1/ AVREFM	—	—	—	—	—	—	—	—	—	—	—
F4	P01	—	EI01/ EO01	—	—	—	—	—	—	TS27 <sup>注</sup>	TO00	—	RxD1	—	—	—
F5	P120	—	EI120	—	ANI19	—	IVCMP1	—	—	—	—	—	—	—	—	—
F6	P40	—	—	TOOL0	—	—	—	—	—	—	—	—	—	—	—	—

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

## 1.3.4 40ピン製品

- 40ピン・プラスチックHWQFN（6×6 mm、0.50 mmピッチ）



注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注意 REGC端子はコンデンサ（0.47～1 μF）を介し、V<sub>SS</sub>に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

備考3. Exposed die padは、V<sub>SS</sub>に接続することを推奨します。

表1-5 40ピン製品の兼用機能 (1/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	40HWQFN	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS02L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)
1	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
2	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
3	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
4	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
5	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
6	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-
7	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
8	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
9	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
10	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
11	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
12	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
13	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	-	-	-
14	P31	-	EI31	PCLBUZ0	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
15	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	-	-	-	-
16	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	TxDA0	-
17	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxDA0	-
18	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	-	RINO
19	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
20	P50	CCD03	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-
21	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-
22	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(TxD0)	-	-	-
23	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(RxD0)	-	-	-
24	P15	-	EO15	PCLBUZ1	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
25	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ (TO03)	-	SI20/ xD2/ SDA20	(SCLA0)	-	-
26	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
27	P12	-	EI12/ EO12	TOOLTxD	-	-	-	-	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-

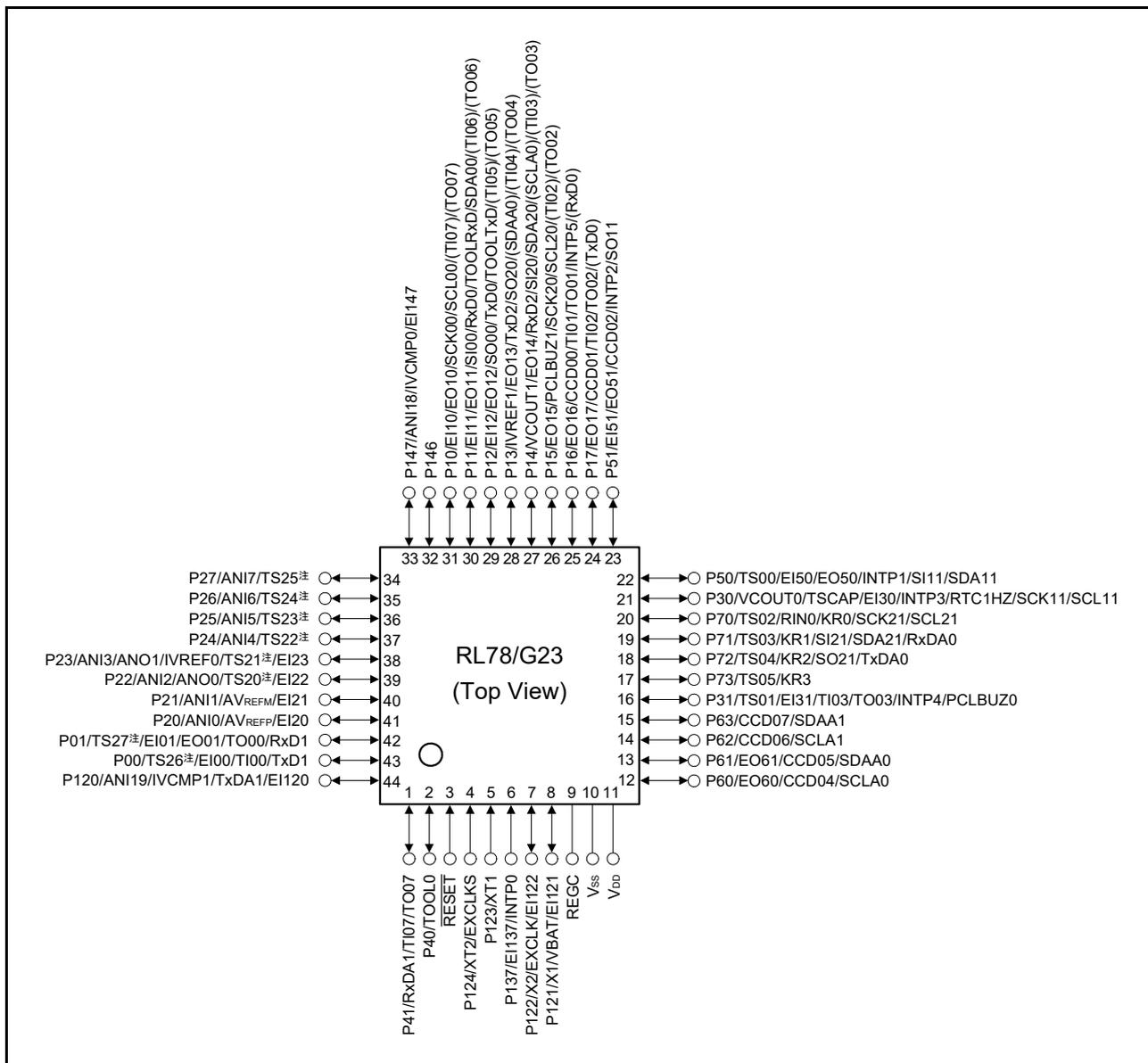
表1 - 5 40ピン製品の兼用機能 (2/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
28	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
29	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-
30	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
31	P26	-	-	-	ANI6	-	-	-	-	TS24 <sup>注</sup>	-	-	-	-	-	-
32	P25	-	-	-	ANI5	-	-	-	-	TS23 <sup>注</sup>	-	-	-	-	-	-
33	P24	-	-	-	ANI4	-	-	-	-	TS22 <sup>注</sup>	-	-	-	-	-	-
34	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21 <sup>注</sup>	-	-	-	-	-	-
35	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20 <sup>注</sup>	-	-	-	-	-	-
36	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
37	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
38	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27 <sup>注</sup>	TO00	-	RxD1	-	-	-
39	P00	-	EI00	-	-	-	-	-	-	TS26 <sup>注</sup>	TI00	-	TxD1	-	-	-
40	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

### 1.3.5 44ピン製品

- 44ピン・プラスチックLQFP（10 × 10 mm、0.80 mmピッチ）



注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注意 REGC端子はコンデンサ（0.47～1 μF）を介し、V<sub>SS</sub>に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

表1 - 6 44ピン製品の兼用機能 (1/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース				
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS02L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)	
1	P41	-	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	RxDA1	-
2	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-	-
3	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-	-
4	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-	-
5	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-	-
6	P137	-	EH137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-	-
7	P122	-	EH122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-	-
8	P121	-	EH121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-	-
9	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-	-
10	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-	-
11	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-	-
12	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
13	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
14	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-
15	P63	CCD07	-	-	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-
16	P31	-	EI31	PCLBUZ0	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-	-
17	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	-	-	-	-	-
18	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	TxDA0	-	-
19	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxDA0	-	-
20	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	-	-	RIN0
21	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-	-
22	P50	-	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-	-
23	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-	-
24	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(TxD0)	-	-	-	-
25	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(RxD0)	-	-	-	-
26	P15	-	EO15	PCLBUZ1	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-	-
27	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-	-

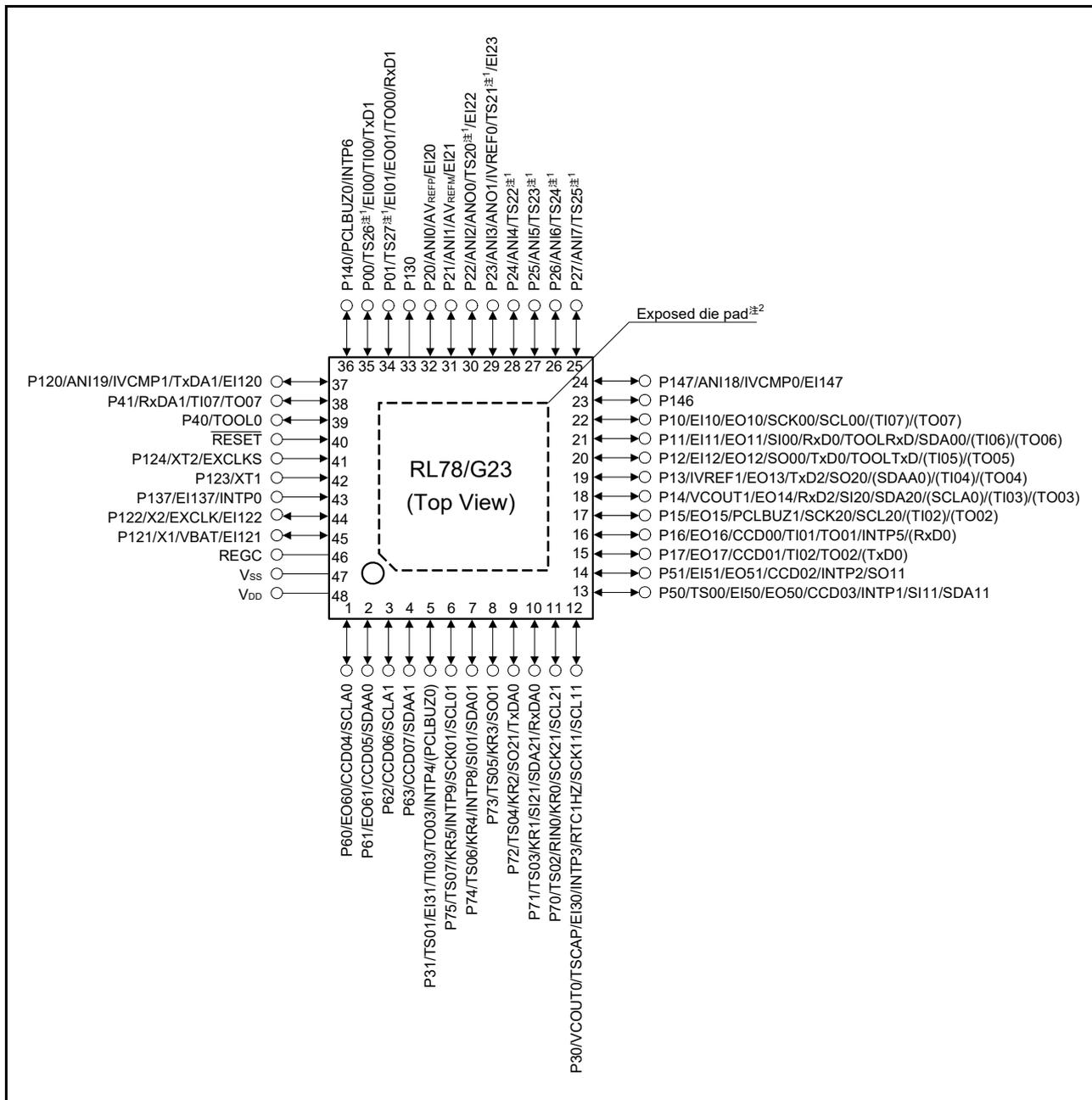
表1 - 6 44ピン製品の兼用機能 (2/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELC I入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
44LQFP																
28	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
29	P12	-	EI12/ EO12	TOOLTxD	-	-	-	-	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
30	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
31	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-
32	P146	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
33	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
34	P27	-	-	-	ANI7	-	-	-	-	TS25 <sup>注</sup>	-	-	-	-	-	-
35	P26	-	-	-	ANI6	-	-	-	-	TS24 <sup>注</sup>	-	-	-	-	-	-
36	P25	-	-	-	ANI5	-	-	-	-	TS23 <sup>注</sup>	-	-	-	-	-	-
37	P24	-	-	-	ANI4	-	-	-	-	TS22 <sup>注</sup>	-	-	-	-	-	-
38	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21 <sup>注</sup>	-	-	-	-	-	-
39	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20 <sup>注</sup>	-	-	-	-	-	-
40	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
41	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
42	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27 <sup>注</sup>	TO00	-	RxD1	-	-	-
43	P00	-	EI00	-	-	-	-	-	-	TS26 <sup>注</sup>	TI00	-	TxD1	-	-	-
44	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	TxD1	-

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

1.3.6 48ピン製品

- 48ピン・プラスチックLFQFP (7 × 7mm、0.50 mmピッチ)
- 48ピン・プラスチックHWQFN (7 × 7 mm、0.50 mmピッチ)



注1. コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注2. 48ピン・プラスチックLFQFP (7 × 7 mm、0.50 mmピッチ) 製品にはexposed die padはありません。

注意 REGC端子はコンデンサ (0.47 ~ 1 μF) を介し、V<sub>SS</sub>に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

備考3. Exposed die padは、V<sub>SS</sub>に接続することを推奨します。

表1-7 48ピン製品の兼用機能 (1/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
1	P60	CCD04	EO60	—	—	—	—	—	—	—	—	—	—	SCLA0	—	—
2	P61	CCD05	EO61	—	—	—	—	—	—	—	—	—	—	SDAA0	—	—
3	P62	CCD06	—	—	—	—	—	—	—	—	—	—	—	SCLA1	—	—
4	P63	CCD07	—	—	—	—	—	—	—	—	—	—	—	SDAA1	—	—
5	P31	—	EI31	(PCLBUZ0)	—	—	—	INTP4	—	TS01	TI03/ TO03	—	—	—	—	—
6	P75	—	—	—	—	—	—	INTP9	KR5	TS07	—	—	SCK01/ SCL01	—	—	—
7	P74	—	—	—	—	—	—	INTP8	KR4	TS06	—	—	SI01/ SDA01	—	—	—
8	P73	—	—	—	—	—	—	—	KR3	TS05	—	—	SO01	—	—	—
9	P72	—	—	—	—	—	—	—	KR2	TS04	—	—	SO21	—	TxDA0	—
10	P71	—	—	—	—	—	—	—	KR1	TS03	—	—	SI21/ SDA21	—	RxDA0	—
11	P70	—	—	—	—	—	—	—	KR0	TS02	—	—	SCK21/ SCL21	—	—	RIN0
12	P30	—	EI30	—	—	—	VCOUT0	INTP3	—	TSCAP	—	RTC1HZ	SCK11/ SCL11	—	—	—
13	P50	CCD03	EI50/ EO50	—	—	—	—	INTP1	—	TS00	—	—	SI11/ SDA11	—	—	—
14	P51	CCD02	EI51/ EO51	—	—	—	—	INTP2	—	—	—	—	SO11	—	—	—
15	P17	CCD01	EO17	—	—	—	—	—	—	—	TI02/ TO02	—	(TxD0)	—	—	—
16	P16	CCD00	EO16	—	—	—	—	INTP5	—	—	TI01/ TO01	—	(RxD0)	—	—	—
17	P15	—	EO15	PCLBUZ1	—	—	—	—	—	—	(TI02)/ (TO02)	—	SCK20/ SCL20	—	—	—
18	P14	—	EO14	—	—	—	VCOUT1	—	—	—	(TI03)/ (TO03)	—	SI20/ RxD2/ SDA20	(SCLA0)	—	—
19	P13	—	EO13	—	—	—	IVREF1	—	—	—	(TI04)/ (TO04)	—	SO20/ TxD2	(SDAA0)	—	—
20	P12	—	EI12/ EO12	TOOLTxD	—	—	—	—	—	—	(TI05)/ (TO05)	—	SO00/ TxD0	—	—	—
21	P11	—	EI11/ EO11	TOOLRxD	—	—	—	—	—	—	(TI06)/ (TO06)	—	SI00/ RxD0/ SDA00	—	—	—
22	P10	—	EI10/ EO10	—	—	—	—	—	—	—	(TI07)/ (TO07)	—	SCK00/ SCL00	—	—	—
23	P146	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
24	P147	—	EI147	—	ANI18	—	IVCMP0	—	—	—	—	—	—	—	—	—

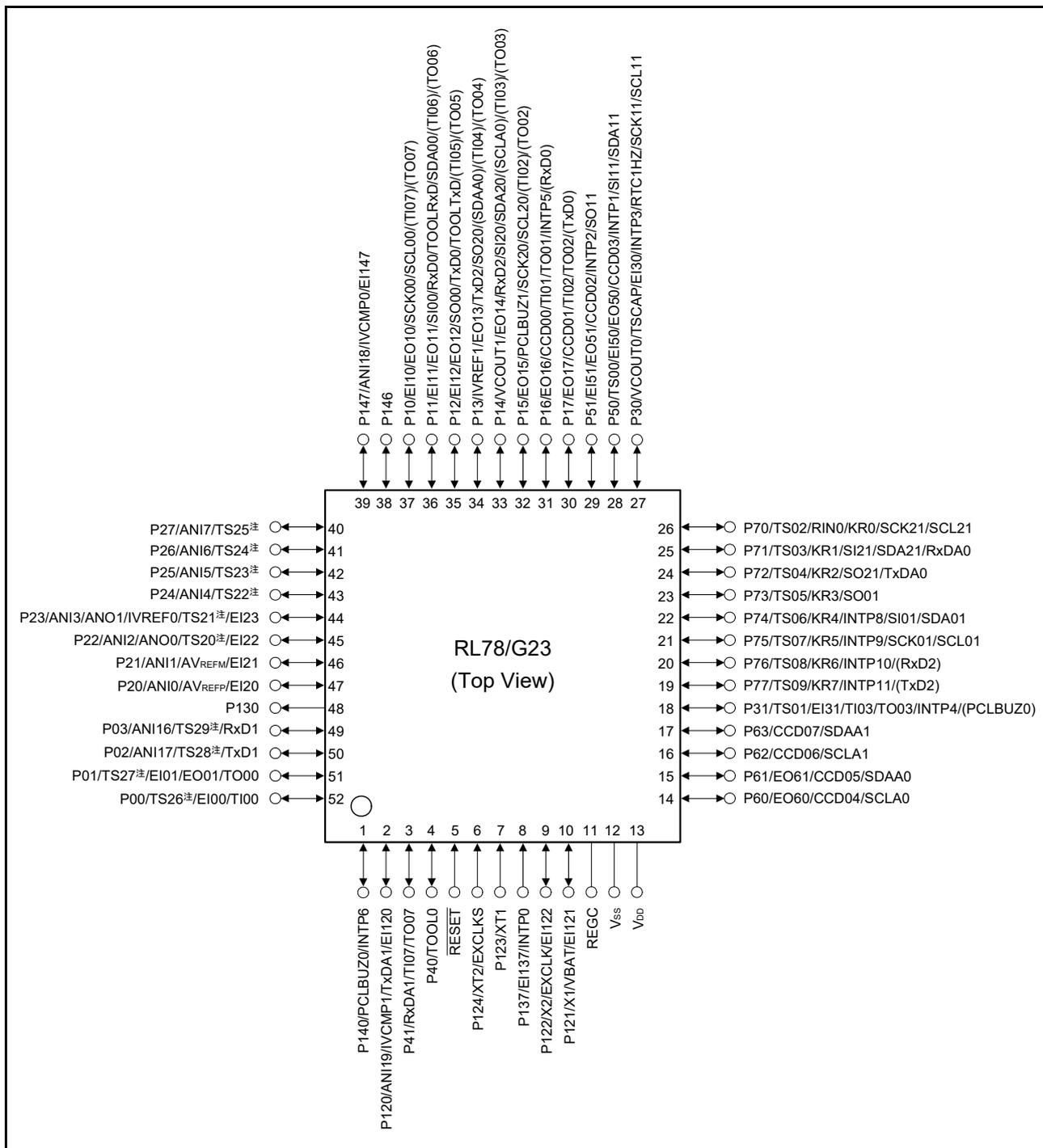
表1-7 48ピン製品の兼用機能 (2/2)

ピン番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELC I入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS U2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
48LQFP, 48HWQFN																
25	P27	-	-	-	ANI7	-	-	-	-	TS25注	-	-	-	-	-	-
26	P26	-	-	-	ANI6	-	-	-	-	TS24注	-	-	-	-	-	-
27	P25	-	-	-	ANI5	-	-	-	-	TS23注	-	-	-	-	-	-
28	P24	-	-	-	ANI4	-	-	-	-	TS22注	-	-	-	-	-	-
29	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21注	-	-	-	-	-	-
30	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20注	-	-	-	-	-	-
31	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
32	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
33	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
34	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27注	TO00	-	RxD1	-	-	-
35	P00	-	EI00	-	-	-	-	-	-	TS26注	TI00	-	TxD1	-	-	-
36	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-
37	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	TxDA1	-
38	P41	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	RxDA1	-
39	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
40	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
41	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
42	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
43	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
44	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-
45	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
46	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
47	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
48	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

1.3.7 52ピン製品

- 52ピン・プラスチックLQFP（10 × 10 mm、0.65 mmピッチ）



注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットのフォーマットを参照してください。

表1 - 8 52ピン製品の兼用機能 (1/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS02L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
1	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-
2	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	TxDA1	-
3	P41	-	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	RxDA1	-
4	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
5	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
6	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
7	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
8	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
9	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-
10	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
11	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
12	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
13	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
14	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
15	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
16	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-
17	P63	CCD07	-	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-
18	P31	-	EI31	(PCLBUZ0)	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
19	P77	-	-	-	-	-	-	INTP11	KR7	TS09	-	-	(TxD2)	-	-	-
20	P76	-	-	-	-	-	-	INTP10	KR6	TS08	-	-	(RxD2)	-	-	-
21	P75	-	-	-	-	-	-	INTP9	KR5	TS07	-	-	SCK01/ SCL01	-	-	-
22	P74	-	-	-	-	-	-	INTP8	KR4	TS06	-	-	SI01/ SDA01	-	-	-
23	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	SO01	-	-	-
24	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	TxDA0	-
25	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxDA0	-
26	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	-	RIN0
27	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
28	P50	CCD03	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-
29	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-

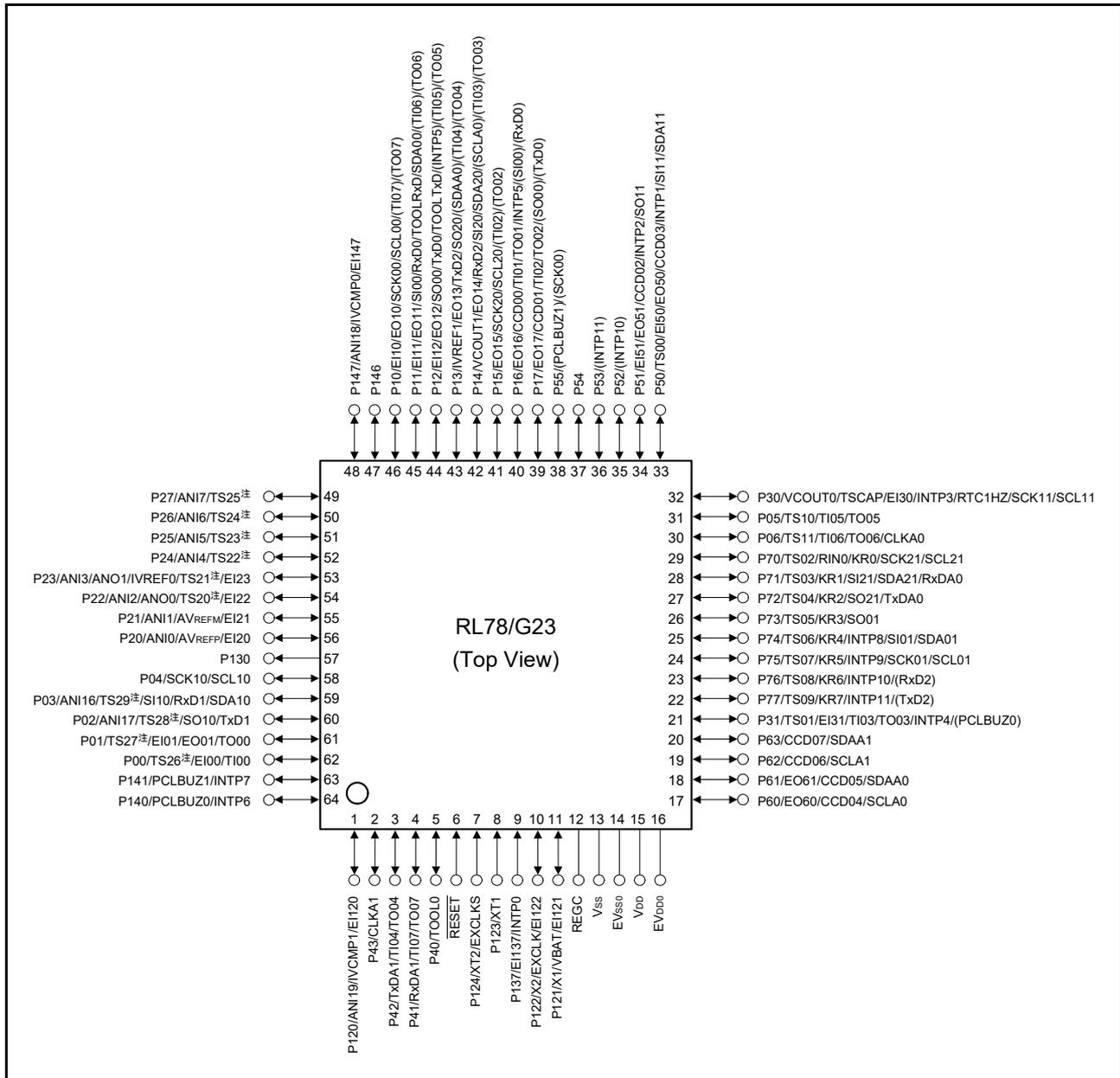
表1 - 8 52ピン製品の兼用機能 (2/2)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELC入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
30	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(TxD0)	-	-	-
31	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(RxD0)	-	-	-
32	P15	-	EO15	PCLBUZ1	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
33	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
34	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
35	P12	-	EH12/ EO12	TOOLTxD	-	-	-	-	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
36	P11	-	EH11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
37	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-
38	P146	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
39	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
40	P27	-	-	-	ANI7	-	-	-	-	TS25 <sup>註</sup>	-	-	-	-	-	-
41	P26	-	-	-	ANI6	-	-	-	-	TS24 <sup>註</sup>	-	-	-	-	-	-
42	P25	-	-	-	ANI5	-	-	-	-	TS23 <sup>註</sup>	-	-	-	-	-	-
43	P24	-	-	-	ANI4	-	-	-	-	TS22 <sup>註</sup>	-	-	-	-	-	-
44	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21 <sup>註</sup>	-	-	-	-	-	-
45	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20 <sup>註</sup>	-	-	-	-	-	-
46	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
47	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
48	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
49	P03	-	-	-	ANI16	-	-	-	-	TS29 <sup>註</sup>	-	-	RxD1	-	-	-
50	P02	-	-	-	ANI17	-	-	-	-	TS28 <sup>註</sup>	-	-	TxD1	-	-	-
51	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27 <sup>註</sup>	TO00	-	-	-	-	-
52	P00	-	EI00	-	-	-	-	-	-	TS26 <sup>註</sup>	TI00	-	-	-	-	-

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

## 1.3.8 64ピン製品

- 64ピン・プラスチックLQFP（12 × 12 mm、0.65 mmピッチ）
- 64ピン・プラスチックLFQFP（10 × 10 mm、0.50 mmピッチ）



注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注意1. EVSS0端子は、VSS端子と同電位にしてください。

注意2. VDD端子は、EVDD0端子以上の電圧にしてください。

注意3. REGC端子はコンデンサ（0.47～1 μF）を介し、VSSに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0に個別の電源を供給し、VSSとEVSS0を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

表1-9 64ピン製品の兼用機能 (1/3)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS02L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
1	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	
2	P43	-	-	-	-	-	-	-	-	-	-	-	-	CLKA1	-	
3	P42	-	-	-	-	-	-	-	-	-	TI04/ TO04	-	-	-	TxDA1	
4	P41	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	RxDA1	
5	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	
6	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	
7	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	
8	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	
9	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	
10	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	
11	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	
12	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	
13	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	
14	-	-	-	EVss0	-	-	-	-	-	-	-	-	-	-	-	
15	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	
16	-	-	-	EVDD0	-	-	-	-	-	-	-	-	-	-	-	
17	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	SCLA0	-	-	
18	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	SDAA0	-	-	
19	P62	CCD06	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-	
20	P63	CCD07	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-	
21	P31	-	EI31	(PCLBUZ0)	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	
22	P77	-	-	-	-	-	-	INTP11	KR7	TS09	-	-	(TxD2)	-	-	
23	P76	-	-	-	-	-	-	INTP10	KR6	TS08	-	-	(RxD2)	-	-	
24	P75	-	-	-	-	-	-	INTP9	KR5	TS07	-	-	SCK01/ SCL01	-	-	
25	P74	-	-	-	-	-	-	INTP8	KR4	TS06	-	-	SI01/ SDA01	-	-	
26	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	SO01	-	-	
27	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	TxDA0	
28	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxDA0	
29	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	RIN0	
30	P06	-	-	-	-	-	-	-	-	TS11	TI06/ TO06	-	-	CLKA0	-	

表1 - 9 64ピン製品の兼用機能 (2/3)

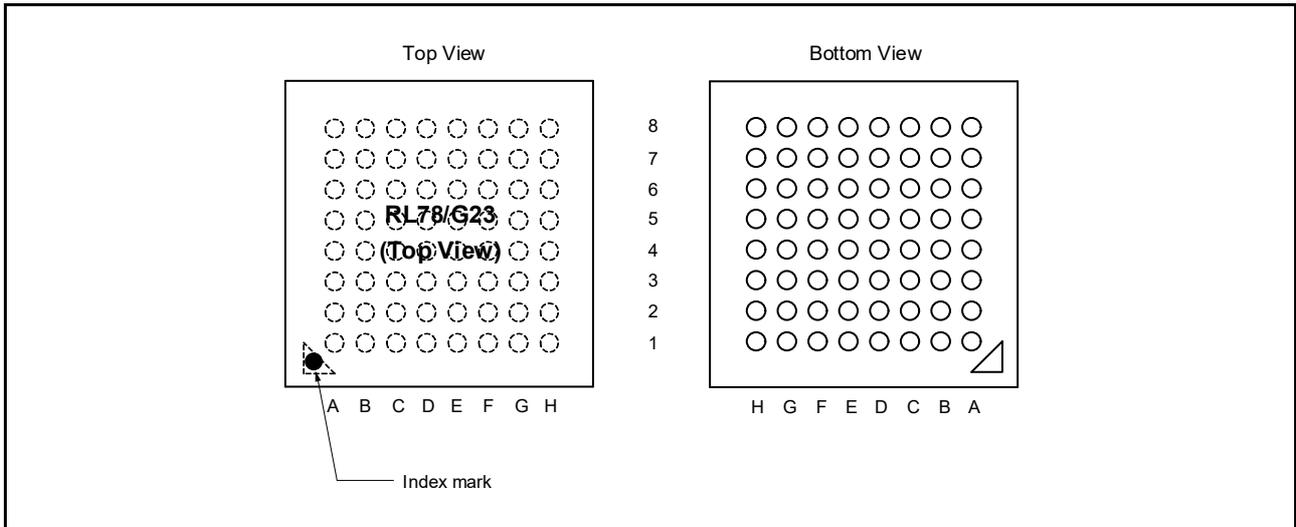
ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	64LQFP, 64LQFP	デジタル・ポート	出力電流制御ポート		ELCI入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
31	P05	-	-	-	-	-	-	-	-	TS10	TI05/ TO05	-	-	-	-	-
32	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
33	P50	CCD03	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-
34	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-
35	P52	-	-	-	-	-	-	(INTP10)	-	-	-	-	-	-	-	-
36	P53	-	-	-	-	-	-	(INTP11)	-	-	-	-	-	-	-	-
37	P54	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
38	P55	-	-	(PCLBUZ1)	-	-	-	-	-	-	-	-	(SCK00)	-	-	-
39	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(SO00)/ (TxD0)	-	-	-
40	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(SI00)/ (RxD0)	-	-	-
41	P15	-	EO15	-	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
42	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
43	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
44	P12	-	EI12/ EO12	TOOLTxD	-	-	-	(INTP5)	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
45	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
46	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-
47	P146	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
48	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
49	P27	-	-	-	ANI7	-	-	-	-	TS25 <sup>註</sup>	-	-	-	-	-	-
50	P26	-	-	-	ANI6	-	-	-	-	TS24 <sup>註</sup>	-	-	-	-	-	-
51	P25	-	-	-	ANI5	-	-	-	-	TS23 <sup>註</sup>	-	-	-	-	-	-
52	P24	-	-	-	ANI4	-	-	-	-	TS22 <sup>註</sup>	-	-	-	-	-	-
53	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21 <sup>註</sup>	-	-	-	-	-	-
54	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20 <sup>註</sup>	-	-	-	-	-	-
55	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
56	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-

表1 - 9 64ピン製品の兼用機能 (3/3)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELC I入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
64LFQFP, 64LQFP																
57	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
58	P04	-	-	-	-	-	-	-	-	-	-	-	SCK10/ SCL10	-	-	-
59	P03	-	-	-	ANI16	-	-	-	-	TS29 <sup>注</sup>	-	-	SI10/ RxD1/ SDA10	-	-	-
60	P02	-	-	-	ANI17	-	-	-	-	TS28 <sup>注</sup>	-	-	SO10/ TxD1	-	-	-
61	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27 <sup>注</sup>	TO00	-	-	-	-	-
62	P00	-	EI00	-	-	-	-	-	-	TS26 <sup>注</sup>	TI00	-	-	-	-	-
63	P141	-	-	PCLBUZ1	-	-	-	INTP7	-	-	-	-	-	-	-	-
64	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

- 64ピン・プラスチックWFLGA（5×5mm、0.50mmピッチ）



	A	B	C	D	E	F	G	H
8	EVDD0	EVSS0	P121/X1/EI121/ VBAT	P122/X2/ EXCLK/EI122	P137/INTP0/ EI137	P123/XT1	P124/XT2/ EXCLKS	P120/ANI19/ IVCMP1/EI120
7	P60/CCD04/ SCLA0/EO60	VDD	VSS	REGC	RESET	P01/TS27注/ EI01/EO01/ TO00	P00/TS26注/ EI00/TI00	P140/PCLBUZ0/ INTP6
6	P61/CCD05/ SDAA0/EO61	P62/CCD06/ SCLA1	P63/CCD07/ SDAA1	P40/TOOL0	P41/TI07/TO07/ RxDA1	P43/CLKA1	P02/ANI17/ TS28注/ SO10/TxD1	P141/PCLBUZ1/ INTP7
5	P77/KR7/TS09/ INTP11/(TxD2)	P31/TI03/TO03/ INTP4/SO11/ EI31/ (PCLBUZ0)	P53/(INTP11)	P42/TI04/TO04/ TxDA1	P03/ANI16/ TS29注/ SI10/RxD1/ SDA10	P04/SCK10/ SCL10	P130	P20/ANI0/ AVREFP/EI20
4	P75/KR5/TS07/ INTP9/SCK01/ SCL01	P76/KR6/TS08/ INTP10/(RxD2)	P52/(INTP10)	P54	P16/CCD00/ TI01/TO01/ INTP5/EO16/ (SI00)/(RxD0)	P21/ANI1/ AVREFM/EI21	P22/ANI2/ ANO0/EI22/ TS20注	P23/ANI3/ANO1/ IVREF0/EI23/ TS21注
3	P70/KR0/TS02/ RIN0/SCK21/ SCL21	P73/KR3/TS05/ SO01	P74/KR4/TS06/ INTP8/SI01/ SDA01	P17/CCD01/ TI02/TO02/ EO17/(SO00)/ (TxD0)	P15/SCK20/ SCL20/EO15/ (TI02)/(TO02)	P12/SO00/TxD0/ TOOLTxD/EI12/ EO12/(INTP5)/ (TI05)/(TO05)	P24/ANI4/ TS22注	P26/ANI6/ TS24注
2	P30/INTP3/ TSCAP/RTC1HZ/ EI30/VCOU0/ SCK11/SCL11	P72/KR2/TS04/ SO21/TxD0	P71/KR1/TS03/ SI21/SDA21/ RxD0	P06/TS11/TI06/ TO06/CLKA0	P14/RxD2/ SI20/SDA20/ VCOU1/EO14/ (SCLA0)/(TI03)/ (TO03)	P11/SI00/RxD0/ TOOLRxD/ SDA00/EI11/ EO11/(TI06)/ (TO06)	P25/ANI5/ TS23注	P27/ANI7/ TS25注
1	P05/TS10/TI05/ TO05	P50/CCD03/ TS00/EI50/ EO50/INTP1/ SI11/SDA11	P51/CCD02/ EI51/EO51/ INTP2/SO11	P55/(PCLBUZ1)/ (SCK00)	P13/TxD2/SO20/ IVREF1/EO13/ (SDAA0)/(TI04)/ (TO04)	P10/SCK00/ SCL00/EI10/ EO10/(TI07)/ (TO07)	P146	P147/ANI18/ EI147/IVCMP0

注 フラッシュ・メモリのコード領域が128KB下の製品は非搭載

注意1. EVSS0端子は、VSS端子と同電位にしてください。

注意2. VDD端子は、EVDD0端子以上の電位にしてください。

注意3. REGC端子はコンデンサ（0.47～1μF）を介し、VSSに接続してください。

（備考は次ページに続きます）

- 備考1.** 端子名称は、1.4 端子名称を参照してください。
- 備考2.** マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0に個別の電源を供給し、VSSとEVSS0を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。
- 備考3.** 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

表1-10 64ピン製品の兼用機能2 (1/3)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
A1	P05	-	-	-	-	-	-	-	-	TS10	TI05/ TO05	-	-	-	-	-
A2	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
A3	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	-	RIN0
A4	P75	-	-	-	-	-	-	INTP9	KR5	TS07	-	-	SCK01/ SCL01	-	-	-
A5	P77	-	-	-	-	-	-	INTP11	KR7	TS09	-	-	(TxD2)	-	-	-
A6	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
A7	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
A8	-	-	-	EVDD0	-	-	-	-	-	-	-	-	-	-	-	-
B1	P50	CCD03	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-
B2	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	TxDA0	-
B3	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	SO01	-	-	-
B4	P76	-	-	-	-	-	-	INTP10	KR6	TS08	-	-	(RxD2)	-	-	-
B5	P31	-	EI31	(PCLBUZ0)	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
B6	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-
B7	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
B8	-	-	-	EVSS0	-	-	-	-	-	-	-	-	-	-	-	-
C1	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-
C2	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxDA0	-
C3	P74	-	-	-	-	-	-	INTP8	KR4	TS06	-	-	SI01/ SDA01	-	-	-
C4	P52	-	-	-	-	-	-	(INTP10)	-	-	-	-	-	-	-	-
C5	P53	-	-	-	-	-	-	(INTP11)	-	-	-	-	-	-	-	-
C6	P63	CCD07	-	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-
C7	-	-	-	VSS	-	-	-	-	-	-	-	-	-	-	-	-
C8	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
D1	P55	-	-	(PCLBUZ1)	-	-	-	-	-	-	-	-	(SCK00)	-	-	-
D2	P06	-	-	-	-	-	-	-	-	TS11	TI06/ TO06	-	-	-	CLKA0	-
D3	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(SO00)/ (TxD0)	-	-	-
D4	P54	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

表1 - 10 64ピン製品の兼用機能2 (2/3)

ピン番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	64WFLGA	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
D5	P42	-	-	-	-	-	-	-	-	-	TI04/ TO04	-	-	-	TxDA1	-
D6	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
D7	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
D8	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-
E1	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
E2	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
E3	P15	-	EO15	-	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
E4	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(SI00)/ (RxD0)	-	-	-
E5	P03	-	-	-	ANI16	-	-	-	-	TS29 <sup>註</sup>	-	-	SI10/ RxD1/ SDA10	-	-	-
E6	P41	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	RxDA1	-
E7	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
E8	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
F1	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-
F2	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
F3	P12	-	EI12/ EO12	TOOLTxD	-	-	-	(INTP5)	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
F4	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
F5	P04	-	-	-	-	-	-	-	-	-	-	-	SCK10/ SCL10	-	-	-
F6	P43	-	-	-	-	-	-	-	-	-	-	-	-	-	CLKA1	-
F7	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27 <sup>註</sup>	TO00	-	-	-	-	-
F8	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
G1	P146	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G2	P25	-	-	-	ANI5	-	-	-	-	TS23 <sup>註</sup>	-	-	-	-	-	-
G3	P24	-	-	-	ANI4	-	-	-	-	TS22 <sup>註</sup>	-	-	-	-	-	-
G4	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20 <sup>註</sup>	-	-	-	-	-	-
G5	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

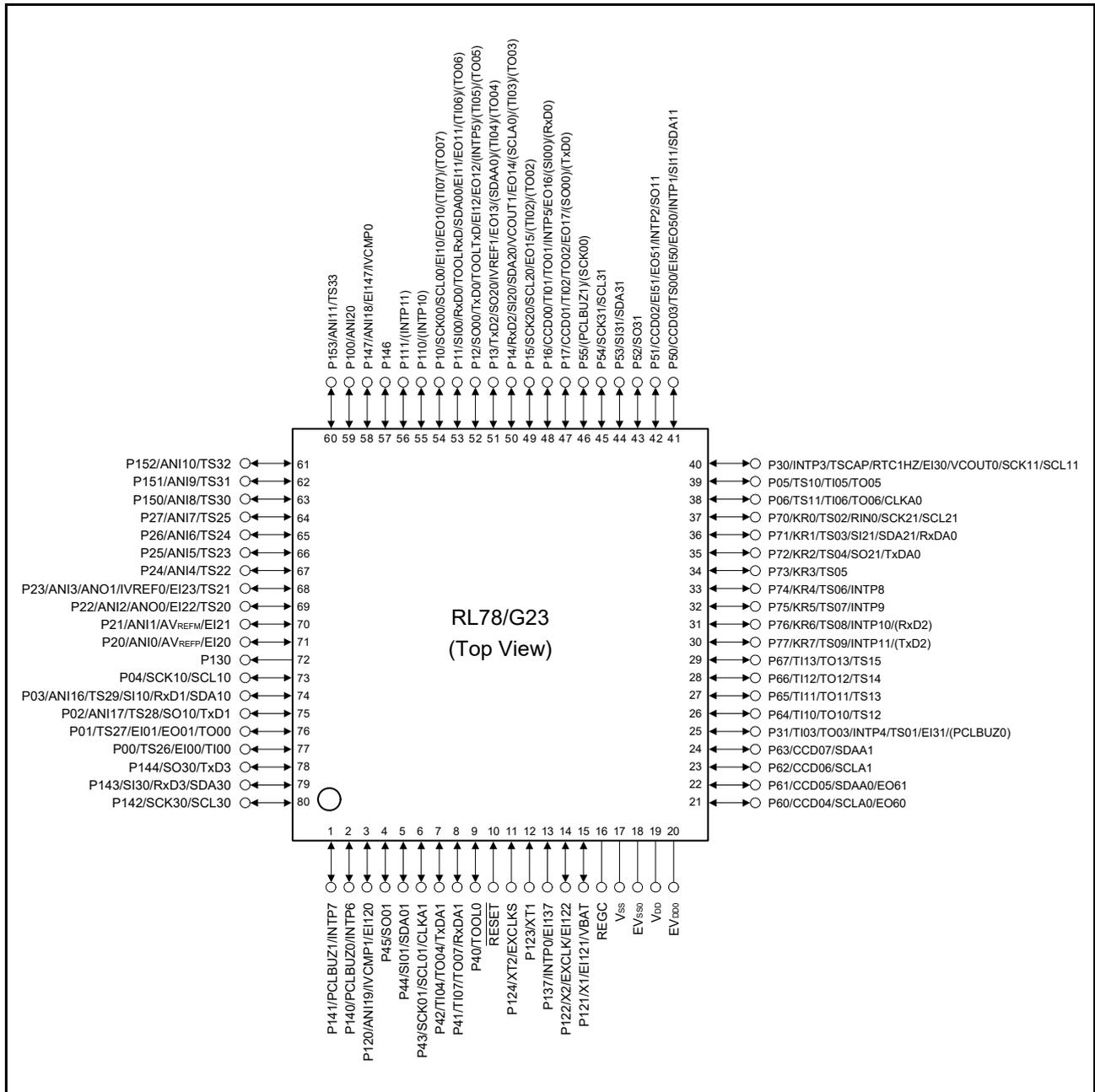
表1 - 10 64ピン製品の兼用機能2 (3/3)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
G6	P02	-	-	-	ANI17	-	-	-	-	TS28 <sup>注</sup>	-	-	SO10/ TxD1	-	-	-
G7	P00	-	EI00	-	-	-	-	-	-	TS26 <sup>注</sup>	TI00	-	-	-	-	-
G8	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
H1	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
H2	P27	-	-	-	ANI7	-	-	-	-	TS25 <sup>注</sup>	-	-	-	-	-	-
H3	P26	-	-	-	ANI6	-	-	-	-	TS24 <sup>注</sup>	-	-	-	-	-	-
H4	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21 <sup>注</sup>	-	-	-	-	-	-
H5	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
H6	P141	-	-	PCLBUZ1	-	-	-	INTP7	-	-	-	-	-	-	-	-
H7	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-
H8	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-

注 フラッシュ・メモリのコード領域が128 KB下の製品は非搭載

### 1.3.9 80ピン製品

- 80ピン・プラスチックLQFP（14 × 14 mm、0.65 mmピッチ）
- 80ピン・プラスチックLFQFP（12 × 12 mm、0.50 mmピッチ）



- 注意 1.** EVsso端子は、Vss端子と同電位にしてください。
- 注意 2.** VDD端子は、EVDD0端子以上の電位にしてください。
- 注意 3.** REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

**備考 1.** 端子名称は、1.4 端子名称を参照してください。

**備考 2.** マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0に個別の電源を供給し、VssとEVssoを別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

**備考 3.** 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。**図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

表1 - 11 80ピン製品の兼用機能 (1/3)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
1	P141	-	-	PCLBUZ1	-	-	-	INTP7	-	-	-	-	-	-	-	-
2	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-
3	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-
4	P45	-	-	-	-	-	-	-	-	-	-	-	SO01	-	-	-
5	P44	-	-	-	-	-	-	-	-	-	-	SI01/ SDA01	-	-	-	-
6	P43	-	-	-	-	-	-	-	-	-	-	SCK01/ SCL01	-	CLKA1	-	-
7	P42	-	-	-	-	-	-	-	-	-	TI04/ TO04	-	-	-	TxDA1	-
8	P41	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	RxDA1	-
9	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
10	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
11	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
12	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
13	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
14	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-
15	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
16	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
17	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
18	-	-	-	EVss0	-	-	-	-	-	-	-	-	-	-	-	-
19	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
20	-	-	-	EVDD0	-	-	-	-	-	-	-	-	-	-	-	-
21	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
22	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
23	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-
24	P63	CCD07	-	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-
25	P31	-	EI31	(PCLBUZ0)	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
26	P64	-	-	-	-	-	-	-	-	TS12	TI10/ TO10	-	-	-	-	-
27	P65	-	-	-	-	-	-	-	-	TS13	TI11/ TO11	-	-	-	-	-
28	P66	-	-	-	-	-	-	-	-	TS14	TI12/ TO12	-	-	-	-	-
29	P67	-	-	-	-	-	-	-	-	TS15	TI13/ TO13	-	-	-	-	-
30	P77	-	-	-	-	-	-	INTP11	KR7	TS09	-	-	(TxD2)	-	-	-

表1 - 11 80ピン製品の兼用機能 (2/3)

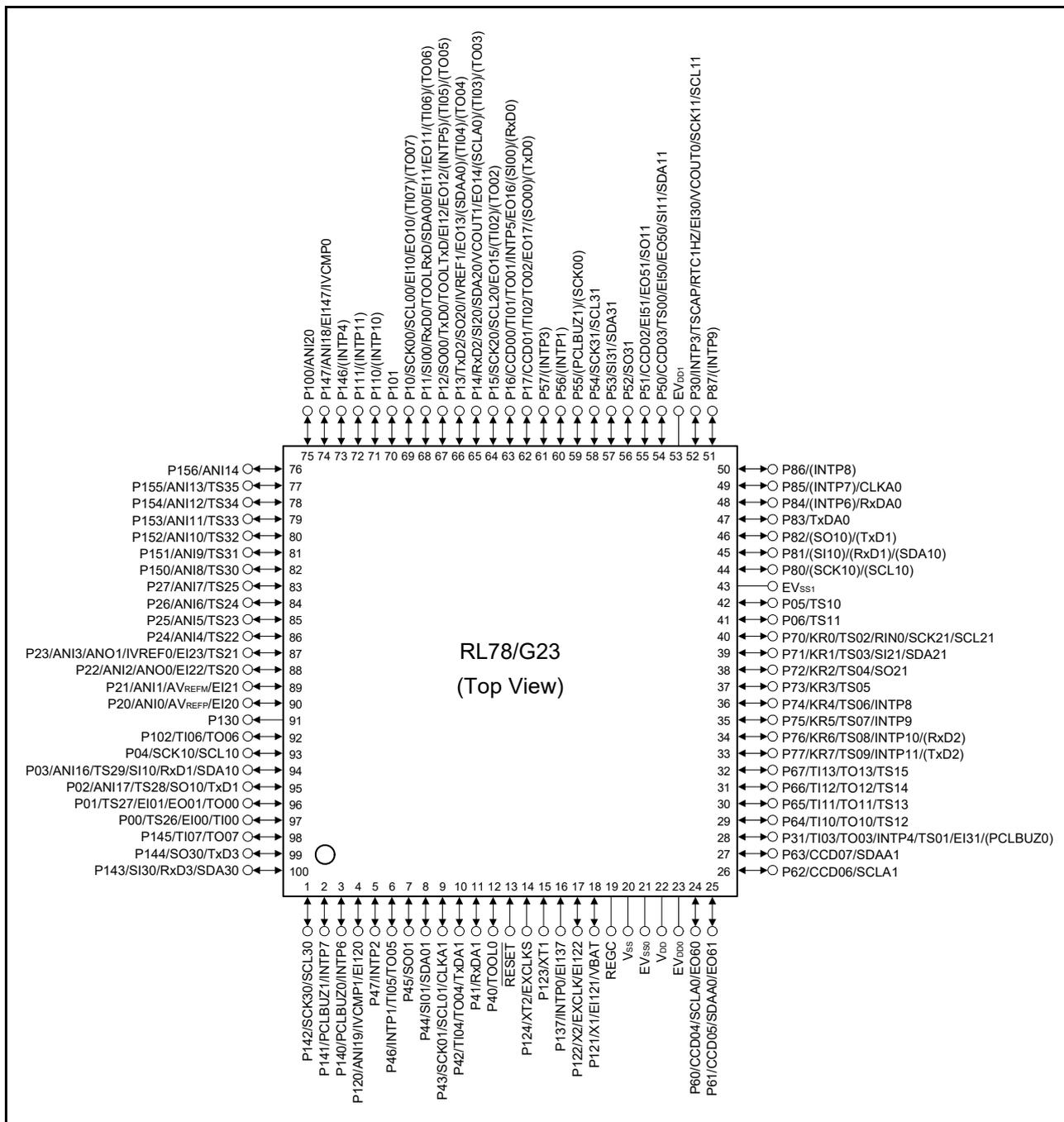
ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELC I入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
31	P76	-	-	-	-	-	-	INTP10	KR6	TS08	-	-	(RxD2)	-	-	-
32	P75	-	-	-	-	-	-	INTP9	KR5	TS07	-	-	-	-	-	-
33	P74	-	-	-	-	-	-	INTP8	KR4	TS06	-	-	-	-	-	-
34	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	-	-	-	-
35	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	TxD A0	-
36	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxD A0	-
37	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	-	RIN0
38	P06	-	-	-	-	-	-	-	-	TS11	TI06/ TO06	-	-	-	CLKA0	-
39	P05	-	-	-	-	-	-	-	-	TS10	TI05/ TO05	-	-	-	-	-
40	P30	-	EI30	-	-	-	VCOU0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
41	P50	CCD03	EI50/ EO50	-	-	-	-	INTP1	-	TS00	-	-	SI11/ SDA11	-	-	-
42	P51	CCD02	EI51/ EO51	-	-	-	-	INTP2	-	-	-	-	SO11	-	-	-
43	P52	-	-	-	-	-	-	-	-	-	-	-	SO31	-	-	-
44	P53	-	-	-	-	-	-	-	-	-	-	-	SI31/ SDA31	-	-	-
45	P54	-	-	-	-	-	-	-	-	-	-	-	SCK31/ SCL31	-	-	-
46	P55	-	-	(PCLBUZ1)	-	-	-	-	-	-	-	-	(SCK00)	-	-	-
47	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(SO00)/ (TxD0)	-	-	-
48	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(SI00)/ (RxD0)	-	-	-
49	P15	-	EO15	-	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
50	P14	-	EO14	-	-	-	VCOU1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
51	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
52	P12	-	EI12/ EO12	TOOLTxD	-	-	-	(INTP5)	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
53	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
54	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-

表1 - 11 80ピン製品の兼用機能 (3/3)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	80LQFP, 80LQFP	デジタル・ポート	出力電流制御ポート		ELCI入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
55	P110	-	-	-	-	-	-	(INTP10)	-	-	-	-	-	-	-	-
56	P111	-	-	-	-	-	-	(INTP11)	-	-	-	-	-	-	-	-
57	P146	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
58	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
59	P100	-	-	-	ANI20	-	-	-	-	-	-	-	-	-	-	-
60	P153	-	-	-	ANI11	-	-	-	-	TS33	-	-	-	-	-	-
61	P152	-	-	-	ANI10	-	-	-	-	TS32	-	-	-	-	-	-
62	P151	-	-	-	ANI9	-	-	-	-	TS31	-	-	-	-	-	-
63	P150	-	-	-	ANI8	-	-	-	-	TS30	-	-	-	-	-	-
64	P27	-	-	-	ANI7	-	-	-	-	TS25	-	-	-	-	-	-
65	P26	-	-	-	ANI6	-	-	-	-	TS24	-	-	-	-	-	-
66	P25	-	-	-	ANI5	-	-	-	-	TS23	-	-	-	-	-	-
67	P24	-	-	-	ANI4	-	-	-	-	TS22	-	-	-	-	-	-
68	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21	-	-	-	-	-	-
69	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20	-	-	-	-	-	-
70	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
71	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
72	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
73	P04	-	-	-	-	-	-	-	-	-	-	SCK10/ SCL10	-	-	-	-
74	P03	-	-	-	ANI16	-	-	-	-	TS29	-	-	SI10/ RxD1/ SDA10	-	-	-
75	P02	-	-	-	ANI17	-	-	-	-	TS28	-	-	SO10/ TxD1	-	-	-
76	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27	TO00	-	-	-	-	-
77	P00	-	EI00	-	-	-	-	-	-	TS26	TI00	-	-	-	-	-
78	P144	-	-	-	-	-	-	-	-	-	-	SO30/ TxD3	-	-	-	-
79	P143	-	-	-	-	-	-	-	-	-	-	SI30/ RxD3/ SDA30	-	-	-	-
80	P142	-	-	-	-	-	-	-	-	-	-	SCK30/ SCL30	-	-	-	-

1.3.10 100ピン製品

- 100ピン・プラスチックLFQFP（14 × 14 mm、0.50 mmピッチ）



- 注意1. EVss0, EVss1端子は、Vss端子と同電位にしてください。
- 注意2. VDD端子は、EVDD0, EVDD1端子以上の電位にしてください。また、EVDD0 = EVDD1とってください。
- 注意3. REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

- 備考1. 端子名称は、1.4 端子名称を参照してください。
- 備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0, EVDD1に個別の電源を供給し、VssとEVss0, EVss1を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。
- 備考3. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

表1 - 12 100ピン製品の兼用機能 (1/4)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	100LFQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS02L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)
1	P142	-	-	-	-	-	-	-	-	-	-	-	SCK30/ SCL30	-	-	-
2	P141	-	-	PCLBUZ1	-	-	-	INTP7	-	-	-	-	-	-	-	-
3	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-
4	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-
5	P47	-	-	-	-	-	-	INTP2	-	-	-	-	-	-	-	-
6	P46	-	-	-	-	-	-	INTP1	-	-	TI05/ TO05	-	-	-	-	-
7	P45	-	-	-	-	-	-	-	-	-	-	-	SO01	-	-	-
8	P44	-	-	-	-	-	-	-	-	-	-	-	SI01/ SDA01	-	-	-
9	P43	-	-	-	-	-	-	-	-	-	-	-	SCK01/ SCL01	-	CLKA1	-
10	P42	-	-	-	-	-	-	-	-	-	TI04/ TO04	-	-	-	TxDA1	-
11	P41	-	-	-	-	-	-	-	-	-	-	-	-	-	RxDA1	-
12	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
13	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
14	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
15	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
16	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
17	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-
18	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
19	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
20	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
21	-	-	-	EVss0	-	-	-	-	-	-	-	-	-	-	-	-
22	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
23	-	-	-	EVDD0	-	-	-	-	-	-	-	-	-	-	-	-
24	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
25	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
26	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-
27	P63	CCD07	-	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-
28	P31	-	EI31	(PCLBUZ0)	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
29	P64	-	-	-	-	-	-	-	-	TS12	TI10/ TO10	-	-	-	-	-
30	P65	-	-	-	-	-	-	-	-	TS13	TI11/ TO11	-	-	-	-	-

表1 - 12 100ピン製品の兼用機能 (2/4)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
31	P66	-	-	-	-	-	-	-	-	TS14	TI12/ TO12	-	-	-	-	-
32	P67	-	-	-	-	-	-	-	-	TS15	TI13/ TO13	-	-	-	-	-
33	P77	-	-	-	-	-	-	INTP11	KR7	TS09	-	-	(TxD2)	-	-	-
34	P76	-	-	-	-	-	-	INTP10	KR6	TS08	-	-	(RxD2)	-	-	-
35	P75	-	-	-	-	-	-	INTP9	KR5	TS07	-	-	-	-	-	-
36	P74	-	-	-	-	-	-	INTP8	KR4	TS06	-	-	-	-	-	-
37	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	-	-	-	-
38	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	-	-
39	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	-	-
40	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	-	RIN0
41	P06	-	-	-	-	-	-	-	-	TS11	-	-	-	-	-	-
42	P05	-	-	-	-	-	-	-	-	TS10	-	-	-	-	-	-
43	-	-	-	EVss1	-	-	-	-	-	-	-	-	-	-	-	-
44	P80	-	-	-	-	-	-	-	-	-	-	-	(SCK10)/ (SCL10)	-	-	-
45	P81	-	-	-	-	-	-	-	-	-	-	-	(SI10)/ (RxD1)/ (SDA10)	-	-	-
46	P82	-	-	-	-	-	-	-	-	-	-	-	(SO10)/ (TxD1)	-	-	-
47	P83	-	-	-	-	-	-	-	-	-	-	-	-	-	TxDA0	-
48	P84	-	-	-	-	-	-	(INTP6)	-	-	-	-	-	-	RxDA0	-
49	P85	-	-	-	-	-	-	(INTP7)	-	-	-	-	-	-	CLKA0	-
50	P86	-	-	-	-	-	-	(INTP8)	-	-	-	-	-	-	-	-
51	P87	-	-	-	-	-	-	(INTP9)	-	-	-	-	-	-	-	-
52	P30	-	EI30	-	-	-	VCOU0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
53	-	-	-	EVDD1	-	-	-	-	-	-	-	-	-	-	-	-
54	P50	CCD03	EI50/ EO50	-	-	-	-	-	-	TS00	-	-	SI11/ SDA11	-	-	-
55	P51	CCD02	EI51/ EO51	-	-	-	-	-	-	-	-	-	SO11	-	-	-
56	P52	-	-	-	-	-	-	-	-	-	-	-	SO31	-	-	-
57	P53	-	-	-	-	-	-	-	-	-	-	-	SI31/ SDA31	-	-	-
58	P54	-	-	-	-	-	-	-	-	-	-	-	SCK31/ SCL31	-	-	-

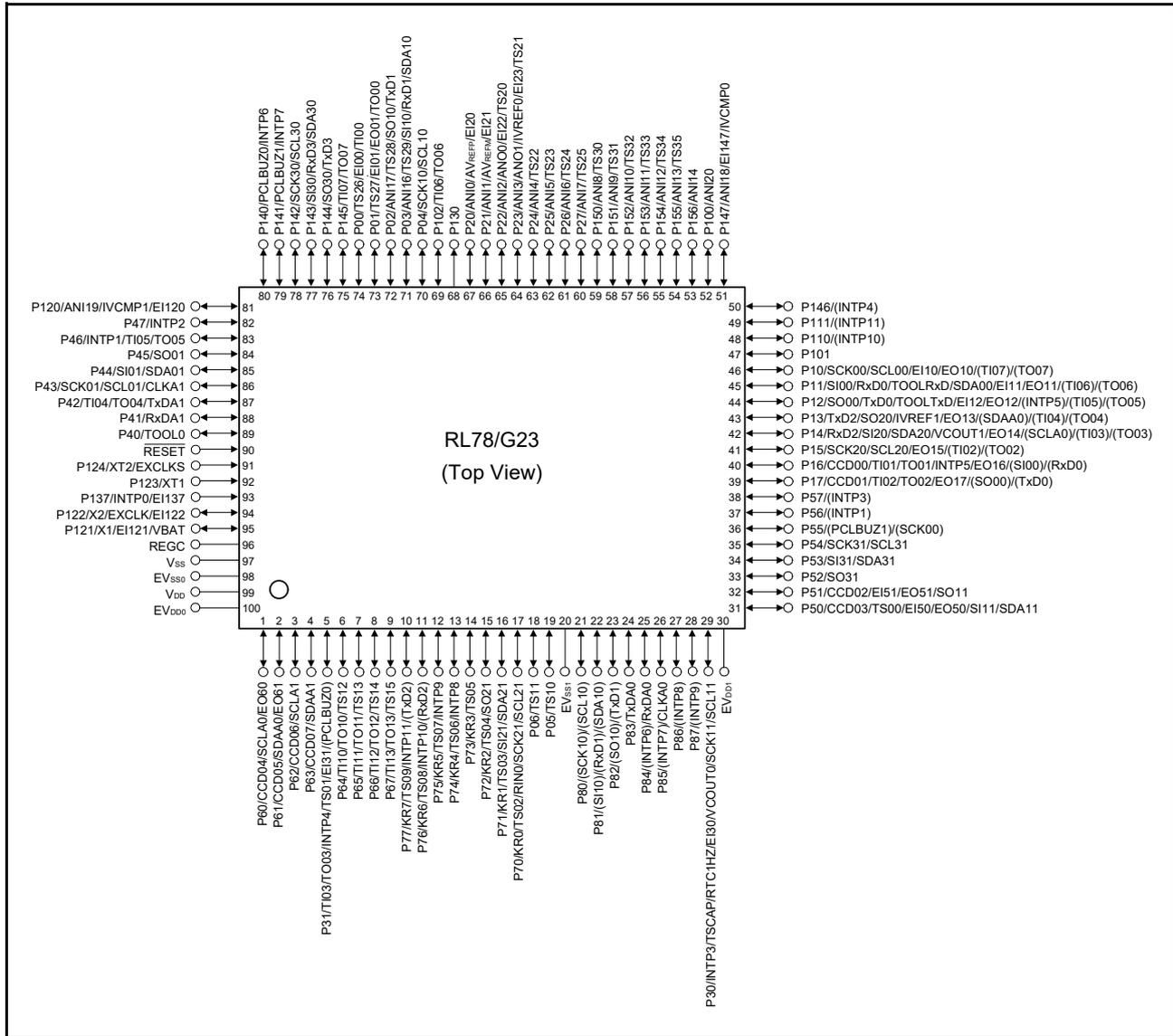
表1 - 12 100ピン製品の兼用機能 (3/4)

ピン番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	100LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)
59	P55	-	-	(PCLBUZ1)	-	-	-	-	-	-	-	-	(SCK00)	-	-	-
60	P56	-	-	-	-	-	-	(INTP1)	-	-	-	-	-	-	-	-
61	P57	-	-	-	-	-	-	(INTP3)	-	-	-	-	-	-	-	-
62	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/TO02	-	(SO00)/TxD0	-	-	-
63	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/TO01	-	(SI00)/RxD0	-	-	-
64	P15	-	EO15	-	-	-	-	-	-	-	(TI02)/TO02	-	SCK20/SCL20	-	-	-
65	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/TO03	-	SI20/RxD2/SDA20	(SCLA0)	-	-
66	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/TO04	-	SO20/TxD2	(SDAA0)	-	-
67	P12	-	EI12/EO12	TOOLTxD	-	-	-	(INTP5)	-	-	(TI05)/TO05	-	SO00/TxD0	-	-	-
68	P11	-	EI11/EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/TO06	-	SI00/RxD0/SDA00	-	-	-
69	P10	-	EI10/EO10	-	-	-	-	-	-	-	(TI07)/TO07	-	SCK00/SCL00	-	-	-
70	P101	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
71	P110	-	-	-	-	-	-	(INTP10)	-	-	-	-	-	-	-	-
72	P111	-	-	-	-	-	-	(INTP11)	-	-	-	-	-	-	-	-
73	P146	-	-	-	-	-	-	(INTP4)	-	-	-	-	-	-	-	-
74	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
75	P100	-	-	-	ANI20	-	-	-	-	-	-	-	-	-	-	-
76	P156	-	-	-	ANI14	-	-	-	-	-	-	-	-	-	-	-
77	P155	-	-	-	ANI13	-	-	-	-	TS35	-	-	-	-	-	-
78	P154	-	-	-	ANI12	-	-	-	-	TS34	-	-	-	-	-	-
79	P153	-	-	-	ANI11	-	-	-	-	TS33	-	-	-	-	-	-
80	P152	-	-	-	ANI10	-	-	-	-	TS32	-	-	-	-	-	-
81	P151	-	-	-	ANI9	-	-	-	-	TS31	-	-	-	-	-	-
82	P150	-	-	-	ANI8	-	-	-	-	TS30	-	-	-	-	-	-
83	P27	-	-	-	ANI7	-	-	-	-	TS25	-	-	-	-	-	-
84	P26	-	-	-	ANI6	-	-	-	-	TS24	-	-	-	-	-	-
85	P25	-	-	-	ANI5	-	-	-	-	TS23	-	-	-	-	-	-
86	P24	-	-	-	ANI4	-	-	-	-	TS22	-	-	-	-	-	-
87	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21	-	-	-	-	-	-
88	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20	-	-	-	-	-	-

表1 - 12 100ピン製品の兼用機能 (4/4)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELC入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
100LFOFP																
89	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
90	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
91	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
92	P102	-	-	-	-	-	-	-	-	-	TI06/ TO06	-	-	-	-	-
93	P04	-	-	-	-	-	-	-	-	-	-	SCK10/ SCL10	-	-	-	-
94	P03	-	-	-	ANI16	-	-	-	-	TS29	-	SI10/ RxD1/ SDA10	-	-	-	-
95	P02	-	-	-	ANI17	-	-	-	-	TS28	-	SO10/ TxD1	-	-	-	-
96	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27	TO00	-	-	-	-	-
97	P00	-	EI00	-	-	-	-	-	-	TS26	TI00	-	-	-	-	-
98	P145	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	-	-
99	P144	-	-	-	-	-	-	-	-	-	-	SO30/ TxD3	-	-	-	-
100	P143	-	-	-	-	-	-	-	-	-	-	SI30/ RxD3/ SDA30	-	-	-	-

- 100ピン・プラスチックLQFP（14×20mm、0.65mmピッチ）



- 注意 1.** EV<sub>SS0</sub>, EV<sub>SS1</sub>端子は、V<sub>SS</sub>端子と同電位にしてください。
- 注意 2.** V<sub>DD</sub>端子は、EV<sub>DD0</sub>, EV<sub>DD1</sub>端子以上の電位にしてください。また、EV<sub>DD0</sub> = EV<sub>DD1</sub>としてください。
- 注意 3.** REGC端子はコンデンサ（0.47～1μF）を介し、V<sub>SS</sub>に接続してください。

- 備考 1.** 端子名称は、1.4 端子名称を参照してください。
- 備考 2.** マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V<sub>DD</sub>とEV<sub>DD0</sub>, EV<sub>DD1</sub>に個別の電源を供給し、V<sub>SS</sub>とEV<sub>SS0</sub>, EV<sub>SS1</sub>を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。
- 備考 3.** 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

表1 - 13 100ピン製品の兼用機能2 (1/4)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
1	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	SCLA0	-	-	
2	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	SDAA0	-	-	
3	P62	CCD06	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-	
4	P63	CCD07	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-	
5	P31	-	EI31	(PCLBUZ0)	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	
6	P64	-	-	-	-	-	-	-	-	TS12	TI10/ TO10	-	-	-	-	
7	P65	-	-	-	-	-	-	-	-	TS13	TI11/ TO11	-	-	-	-	
8	P66	-	-	-	-	-	-	-	-	TS14	TI12/ TO12	-	-	-	-	
9	P67	-	-	-	-	-	-	-	-	TS15	TI13/ TO13	-	-	-	-	
10	P77	-	-	-	-	-	-	INTP11	KR7	TS09	-	-	(TxD2)	-	-	
11	P76	-	-	-	-	-	-	INTP10	KR6	TS08	-	-	(RxD2)	-	-	
12	P75	-	-	-	-	-	-	INTP9	KR5	TS07	-	-	-	-	-	
13	P74	-	-	-	-	-	-	INTP8	KR4	TS06	-	-	-	-	-	
14	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	-	-	-	
15	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	-	
16	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	-	
17	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	RIN0	
18	P06	-	-	-	-	-	-	-	-	TS11	-	-	-	-	-	
19	P05	-	-	-	-	-	-	-	-	TS10	-	-	-	-	-	
20	-	-	-	EVss1	-	-	-	-	-	-	-	-	-	-	-	
21	P80	-	-	-	-	-	-	-	-	-	-	-	(SCK10)/ (SCL10)	-	-	
22	P81	-	-	-	-	-	-	-	-	-	-	-	(SI10)/ (RxD1)/ (SDA10)	-	-	
23	P82	-	-	-	-	-	-	-	-	-	-	-	(SO10)/ (TxD1)	-	-	
24	P83	-	-	-	-	-	-	-	-	-	-	-	-	TxDA0	-	
25	P84	-	-	-	-	-	-	(INTP6)	-	-	-	-	-	RxDA0	-	
26	P85	-	-	-	-	-	-	(INTP7)	-	-	-	-	-	CLKA0	-	
27	P86	-	-	-	-	-	-	(INTP8)	-	-	-	-	-	-	-	
28	P87	-	-	-	-	-	-	(INTP9)	-	-	-	-	-	-	-	

表1 - 13 100ピン製品の兼用機能2 (2/4)

ピン番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	100LQFP	デジタル・ポート	出力電流制御ポート		ELC I入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)
29	P30	-	EI30	-	-	-	VCOU0	INTP3	-	TSCAP	-	RTC1HZ	SCK11/ SCL11	-	-	-
30	-	-	-	EVDD1	-	-	-	-	-	-	-	-	-	-	-	-
31	P50	CCD03	EI50/ EO50	-	-	-	-	-	-	TS00	-	-	SI11/ SDA11	-	-	-
32	P51	CCD02	EI51/ EO51	-	-	-	-	-	-	-	-	-	SO11	-	-	-
33	P52	-	-	-	-	-	-	-	-	-	-	-	SO31	-	-	-
34	P53	-	-	-	-	-	-	-	-	-	-	-	SI31/ SDA31	-	-	-
35	P54	-	-	-	-	-	-	-	-	-	-	-	SCK31/ SCL31	-	-	-
36	P55	-	-	(PCLBUZ1)	-	-	-	-	-	-	-	-	(SCK00)	-	-	-
37	P56	-	-	-	-	-	-	(INTP1)	-	-	-	-	-	-	-	-
38	P57	-	-	-	-	-	-	(INTP3)	-	-	-	-	-	-	-	-
39	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(SO00)/ (TxD0)	-	-	-
40	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(SI00)/ (RxD0)	-	-	-
41	P15	-	EO15	-	-	-	-	-	-	-	(TI02)/ (TO02)	-	SCK20/ SCL20	-	-	-
42	P14	-	EO14	-	-	-	VCOU1	-	-	-	(TI03)/ (TO03)	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
43	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ (TO04)	-	SO20/ TxD2	(SDAA0)	-	-
44	P12	-	EI12/ EO12	TOOLTxD	-	-	-	(INTP5)	-	-	(TI05)/ (TO05)	-	SO00/ TxD0	-	-	-
45	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ (TO06)	-	SI00/ RxD0/ SDA00	-	-	-
46	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ (TO07)	-	SCK00/ SCL00	-	-	-
47	P101	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
48	P110	-	-	-	-	-	-	(INTP10)	-	-	-	-	-	-	-	-
49	P111	-	-	-	-	-	-	(INTP11)	-	-	-	-	-	-	-	-
50	P146	-	-	-	-	-	-	(INTP4)	-	-	-	-	-	-	-	-
51	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
52	P100	-	-	-	ANI20	-	-	-	-	-	-	-	-	-	-	-
53	P156	-	-	-	ANI14	-	-	-	-	-	-	-	-	-	-	-
54	P155	-	-	-	ANI13	-	-	-	-	TS35	-	-	-	-	-	-
55	P154	-	-	-	ANI12	-	-	-	-	TS34	-	-	-	-	-	-

表1 - 13 100ピン製品の兼用機能2 (3/4)

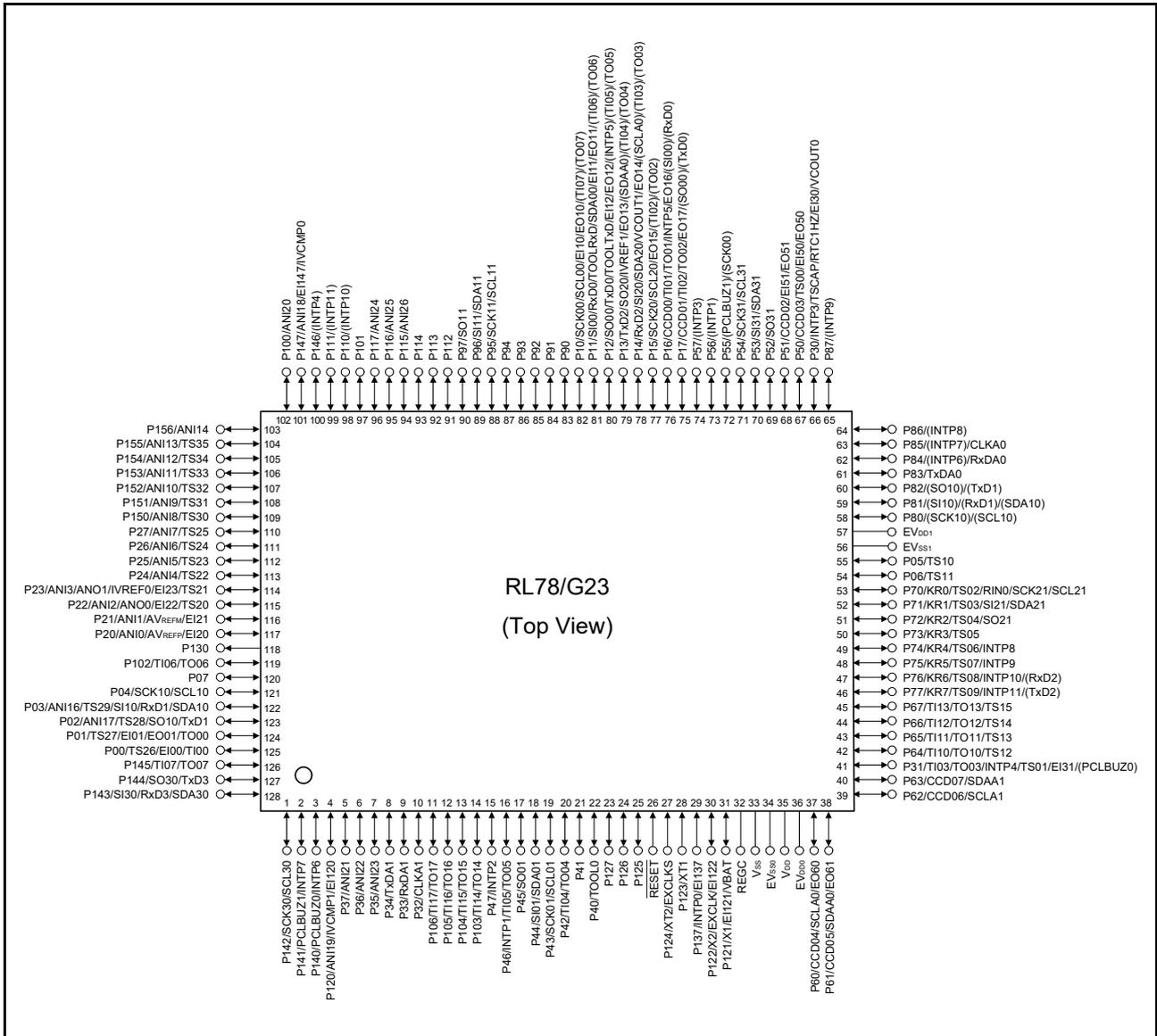
ピン番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	100LQFP	デジタル・ポート	出力電流制御ポート		ELC I入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)
56	P153	-	-	-	ANI11	-	-	-	-	TS33	-	-	-	-	-	-
57	P152	-	-	-	ANI10	-	-	-	-	TS32	-	-	-	-	-	-
58	P151	-	-	-	ANI9	-	-	-	-	TS31	-	-	-	-	-	-
59	P150	-	-	-	ANI8	-	-	-	-	TS30	-	-	-	-	-	-
60	P27	-	-	-	ANI7	-	-	-	-	TS25	-	-	-	-	-	-
61	P26	-	-	-	ANI6	-	-	-	-	TS24	-	-	-	-	-	-
62	P25	-	-	-	ANI5	-	-	-	-	TS23	-	-	-	-	-	-
63	P24	-	-	-	ANI4	-	-	-	-	TS22	-	-	-	-	-	-
64	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21	-	-	-	-	-	-
65	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20	-	-	-	-	-	-
66	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
67	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
68	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
69	P102	-	-	-	-	-	-	-	-	TI06/ TO06	-	-	-	-	-	-
70	P04	-	-	-	-	-	-	-	-	-	-	-	SCK10/ SCL10	-	-	-
71	P03	-	-	-	ANI16	-	-	-	-	TS29	-	-	SI10/ RxD1/ SDA10	-	-	-
72	P02	-	-	-	ANI17	-	-	-	-	TS28	-	-	SO10/ TxD1	-	-	-
73	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27	TO00	-	-	-	-	-
74	P00	-	EI00	-	-	-	-	-	-	TS26	TI00	-	-	-	-	-
75	P145	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	-	-
76	P144	-	-	-	-	-	-	-	-	-	-	-	SO30/ TxD3	-	-	-
77	P143	-	-	-	-	-	-	-	-	-	-	-	SI30/ RxD3/ SDA30	-	-	-
78	P142	-	-	-	-	-	-	-	-	-	-	-	SCK30/ SCL30	-	-	-
79	P141	-	-	PCLBUZ1	-	-	-	INTP7	-	-	-	-	-	-	-	-
80	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-
81	P120	-	EI20	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-
82	P47	-	-	-	-	-	-	INTP2	-	-	-	-	-	-	-	-
83	P46	-	-	-	-	-	-	INTP1	-	-	TI05/ TO05	-	-	-	-	-

表1 - 13 100ピン製品の兼用機能2 (4/4)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELC I入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)	リモコン信号受信機能 (REMC)
84	P45	-	-	-	-	-	-	-	-	-	-	-	SO01	-	-	-
85	P44	-	-	-	-	-	-	-	-	-	-	-	SI01/ SDA01	-	-	-
86	P43	-	-	-	-	-	-	-	-	-	-	-	SCK01/ SCL01	-	CLKA1	-
87	P42	-	-	-	-	-	-	-	-	-	TI04/ TO04	-	-	-	TxDA1	-
88	P41	-	-	-	-	-	-	-	-	-	-	-	-	-	RxDA1	-
89	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
90	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
91	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
92	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
93	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
94	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-
95	P121	-	EI121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
96	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
97	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
98	-	-	-	EVss0	-	-	-	-	-	-	-	-	-	-	-	-
99	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
100	-	-	-	EVDD0	-	-	-	-	-	-	-	-	-	-	-	-

1.3.11 128ピン製品

- 128ピン・プラスチックLFQFP（14×20mm、0.50mmピッチ）



- 注意 1.** EVSS0, EVSS1端子は、VSS端子と同電位にしてください。
- 注意 2.** VDD端子は、EVDD0, EVDD1端子以上の電位にしてください。また、EVDD0 = EVDD1としてください。
- 注意 3.** REGC端子はコンデンサ（0.47～1 μF）を介し、VSSに接続してください。

- 備考 1.** 端子名称は、1.4 端子名称を参照してください。
- 備考 2.** マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0, EVDD1に個別の電源を供給し、VSSとEVSS0, EVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。
- 備考 3.** 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

表1 - 14 128ピン製品の兼用機能 (1/5)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	128LFFQP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUL)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P142	-	-	-	-	-	-	-	-	-	-	-	SCK30/ SCL30	-	-	-
2	P141	-	-	PCLBUZ1	-	-	-	INTP7	-	-	-	-	-	-	-	-
3	P140	-	-	PCLBUZ0	-	-	-	INTP6	-	-	-	-	-	-	-	-
4	P120	-	EI120	-	ANI19	-	IVCMP1	-	-	-	-	-	-	-	-	-
5	P37	-	-	-	ANI21	-	-	-	-	-	-	-	-	-	-	-
6	P36	-	-	-	ANI22	-	-	-	-	-	-	-	-	-	-	-
7	P35	-	-	-	ANI23	-	-	-	-	-	-	-	-	-	-	-
8	P34	-	-	-	-	-	-	-	-	-	-	-	-	-	TxDA1	-
9	P33	-	-	-	-	-	-	-	-	-	-	-	-	-	RxDA1	-
10	P32	-	-	-	-	-	-	-	-	-	-	-	-	-	CLKA1	-
11	P106	-	-	-	-	-	-	-	-	-	TH17/ TO17	-	-	-	-	-
12	P105	-	-	-	-	-	-	-	-	-	TH16/ TO16	-	-	-	-	-
13	P104	-	-	-	-	-	-	-	-	-	TH15/ TO15	-	-	-	-	-
14	P103	-	-	-	-	-	-	-	-	-	TH14/ TO14	-	-	-	-	-
15	P47	-	-	-	-	-	-	INTP2	-	-	-	-	-	-	-	-
16	P46	-	-	-	-	-	-	INTP1	-	-	TI05/ TO05	-	-	-	-	-
17	P45	-	-	-	-	-	-	-	-	-	-	-	SO01	-	-	-
18	P44	-	-	-	-	-	-	-	-	-	-	-	SI01/ SDA01	-	-	-
19	P43	-	-	-	-	-	-	-	-	-	-	-	SCK01/ SCL01	-	-	-
20	P42	-	-	-	-	-	-	-	-	-	TI04/ TO04	-	-	-	-	-
21	P41	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
22	P40	-	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-
23	P127	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
24	P126	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
25	P125	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
26	-	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-
27	P124	-	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-
28	P123	-	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-
29	P137	-	EI137	-	-	-	-	INTP0	-	-	-	-	-	-	-	-
30	P122	-	EI122	X2/EXCLK	-	-	-	-	-	-	-	-	-	-	-	-

表1 - 14 128ピン製品の兼用機能 (2/5)

ピン番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	128LFOFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
31	P121	-	EH121	X1/VBAT	-	-	-	-	-	-	-	-	-	-	-	-
32	-	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-
33	-	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-
34	-	-	-	EVss0	-	-	-	-	-	-	-	-	-	-	-	-
35	-	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-
36	-	-	-	EVDD0	-	-	-	-	-	-	-	-	-	-	-	-
37	P60	CCD04	EO60	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-
38	P61	CCD05	EO61	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-
39	P62	CCD06	-	-	-	-	-	-	-	-	-	-	-	SCLA1	-	-
40	P63	CCD07	-	-	-	-	-	-	-	-	-	-	-	SDAA1	-	-
41	P31	-	EI31	(PCLBUZ0)	-	-	-	INTP4	-	TS01	TI03/ TO03	-	-	-	-	-
42	P64	-	-	-	-	-	-	-	-	TS12	TI10/ TO10	-	-	-	-	-
43	P65	-	-	-	-	-	-	-	-	TS13	TI11/ TO11	-	-	-	-	-
44	P66	-	-	-	-	-	-	-	-	TS14	TI12/ TO12	-	-	-	-	-
45	P67	-	-	-	-	-	-	-	-	TS15	TI13/ TO13	-	-	-	-	-
46	P77	-	-	-	-	-	-	INTP11	KR7	TS09	-	-	(TxD2)	-	-	-
47	P76	-	-	-	-	-	-	INTP10	KR6	TS08	-	-	(RxD2)	-	-	-
48	P75	-	-	-	-	-	-	INTP9	KR5	TS07	-	-	-	-	-	-
49	P74	-	-	-	-	-	-	INTP8	KR4	TS06	-	-	-	-	-	-
50	P73	-	-	-	-	-	-	-	KR3	TS05	-	-	-	-	-	-
51	P72	-	-	-	-	-	-	-	KR2	TS04	-	-	SO21	-	-	-
52	P71	-	-	-	-	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	-	-
53	P70	-	-	-	-	-	-	-	KR0	TS02	-	-	SCK21/ SCL21	-	-	RIN0
54	P06	-	-	-	-	-	-	-	-	TS11	-	-	-	-	-	-
55	P05	-	-	-	-	-	-	-	-	TS10	-	-	-	-	-	-
56	-	-	-	EVss1	-	-	-	-	-	-	-	-	-	-	-	-
57	-	-	-	EVDD1	-	-	-	-	-	-	-	-	-	-	-	-
58	P80	-	-	-	-	-	-	-	-	-	-	-	(SCK10)/ (SCL10)	-	-	-
59	P81	-	-	-	-	-	-	-	-	-	-	-	(SI10)/ (RxD1)/ (SDA10)	-	-	-
60	P82	-	-	-	-	-	-	-	-	-	-	-	(SO10)/ (TxD1)	-	-	-

表1 - 14 128ピン製品の兼用機能 (3/5)

ピン番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インターフェース			
	128LFOFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
61	P83	-	-	-	-	-	-	-	-	-	-	-	-	-	TxDA0	-
62	P84	-	-	-	-	-	-	(INTP6)	-	-	-	-	-	-	RxDA0	-
63	P85	-	-	-	-	-	-	(INTP7)	-	-	-	-	-	-	CLKA0	-
64	P86	-	-	-	-	-	-	(INTP8)	-	-	-	-	-	-	-	-
65	P87	-	-	-	-	-	-	(INTP9)	-	-	-	-	-	-	-	-
66	P30	-	EI30	-	-	-	VCOUT0	INTP3	-	TSCAP	-	RTC1HZ	-	-	-	-
67	P50	CCD03	EI50/ EO50	-	-	-	-	-	-	TS00	-	-	-	-	-	-
68	P51	CCD02	EI51/ EO51	-	-	-	-	-	-	-	-	-	-	-	-	-
69	P52	-	-	-	-	-	-	-	-	-	-	-	SO31	-	-	-
70	P53	-	-	-	-	-	-	-	-	-	-	-	SI31/ SDA31	-	-	-
71	P54	-	-	-	-	-	-	-	-	-	-	-	SCK31/ SCL31	-	-	-
72	P55	-	-	(PCLBUZ1)	-	-	-	-	-	-	-	-	(SCK00)	-	-	-
73	P56	-	-	-	-	-	-	(INTP1)	-	-	-	-	-	-	-	-
74	P57	-	-	-	-	-	-	(INTP3)	-	-	-	-	-	-	-	-
75	P17	CCD01	EO17	-	-	-	-	-	-	-	TI02/ TO02	-	(SO00)/ TxD0	-	-	-
76	P16	CCD00	EO16	-	-	-	-	INTP5	-	-	TI01/ TO01	-	(SI00)/ RxD0	-	-	-
77	P15	-	EO15	-	-	-	-	-	-	-	(TI02)/ TO02	-	SCK20/ SCL20	-	-	-
78	P14	-	EO14	-	-	-	VCOUT1	-	-	-	(TI03)/ TO03	-	SI20/ RxD2/ SDA20	(SCLA0)	-	-
79	P13	-	EO13	-	-	-	IVREF1	-	-	-	(TI04)/ TO04	-	SO20/ TxD2	(SDAA0)	-	-
80	P12	-	EI12/ EO12	TOOLTxD	-	-	-	(INTP5)	-	-	(TI05)/ TO05	-	SO00/ TxD0	-	-	-
81	P11	-	EI11/ EO11	TOOLRxD	-	-	-	-	-	-	(TI06)/ TO06	-	SI00/ RxD0/ SDA00	-	-	-
82	P10	-	EI10/ EO10	-	-	-	-	-	-	-	(TI07)/ TO07	-	SCK00/ SCL00	-	-	-
83	P90	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
84	P91	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
85	P92	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
86	P93	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
87	P94	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

表1 - 14 128ピン製品の兼用機能 (4/5)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	128LFOFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTS02L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
88	P95	-	-	-	-	-	-	-	-	-	-	-	SCK11/ SCL11	-	-	-
89	P96	-	-	-	-	-	-	-	-	-	-	-	SI11/ SDA11	-	-	-
90	P97	-	-	-	-	-	-	-	-	-	-	-	SO11	-	-	-
91	P112	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
92	P113	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
93	P114	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
94	P115	-	-	-	ANI26	-	-	-	-	-	-	-	-	-	-	-
95	P116	-	-	-	ANI25	-	-	-	-	-	-	-	-	-	-	-
96	P117	-	-	-	ANI24	-	-	-	-	-	-	-	-	-	-	-
97	P101	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
98	P110	-	-	-	-	-	-	(INTP10)	-	-	-	-	-	-	-	-
99	P111	-	-	-	-	-	-	(INTP11)	-	-	-	-	-	-	-	-
100	P146	-	-	-	-	-	-	(INTP4)	-	-	-	-	-	-	-	-
101	P147	-	EI147	-	ANI18	-	IVCMP0	-	-	-	-	-	-	-	-	-
102	P100	-	-	-	ANI20	-	-	-	-	-	-	-	-	-	-	-
103	P156	-	-	-	ANI14	-	-	-	-	-	-	-	-	-	-	-
104	P155	-	-	-	ANI13	-	-	-	-	TS35	-	-	-	-	-	-
105	P154	-	-	-	ANI12	-	-	-	-	TS34	-	-	-	-	-	-
106	P153	-	-	-	ANI11	-	-	-	-	TS33	-	-	-	-	-	-
107	P152	-	-	-	ANI10	-	-	-	-	TS32	-	-	-	-	-	-
108	P151	-	-	-	ANI9	-	-	-	-	TS31	-	-	-	-	-	-
109	P150	-	-	-	ANI8	-	-	-	-	TS30	-	-	-	-	-	-
110	P27	-	-	-	ANI7	-	-	-	-	TS25	-	-	-	-	-	-
111	P26	-	-	-	ANI6	-	-	-	-	TS24	-	-	-	-	-	-
112	P25	-	-	-	ANI5	-	-	-	-	TS23	-	-	-	-	-	-
113	P24	-	-	-	ANI4	-	-	-	-	TS22	-	-	-	-	-	-
114	P23	-	EI23	-	ANI3	ANO1	IVREF0	-	-	TS21	-	-	-	-	-	-
115	P22	-	EI22	-	ANI2	ANO0	-	-	-	TS20	-	-	-	-	-	-
116	P21	-	EI21	-	ANI1/ AVREFM	-	-	-	-	-	-	-	-	-	-	-
117	P20	-	EI20	-	ANI0/ AVREFP	-	-	-	-	-	-	-	-	-	-	-
118	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
119	P102	-	-	-	-	-	-	-	-	TI06/ TO06	-	-	-	-	-	-
120	P07	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

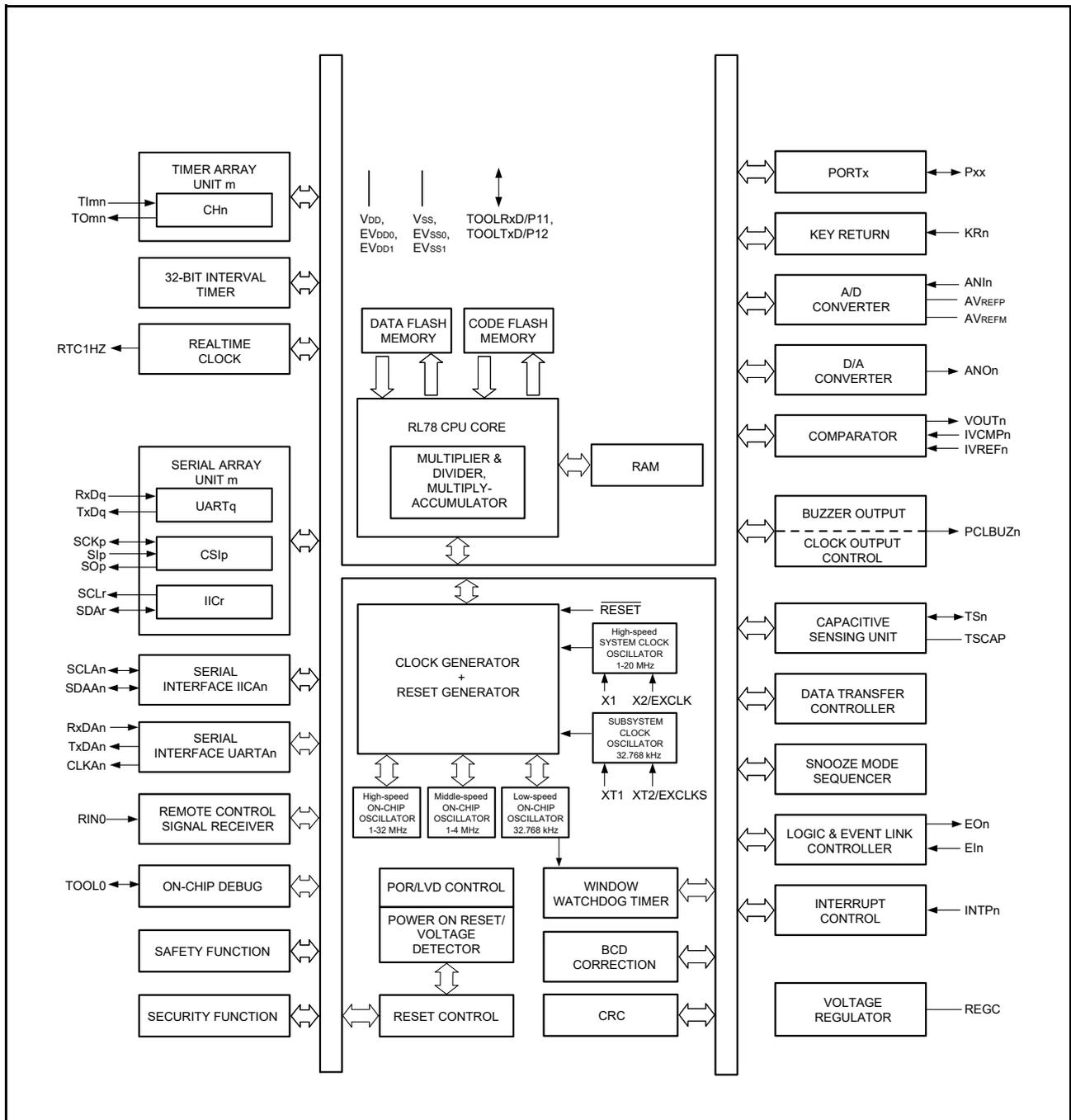
表1 - 14 128ピン製品の兼用機能 (5/5)

ピン 番号	I/O			電源、システムクロック、デバッグ	アナログ			HMI			タイマ		通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	割り込み機能 (INTP)	キー割り込み機能 (KR)	静電容量センサユニット (CTSUS2L)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)	リモコン信号受信機能 (REMC)
121	P04	-	-	-	-	-	-	-	-	-	-	-	SCK10/ SCL10	-	-	-
122	P03	-	-	-	ANI16	-	-	-	-	TS29	-	-	SI10/ Rx/D1/ SDA10	-	-	-
123	P02	-	-	-	ANI17	-	-	-	-	TS28	-	-	SO10/ Tx/D1	-	-	-
124	P01	-	EI01/ EO01	-	-	-	-	-	-	TS27	TO00	-	-	-	-	-
125	P00	-	EI00	-	-	-	-	-	-	TS26	TI00	-	-	-	-	-
126	P145	-	-	-	-	-	-	-	-	-	TI07/ TO07	-	-	-	-	-
127	P144	-	-	-	-	-	-	-	-	-	-	-	SO30/ Tx/D3	-	-	-
128	P143	-	-	-	-	-	-	-	-	-	-	-	SI30/ Rx/D3/ SDA30	-	-	-

## 1.4 端子名称

ANI0-ANI14,	: Analog input	PCLBUZ0, PCLBUZ1	: Programmable clock output/buzzer output
ANI16-ANI26		REGC	: Regulator capacitance
ANO0, ANO1	: Analog output	RESET	: Reset
AVREFM	: Analog reference voltage minus	RIN0	: IR remote controller input
AVREFP	: Analog reference voltage plus	RTC1HZ	: Realtime clock correction clock (1 Hz) output
CCD00-CCD07	: Controlled current drive output	RxD0-RxD3,	: Receive data
CLKA0, CLKA1	: Asynchronous serial clock output	RxDA0, RxDA1	
EI00, EI01, EI10-EI12,	: Logic & event link controller input	SCLA0, SCLA1,	: Serial clock input/output
EI20-EI23, EI30, EI31,		SCK00, SCK01, SCK10,	
EI50, EI51,		SCK11, SCK20, SCK21,	
EI120-EI122,		SCK30, SCK31	
EI137, EI147		SCL00, SCL01, SCL10,	: Serial clock output
EO01, EO10-EO17,	: Logic & event link controller output	SCL11, SCL20, SCL21,	
EO50, EO51,		SCL30, SCL31	
EO60, EO61		SDAA0, SDAA1, SDA00,	: Serial data input/output
EVDD0, EVDD1	: Power supply for port	SDA01, SDA10, SDA11,	
EVSS0, EVSS1	: Ground for port	SDA20, SDA21, SDA30,	
EXCLK	: External clock input (main system clock)	SDA31	
EXCLKS	: External Clock Input (subsystem clock)	SI00, SI01, SI10, SI11,	: Serial data input
INTP0-INTP11	: Interrupt request from peripheral	SI20, SI21, SI30, SI31	
IVCMP0, IVCMP1	: Comparator input	SO00, SO01, SO10,	: Serial data output
IVREF0, IVREF1	: Comparator reference input	SO11, SO20, SO21,	
KR0-KR7	: Key return	SO30, SO31	
P00-P07	: Port 0	TSCAP	: Touch sensor capacitance
P10-P17	: Port 1	Ti00-Ti07, Ti10-Ti17	: Timer input
P20-P27	: Port 2	TO00-TO07, TO10-TO17	: Timer output
P30-P37	: Port 3	TOOL0	: Data input/output for tool
P40-P47	: Port 4	TOOLRxD, TOOLTxD	: Data input/output for external device
P50-P57	: Port 5	TS00-TS15, TS20-TS35	: Capacitive sensor
P60-P67	: Port 6	TxD0-TxD3,	: Transmit data
P70-P77	: Port 7	TxDA0, TxDA1	
P80-P87	: Port 8	VBAT	: Battery backup power supply
P90-P97	: Port 9	VCOU0, VCOU1	: Comparator output
P100-P106	: Port 10	VDD	: Power supply
P110-P117	: Port 11	VSS	: Ground
P120-P127	: Port 12	X1, X2	: Crystal oscillator (main system clock)
P130, P137	: Port 13	XT1, XT2	: Crystal oscillator (subsystem clock)
P140-P147	: Port 14		
P150-P156	: Port 15		

### 1.5 ブロック図



注意 1. REMOTE CONTROL SIGNAL RECEIVERは、32～128ピン製品のみ

注意 2. SERIAL INTERFACE UARTAは、36～128ピン製品のみ

注意 3. KEY RETURNは、40～128ピン製品のみ

備考 m: ユニット番号、n: チャネル番号、p: CSI番号、q: UART番号、r: 簡易I<sup>2</sup>C番号、xx: ポート番号

## 1.6 機能概要

【30ピン、32ピン、36ピン、40ピン、44ピン、48ピン製品】

注意 周辺I/Oリダイレクション・レジスタ (PIOR) を00Hに設定時の機能概要です。

(1/4)

項目	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	R7F100GAx	R7F100GBx	R7F100GCx	R7F100GEx	R7F100GFx	R7F100GGx
コード・フラッシュ・メモリ	96-256 KB	96-256 KB	96-256 KB	96-256 KB	96-768 KB	96-768 KB
データ・フラッシュ・メモリ	8 KB	8 KB	8 KB	8 KB	8 KB	8 KB
RAM	12-24 KB	12-24 KB	12-24 KB	12-24 KB	12-48 KB	12-48 KB
アドレス空間	1 Mバイト					
CPU/周辺 ハードウェア・ クロック周波数 (fCLK)	メイン・システム・ クロック	HS (高速メイン) モード : 1~32 MHz (V <sub>DD</sub> = 1.8~5.5 V) HS (高速メイン) モード : 1~4 MHz <sup>注1</sup> (V <sub>DD</sub> = 1.6~5.5 V) LS (低速メイン) モード : 1~24 MHz (V <sub>DD</sub> = 1.8~5.5 V) LS (低速メイン) モード : 1~4 MHz <sup>注1</sup> (V <sub>DD</sub> = 1.6~5.5 V) LP (低電力メイン) モード : 1~2 MHz <sup>注2</sup> (V <sub>DD</sub> = 1.6~5.5 V)				
	サブシステム・ クロック	SUBモード : 32.768 kHz (V <sub>DD</sub> = 1.6~5.5 V)				
メイン・ システム・ クロック	高速システム・ クロック (f <sub>MX</sub> )	1~20 MHz				
	高速オンチップ・ オシレータ・クロック (f <sub>IH</sub> )	1 MHz, 2 MHz, 3 MHz, 4 MHz, 6 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz				
	中速オンチップ・ オシレータ・クロック (f <sub>IM</sub> )	1 MHz, 2 MHz, 4 MHz				
サブシステム・ クロック	サブシステム・ クロックX (f <sub>SX</sub> )	32.768 kHz (V <sub>DD</sub> = 2.4~5.5 V)			32.768 kHz (V <sub>DD</sub> = 1.6~5.5 V)	
	低速オンチップ・ オシレータ・クロック (f <sub>IL</sub> )	32.768 kHz (Typ.)				
汎用レジスタ	8ビット × 32レジスタ (8ビット × 8レジスタ × 4バンク)					
最小命令実行時間	0.03125 μs (高速オンチップ・オシレータ・クロック : f <sub>IH</sub> = 32 MHz動作時)					
命令セット	<ul style="list-style-type: none"> <li>データ転送 (8/16ビット)</li> <li>加減/論理演算 (8/16ビット)</li> <li>乗算 (8 × 8ビット、16 × 16ビット)、除算 (16 ÷ 16ビット、32 ÷ 32ビット)</li> <li>積和演算 (16 × 16 + 32ビット)</li> <li>ローテート、パレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など</li> </ul>					

(2/4)

項目		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
		R7F100GAx	R7F100GBx	R7F100GCx	R7F100GEx	R7F100GFx	R7F100GGx
I/Oポート	合計	26	28	32	36	40	44
	CMOS入出力	23 (N-chオープン・ドレイン出力/入力 [VDD耐圧]: 10)	24 (N-chオープン・ドレイン出力/入力 [VDD耐圧]: 10)	28 (N-chオープン・ドレイン出力/入力 [VDD耐圧]: 12)	30 (N-chオープン・ドレイン出力/入力 [VDD耐圧]: 12)	33 (N-chオープン・ドレイン出力/入力 [VDD耐圧]: 12)	36 (N-chオープン・ドレイン出力/入力 [VDD耐圧]: 13)
	CMOS入力	1	1	1	3	3	3
	CMOS出力	—	—	—	—	—	1
	N-chオープン・ドレイン出力/入力 (6 V耐圧)	2	3	3	3	4	4
	出力電流制御ポート	6	7	7	7	7	8
タイマ	16ビット・タイマ	8チャンネル					
	ウォッチドッグ・タイマ	1チャンネル					
	リアルタイム・クロック (RTC)	1チャンネル					
	32ビット・インターバル・タイマ (TML32)	32ビット・カウント・モード時: 1チャンネル、 16ビット・カウント・モード時: 2チャンネル、 8ビット・カウント・モード時: 4チャンネル					
	タイマ出力	4本 (PWM出力: 3本 <sup>注3</sup> )、 8本 (PWM出力: 7本 <sup>注3</sup> ) <sup>注4</sup>				5本 (PWM出力: 4本 <sup>注3</sup> )、 8本 (PWM出力: 7本 <sup>注3</sup> ) <sup>注4</sup>	
	RTC出力	1本					
クロック出力/ブザー出力	2本 <ul style="list-style-type: none"> <li>• 3.91 kHz, 7.81 kHz, 15.63 kHz, 2 MHz, 4 MHz, 8 MHz, 16 MHz (メイン・システム・クロック: fMAIN = 32 MHz動作時)</li> <li>• 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (低速周辺クロック: fsXP = 32.768 kHz動作時)</li> </ul>						
8/10/12ビット分解能A/Dコンバータ	8チャンネル				9チャンネル	10チャンネル	
D/Aコンバータ	2チャンネル						
コンパレータ	2チャンネル						

(3/4)

項目	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	
	R7F100GAx	R7F100GBx	R7F100GCx	R7F100GEx	R7F100GFx	R7F100GGx	
シリアル・インタフェース	<p>【30ピン、32ピン製品】</p> <ul style="list-style-type: none"> <li>簡易SPI (CSI) : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART (LIN-bus対応) : 1チャンネル</li> </ul> <p>【36ピン、40ピン、44ピン製品】</p> <ul style="list-style-type: none"> <li>簡易SPI (CSI) : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル</li> </ul> <p>【48ピン製品】</p> <ul style="list-style-type: none"> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル</li> </ul>						
	UARTA	—		1チャンネル		2チャンネル	
	I <sup>2</sup> Cバス	1チャンネル			2チャンネル		
リモコン信号受信機能	—	1チャンネル					
データ・トランスファ・コントローラ (DTC)	30要因	30要因	32要因	33要因	35要因	36要因	
ロジック&イベント・リンク・コントローラ (ELCL)	1						
SNOOZEモード・シーケンサ (SMS)	1						
静電容量式 タッチセンサ	ROMサイズ 96~128 KB	2	3	5	6	6	8
	ROMサイズ 192~768 KB	6	7	11	13	14	16
ペクタ割り込み 要因	内部	31	32	35	35	39	39
	外部	6	6	6	7	7	10
キー割り込み	—				4	6	
リセット	<ul style="list-style-type: none"> <li>RESET端子によるリセット</li> <li>ウォッチドッグ・タイマによる内部リセット</li> <li>パワーオン・リセットによる内部リセット</li> <li>電圧検出回路 (LVD0、LVD1) による内部リセット</li> <li>不正命令の実行による内部リセット注5</li> <li>RAMパリティ・エラーによる内部リセット</li> <li>不正メモリ・アクセスによる内部リセット</li> </ul>						
パワーオン・リセット回路	検出電圧 ・1.50 V (Typ.)						
電圧検出回路	LVD0	検出電圧 ・立ち上がり : 1.69~3.96 V (6段階) ・立ち下がり : 1.65~3.88 V (6段階)					
	LVD1	検出電圧 ・立ち上がり : 1.67~4.16 V (18段階) ・立ち下がり : 1.63~4.08 V (18段階)					

(4/4)

項目	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	R7F100GAx	R7F100GBx	R7F100GCx	R7F100GEx	R7F100GFx	R7F100GGx
オンチップ・デバッグ機能	あり（トレース機能対応）					
電源電圧	V <sub>DD</sub> = 1.6 ~ 5.5 V					
動作周囲温度	T <sub>A</sub> = -40 ~ +85°C（2D：民生用途）、T <sub>A</sub> = -40 ~ +105°C（3C：産業用途）					

- 注1.** フラッシュ・メモリを書き換える場合は、2 MHz以下で書き換えてください。
- 注2.** フラッシュ・メモリを書き換える場合は、HS（高速メイン）モードまたはLS（低速メイン）モードに切り替えてください。
- 注3.** 使用チャネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（7.9.3 多重PWM出力機能としての動作参照）。
- 注4.** PIOR0 = 1に設定した場合です。
- 注5.** FFHの命令コードを実行したときに発生します。  
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

## 【52ピン、64ピン、80ピン、100ピン、128ピン製品】

注意 周辺I/Oリダイレクション・レジスタ (PIOR) を00Hに設定時の機能概要です。

(1/4)

項目		52ピン	64ピン	80ピン	100ピン	128ピン
		R7F100GJx	R7F100GLx	R7F100GMx	R7F100GPx	R7F100GSx
コード・フラッシュ・メモリ		96-768 KB	96-768 KB	128-768 KB	128-768 KB	256-768 KB
データ・フラッシュ・メモリ		8 KB	8 KB	8 KB	8 KB	8 KB
RAM		12-48 KB	12-48 KB	16-48 KB	16-48 KB	24-48 KB
アドレス空間		1 Mバイト				
CPU/周辺 ハードウェア・ クロック周波数 (fCLK)	メイン・システム・ クロック	HS (高速メイン) モード : 1~32 MHz (VDD = 1.8~5.5 V) HS (高速メイン) モード : 1~4 MHz <sup>注1</sup> (VDD = 1.6~5.5 V) LS (低速メイン) モード : 1~24 MHz (VDD = 1.8~5.5 V) LS (低速メイン) モード : 1~4 MHz <sup>注1</sup> (VDD = 1.6~5.5 V) LP (低電力メイン) モード : 1~2 MHz <sup>注2</sup> (VDD = 1.6~5.5 V)				
	サブシステム・クロック	SUBモード : 32.768 kHz (VDD = 1.6~5.5 V)				
メイン・ システム・ クロック	高速システム・ クロック (fMX)	1~20 MHz				
	高速オンチップ・ オシレータ・クロック (fIH)	1 MHz, 2 MHz, 3 MHz, 4 MHz, 6 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz				
	中速オンチップ・ オシレータ・クロック (fIM)	1 MHz, 2 MHz, 4 MHz				
サブシステム・ クロック	サブシステム・ クロックX (fsX)	32.768 kHz VDD = 1.6~5.5 V				
	低速オンチップ・ オシレータ・クロック (fIL)	32.768 kHz (Typ.)				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック : fIH = 32 MHz動作時)				
命令セット		<ul style="list-style-type: none"> <li>• データ転送 (8/16ビット)</li> <li>• 加減/論理演算 (8/16ビット)</li> <li>• 乗算 (8×8ビット、16×16ビット)、除算 (16÷16ビット、32÷32ビット)</li> <li>• 積和演算 (16×16+32ビット)</li> <li>• ローテート、パレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など</li> </ul>				

(2/4)

項目		52ピン	64ピン	80ピン	100ピン	128ピン
		R7F100GJx	R7F100GLx	R7F100GMx	R7F100GPx	R7F100GSx
I/Oポート	合計	48	58	74	92	120
	CMOS入出力	40 (N-chオープン・ドレイン出力／入力 [VDD耐圧]: 15)	50 (N-chオープン・ドレイン出力／入力 [EVDD耐圧]: 22 <sup>注3</sup> ／18 <sup>注4</sup> )	66 (N-chオープン・ドレイン出力／入力 [EVDD耐圧]: 27)	84 (N-chオープン・ドレイン出力／入力 [EVDD耐圧]: 31)	112 (N-chオープン・ドレイン出力／入力 [EVDD耐圧]: 33)
	CMOS入力	3	3	3	3	3
	CMOS出力	1	1	1	1	1
	N-chオープン・ドレイン出力／入力 (6V耐圧)	4	4	4	4	4
	出力電流制御ポート	8	8	8	8	8
タイマ	16ビット・タイマ	8チャンネル		12チャンネル		16チャンネル
	ウォッチドッグ・タイマ	1チャンネル				
	リアルタイム・クロック (RTC)	1チャンネル				
	32ビット・インターバル・タイマ (TML32)	32ビット・カウント・モード時: 1チャンネル、 16ビット・カウント・モード時: 2チャンネル、 8ビット・カウント・モード時: 4チャンネル				
	タイマ出力	5本 (PWM出力: 4本 <sup>注5</sup> )、 8本 (PWM出力: 7本 <sup>注5</sup> ) <sup>注6</sup>	8本 (PWM出力: 7本 <sup>注5</sup> )	12本 (PWM出力: 10本 <sup>注5</sup> )		16本 (PWM出力: 14本 <sup>注5</sup> )
	RTC出力	1本				
クロック出力／ブザー出力	2本 <ul style="list-style-type: none"> <li>• 3.91 kHz, 7.81 kHz, 15.63 kHz, 2 MHz, 4 MHz, 8 MHz, 16 MHz (メイン・システム・クロック: fMAIN = 32 MHz動作時)</li> <li>• 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (低速周辺クロック: fSXP = 32.768 kHz動作時)</li> </ul>					
8/10/12ビット分解能A/Dコンバータ	12チャンネル	12チャンネル	17チャンネル	20チャンネル	26チャンネル	
D/Aコンバータ	2チャンネル					
コンパレータ	2チャンネル					

(3/4)

項目	52ピン	64ピン	80ピン	100ピン	128ピン	
	R7F100GJx	R7F100GLx	R7F100GMx	R7F100GPx	R7F100GSx	
シリアル・インタフェース	<p>【52ピン製品】</p> <ul style="list-style-type: none"> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル</li> </ul> <p>【64ピン製品】</p> <ul style="list-style-type: none"> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル</li> </ul> <p>【80ピン、100ピン、128ピン製品】</p> <ul style="list-style-type: none"> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル</li> <li>簡易SPI (CSI) : 2チャンネル/簡易I<sup>2</sup>C : 2チャンネル/UART : 1チャンネル</li> </ul>					
	UARTA	2チャンネル				
	I <sup>2</sup> Cバス	2チャンネル				
リモコン信号受信機能	1チャンネル					
データ・トランスファ・コントローラ (DTC)	36要因	37要因	39要因			
ロジック&イベント・リンク・コントローラ (ELCL)	1					
SNOOZEモード・シーケンサ (SMS)	1					
静電容量式 タッチセンサ	ROMサイズ 96~128 KB	10	12	30	32	32
	ROMサイズ 192~768 KB	20	22	30	32	32
ベクタ割り込み 要因	内部	39	39	44	44	48
	外部	12	13	13	13	13
キー割り込み	8					
リセット	<ul style="list-style-type: none"> <li>RESET端子によるリセット</li> <li>ウォッチドッグ・タイマによる内部リセット</li> <li>パワーオン・リセットによる内部リセット</li> <li>電圧検出回路 (LVDO、LVD1) による内部リセット</li> <li>不正命令の実行による内部リセット<sup>注7</sup></li> <li>RAMパリティ・エラーによる内部リセット</li> <li>不正メモリ・アクセスによる内部リセット</li> </ul>					
パワーオン・リセット回路	検出電圧 ・1.50 V (Typ.)					
電圧検出回路	LVDO	検出電圧 ・立ち上がり : 1.69~3.96 V (6段階) ・立ち下がり : 1.65~3.88 V (6段階)				
	LVD1	検出電圧 ・立ち上がり : 1.67~4.16 V (18段階) ・立ち下がり : 1.63~4.08 V (18段階)				

(4/4)

項目	52ピン	64ピン	80ピン	100ピン	128ピン
	R7F100GJx	R7F100GLx	R7F100GMx	R7F100GPx	R7F100GSx
オンチップ・デバッグ機能	あり（トレース機能対応）				
電源電圧	V <sub>DD</sub> = 1.6 ~ 5.5 V				
動作周囲温度	TA = -40 ~ +85°C（2D：民生用途）、TA = -40 ~ +105°C（3C：産業用途）				

- 注1.** フラッシュ・メモリを書き換える場合は、2 MHz以下で書き換えてください。
- 注2.** フラッシュ・メモリを書き換える場合は、HS（高速メイン）モードまたはLS（低速メイン）モードに切り替えてください。
- 注3.** フラッシュ・メモリ 96 KB・128 KBの製品
- 注4.** フラッシュ・メモリ 192~768 KBの製品
- 注5.** 使用チャネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（7.9.3 多重PWM出力機能としての動作参照）。
- 注6.** PIOR0 = 1に設定した場合です
- 注7.** FFHの命令コードを実行したときに発生します。  
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

## 第2章 端子機能

### 2.1 ポートの端子機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

- (1) 30ピン、32ピン、36ピン、40ピン、44ピン、48ピン、52ピン製品

電源	対応する端子
VDD	すべての端子

- (2) 64ピン製品

電源	対応する端子
EVDD0	• P20-P27, P121-P124, P137以外のポート端子
VDD	• P20-P27, P121-P124, P137 • RESET, REGC

- (3) 80ピン製品

電源	対応する端子
EVDD0	• P20-P27, P121-P124, P137, P150-P153以外のポート端子
VDD	• P20-P27, P121-P124, P137, P150-P153 • RESET, REGC

- (4) 100ピン、128ピン製品

電源	対応する端子
EVDD0, EVDD1	• P20-P27, P121-P124, P137, P150-P156以外のポート端子
VDD	• P20-P27, P121-P124, P137, P150-P156 • RESET, REGC

**注意** EVDD0とEVDD1は、同電位にしてください。

## 2.1.1 30ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-33-4	入出力	アナログ機能	ANI17/TS26 <sup>注1</sup> / EI00/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P01	8-33-2			ANI16/TS27 <sup>注1</sup> / EI01/EO01/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P11				EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)	
P12	7-1-12			EI12/EO12/SO00/TxD0/ TOOLTxD/(TI05)/(TO05)	
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)	
P14	8-1-11	入出力	入力ポート	VCOU1/EO14/RxD2/SI20/ SDA20/(SCLA0)/(TI03)/ (TO03)	
P15				EO15/PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)	
P16	8-38-1			EO16/CCD00/TI01/TO01/ INTP5/(RxD0)	
P17	8-38-2			EO17/CCD01/TI02/TO02/ (TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P21				ANI1/AVREFM/EI21	
P22				ANI2/ANO0/TS20 <sup>注1</sup> /EI22	
P23				ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/ INTP4/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。N-chオープン・ドレイン出力（6V耐圧） 出力電流制御ポートに設定可能。
P61				EO61/CCD05/SDAA0	
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 P120はアナログ機能に設定可能 <sup>注2</sup> 。
P121	7-2-1		入力ポート	X1/XT1/EI121	
P122			X2/EXCLK/XT2/EXCLKS/ EI122		
P137	2-1-3	入力	入力ポート	EI137/INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/IVCMP0/EI147	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

**注1.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

**注2.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx（PMCAx）で設定します。（1ビット単位で設定可能）

**備考** 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

## 2.1.2 32ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-33-4	入出力	アナログ機能	ANI17/TS26 <sup>注1</sup> / EI00/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P01	8-33-2			ANI16/TS27 <sup>注1</sup> / EI01/EO01/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P11				EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)	
P12	7-1-12			EI12/EO12/SO00/TxD0/ TOOLTxD/(TI05)/(TO05)	
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)	
P14	8-1-11	入出力	入力ポート	VCOU1/EO14/RxD2/ SI20/SDA20/(SCLA0)/ (TI03)/(TO03)	
P15				EO15/PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)	
P16	8-38-1			EO16/CCD00/TI01/TO01/ INTP5/(RxD0)	
P17	8-38-2			EO17/CCD01/TI02/TO02/ (TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P21				ANI1/AVREFM/EI21	
P22				ANI2/ANO0/TS20 <sup>注1</sup> /EI22	
P23				ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/ INTP4/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力 (VDD耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。N-chオープン・ドレイン出力 (6V耐圧) 出力電流制御ポートに設定可能。
P61				EO61/CCD05/SDAA0	
P62	12-38-1			CCD06	
P70	7-31-2	入出力	入力ポート	RIN0/TS02	ポート7。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力 (VDD耐圧) に設定可能。 P120はアナログ機能に設定可能 <sup>注2</sup> 。
P121	7-2-1		入力ポート	X1/XT1/EI121	
P122				X2/EXCLK/XT2/EXCLKS/ EI122	
P137	2-1-3	入力	入力ポート	EI137/INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/IVCMP0/EI147	ポート14。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注1. コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx (PMCAx) で設定します。  
(1ビット単位で設定可能)

備考 上表の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット**を参照してください。

## 2.1.3 36ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26 <sup>注1</sup> /EI00/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。
P01	8-31-1			TS27 <sup>注1</sup> /EI01/EO01/ TO00/RxD1	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P11				EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)	
P12	7-1-12			EI12/EO12/SO00/TxD0/ TOOLTxD/(TI05)/(TO05)	
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)	
P14	8-1-11	入出力	入力ポート	VCOU1/EO14/RxD2/ SI20/SDA20/(SCLA0)/ (TI03)/(TO03)	
P15				EO15/PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)	
P16	8-38-1			EO16/CCD00/TI01/TO01/ INTP5/(RxD0)	
P17	8-38-2			EO17/CCD01/TI02/TO02/ (TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1			ANI2/ANO0/TS20 <sup>注1</sup> /EI22	
P23	4-37-1			ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23	
P24	4-33-1			ANI4/TS22 <sup>注1</sup>	
P25				ANI5/TS23 <sup>注1</sup>	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/ INTP4/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。N-chオープン・ドレイン出力（6V耐圧） 出力電流制御ポートに設定可能。
P61				EO61/CCD05/SDAA0	
P62				12-38-1	
P70	7-31-2	入出力	入力ポート	TS02/RIN0/SCK21/SCL21	ポート7。 3ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-31-2			TS03/SI21/SDA21/RxDA0	
P72	7-31-3			TS04/SO21/TxDA0	
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P120はアナログ機能に設定可能 <sup>注2</sup> 。
P121	7-2-1		入力ポート	X1/XT1/EI121	
P122				X2/EXCLK/XT2/EXCLKS/ EI122	
P137	2-1-3	入力	入力ポート	EI137/INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/IVCMP0/EI147	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV <sub>DD</sub> に接続してください。

**注1.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

**注2.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx（PMCAx）で設定します。  
（1ビット単位で設定可能）

**備考** 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

## 2.1.4 40ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26 <sup>注1</sup> /EI00/TI00/TxD1	ポート0。
P01	8-31-1			TS27 <sup>注1</sup> /EI01/EO01/ TO00/RxD1	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。
P11				EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P12	7-1-12	アナログ機能	入力ポート	EI12/EO12/SO00/TxD0/ TOOLTxD/(TI05)/(TO05)	P10, P11, P13-P17の入力はTTL入力バッファに設定可能。
P13	8-6-9			IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)	P10-P15, P17の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P14	8-1-11	入出力	入力ポート	VCOU1/EO14/RxD2/ SI20/SDA20/(SCLA0)/ (TI03)/(TO03)	P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P15				EO15/PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)	
P16	8-38-1	入出力	アナログ機能	EO16/CCD00/TI01/TO01/ INTP5/(RxD0)	ポート2。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P17	8-38-2			EO17/CCD01/TI02/TO02/ (TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1	入出力	アナログ機能	ANI2/ANO0/TS20 <sup>注1</sup> /EI22	ポート2。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P23	4-37-1			ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23	
P24	4-33-1	入出力	アナログ機能	ANI4/TS22 <sup>注1</sup>	ポート2。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P25				ANI5/TS23 <sup>注1</sup>	
P26				ANI6/TS24 <sup>注1</sup>	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P31				TS01/EI31/TI03/TO03/ INTP4/PCLBUZ0	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。N-chオープン・ドレイン出力 (6V耐圧) 出力電流制御ポートに設定可能。
P61				EO61/CCD05/SDAA0	
P62	12-38-1			CCD06	
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/ SCL21	ポート7。 4ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-31-2			TS03/KR1/SI21/SDA21/ RxD A0	
P72	7-31-3			TS04/KR2/SO21/TxD A0	
P73	7-31-2			TS05/KR3	
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力/出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 P120はアナログ機能に設定可能 <sup>注2</sup> 。
P121	7-2-1		入力ポート	X1/VBAT/EI121	
P122				X2/EXCLK/EI122	
P123	2-2-1		入力	XT1	
P124				XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	EI137/INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/IVCMP0/EI147	ポート14。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV <sub>DD</sub> に接続してください。

**注1.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

**注2.** 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx (PMCAx) で設定します。  
(1ビット単位で設定可能)

**備考** 上表の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット**を参照してください。

## 2.1.5 44ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能																																																														
P00	7-31-3	入出力	入力ポート	TS26 <sup>注1</sup> /EI00/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。																																																														
P01	8-31-1			TS27 <sup>注1</sup> /EI01/EO01/ TO00/RxD1		P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。	P11		EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)	P12	7-1-12	EI12/EO12/SO00/TxD0/ TOOLTxD/(TI05)/(TO05)	P13	8-6-9	アナログ機能	IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)	P14	8-1-11	入力ポート	VCOU1/EO14/RxD2/ SI20/SDA20/(SCLA0)/ (TI03)/(TO03)	P15		EO15/PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)	P16	8-38-1	EO16/CCD00/TI01/TO01/ INTP5/(RxD0)	P17	8-38-2	EO17/CCD01/TI02/TO02/ (TxD0)	P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。	P21		ANI1/AVREFM/EI21	P22	4-35-1	ANI2/ANO0/TS20 <sup>注1</sup> /EI22	P23	4-37-1	ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23	P24	4-33-1	ANI4/TS22 <sup>注1</sup>	P25		ANI5/TS23 <sup>注1</sup>	P26		ANI6/TS24 <sup>注1</sup>	P27		ANI7/TS25 <sup>注1</sup>	P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。																																																														
P11				EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)																																																															
P12	7-1-12			EI12/EO12/SO00/TxD0/ TOOLTxD/(TI05)/(TO05)																																																															
P13	8-6-9			アナログ機能		IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)																																																													
P14	8-1-11		入力ポート	VCOU1/EO14/RxD2/ SI20/SDA20/(SCLA0)/ (TI03)/(TO03)																																																															
P15				EO15/PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)																																																															
P16	8-38-1			EO16/CCD00/TI01/TO01/ INTP5/(RxD0)																																																															
P17	8-38-2		EO17/CCD01/TI02/TO02/ (TxD0)																																																																
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。																																																														
P21				ANI1/AVREFM/EI21																																																															
P22	4-35-1			ANI2/ANO0/TS20 <sup>注1</sup> /EI22																																																															
P23	4-37-1			ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23																																																															
P24	4-33-1			ANI4/TS22 <sup>注1</sup>																																																															
P25				ANI5/TS23 <sup>注1</sup>																																																															
P26				ANI6/TS24 <sup>注1</sup>																																																															
P27				ANI7/TS25 <sup>注1</sup>																																																															
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。																																																														
P31				TS01/EI31/TI03/TO03/ INTP4/PCLBUZ0																																																															

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。	
P41	8-1-3			RxDA1/TI07/TO07	2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41の入力はTTL入力バッファに設定可能。	
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。	
P51	7-38-1			EI51/EO51/CCD02/INTP2/SO11	P50の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P51は出力電流制御ポートに設定可能。	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。	
P61				EO61/CCD05/SDAA0	4ビット入出力ポート。	
P62				12-38-2	CCD06/SCLA1	1ビット単位で入力/出力の指定可能。N-chオープン・ドレイン出力 (6V耐圧)
P63					CCD07/SDAA1	出力電流制御ポートに設定可能。
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/SCL21	ポート7。 4ビット入出力ポート。	
P71	8-31-2			TS03/KR1/SI21/SDA21/RxDA0	P71の入力はTTL入力バッファに設定可能。 P71, P72の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。	
P72	7-31-3			TS04/KR2/SO21/TxDA0	1ビット単位で入力/出力の指定可能。	
P73	7-31-2			TS05/KR3	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/TxDA1/EI120	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。	
P121	7-2-1		入力ポート	X1/VBAT/EI121	P120-P122は1ビット単位で入力/出力の指定可能。	
P122		X2/EXCLK/EI122		P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		
P123	2-2-1	入力		XT1	P120の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。	
P124				XT2/EXCLKS	P120はアナログ機能に設定可能 <sup>注2</sup> 。	
P137	2-1-3	入力	入力ポート	EI137/INTP0	ポート13。 1ビット入力専用ポート。	
P146	7-1-3	入出力	入力ポート	—	ポート14。	
P147	7-9-5		アナログ機能	ANI18/IVCMP0/EI147	2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV <sub>DD</sub> に接続してください。	

(注、備考は次ページに続きます)

**注1.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

**注2.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx (PMCAx) で設定します。  
(1ビット単位で設定可能)

**備考** 上表の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット**を参照してください。

## 2.1.6 48ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26 <sup>注1</sup> /EI00/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。
P01	8-31-1			TS27 <sup>注1</sup> /EI01/EO01/ TO00/RxD1	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P11				EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)	
P12	7-1-12			EI12/EO12/SO00/TxD0/ TOOLTxD/(TI05)/(TO05)	
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)	
P14	8-1-11	入出力	入力ポート	VCOU1/EO14/RxD2/ SI20/SDA20/(SCLA0)/ (TI03)/(TO03)	
P15				EO15/PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)	
P16	8-38-1			EO16/CCD00/TI01/TO01/ INTP5/(RxD0)	
P17	8-38-2			EO17/CCD01/TI02/TO02/ (TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1			ANI2/ANO0/TS20 <sup>注1</sup> /EI22	
P23	4-37-1			ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23	
P24	4-33-1			ANI4/TS22 <sup>注1</sup>	
P25				ANI5/TS23 <sup>注1</sup>	
P26				ANI6/TS24 <sup>注1</sup>	
P27				ANI7/TS25 <sup>注1</sup>	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/ INTP4/(PCLBUZ0)	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。	
P41	8-1-3			RxDA1/TI07/TO07	2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41の入力はTTL入力バッファに設定可能。	
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。	
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	P50の出力はN-chオープン・ドレイン出力 (VDD耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。	
P61				EO61/CCD05/SDAA0	4ビット入出力ポート。	
P62				12-38-2	CCD06/SCLA1	1ビット単位で入力/出力の指定可能。N-chオープン・ドレイン出力 (6V耐圧)
P63					CCD07/SDAA1	出力電流制御ポートに設定可能。
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/ SCL21	ポート7。 6ビット入出力ポート。	
P71	8-31-2			TS03/KR1/SI21/SDA21/ RxDA0	P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力 (VDD耐圧) に設定可能。	
P72	7-31-3			TS04/KR2/SO21/TxDA0	1ビット単位で入力/出力の指定可能。	
P73	7-31-2			TS05/KR3/SO01	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P74	7-31-3			TS06/KR4/INTP8/SI01/ SDA01		
P75	7-31-2			TS07/KR5/INTP9/SCK01/ SCL01		
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/TxDA1/ EI120	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。	
P121	7-2-1		入力ポート	X1/VBAT/EI121	P120-P122は1ビット単位で入力/出力の指定可能。	
P122		X2/EXCLK/EI122		P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		
P123	2-2-1	入力		XT1	P120の出力はN-chオープン・ドレイン出力 (VDD耐圧) に設定可能。	
P124				XT2/EXCLKS	P120はアナログ機能に設定可能 <sup>注2</sup> 。	
P130	1-1-1	出力	出力ポート	—	ポート13。	
P137	2-1-3	入力	入力ポート	EI137/INTP0	1ビット出力専用ポートと1ビット入力専用ポート。	
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。	
P146				—	3ビット入出力ポート。	
P147	7-9-5		アナログ機能	ANI18/IVCMP0/EI147	1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。	

(注、備考は次ページに続きます)

**注1.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

**注2.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx（PMCAx）で設定します。  
（1ビット単位で設定可能）

**備考** 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

## 2.1.7 52ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26 <sup>注1</sup> /EI00/TI00	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03の入力はTTL入力バッファに設定可能。 P00, P02, P03の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 P02, P03はアナログ機能に設定可能 <sup>注2</sup> 。
P01	8-31-1			TS27 <sup>注1</sup> /EI01/EO01/TO00	
P02	7-33-4		アナログ機能	ANI17/TS28 <sup>注1</sup> /TxD1	
P03	8-33-3			ANI16/TS29 <sup>注1</sup> /RxD1	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P11				EI11/EO11/SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-12			EI12/EO12/SO00/TxD0/TOOLTxD/(TI05)/(TO05)	
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14	8-1-11		入力ポート	VCOU1/EO14/RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				EO15/PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)	
P16	8-38-1		EO16/CCD00/TI01/TO01/INTP5/(RxD0)		
P17	8-38-2		EO17/CCD01/TI02/TO02/(TxD0)		
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1			ANI2/ANO0/TS20 <sup>注1</sup> /EI22	
P23	4-37-1			ANI3/ANO1/IVREF0/TS21 <sup>注1</sup> /EI23	
P24	4-33-1			ANI4/TS22 <sup>注1</sup>	
P25				ANI5/TS23 <sup>注1</sup>	
P26				ANI6/TS24 <sup>注1</sup>	
P27				ANI7/TS25 <sup>注1</sup>	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/INTP4/(PCLBUZ0)	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。	
P41	8-1-3			RxDA1/TI07/TO07	2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41の入力はTTL入力バッファに設定可能。	
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。	
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	P50の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。	
P61				EO61/CCD05/SDAA0	4ビット入出力ポート。	
P62				12-38-2	CCD06/SCLA1	1ビット単位で入力/出力の指定可能。N-chオープン・ドレイン出力 (6V耐圧)。
P63					CCD07/SDAA1	出力電流制御ポートに設定可能。
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/ SCL21	ポート7。 8ビット入出力ポート。	
P71	8-31-2			TS03/KR1/SI21/SDA21/ RxDA0	P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。	
P72	7-31-3			TS04/KR2/SO21/TxDA0	1ビット単位で入力/出力の指定可能。	
P73	7-31-2			TS05/KR3/SO01	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P74	7-31-3			TS06/KR4/INTP8/SI01/ SDA01		
P75	7-31-2			TS07/KR5/INTP9/SCK01/ SCL01		
P76				TS08/KR6/INTP10/(RxD2)		
P77				TS09/KR7/INTP11/(TxD2)		
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/TxDA1/ EI120	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。	
P121	7-2-1		入力ポート	X1/VBAT/EI121	P120-P122は1ビット単位で入力/出力の指定可能。	
P122				X2/EXCLK/EI122	P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P123	2-2-1		入力	XT1	P120の出力はN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。	
P124		XT2/EXCLKS		P120はアナログ機能に設定可能 <sup>注2</sup> 。		
P130	1-1-1	出力	出力ポート	—	ポート13。	
P137	2-1-3	入力	入力ポート	EI137/INTP0	1ビット出力専用ポートと1ビット入力専用ポート。	
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。	
P146				—	3ビット入出力ポート。	
P147	7-9-5		アナログ機能	ANI18/IVCMP0/EI147	1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

**注1.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

**注2.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx (PMCAx) で設定します。  
(1ビット単位で設定可能)

**備考** 上表の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット**を参照してください。

## 2.1.8 64ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26 <sup>注1</sup> /EI00/TI00	ポート0。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P02, P03はアナログ機能に設定可能 <sup>注2</sup> 。
P01	8-31-1			TS27 <sup>注1</sup> /EI01/EO01/TO00	
P02	7-33-4		アナログ機能	ANI17/TS28 <sup>注1</sup> / SO10/TxD1	
P03	8-33-3			ANI16/TS29 <sup>注1</sup> / SI10/RxD1/SDA10	
P04	8-1-10		入力ポート	SCK10/SCL10	
P05	7-31-2			TS10/TI05/TO05	
P06				TS11/TI06/TO06/CLKA0	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注2</sup> 。
P11				EI11/EO11/SI00/RxD0/ TOOLRxD/SDA00/(TI06)/ (TO06)	
P12	7-1-12		EI12/EO12/SO00/TxD0/ TOOLTxD/(INTP5)/ (TI05)/(TO05)		
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/ (SDAA0)/(TI04)/(TO04)	
P14	8-1-11		入力ポート	VCOU1/EO14/RxD2/ SI20/SDA20/(SCLA0)/ (TI03)/(TO03)	
P15				EO15/SCK20/SCL20/ (TI02)/(TO02)	
P16	8-38-1		EO16/CCD00/TI01/TO01/ INTP5/(SI00)/(RxD0)		
P17	8-38-2	EO17/CCD01/TI02/TO02/ (SO00)/(TxD0)			
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 <sup>注2</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1			ANI2/ANO0/TS20 <sup>注1</sup> /EI22	
P23	4-37-1			ANI3/ANO1/IVREF0/ TS21 <sup>注1</sup> /EI23	
P24	4-33-1			ANI4/TS22 <sup>注1</sup>	
P25				ANI5/TS23 <sup>注1</sup>	
P26				ANI6/TS24 <sup>注1</sup>	
P27				ANI7/TS25 <sup>注1</sup>	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/ INTP4/(PCLBUZ0)	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41, P43 <sup>注1</sup> の入力はTTL入力バッファに設定可能。 P42, P43 <sup>注1</sup> の出力はN-chオープン・ドレイン出力 (EVDD耐圧) に設定可能。	
P41	8-1-3			RxDA1/TI07/TO07		
P42	7-1-11			TxDA1/TI04/TO04		
P43	8-1-10			CLKA1		
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 6ビット入出力ポート。 P53 <sup>注1</sup> , P54 <sup>注1</sup> , P55の入力はTTL入力バッファに設定可能。 P50, P52-P54 <sup>注1</sup> , P55の出力はN-chオープン・ドレイン出力 (EVDD耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P51は出力電流制御ポートに設定可能。	
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11		
P52	7-1-11			(INTP10)		
P53	8-1-10			(INTP11)		
P54				—		
P55				(PCLBUZ1)/(SCK00)		
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。N-chオープン・ドレイン出力 (6V耐圧) 出力電流制御ポートに設定可能。	
P61	12-38-2			EO61/CCD05/SDAA0		
P62				CCD06/SCLA1		
P63				CCD07/SDAA1		
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/ SCL21	ポート7。 8ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力 (EVDD耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P71	8-31-2			TS03/KR1/SI21/SDA21/ RxDA0		
P72	7-31-3			TS04/KR2/SO21/TxDA0		
P73	7-31-2			TS05/KR3/SO01		
P74	7-31-3			TS06/KR4/INTP8/SI01/ SDA01		
P75	7-31-2			TS07/KR5/INTP9/SCK01/ SCL01		
P76				TS08/KR6/INTP10/(RxD2)		
P77				TS09/KR7/INTP11/(TxD2)		
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力/出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力 (EVDD耐圧) に設定可能。 P120はアナログ機能に設定可能 <sup>注2</sup> 。	
P121	7-2-1			入力ポート		X1/VBAT/EI121
P122						X2/EXCLK/EI122
P123	2-2-1			入力		XT1
P124		XT2/EXCLKS				
P130	1-1-1	出力	出力ポート	—	ポート13。	
P137	2-1-3	入力	入力ポート	EI137/INTP0	1ビット出力専用ポートと1ビット入力専用ポート。	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 <sup>注2</sup> 。
P141				PCLBUZ1/INTP7	
P146				—	
P147	7-9-5		アナログ機能	ANI18/IVCMP0/EI147	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV <sub>DD</sub> に接続してください。

**注1.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

**注2.** 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx (PMCAx) で設定します。  
(1ビット単位で設定可能)

**備考** 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット**を参照してください。

## 2.1.9 80ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26/EI00/TI00	ポート0。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P02, P03はアナログ機能に設定可能 <sup>注</sup> 。
P01	8-31-1			TS27/EI01/EO01/TO00	
P02	7-33-4		アナログ機能	ANI17/TS28/SO10/TxD1	
P03	8-33-3			ANI16/TS29/SI10/RxD1/SDA10	
P04	8-1-10		入力ポート	SCK10/SCL10	
P05	7-31-2			TS10/TI05/TO05	
P06				TS11/TI06/TO06/CLKA0	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注</sup> 。
P11				EI11/EO11/SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-12			EI12/EO12/SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14	8-1-11		入力ポート	VCOU1/EO14/RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				EO15/SCK20/SCL20/(TI02)/(TO02)	
P16	8-38-1			EO16/CCD00/TI01/TO01/INTP5/(SI00)/(RxD0)	
P17	8-38-2	EO17/CCD01/TI02/TO02/(SO00)/(TxD0)			
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 <sup>注</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1			ANI2/ANO0/TS20/EI22	
P23	4-37-1			ANI3/ANO1/IVREF0/TS21/EI23	
P24	4-33-1			ANI4/TS22	
P25				ANI5/TS23	
P26				ANI6/TS24	
P27				ANI7/TS25	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/INTP4/(PCLBUZ0)	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41, P43, P44の入力はTTL入力バッファに設定可能。P42-P45の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。
P41	8-1-3			RxDA1/TI07/TO07	
P42	7-1-11			TxDA1/TI04/TO04	
P43	8-1-10			SCK01/SCL01/CLKA1	
P44				SI01/SDA01	
P45	7-1-11			SO01	
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P53-P55の入力はTTL入力バッファに設定可能。 P50, P52-P55の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。 P50, P51は出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	
P52	7-1-11			SO31	
P53	8-1-10			SI31/SDA31	
P54				SCK31/SCL31	
P55				(PCLBUZ1)/(SCK00)	
P60				12-38-3	
P61	12-38-2	EO61/CCD05/SDAA0			
P62		CCD06/SCLA1			
P63		CCD07/SDAA1			
P64	7-31-2	TS12/TI10/TO10			
P65		TS13/TI11/TO11			
P66		TS14/TI12/TO12			
P67		TS15/TI13/TO13			
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/ SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。
P71	8-31-2			TS03/KR1/SI21/SDA21/ RxDA0	
P72	7-31-3			TS04/KR2/SO21/TxDA0	
P73	7-31-2			TS05/KR3	
P74	7-31-3			TS06/KR4/INTP8	
P75	7-31-2			TS07/KR5/INTP9	
P76				TS08/KR6/INTP10/(RxD2)	
P77				TS09/KR7/INTP11/(TxD2)	
P100	7-3-3	入出力	アナログ機能	ANI20	ポート10。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 アナログ機能に設定可能 <sup>注</sup> 。
P110	7-1-3	入出力	入力ポート	(INTP10)	ポート11。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P111				(INTP11)	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。
P121	7-2-1		入力ポート	X1/VBAT/EI121	3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力/出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。 P120はアナログ機能に設定可能 <sup>注</sup> 。
P122				X2/EXCLK/EI122	
P123	2-2-1	入力		XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-3	入力	入力ポート	EI137/INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。 P147はアナログ機能に設定可能 <sup>注</sup> 。
P141				PCLBUZ1/INTP7	
P142	8-1-10			SCK30/SCL30	
P143				SI30/RxD3/SDA30	
P144	7-1-11			SO30/TxD3	
P146	7-1-3			—	
P147	7-9-5		アナログ機能	ANI18/IVCMP0/EI147	
P150	4-33-1	入出力	アナログ機能	ANI8/TS30	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。アナログ機能に設定可能 <sup>注</sup> 。
P151				ANI9/TS31	
P152				ANI10/TS32	
P153				ANI11/TS33	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

**注** 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx（PMCAx）で設定します。（1ビット単位で設定可能）

**備考** 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

## 2.1.10 100ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26/EI00/TI00	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P02, P03はアナログ機能に設定可能 <sup>注</sup> 。
P01	8-31-1			TS27/EI01/EO01/TO00	
P02	7-33-4		アナログ機能	ANI17/TS28/SO10/TxD1	
P03	8-33-3			ANI16/TS29/SI10/RxD1/SDA10	
P04	8-1-10		入力ポート	SCK10/SCL10	
P05	7-31-2			TS10	
P06				TS11	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注</sup> 。
P11				EI11/EO11/SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-12			EI12/EO12/SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-6-9		アナログ機能	IVREF1/EO13/TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14	8-1-11		入力ポート	VCOU1/EO14/RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				EO15/SCK20/SCL20/(TI02)/(TO02)	
P16	8-38-1			EO16/CCD00/TI01/TO01/INTP5/(SI00)/(RxD0)	
P17	8-38-2	EO17/CCD01/TI02/TO02/(SO00)/(TxD0)			
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 <sup>注</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1			ANI2/ANO0/TS20/EI22	
P23	4-37-1			ANI3/ANO1/IVREF0/TS21/EI23	
P24	4-33-1			ANI4/TS22	
P25				ANI5/TS23	
P26				ANI6/TS24	
P27				ANI7/TS25	
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TS01/EI31/TI03/TO03/INTP4/(PCLBUZ0)	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41, P43, P44の入力はTTL入力バッファに設定可能。P42-P45の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。
P41	8-1-3			RxDA1	
P42	7-1-11			TxDA1/TI04/TO04	
P43	8-1-10			SCK01/SCL01/CLKA1	
P44				SI01/SDA01	
P45	7-1-11			SO01	
P46	7-1-3			INTP1/TI05/TO05	
P47				INTP2	
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/SI11/SDA11	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P53-P55の入力はTTL入力バッファに設定可能。 P50, P52-P55の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。 P50, P51は出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/SO11	
P52	7-1-11			SO31	
P53	8-1-10			SI31/SDA31	
P54				SCK31/SCL31	
P55				(PCLBUZ1)/(SCK00)	
P56	7-1-3			(INTP1)	
P57				(INTP3)	
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63はN-chオープン・ドレイン出力(6V耐圧) P64-P67は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P60-P63は出力電流制御ポートに設定可能。
P61				EO61/CCD05/SDAA0	
P62	12-38-2			CCD06/SCLA1	
P63				CCD07/SDAA1	
P64	7-31-2			TS12/TI10/TO10	
P65				TS13/TI11/TO11	
P66				TS14/TI12/TO12	
P67				TS15/TI13/TO13	
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。
P71	8-31-2			TS03/KR1/SI21/SDA21	
P72	7-31-3			TS04/KR2/SO21	
P73	7-31-2			TS05/KR3	
P74	7-31-3			TS06/KR4/INTP8	
P75	7-31-2			TS07/KR5/INTP9	
P76				TS08/KR6/INTP10/(RxD2)	
P77				TS09/KR7/INTP11/(TxD2)	
P80	8-1-10	入出力	入力ポート	(SCK10)/(SCL10)	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P80, P81, P84の入力はTTL入力バッファに設定可能。P80-P83の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。
P81				(SI10)/(RxD1)/(SDA10)	
P82	7-1-11			(SO10)/(TxD1)	
P83				TxDA0	
P84	8-1-3			RxDA0/(INTP6)	
P85	7-1-3			CLKA0/(INTP7)	
P86				(INTP8)	
P87				(INTP9)	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P100	7-3-3	入出力	アナログ機能	ANI20	ポート10。	
P101	7-1-3			入力ポート	—	3ビット入出力ポート。
P102					TI06/TO06	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P100はアナログ機能に設定可能 <sup>注</sup> 。
P110	7-1-3	入出力	入力ポート	(INTP10)	ポート11。	
P111				(INTP11)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。	
P121	7-2-1			入力ポート	X1/VBAT/EI121	3ビット入出力ポートと2ビット入力専用ポート。
P122					X2/EXCLK/EI122	P120-P122は1ビット単位で入力／出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P123	2-2-1			入力	XT1	P120の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。 P120はアナログ機能に設定可能 <sup>注</sup> 。
P124		XT2/EXCLKS				
P130	1-1-1	出力	出力ポート	—	ポート13。	
P137	2-1-3	入力	入力ポート	EI137/INTP0	1ビット出力専用ポートと1ビット入力専用ポート。	
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。	
P141				PCLBUZ1/INTP7	8ビット入出力ポート。	
P142				8-1-10	SCK30/SCL30	1ビット単位で入力／出力の指定可能。
P143					SI30/RxD3/SDA30	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P144				7-1-11	SO30/TxD3	P142, P143の入力はTTL入力バッファに設定可能。
P145				7-1-3	TI07/TO07	P142-P144の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。
P146					(INTP4)	P147はアナログ機能に設定可能 <sup>注</sup> 。
P147				7-9-5	アナログ機能	ANI18/IVCMP0/EI147
P150	4-33-1	入出力	アナログ機能	ANI8/TS30	ポート15。	
P151				ANI9/TS31	7ビット入出力ポート。	
P152				ANI10/TS32	1ビット単位で入力／出力の指定可能。	
P153				ANI11/TS33	アナログ機能に設定可能 <sup>注</sup> 。	
P154				ANI12/TS34		
P155				ANI13/TS35		
P156				4-3-5	ANI14	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。	

**注** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx（PMCAx）で設定します。（1ビット単位で設定可能）

**備考** 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

## 2.1.11 128ピン製品

(1/4)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26/EI00/TI00	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P02, P03はアナログ機能に設定可能 <sup>注</sup> 。
P01	8-31-1			TS27/EI01/EO01/TO00	
P02	7-33-4		アナログ機能	ANI17/TS28/SO10/TxD1	
P03	8-33-3			ANI16/TS29/SI10/RxD1/SDA10	
P04	8-1-10		入力ポート	SCK10/SCL10	
P05	7-31-2			TS10	
P06				TS11	
P07	7-1-3			—	
P10	8-1-11	入出力	入力ポート	EI10/EO10/SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P16, P17は出力電流制御ポートに設定可能。 P13はアナログ機能に設定可能 <sup>注</sup> 。
P11				EI11/EO11/SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-12		アナログ機能	EI12/EO12/SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-6-9			IVREF1/EO13/TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14	8-1-11	入力ポート	VCOU1/EO14/RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)		
P15			EO15/SCK20/SCL20/(TI02)/(TO02)		
P16	8-38-1		EO16/CCD00/TI01/TO01/INTP5/(SI00)/(RxD0)		
P17	8-38-2		EO17/CCD01/TI02/TO02/(SO00)/(TxD0)		
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP/EI20	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 <sup>注</sup> 。
P21				ANI1/AVREFM/EI21	
P22	4-35-1			ANI2/ANO0/TS20/EI22	
P23	4-37-1			ANI3/ANO1/IVREF0/TS21/EI23	
P24	4-33-1			ANI4/TS22	
P25				ANI5/TS23	
P26				ANI6/TS24	
P27				ANI7/TS25	

(2/4)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能		
P30	7-31-2	入出力	入力ポート	VCOU0/TSCAP/EI30/ INTP3/RTC1HZ	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P33の入力はTTL入力バッファに設定可能。 P34の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。 P35-P37はアナログ機能に設定可能 <sup>注</sup> 。		
P31				TS01/EI31/TI03/TO03/ INTP4/(PCLBUZ0)			
P32	7-1-3			CLKA1			
P33	8-1-3			RxDA1			
P34	7-1-11			TxDA1			
P35	7-3-3		アナログ機能	ANI23			
P36				ANI22			
P37				ANI21			
P40	7-1-3		入出力	入力ポート		TOOL0	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41, P43, P44の入力はTTL入力バッファに設定可能。 P42-P45の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。
P41	8-1-3					—	
P42	7-1-11	TI04/TO04					
P43	8-1-10	SCK01/SCL01					
P44		SI01/SDA01					
P45	7-1-11	SO01					
P46	7-1-3	INTP1/TI05/TO05					
P47		INTP2					
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P53-P55の入力はTTL入力バッファに設定可能。 P50, P52-P55の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。 P50, P51は出力電流制御ポートに設定可能。		
P51	7-38-1			EI51/EO51/CCD02			
P52	7-1-11			SO31			
P53	8-1-10			SI31/SDA31			
P54				SCK31/SCL31			
P55				(PCLBUZ1)/(SCK00)			
P56	7-1-3			(INTP1)			
P57				(INTP3)			
P60	12-38-3	入出力	入力ポート	EO60/CCD04/SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63はN-chオープン・ドレイン出力（6V耐圧） P64-P67は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P60-P63は出力電流制御ポートに設定可能。		
P61				EO61/CCD05/SDAA0			
P62	12-38-2			CCD06/SCLA1			
P63				CCD07/SDAA1			
P64	7-31-2			TS12/TI10/TO10			
P65				TS13/TI11/TO11			
P66				TS14/TI12/TO12			
P67				TS15/TI13/TO13			
P70	7-31-2	入出力	入力ポート	TS02/RIN0/KR0/SCK21/ SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力（EVDD耐圧）に設定可能。		
P71	8-31-2			TS03/KR1/SI21/SDA21			
P72	7-31-3			TS04/KR2/SO21			
P73	7-31-2			TS05/KR3			
P74	7-31-3			TS06/KR4/INTP8			
P75	7-31-2			TS07/KR5/INTP9			
P76				TS08/KR6/INTP10/(RxD2)			
P77				TS09/KR7/INTP11/(TxD2)			

(3/4)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P80	8-1-10	入出力	入力ポート	(SCK10)/(SCL10)	ポート8。 8ビット入出力ポート。
P81				(SI10)/(RxD1)/(SDA10)	
P82	7-1-11			(SO10)/(TxD1)	1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P83				TxDA0	
P84	8-1-3			RxDA0/(INTP6)	P80, P81, P84の入力はTTL入力バッファに設定可能。P80-P83の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。
P85	7-1-3			CLKA0/(INTP7)	
P86				(INTP8)	
P87				(INTP9)	
P90	7-1-3	入出力	入力ポート	—	
P91				—	
P92				—	1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P93				—	
P94				—	P96の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。
P95				SCK11/SCL11	
P96	7-1-11			SI11/SDA11	
P97	7-1-3			SO11	
P100	7-3-3	入出力	アナログ機能	ANI20	ポート10。 7ビット入出力ポート。
P101	7-1-3		入力ポート		
P102		TI06/TO06			1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P100はアナログ機能に設定可能 <sup>注</sup> 。
P103		TI14/TO14			
P104		TI15/TO15			
P105		TI16/TO16			
P106		TI17/TO17			
P110	7-1-3	入出力	入力ポート	(INTP10)	
P111				(INTP11)	
P112				—	1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P113				—	
P114	7-3-3		アナログ機能	—	P115-P117はアナログ機能に設定可能 <sup>注</sup> 。
P115				ANI26	
P116				ANI25	
P117				ANI24	
P120	7-9-6	入出力	アナログ機能	ANI19/IVCMP1/EI120	ポート12。 6ビット入出力ポートと2ビット入力専用ポート。
P121	7-2-1		入力ポート		
P122		X2/EXCLK/EI122			P120-P122, P125-P127は1ビット単位で入力/出力の指定可能。 P120-P122, P125-P127は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P123	2-2-1	入力		XT1	
P124				XT2/EXCLKS	
P125	7-1-3	入出力		—	P120の出力はN-chオープン・ドレイン出力(EVDD耐圧)に設定可能。 P120はアナログ機能に設定可能 <sup>注</sup> 。
P126				—	
P127				—	
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-3	入力	入力ポート	EI137/INTP0	1ビット出力専用ポートと1ビット入力専用ポート。

(4/4)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。 P147はアナログ機能に設定可能 <sup>注</sup> 。
P141				PCLBUZ1/INTP7	
P142	8-1-10			SCK30/SCL30	
P143				SI30/RxD3/SDA30	
P144	7-1-11			SO30/TxD3	
P145	7-1-3			TI07/TO07	
P146				(INTP4)	
P147	7-9-5			アナログ機能	
P150	4-33-1	入出力	アナログ機能	ANI8/TS30	ポート15。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。アナログ機能に設定可能 <sup>注</sup> 。
P151				ANI9/TS31	
P152				ANI10/TS32	
P153				ANI11/TS33	
P154				ANI12/TS34	
P155				ANI13/TS35	
P156				4-3-5	
RESET	2-1-1			入力	

**注** 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロールA・レジスタx (PMCAx) で設定します。  
(1ビット単位で設定可能)

**備考** 上表の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
詳細は、**図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット**を参照してください。

## 2.2 ポート以外の端子機能

### 2.2.1 製品別の搭載機能

(1/6)

機能名称	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
ANI0	○	○	○	○	○	○	○	○	○	○	○
ANI1	○	○	○	○	○	○	○	○	○	○	○
ANI2	○	○	○	○	○	○	○	○	○	○	○
ANI3	○	○	○	○	○	○	○	○	○	○	○
ANI4	○	○	○	○	○	○	○	○	○	—	—
ANI5	○	○	○	○	○	○	○	○	○	—	—
ANI6	○	○	○	○	○	○	○	○	—	—	—
ANI7	○	○	○	○	○	○	○	—	—	—	—
ANI8	○	○	○	—	—	—	—	—	—	—	—
ANI9	○	○	○	—	—	—	—	—	—	—	—
ANI10	○	○	○	—	—	—	—	—	—	—	—
ANI11	○	○	○	—	—	—	—	—	—	—	—
ANI12	○	○	—	—	—	—	—	—	—	—	—
ANI13	○	○	—	—	—	—	—	—	—	—	—
ANI14	○	○	—	—	—	—	—	—	—	—	—
ANI16	○	○	○	○	○	—	—	—	—	○	○
ANI17	○	○	○	○	○	—	—	—	—	○	○
ANI18	○	○	○	○	○	○	○	○	○	○	○
ANI19	○	○	○	○	○	○	○	○	○	○	○
ANI20	○	○	○	—	—	—	—	—	—	—	—
ANI21	○	—	—	—	—	—	—	—	—	—	—
ANI22	○	—	—	—	—	—	—	—	—	—	—
ANI23	○	—	—	—	—	—	—	—	—	—	—
ANI24	○	—	—	—	—	—	—	—	—	—	—
ANI25	○	—	—	—	—	—	—	—	—	—	—
ANI26	○	—	—	—	—	—	—	—	—	—	—
ANO0	○	○	○	○	○	○	○	○	○	○	○
ANO1	○	○	○	○	○	○	○	○	○	○	○
IVCMP0	○	○	○	○	○	○	○	○	○	○	○
IVCMP1	○	○	○	○	○	○	○	○	○	○	○
IVREF0	○	○	○	○	○	○	○	○	○	○	○
IVREF1	○	○	○	○	○	○	○	○	○	○	○
VCOUT0	○	○	○	○	○	○	○	○	○	○	○
VCOUT1	○	○	○	○	○	○	○	○	○	○	○
TS00	○	○	○	○	○	○	○	○	○	○	○
TS01	○	○	○	○	○	○	○	○	○	○	○
TS02	○	○	○	○	○	○	○	○	○	○	—
TS03	○	○	○	○	○	○	○	○	○	—	—

(2/6)

機能名称	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
TS04	○	○	○	○	○	○	○	○	○	—	—
TS05	○	○	○	○	○	○	○	○	—	—	—
TS06	○	○	○	○	○	○	—	—	—	—	—
TS07	○	○	○	○	○	○	—	—	—	—	—
TS08	○	○	○	○	○	—	—	—	—	—	—
TS09	○	○	○	○	○	—	—	—	—	—	—
TS10	○	○	○	○	—	—	—	—	—	—	—
TS11	○	○	○	○	—	—	—	—	—	—	—
TS12	○	○	○	—	—	—	—	—	—	—	—
TS13	○	○	○	—	—	—	—	—	—	—	—
TS14	○	○	○	—	—	—	—	—	—	—	—
TS15	○	○	○	—	—	—	—	—	—	—	—
TS20	○	○	○	○注							
TS21	○	○	○	○注							
TS22	○	○	○	○注	○注	○注	○注	○注	○注	—	—
TS23	○	○	○	○注	○注	○注	○注	○注	○注	—	—
TS24	○	○	○	○注	○注	○注	○注	○注	—	—	—
TS25	○	○	○	○注	○注	○注	○注	—	—	—	—
TS26	○	○	○	○注							
TS27	○	○	○	○注							
TS28	○	○	○	○注	○注	—	—	—	—	—	—
TS29	○	○	○	○注	○注	—	—	—	—	—	—
TS30	○	○	○	—	—	—	—	—	—	—	—
TS31	○	○	○	—	—	—	—	—	—	—	—
TS32	○	○	○	—	—	—	—	—	—	—	—
TS33	○	○	○	—	—	—	—	—	—	—	—
TS34	○	○	—	—	—	—	—	—	—	—	—
TS35	○	○	—	—	—	—	—	—	—	—	—
TSCAP	○	○	○	○	○	○	○	○	○	○	○
CCD00	○	○	○	○	○	○	○	○	○	○	○
CCD01	○	○	○	○	○	○	○	○	○	○	○
CCD02	○	○	○	○	○	○	○	○	○	○	○
CCD03	○	○	○	○	○	○	—	○	○	○	○
CCD04	○	○	○	○	○	○	○	○	○	○	○
CCD05	○	○	○	○	○	○	○	○	○	○	○
CCD06	○	○	○	○	○	○	○	○	○	○	—
CCD07	○	○	○	○	○	○	○	—	—	—	—
INTP0	○	○	○	○	○	○	○	○	○	○	○
INTP1	○	○	○	○	○	○	○	○	○	○	○
INTP2	○	○	○	○	○	○	○	○	○	○	○
INTP3	○	○	○	○	○	○	○	○	○	○	○
INTP4	○	○	○	○	○	○	○	○	○	○	○

(3/6)

機能名称	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
INTP5	○	○	○	○	○	○	○	○	○	○	○
INTP6	○	○	○	○	○	○	—	—	—	—	—
INTP7	○	○	○	○	—	—	—	—	—	—	—
INTP8	○	○	○	○	○	○	—	—	—	—	—
INTP9	○	○	○	○	○	○	—	—	—	—	—
INTP10	○	○	○	○	○	—	—	—	—	—	—
INTP11	○	○	○	○	○	—	—	—	—	—	—
KR0	○	○	○	○	○	○	○	○	—	—	—
KR1	○	○	○	○	○	○	○	○	—	—	—
KR2	○	○	○	○	○	○	○	○	—	—	—
KR3	○	○	○	○	○	○	○	○	—	—	—
KR4	○	○	○	○	○	○	—	—	—	—	—
KR5	○	○	○	○	○	○	—	—	—	—	—
KR6	○	○	○	○	○	—	—	—	—	—	—
KR7	○	○	○	○	○	—	—	—	—	—	—
PCLBUZ0	○	○	○	○	○	○	○	○	○	○	○
PCLBUZ1	○	○	○	○	○	○	○	○	○	○	○
REGC	○	○	○	○	○	○	○	○	○	○	○
RTC1HZ	○	○	○	○	○	○	○	○	○	○	○
RESET	○	○	○	○	○	○	○	○	○	○	○
RIN0	○	○	○	○	○	○	○	○	○	○	—
RxD0	○	○	○	○	○	○	○	○	○	○	○
RxD1	○	○	○	○	○	○	○	○	○	○	○
RxD2	○	○	○	○	○	○	○	○	○	○	○
RxD3	○	○	○	—	—	—	—	—	—	—	—
TxD0	○	○	○	○	○	○	○	○	○	○	○
TxD1	○	○	○	○	○	○	○	○	○	○	○
TxD2	○	○	○	○	○	○	○	○	○	○	○
TxD3	○	○	○	—	—	—	—	—	—	—	—
RxDA0	○	○	○	○	○	○	○	○	○	—	—
RxDA1	○	○	○	○	○	○	○	—	—	—	—
TxDA0	○	○	○	○	○	○	○	○	○	—	—
TxDA1	○	○	○	○	○	○	○	—	—	—	—
CLKA0	○	○	○	○	—	—	—	—	—	—	—
CLKA1	○	○	○	○	—	—	—	—	—	—	—
SCK00	○	○	○	○	○	○	○	○	○	○	○
SCK01	○	○	○	○	○	○	—	—	—	—	—
SCK10	○	○	○	○	—	—	—	—	—	—	—
SCK11	○	○	○	○	○	○	○	○	○	○	○
SCK20	○	○	○	○	○	○	○	○	○	○	○
SCK21	○	○	○	○	○	○	○	○	○	—	—
SCK30	○	○	○	—	—	—	—	—	—	—	—
SCK31	○	○	○	—	—	—	—	—	—	—	—

(4/6)

機能名称	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
SCL00	○	○	○	○	○	○	○	○	○	○	○
SCL01	○	○	○	○	○	○	—	—	—	—	—
SCL10	○	○	○	○	—	—	—	—	—	—	—
SCL11	○	○	○	○	○	○	○	○	○	○	○
SCL20	○	○	○	○	○	○	○	○	○	○	○
SCL21	○	○	○	○	○	○	○	○	○	—	—
SCL30	○	○	○	—	—	—	—	—	—	—	—
SCL31	○	○	○	—	—	—	—	—	—	—	—
SDA00	○	○	○	○	○	○	○	○	○	○	○
SDA01	○	○	○	○	○	○	—	—	—	—	—
SDA10	○	○	○	○	—	—	—	—	—	—	—
SDA11	○	○	○	○	○	○	○	○	○	○	○
SDA20	○	○	○	○	○	○	○	○	○	○	○
SDA21	○	○	○	○	○	○	○	○	○	—	—
SDA30	○	○	○	—	—	—	—	—	—	—	—
SDA31	○	○	○	—	—	—	—	—	—	—	—
SI00	○	○	○	○	○	○	○	○	○	○	○
SI01	○	○	○	○	○	○	—	—	—	—	—
SI10	○	○	○	○	—	—	—	—	—	—	—
SI11	○	○	○	○	○	○	○	○	○	○	○
SI20	○	○	○	○	○	○	○	○	○	○	○
SI21	○	○	○	○	○	○	○	○	○	—	—
SI30	○	○	○	—	—	—	—	—	—	—	—
SI31	○	○	○	—	—	—	—	—	—	—	—
SO00	○	○	○	○	○	○	○	○	○	○	○
SO01	○	○	○	○	○	○	—	—	—	—	—
SO10	○	○	○	○	—	—	—	—	—	—	—
SO11	○	○	○	○	○	○	○	○	○	○	○
SO20	○	○	○	○	○	○	○	○	○	○	○
SO21	○	○	○	○	○	○	○	○	○	—	—
SO30	○	○	○	—	—	—	—	—	—	—	—
SO31	○	○	○	—	—	—	—	—	—	—	—
SCLA0	○	○	○	○	○	○	○	○	○	○	○
SCLA1	○	○	○	○	○	○	○	—	—	—	—
SDAA0	○	○	○	○	○	○	○	○	○	○	○
SDAA1	○	○	○	○	○	○	○	—	—	—	—
TI00	○	○	○	○	○	○	○	○	○	○	○
TI01	○	○	○	○	○	○	○	○	○	○	○
TI02	○	○	○	○	○	○	○	○	○	○	○
TI03	○	○	○	○	○	○	○	○	○	○	○
TI04	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)
TI05	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)

(5/6)

機能名称	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
TI06	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)
TI07	○	○	○	○	○	○	○	(○)	(○)	(○)	(○)
TI10	○	○	○	—	—	—	—	—	—	—	—
TI11	○	○	○	—	—	—	—	—	—	—	—
TI12	○	○	○	—	—	—	—	—	—	—	—
TI13	○	○	○	—	—	—	—	—	—	—	—
TI14	○	—	—	—	—	—	—	—	—	—	—
TI15	○	—	—	—	—	—	—	—	—	—	—
TI16	○	—	—	—	—	—	—	—	—	—	—
TI17	○	—	—	—	—	—	—	—	—	—	—
TO00	○	○	○	○	○	○	○	○	○	○	○
TO01	○	○	○	○	○	○	○	○	○	○	○
TO02	○	○	○	○	○	○	○	○	○	○	○
TO03	○	○	○	○	○	○	○	○	○	○	○
TO04	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)
TO05	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)
TO06	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)
TO07	○	○	○	○	○	○	○	(○)	(○)	(○)	(○)
TO10	○	○	○	—	—	—	—	—	—	—	—
TO11	○	○	○	—	—	—	—	—	—	—	—
TO12	○	○	○	—	—	—	—	—	—	—	—
TO13	○	○	○	—	—	—	—	—	—	—	—
TO14	○	—	—	—	—	—	—	—	—	—	—
TO15	○	—	—	—	—	—	—	—	—	—	—
TO16	○	—	—	—	—	—	—	—	—	—	—
TO17	○	—	—	—	—	—	—	—	—	—	—
EI00	○	○	○	○	○	○	○	○	○	○	○
EI01	○	○	○	○	○	○	○	○	○	○	○
EI10	○	○	○	○	○	○	○	○	○	○	○
EI11	○	○	○	○	○	○	○	○	○	○	○
EI12	○	○	○	○	○	○	○	○	○	○	○
EI20	○	○	○	○	○	○	○	○	○	○	○
EI21	○	○	○	○	○	○	○	○	○	○	○
EI22	○	○	○	○	○	○	○	○	○	○	○
EI23	○	○	○	○	○	○	○	○	○	○	○
EI30	○	○	○	○	○	○	○	○	○	○	○
EI31	○	○	○	○	○	○	○	○	○	○	○
EI50	○	○	○	○	○	○	○	○	○	○	○
EI51	○	○	○	○	○	○	○	○	○	○	○
EI120	○	○	○	○	○	○	○	○	○	○	○
EI121	○	○	○	○	○	○	○	○	○	○	○
EI122	○	○	○	○	○	○	○	○	○	○	○

(6/6)

機能名称	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
EI137	○	○	○	○	○	○	○	○	○	○	○
EI147	○	○	○	○	○	○	○	○	○	○	○
EO01	○	○	○	○	○	○	○	○	○	○	○
EO10	○	○	○	○	○	○	○	○	○	○	○
EO11	○	○	○	○	○	○	○	○	○	○	○
EO12	○	○	○	○	○	○	○	○	○	○	○
EO13	○	○	○	○	○	○	○	○	○	○	○
EO14	○	○	○	○	○	○	○	○	○	○	○
EO15	○	○	○	○	○	○	○	○	○	○	○
EO16	○	○	○	○	○	○	○	○	○	○	○
EO17	○	○	○	○	○	○	○	○	○	○	○
EO50	○	○	○	○	○	○	○	○	○	○	○
EO51	○	○	○	○	○	○	○	○	○	○	○
EO60	○	○	○	○	○	○	○	○	○	○	○
EO61	○	○	○	○	○	○	○	○	○	○	○
X1	○	○	○	○	○	○	○	○	○	○	○
X2	○	○	○	○	○	○	○	○	○	○	○
EXCLK	○	○	○	○	○	○	○	○	○	○	○
XT1	○	○	○	○	○	○	○	○	○	○	○
XT2	○	○	○	○	○	○	○	○	○	○	○
EXCLKS	○	○	○	○	○	○	○	○	○	○	○
VDD	○	○	○	○	○	○	○	○	○	○	○
EVDD0	○	○	○	○	—	—	—	—	—	—	—
EVDD1	○	○	—	—	—	—	—	—	—	—	—
VBAT	○	○	○	○	○	○	○	○	—	—	—
AVREFP	○	○	○	○	○	○	○	○	○	○	○
AVREFM	○	○	○	○	○	○	○	○	○	○	○
VSS	○	○	○	○	○	○	○	○	○	○	○
EVSS0	○	○	○	○	—	—	—	—	—	—	—
EVSS1	○	○	—	—	—	—	—	—	—	—	—
TOOLRxD	○	○	○	○	○	○	○	○	○	○	○
TOOLTxD	○	○	○	○	○	○	○	○	○	○	○
TOOL0	○	○	○	○	○	○	○	○	○	○	○

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

備考 上表の（○）は、周辺I/Oリダイレクション・レジスタ（PIOR）の対応ビットに1を設定した場合のみ使用可能になります。

## 2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI14, ANI16-ANI26	入力	A/Dコンバータのアナログ入力 (図12 - 52 VDD, AVREFP, アナログ入力端子の処理参照)
ANO0, ANO1	出力	D/Aコンバータ出力
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOUT0, VCOUT1	出力	コンパレータ出力
TS00-TS15, TS20-TS35	入出力	静電容量計測 (タッチセンサ)
TSCAP	—	タッチセンサ用電源安定容量接続。 コンデンサ (10 nF) を介し、Vssに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
CCD00-CCD07	出力	出力電流制御ポート
INTP0-INTP11	入力	外部割り込み要求入力 有効エッジ指定: 立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ (0.47 ~ 1 μF) を介し、Vssに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック (1 Hz) 出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
RIN0	入力	リモコン信号受信回路の外部パルス信号入力
RxD0-RxD3	入力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ入力
TxD0-TxD3	出力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ出力
RxDA0, RxDA1	入力	シリアル・インタフェースUARTA0, UARTA1のシリアル・データ入力
TxDA0, TxDA1	出力	シリアル・インタフェースUARTA0, UARTA1のシリアル・データ出力
CLKA0, CLKA1	出力	シリアル・インタフェースUARTA0, UARTA1のクロック出力
SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・クロック入出力
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・クロック出力
SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・データ入出力
SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ入力
SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31	出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ出力
SCLA0, SCLA1	入出力	シリアル・インタフェースIICA0, IICA1のクロック入出力
SDAA0, SDAA1	入出力	シリアル・インタフェースIICA0, IICA1のシリアル・データ入出力

(2/2)

機能名称	入出力	機能
TI00-TI07, TI10-TI17	入力	16ビット・タイマ00-07, 10-17への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07, TO10-TO17	出力	16ビット・タイマ00-07, 10-17のタイマ出力
EI00, EI01, EI10-EI12, EI20-EI23, EI30, EI31, EI50, EI51, EI120-EI122, EI137, EI147	入力	ELCLの入力
EO01, EO10-EO17, EO50, EO51, EO60, EO61	出力	ELCLの出力
X1, X2	－	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	－	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
VDD	－	< 30ピン、32ピン、36ピン、40ピン、44ピン、48ピン、52ピン製品の場合 > すべての端子の正電源 < 64ピン、80ピン、100ピン、128ピン製品の場合 > P20-P27, P121-P124, P137, P150-P156およびポート以外の端子の正電源
EVDD0, EVDD1	－	ポート端子 (P20-P27, P121-P124, P137, P150-P156以外) の正電源
VBAT	－	バッテリーバックアップ用電源
AVREFP	入力	A/Dコンバータの基準電圧 (+側) 入力
AVREFM	入力	A/Dコンバータの基準電圧 (-側) 入力
VSS	－	< 30ピン、32ピン、36ピン、40ピン、44ピン、48ピン、52ピン製品の場合 > すべての端子のグラウンド電位 < 64ピン、80ピン、100ピン、128ピン製品の場合 > P20-P27, P121-P124, P137, P150-P156およびポート以外の端子のグラウンド電位
EVSS0, EVSS1	－	ポート端子 (P20-P27, P121-P124, P137, P150-P156以外) のグラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力

**注意** リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2 - 2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
EVDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、33.4 プログラミング方法を参照してください。

**備考** ノイズ対策およびラッチアップ対策として、VDD - VSS, EVDD0 - EVSS0, EVDD1 - EVSS1ライン間へのバイパスコンデンサ (0.1  $\mu$ F程度) を最短距離でかつ、比較的太い配線を使って接続してください。

## 2.2.3 VBAT 端子

### 2.2.3.1 VBAT 端子の機能

VBAT 端子はバックアップ用バッテリーの接続端子です。VBAT 端子にバックアップ用バッテリーを接続することで、VDD 端子への電源供給が遮断されたときに VBAT 端子から電源供給することが可能です。

VBAT 端子は、主にリアルタイム・クロック（RTC）の動作継続を目的とした機能です。

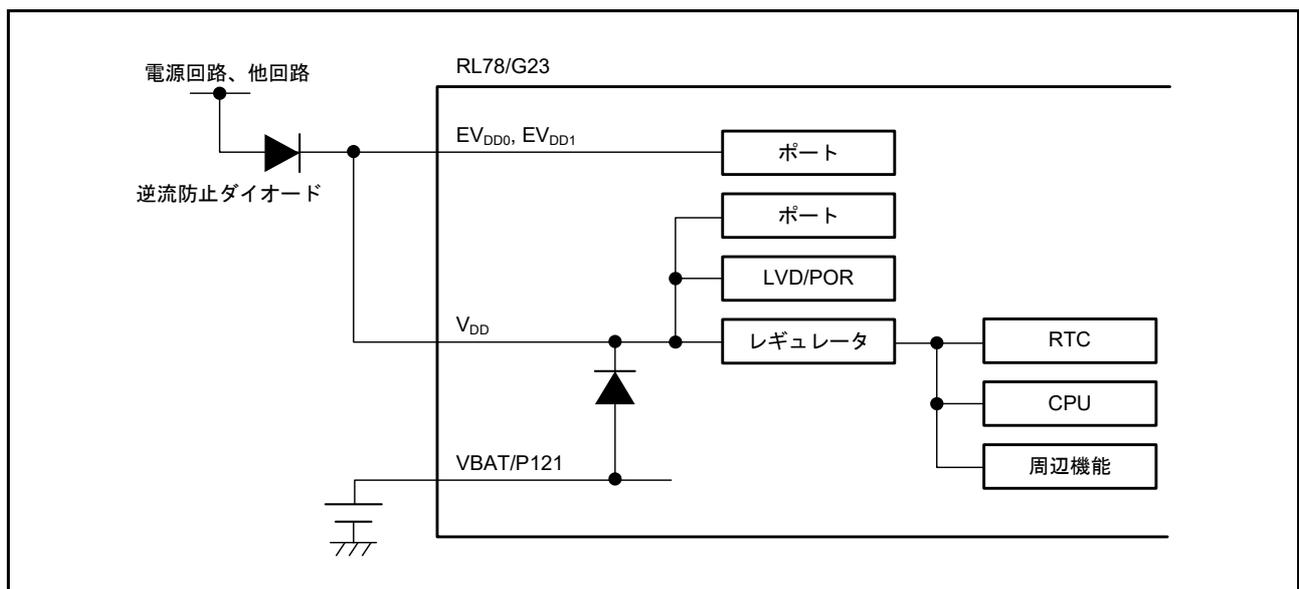
### 2.2.3.2 VBAT 端子とバックアップ用バッテリーの接続

図 2 - 1 に VBAT 端子の接続例を示します。

VBAT 端子は内部のダイオードを介して VDD に電源を供給します。VBAT 端子内部のダイオードは常に VDD に接続された状態です。VBAT 端子からダイオードを経由して VDD 端子に接続している電源回路や他回路への逆流を防ぐ必要がある場合は、VDD、EVDD0、EVDD1 端子の外部に逆流防止用のダイオードを接続してください。

VBAT 端子の入力電圧範囲は 2.7 ~ 5.5 V です。VBAT 端子から電源を供給している状態で VBAT 端子の入力電圧が 2.7 V 未満になるとダイオードの電圧降下により POR リセットが発生する場合があります。また、VBAT 端子から供給できる電流は 150  $\mu$ A (Max.) です。

図 2 - 1 VBAT 端子の接続例



### 2.2.3.3 VBAT 端子の使用方法

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

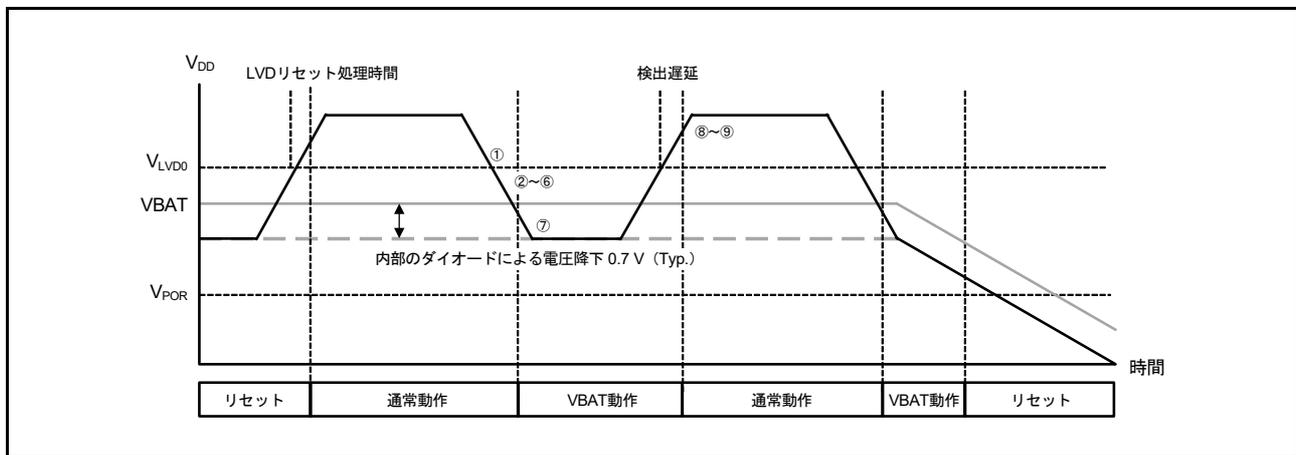
#### (1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード（CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 0）に設定してください。

#### (2) 電源供給を VBAT 端子に切り替える手順例

- ① LVD0 の割り込みモードを使用して、電源電圧（VDD）の低下時に割り込み要求が発生させます。この割り込み要求によって処理を開始します。
- ② LVD0 以外の割り込みを禁止に設定します。
- ③ リアルタイム・クロック（RTC）以外の周辺機能を停止します。
- ④ 各ポートの出力設定を変更し、ポートに電流が流れないようにします。
- ⑤ LVD0 の割り込み要求フラグをクリアします。
- ⑥ LVD0F = 1（VDD < 検出電圧）であることを確認後、CPU がメイン・システム・クロックで動作中の場合は STOP モードへ移行します。CPU がサブシステム・クロックで動作中の場合は HALT モードへ移行します。
- ⑦ LVD0 の割り込み要求が発生するまで状態を維持します。
- ⑧ 電源電圧（VDD）が再投入されると、LVD0 の割り込み要求が発生し、STOP モードおよび HALT モードが解除されます。
- ⑨ LVD0F = 0（VDD ≥ 検出電圧）であることを確認後、周辺機能を再設定し、電源電圧（VDD）供給時の動作に移行します。

図 2-2 VDD 端子と VBAT 端子の切り替え時の状態遷移



VDD 端子と VBAT 端子の切り替えが頻繁に発生する場合は、④と⑤の間で電圧の変動の収まる期間をウエイトすることで VDD 端子と VBAT 端子の切り替えの発生を抑えることができます。

**注意 1.** バッテリ電源を供給しているときは、メイン・システム・クロックでの動作は禁止です。

**注意 2.** バッテリ電源を供給しているときは、WDT がカウント動作停止するように設定してください。

また、リセット端子へのロウ・レベルの入力は禁止です。リセット解除時にメイン・システム・クロックで動作を開始し、150  $\mu$ A (Max.) を超えるためです。

**注意 3.** バッテリ電源を使用する場合は、P121 を X1 発振モードに設定してください。P121 を入力設定および出力設定にしないでください。

## 2.3 未使用端子の処理

各端子の未使用端子の処理を表 2 - 3 に示します。

**備考** 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View)、2.1 ポートの端子機能を参照してください。

表2 - 3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	入力時：個別に抵抗を介して、EVDD0, EVDD1またはEVSS0, EVSS1に接続してください。 出力時：オープンにしてください。
P10-P17		
P20-P27		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P30-P37		入力時：個別に抵抗を介して、EVDD0, EVDD1またはEVSS0, EVSS1に接続してください。 出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、EVDD0, EVDD1に接続またはオープンにしてください。 出力時：オープンにしてください。
P41-P47		入力時：個別に抵抗を介して、EVDD0, EVDD1またはEVSS0, EVSS1に接続してください。 出力時：オープンにしてください。
P50-P57		
P60-P63		入力時：個別に抵抗を介して、EVDD0, EVDD1またはEVSS0, EVSS1に接続してください。 出力時：ポートの出カラッチに0を設定してオープン、またはポートの出カラッチに1を設定し、個別に抵抗を介してEVDD0, EVDD1またはEVSS0, EVSS1に接続してください。
P64-P67		入力時：個別に抵抗を介して、EVDD0, EVDD1またはEVSS0, EVSS1に接続してください。 出力時：オープンにしてください。
P70-P77		
P80-P87		
P90-P97		
P100-P106		
P110-P117		
P120		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P121, P122		
P123, P124	入力	クロック動作モード制御レジスタ (CMC) のEXCLKSに0、OSCSELSに1、かつクロック動作ステータス制御レジスタ (CSC) のXTSTOPに1を設定し、オープンにしてください。注 または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して、EVDD0, EVDD1またはEVSS0, EVSS1に接続してください。 出力時：オープンにしてください。
P130	出力	オープンにしてください。
P137	入力	ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDIS13) のPDIDIS137に1を設定し、オープンにしてください。または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P140-P147	入出力	入力時：個別に抵抗を介して、EVDD0, EVDD1またはEVSS0, EVSS1に接続してください。 出力時：オープンにしてください。
P150-P156	入出力	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
RESET	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ (0.47 ~ 1 $\mu$ F) を介し、VSSに接続してください。

**注** CPU / 周辺ハードウェア・クロック (fCLK) に低速オンチップ・オシレータ・クロック (fIL) を選択したときは、電流が 1  $\mu$ A 程度増える場合があります。

**備考** EVDD0, EVDD1, EVSS0, EVSS1 端子がない製品は、EVDD0 と EVDD1 を VDD に、EVSS0 と EVSS1 を VSS に置き換えてください。

## 2.4 端子ブロック図

2.1.1 30ピン製品～2.1.11 128ピン製品に記載した端子タイプについて、端子ブロック図を図2-3～図2-35に示します。

図2-3 端子タイプ 1-1-1の端子ブロック図

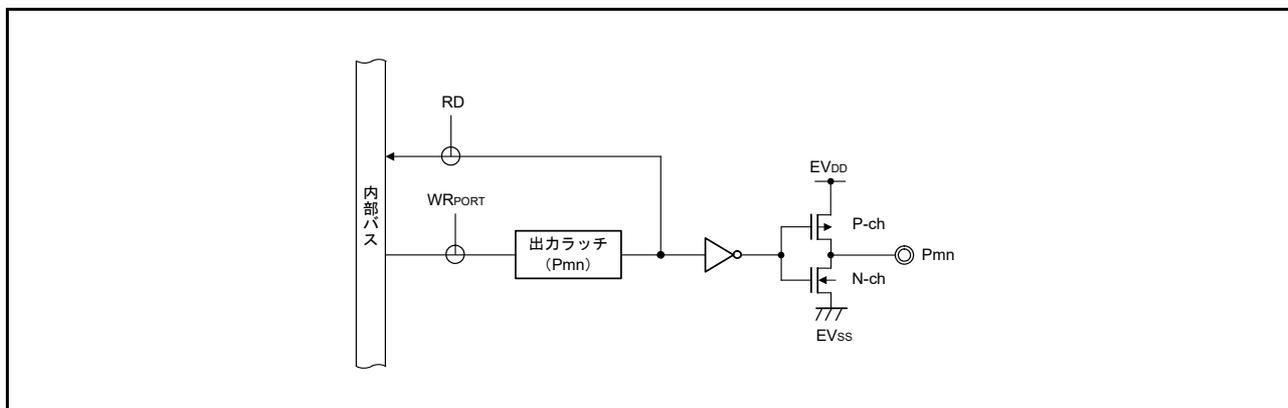


図2-4 端子タイプ 2-1-1の端子ブロック図

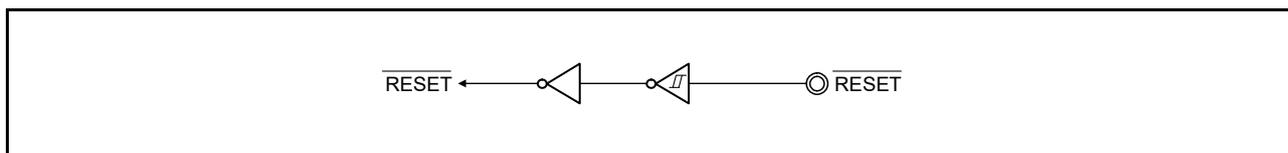
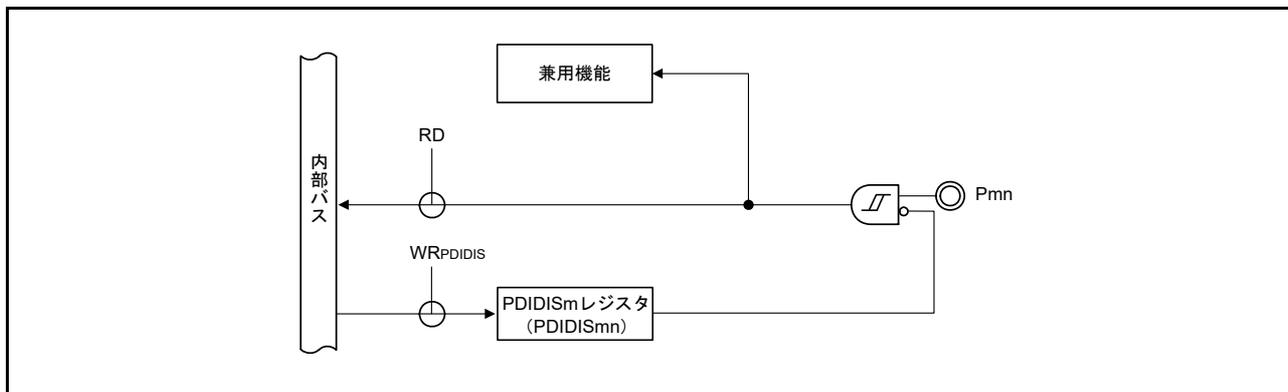
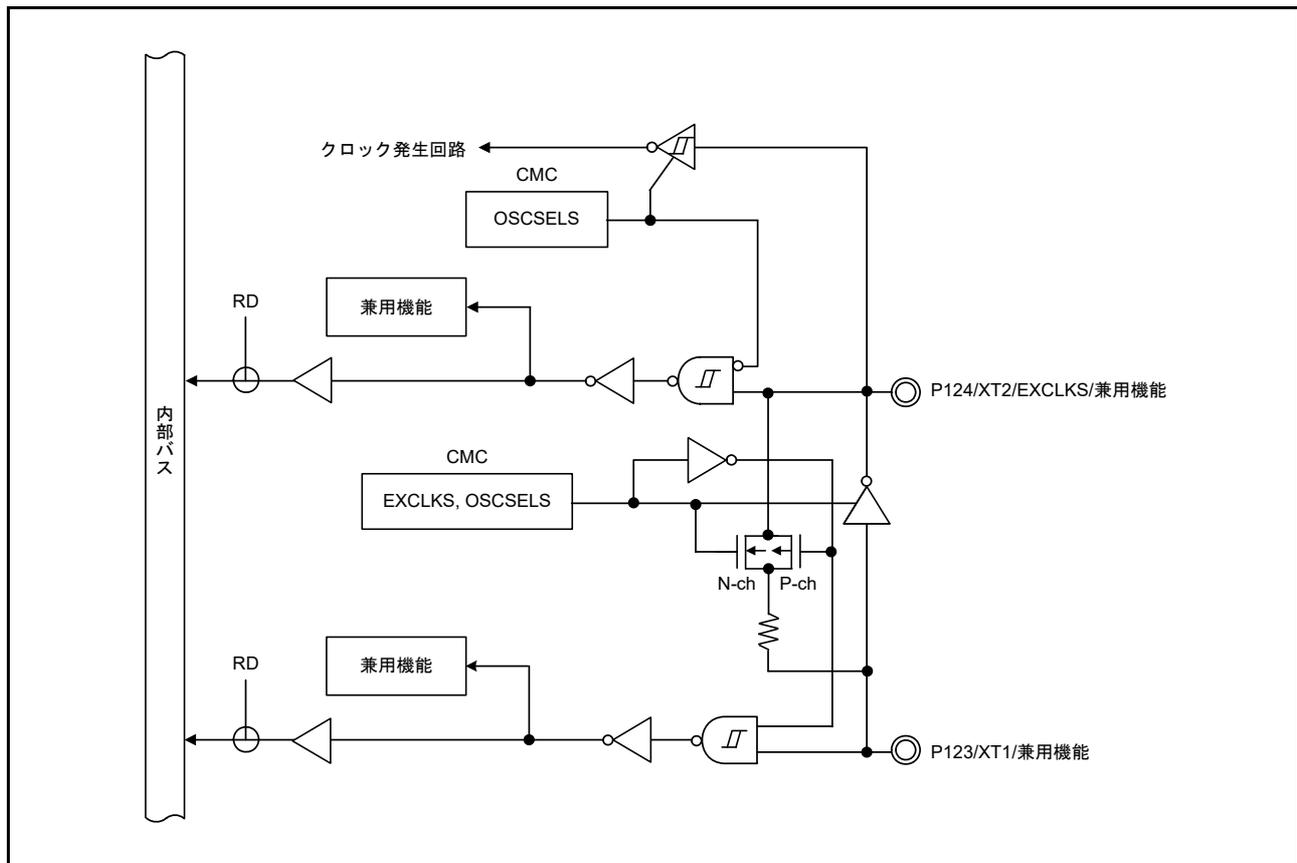


図2-5 端子タイプ 2-1-3の端子ブロック図



**備考** 兼用機能は、2.1 ポートの端子機能を参照してください。

図2-6 端子タイプ 2-2-1 の端子ブロック図



**備考** 兼用機能は、2.1 ポートの端子機能を参照してください。

図2-7 端子タイプ 4-3-5の端子ブロック図

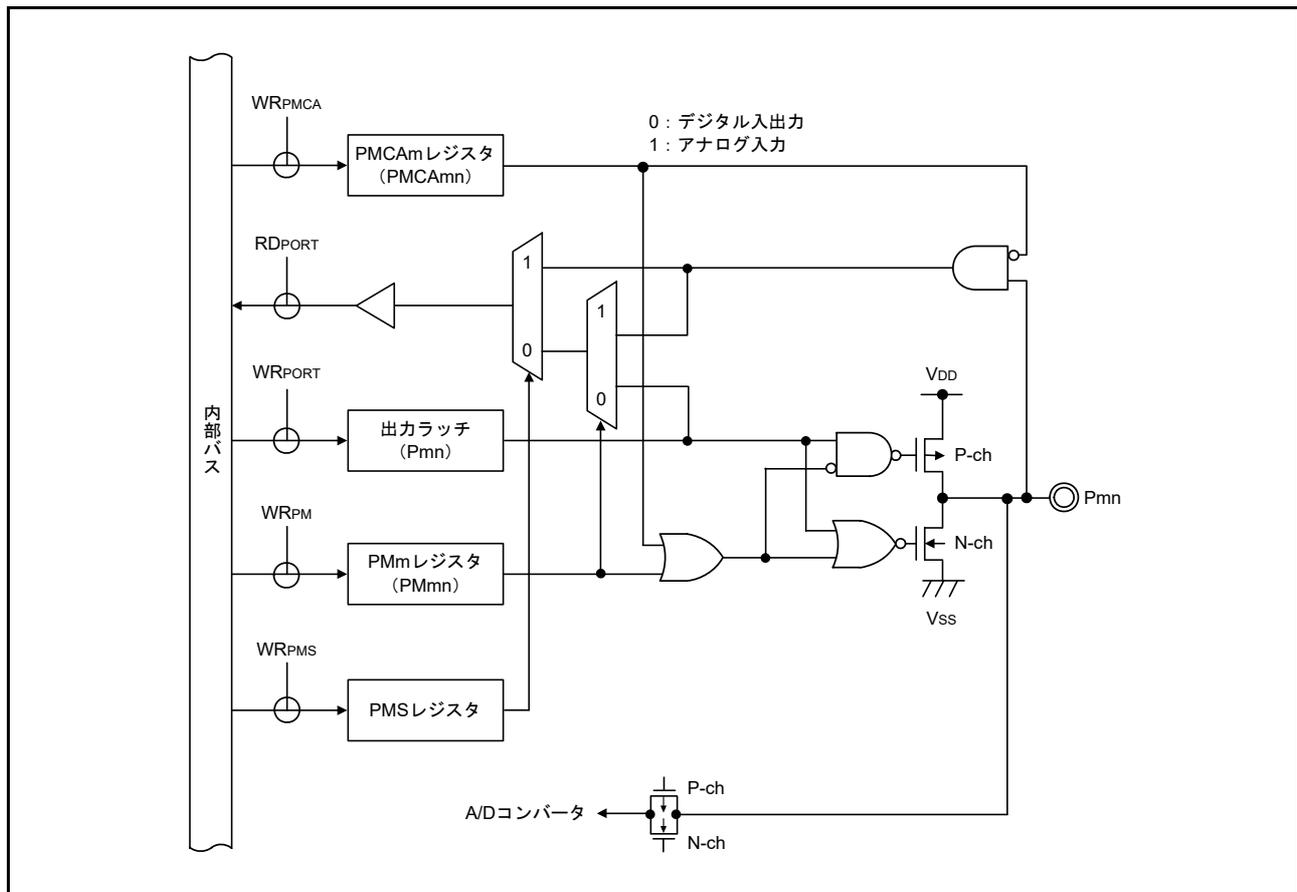


図2 - 8 端子タイプ4-33-1の端子ブロック図

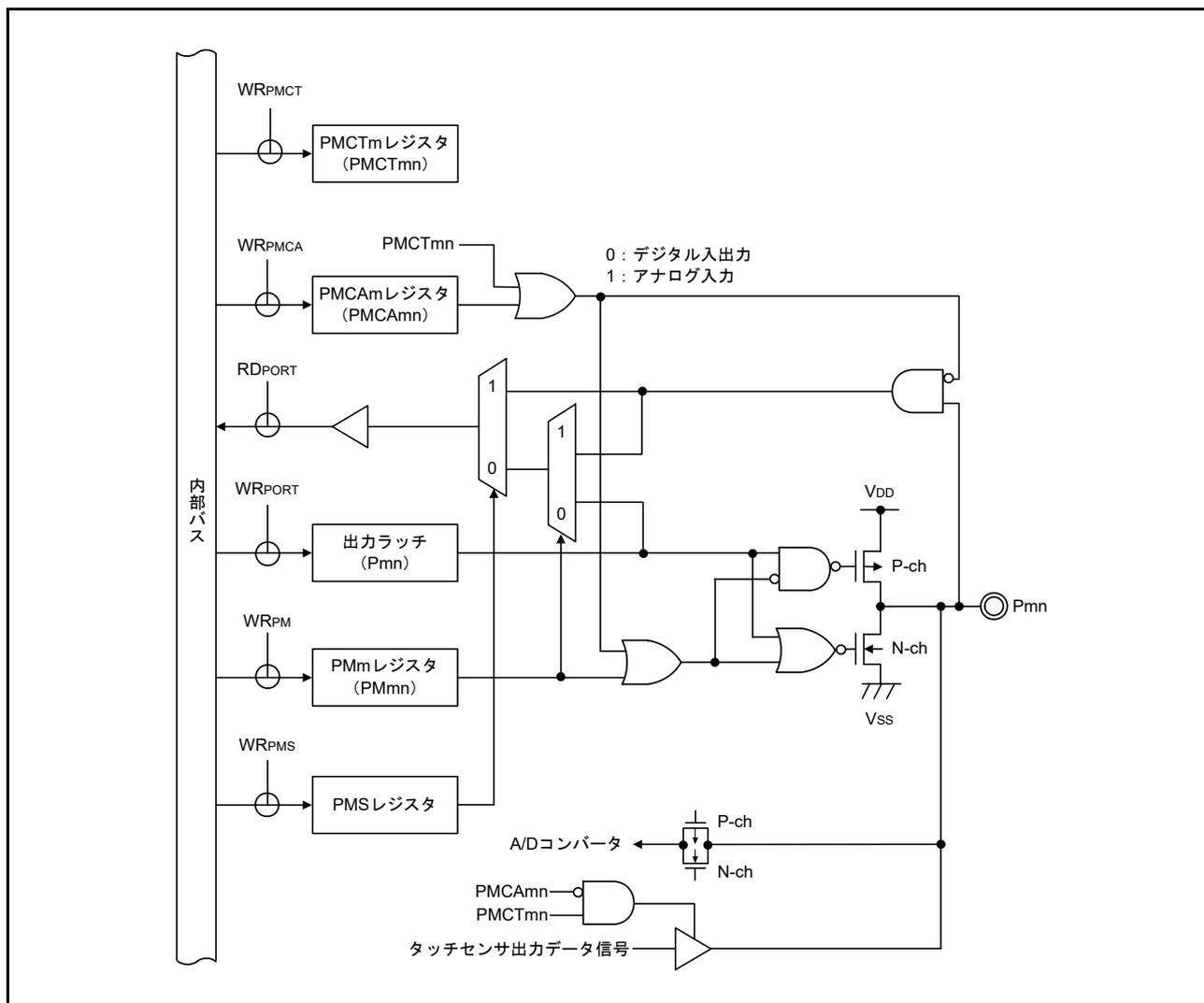


図2-9 端子タイプ4-35-1の端子ブロック図

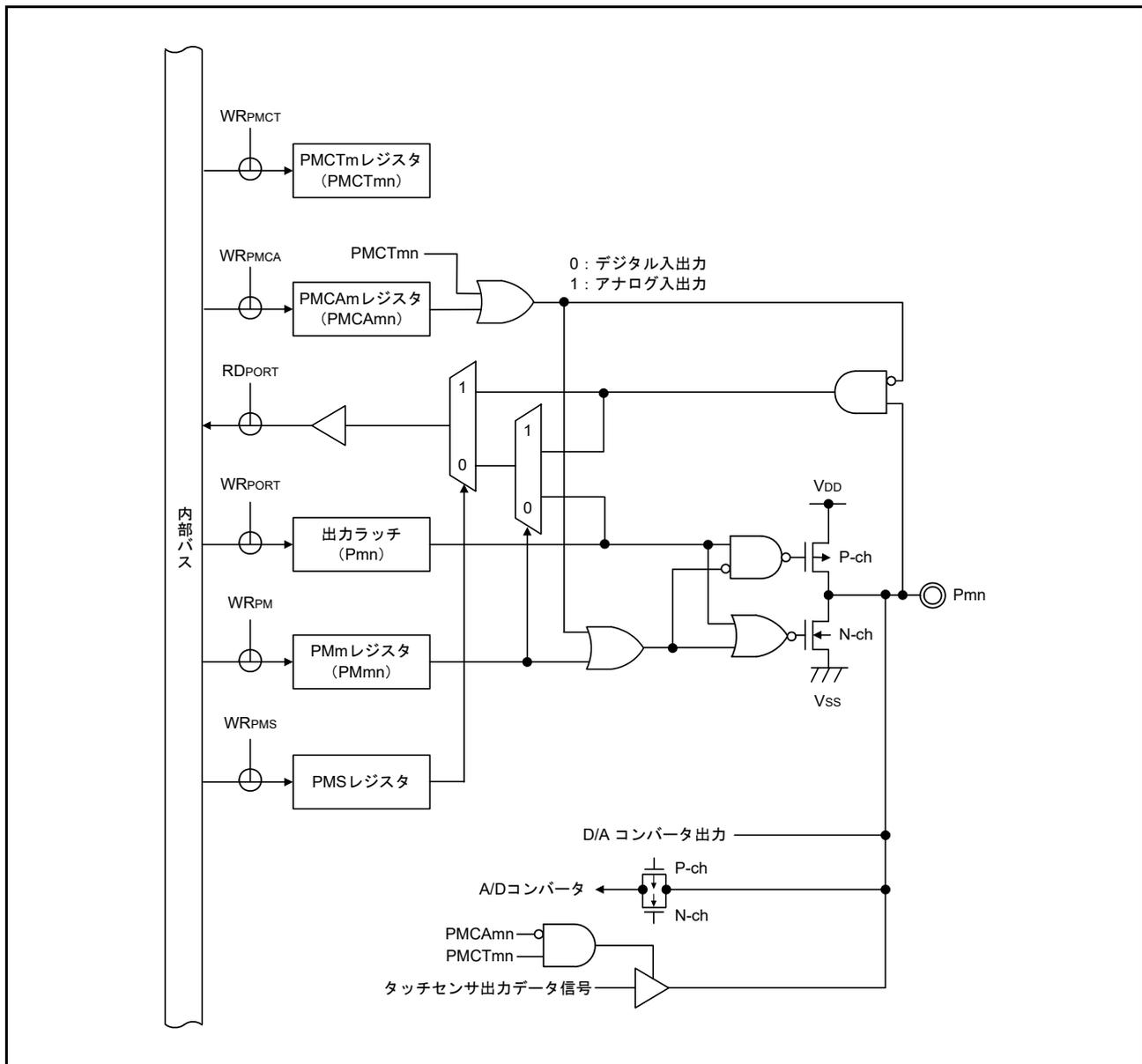


図2 - 10 端子タイプ4-37-1の端子ブロック図

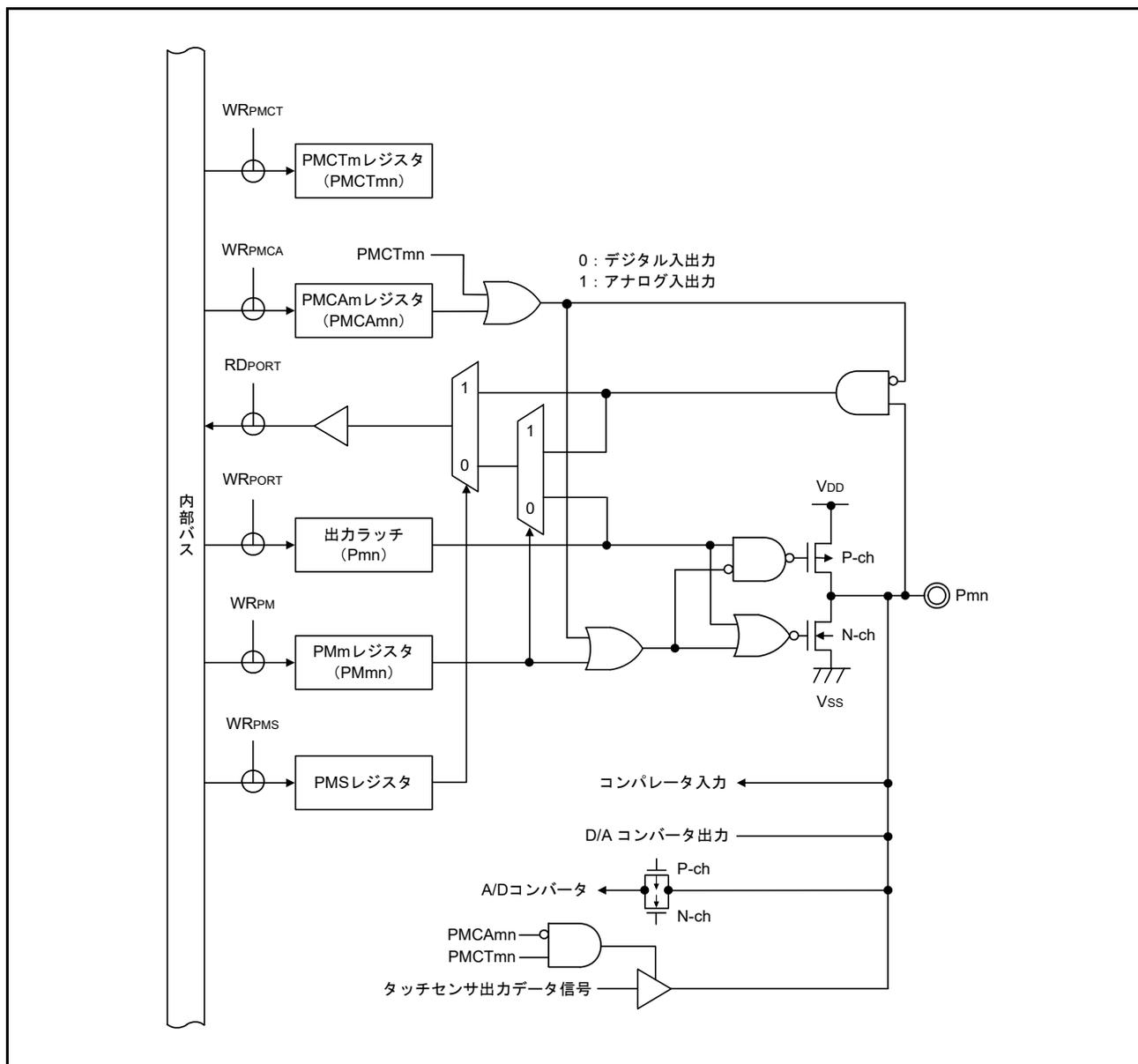
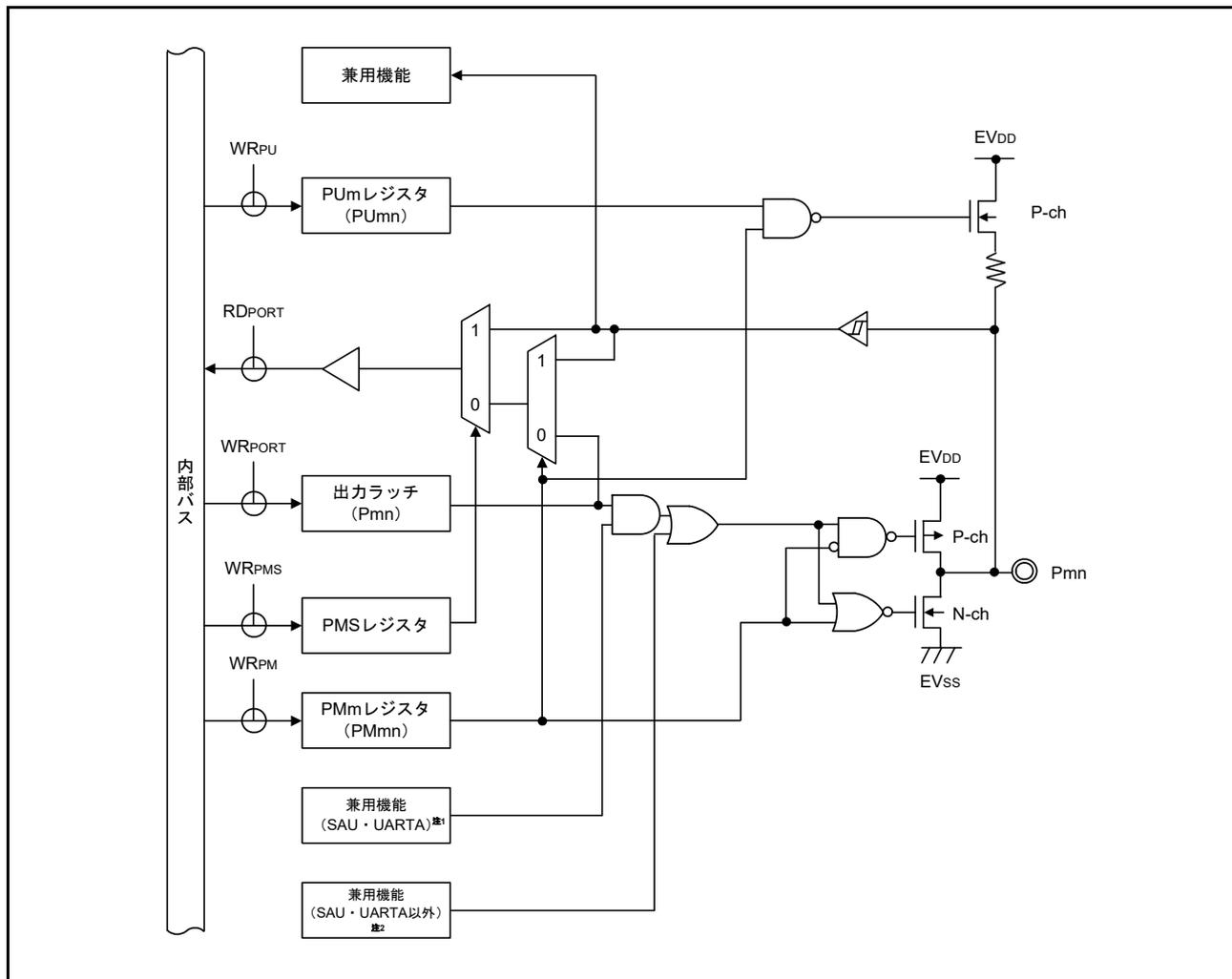


図2 - 11 端子タイプ 7-1-3の端子ブロック図



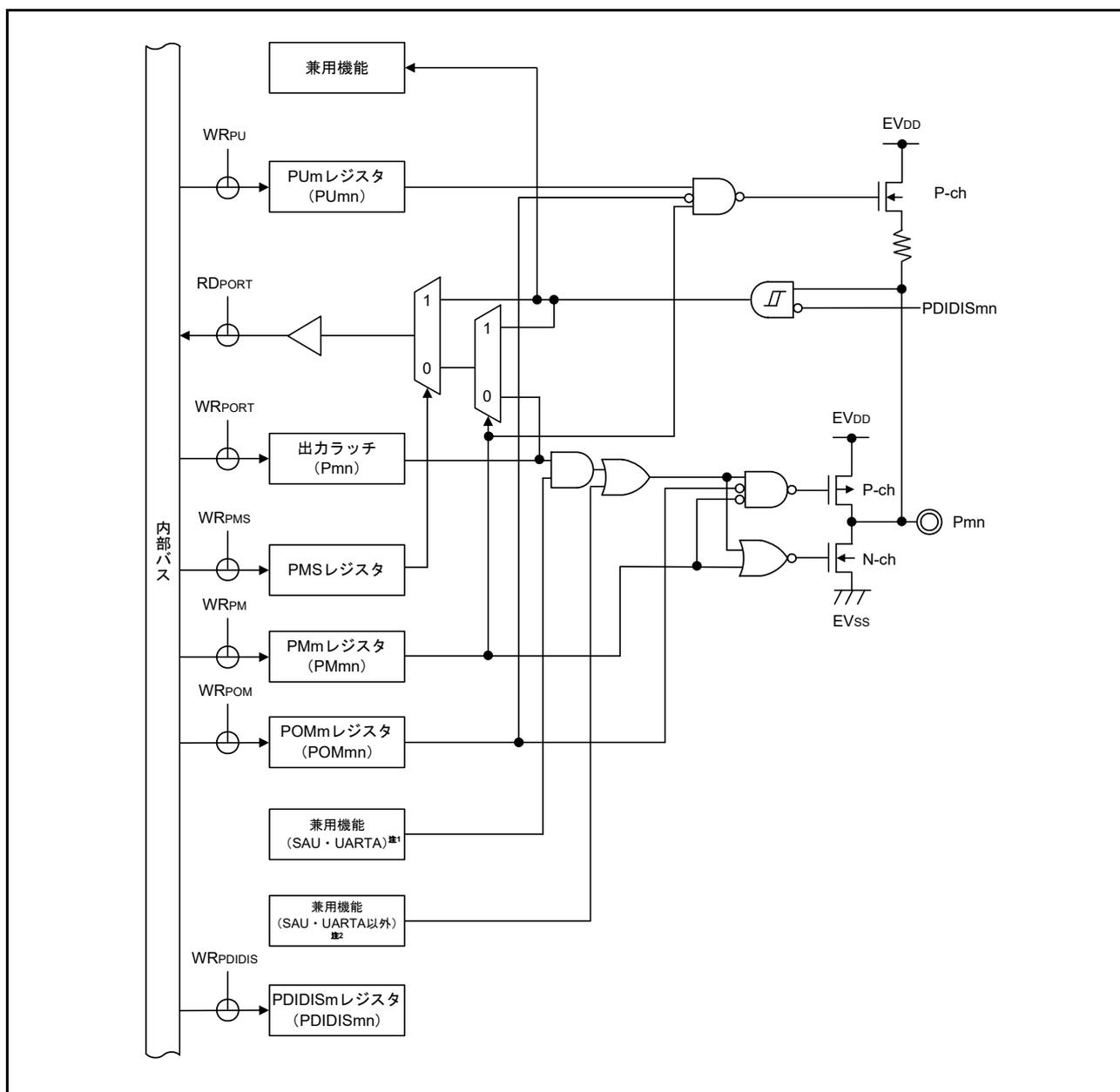
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 12 端子タイプ 7-1-11 の端子ブロック図



注1. UARTAのクロック出力を除く

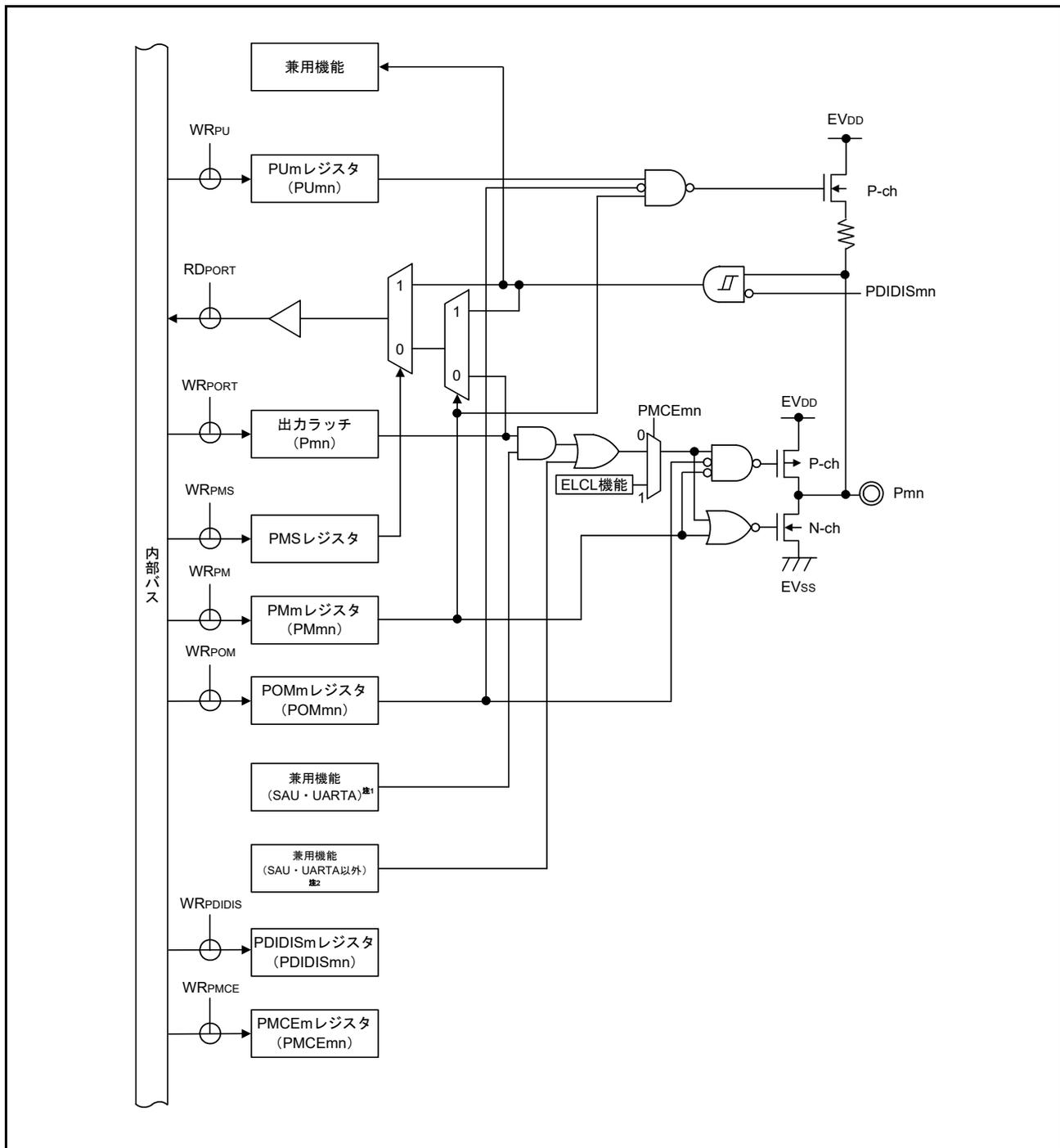
注2. UARTAのクロック出力を含む

**注意** ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-13 端子タイプ 7-1-12 の端子ブロック図



注1. UARTAのクロック出力を除く

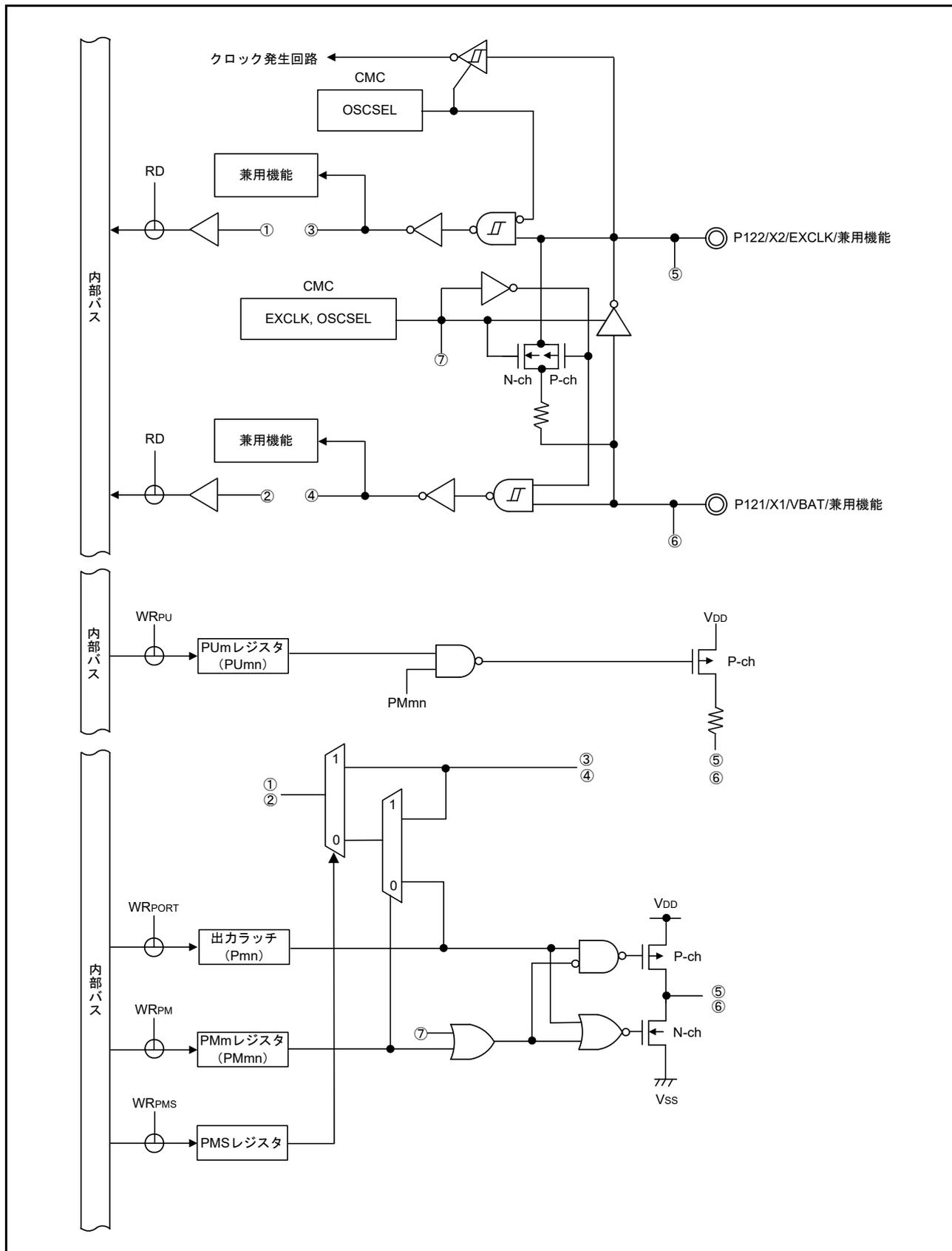
注2. UARTAのクロック出力を含む

**注意** ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

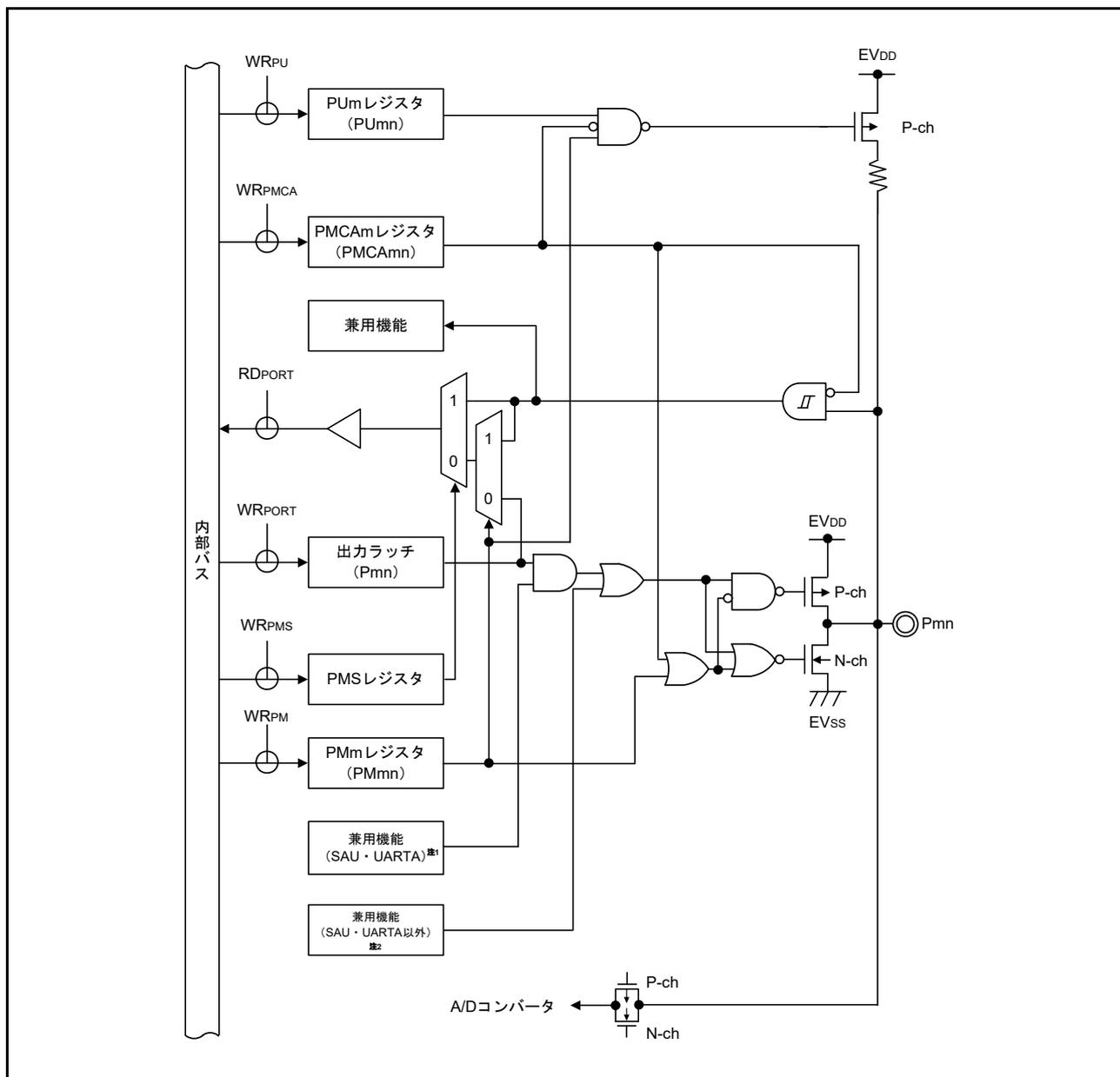
備考2. SAU : シリアル・アレイ・ユニット

★ 図2-14 端子タイプ7-2-1の端子ブロック図



備考 兼用機能は、2.1 ポートの端子機能を参照してください。

図2 - 15 端子タイプ 7-3-3 の端子ブロック図



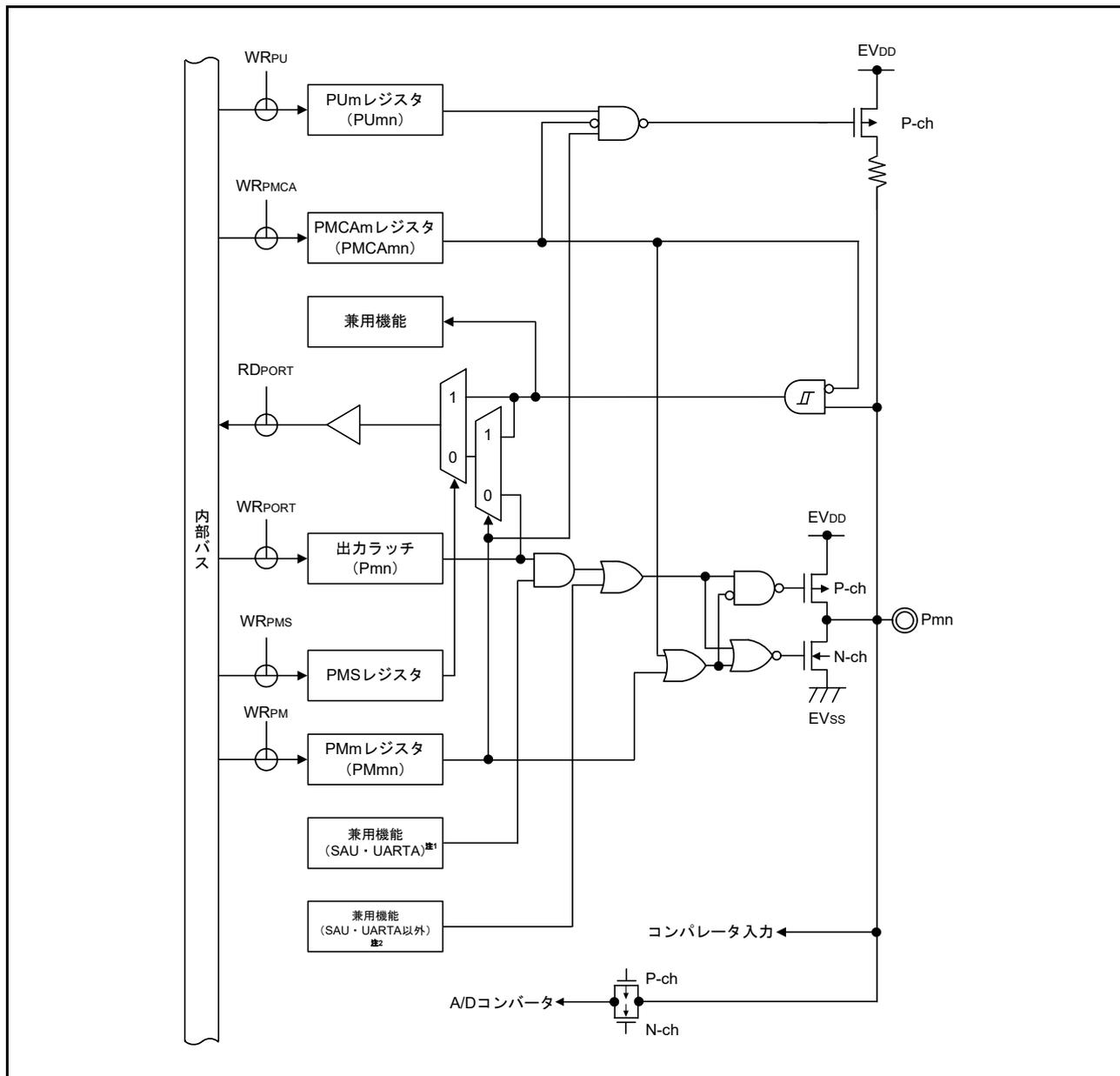
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 16 端子タイプ 7-9-5の端子ブロック図



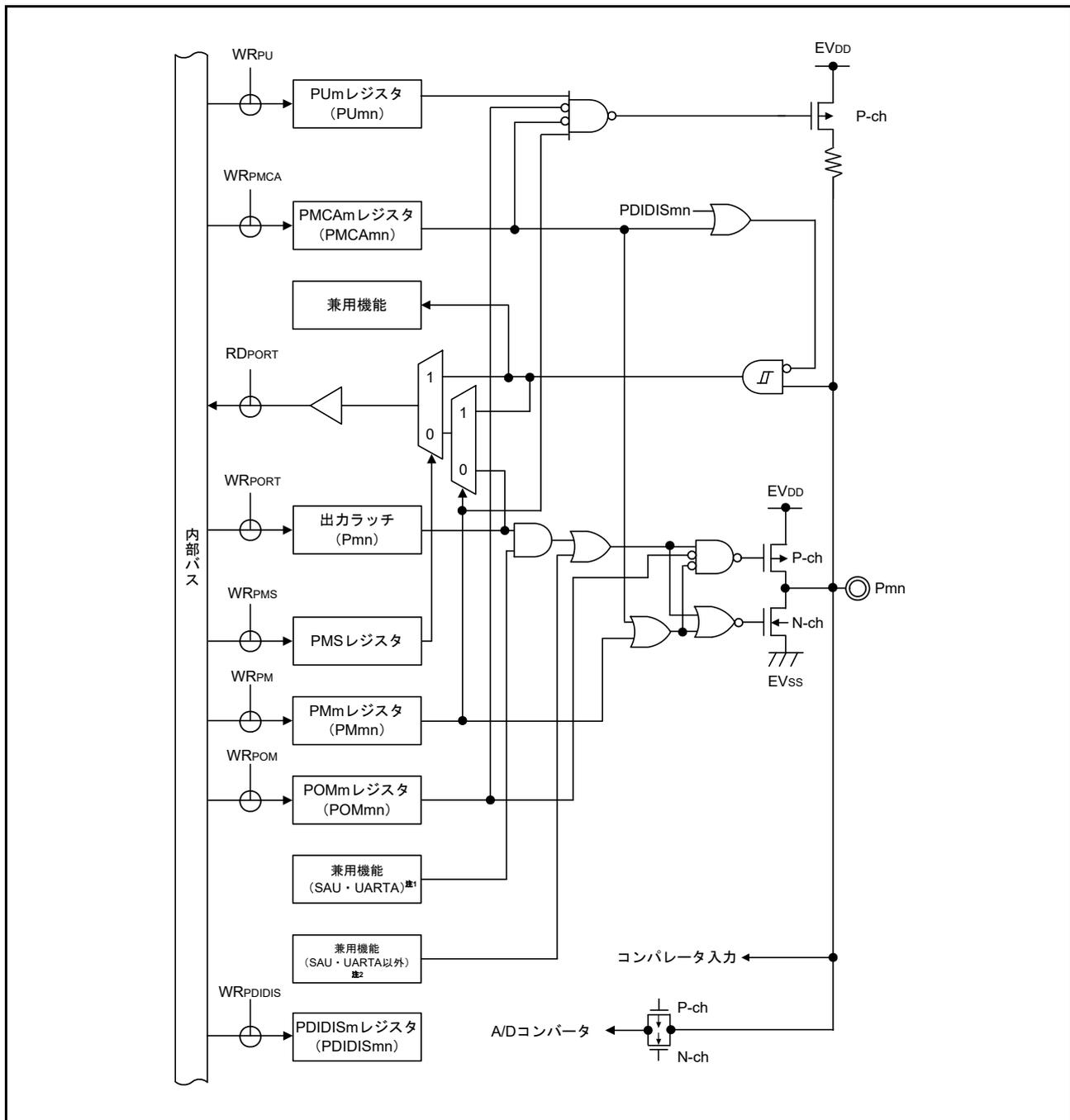
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-17 端子タイプ 7-9-6 の端子ブロック図



注1. UARTAのクロック出力を除く

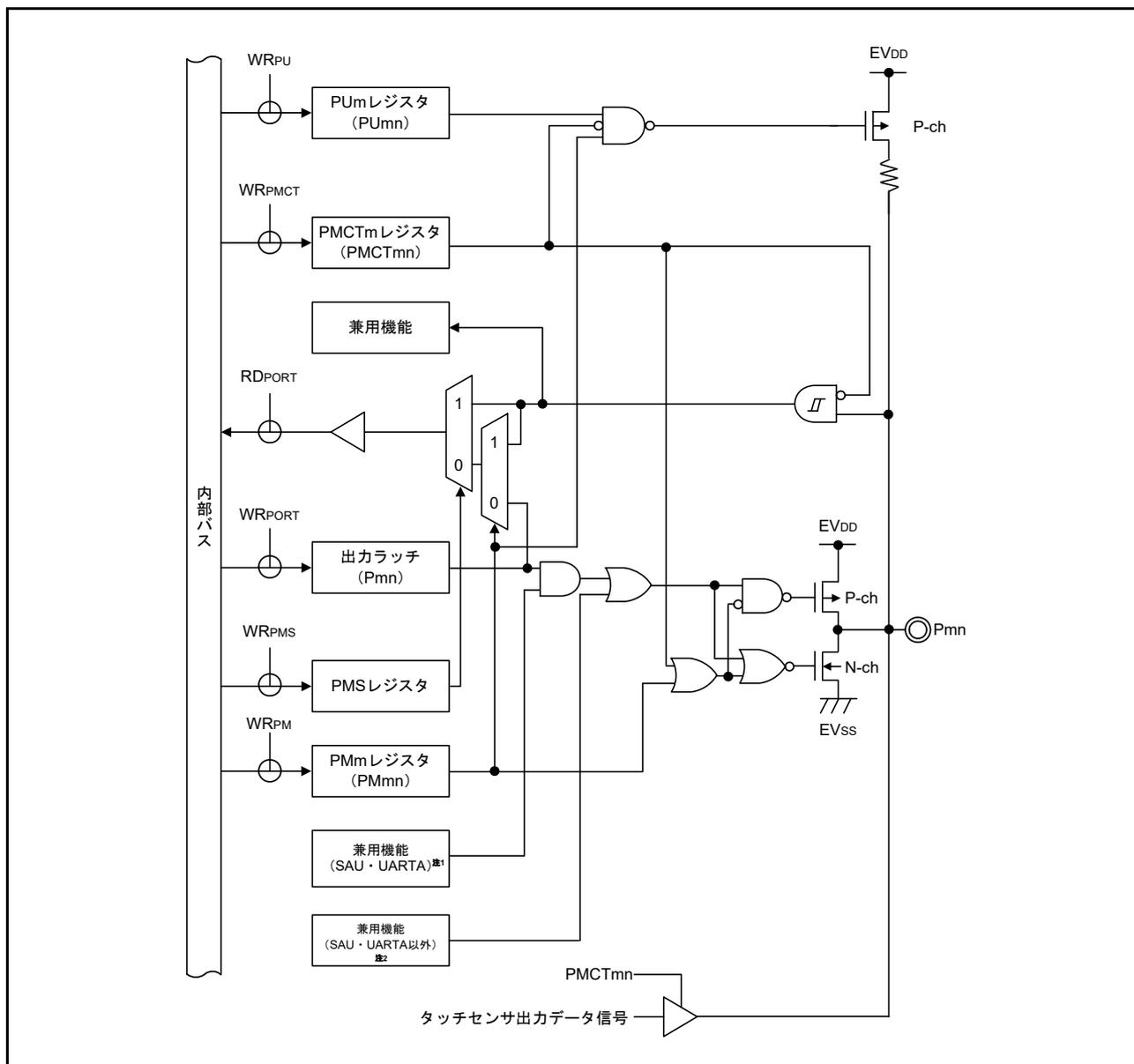
注2. UARTAのクロック出力を含む

**注意** ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 18 端子タイプ 7-31-2の端子ブロック図



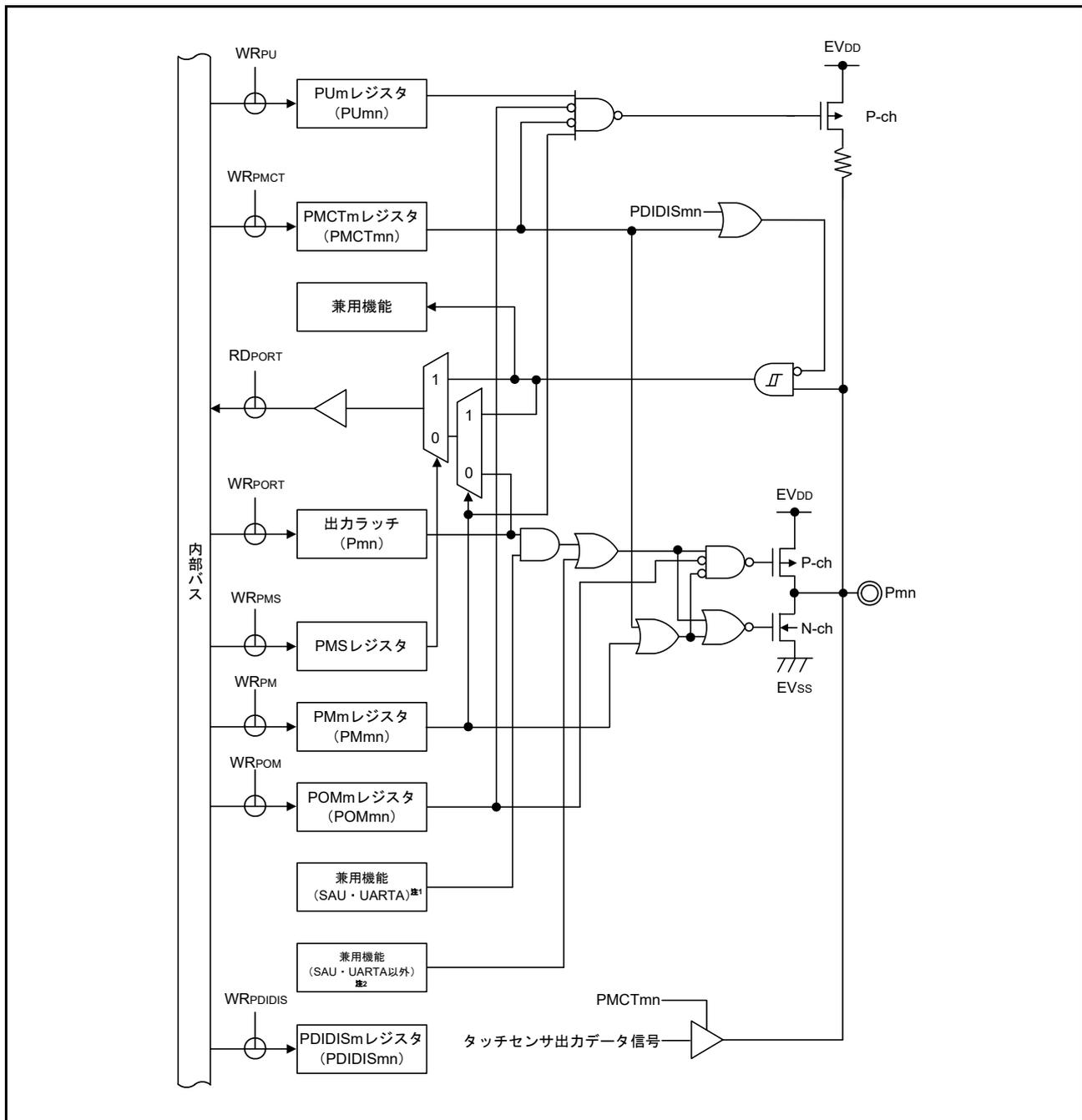
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 19 端子タイプ 7-31-3の端子ブロック図



注1. UARTAのクロック出力を除く

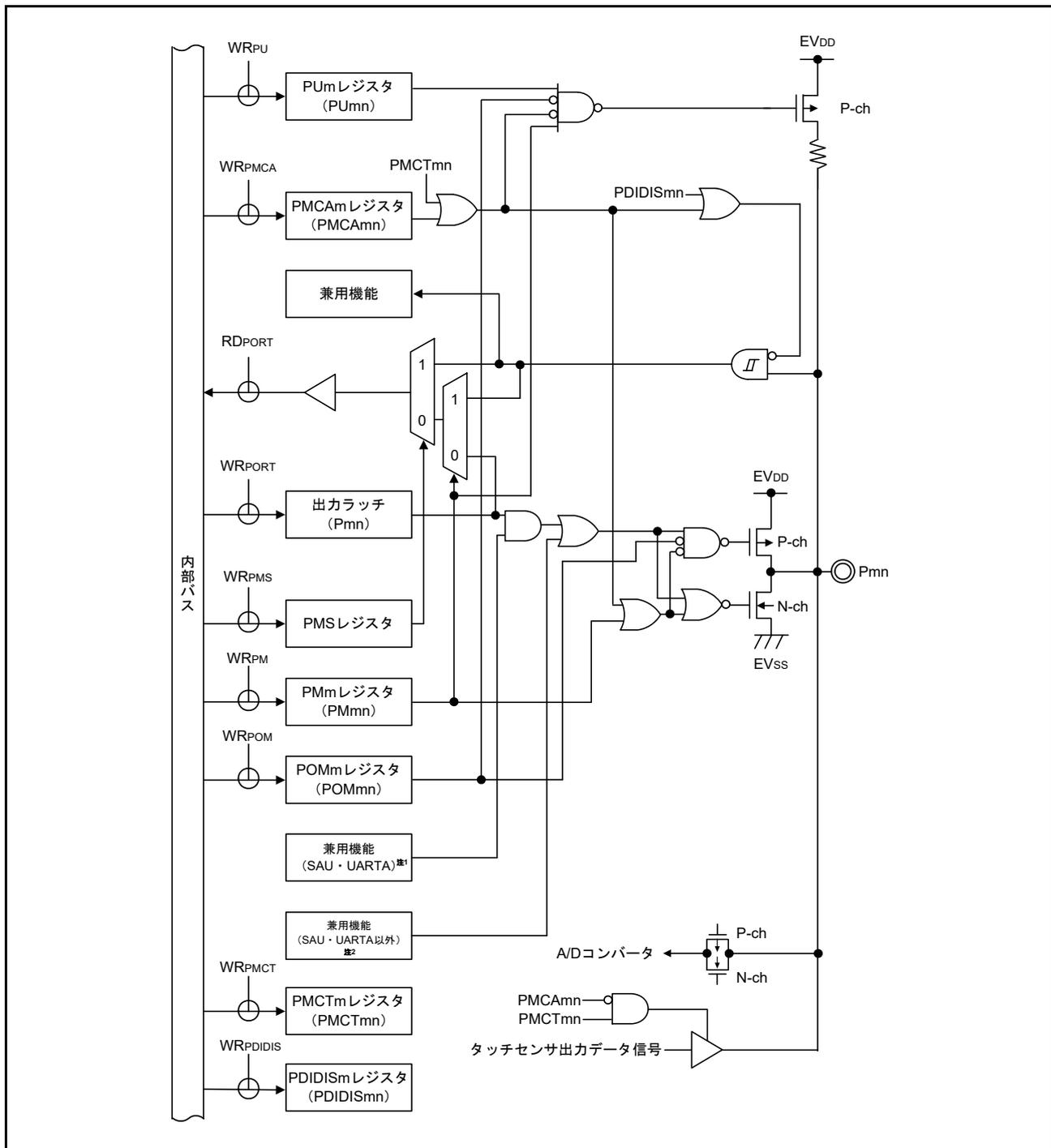
注2. UARTAのクロック出力を含む

**注意** ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-20 端子タイプ 7-33-4 の端子ブロック図



注1. UARTAのクロック出力を除く

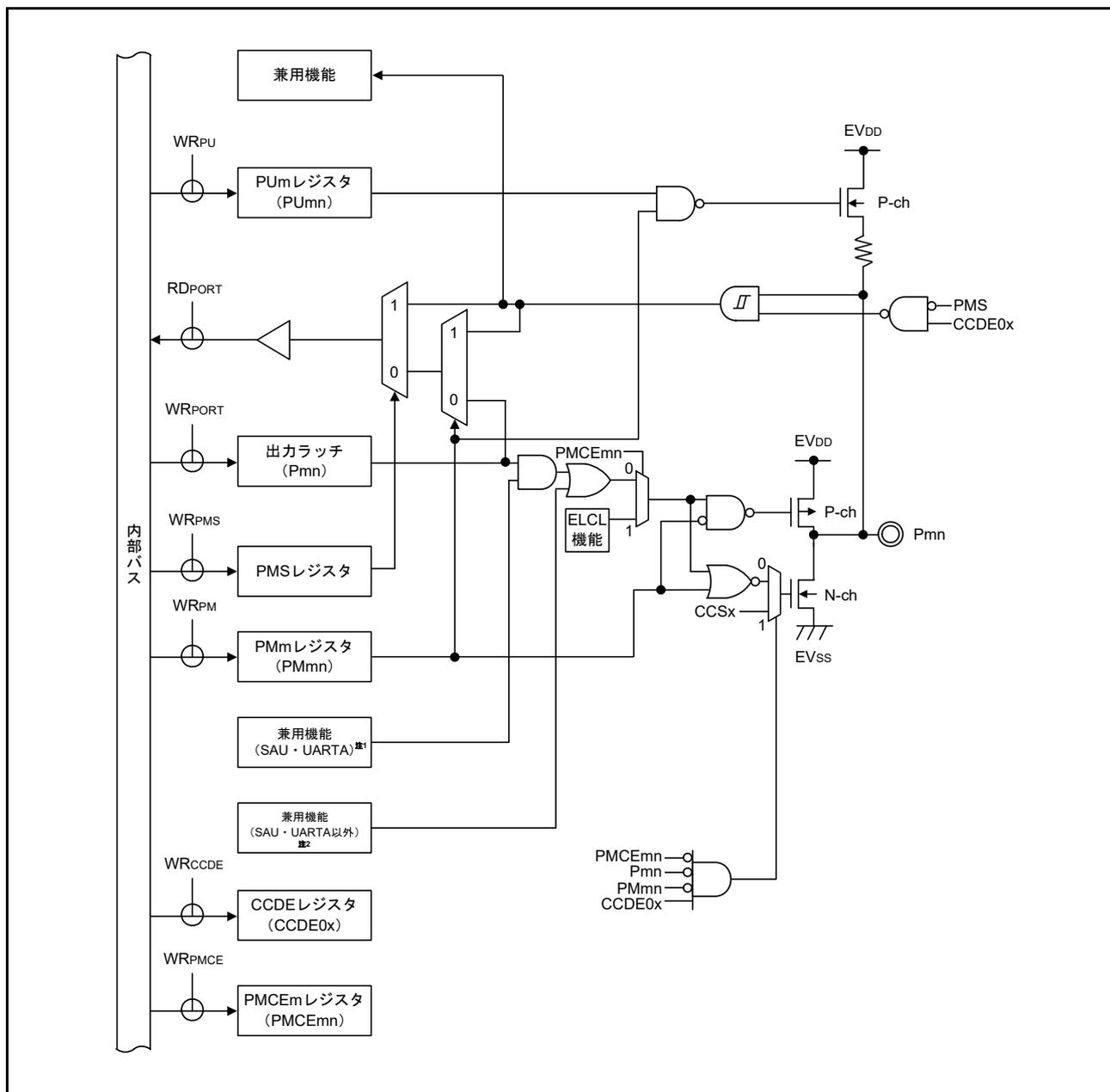
注2. UARTAのクロック出力を含む

**注意** ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 21 端子タイプ 7-38-1の端子ブロック図



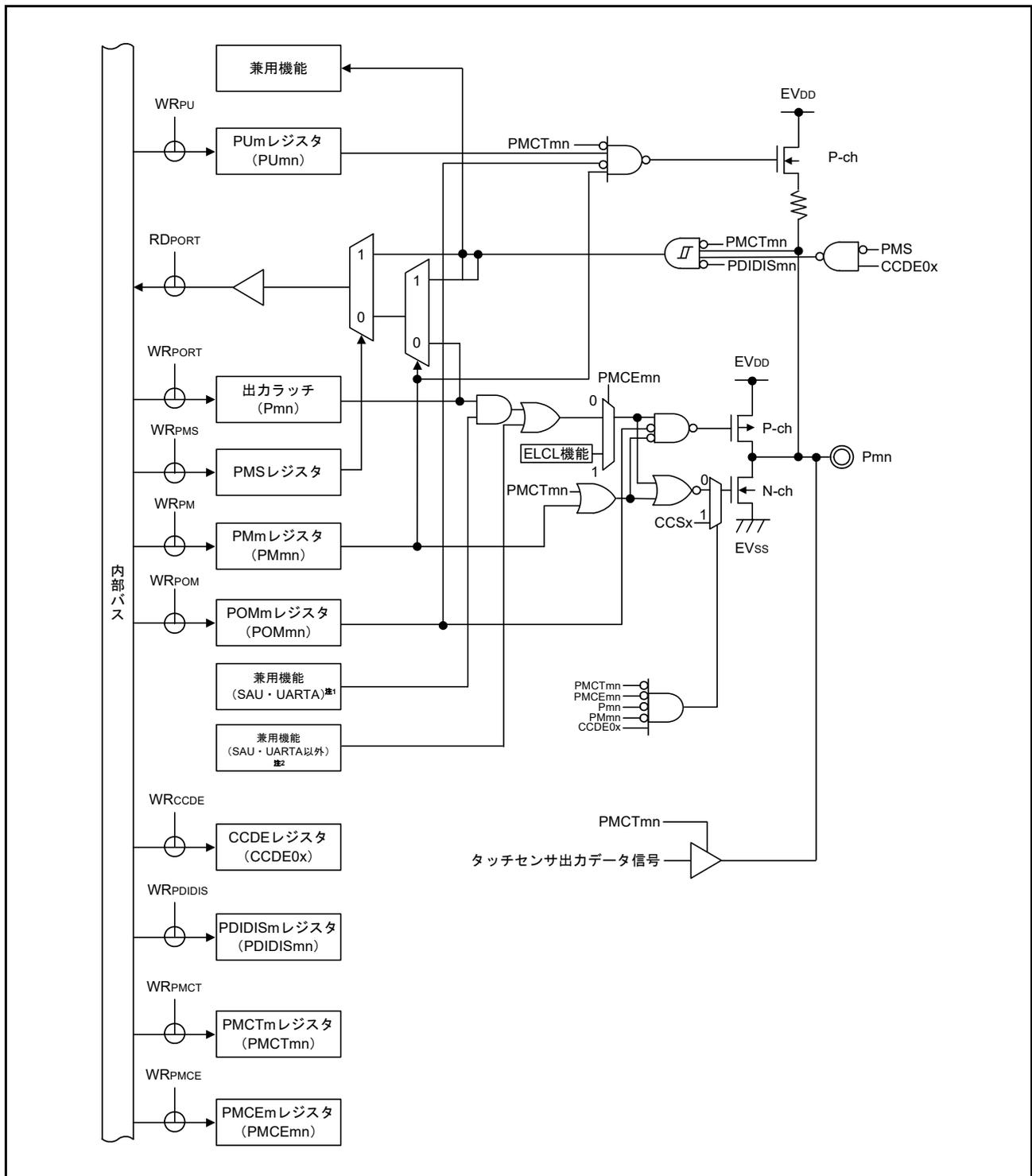
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-22 端子タイプ 7-39-1の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

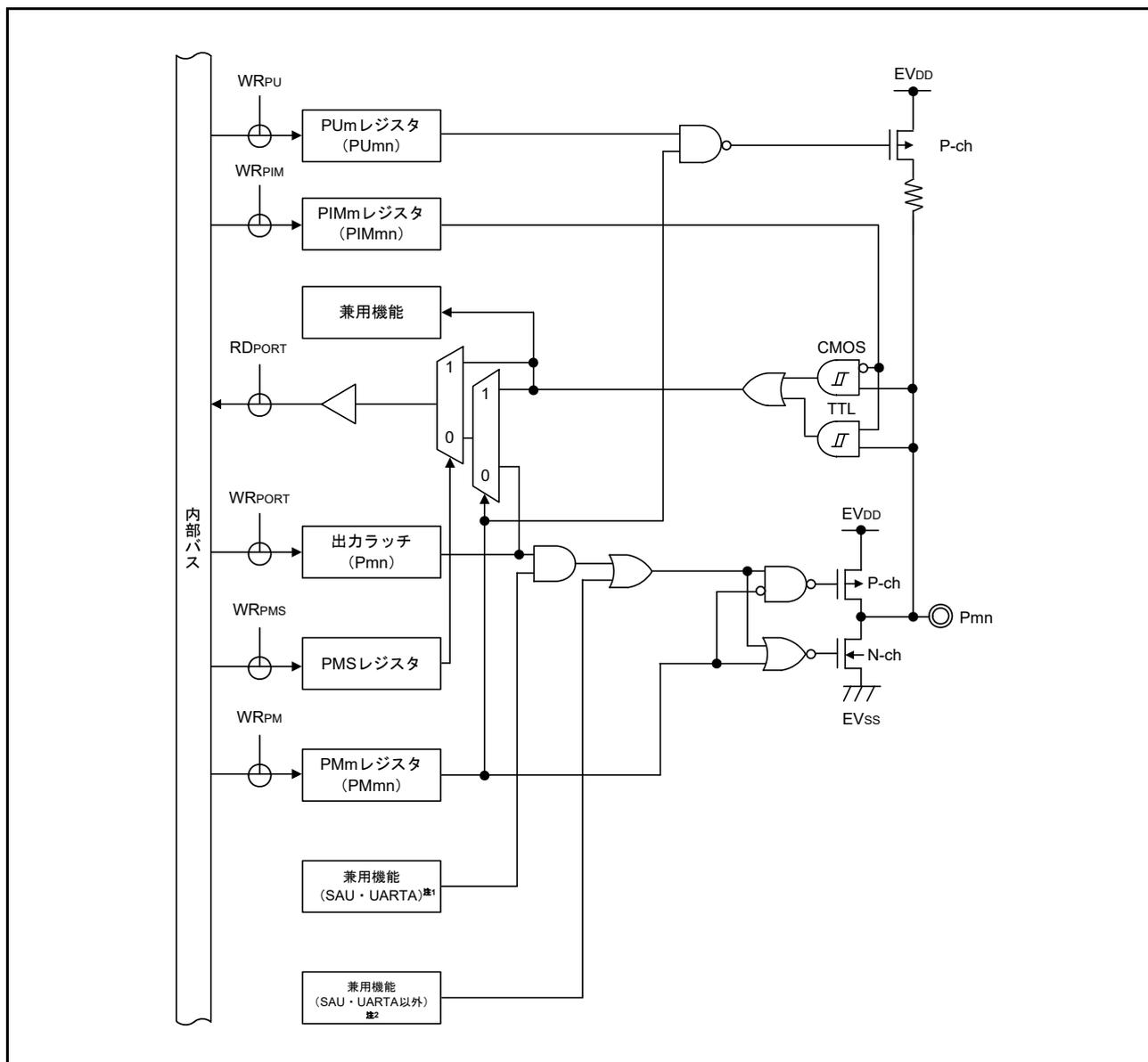
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

注意2. 出力電流制御ポートは、44ピン製品には搭載していません。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-23 端子タイプ 8-1-3の端子ブロック図



注1. UARTAのクロック出力を除く

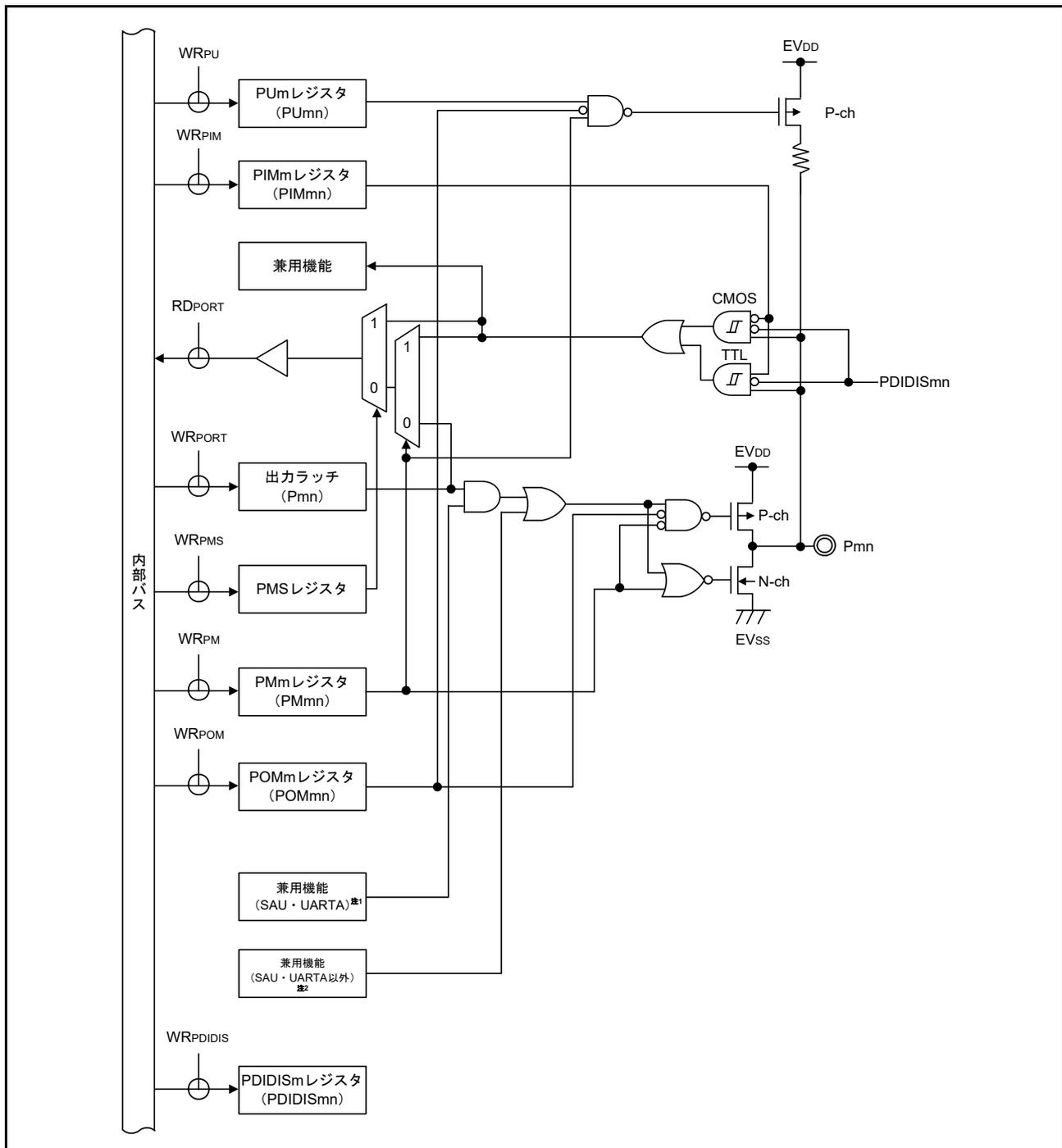
注2. UARTAのクロック出力を含む

注意 ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-24 端子タイプ 8-1-10の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

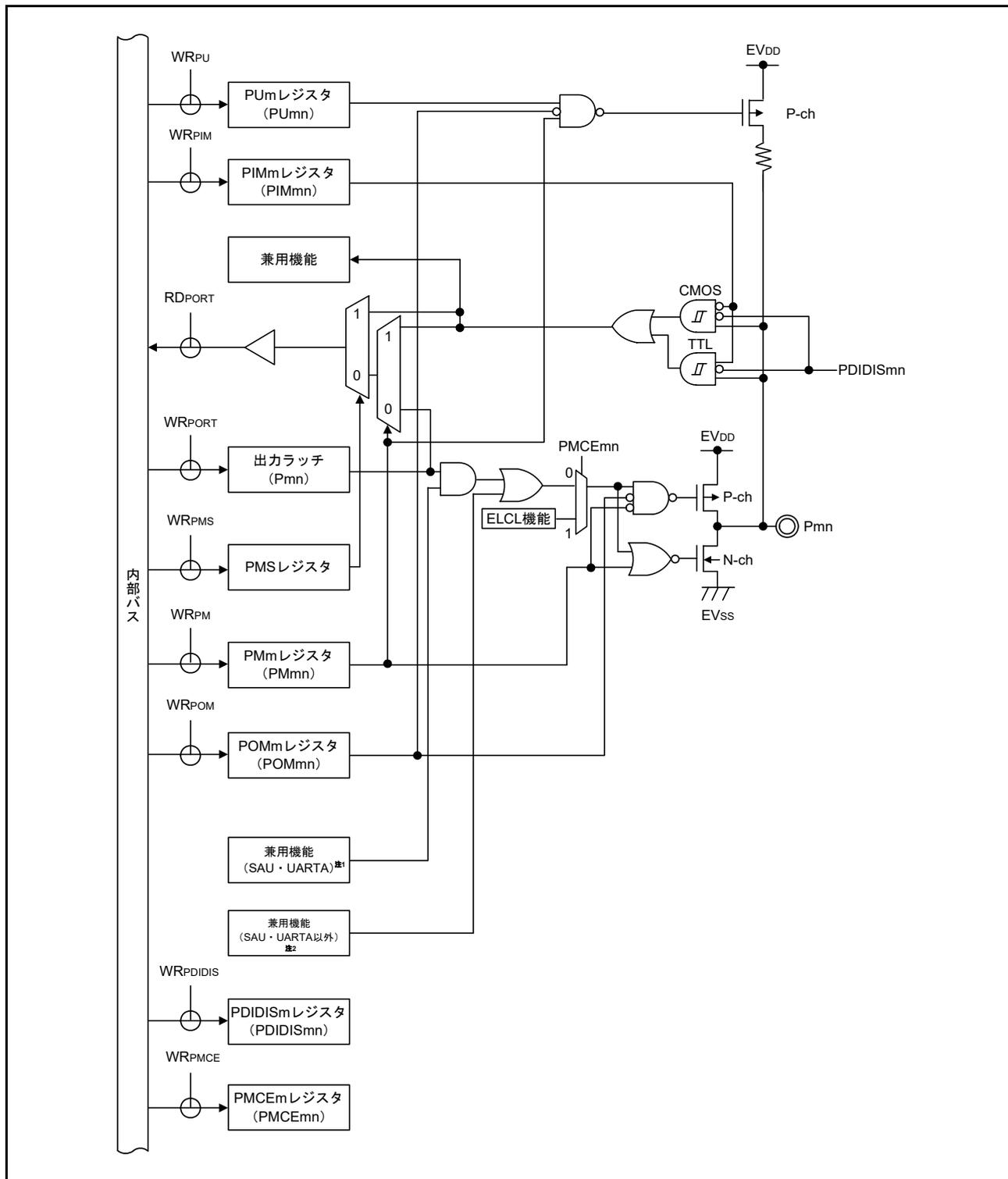
ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 25 端子タイプ 8-1-11の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

(注意、備考は次ページに続きます)

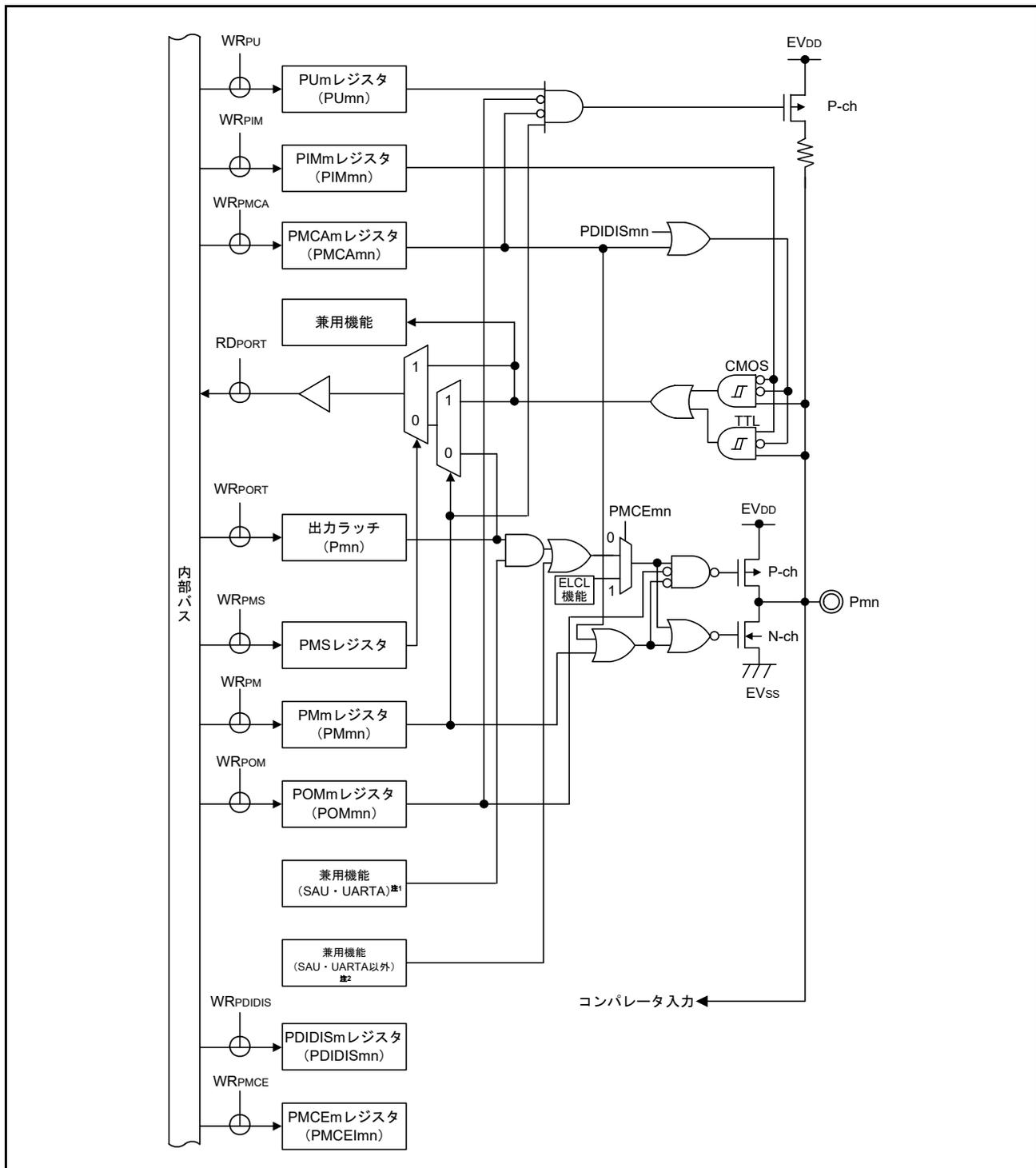
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。  
ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-26 端子タイプ 8-6-9の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

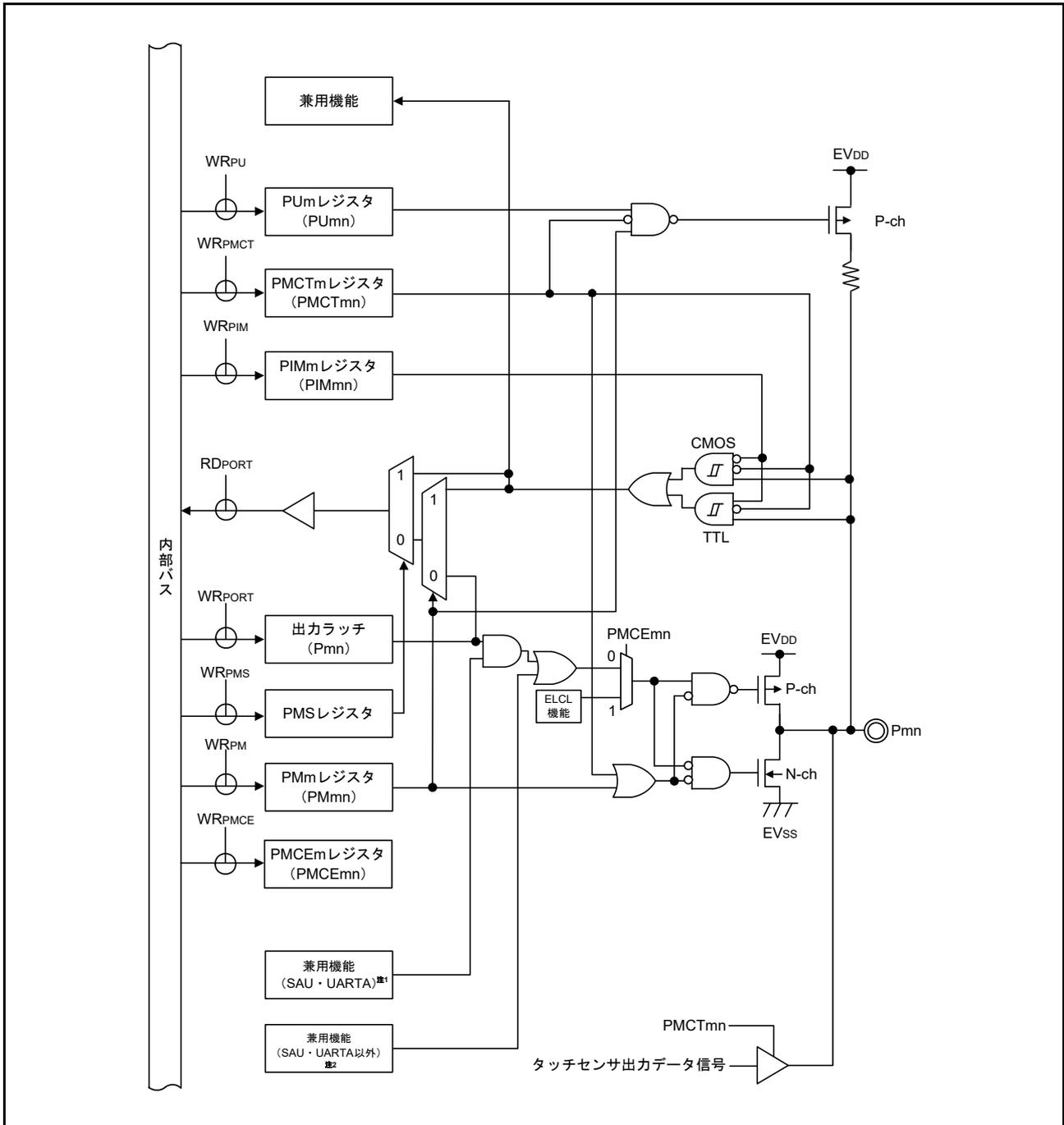
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

★ 図2-27 端子タイプ 8-31-1 の端子ブロック図



注1. UARTAのクロック出力を除く

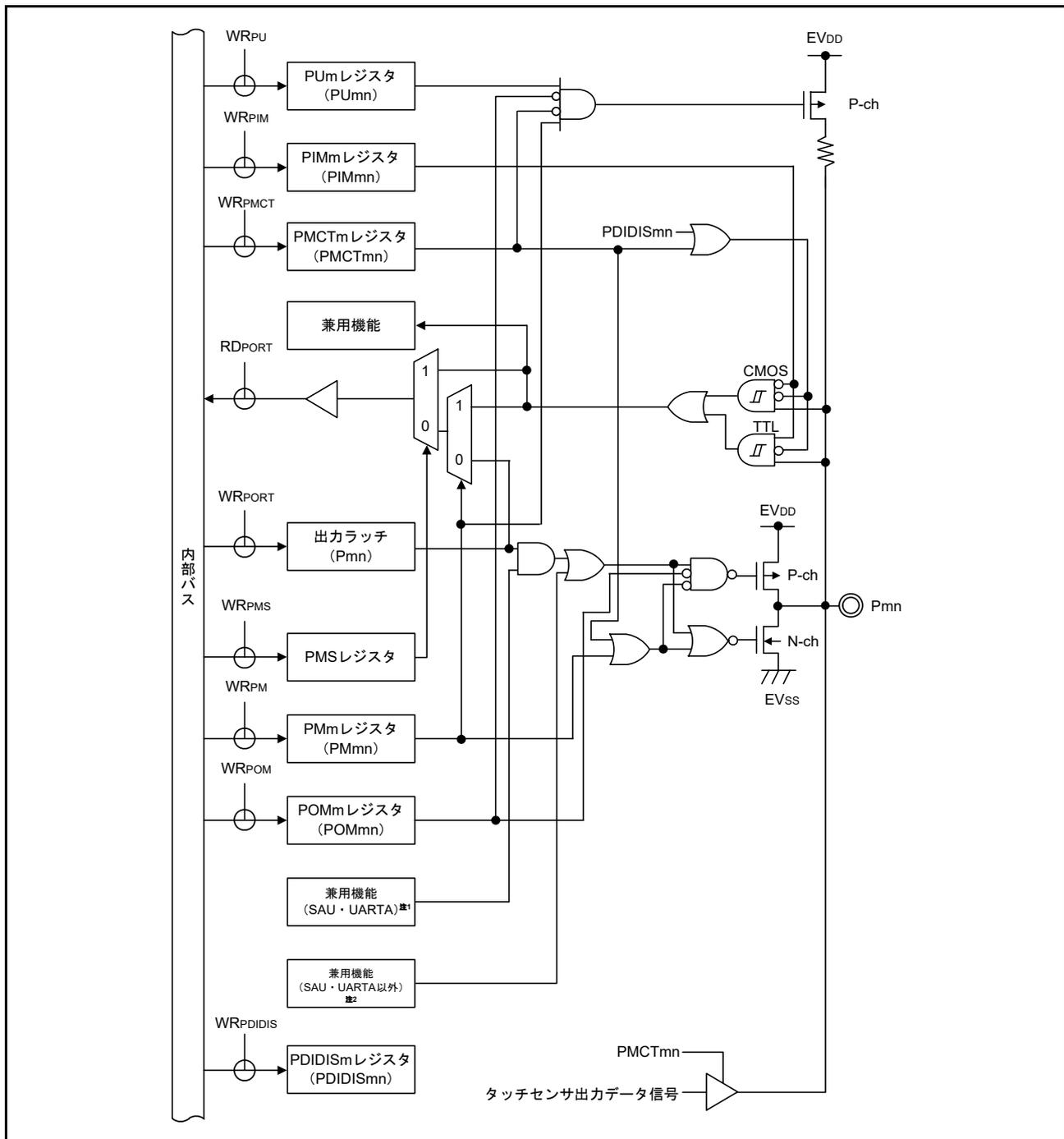
注2. UARTAのクロック出力を含む

注意 ポート入力モード・レジスタ (PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 28 端子タイプ 8-31-2 の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

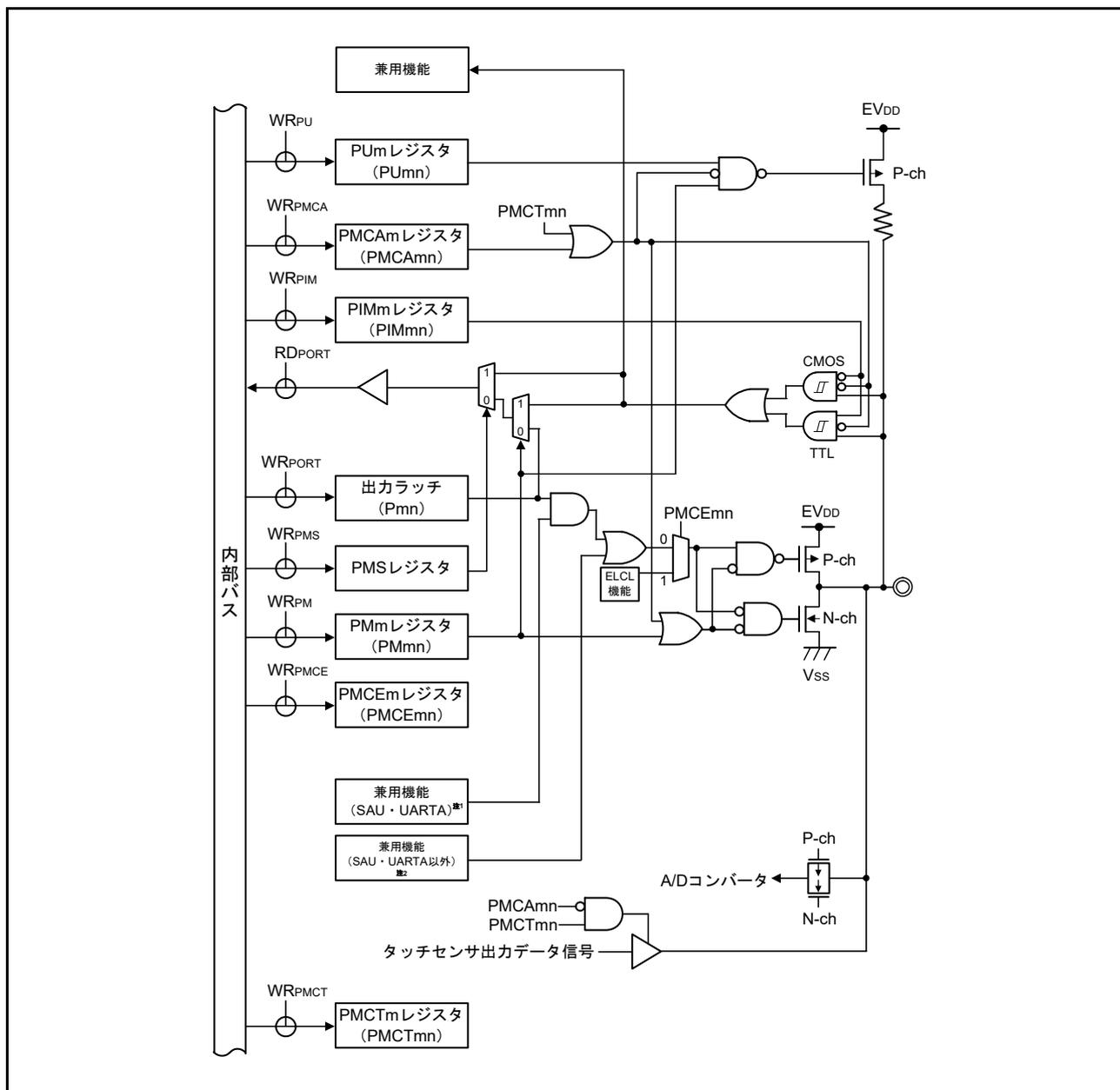
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 29 端子タイプ 8-33-2 の端子ブロック図



注1. UARTAのクロック出力を除く

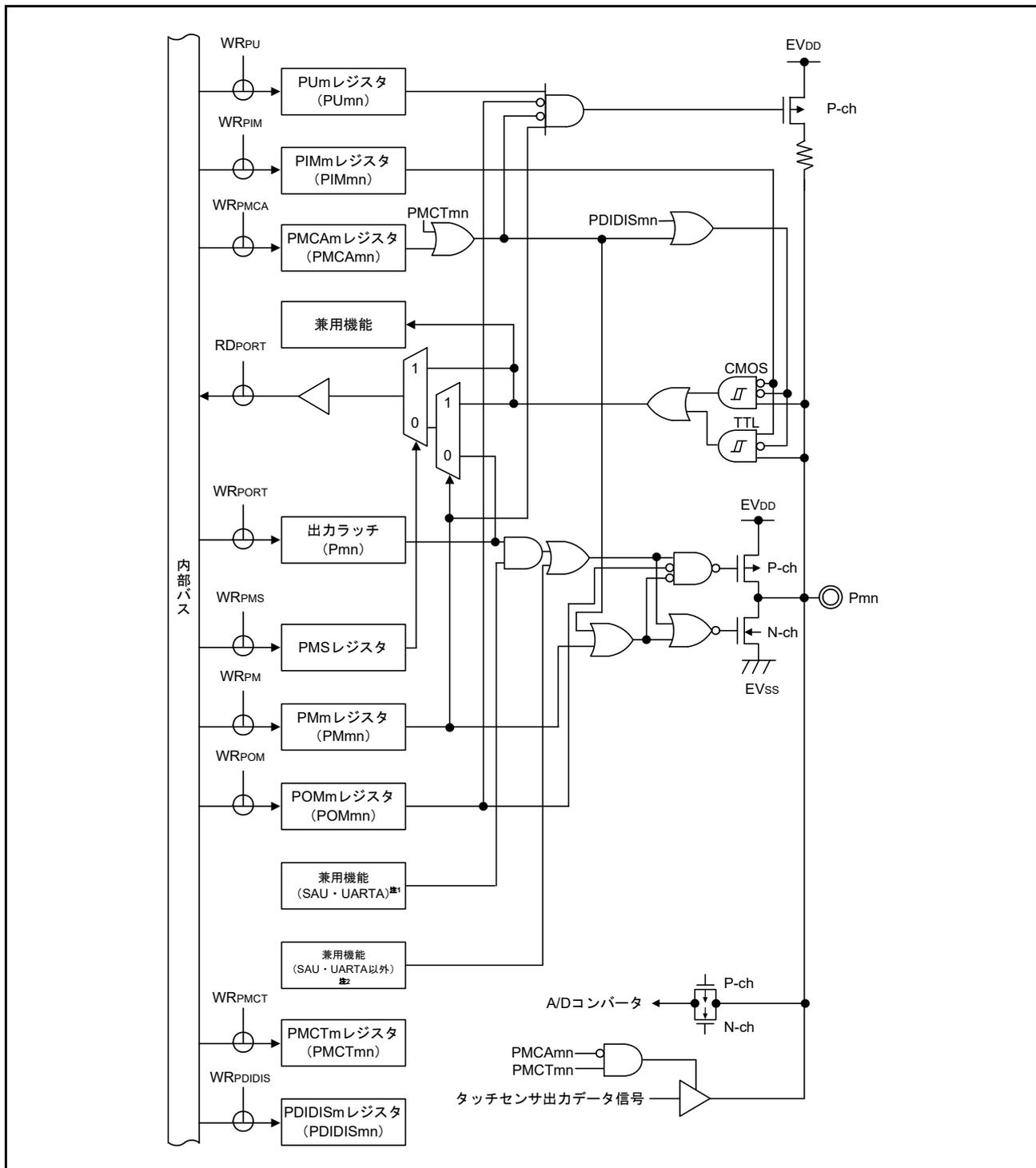
注2. UARTAのクロック出力を含む

注意 ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 30 端子タイプ 8-33-3の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

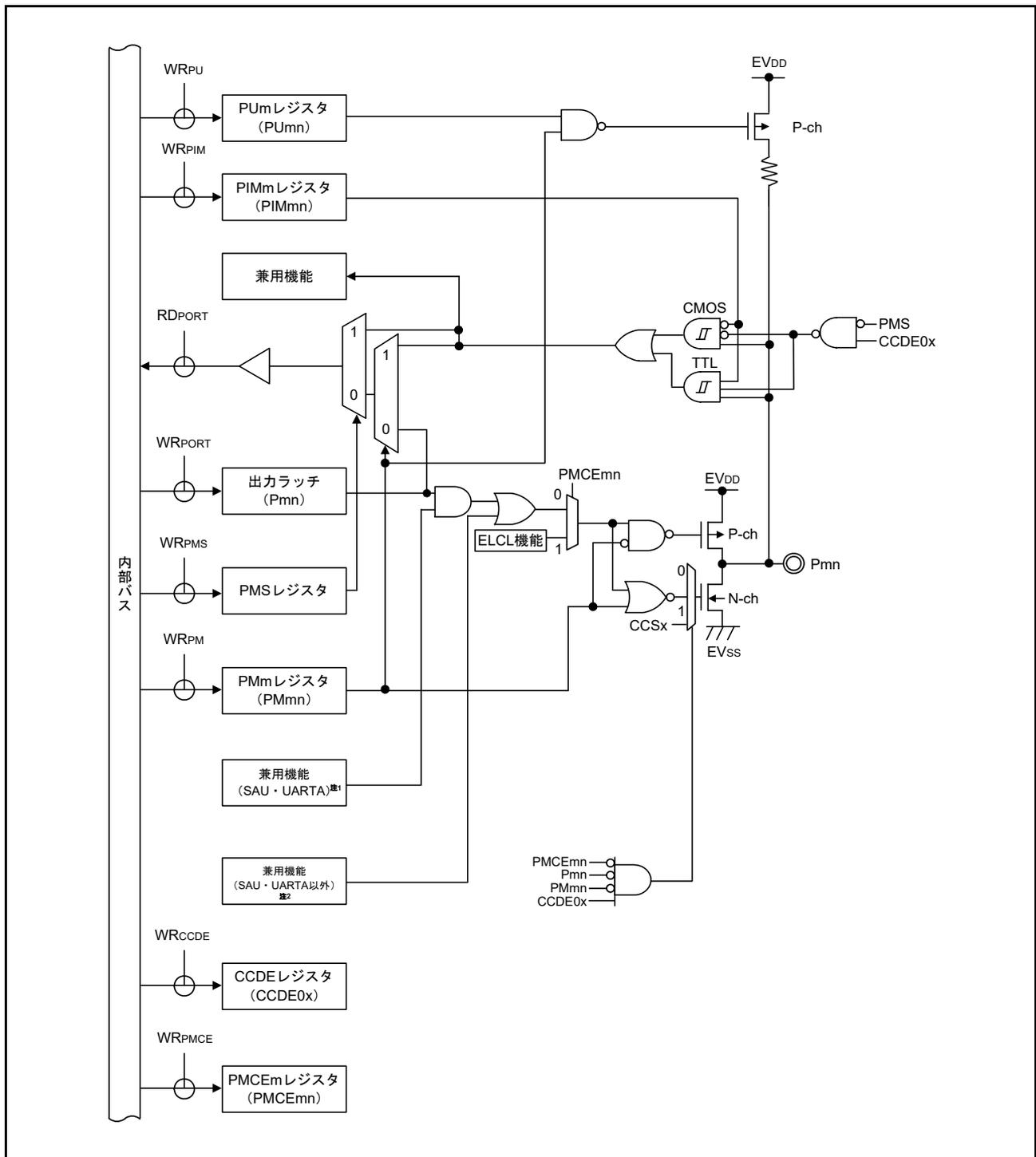
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 31 端子タイプ 8-38-1の端子ブロック図



注1. UARTAのクロック出力を除く

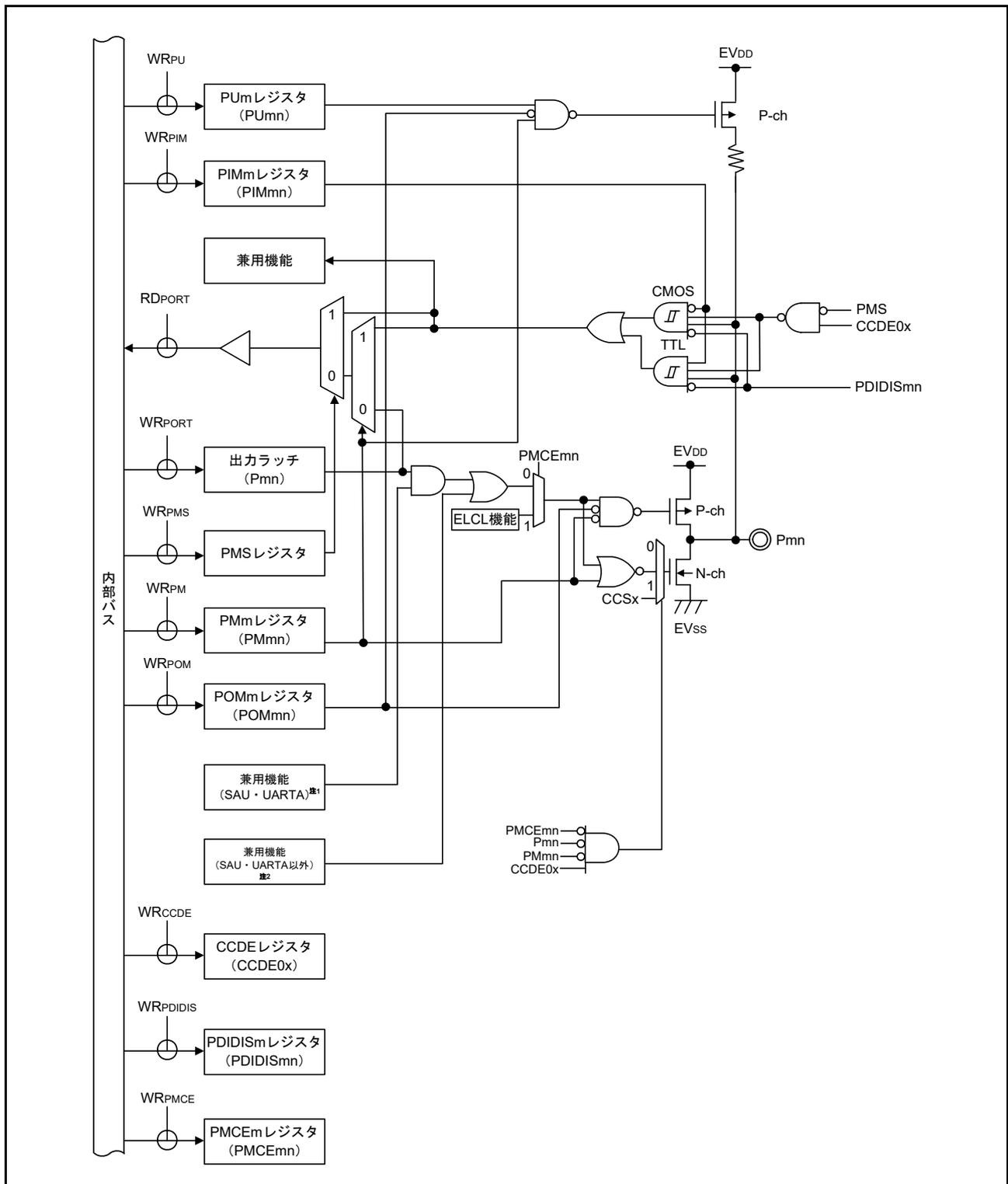
注2. UARTAのクロック出力を含む

**注意** ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 32 端子タイプ 8-38-2の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

(注意、備考は次ページに続きます)

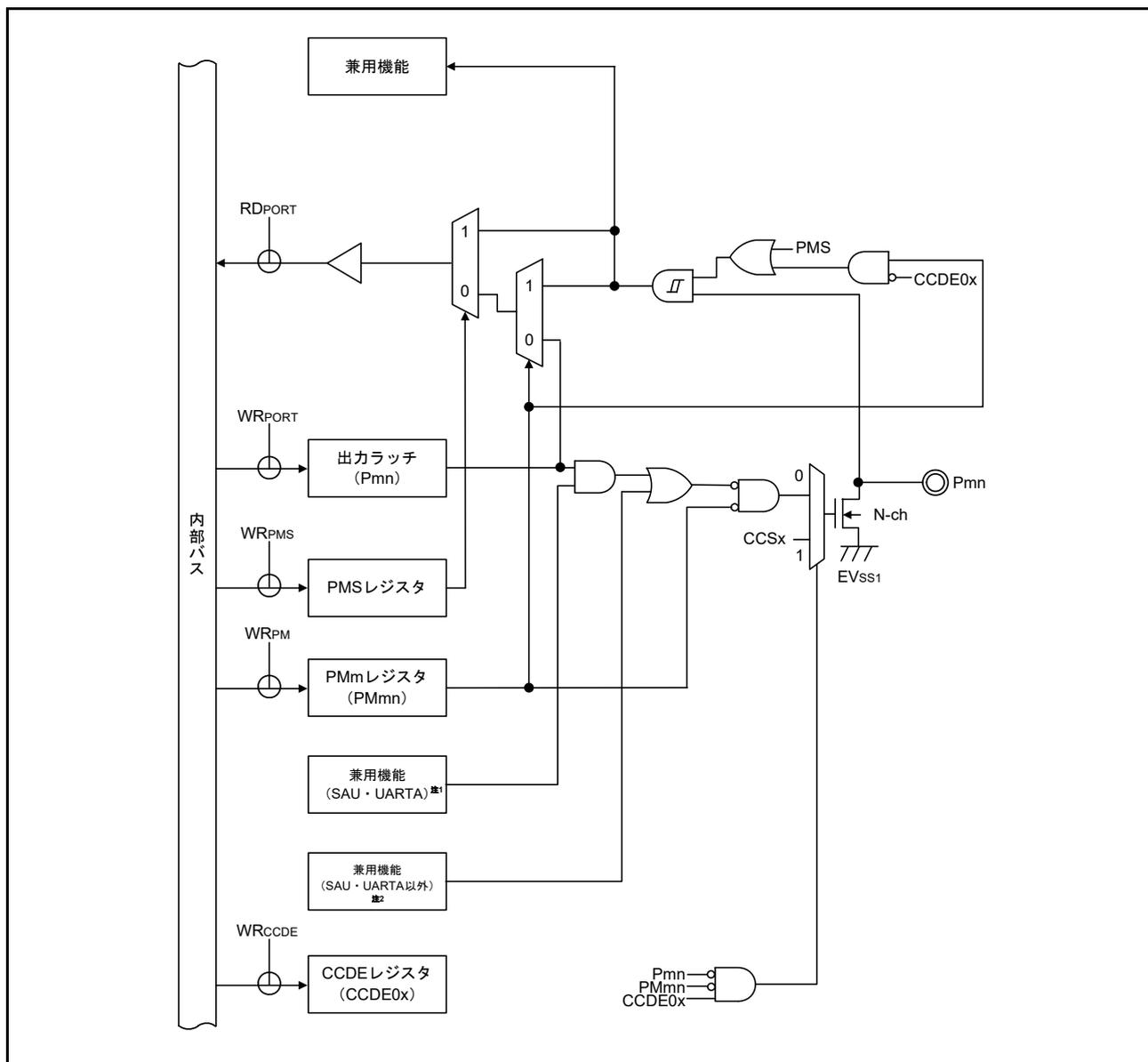
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。  
ただし、PDIDISxレジスタを1にすることで貫通電流を防ぐことが可能です

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 33 端子タイプ 12-38-1 の端子ブロック図



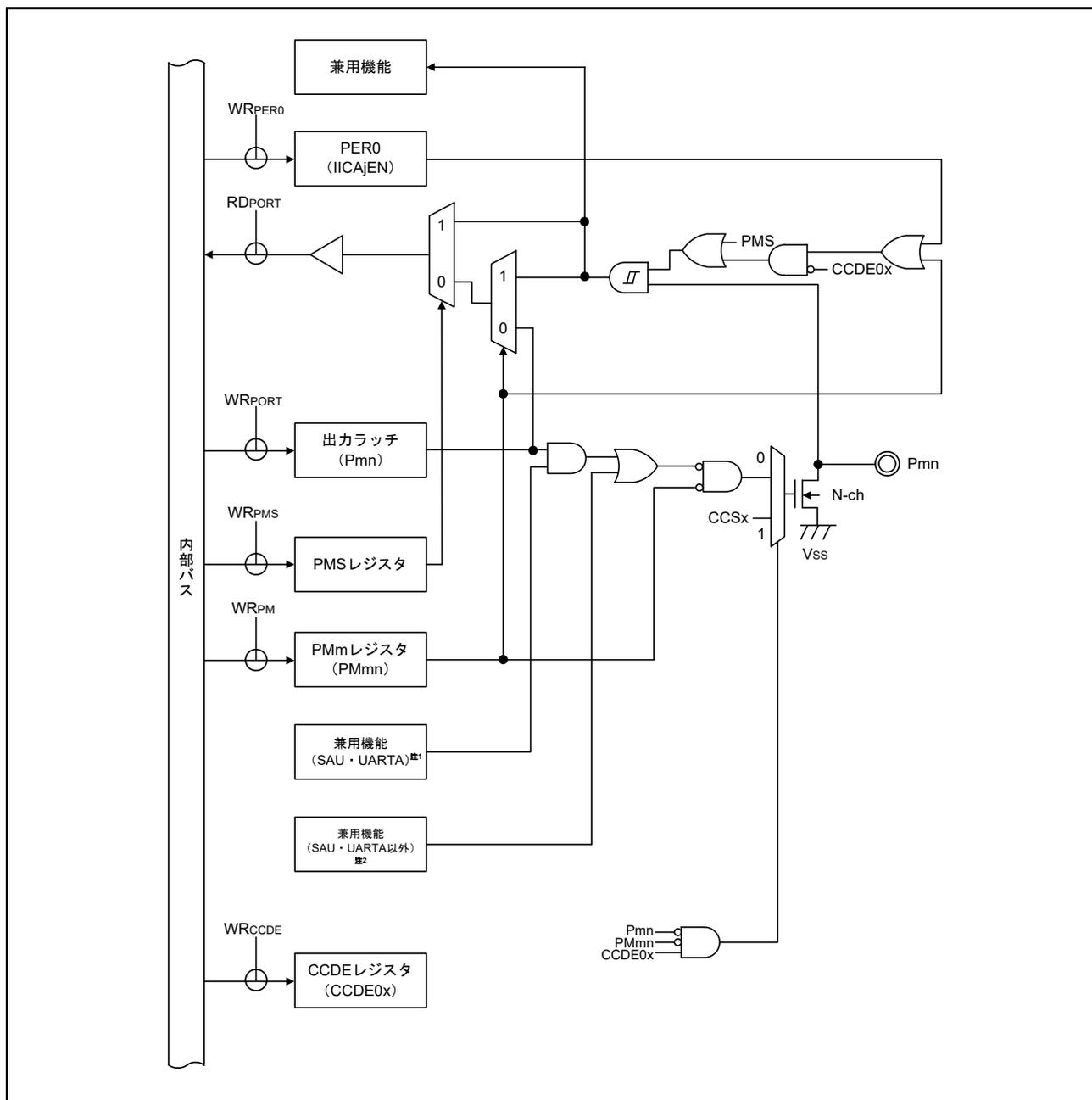
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 34 端子タイプ 12-38-2 の端子ブロック図



注1. UARTAのクロック出力を除く

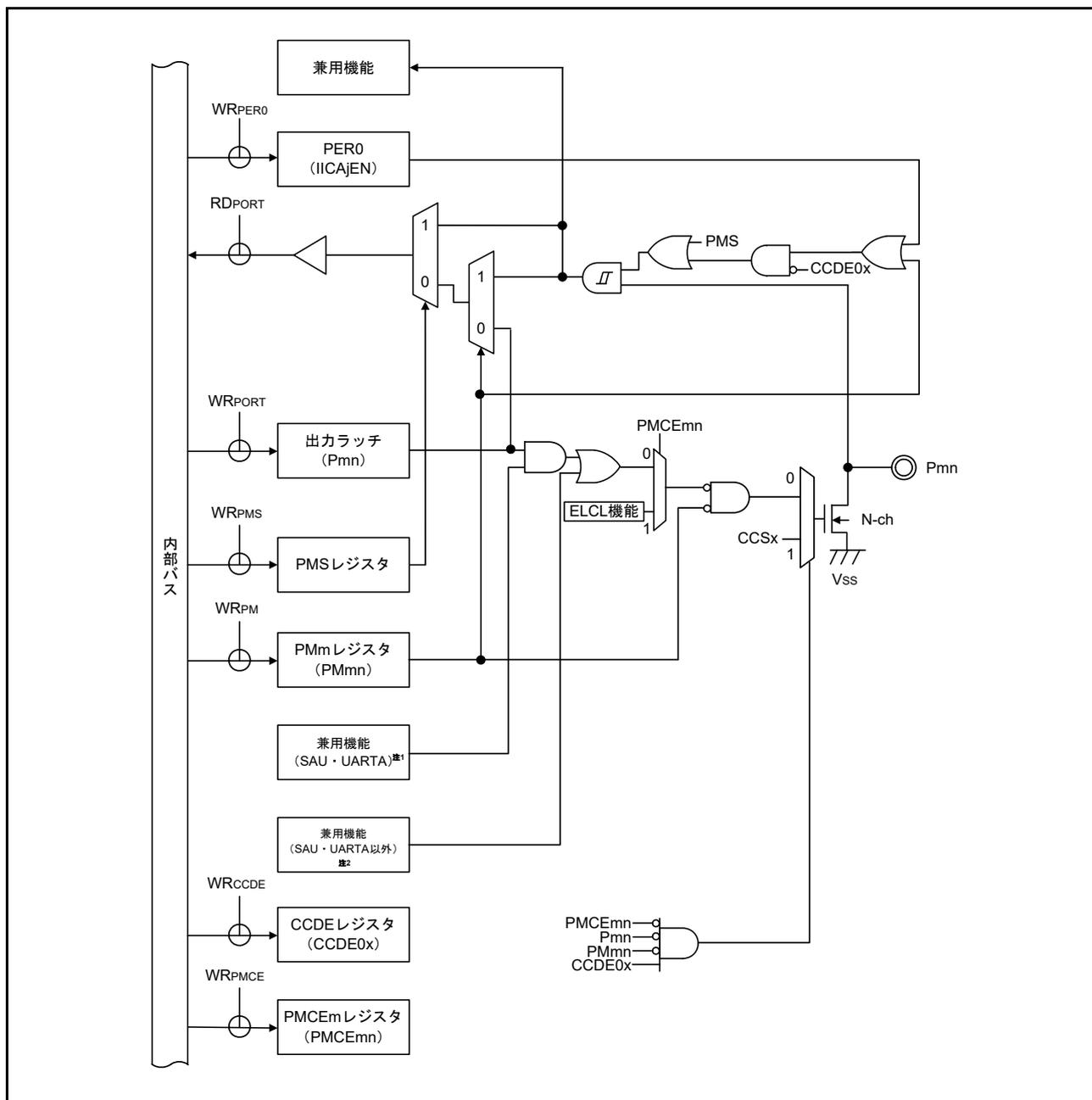
注2. UARTAのクロック出力を含む

**注意** PER0レジスタのIICAJEN = 1にしてIICA機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 35 端子タイプ 12-38-3 の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

**注意** PER0レジスタのIICAjEN = 1にしてIICA機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

## 第3章 CPUアーキテクチャ

RL78/G23 は、RL78-S3 CPU コアを搭載するマイクロコントローラです。

RL78-S3 の CPU コアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来の CPU コアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とするさまざまなアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ×8本
- 命令の種類：81種類

以下の乗除算命令は、RL78-S3 コアにのみあります。

MULHU（符号なし16ビット乗算）

MULH（符号付き16ビット乗算）

DIVHU（符号なし16ビット除算）

DIVWU（符号なし32ビット除算）

MACHU（符号なし積和算（16ビット×16ビット）+32ビット）

MACH（符号付き積和算（16ビット×16ビット）+32ビット）

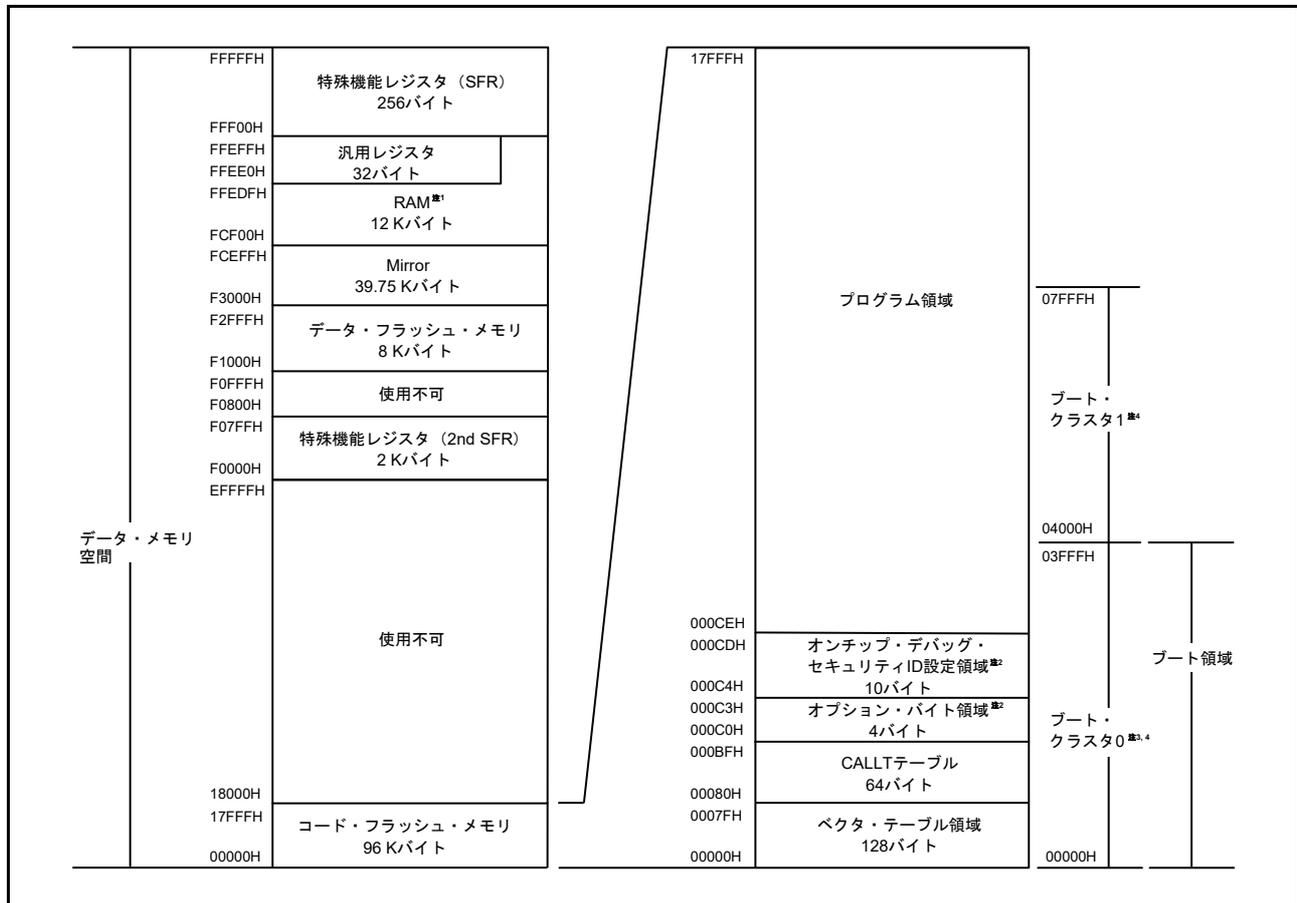
- データ配置：リトル・エンディアン

RL78/G23 は OCD トレース機能をサポートします。

### 3.1 メモリ空間

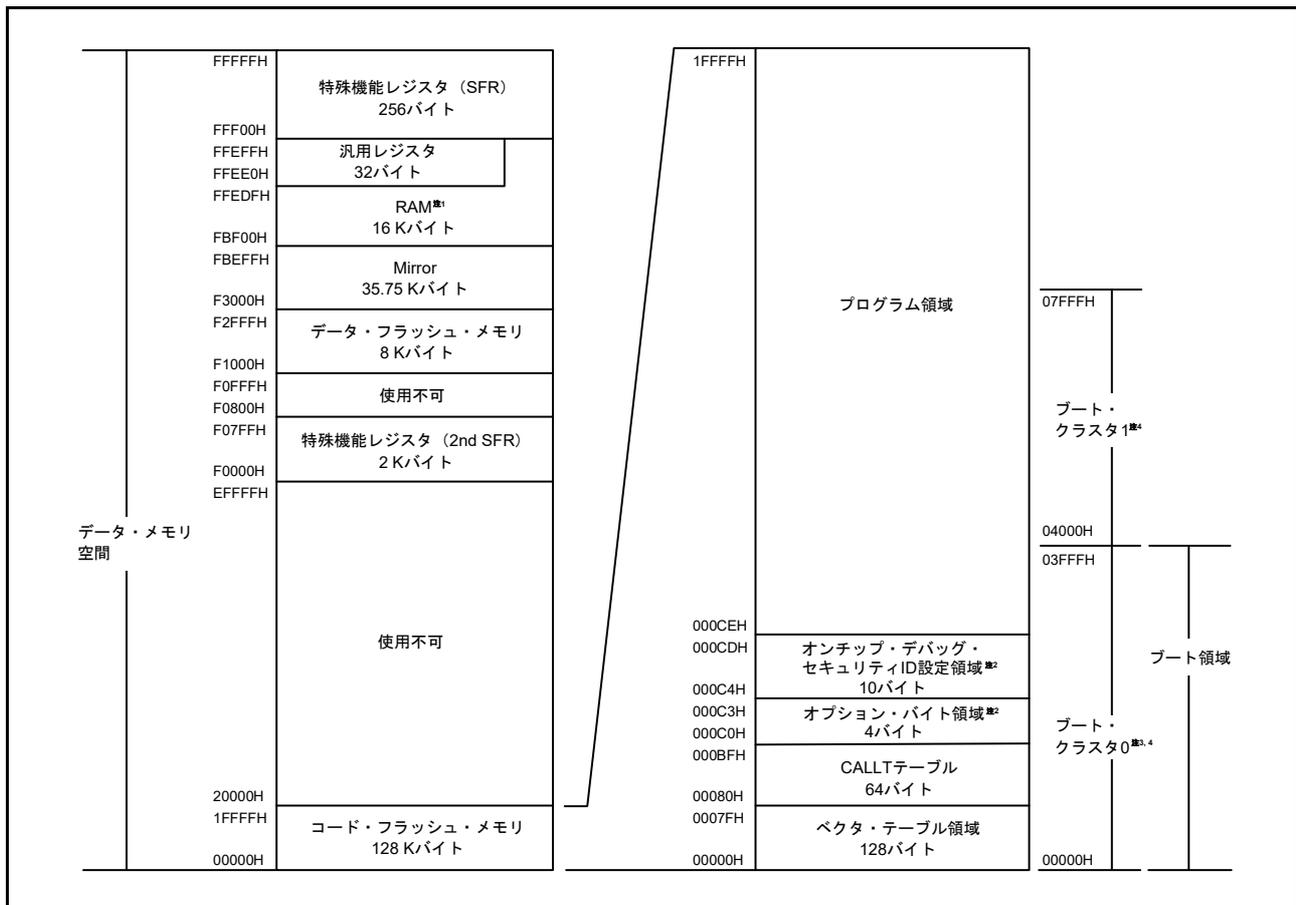
RL78/G23は、1 Mバイトのアドレス空間をアクセスできます。図3-1～図3-3に、メモリ・マップを示します。

図3-1 メモリ・マップ (R7F100GxF (x = A, B, C, E, F, G, J, L))



- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
  - 注2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定
  - 注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (33.9 セキュリティ設定を参照)。
  - 注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (33.7 ブート・スワップ機能を参照)。
- 注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。
- 備考** フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-2 メモリ・マップ (R7F100GxG (x = A, B, C, E, F, G, J, L, M, P))

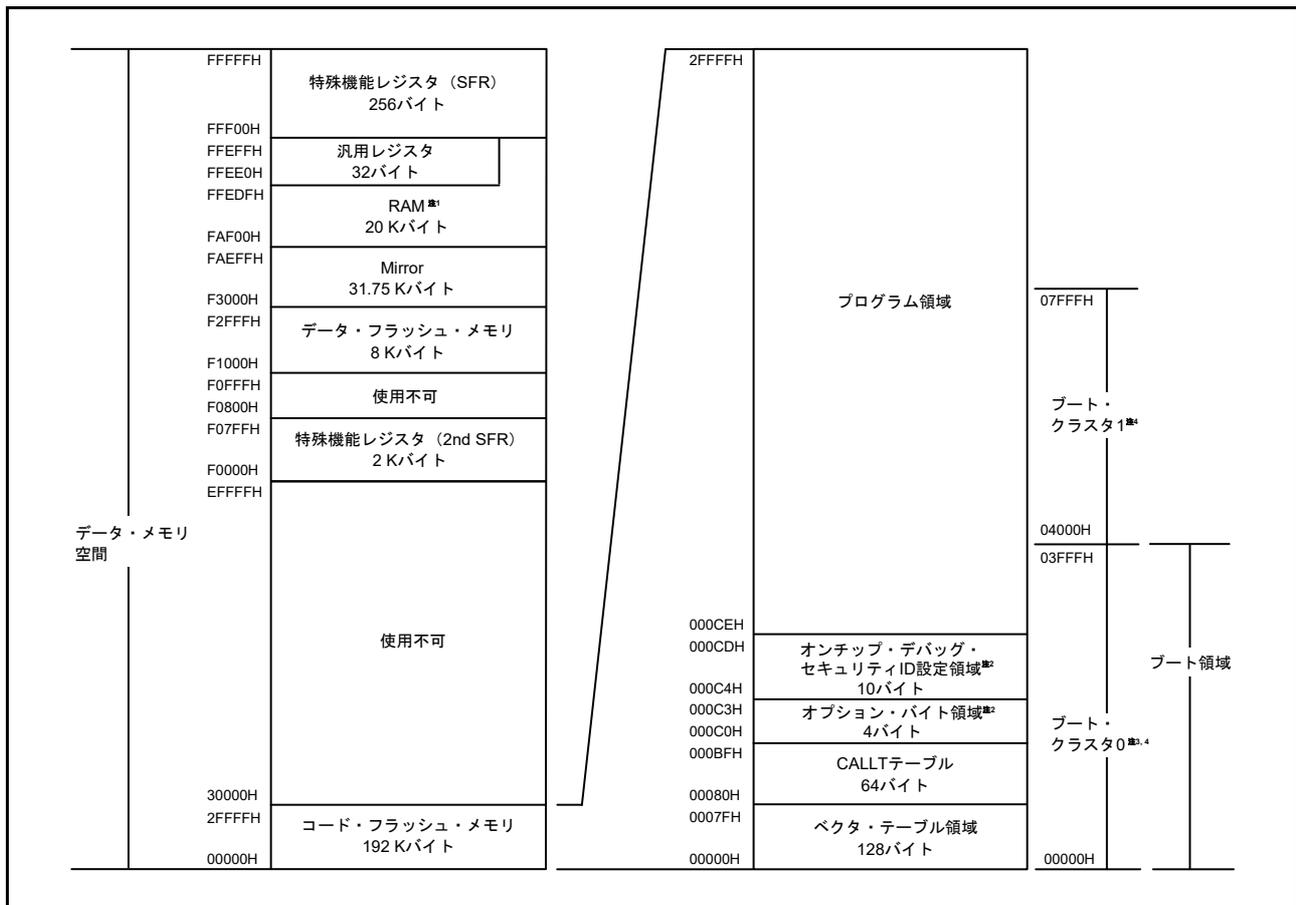


- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定
- 注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (33.9 セキュリティ設定を参照)。
- 注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (33.7 ブート・スワップ機能を参照)。

**注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。

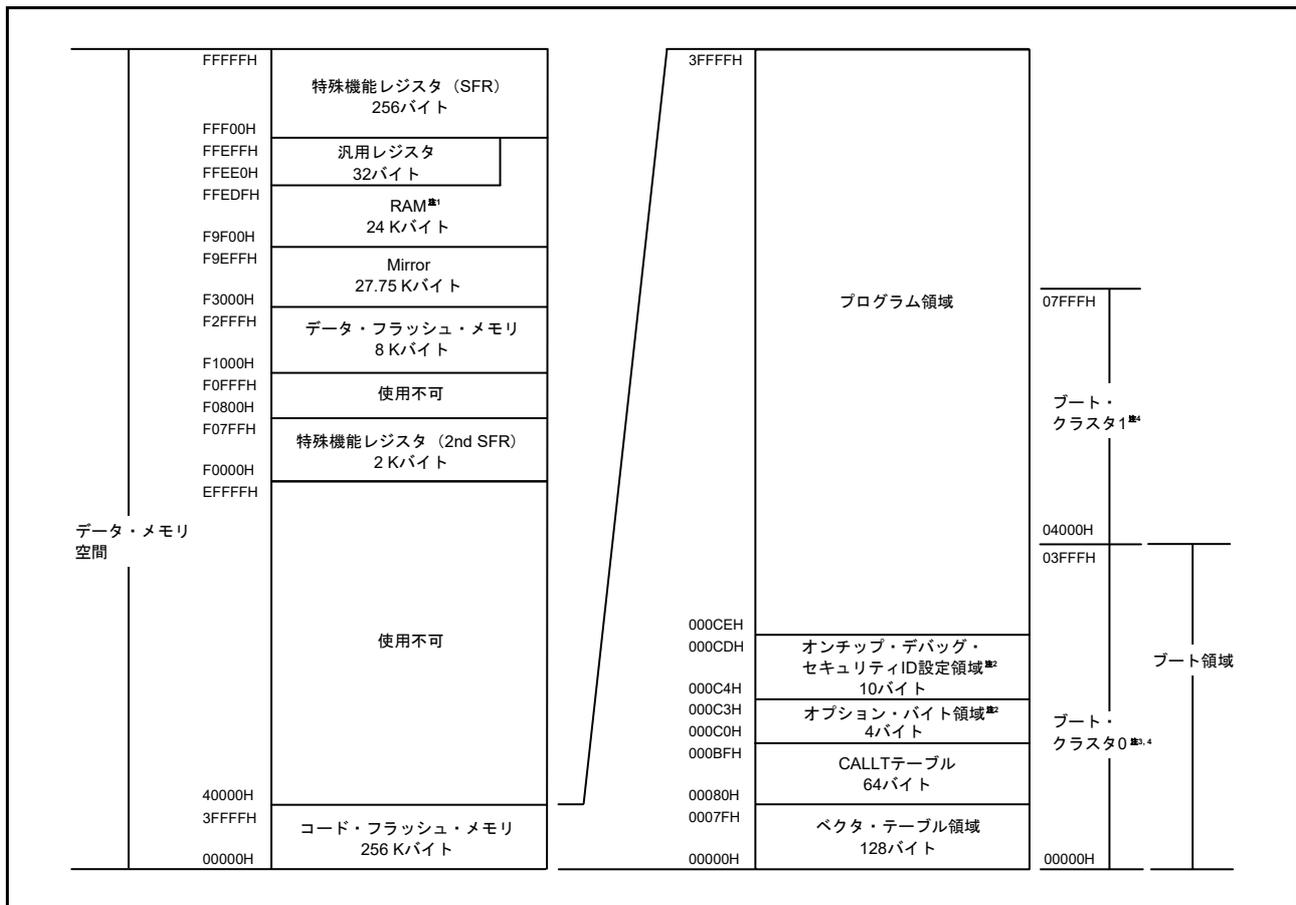
**備考** フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-3 メモリ・マップ (R7F100GxH (x = A, B, C, E, F, G, J, L, M, P))



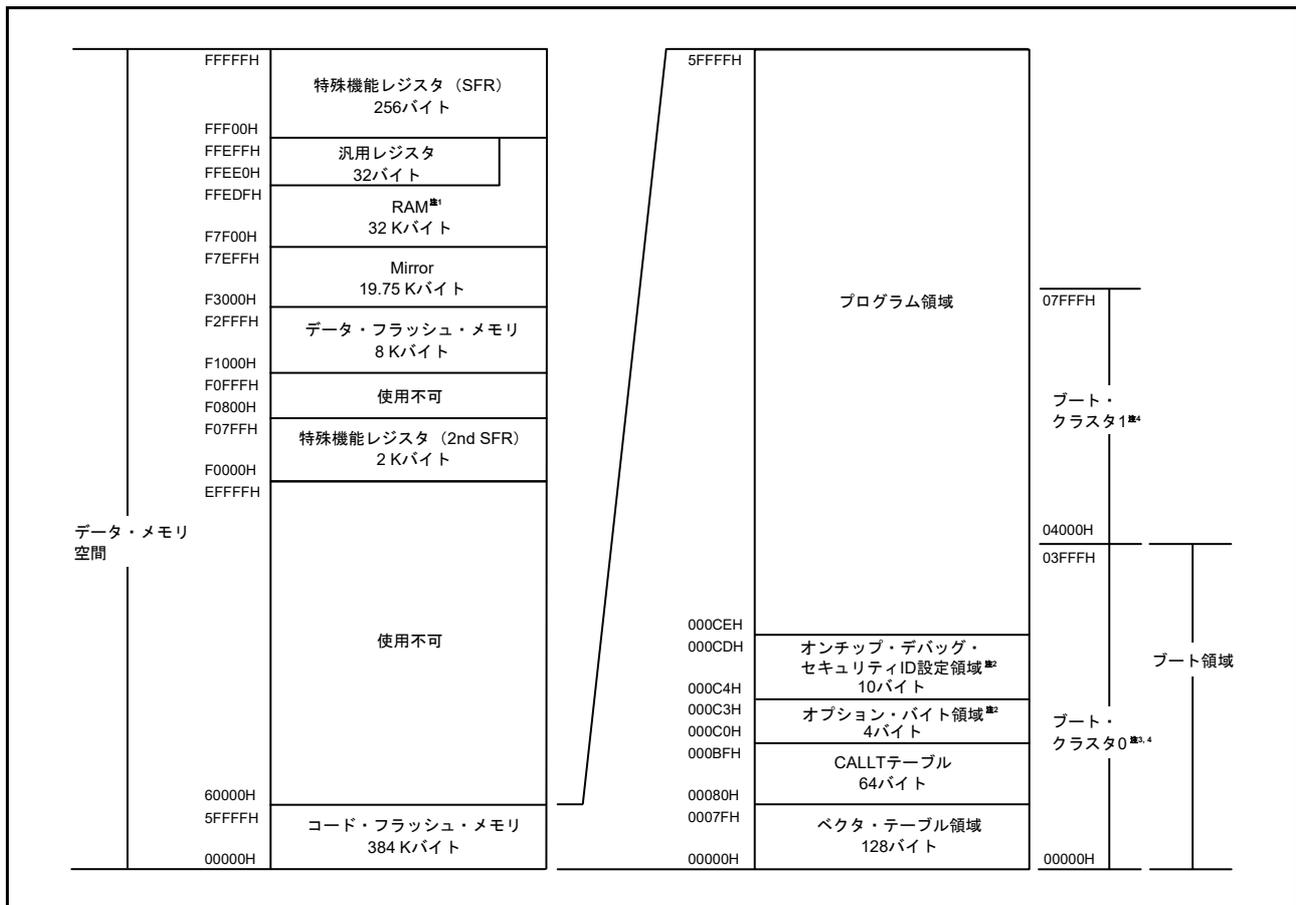
- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
  - 注2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定
  - 注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (33.9 セキュリティ設定を参照)。
  - 注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (33.7 ブート・スワップ機能を参照)。
- 注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。
- 備考** フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-4 メモリ・マップ (R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S))



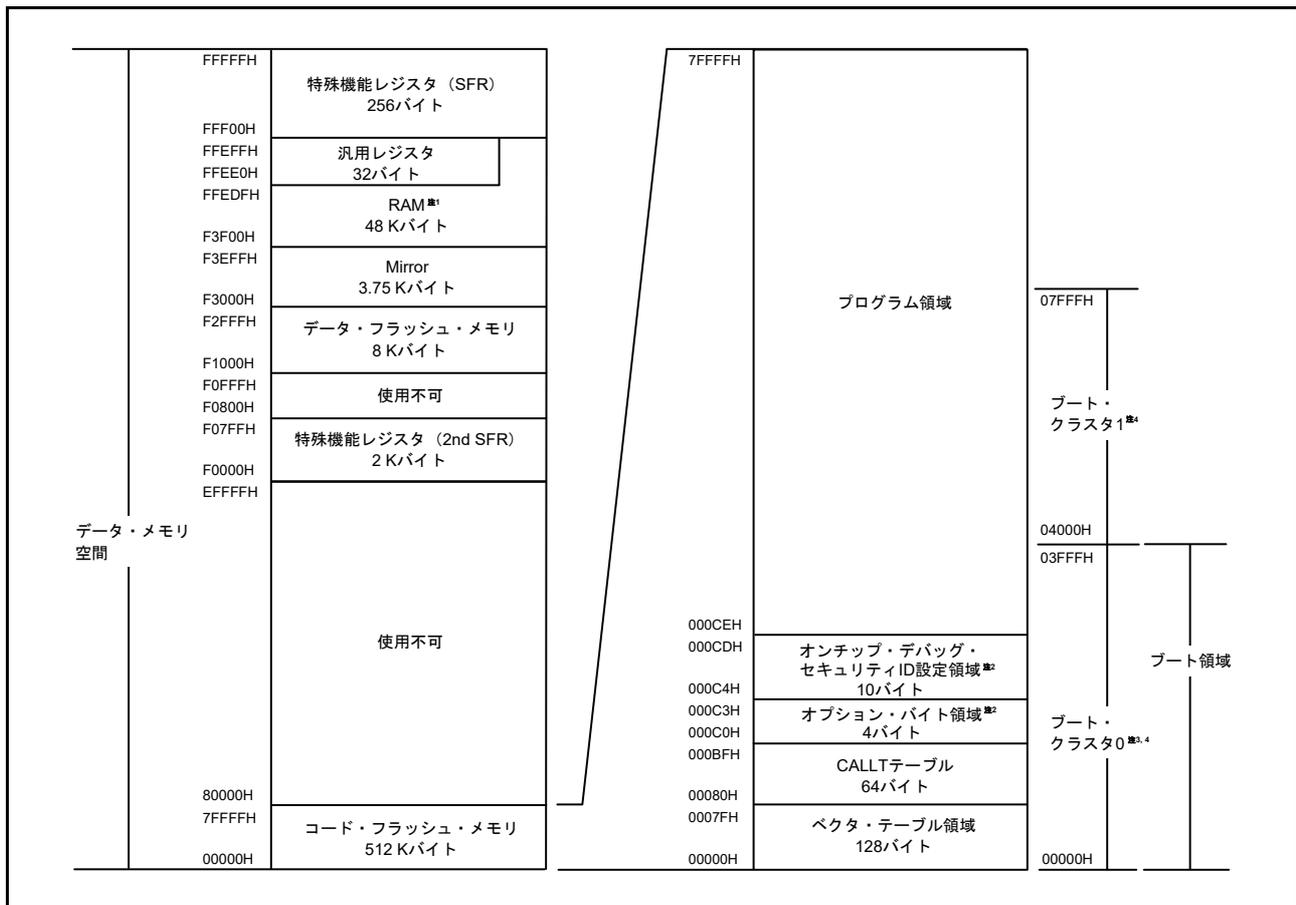
- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
  - 注2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定
  - 注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (33.9 セキュリティ設定を参照)。
  - 注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (33.7 ブート・スワップ機能を参照)。
- 注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。
- 備考** フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-5 メモリ・マップ (R7F100GxK (x = F, G, J, L, M, P, S))



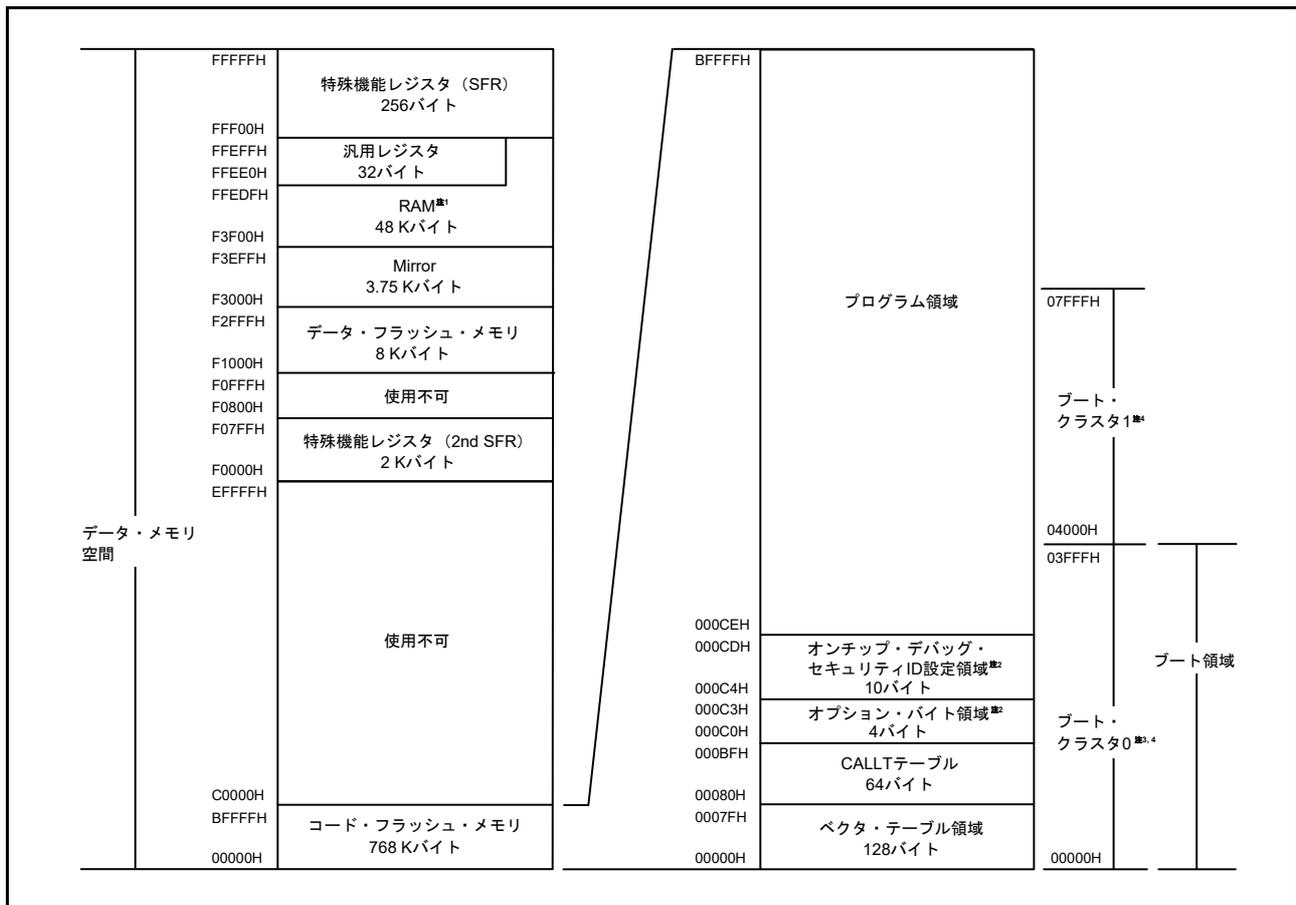
- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
  - 注2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定
  - 注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (33.9 セキュリティ設定を参照)。
  - 注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (33.7 ブート・スワップ機能を参照)。
- 注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。
- 備考** フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-6 メモリ・マップ (R7F100GxL (x = F, G, J, L, M, P, S))



- 注1.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注2.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
 ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定
- 注3.** セキュリティの設定により、ブート領域は書き換えを禁止することができます (33.9 セキュリティ設定を参照)。
- 注4.** 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (33.7 ブート・スワップ機能を参照)。
- 注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。
- 備考** フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-7 メモリ・マップ (R7F100GxN (x = F, G, J, L, M, P, S))



- 注1.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。
  - 注2.** ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定
  - 注3.** セキュリティの設定により、ブート領域は書き換えを禁止することができます (33.9 セキュリティ設定を参照)。
  - 注4.** 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (33.7 ブート・スワップ機能を参照)。
- 注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。
- 備考** フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/3)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
0000H-007FFH	000H	10000H-107FFH	020H	20000H-207FFH	040H	30000H-307FFH	060H
00800H-00FFFH	001H	10800H-10FFFH	021H	20800H-20FFFH	041H	30800H-30FFFH	061H
01000H-017FFH	002H	11000H-117FFH	022H	21000H-217FFH	042H	31000H-317FFH	062H
01800H-01FFFH	003H	11800H-11FFFH	023H	21800H-21FFFH	043H	31800H-31FFFH	063H
02000H-027FFH	004H	12000H-127FFH	024H	22000H-227FFH	044H	32000H-327FFH	064H
02800H-02FFFH	005H	12800H-12FFFH	025H	22800H-22FFFH	045H	32800H-32FFFH	065H
03000H-037FFH	006H	13000H-137FFH	026H	23000H-237FFH	046H	33000H-337FFH	066H
03800H-03FFFH	007H	13800H-13FFFH	027H	23800H-23FFFH	047H	33800H-33FFFH	067H
04000H-047FFH	008H	14000H-147FFH	028H	24000H-247FFH	048H	34000H-347FFH	068H
04800H-04FFFH	009H	14800H-14FFFH	029H	24800H-24FFFH	049H	34800H-34FFFH	069H
05000H-057FFH	00AH	15000H-157FFH	02AH	25000H-257FFH	04AH	35000H-357FFH	06AH
05800H-05FFFH	00BH	15800H-15FFFH	02BH	25800H-25FFFH	04BH	35800H-35FFFH	06BH
06000H-067FFH	00CH	16000H-167FFH	02CH	26000H-267FFH	04CH	36000H-367FFH	06CH
06800H-06FFFH	00DH	16800H-16FFFH	02DH	26800H-26FFFH	04DH	36800H-36FFFH	06DH
07000H-077FFH	00EH	17000H-177FFH	02EH	27000H-277FFH	04EH	37000H-377FFH	06EH
07800H-07FFFH	00FH	17800H-17FFFH	02FH	27800H-27FFFH	04FH	37800H-37FFFH	06FH
08000H-087FFH	010H	18000H-187FFH	030H	28000H-287FFH	050H	38000H-387FFH	070H
08800H-08FFFH	011H	18800H-18FFFH	031H	28800H-28FFFH	051H	38800H-38FFFH	071H
09000H-097FFH	012H	19000H-197FFH	032H	29000H-297FFH	052H	39000H-397FFH	072H
09800H-09FFFH	013H	19800H-19FFFH	033H	29800H-29FFFH	053H	39800H-39FFFH	073H
0A000H-0A7FFH	014H	1A000H-1A7FFH	034H	2A000H-2A7FFH	054H	3A000H-3A7FFH	074H
0A800H-0AFFFH	015H	1A800H-1AFFFH	035H	2A800H-2AFFFH	055H	3A800H-3AFFFH	075H
0B000H-0B7FFH	016H	1B000H-1B7FFH	036H	2B000H-2B7FFH	056H	3B000H-3B7FFH	076H
0B800H-0BFFFH	017H	1B800H-1BFFFH	037H	2B800H-2BFFFH	057H	3B800H-3BFFFH	077H
0C000H-0C7FFH	018H	1C000H-1C7FFH	038H	2C000H-2C7FFH	058H	3C000H-3C7FFH	078H
0C800H-0CFFFH	019H	1C800H-1CFFFH	039H	2C800H-2CFFFH	059H	3C800H-3CFFFH	079H
0D000H-0D7FFH	01AH	1D000H-1D7FFH	03AH	2D000H-2D7FFH	05AH	3D000H-3D7FFH	07AH
0D800H-0DFFFH	01BH	1D800H-1DFFFH	03BH	2D800H-2DFFFH	05BH	3D800H-3DFFFH	07BH
0E000H-0E7FFH	01CH	1E000H-1E7FFH	03CH	2E000H-2E7FFH	05CH	3E000H-3E7FFH	07CH
0E800H-0EFFFH	01DH	1E800H-1EFFFH	03DH	2E800H-2EFFFH	05DH	3E800H-3EFFFH	07DH
0F000H-0F7FFH	01EH	1F000H-1F7FFH	03EH	2F000H-2F7FFH	05EH	3F000H-3F7FFH	07EH
0F800H-0FFFFH	01FH	1F800H-1FFFFH	03FH	2F800H-2FFFFH	05FH	3F800H-3FFFFH	07FH

**備考** R7F100GxF (x = A, B, C, E, F, G, J, L) : ブロック番号000H-02FH  
 R7F100GxG (x = A, B, C, E, F, G, J, L, M, P) : ブロック番号000H-03FH  
 R7F100GxH (x = A, B, C, E, F, G, J, L, M, P) : ブロック番号000H-05FH  
 R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S) : ブロック番号000H-07FH

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/3)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
4000H-407FFH	080H	5000H-507FFH	0A0H	6000H-607FFH	0C0H	7000H-707FFH	0E0H
40800H-40FFFH	081H	50800H-50FFFH	0A1H	60800H-60FFFH	0C1H	70800H-70FFFH	0E1H
41000H-417FFH	082H	51000H-517FFH	0A2H	61000H-617FFH	0C2H	71000H-717FFH	0E2H
41800H-41FFFH	083H	51800H-51FFFH	0A3H	61800H-61FFFH	0C3H	71800H-71FFFH	0E3H
42000H-427FFH	084H	52000H-527FFH	0A4H	62000H-627FFH	0C4H	72000H-727FFH	0E4H
42800H-42FFFH	085H	52800H-52FFFH	0A5H	62800H-62FFFH	0C5H	72800H-72FFFH	0E5H
43000H-437FFH	086H	53000H-537FFH	0A6H	63000H-637FFH	0C6H	73000H-737FFH	0E6H
43800H-43FFFH	087H	53800H-53FFFH	0A7H	63800H-63FFFH	0C7H	73800H-73FFFH	0E7H
44000H-447FFH	088H	54000H-547FFH	0A8H	64000H-647FFH	0C8H	74000H-747FFH	0E8H
44800H-44FFFH	089H	54800H-54FFFH	0A9H	64800H-64FFFH	0C9H	74800H-74FFFH	0E9H
45000H-457FFH	08AH	55000H-557FFH	0AAH	65000H-657FFH	0CAH	75000H-757FFH	0EAH
45800H-45FFFH	08BH	55800H-55FFFH	0ABH	65800H-65FFFH	0CBH	75800H-75FFFH	0EBH
46000H-467FFH	08CH	56000H-567FFH	0ACH	66000H-667FFH	0CCH	76000H-767FFH	0ECH
46800H-46FFFH	08DH	56800H-56FFFH	0ADH	66800H-66FFFH	0CDH	76800H-76FFFH	0EDH
47000H-477FFH	08EH	57000H-577FFH	0AEH	67000H-677FFH	0CEH	77000H-777FFH	0EEH
47800H-47FFFH	08FH	57800H-57FFFH	0AFH	67800H-67FFFH	0CFH	77800H-77FFFH	0EFH
48000H-487FFH	090H	58000H-587FFH	0B0H	68000H-687FFH	0D0H	78000H-787FFH	0F0H
48800H-48FFFH	091H	58800H-58FFFH	0B1H	68800H-68FFFH	0D1H	78800H-78FFFH	0F1H
49000H-497FFH	092H	59000H-597FFH	0B2H	69000H-697FFH	0D2H	79000H-797FFH	0F2H
49800H-49FFFH	093H	59800H-59FFFH	0B3H	69800H-69FFFH	0D3H	79800H-79FFFH	0F3H
4A000H-4A7FFH	094H	5A000H-5A7FFH	0B4H	6A000H-6A7FFH	0D4H	7A000H-7A7FFH	0F4H
4A800H-4AFFFH	095H	5A800H-5AFFFH	0B5H	6A800H-6AFFFH	0D5H	7A800H-7AFFFH	0F5H
4B000H-4B7FFH	096H	5B000H-5B7FFH	0B6H	6B000H-6B7FFH	0D6H	7B000H-7B7FFH	0F6H
4B800H-4BFFFH	097H	5B800H-5BFFFH	0B7H	6B800H-6BFFFH	0D7H	7B800H-7BFFFH	0F7H
4C000H-4C7FFH	098H	5C000H-5C7FFH	0B8H	6C000H-6C7FFH	0D8H	7C000H-7C7FFH	0F8H
4C800H-4CFFFH	099H	5C800H-5CFFFH	0B9H	6C800H-6CFFFH	0D9H	7C800H-7CFFFH	0F9H
4D000H-4D7FFH	09AH	5D000H-5D7FFH	0BAH	6D000H-6D7FFH	0DAH	7D000H-7D7FFH	0FAH
4D800H-4DFFFH	09BH	5D800H-5DFFFH	0BBH	6D800H-6DFFFH	0DBH	7D800H-7DFFFH	0FBH
4E000H-4E7FFH	09CH	5E000H-5E7FFH	0BCH	6E000H-6E7FFH	0DCH	7E000H-7E7FFH	0FCH
4E800H-4EFFFH	09DH	5E800H-5EFFFH	0BDH	6E800H-6EFFFH	0DDH	7E800H-7EFFFH	0FDH
4F000H-4F7FFH	09EH	5F000H-5F7FFH	0BEH	6F000H-6F7FFH	0DEH	7F000H-7F7FFH	0FEH
4F800H-4F7FFH	09FH	5F800H-5F7FFH	0BFH	6F800H-6F7FFH	0DFH	7F800H-7F7FFH	0FFH

備考 R7F100GxK (x = F, G, J, L, M, P, S) : ブロック番号 000H-0BFH

R7F100GxL (x = F, G, J, L, M, P, S) : ブロック番号 000H-0FFH

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (3/3)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
80000H-807FFH	100H	90000H-907FFH	120H	A0000H-A07FFH	140H	B0000H-B07FFH	160H
80800H-80FFFH	101H	90800H-90FFFH	121H	A0800H-A0FFFH	141H	B0800H-B0FFFH	161H
81000H-817FFH	102H	91000H-917FFH	122H	A1000H-A17FFH	142H	B1000H-B17FFH	162H
81800H-81FFFH	103H	91800H-91FFFH	123H	A1800H-A1FFFH	143H	B1800H-B1FFFH	163H
82000H-827FFH	104H	92000H-927FFH	124H	A2000H-A27FFH	144H	B2000H-B27FFH	164H
82800H-82FFFH	105H	92800H-92FFFH	125H	A2800H-A2FFFH	145H	B2800H-B2FFFH	165H
83000H-837FFH	106H	93000H-937FFH	126H	A3000H-A37FFH	146H	B3000H-B37FFH	166H
83800H-83FFFH	107H	93800H-93FFFH	127H	A3800H-A3FFFH	147H	B3800H-B3FFFH	167H
84000H-847FFH	108H	94000H-947FFH	128H	A4000H-A47FFH	148H	B4000H-B47FFH	168H
84800H-84FFFH	109H	94800H-94FFFH	129H	A4800H-A4FFFH	149H	B4800H-B4FFFH	169H
85000H-857FFH	10AH	95000H-957FFH	12AH	A5000H-A57FFH	14AH	B5000H-B57FFH	16AH
85800H-85FFFH	10BH	95800H-95FFFH	12BH	A5800H-A5FFFH	14BH	B5800H-B5FFFH	16BH
86000H-867FFH	10CH	96000H-967FFH	12CH	A6000H-A67FFH	14CH	B6000H-B67FFH	16CH
86800H-86FFFH	10DH	96800H-96FFFH	12DH	A6800H-A6FFFH	14DH	B6800H-B6FFFH	16DH
87000H-877FFH	10EH	97000H-977FFH	12EH	A7000H-A77FFH	14EH	B7000H-B77FFH	16EH
87800H-87FFFH	10FH	97800H-97FFFH	12FH	A7800H-A7FFFH	14FH	B7800H-B7FFFH	16FH
88000H-887FFH	110H	98000H-987FFH	130H	A8000H-A87FFH	150H	B8000H-B87FFH	170H
88800H-88FFFH	111H	98800H-98FFFH	131H	A8800H-A8FFFH	151H	B8800H-B8FFFH	171H
89000H-897FFH	112H	99000H-997FFH	132H	A9000H-A97FFH	152H	B9000H-B97FFH	172H
89800H-89FFFH	113H	99800H-99FFFH	133H	A9800H-A9FFFH	153H	B9800H-B9FFFH	173H
8A000H-8A7FFH	114H	9A000H-9A7FFH	134H	AA000H-AA7FFH	154H	BA000H-BA7FFH	174H
8A800H-8AFFFH	115H	9A800H-9AFFFH	135H	AA800H-AAFFFH	155H	BA800H-BAFFFH	175H
8B000H-8B7FFH	116H	9B000H-9B7FFH	136H	AB000H-AB7FFH	156H	BB000H-BB7FFH	176H
8B800H-8BFFFH	117H	9B800H-9BFFFH	137H	AB800H-ABFFFH	157H	BB800H-BBFFFH	177H
8C000H-8C7FFH	118H	9C000H-9C7FFH	138H	AC000H-AC7FFH	158H	BC000H-BC7FFH	178H
8C800H-8CFFFH	119H	9C800H-9CFFFH	139H	AC800H-ACFFFH	159H	BC800H-BCFFFH	179H
8D000H-8D7FFH	11AH	9D000H-9D7FFH	13AH	AD000H-AD7FFH	15AH	BD000H-BD7FFH	17AH
8D800H-8DFFFH	11BH	9D800H-9DFFFH	13BH	AD800H-ADFFFH	15BH	BD800H-BDFFFH	17BH
8E000H-8E7FFH	11CH	9E000H-9E7FFH	13CH	AE000H-AE7FFH	15CH	BE000H-BE7FFH	17CH
8E800H-8EFFFH	11DH	9E800H-9EFFFH	13DH	AE800H-AEFFFH	15DH	BE800H-BEFFFH	17DH
8F000H-8F7FFH	11EH	9F000H-9F7FFH	13EH	AF000H-AF7FFH	15EH	BF000H-BF7FFH	17EH
8F800H-8F7FFH	11FH	9F800H-9F7FFH	13FH	AF800H-AF7FFH	15FH	BF800H-BF7FFH	17FH

備考 R7F100GxN (x = F, G, J, L, M, P, S) : ブロック番号000H-17FH

### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G23 は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3 - 2 内部ROM容量

製品	内部ROM	
	構造	容量
R7F100GxF (x = A, B, C, E, F, G, J, L)	フラッシュ・メモリ	98304 × 8ビット (00000H-17FFFFH)
R7F100GxG (x = A, B, C, E, F, G, J, L, M, P)		131072 × 8ビット (00000H-1FFFFFH)
R7F100GxH (x = A, B, C, E, F, G, J, L, M, P)		196608 × 8ビット (00000H-2FFFFFH)
R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S)		262144 × 8ビット (00000H-3FFFFFH)
R7F100GxK (x = F, G, J, L, M, P, S)		393216 × 8ビット (00000H-5FFFFFH)
R7F100GxL (x = F, G, J, L, M, P, S)		524288 × 8ビット (00000H-7FFFFFH)
R7F100GxN (x = F, G, J, L, M, P, S)		786432 × 8ビット (00000H-BFFFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

#### (1) ベクタ・テーブル領域

00000H-0007FH の128 バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2 バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、04000H-0407FHにもベクタ・テーブルを設定してください。

**表3 - 3**にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。— はサポートしない割り込み要因であることを示します。

セルフ・プログラミングでは、ベクタ・テーブル・アドレスをRAMのアドレスに変更できます。詳細は、

**33.6.2.18 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)**を参照してください。

表3-3 ベクタ・テーブル (1/2)

ベクタ・テーブル・アドレス	割り込み要因	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○	○	○	○	○	○	○
00004H	INTWDTI	○	○	○	○	○	○	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○	○	○	○	○	○	○
00008H	INTP0	○	○	○	○	○	○	○	○	○	○	○
0000AH	INTP1	○	○	○	○	○	○	○	○	○	○	○
0000CH	INTP2	○	○	○	○	○	○	○	○	○	○	○
0000EH	INTP3	○	○	○	○	○	○	○	○	○	○	○
00010H	INTP4	○	○	○	○	○	○	○	○	○	○	○
00012H	INTP5	○	○	○	○	○	○	○	○	○	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	○	○	○	○	○	○	○
00016H	INTSR2/INTCSI21/INTIIC21	○	○	○	○	○	○	○	○	○	注1	注1
00018H	INTSRE2	○	○	○	○	○	○	○	○	○	○	○
	INTTM11H	○	○	○	—	—	—	—	—	—	—	—
0001AH	INTELCL	○	○	○	○	○	○	○	○	○	○	○
0001CH	INTSMSE	○	○	○	○	○	○	○	○	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○	○	○	○	○	○	○
00020H	INTTM00	○	○	○	○	○	○	○	○	○	○	○
00022H	INTSRE0	○	○	○	○	○	○	○	○	○	○	○
	INTTM01H	○	○	○	○	○	○	○	○	○	○	○
00024H	INTST1/INTCSI10/INTIIC10	○	○	○	○	注2						
00026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○	○	○	○	○	○	○
00028H	INTSRE1	○	○	○	○	○	○	○	○	○	○	○
	INTTM03H	○	○	○	○	○	○	○	○	○	○	○
0002AH	INTICA0	○	○	○	○	○	○	○	○	○	○	○
0002CH	INTSR0/INTCSI01/INTIIC01	○	○	○	○	○	○	注3	注3	注3	注3	注3
0002EH	INTTM01	○	○	○	○	○	○	○	○	○	○	○
00030H	INTTM02	○	○	○	○	○	○	○	○	○	○	○
00032H	INTTM03	○	○	○	○	○	○	○	○	○	○	○
00034H	INTAD	○	○	○	○	○	○	○	○	○	○	○
00036H	INTRTC	○	○	○	○	○	○	○	○	○	○	○
00038H	INTITL	○	○	○	○	○	○	○	○	○	○	○
0003AH	INTKR	○	○	○	○	○	○	○	○	—	—	—
0003CH	INTST3/INTCSI30/INTIIC30	○	○	○	—	—	—	—	—	—	—	—
0003EH	INTSR3/INTCSI31/INTIIC31	○	○	○	—	—	—	—	—	—	—	—
00040H	INTTM13	○	○	○	—	—	—	—	—	—	—	—
00042H	INTTM04	○	○	○	○	○	○	○	○	○	○	○
00044H	INTTM05	○	○	○	○	○	○	○	○	○	○	○
00046H	INTTM06	○	○	○	○	○	○	○	○	○	○	○
00048H	INTTM07	○	○	○	○	○	○	○	○	○	○	○

表3-3 ベクタ・テーブル (2/2)

ベクタ・テーブル・アドレス	割り込み要因	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
0004AH	INTP6	○	○	○	○	○	○	—	—	—	—	—
0004CH	INTP7	○	○	○	○	—	—	—	—	—	—	—
0004EH	INTP8	○	○	○	○	○	○	—	—	—	—	—
00050H	INTP9	○	○	○	○	○	○	—	—	—	—	—
00052H	INTFL	○	○	○	○	○	○	○	○	○	○	○
00054H	INTP10	○	○	○	○	○	—	—	—	—	—	—
	INTCMP0	○	○	○	○	○	○	○	○	○	○	○
00056H	INTP11	○	○	○	○	○	—	—	—	—	—	—
	INTCMP1	○	○	○	○	○	○	○	○	○	○	○
00058H	INTURE0	○	○	○	○	○	○	○	○	○	—	—
	INTTM10	○	○	○	—	—	—	—	—	—	—	—
0005AH	INTURE1	○	○	○	○	○	○	○	—	—	—	—
	INTTM11	○	○	○	—	—	—	—	—	—	—	—
0005CH	INTTM12	○	○	○	—	—	—	—	—	—	—	—
0005EH	INTSRE3	○	○	○	—	—	—	—	—	—	—	—
	INTTM13H	○	○	○	—	—	—	—	—	—	—	—
00060H	INTCTSUWR	○	○	○	○	○	○	○	○	○	○	○
00062H	INTICA1	○	○	○	○	○	○	○	—	—	—	—
00064H	INTCTSURD	○	○	○	○	○	○	○	○	○	○	○
00066H	INTCTSUFN	○	○	○	○	○	○	○	○	○	○	○
00068H	INTREMC	○	○	○	○	○	○	○	○	○	○	—
0006AH	INTUT0	○	○	○	○	○	○	○	○	○	—	—
0006CH	INTUR0	○	○	○	○	○	○	○	○	○	—	—
0006EH	INTUT1	○	○	○	○	○	○	○	—	—	—	—
00070H	INTUR1	○	○	○	○	○	○	○	—	—	—	—
00072H	INTTM14	○	—	—	—	—	—	—	—	—	—	—
00074H	INTTM15	○	—	—	—	—	—	—	—	—	—	—
00076H	INTTM16	○	—	—	—	—	—	—	—	—	—	—
00078H	INTTM17	○	—	—	—	—	—	—	—	—	—	—
0007AH	—	—	—	—	—	—	—	—	—	—	—	—
0007CH	—	—	—	—	—	—	—	—	—	—	—	—
0007EH	BRK	○	○	○	○	○	○	○	○	○	○	○

注1. INTSR2のみ

注2. INTST1のみ

注3. INTSR0のみ

## (2) CALLT 命令テーブル領域

00080H-000BFH の64 バイト領域には、2 バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH 内の値を設定してください (アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、04080H-040BFHにも CALLT 命令テーブルを設定してください。

## (3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には040C0H-040C3Hにもオプション・バイトを設定してください。詳細は**第32章 オプション・バイト**を参照してください。

## (4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティ IDを設定してください。詳細は**第34章 オンチップ・デバッグ機能**を参照してください。

### 3.1.2 ミラー領域

RL78/G23 では、00000H-0FFFFH または 10000H-1FFFFH のコード・フラッシュ・エリアを F0000H-FFFFFFH へミラーさせています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

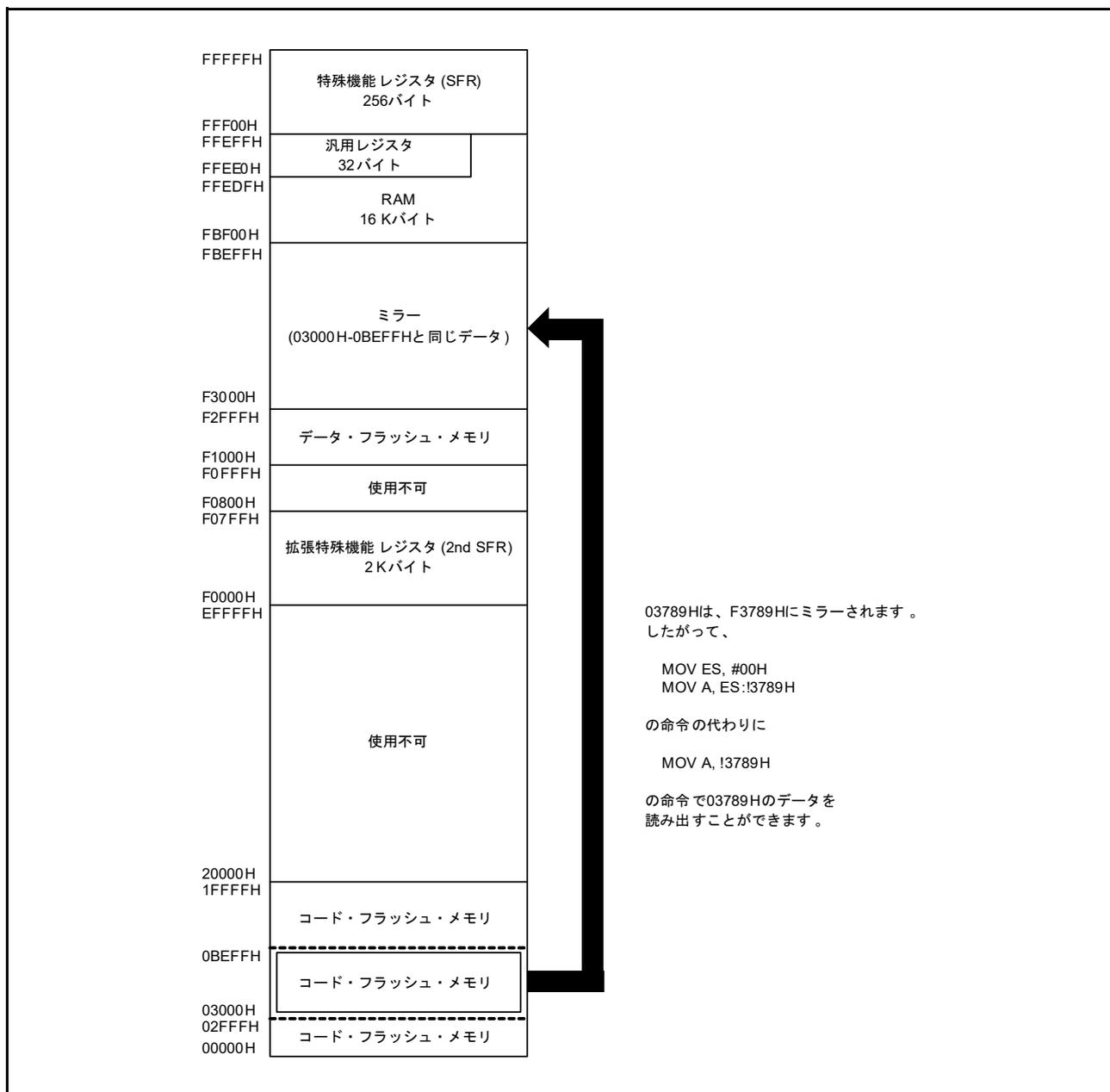
ミラー先の F0000H-FFFFFFH からデータを読み出すことにより、オペランドに ES レジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、特殊機能レジスタ（SFR）、拡張特殊機能レジスタ（2nd SFR）、RAM 領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、**3.1 メモリ空間**を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R7F100GxG（x = A, B, C, E, F, G, J, L, M, P）（フラッシュ・メモリ 128 K バイト、RAM 16 K バイト）の場合



次に、PMC レジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-8 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー							
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー							

**注意1.** PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

**注意2.** ビット0 (MAA) を0に設定した状態でブート・スワップすると、ブート・スワップ後の03000H-07FFFHをF3000H-F7FFFHへミラーします。

### 3.1.3 内部データ・メモリ空間

RL78/G23 は、次に示す RAM を内蔵しています。

表3 - 4 内部RAM容量

製品	内部RAM
R7F100GxF (x = A, B, C, E, F, G, J, L)	12288 × 8ビット (FCF00H-FFEFFFH)
R7F100GxG (x = A, B, C, E, F, G, J, L, M, P)	16384 × 8ビット (FBF00H-FFEFFFH)
R7F100GxH (x = A, B, C, E, F, G, J, L, M, P)	20480 × 8ビット (FAF00H-FFEFFFH)
R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S)	24576 × 8ビット (F9F00H-FFEFFFH)
R7F100GxK (x = F, G, J, L, M, P, S)	32768 × 8ビット (F7F00H-FFEFFFH)
R7F100GxL (x = F, G, J, L, M, P, S)	49152 × 8ビット (F3F00H-FFEFFFH)
R7F100GxN (x = F, G, J, L, M, P, S)	49152 × 8ビット (F3F00H-FFEFFFH)

内部 RAM は、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部 RAM 領域のうち FFEE0H-FFEFFFH の 32 バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられます。

また、スタック・メモリは内部 RAM を使用します。

内部メモリは消費電力削減のため一部の領域をシャットダウン・モードにできます。シャットダウンモードに設定したメモリはデータ保持ができません。詳細は、**23.2.2 メモリ電力削減制御レジスタ (PSMCR)** を参照してください。

**注意1.** 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFFH) は、命令フェッチやスタックの領域に使用できません。

**注意2.** 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R7F100GxG (x = A, B, C, E, F, G, J, L, M, P) : FC300H-FC6FFFH

R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S) : FA300H-FA6FFFH

R7F100GxL, N (x = F, G, J, L, M, P, S) : F4300H-F46FFFH

### 3.1.4 特殊機能レジスタ（SFR : Special Function Register）領域

FFF00H-FFFFFFH の領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.4 特殊機能レジスタ（SFR : Special Function Register）の表 3 - 5 参照）。

**注意** SFRが割り付けられていないアドレスにアクセスしないでください。

### 3.1.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）領域

F0000H-F07FFH の領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）の表 3 - 6 参照）。

**注意1.** 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

**注意2.** 拡張SFR（2nd SFR）の一部の領域F0500H-F0535Hに配置している静電容量式タッチセンサ（CTS2L）のレジスタ、F0540H, F0542Hに配置している真性乱数発生器（TRNG）のレジスタへのアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。静電容量式タッチセンサ（CTS2L）のレジスタ、真性乱数発生器（TRNG）のレジスタへのアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

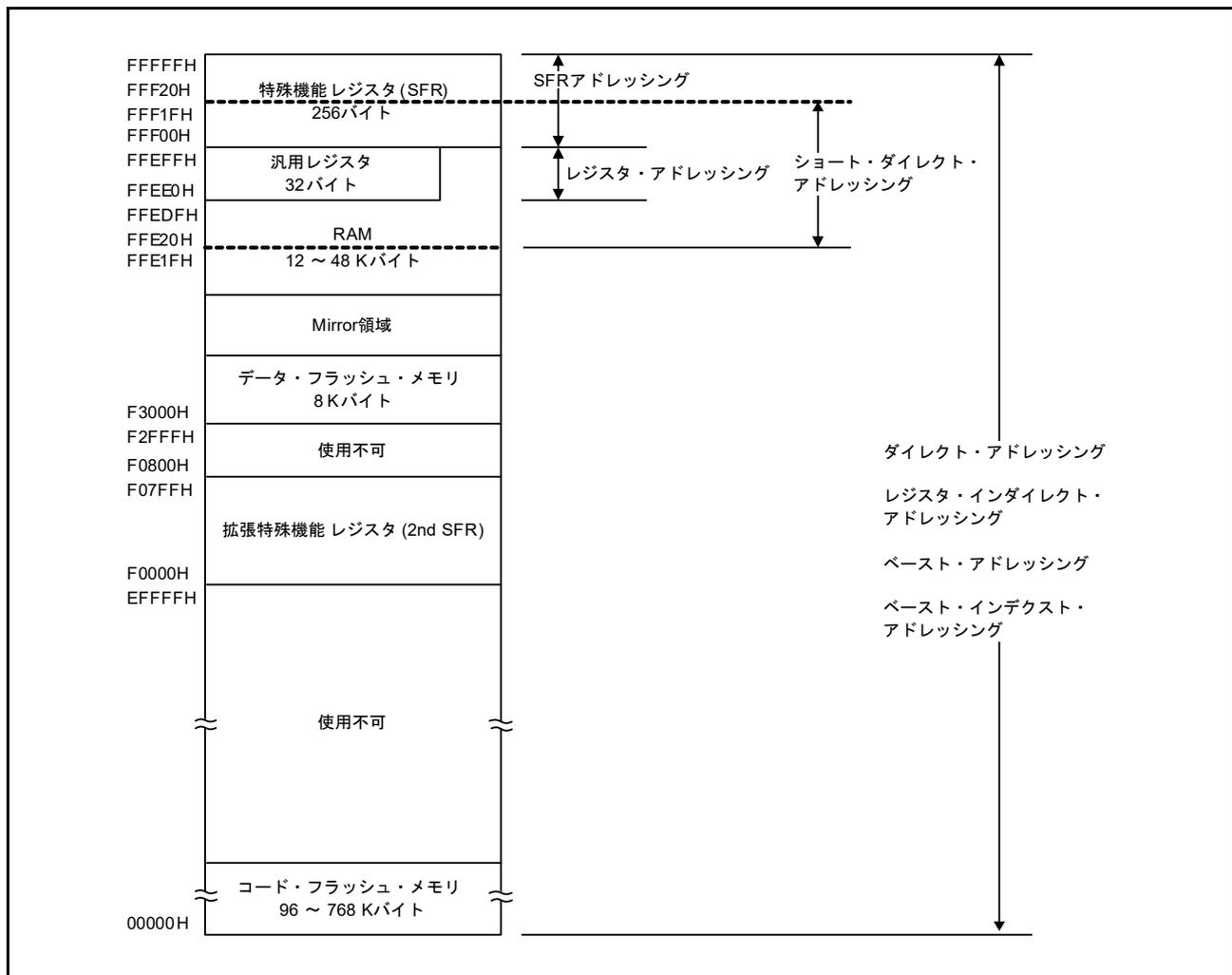
### 3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G23では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-9にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.4 処理データ・アドレスに対するアドレッシングを参照してください。

図3-9 データ・メモリとアドレッシングの対応



## 3.2 プロセッサ・レジスタ

RL78/G23は、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

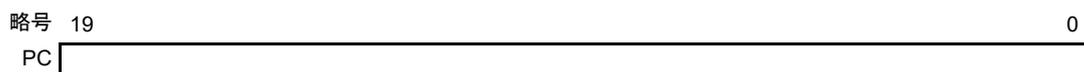
#### (1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-10 プログラム・カウンタの構成



#### (2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI 命令およびPOP PSW 命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-11 プログラム・ステータス・ワードの構成



#### (a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

## (b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外るときにリセット (0) されるフラグです。

## (c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの一つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

## (d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外るときにリセット (0) されるフラグです。

## (e) インサースビス・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H) (21.3.3 優先順位指定フラグ・レジスタ参照) でISP0, ISP1 フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

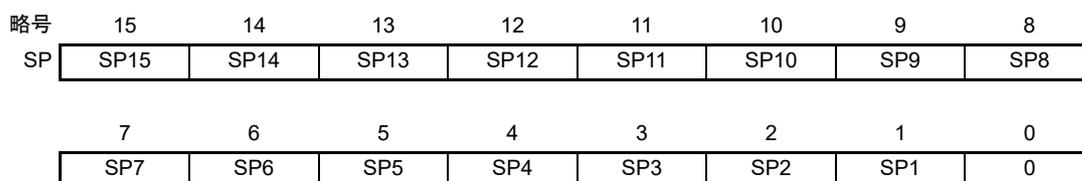
## (f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

## (3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-12 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

**注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

**注意2.** 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

**注意3.** 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R7F100GxG (x = A, B, C, E, F, G, J, L, M, P) : FC300H-FC6FFH

R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S) : FA300H-FA6FFH

R7F100GxL, N (x = F, G, J, L, M, P, S) : F4300H-F46FFH

### 3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

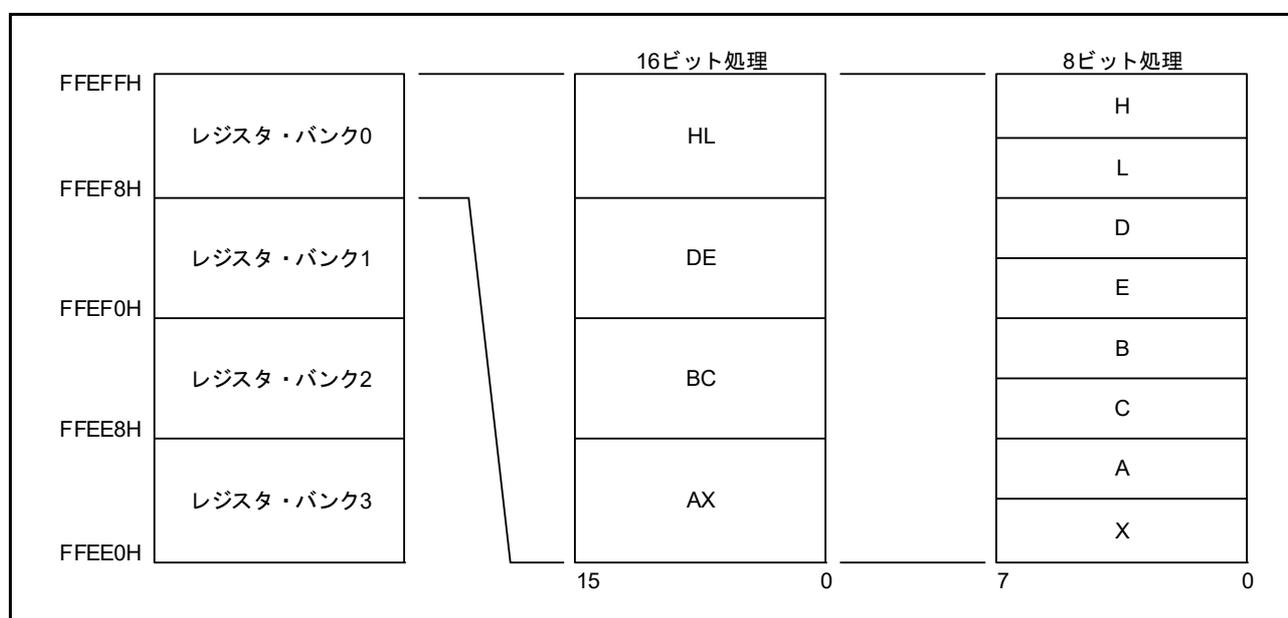
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL R<sub>Bn</sub>）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えすれば、効率のよいプログラムを作成できます。

**注意** 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

図3-13 汎用レジスタの構成

(a) 機能名称



### 3.2.3 ES, CS レジスタ

ES レジスタでデータ・アクセス、CS レジスタで（レジスタ・インダイレクト・アドレッシング）分岐命令実行時の、それぞれ上位アドレスを指定できます。

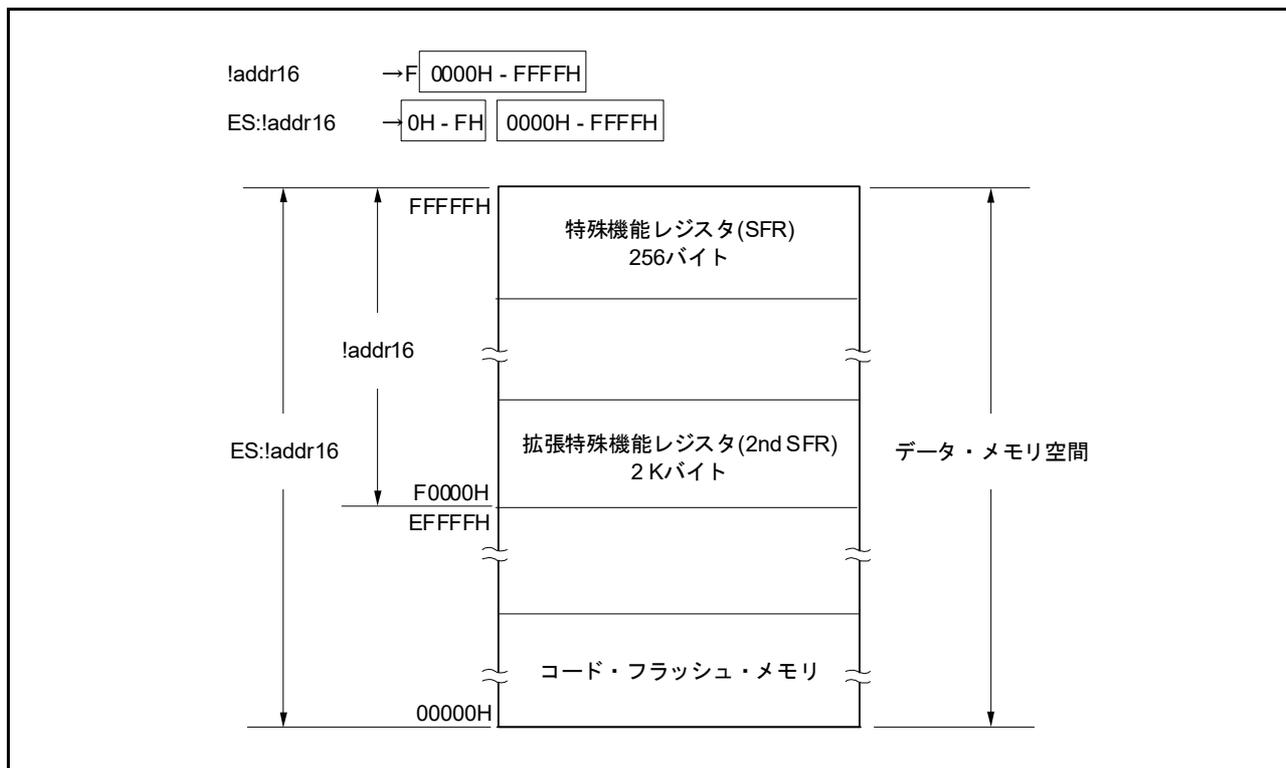
ES レジスタのリセット後の初期値は 0FH、CS レジスタのリセット後の初期値は 00H です。

図3 - 14 ES/CSレジスタの構成

略号	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
略号	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	ES1	ES0

16 ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFFH の 64 K バイト空間ですが、ES: を付加すると 00000H-FFFFFFH の 1 M バイト空間に拡張できます。

図3 - 15 データ・アクセス領域の拡張



### 3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表3-5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read) / 書き込み(Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

**注意** SFRが割り付けられていないアドレスにアクセスしないでください。

**備考** 拡張SFR(2nd SFR)については、3.2.5 拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)を参照してください。

表3-5 SFR一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0	R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1	R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2	R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3	R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4	R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5	R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6	R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7	R/W	○	○	—	00H
FFF08H	ポート・レジスタ8	P8	R/W	○	○	—	00H
FFF09H	ポート・レジスタ9	P9	R/W	○	○	—	00H
FFF0AH	ポート・レジスタ10	P10	R/W	○	○	—	00H
FFF0BH	ポート・レジスタ11	P11	R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12	R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13	R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14	R/W	○	○	—	00H
FFF0FH	ポート・レジスタ15	P15	R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	0000H
FFF11H		—			—	—	
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	—	○	0000H
FFF13H		—			—	—	
FFF14H	シリアル・データ・レジスタ12	TXD3/ SIO30	SDR12	R/W	—	○	0000H
FFF15H		—			—	—	
FFF16H	シリアル・データ・レジスタ13	RXD3/ SIO31	SDR13	R/W	—	○	0000H
FFF17H		—			—	—	
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	0000H
FFF19H							
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	00H
FFF1BH		TDR01H			—	○	00H
FFF1EH	12ビット/10ビットA/D変換結果レジスタ	ADCR		R	—	—	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	FFH
FFF29H	ポート・モード・レジスタ9	PM9		R/W	○	○	FFH
FFF2AH	ポート・モード・レジスタ10	PM10		R/W	○	○	FFH
FFF2BH	ポート・モード・レジスタ11	PM11		R/W	○	○	FFH

表3 - 5 SFR一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF2CH	ポート・モード・レジスタ 12	PM12		R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ 14	PM14		R/W	○	○	—	FFH
FFF2FH	ポート・モード・レジスタ 15	PM15		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ 0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ 1	ADM1		R/W	○	○	—	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	—	○	—	00H
FFF37H	キー・リターン・モード・レジスタ 0	KRM0		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0		R/W	○	○	—	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ 1	EGP1		R/W	○	○	—	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ 1	EGN1		R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ 02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ 03	RXD1/ SIO11	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF48H	シリアル・データ・レジスタ 10	TXD2/ SIO20	SDR10	R/W	—	○	○	0000H
FFF49H		—			—	—		
FFF4AH	シリアル・データ・レジスタ 11	RXD2/ SIO21	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—	—		
FFF50H	IICAシフト・レジスタ 0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ 0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ 0	IICF0		R/W	○	○	—	00H
FFF54H	IICAシフト・レジスタ 1	IICA1		R/W	—	○	—	00H
FFF55H	IICAステータス・レジスタ 1	IICS1		R	○	○	—	00H
FFF56H	IICAフラグ・レジスタ 1	IICF1		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ 02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ 03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF68H	タイマ・データ・レジスタ 04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ 05	TDR05		R/W	—	—	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ 06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ 07	TDR07		R/W	—	—	○	0000H
FFF6FH								
FFF70H	タイマ・データ・レジスタ 10	TDR10		R/W	—	—	○	0000H
FFF71H								
FFF72H	タイマ・データ・レジスタ 11	TDR11L	TDR11	R/W	—	○	○	00H
FFF73H		TDR11H			—	○	00H	

表3 - 5 SFR一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF74H	タイマ・データ・レジスタ 12	TDR12		R/W	—	—	○	0000H
FFF75H								
FFF76H	タイマ・データ・レジスタ 13	TDR13L	TDR13	R/W	—	○	○	00H
FFF77H		TDR13H			—	○		00H
FFF78H	タイマ・データ・レジスタ 14	TDR14		R/W	—	—	○	0000H
FFF79H								
FFF7AH	タイマ・データ・レジスタ 15	TDR15		R/W	—	—	○	0000H
FFF7BH								
FFF7CH	タイマ・データ・レジスタ 16	TDR16		R/W	—	—	○	0000H
FFF7DH								
FFF7EH	タイマ・データ・レジスタ 17	TDR17		R/W	—	—	○	0000H
FFF7FH								
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ 0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ 1	CKS1		R/W	○	○	—	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL		R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定 <sup>注1</sup>
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H <sup>注2</sup>
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	19H
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	9AH/ 1AH <sup>注3</sup>
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ 2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ 3	IF3L	IF3	R/W	○	○	○	00H
FFFD3H		IF3H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ 2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ 3	MK3L	MK3	R/W	○	○	○	FFH
FFFD7H		MK3H		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ 02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ 03	PR03L	PR03	R/W	○	○	○	FFH
FFFD BH		PR03H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ 12	PR12L	PR12	R/W	○	○	○	FFH
FFFD DH		PR12H		R/W	○	○		FFH
FFFD EH	優先順位指定フラグ・レジスタ 13	PR13L	PR13	R/W	○	○	○	FFH
FFFD FH		PR13H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ 0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ 1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H

表3-5 SFR一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFE DH		PR10H		R/W	○	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFE FH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	-	-	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	-	-	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	-	00H

注1. リセット要因は第24章 リセット機能を参照してください。

注2. リセット要因により、初期値が異なります。26.3.1 電圧検出レジスタ (LVIM) を参照してください。

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張SFR (2nd SFR) については、表3-6 拡張SFR (2nd SFR) 一覧を参照してください。

### 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張 SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張 SFR 空間は、F0000H-F07FFH の領域です。SFR 領域 (FFF00H-FFFFFH) 以外の SFR が割り付けられています。ただし、拡張 SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

拡張 SFR は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作  
1ビット操作命令のオペランド (!addr16.bit) には、次のような記述をしてください。ビット名称が定義されている場合 : <ビット名称>  
ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作  
8ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作  
16ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3 - 6 に拡張 SFR の一覧を示します。表中の項目の意味は次のとおりです。

- 略号  
拡張 SFR のアドレスを示す略号です。アセンブラで予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。アセンブラ、デバッグおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W  
該当する拡張 SFR が読み出し (Read) / 書き込み (Write) 可能かどうかを示します  
R/W : 読み出し / 書き込みがともに可能  
R : 読み出しのみ可能  
W : 書き込みのみ可能
- 操作可能ビット単位  
操作可能なビット単位 (1, 8, 16) を O で示します。- は操作できないビット単位であることを示します。
- リセット時  
リセット信号発生時の各レジスタの状態を示します。

**注意** 拡張 SFR (2nd SFR) が割り付けられていないアドレスにアクセスしないでください。

**備考** SFR 領域の SFR については、3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2		R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL		R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL		R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES		R/W	—	○	—	00H
F0020H	12ビット/10ビットA/D変換結果レジスタ0	—	ADCR0	R	—	—	○	0000H
F0021H	8ビットA/D変換結果レジスタ0	ADCR0H		R	—	○	—	00H
F0022H	12ビット/10ビットA/D変換結果レジスタ1	—	ADCR1	R	—	—	○	0000H
F0023H	8ビットA/D変換結果レジスタ1	ADCR1H		R	—	○	—	00H
F0024H	12ビット/10ビットA/D変換結果レジスタ2	—	ADCR2	R	—	—	○	0000H
F0025H	8ビットA/D変換結果レジスタ2	ADCR2H		R	—	○	—	00H
F0026H	12ビット/10ビットA/D変換結果レジスタ3	—	ADCR3	R	—	—	○	0000H
F0027H	8ビットA/D変換結果レジスタ3	ADCR3H		R	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0		R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1		R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3		R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4		R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5		R/W	○	○	—	00H
F0036H	プルアップ抵抗オプション・レジスタ6	PU6		R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7		R/W	○	○	—	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8		R/W	○	○	—	00H
F0039H	プルアップ抵抗オプション・レジスタ9	PU9		R/W	○	○	—	00H
F003AH	プルアップ抵抗オプション・レジスタ10	PU10		R/W	○	○	—	00H
F003BH	プルアップ抵抗オプション・レジスタ11	PU11		R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12		R/W	○	○	—	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14		R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0		R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1		R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3		R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4		R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5		R/W	○	○	—	00H
F0047H	ポート入力モード・レジスタ7	PIM7		R/W	○	○	—	00H
F0048H	ポート入力モード・レジスタ8	PIM8		R/W	○	○	—	00H
F004EH	ポート入力モード・レジスタ14	PIM14		R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0		R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1		R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3		R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4		R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5		R/W	○	○	—	00H
F0057H	ポート出力モード・レジスタ7	POM7		R/W	○	○	—	00H
F0058H	ポート出力モード・レジスタ8	POM8		R/W	○	○	—	00H
F0059H	ポート出力モード・レジスタ9	POM9		R/W	○	○	—	00H
F005CH	ポート出力モード・レジスタ12	POM12		R/W	○	○	—	00H
F005EH	ポート出力モード・レジスタ14	POM14		R/W	○	○	—	00H
F0060H	ポート・モード・コントロールA・レジスタ0	PMCA0		R/W	○	○	—	FFH
F0061H	ポート・モード・コントロールA・レジスタ1	PMCA1		R/W	○	○	—	FFH
F0062H	ポート・モード・コントロールA・レジスタ2	PMCA2		R/W	○	○	—	FFH
F0063H	ポート・モード・コントロールA・レジスタ3	PMCA3		R/W	○	○	—	FFH
F006AH	ポート・モード・コントロールA・レジスタ10	PMCA10		R/W	○	○	—	FFH

表3-6 拡張SFR (2nd SFR) 一覧 (2/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F006BH	ポート・モード・コントロールA・レジスタ11	PMCA11	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロールA・レジスタ12	PMCA12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロールA・レジスタ14	PMCA14	R/W	○	○	—	FFH
F006FH	ポート・モード・コントロールA・レジスタ15	PMCA15	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	タイマ入力選択レジスタ1	TIS1	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	UARTループバック選択レジスタ	ULBS	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定注2
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	—	40H/80H /C0H注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	—	00H
F00B0H	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ	FLSEC	R	—	—	○	不定
F00B2H	フラッシュFSWモニタ・レジスタS	FLFSWS	R	—	—	○	不定
F00B4H	フラッシュFSWモニタ・レジスタE	FLFSWE	R	—	—	○	不定
F00B6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET	R/W	—	○	—	00H
F00B7H	フラッシュ・エクストラ領域シーケンサ制御レジスタ	FSSE	R/W	○	○	—	00H
F00C0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD	W	—	○	—	不定
F00C1H	フラッシュ・ステータス・レジスタ	PFS	R	○	○	—	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F1H	周辺リセット制御レジスタ0	PRR0	R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV	R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	○	○	—	不定
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR	R/W	○	○	—	00H
F00FAH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F00FBH	周辺リセット制御レジスタ1	PRR1	R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定
F00FFH	割り込みベクタ移動許可レジスタ	VECTCTRL	R/W	—	○	—	00H
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	0000H
F0101H		—			—	—	
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	0000H
F0103H		—			—	—	
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	0000H
F0105H		—			—	—	
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	0000H
F0107H		—			—	—	

表3 - 6 拡張SFR (2nd SFR) 一覧 (3/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—	—		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—	—		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—	—		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—	—		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—	—		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—	—		
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	—	○	○	0000H
F0145H		—			—	—		
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	—	○	○	0000H
F0147H		—			—	—		
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—	—		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—	—		

表3 - 6 拡張SFR (2nd SFR) 一覧 (4/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F014CH	シリアル・フラグ・クリア・トリガ・レジスタ 12	SIR12L	SIR12	R/W	—	○	○	0000H
F014DH		—			—			
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ 13	SIR13L	SIR13	R/W	—	○	○	0000H
F014FH		—			—			
F0150H	シリアル・モード・レジスタ 10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ 11	SMR11		R/W	—	—	○	0020H
F0153H								
F0154H	シリアル・モード・レジスタ 12	SMR12		R/W	—	—	○	0020H
F0155H								
F0156H	シリアル・モード・レジスタ 13	SMR13		R/W	—	—	○	0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ 10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ 11	SCR11		R/W	—	—	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ 12	SCR12		R/W	—	—	○	0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ 13	SCR13		R/W	—	—	○	0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ 1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—			
F0162H	シリアル・チャンネル開始レジスタ 1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—			
F0164H	シリアル・チャンネル停止レジスタ 1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—			
F0166H	シリアル・クロック選択レジスタ 1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—			
F0168H	シリアル出力レジスタ 1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ 1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—			
F0174H	シリアル出力レベル・レジスタ 1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—			
F0178H	シリアル・スタンバイ・コントロール・レジスタ 1	SSC1L	SSC1	R/W	—	○	○	0000H
F0179H		—			—			
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ 04	TCR04		R	—	—	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ 05	TCR05		R	—	—	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ 06	TCR06		R	—	—	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ 07	TCR07		R	—	—	○	FFFFH
F018FH								

表3 - 6 拡張SFR (2nd SFR) 一覧 (5/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	—	—	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	—	—	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	—	—	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	—	—	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	—	—	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—	—		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—	—		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—	—		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F01C0H	タイマ・カウンタ・レジスタ10	TCR10		R	—	—	○	FFFFH
F01C1H								
F01C2H	タイマ・カウンタ・レジスタ11	TCR11		R	—	—	○	FFFFH
F01C3H								

表3 - 6 拡張SFR (2nd SFR) 一覧 (6/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01C4H	タイマ・カウンタ・レジスタ 12	TCR12		R	—	—	○	FFFFH
F01C5H								
F01C6H	タイマ・カウンタ・レジスタ 13	TCR13		R	—	—	○	FFFFH
F01C7H								
F01C8H	タイマ・カウンタ・レジスタ 14	TCR14		R	—	—	○	FFFFH
F01C9H								
F01CAH	タイマ・カウンタ・レジスタ 15	TCR15		R	—	—	○	FFFFH
F01CBH								
F01CCH	タイマ・カウンタ・レジスタ 16	TCR16		R	—	—	○	FFFFH
F01CDH								
F01CEH	タイマ・カウンタ・レジスタ 17	TCR17		R	—	—	○	FFFFH
F01CFH								
F01D0H	タイマ・モード・レジスタ 10	TMR10		R/W	—	—	○	0000H
F01D1H								
F01D2H	タイマ・モード・レジスタ 11	TMR11		R/W	—	—	○	0000H
F01D3H								
F01D4H	タイマ・モード・レジスタ 12	TMR12		R/W	—	—	○	0000H
F01D5H								
F01D6H	タイマ・モード・レジスタ 13	TMR13		R/W	—	—	○	0000H
F01D7H								
F01D8H	タイマ・モード・レジスタ 14	TMR14		R/W	—	—	○	0000H
F01D9H								
F01DAH	タイマ・モード・レジスタ 15	TMR15		R/W	—	—	○	0000H
F01DBH								
F01DCH	タイマ・モード・レジスタ 16	TMR16		R/W	—	—	○	0000H
F01DDH								
F01DEH	タイマ・モード・レジスタ 17	TMR17		R/W	—	—	○	0000H
F01DFH								
F01E0H	タイマ・ステータス・レジスタ 10	TSR10L	TSR10	R	—	○	○	0000H
F01E1H		—			—			
F01E2H	タイマ・ステータス・レジスタ 11	TSR11L	TSR11	R	—	○	○	0000H
F01E3H		—			—			
F01E4H	タイマ・ステータス・レジスタ 12	TSR12L	TSR12	R	—	○	○	0000H
F01E5H		—			—			
F01E6H	タイマ・ステータス・レジスタ 13	TSR13L	TSR13	R	—	○	○	0000H
F01E7H		—			—			
F01E8H	タイマ・ステータス・レジスタ 14	TSR14L	TSR14	R	—	○	○	0000H
F01E9H		—			—			
F01EAH	タイマ・ステータス・レジスタ 15	TSR15L	TSR15	R	—	○	○	0000H
F01EBH		—			—			
F01ECH	タイマ・ステータス・レジスタ 16	TSR16L	TSR16	R	—	○	○	0000H
F01EDH		—			—			
F01EEH	タイマ・ステータス・レジスタ 17	TSR17L	TSR17	R	—	○	○	0000H
F01EFH		—			—			
F01F0H	タイマ・チャンネル許可ステータス・レジスタ 1	TE1L	TE1	R	○	○	○	0000H
F01F1H		—			—			
F01F2H	タイマ・チャンネル開始レジスタ 1	TS1L	TS1	R/W	○	○	○	0000H
F01F3H		—			—			
F01F4H	タイマ・チャンネル停止レジスタ 1	TT1L	TT1	R/W	○	○	○	0000H
F01F5H		—			—			
F01F6H	タイマ・クロック選択レジスタ 1	TPS1		R/W	—	—	○	0000H
F01F7H								

表3-6 拡張SFR (2nd SFR) 一覧 (7/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01F8H	タイマ出力レジスタ1	TO1L	TO1	R/W	—	○	○	0000H
F01F9H		—			—	—		
F01FAH	タイマ出力許可レジスタ1	TOE1L	TOE1	R/W	○	○	○	0000H
F01FBH		—			—	—		
F01FCH	タイマ出力レベル・レジスタ1	TOL1L	TOL1	R/W	—	○	○	0000H
F01FDH		—			—	—		
F01FEH	タイマ出力モード・レジスタ1	TOM1L	TOM1	R/W	—	○	○	0000H
F01FFH		—			—	—		
F0212H	中速オンチップ・オシレータ・トリミング・レジスタ	MIOTRM		R/W	—	○	—	90H
F0213H	低速オンチップ・オシレータ・トリミング・レジスタ	LIOTRM		R/W	—	○	—	80H
F0214H	高速システム・クロック分周レジスタ	MOSCDIV		R/W	—	○	—	00H
F0215H	スタンバイ・モード解除設定レジスタ	WKUPMD		R/W	○	○	—	00H
F0216H	メモリ電力削減制御レジスタ	PSMCR		R/W	○	○	—	00H
F0218H	LVD検出フラグ・クリア・レジスタ	LVDFCLR		R/W	○	○	—	00H
F0220H	秒カウント・レジスタ	SEC		R/W	—	○	—	不定
F0221H	分カウント・レジスタ	MIN		R/W	—	○	—	不定
F0222H	時カウント・レジスタ	HOUR		R/W	—	○	—	不定
F0223H	曜日カウント・レジスタ	WEEK		R/W	—	○	—	不定
F0224H	日カウント・レジスタ	DAY		R/W	—	○	—	不定
F0225H	月カウント・レジスタ	MONTH		R/W	—	○	—	不定
F0226H	年カウント・レジスタ	YEAR		R/W	—	○	—	不定
F0227H	時計誤差補正レジスタ	SUBCUD		R/W	—	○	—	00H
F0228H	アラーム分レジスタ	ALARMWM		R/W	—	○	—	不定
F0229H	アラーム時レジスタ	ALARMWH		R/W	—	○	—	不定
F022AH	アラーム曜日レジスタ	ALARMWW		R/W	—	○	—	不定
F022BH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	—	00H
F022CH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	—	00H
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	—	○	—	00H
F0238H	IICAコントロール・レジスタ10	IICCTL10		R/W	○	○	—	00H
F0239H	IICAコントロール・レジスタ11	IICCTL11		R/W	○	○	—	00H
F023AH	IICAロウ・レベル幅設定レジスタ1	IICWL1		R/W	—	○	—	FFH
F023BH	IICAハイ・レベル幅設定レジスタ1	IICWH1		R/W	—	○	—	FFH
F023CH	スレーブ・アドレス・レジスタ1	SVA1		R/W	—	○	—	00H
F0260H	ポート・モード・コントロールT・レジスタ0	PMCT0		R/W	○	○	—	00H
F0262H	ポート・モード・コントロールT・レジスタ2	PMCT2		R/W	○	○	—	00H
F0263H	ポート・モード・コントロールT・レジスタ3	PMCT3		R/W	○	○	—	00H
F0265H	ポート・モード・コントロールT・レジスタ5	PMCT5		R/W	○	○	—	00H
F0266H	ポート・モード・コントロールT・レジスタ6	PMCT6		R/W	○	○	—	00H
F0267H	ポート・モード・コントロールT・レジスタ7	PMCT7		R/W	○	○	—	00H
F026FH	ポート・モード・コントロールT・レジスタ15	PMCT15		R/W	○	○	—	00H
F0280H	ポート・モード・コントロールE・レジスタ0	PMCE0		R/W	○	○	—	00H
F0281H	ポート・モード・コントロールE・レジスタ1	PMCE1		R/W	○	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (8/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0285H	ポート・モード・コントロールE・レジスタ5	PMCE5	R/W	○	○	—	00H
F0286H	ポート・モード・コントロールE・レジスタ6	PMCE6	R/W	○	○	—	00H
F02A0H	出力電流選択レジスタ0	CCS0	R/W	—	○	—	00H
F02A4H	出力電流選択レジスタ4	CCS4	R/W	—	○	—	00H
F02A5H	出力電流選択レジスタ5	CCS5	R/W	—	○	—	00H
F02A6H	出力電流選択レジスタ6	CCS6	R/W	—	○	—	00H
F02A7H	出力電流選択レジスタ7	CCS7	R/W	—	○	—	00H
F02A8H	出力電流制御許可レジスタ	CCDE	R/W	○	○	—	00H
F02A9H	40 mAポート出力制御レジスタ	PTDC	R/W	○	○	—	00H
F02AAH	ポート・ファンクション出力許可レジスタ0	PFOE0	R/W	○	○	—	FFH
F02ABH	ポート・ファンクション出力許可レジスタ1	PFOE1	R/W	○	○	—	FFH
F02B0H	ポート・デジタル・インプット・ディスエーブル・レジスタ0	PDIDIS0	R/W	○	○	—	00H
F02B1H	ポート・デジタル・インプット・ディスエーブル・レジスタ1	PDIDIS1	R/W	○	○	—	00H
F02B3H	ポート・デジタル・インプット・ディスエーブル・レジスタ3	PDIDIS3	R/W	○	○	—	00H
F02B4H	ポート・デジタル・インプット・ディスエーブル・レジスタ4	PDIDIS4	R/W	○	○	—	00H
F02B5H	ポート・デジタル・インプット・ディスエーブル・レジスタ5	PDIDIS5	R/W	○	○	—	00H
F02B7H	ポート・デジタル・インプット・ディスエーブル・レジスタ7	PDIDIS7	R/W	○	○	—	00H
F02B8H	ポート・デジタル・インプット・ディスエーブル・レジスタ8	PDIDIS8	R/W	○	○	—	00H
F02B9H	ポート・デジタル・インプット・ディスエーブル・レジスタ9	PDIDIS9	R/W	○	○	—	00H
F02BCH	ポート・デジタル・インプット・ディスエーブル・レジスタ12	PDIDIS12	R/W	○	○	—	00H
F02BDH	ポート・デジタル・インプット・ディスエーブル・レジスタ13	PDIDIS13	R/W	○	○	—	00H
F02BEH	ポート・デジタル・インプット・ディスエーブル・レジスタ14	PDIDIS14	R/W	○	○	—	00H
F02C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F02C1H	フラッシュ領域選択レジスタ	FLARS	R/W	○	○	—	00H
F02C2H	フラッシュ・アドレス・ポインタ・レジスタL	FLAPL	R/W	—	—	○	0000H
F02C4H	フラッシュ・アドレス・ポインタ・レジスタH	FLAPH	R/W	—	○	—	00H
F02C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ	R/W	○	○	—	00H
F02C6H	フラッシュ・エンド・アドレス・ポインタ・レジスタL	FLSEDL	R/W	—	—	○	0000H
F02C8H	フラッシュ・エンド・アドレス・ポインタ・レジスタH	FLSEDH	R/W	—	○	—	00H
F02C9H	フラッシュ・レジスタ初期化レジスタ	FLRST	R/W	○	○	—	00H
F02CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタL	FSASTL	R	○	○	—	00H/ 80H
F02CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH	FSASTH	R	○	○	—	00H/ 04H
F02CCH	フラッシュ・ライト・バッファ・レジスタL	FLWL	R/W	—	—	○	0000H
F02CEH	フラッシュ・ライト・バッファ・レジスタH	FLWH	R/W	—	—	○	0000H

表3-6 拡張SFR (2nd SFR) 一覧 (9/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR	R/W	—	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	—	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	送信バッファ・レジスタ0	TXBA0	R/W	—	○	—	FFH
F0301H	受信バッファ・レジスタ0	RXBA0	R	—	○	—	FFH
F0302H	動作モード設定レジスタ00	ASIMA00	R/W	○	○	—	01H
F0303H	動作モード設定レジスタ01	ASIMA01	R/W	○	○	—	1AH
F0304H	ポーレート・ジェネレータ・コントロール・レジスタ0	BRGCA0	R/W	—	○	—	FFH
F0305H	ステータス・レジスタ0	ASISA0	R	—	○	—	00H
F0306H	ステータス・クリア・トリガ・レジスタ0	ASCTA0	R/W	○	○	—	00H
F0308H	送信バッファ・レジスタ1	TXBA1	R/W	—	○	—	FFH
F0309H	受信バッファ・レジスタ1	RXBA1	R	—	○	—	FFH
F030AH	動作モード設定レジスタ10	ASIMA10	R/W	○	○	—	01H
F030BH	動作モード設定レジスタ11	ASIMA11	R/W	○	○	—	1AH
F030CH	ポーレート・ジェネレータ・コントロール・レジスタ1	BRGCA1	R/W	—	○	—	FFH
F030DH	ステータス・レジスタ1	ASISA1	R	—	○	—	00H
F030EH	ステータス・クリア・トリガ・レジスタ1	ASCTA1	R/W	○	○	—	00H
F0310H	UARTAクロック選択レジスタ0	UTA0CK	R/W	○	○	—	00H
F0311H	UARTAクロック選択レジスタ1	UTA1CK	R/W	○	○	—	00H
F0330H	D/A変換値設定レジスタ0	DACS0	R/W	—	○	—	00H
F0331H	D/A変換値設定レジスタ1	DACS1	R/W	—	○	—	00H
F0332H	D/Aコンバータ・モード・レジスタ	DAM	R/W	○	○	—	00H
F0340H	コンパレータ・モード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータ・フィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0360H	インターバル・タイマ・コンペア・レジスタ00	ITLCMP000	ITLCMP	R/W	—	○	FFFFH
F0361H		ITLCMP001			00		
F0362H	インターバル・タイマ・コンペア・レジスタ01	ITLCMP012	ITLCMP	R/W	—	○	FFFFH
F0363H		ITLCMP013			01		
F0364H	インターバル・タイマ・キャプチャ・レジスタ00	ITLCAPO0	R	—	—	○	0000H
F0365H							
F0366H	インターバル・タイマ制御レジスタ	ITLCTL0	R/W	○	○	—	00H
F0367H	インターバル・タイマ・クロック選択レジスタ0	ITLCSEL0	R/W	—	○	—	00H
F0368H	インターバル・タイマ分周レジスタ0	ITLFDIV00	R/W	—	○	—	00H
F0369H	インターバル・タイマ分周レジスタ1	ITLFDIV01	R/W	—	○	—	00H
F036AH	インターバル・タイマ・キャプチャ制御レジスタ0	ITLCC0	R/W	○	○	—	00H
F036BH	インターバル・タイマ・ステータス・レジスタ	ITLS0	R/W	—	○	—	00H
F036CH	インターバル・タイマ一致検出マスク・レジスタ	ITLMKF0	R/W	—	○	—	00H
F0380H	シーケンサ・インストラクション・レジスタ0	SMSI0	R/W	—	—	○	0000H
F0381H							

表3 - 6 拡張SFR (2nd SFR) 一覧 (10/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0382H	シーケンサ・インストラクション・レジスタ1	SMSI1	R/W	—	—	○	0000H
F0383H							
F0384H	シーケンサ・インストラクション・レジスタ2	SMSI2	R/W	—	—	○	0000H
F0385H							
F0386H	シーケンサ・インストラクション・レジスタ3	SMSI3	R/W	—	—	○	0000H
F0387H							
F0388H	シーケンサ・インストラクション・レジスタ4	SMSI4	R/W	—	—	○	0000H
F0389H							
F038AH	シーケンサ・インストラクション・レジスタ5	SMSI5	R/W	—	—	○	0000H
F038BH							
F038CH	シーケンサ・インストラクション・レジスタ6	SMSI6	R/W	—	—	○	0000H
F038DH							
F038EH	シーケンサ・インストラクション・レジスタ7	SMSI7	R/W	—	—	○	0000H
F038FH							
F0390H	シーケンサ・インストラクション・レジスタ8	SMSI8	R/W	—	—	○	0000H
F0391H							
F0392H	シーケンサ・インストラクション・レジスタ9	SMSI9	R/W	—	—	○	0000H
F0393H							
F0394H	シーケンサ・インストラクション・レジスタ10	SMSI10	R/W	—	—	○	0000H
F0395H							
F0396H	シーケンサ・インストラクション・レジスタ11	SMSI11	R/W	—	—	○	0000H
F0397H							
F0398H	シーケンサ・インストラクション・レジスタ12	SMSI12	R/W	—	—	○	0000H
F0399H							
F039AH	シーケンサ・インストラクション・レジスタ13	SMSI13	R/W	—	—	○	0000H
F039BH							
F039CH	シーケンサ・インストラクション・レジスタ14	SMSI14	R/W	—	—	○	0000H
F039DH							
F039EH	シーケンサ・インストラクション・レジスタ15	SMSI15	R/W	—	—	○	0000H
F039FH							
F03A0H	シーケンサ・インストラクション・レジスタ16	SMSI16	R/W	—	—	○	0000H
F03A1H							
F03A2H	シーケンサ・インストラクション・レジスタ17	SMSI17	R/W	—	—	○	0000H
F03A3H							
F03A4H	シーケンサ・インストラクション・レジスタ18	SMSI18	R/W	—	—	○	0000H
F03A5H							
F03A6H	シーケンサ・インストラクション・レジスタ19	SMSI19	R/W	—	—	○	0000H
F03A7H							
F03A8H	シーケンサ・インストラクション・レジスタ20	SMSI20	R/W	—	—	○	0000H
F03A9H							
F03AAH	シーケンサ・インストラクション・レジスタ21	SMSI21	R/W	—	—	○	0000H
F03ABH							
F03ACH	シーケンサ・インストラクション・レジスタ22	SMSI22	R/W	—	—	○	0000H
F03ADH							
F03AEH	シーケンサ・インストラクション・レジスタ23	SMSI23	R/W	—	—	○	0000H
F03AFH							
F03B0H	シーケンサ・インストラクション・レジスタ24	SMSI24	R/W	—	—	○	0000H
F03B1H							
F03B2H	シーケンサ・インストラクション・レジスタ25	SMSI25	R/W	—	—	○	0000H
F03B3H							
F03B4H	シーケンサ・インストラクション・レジスタ26	SMSI26	R/W	—	—	○	0000H
F03B5H							

表3 - 6 拡張SFR (2nd SFR) 一覧 (11/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F03B6H	シーケンサ・インストラクション・レジスタ27	SMSI27	R/W	—	—	○	0000H
F03B7H							
F03B8H	シーケンサ・インストラクション・レジスタ28	SMSI28	R/W	—	—	○	0000H
F03B9H							
F03BAH	シーケンサ・インストラクション・レジスタ29	SMSI29	R/W	—	—	○	0000H
F03BBH							
F03BCH	シーケンサ・インストラクション・レジスタ30	SMSI30	R/W	—	—	○	0000H
F03BDH							
F03BEH	シーケンサ・インストラクション・レジスタ31	SMSI31	R/W	—	—	○	0000H
F03BFH							
F03C0H	シーケンサ汎用レジスタ0	SMSG0	R	—	—	○	0000H
F03C1H							
F03C2H	シーケンサ汎用レジスタ1	SMSG1	R/W	—	—	○	0000H
F03C3H							
F03C4H	シーケンサ汎用レジスタ2	SMSG2	R/W	—	—	○	0000H
F03C5H							
F03C6H	シーケンサ汎用レジスタ3	SMSG3	R/W	—	—	○	0000H
F03C7H							
F03C8H	シーケンサ汎用レジスタ4	SMSG4	R/W	—	—	○	0000H
F03C9H							
F03CAH	シーケンサ汎用レジスタ5	SMSG5	R/W	—	—	○	0000H
F03CBH							
F03CCH	シーケンサ汎用レジスタ6	SMSG6	R/W	—	—	○	0000H
F03CDH							
F03CEH	シーケンサ汎用レジスタ7	SMSG7	R/W	—	—	○	0000H
F03CFH							
F03D0H	シーケンサ汎用レジスタ8	SMSG8	R/W	—	—	○	0000H
F03D1H							
F03D2H	シーケンサ汎用レジスタ9	SMSG9	R/W	—	—	○	0000H
F03D3H							
F03D4H	シーケンサ汎用レジスタ10	SMSG10	R/W	—	—	○	0000H
F03D5H							
F03D6H	シーケンサ汎用レジスタ11	SMSG11	R/W	—	—	○	0000H
F03D7H							
F03D8H	シーケンサ汎用レジスタ12	SMSG12	R/W	—	—	○	0000H
F03D9H							
F03DAH	シーケンサ汎用レジスタ13	SMSG13	R/W	—	—	○	0000H
F03DBH							
F03DCH	シーケンサ汎用レジスタ14	SMSG14	R/W	—	—	○	0000H
F03DDH							
F03DEH	シーケンサ汎用レジスタ15	SMSG15	R	—	—	○	FFFFH
F03DFH							
F03E0H	シーケンサ制御レジスタ	SMSC	R/W	○	○	—	00H
F03E1H	シーケンサ・ステータス・レジスタ	SMSS	R	○	○	—	00H
F0480H	割り込みベクタ変更レジスタ0	FLSIVC0	R/W	—	—	○	0000H
F0481H							
F0482H	割り込みベクタ変更レジスタ1	FLSIVC1	R/W	—	—	○	000FH
F0483H							
F0488H	コード・フラッシュ・メモリ・ガードレジスタ	GFLASH0	R/W	—	—	○	0000H
F0489H							
F048AH	データ・フラッシュ・メモリ・ガードレジスタ	GFLASH1	R/W	—	—	○	0000H
F048BH							

表3 - 6 拡張SFR (2nd SFR) 一覧 (12/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F048CH	フラッシュ・セキュリティ領域ガードレジスタ	GFLASH2		R/W	—	—	○	0000H
F048DH								
F048EH	IAWCTLレジスタ・ガードレジスタ	GIAWCTL		R/W	—	—	○	0000H
F048FH								
F0500H	CTSU制御レジスタ AL	CTSUCR0	CTSUC	R/W	○	○	○	0000H
F0501H		CTSUCR1	RAL		○	○		
F0502H	CTSU制御レジスタ AH	CTSUCR2	CTSUC	R/W	○	○	○	0000H
F0503H		CTSUCR3	RAH		○	○		
F0504H	CTSU制御レジスタ BL	CTSUSDP	CTSUC	R/W	○	○	○	0000H
F0505H		RS	RBL		—	○		
F0506H	CTSU制御レジスタ BH	—	CTSUC	R/W	—	—	○	0000H
F0507H		CTSUDCL	RBH		—	○		
F0508H	CTSU計測チャネル・レジスタ L	CTSUMCH	CTSUC	R/W	—	○	○	3F3FH
F0509H		0	CHL		—	○		
F050AH	CTSU計測チャネル・レジスタ H	CTSUMFA	CTSUC	R/W	○	○	○	0000H
F050BH		F	CHH		—	—		
F050CH	CTSUチャネル有効制御レジスタ AL	CTSUCHA	CTSUC	R/W	○	○	○	0000H
F050DH		C0	HACAL		○	○		
F050EH	CTSUチャネル有効制御レジスタ AH	CTSUCHA	CTSUC	R/W	○	○	○	0000H
F050FH		C2	HACAH		○	○		
F0510H	CTSUチャネル有効制御レジスタ BL	CTSUCHA	CTSUC	R/W	○	○	○	0000H
F0511H		C4	HACBL		○	○		
F0512H	CTSUチャネル有効制御レジスタ BH	CTSUCHA	CTSUC	R/W	○	○	○	0000H
F0513H		C6	HACBH		○	○		
F0514H	CTSUチャネル送受信制御レジスタ AL	CTSUCHT	CTSUC	R/W	○	○	○	0000H
F0515H		RC0	HTRCAL		○	○		
F0516H	CTSUチャネル送受信制御レジスタ AH	CTSUCHT	CTSUC	R/W	○	○	○	0000H
F0517H		RC2	HTRCAH		○	○		
F0518H	CTSUチャネル送受信制御レジスタ BL	CTSUCHT	CTSUC	R/W	○	○	○	0000H
F0519H		RC4	HTRCBL		○	○		
F051AH	CTSUチャネル送受信制御レジスタ BH	CTSUCHT	CTSUC	R/W	○	○	○	0000H
F051BH		RC6	HTRCBH		○	○		
		CTSUCHT	H		○	○		
		RC7						

表3 - 6 拡張SFR (2nd SFR) 一覧 (13/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F051CH	CTSUSステータス・レジスタL	CTSUST1	CTSUS RL	R/W	○	○	○	0000H
F051DH		CTSUST			○	○		
F0520H	CTSUSセンサ・オフセット・レジスタ0	CTSUS00		R/W	—	—	○	0000H
F0521H								
F0522H	CTSUSセンサ・オフセット・レジスタ1	CTSUS01		R/W	—	—	○	0000H
F0523H								
F0524H	CTSUSセンサ・カウンタ・レジスタL	CTSUSC		R	—	—	○	0000H
F0525H								
F0526H	CTSUSセンサ・カウンタ・レジスタH	CTSUUC		R	—	—	○	0000H
F0527H								
F0528H	CTSUSキャリブレーション・レジスタL	CTSUSDBGR0		R/W	—	—	○	0000H
F0529H								
F052AH	CTSUSキャリブレーション・レジスタH	CTSUSDBGR1		R/W	—	—	○	0000H
F052BH								
F052CH	CTSUSセンサ・ユニット・クロック制御レジスタAL	CTSUSUCLK0		R/W	—	—	○	0000H
F052DH								
F052EH	CTSUSセンサ・ユニット・クロック制御レジスタAH	CTSUSUCLK1		R/W	—	—	○	0000H
F052FH								
F0530H	CTSUSセンサ・ユニット・クロック制御レジスタBL	CTSUSUCLK2		R/W	—	—	○	0000H
F0531H								
F0532H	CTSUSセンサ・ユニット・クロック制御レジスタBH	CTSUSUCLK3		R/W	—	—	○	0000H
F0533H								
F0540H	乱数シード・データ・レジスタ	TRNGSDR		R	—	○	—	00H
F0542H	乱数シード・コマンド・レジスタ0	TRNGSCR0		R/W	○	○	—	00H
F0600H	CTSUSトリミング・レジスタAL	RTRIM	CTSUT RIM0	R/W	—	○	○	不定注1
F0601H		DACTRIM			—	○		
F0602H	CTSUSトリミング・レジスタAH	SUADJD	CTSUT RIM1	R/W	—	○	○	不定注1
F0603H		TRESULT4			—	○		
F0604H	CTSUSトリミング・レジスタBL	TRESULT0	CTSUT RIM2	R/W	—	○	○	不定注1
F0605H		TRESULT1			—	○		
F0606H	CTSUSトリミング・レジスタBH	TRESULT2	CTSUT RIM3	R/W	—	○	○	不定注1
F0607H		TRESULT3			—	○		
F0640H	機能選択レジスタ0	REMCON0		R/W	○	○	—	00H
F0641H	機能選択レジスタ1	REMCON1		R/W	○	○	—	00H
F0642H	ステータスレジスタ	REMSTS		R/W	○	○	—	00H
F0643H	割り込み制御レジスタ	REMINT		R/W	○	○	—	00H
F0645H	コンペア制御レジスタ	REMCPC		R/W	—	○	—	00H
F0646H	コンペア値設定レジスタ	REMCPCD		R/W	—	—	○	0000H
F0647H								
F0648H	ヘッダ・パターン最小幅設定レジスタ	HDPMIN		R/W	—	—	○	0000H
F0649H								
F064AH	ヘッダ・パターン最大幅設定レジスタ	HDPMAX		R/W	—	—	○	0000H
F064BH								
F064CH	データ0パターン最小幅設定レジスタ	D0PMIN		R/W	—	○	—	00H
F064DH	データ0パターン最大幅設定レジスタ	D0PMAX		R/W	—	○	—	00H
F064EH	データ1パターン最小幅設定レジスタ	D1PMIN		R/W	—	○	—	00H
F064FH	データ1パターン最大幅設定レジスタ	D1PMAX		R/W	—	○	—	00H
F0650H	特殊データ・パターン最小幅設定レジスタ	SDPMIN		R/W	—	—	○	0000H
F0651H								
F0652H	特殊データ・パターン最大幅設定レジスタ	SDPMAX		R/W	—	—	○	0000H
F0653H								

表3 - 6 拡張SFR (2nd SFR) 一覧 (14/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0654H	パターン・エンド設定レジスタ	REMPE	R/W	—	—	○	0000H
F0655H							
F0656H	受信機能スタンバイ・コントロール・レジスタ	REMSTC	R/W	○	○	—	00H
F0657H	受信ビット数レジスタ	REMRBIT	R/W	○	○	—	00H
F0658H	受信データ0レジスタ	REMDAT0	R/W	○	○	—	00H
F0659H	受信データ1レジスタ	REMDAT1	R	—	○	—	00H
F065AH	受信データ2レジスタ	REMDAT2	R	—	○	—	00H
F065BH	受信データ3レジスタ	REMDAT3	R	—	○	—	00H
F065CH	受信データ4レジスタ	REMDAT4	R	—	○	—	00H
F065DH	受信データ5レジスタ	REMDAT5	R	—	○	—	00H
F065EH	受信データ6レジスタ	REMDAT6	R	—	○	—	00H
F065FH	受信データ7レジスタ	REMDAT7	R	—	○	—	00H
F0660H	測定結果レジスタ	REMTIM	R	—	—	○	0000H
F0661H							
F0680H	入力信号選択レジスタ0	ELISEL0	R/W	—	○	—	00H
F0681H	入力信号選択レジスタ1	ELISEL1	R/W	—	○	—	00H
F0682H	入力信号選択レジスタ2	ELISEL2	R/W	—	○	—	00H
F0683H	入力信号選択レジスタ3	ELISEL3	R/W	—	○	—	00H
F0684H	入力信号選択レジスタ4	ELISEL4	R/W	—	○	—	00H
F0685H	入力信号選択レジスタ5	ELISEL5	R/W	—	○	—	00H
F0686H	入力信号選択レジスタ6	ELISEL6	R/W	—	○	—	00H
F0687H	入力信号選択レジスタ7	ELISEL7	R/W	—	○	—	00H
F0688H	入力信号選択レジスタ8	ELISEL8	R/W	—	○	—	00H
F0689H	入力信号選択レジスタ9	ELISEL9	R/W	—	○	—	00H
F068AH	入力信号選択レジスタ10	ELISEL10	R/W	—	○	—	00H
F068BH	入力信号選択レジスタ11	ELISEL11	R/W	—	○	—	00H
F0690H	イベント・リンクL1信号選択レジスタ0	ELL1SEL0	R/W	—	○	—	00H
F0691H	イベント・リンクL1信号選択レジスタ1	ELL1SEL1	R/W	—	○	—	00H
F0692H	イベント・リンクL1信号選択レジスタ2	ELL1SEL2	R/W	—	○	—	00H
F0693H	イベント・リンクL1信号選択レジスタ3	ELL1SEL3	R/W	—	○	—	00H
F0694H	イベント・リンクL1信号選択レジスタ4	ELL1SEL4	R/W	—	○	—	00H
F0695H	イベント・リンクL1信号選択レジスタ5	ELL1SEL5	R/W	—	○	—	00H
F0696H	イベント・リンクL1信号選択レジスタ6	ELL1SEL6	R/W	—	○	—	00H
F0697H	論理セルブロックL1制御レジスタ	ELL1CTL	R/W	—	○	—	00H
F0698H	イベント・リンクL1出力選択レジスタ0	ELL1LNK0	R/W	—	○	—	00H
F0699H	イベント・リンクL1出力選択レジスタ1	ELL1LNK1	R/W	—	○	—	00H
F069AH	イベント・リンクL1出力選択レジスタ2	ELL1LNK2	R/W	—	○	—	00H
F069BH	イベント・リンクL1出力選択レジスタ3	ELL1LNK3	R/W	—	○	—	00H
F069CH	イベント・リンクL1出力選択レジスタ4	ELL1LNK4	R/W	—	○	—	00H
F069DH	イベント・リンクL1出力選択レジスタ5	ELL1LNK5	R/W	—	○	—	00H
F069EH	イベント・リンクL1出力選択レジスタ6	ELL1LNK6	R/W	—	○	—	00H
F06A0H	イベント・リンクL2信号選択レジスタ0	ELL2SEL0	R/W	—	○	—	00H
F06A1H	イベント・リンクL2信号選択レジスタ1	ELL2SEL1	R/W	—	○	—	00H
F06A2H	イベント・リンクL2信号選択レジスタ2	ELL2SEL2	R/W	—	○	—	00H
F06A3H	イベント・リンクL2信号選択レジスタ3	ELL2SEL3	R/W	—	○	—	00H
F06A4H	イベント・リンクL2信号選択レジスタ4	ELL2SEL4	R/W	—	○	—	00H
F06A5H	イベント・リンクL2信号選択レジスタ5	ELL2SEL5	R/W	—	○	—	00H
F06A6H	イベント・リンクL2信号選択レジスタ6	ELL2SEL6	R/W	—	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (15/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F06A7H	論理セルブロックL2制御レジスタ	ELL2CTL	R/W	—	○	—	00H
F06A8H	イベント・リンクL2出力選択レジスタ0	ELL2LNK0	R/W	—	○	—	00H
F06A9H	イベント・リンクL2出力選択レジスタ1	ELL2LNK1	R/W	—	○	—	00H
F06AAH	イベント・リンクL2出力選択レジスタ2	ELL2LNK2	R/W	—	○	—	00H
F06ABH	イベント・リンクL2出力選択レジスタ3	ELL2LNK3	R/W	—	○	—	00H
F06ACH	イベント・リンクL2出力選択レジスタ4	ELL2LNK4	R/W	—	○	—	00H
F06ADH	イベント・リンクL2出力選択レジスタ5	ELL2LNK5	R/W	—	○	—	00H
F06AEH	イベント・リンクL2出力選択レジスタ6	ELL2LNK6	R/W	—	○	—	00H
F06B0H	イベント・リンクL3信号選択レジスタ0	ELL3SEL0	R/W	—	○	—	00H
F06B1H	イベント・リンクL3信号選択レジスタ1	ELL3SEL1	R/W	—	○	—	00H
F06B2H	イベント・リンクL3信号選択レジスタ2	ELL3SEL2	R/W	—	○	—	00H
F06B3H	イベント・リンクL3信号選択レジスタ3	ELL3SEL3	R/W	—	○	—	00H
F06B4H	イベント・リンクL3信号選択レジスタ4	ELL3SEL4	R/W	—	○	—	00H
F06B5H	イベント・リンクL3信号選択レジスタ5	ELL3SEL5	R/W	—	○	—	00H
F06B6H	イベント・リンクL3信号選択レジスタ6	ELL3SEL6	R/W	—	○	—	00H
F06B7H	論理セルブロックL3制御レジスタ	ELL3CTL	R/W	—	○	—	00H
F06B8H	イベント・リンクL3出力選択レジスタ0	ELL3LNK0	R/W	—	○	—	00H
F06B9H	イベント・リンクL3出力選択レジスタ1	ELL3LNK1	R/W	—	○	—	00H
F06BAH	イベント・リンクL3出力選択レジスタ2	ELL3LNK2	R/W	—	○	—	00H
F06BBH	イベント・リンクL3出力選択レジスタ3	ELL3LNK3	R/W	—	○	—	00H
F06BCH	イベント・リンクL3出力選択レジスタ4	ELL3LNK4	R/W	—	○	—	00H
F06BDH	イベント・リンクL3出力選択レジスタ5	ELL3LNK5	R/W	—	○	—	00H
F06BEH	イベント・リンクL3出力選択レジスタ6	ELL3LNK6	R/W	—	○	—	00H
F06C0H	出力信号選択レジスタ0	ELOSEL0	R/W	—	○	—	00H
F06C1H	出力信号選択レジスタ1	ELOSEL1	R/W	—	○	—	00H
F06C2H	出力信号選択レジスタ2	ELOSEL2	R/W	—	○	—	00H
F06C3H	出力信号選択レジスタ3	ELOSEL3	R/W	—	○	—	00H
F06C4H	出力信号選択レジスタ4	ELOSEL4	R/W	—	○	—	00H
F06C5H	出力信号選択レジスタ5	ELOSEL5	R/W	—	○	—	00H
F06C6H	出力信号選択レジスタ6	ELOSEL6	R/W	—	○	—	00H
F06C7H	出力信号選択レジスタ7	ELOSEL7	R/W	—	○	—	00H
F06C8H	出力信号イネーブル設定レジスタ	ELOENCTL	R/W	—	○	—	00H
F06C9H	出力信号モニタレジスタ	ELOMONI	R	—	○	—	00H

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。

注3. FLMODEレジスタの初期値は、MODE1ビット、MODE0ビットにオプション・バイトのCMODE1ビット、CMODE0ビット（アドレス：000C2H）の設定値が反映された値になります。

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

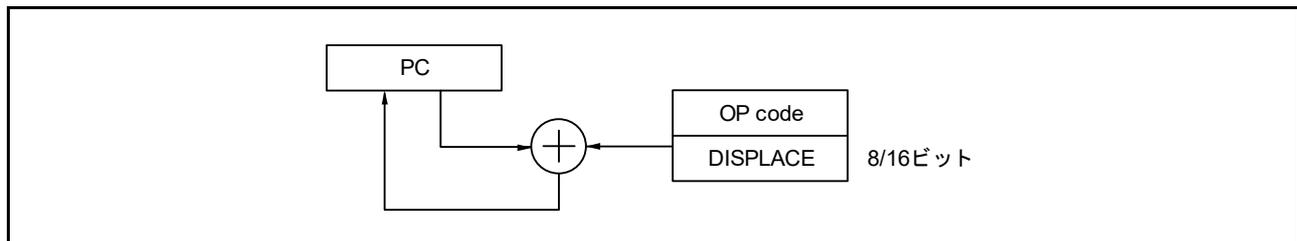
### 3.3 命令アドレスのアドレッシング

#### 3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレースメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 16 レラティブ・アドレッシングの概略



#### 3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 17 CALL !!addr20/BR !!addr20の例

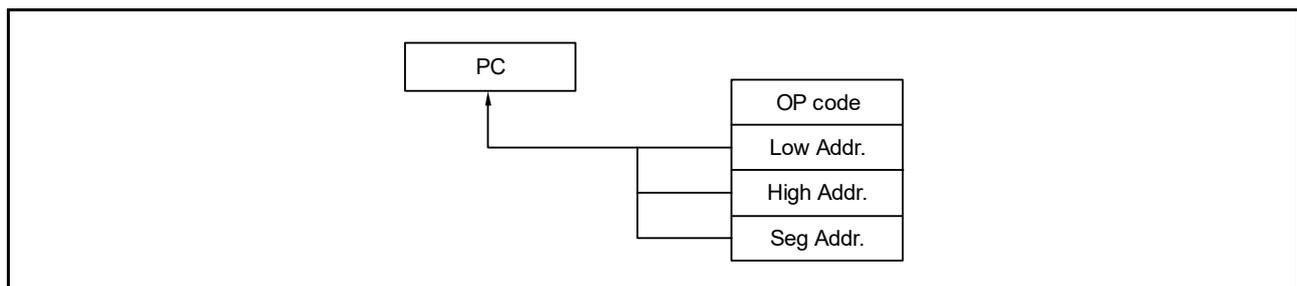
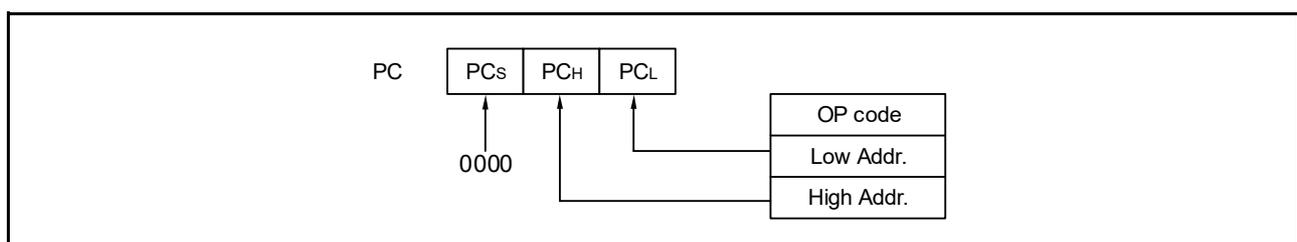


図3 - 18 CALL !addr16/BR !addr16の例



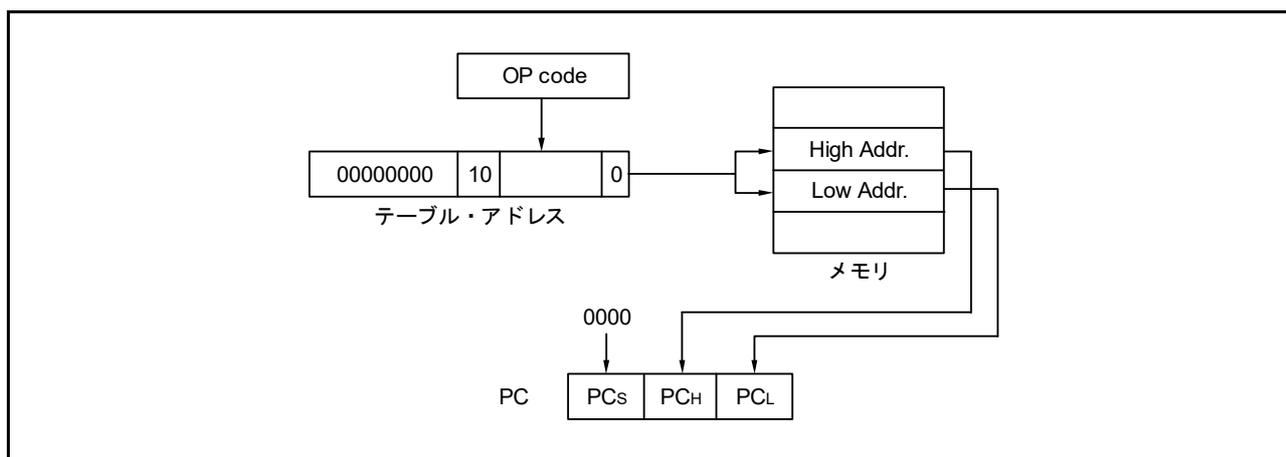
### 3.3.3 テーブル・インダイレクト・アドレッシング

#### 【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 19 テーブル・インダイレクト・アドレッシングの概略

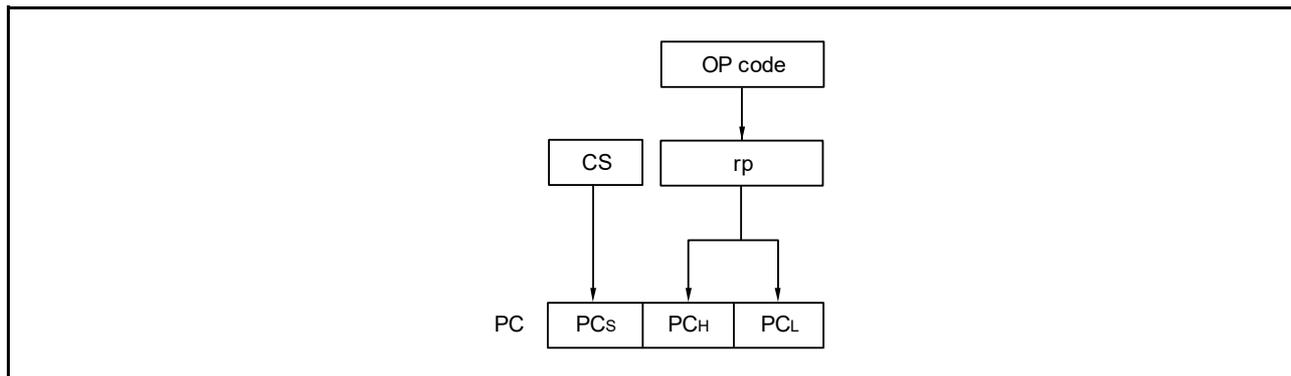


### 3.3.4 レジスタ・インダイレクト・アドレッシング

**【機能】**

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されません。

図3-20 レジスタ・インダイレクト・アドレッシングの概略



## 3.4 処理データ・アドレスに対するアドレッシング

### 3.4.1 インプライド・アドレッシング

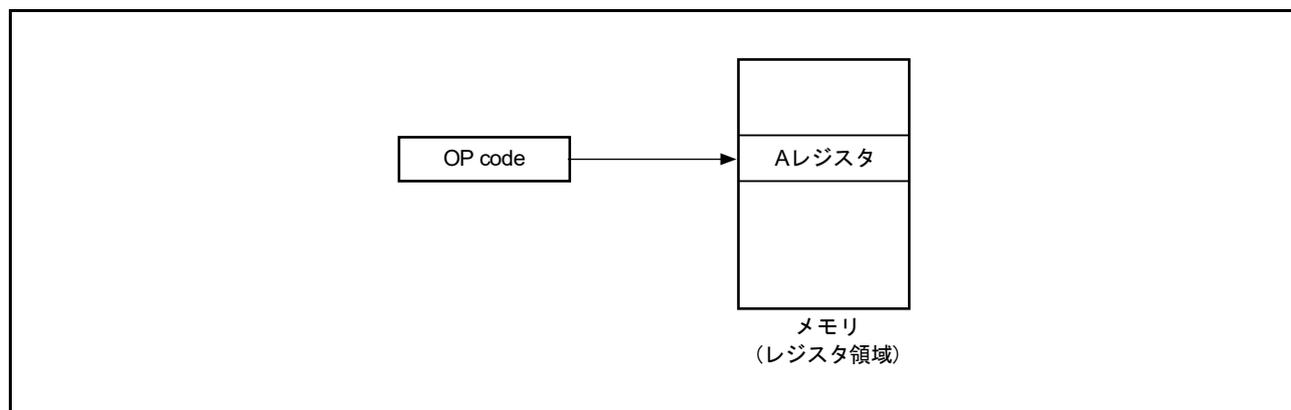
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-21 インプライド・アドレッシングの概略



### 3.4.2 レジスタ・アドレッシング

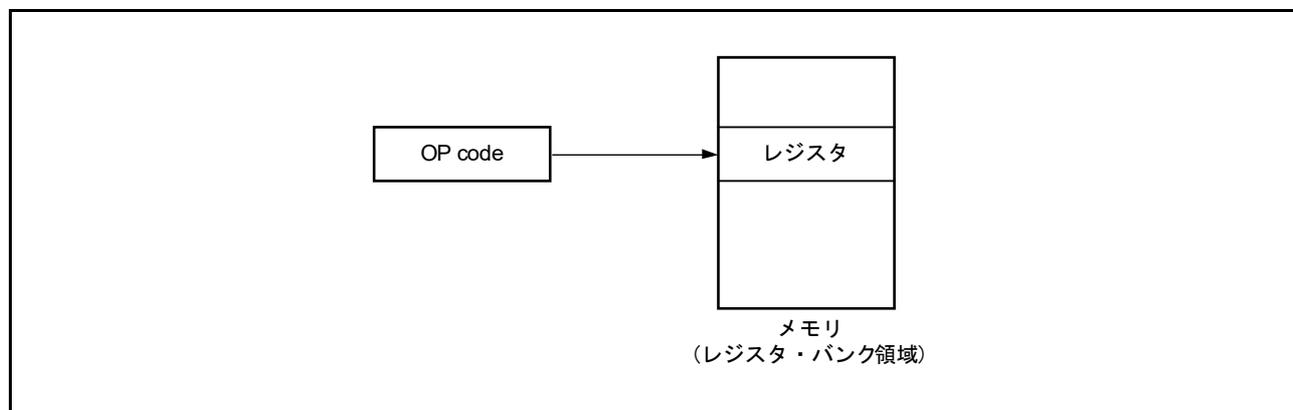
**【機能】**

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

**【オペランド形式】**

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 22 レジスタ・アドレッシングの概略



### 3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 23 !addr16の例

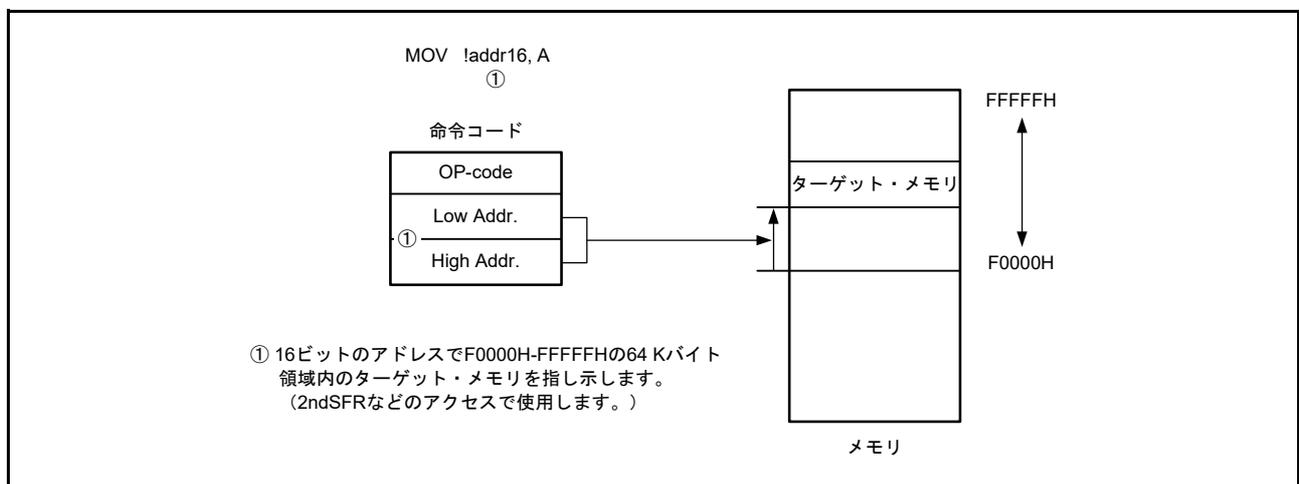
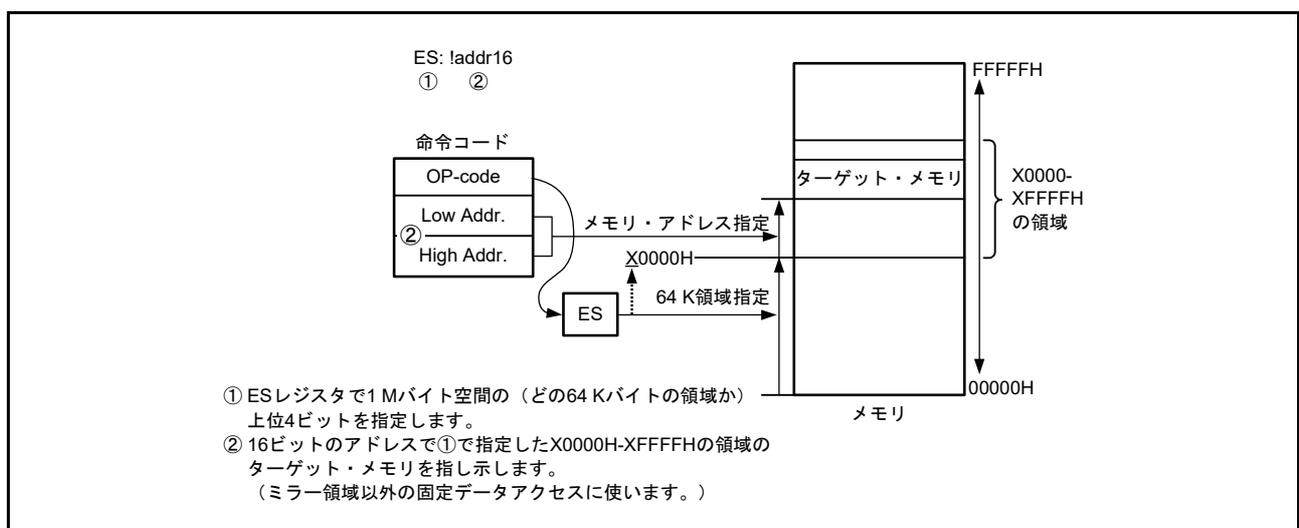


図3 - 24 ES:!addr16の例



### 3.4.4 ショート・ダイレクト・アドレッシング

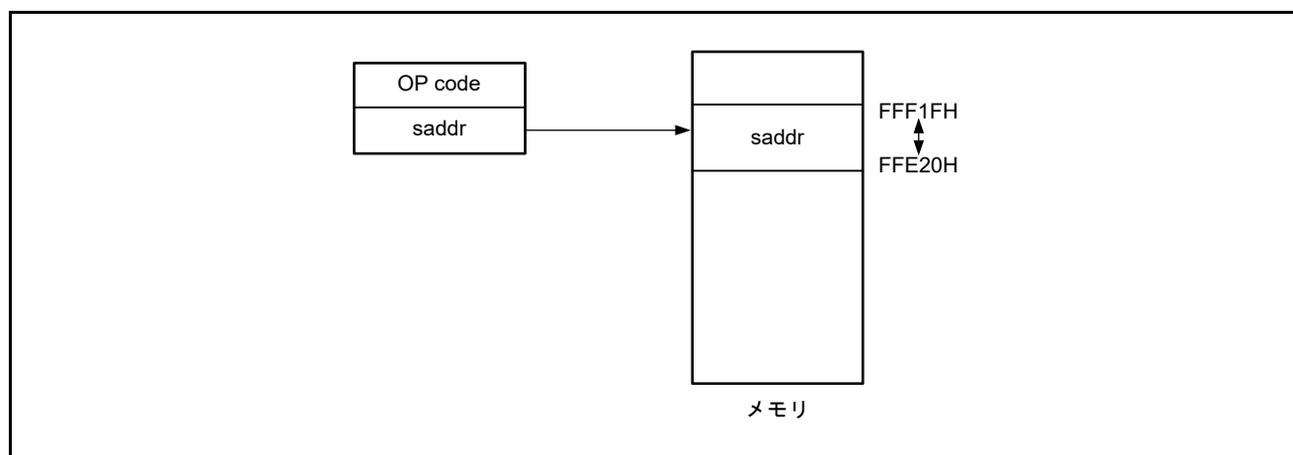
#### 【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

#### 【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 25 ショート・ダイレクト・アドレッシングの概略



**備考** SADDR, SADDRP は、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

### 3.4.5 SFRアドレッシング

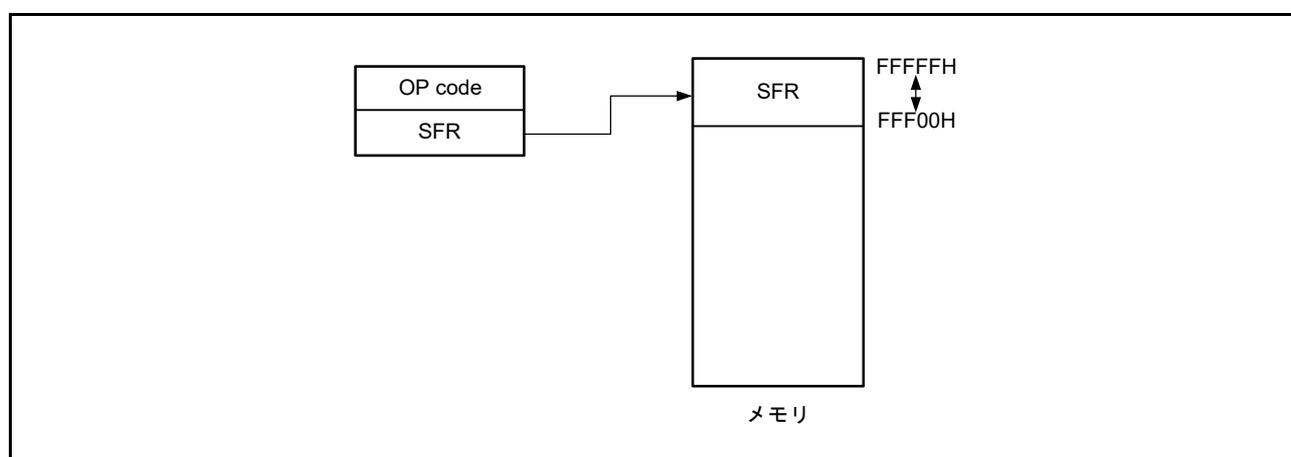
#### 【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

#### 【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3 - 26 SFRアドレッシングの概略



### 3.4.6 レジスタ・インダイレクト・アドレッシング

**【機能】**

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

**【オペランド形式】**

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-27 [DE], [HL]の例

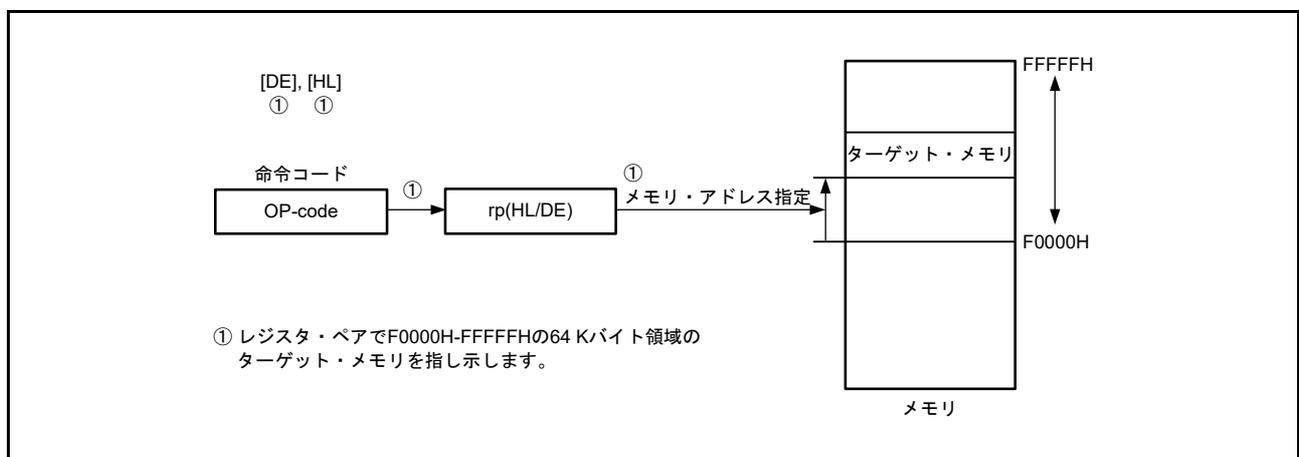
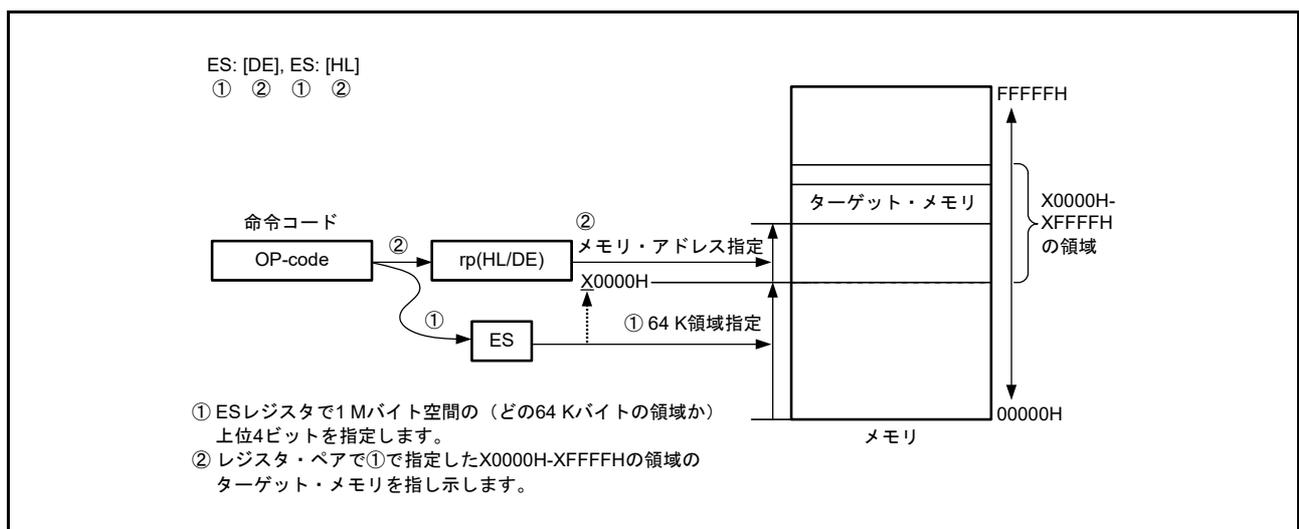


図3-28 ES:[DE], ES:[HL]の例



### 3.4.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte]、[DE + byte]、[SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B]、word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte]、ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B]、ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 29 [SP + byte]の例

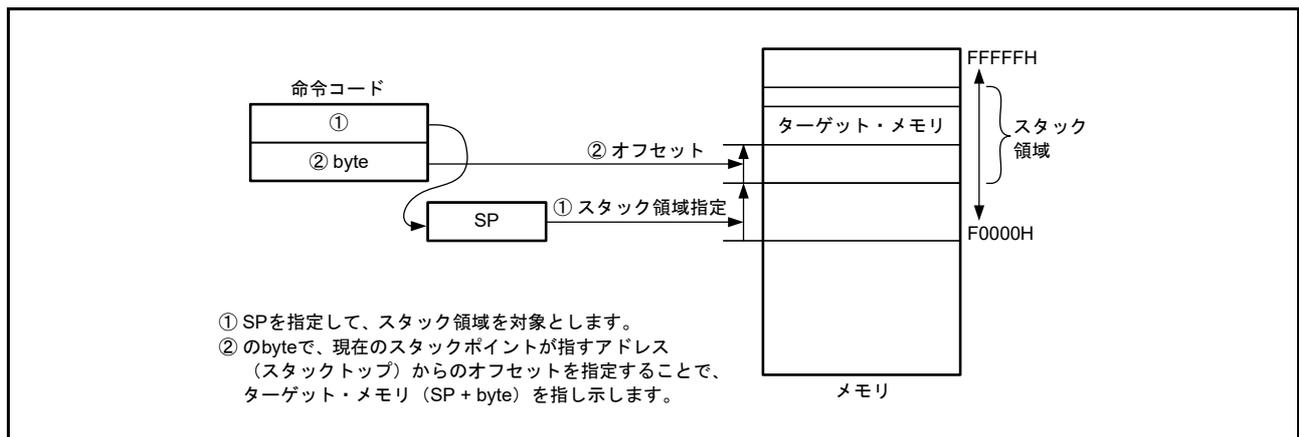


図3 - 30 [HL + byte], [DE + byte]の例

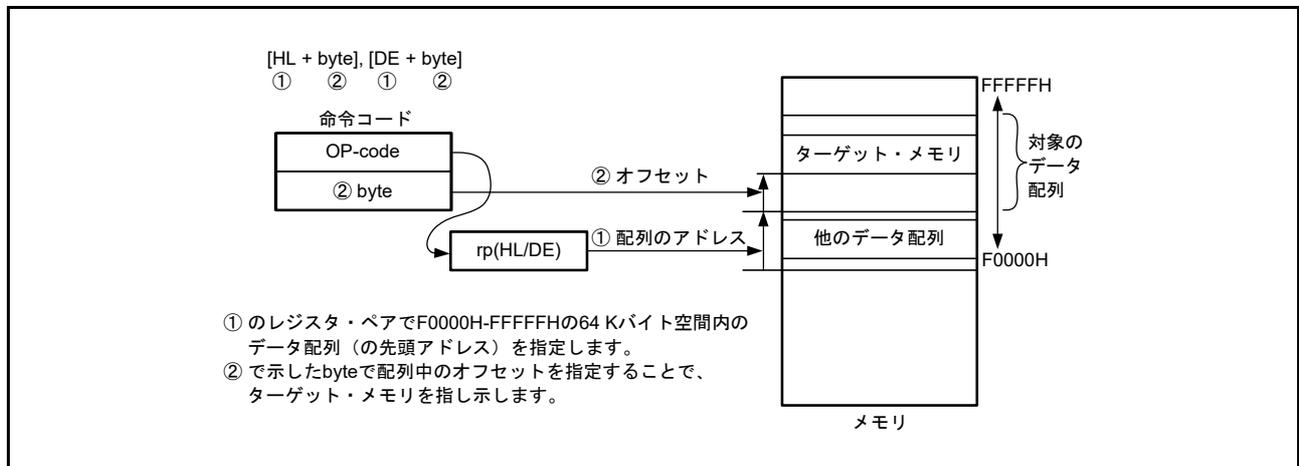


図3 - 31 word[B], word[C]の例

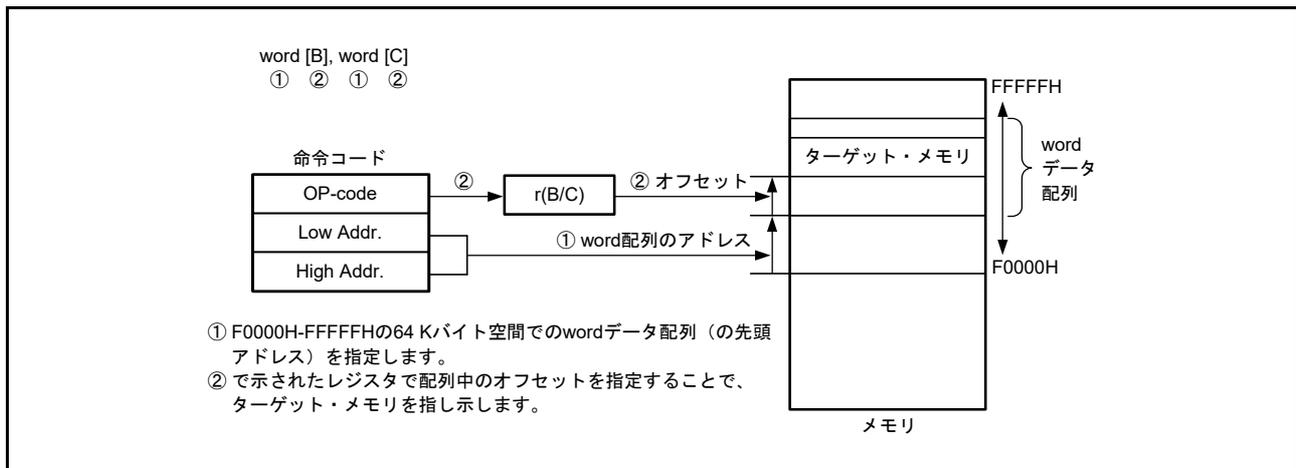


図3 - 32 word[BC]の例

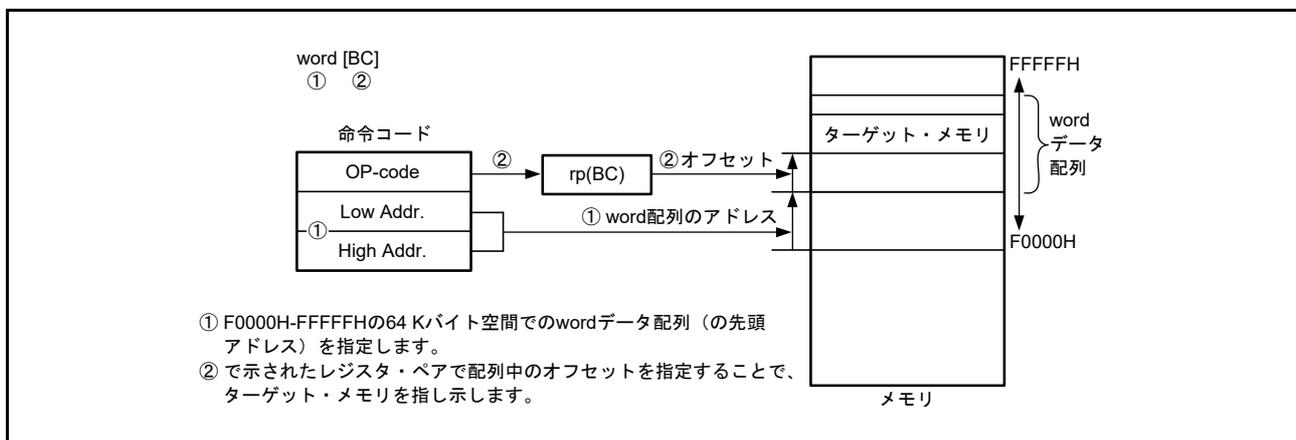


図3 - 33 ES:[HL + byte], ES:[DE + byte]の例

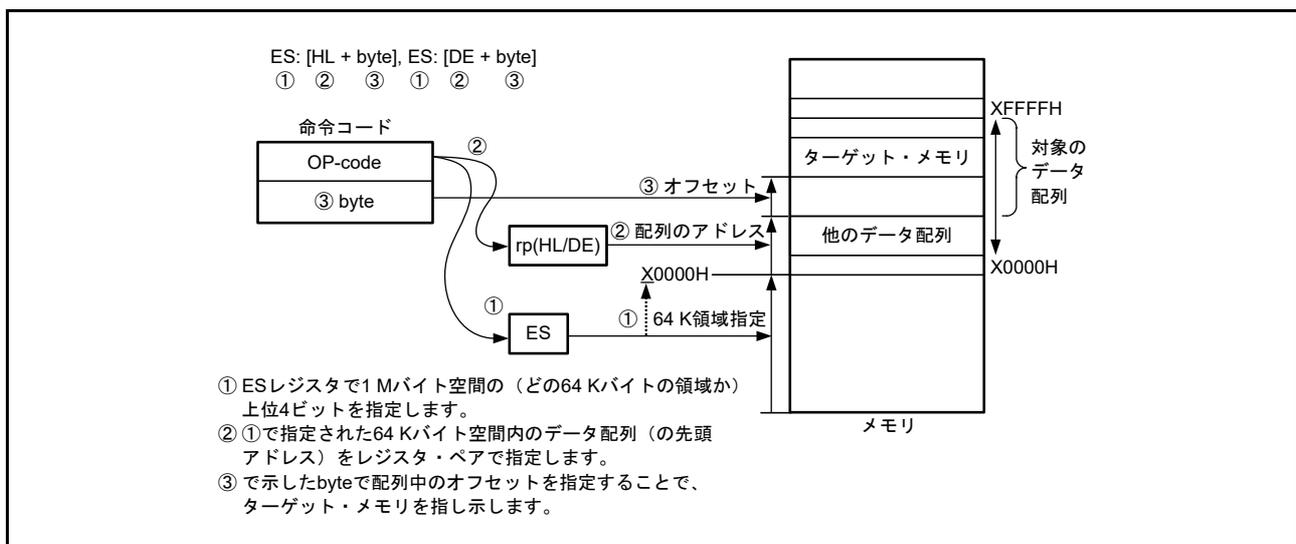


図3 - 34 ES:word[B], ES:word[C]の例

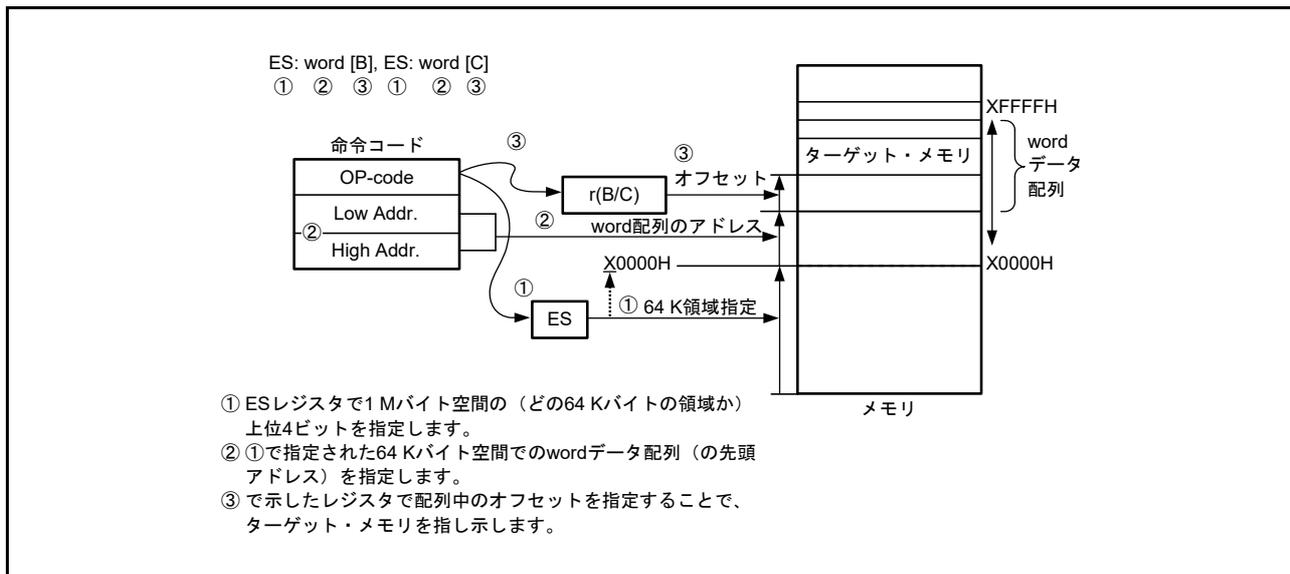
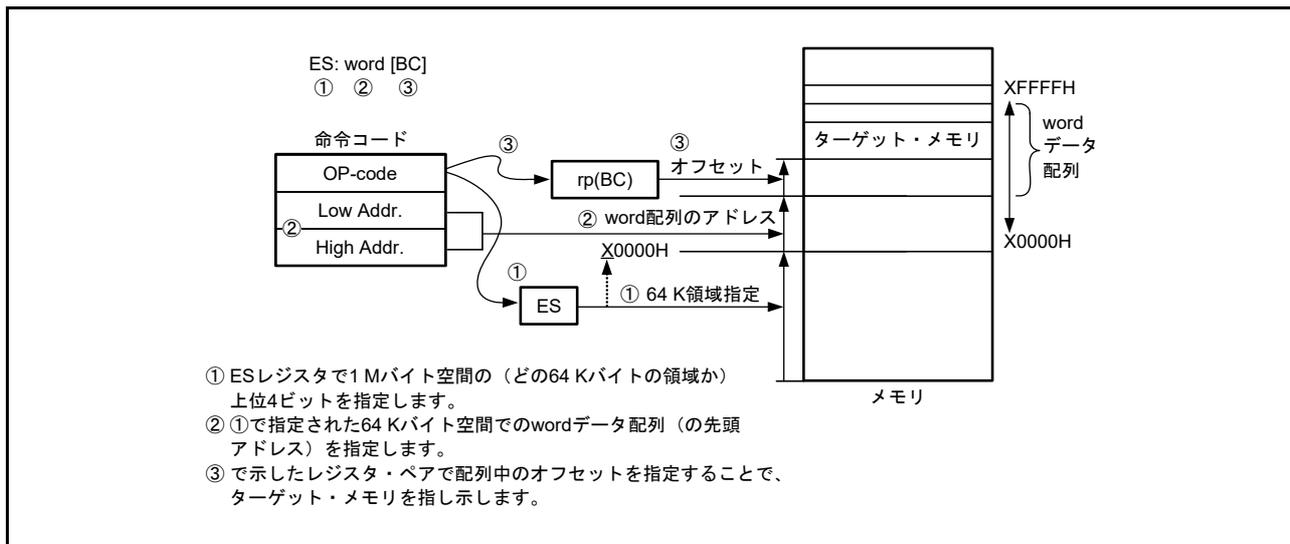


図3 - 35 ES:word[BC]の例



### 3.4.8 ベース・インデクスト・アドレッシング

**【機能】**

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

**【オペランド形式】**

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3-36 [HL + B], [HL + C]の例

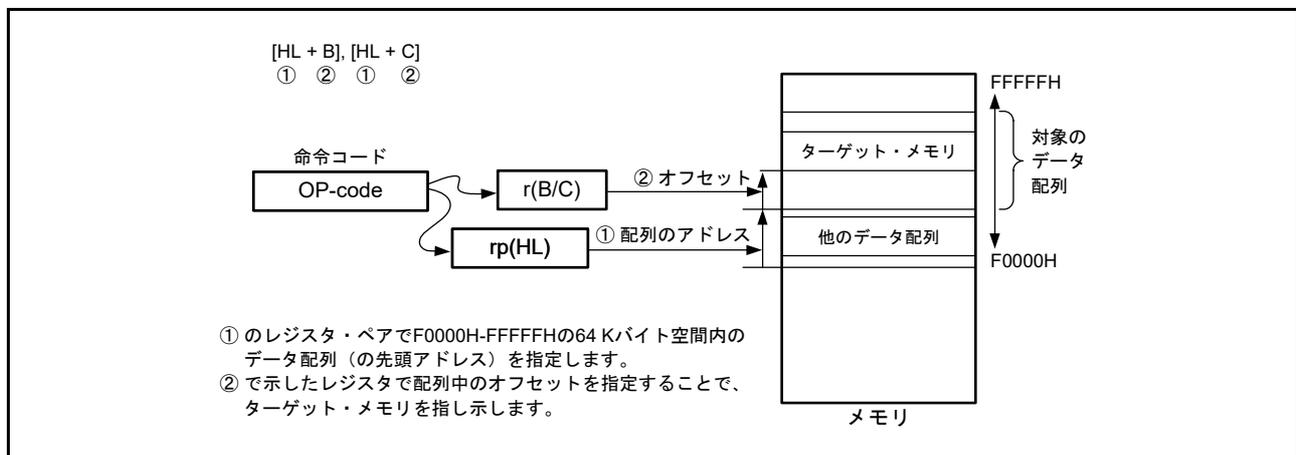
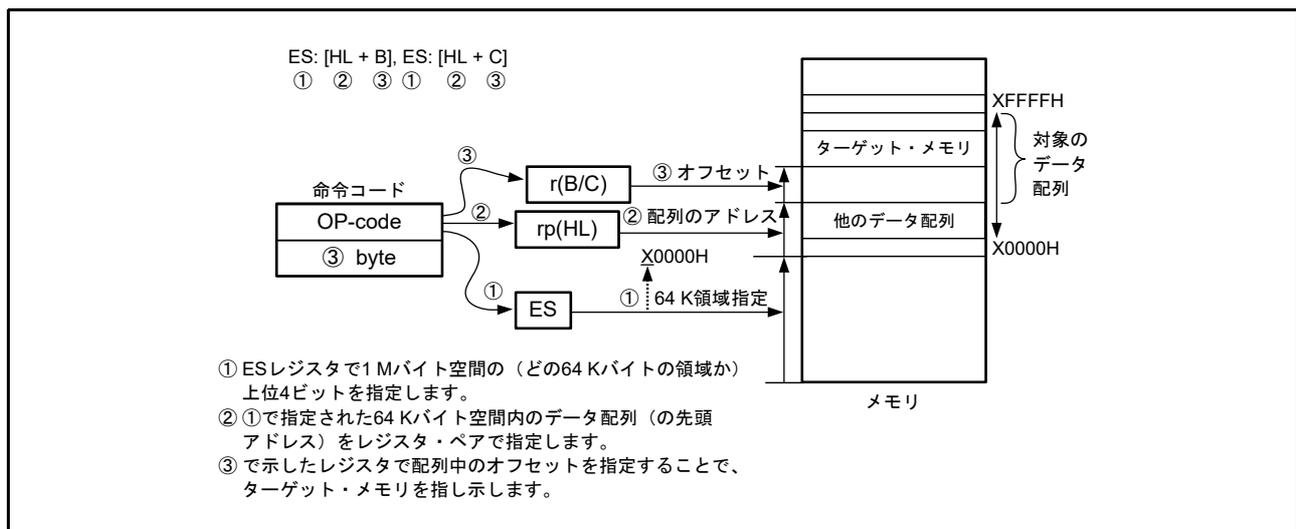


図3-37 ES:[HL + B], ES:[HL + C]の例



### 3.4.9 スタック・アドレッシング

#### 【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH、POP、サブルーチン・コール、リターン命令の実行時、および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

#### 【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図3 - 38～図3 - 43のようになります。

図3 - 38 PUSH rpの例

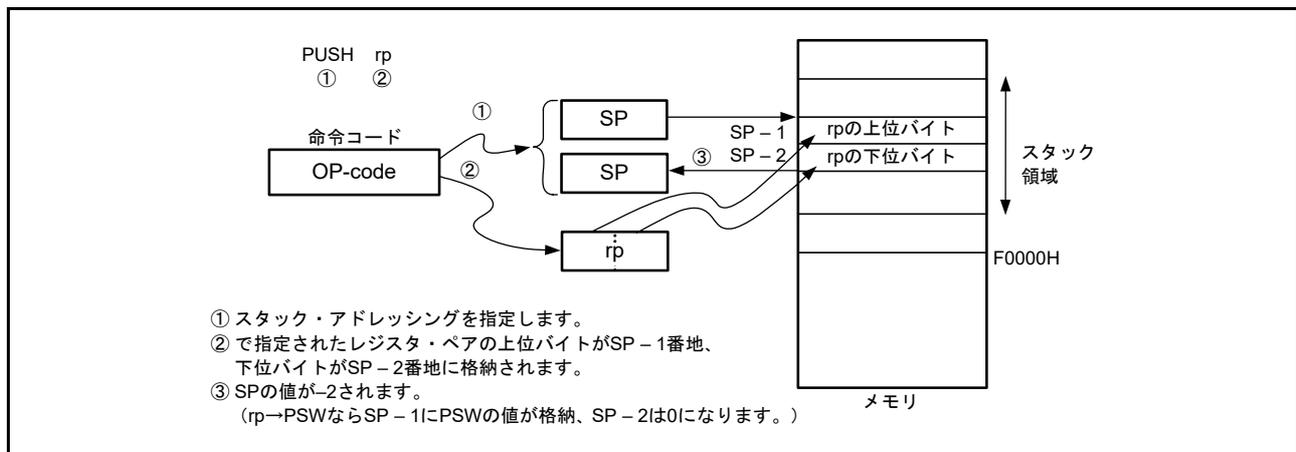


図3 - 39 POPの例

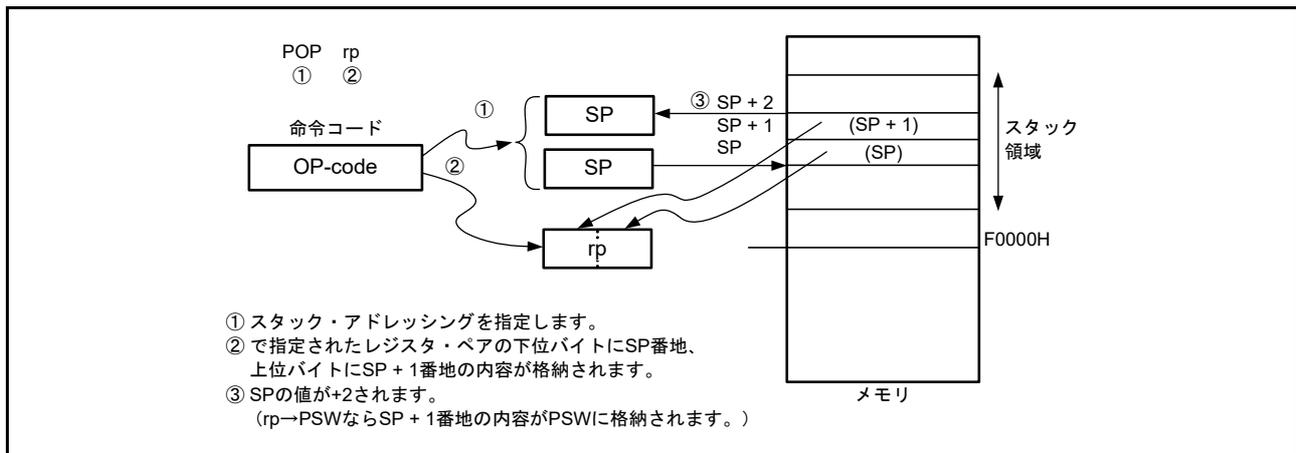


図3 - 40 CALL, CALLTの例

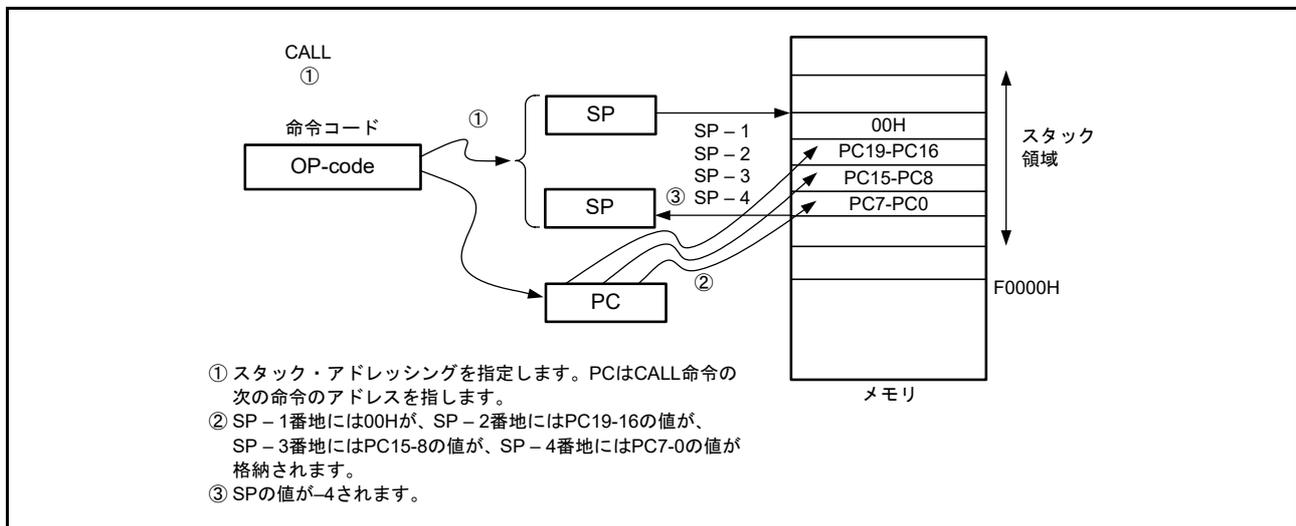


図3 - 41 RETの例

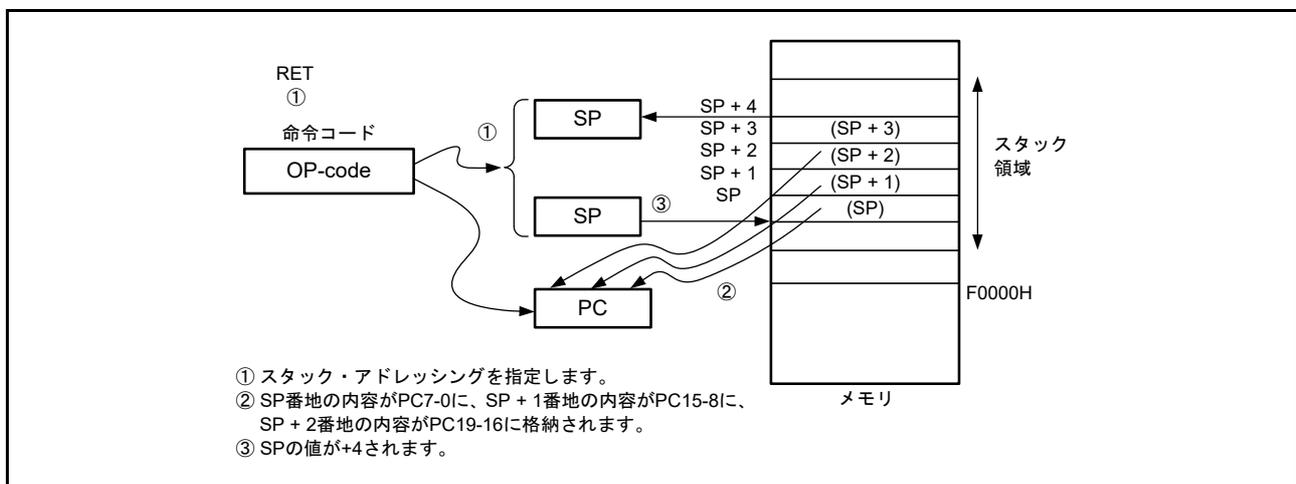


図3 - 42 割り込み、BRKの例

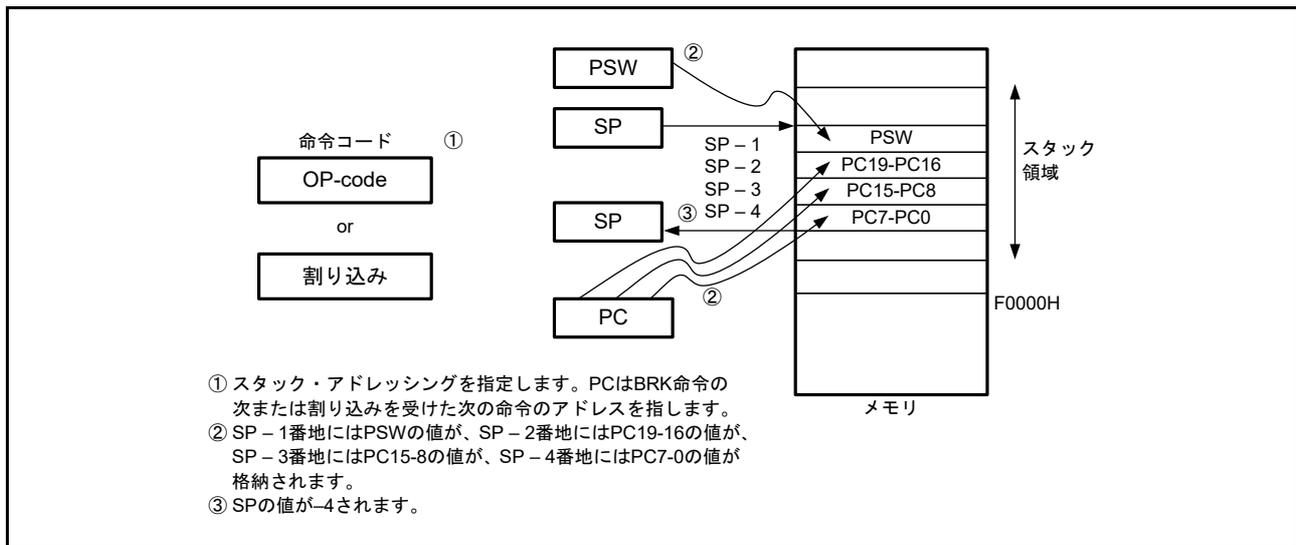
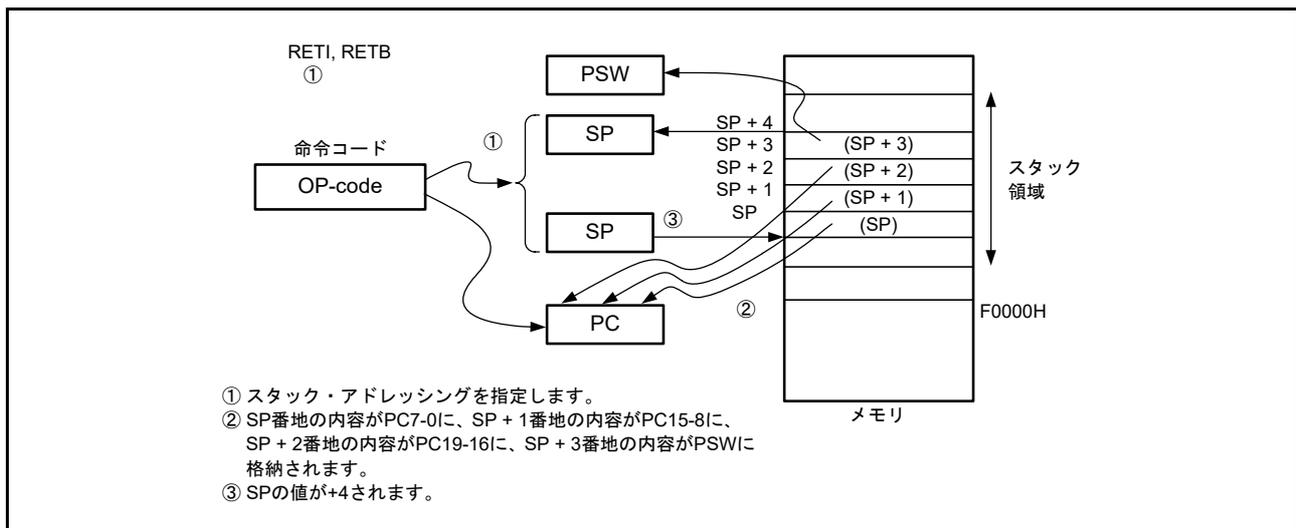


図3 - 43 RETI, RETBの例



## 第4章 ポート機能

### 4.1 ポートの機能

RL78/G23は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

### 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成 (1/2)

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM12, PM14, PM15) ポート・レジスタ (P0-P15) ブルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1, PIM3-PIM5, PIM7, PIM8, PIM14) ポート出力モード・レジスタ (POM0, POM1, POM3-POM5, POM7-POM9, POM12, POM14) ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDIS0, PDIDIS1, PDIDIS3-PDIDIS5, PDIDIS7-PDIDIS9, PDIDIS12-PDIDIS14) ポート・モード・コントロールA・レジスタ (PMCA0-PMCA3, PMCA10-PMCA12, PMCA14, PMCA15) ポート・モード・コントロールT・レジスタ (PMCT0, PMCT2, PMCT3, PMCT5-PMCT7, PMCT15) ポート・モード・コントロールE・レジスタ (PMCE0, PMCE1, PMCE5, PMCE6) 周辺I/Oリダイレクション・レジスタ (PIOR) グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) 出力電流制御許可レジスタ (CCDE) 出力電流選択レジスタ (CCS0, CCS4-CCS7) 40mAポート出力制御レジスタ (PTDC) ポート・ファンクション出力許可レジスタ (PFOE0, PFOE1) ポート・モード選択レジスタ (PMS)
ポート	<ul style="list-style-type: none"> <li>• 30ピン製品 :                合計 : 26本 (CMOS入出力 : 23本 (N-ch O.D. 入出力[V<sub>DD</sub>耐圧] : 10本、出力電流制御ポート : 6本)、                CMOS入力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 2本)</li> <li>• 32ピン製品 :                合計 : 28本 (CMOS入出力 : 24本 (N-ch O.D. 入出力[V<sub>DD</sub>耐圧] : 10本、出力電流制御ポート : 7本)、                CMOS入力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 3本)</li> </ul>

表4 - 1 ポートの構成 (2/2)

項目	構成
ポート	<ul style="list-style-type: none"> <li>• 36ピン製品 : 合計 : 32本 (CMOS入出力 : 28本 (N-ch O.D.入出力[V<sub>DD</sub>耐圧] : 12本、出力電流制御ポート : 7本)、 CMOS入力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 3本)</li> <li>• 40ピン製品 : 合計 : 36本 (CMOS入出力 : 30本 (N-ch O.D.入出力[V<sub>DD</sub>耐圧] : 12本、出力電流制御ポート : 7本)、 CMOS入力 : 3本、N-chオープン・ドレイン入出力[6V耐圧] : 3本)</li> <li>• 44ピン製品 : 合計 : 40本 (CMOS入出力 : 33本 (N-ch O.D.入出力[V<sub>DD</sub>耐圧] : 12本、出力電流制御ポート : 7本)、 CMOS入力 : 3本、N-chオープン・ドレイン入出力[6V耐圧] : 4本)</li> <li>• 48ピン製品 : 合計 : 44本 (CMOS入出力 : 36本 (N-ch O.D.入出力[V<sub>DD</sub>耐圧] : 13本、出力電流制御ポート : 8本)、 CMOS入力 : 3本、CMOS出力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 4本)</li> <li>• 52ピン製品 : 合計 : 48本 (CMOS入出力 : 40本 (N-ch O.D.入出力[V<sub>DD</sub>耐圧] : 15本、出力電流制御ポート : 8本)、 CMOS入力 : 3本、CMOS出力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 4本)</li> <li>• 64ピン製品 : 合計 : 58本 (CMOS入出力 : 50本 (N-ch O.D.入出力[EV<sub>DD</sub>耐圧] : 22本<sup>注1</sup> / 18本<sup>注2</sup>、出力電流制御 ポート : 8本)、CMOS入力 : 3本、CMOS出力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 4本)</li> <li>• 80ピン製品 : 合計 : 74本 (CMOS入出力 : 66本 (N-ch O.D.入出力[EV<sub>DD</sub>耐圧] : 27本、出力電流制御ポート : 8本)、 CMOS入力 : 3本、CMOS出力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 4本)</li> <li>• 100ピン製品 : 合計 : 92本 (CMOS入出力 : 84本 (N-ch O.D.入出力[EV<sub>DD</sub>耐圧] : 31本、出力電流制御ポート : 8本)、 CMOS入力 : 3本、CMOS出力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 4本)</li> <li>• 128ピン製品 : 合計 : 120本 (CMOS入出力 : 112本 (N-ch O.D.入出力[EV<sub>DD</sub>耐圧] : 33本、出力電流制御ポート : 8本)、CMOS入力 : 3本、CMOS出力 : 1本、N-chオープン・ドレイン入出力[6V耐圧] : 4本)</li> </ul>
プルアップ抵抗	<ul style="list-style-type: none"> <li>• 30ピン製品 : 合計 : 19本</li> <li>• 32ピン製品 : 合計 : 20本</li> <li>• 36ピン製品 : 合計 : 22本</li> <li>• 40ピン製品 : 合計 : 23本</li> <li>• 44ピン製品 : 合計 : 25本</li> <li>• 48ピン製品 : 合計 : 28本</li> <li>• 52ピン製品 : 合計 : 32本</li> <li>• 64ピン製品 : 合計 : 42本</li> <li>• 80ピン製品 : 合計 : 54本</li> <li>• 100ピン製品 : 合計 : 69本</li> <li>• 128ピン製品 : 合計 : 97本</li> </ul>

注1. フラッシュ・メモリ 96 KB・128 KBの製品

注2. フラッシュ・メモリ 192~768 KBの製品

### 4.2.1 ポート0

出力ラッチ付き入力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P07 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01, P03, P04 端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P00, P02-P04 端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 (VDD 耐圧<sup>注1</sup> / EVDD 耐圧<sup>注2</sup>) に設定可能です。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力およびクロック入出力、静電容量計測、ロジック&イベント・リンク・コントローラの入出力があります。端子の状態は**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表4-6**を参照してください。

リセット信号の発生により、P00-P07 は以下のモードになります。

- 30ピン、32ピン製品のP00, P01端子 : アナログ入力モード
- 36～128ピン製品のP00, P01, P04-P07端子: 入力モード
- 36～128ピン製品のP02, P03端子 : アナログ入力モード

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

### 4.2.2 ポート1

出力ラッチ付き入力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P17 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13-P17 端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P10-P15, P17 端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (VDD 耐圧<sup>注1</sup> / EVDD 耐圧<sup>注2</sup>) に設定可能です。

P16, P17 端子の出力は、出力電流制御許可レジスタ (CCDE) により1ビット単位で出力電流制御ポートに設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力、フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTのデータ送受信、クロック/ブザー出力、タイマの入出力、外部割り込み要求入力、コンパレータの基準電圧入力、コンパレータの出力、ロジック&イベント・リンク・コントローラの入出力があります。端子の状態は**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表4-6**を参照してください。

リセット信号の発生により、P10-P12, P14-P17 は入力モードになり、P13 はアナログ入力モードになります。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

### 4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 2 (PM2) により 1 ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能として A/D コンバータのアナログ入力、A/D コンバータの+側基準電圧入力、A/D コンバータの-側基準電圧入力、D/A コンバータ出力、コンパレータの基準電圧入力、静電容量計測、ロジック&イベント・リンク・コントローラの入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4 - 6** を参照してください。

リセット信号の発生により、P20-P27 はアナログ入力モードになります。

### 4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 3 (PM3) により 1 ビット単位で入力モード/出力モードの指定ができます。P30-P37 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 3 (PU3) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P33 端子の入力は、ポート入力モード・レジスタ 3 (PIM3) の設定により 1 ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P34 端子の出力は、ポート出力モード・レジスタ 3 (POM3) により 1 ビット単位で N-ch オープン・ドレイン出力 (VDD 耐圧<sup>注1</sup> / EVDD 耐圧<sup>注2</sup>) に設定可能です。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、クロック/ブザー出力、タイマの入出力、シリアル・インタフェースのデータ入出力およびクロック入出力、A/D コンバータのアナログ入力、コンパレータの出力、静電容量計測、ロジック&イベント・リンク・コントローラの入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4 - 6** を参照してください。

リセット信号の発生により、P30-P34 は入力モードになり、P35-P37 はアナログ入力モードになります。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

### 4.2.5 ポート4

出力ラッチ付き入力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40-P47 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P41, P43, P44 端子の入力は、ポート入力モード・レジスタ4 (PIM4) の設定により1ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P42-P45 端子の出力は、ポート出力モード・レジスタ4 (POM4) により1ビット単位で N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧<sup>注1</sup> /  $EV_{DD}$  耐圧<sup>注2</sup>) に設定可能です。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、タイマの入出力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-6** を参照してください。

リセット信号の発生により、P40-P47 は入力モードになります。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

### 4.2.6 ポート5

出力ラッチ付き入力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード/出力モードの指定ができます。P50-P57 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P53-P55 端子の入力は、ポート入力モード・レジスタ5 (PIM5) の設定により1ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P50, P52-P55 端子の出力は、ポート出力モード・レジスタ5 (POM5) により1ビット単位で N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧<sup>注1</sup> /  $EV_{DD}$  耐圧<sup>注2</sup>) に設定可能です。

P50<sup>注3</sup>, P51 端子の出力は、出力電流制御許可レジスタ (CCDE) により1ビット単位で出力電流制御ポートに設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力およびクロック入出力、静電容量計測、ロジック&イベント・リンク・コントローラの入出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-6** を参照してください。

リセット信号の発生により、P50-P57 は入力モードになります。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

**注3.** 44ピン製品を除く

### 4.2.7 ポート6

出力ラッチ付き入力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード/出力モードの指定ができます。P64-P67 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63 端子の出力は、N-ch オープン・ドレイン出力 (6V 耐圧) です。また P60-P63 端子の出力は、出力電流制御許可レジスタ (CCDE) により1ビット単位で出力電流制御ポートに設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力、タイマの入出力、静電容量計測、ロジック&イベント・リンク・コントローラの出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-6** を参照してください。

リセット信号の発生により、P60-P67 は入力モードになります。

### 4.2.8 ポート7

出力ラッチ付き入力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。P71 端子の入力は、ポート入力モード・レジスタ7 (PIM7) の設定により1ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P71, P72, P74 端子の出力は、ポート出力モード・レジスタ7 (POM7) により1ビット単位で N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧<sup>注1</sup> / EV<sub>DD</sub> 耐圧<sup>注2</sup>) に設定可能です。

また、兼用機能としてキー割り込み入力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力、静電容量計測、リモコン信号受信機能の外部パルス信号入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-6** を参照してください。

リセット信号の発生により、P70-P77 は入力モードになります。

**注1.** 32～52ピン製品の場合

**注2.** 64～128ピン製品の場合

### 4.2.9 ポート 8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 8 (PM8) により 1 ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 8 (PU8) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P80, P81, P84 端子の入力は、ポート入力モード・レジスタ 8 (PIM8) の設定により 1 ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P80-P83 端子の出力は、ポート出力モード・レジスタ 8 (POM8) により 1 ビット単位で N-ch オープン・ドレイン出力 (EV<sub>DD</sub> 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係表 **4-6** を参照してください。

リセット信号の発生により、P80-P87 は入力モードになります。

### 4.2.10 ポート 9

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 9 (PM9) により 1 ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 9 (PU9) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P96 端子の出力は、ポート出力モード・レジスタ 9 (POM9) により 1 ビット単位で N-ch オープン・ドレイン出力 (EV<sub>DD</sub> 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は表 **4-6** を参照してください。

リセット信号の発生により、P90-P97 は入力モードになります。

### 4.2.11 ポート 10

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 10 (PM10) により 1 ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 10 (PU10) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、A/D コンバータのアナログ入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は表 **4-6** を参照してください。

リセット信号の発生により、P100 はアナログ入力モードになります。P101-P106 は入力モードになります。

#### 4.2.12 ポート 11

出カラッチ付き入出力ポートです。ポート・モード・レジスタ 11 (PM11) により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 11 (PU11) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として、A/D コンバータのアナログ入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4 - 6** を参照してください。

リセット信号の発生により、P110-P114 は入力モードになります。P115-P117 はアナログ入力モードになります。

#### 4.2.13 ポート 12

P120-P122, P125-P127 は出カラッチ付き 6 ビットの入出力ポートです。ポート・モード・レジスタ 12 (PM12) により、1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 12 (PU12) により内蔵プルアップ抵抗を使用できます。

P120 端子の出力は、ポート出力モード・レジスタ 12 (POM12) によりで N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧<sup>注1</sup> /  $EV_{DD}$  耐圧<sup>注2</sup>) に設定可能です。

P123, P124 は 2 ビットの入力専用ポートです。

また兼用機能として A/D コンバータのアナログ入力、コンパレータのアナログ入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、ロジック&イベント・リンク・コントローラの入力、バッテリーバックアップ用電源があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4 - 6** を参照してください。

リセット信号の発生により、P120 はアナログ入力モードになります。P121-P127 は入力モードになります。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

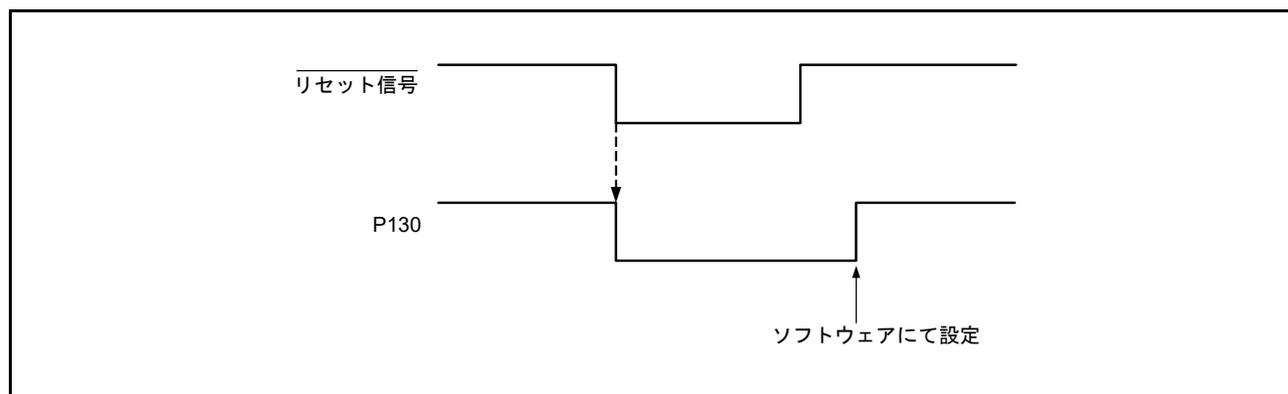
#### 4.2.14 ポート 13

P130 は出力ラッチ付き 1 ビット出力専用ポートです。P137 は 1 ビット入力専用ポートです。

P130 は出力モード、P137 は入力モードに固定されています。

また兼用機能として外部割り込み要求入力、ロジック&イベント・リンク・コントローラの入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-6** を参照してください。

**備考** リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130 からの出力を CPU のリセット信号として疑似的に出力するという使い方ができます。



#### 4.2.15 ポート 14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14 (PM14) により 1 ビット単位で入力モード/出力モードの指定ができます。P140-P147 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 14 (PU14) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P142, P143 端子の入力は、ポート入力モード・レジスタ 14 (PIM14) の設定により 1 ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P142-P144 端子の出力は、ポート出力モード・レジスタ 14 (POM14) により 1 ビット単位で N-ch オープン・ドレイン出力 (EV<sub>DD</sub> 耐圧) に設定可能です。

また、兼用機能としてクロック/ブザー出力、外部割り込み要求入力、A/D コンバータのアナログ入力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、コンパレータのアナログ入力、ロジック&イベント・リンク・コントローラの入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-6** を参照してください。

リセット信号の発生により、P140-P146 は入力モードになります。P147 はアナログ入力モードになります。

#### 4.2.16 ポート 15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 15 (PM15) により 1 ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能として A/D コンバータのアナログ入力、静電容量計測があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-6** を参照してください。

リセット信号の発生により、P150-P156 はアナログ入力モードになります。

### 4.3 ポート機能を制御するレジスタ

ポート機能を制御するレジスタを次に示します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- 周辺I/Oリダイレクション・レジスタ (PIOR)
- グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)
- 出力電流制御許可レジスタ (CCDE)
- 出力電流選択レジスタ (CCSx)
- 40 mAポート出力制御レジスタ (PTDC)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- ポート・モード選択レジスタ (PMS)

**注意** 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-2、表4-3を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCEx レジスタとそのビット (フラッシュ・メモリ96 KB・128 KBの30ピン製品~64ピン製品) (1/3)

ポート		ビット名								64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ								
ポート0	0	PM00	P00	PU00	—	POM00	PDIDIS00	PMCA00 注	—	—	○	○	○	○	○	○	○
	1	PM01	P01	PU01	PIM01	—	—	PMCA01 注	—	PMCE01	○	○	○	○	○	○	○
	2	PM02	P02	PU02	—	POM02	PDIDIS02	PMCA02	—	—	○	○	—	—	—	—	—
	3	PM03	P03	PU03	PIM03	POM03	PDIDIS03	PMCA03	—	—	○	○	—	—	—	—	—
	4	PM04	P04	PU04	PIM04	POM04	PDIDIS04	—	—	—	○	—	—	—	—	—	—
	5	PM05	P05	PU05	—	—	—	—	PMCT05	—	○	—	—	—	—	—	—
	6	PM06	P06	PU06	—	—	—	—	PMCT06	—	○	—	—	—	—	—	—
7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ポート1	0	PM10	P10	PU10	PIM10	POM10	PDIDIS10	—	—	PMCE10	○	○	○	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	PDIDIS11	—	—	PMCE11	○	○	○	○	○	○	○
	2	PM12	P12	PU12	—	POM12	PDIDIS12	—	—	PMCE12	○	○	○	○	○	○	○
	3	PM13	P13	PU13	PIM13	POM13	PDIDIS13	PMCA13	—	PMCE13	○	○	○	○	○	○	○
	4	PM14	P14	PU14	PIM14	POM14	PDIDIS14	—	—	PMCE14	○	○	○	○	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	PDIDIS15	—	—	PMCE15	○	○	○	○	○	○	○
	6	PM16	P16	PU16	PIM16	—	—	—	—	PMCE16	○	○	○	○	○	○	○
7	PM17	P17	PU17	PIM17	POM17	PDIDIS17	—	—	PMCE17	○	○	○	○	○	○	○	
ポート2	0	PM20	P20	—	—	—	—	PMCA20	—	—	○	○	○	○	○	○	○
	1	PM21	P21	—	—	—	—	PMCA21	—	—	○	○	○	○	○	○	○
	2	PM22	P22	—	—	—	—	PMCA22	—	—	○	○	○	○	○	○	○
	3	PM23	P23	—	—	—	—	PMCA23	—	—	○	○	○	○	○	○	○
	4	PM24	P24	—	—	—	—	PMCA24	—	—	○	○	○	○	○	○	—
	5	PM25	P25	—	—	—	—	PMCA25	—	—	○	○	○	○	○	○	—
	6	PM26	P26	—	—	—	—	PMCA26	—	—	○	○	○	○	○	—	—
7	PM27	P27	—	—	—	—	PMCA27	—	—	○	○	○	○	—	—	—	
ポート3	0	PM30	P30	PU30	—	—	—	—	PMCT30	—	○	○	○	○	○	○	○
	1	PM31	P31	PU31	—	—	—	—	PMCT31	—	○	○	○	○	○	○	○
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
ポート4	0	PM40	P40	PU40	—	—	—	—	—	—	○	○	○	○	○	○	○
	1	PM41	P41	PU41	PIM41	—	—	—	—	—	○	○	○	○	—	—	—
	2	PM42	P42	PU42	—	POM42	PDIDIS42	—	—	—	○	—	—	—	—	—	—
	3	PM43	P43	PU43	—	—	—	—	—	—	○	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCEx レジスタとそのビット (フラッシュ・メモリ96 KB・128 KBの30ピン製品~64ピン製品) (2/3)

ポート	ビット名										64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
	PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCEx レジスタ									
ポート5	0	PM50	P50	PU50	—	POM50	PDIDIS50	—	PMCT50	PMCE50	○	○	○	○	○	○	○	○
	1	PM51	P51	PU51	—	—	—	—	—	PMCE51	○	○	○	○	○	○	○	○
	2	PM52	P52	PU52	—	—	—	—	—	—	○	—	—	—	—	—	—	—
	3	PM53	P53	PU53	—	—	—	—	—	—	○	—	—	—	—	—	—	—
	4	PM54	P54	PU54	—	—	—	—	—	—	○	—	—	—	—	—	—	—
	5	PM55	P55	PU55	PIM55	POM55	PDIDIS55	—	—	—	○	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート6	0	PM60	P60	—	—	—	—	—	—	PMCE60	○	○	○	○	○	○	○	○
	1	PM61	P61	—	—	—	—	—	—	PMCE61	○	○	○	○	○	○	○	○
	2	PM62	P62	—	—	—	—	—	—	—	○	○	○	○	○	○	○	—
	3	PM63	P63	—	—	—	—	—	—	—	○	○	○	○	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート7	0	PM70	P70	PU70	—	—	—	—	PMCT70	—	○	○	○	○	○	○	○	—
	1	PM71	P71	PU71	PIM71	POM71	PDIDIS71	—	PMCT71	—	○	○	○	○	○	○	—	—
	2	PM72	P72	PU72	—	POM72	PDIDIS72	—	PMCT72	—	○	○	○	○	○	○	—	—
	3	PM73	P73	PU73	—	—	—	—	PMCT73	—	○	○	○	○	○	—	—	—
	4	PM74	P74	PU74	—	POM74	PDIDIS74	—	PMCT74	—	○	○	○	—	—	—	—	—
	5	PM75	P75	PU75	—	—	—	—	PMCT75	—	○	○	○	—	—	—	—	—
	6	PM76	P76	PU76	—	—	—	—	PMCT76	—	○	○	—	—	—	—	—	—
ポート12	0	PM120	P120	PU120	—	POM120	PDIDIS120	PMCA120	—	—	○	○	○	○	○	○	○	○
	1	PM121	P121	PU121	—	—	—	—	—	—	○	○	○	○	○	○	○	○
	2	PM122	P122	PU122	—	—	—	—	—	—	○	○	○	○	○	○	○	○
	3	—	P123	—	—	—	—	—	—	—	○	○	○	○	○	—	—	—
	4	—	P124	—	—	—	—	—	—	—	○	○	○	○	○	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ポート8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート11	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCEx レジスタとそのビット (フラッシュ・メモリ96 KB・128 KBの30ピン製品~64ピン製品) (3/3)

ポート	ビット名										64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
	PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCEx レジスタ									
ポート13	0	-	P130	-	-	-	-	-	-	-	○	○	○	-	-	-	-	-
	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	7	-	P137	-	-	-	PDIDIS13 7	-	-	-	○	○	○	○	○	○	○	○
ポート14	0	PM140	P140	PU140	-	-	-	-	-	-	○	○	○	-	-	-	-	-
	1	PM141	P141	PU141	-	-	-	-	-	-	○	-	-	-	-	-	-	-
	2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	6	PM146	P146	PU146	-	-	-	-	-	-	-	○	○	○	○	-	-	-
	7	PM147	P147	PU147	-	-	-	PMCA14 7	-	-	○	○	○	○	○	○	○	○
ポート15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

注 30ピン、32ピン製品のみ

表4 - 3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCEx レジスタとそのビット (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (1/4)

ポート		ビット名								128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ											
ポート0	0	PM00	P00	PU00	—	POM00	PDIDIS00	PMCA00 注	PMCT00	—	○	○	○	○	○	○	○	○	○	○
	1	PM01	P01	PU01	PIM01	—	—	PMCA01 注	PMCT01	PMCE01	○	○	○	○	○	○	○	○	○	○
	2	PM02	P02	PU02	—	POM02	PDIDIS02	PMCA02	PMCT02	—	○	○	○	○	○	—	—	—	—	—
	3	PM03	P03	PU03	PIM03	POM03	PDIDIS03	PMCA03	PMCT03	—	○	○	○	○	○	—	—	—	—	—
	4	PM04	P04	PU04	PIM04	POM04	PDIDIS04	—	—	—	○	○	○	○	—	—	—	—	—	—
	5	PM05	P05	PU05	—	—	—	—	PMCT05	—	○	○	○	○	—	—	—	—	—	—
	6	PM06	P06	PU06	—	—	—	—	PMCT06	—	○	○	○	○	—	—	—	—	—	—
ポート1	0	PM10	P10	PU10	PIM10	POM10	PDIDIS10	—	—	PMCE10	○	○	○	○	○	○	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	PDIDIS11	—	—	PMCE11	○	○	○	○	○	○	○	○	○	○
	2	PM12	P12	PU12	—	POM12	PDIDIS12	—	—	PMCE12	○	○	○	○	○	○	○	○	○	○
	3	PM13	P13	PU13	PIM13	POM13	PDIDIS13	PMCA13	—	PMCE13	○	○	○	○	○	○	○	○	○	○
	4	PM14	P14	PU14	PIM14	POM14	PDIDIS14	—	—	PMCE14	○	○	○	○	○	○	○	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	PDIDIS15	—	—	PMCE15	○	○	○	○	○	○	○	○	○	○
	6	PM16	P16	PU16	PIM16	—	—	—	—	PMCE16	○	○	○	○	○	○	○	○	○	○
ポート2	0	PM20	P20	—	—	—	—	PMCA20	—	—	○	○	○	○	○	○	○	○	○	○
	1	PM21	P21	—	—	—	—	PMCA21	—	—	○	○	○	○	○	○	○	○	○	○
	2	PM22	P22	—	—	—	—	PMCA22	PMCT22	—	○	○	○	○	○	○	○	○	○	○
	3	PM23	P23	—	—	—	—	PMCA23	PMCT23	—	○	○	○	○	○	○	○	○	○	○
	4	PM24	P24	—	—	—	—	PMCA24	PMCT24	—	○	○	○	○	○	○	○	○	○	—
	5	PM25	P25	—	—	—	—	PMCA25	PMCT25	—	○	○	○	○	○	○	○	○	○	—
	6	PM26	P26	—	—	—	—	PMCA26	PMCT26	—	○	○	○	○	○	○	○	○	—	—
ポート3	0	PM30	P30	PU30	—	—	—	—	PMCT30	—	○	○	○	○	○	○	○	○	○	○
	1	PM31	P31	PU31	—	—	—	—	PMCT31	—	○	○	○	○	○	○	○	○	○	○
	2	PM32	P32	PU32	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	—
	3	PM33	P33	PU33	PIM33	—	—	—	—	—	○	—	—	—	—	—	—	—	—	—
	4	PM34	P34	PU34	—	POM34	PDIDIS34	—	—	—	○	—	—	—	—	—	—	—	—	—
	5	PM35	P35	PU35	—	—	—	PMCA35	—	—	○	—	—	—	—	—	—	—	—	—
	6	PM36	P36	PU36	—	—	—	PMCA36	—	—	○	—	—	—	—	—	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
	1	PM41	P41	PU41	PIM41	—	—	—	—	—	○	○	○	○	○	○	○	—	—	—
	2	PM42	P42	PU42	—	POM42	PDIDIS42	—	—	—	○	○	○	○	—	—	—	—	—	—
	3	PM43	P43	PU43	PIM43	POM43	PDIDIS43	—	—	—	○	○	○	○	—	—	—	—	—	—
	4	PM44	P44	PU44	PIM44	POM44	PDIDIS44	—	—	—	○	○	○	—	—	—	—	—	—	—
	5	PM45	P45	PU45	—	POM45	PDIDIS45	—	—	—	○	○	○	—	—	—	—	—	—	—
	6	PM46	P46	PU46	—	—	—	—	—	—	○	○	—	—	—	—	—	—	—	—
7	PM47	P47	PU47	—	—	—	—	—	—	○	○	—	—	—	—	—	—	—	—	

表4 - 3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCEx レジスタとそのビット (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品)  
(2/4)

ポート	ビット名									128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
	PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCEx レジスタ											
ポート5	0	PM50	P50	PU50	—	POM50	PDIDIS50	—	PMCT50	PMCE50	○	○	○	○	○	○	○	○	○	○
	1	PM51	P51	PU51	—	—	—	—	—	PMCE51	○	○	○	○	○	○	○	○	○	○
	2	PM52	P52	PU52	—	POM52	PDIDIS52	—	—	—	○	○	○	○	—	—	—	—	—	—
	3	PM53	P53	PU53	PIM53	POM53	PDIDIS53	—	—	—	○	○	○	○	—	—	—	—	—	—
	4	PM54	P54	PU54	PIM54	POM54	PDIDIS54	—	—	—	○	○	○	○	—	—	—	—	—	—
	5	PM55	P55	PU55	PIM55	POM55	PDIDIS55	—	—	—	○	○	○	○	—	—	—	—	—	—
	6	PM56	P56	PU56	—	—	—	—	—	—	○	○	—	—	—	—	—	—	—	—
ポート6	0	PM60	P60	—	—	—	—	—	—	PMCE60	○	○	○	○	○	○	○	○	○	○
	1	PM61	P61	—	—	—	—	—	—	PMCE61	○	○	○	○	○	○	○	○	○	○
	2	PM62	P62	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
	3	PM63	P63	—	—	—	—	—	—	—	○	○	○	○	○	○	○	—	—	—
	4	PM64	P64	PU64	—	—	—	—	PMCT64	—	○	○	○	—	—	—	—	—	—	—
	5	PM65	P65	PU65	—	—	—	—	PMCT65	—	○	○	○	—	—	—	—	—	—	—
	6	PM66	P66	PU66	—	—	—	—	PMCT66	—	○	○	○	—	—	—	—	—	—	—
ポート7	0	PM70	P70	PU70	—	—	—	—	PMCT70	—	○	○	○	○	○	○	○	○	○	○
	1	PM71	P71	PU71	PIM71	POM71	PDIDIS71	—	PMCT71	—	○	○	○	○	○	○	○	○	○	—
	2	PM72	P72	PU72	—	POM72	PDIDIS72	—	PMCT72	—	○	○	○	○	○	○	○	○	○	—
	3	PM73	P73	PU73	—	—	—	—	PMCT73	—	○	○	○	○	○	○	○	○	—	—
	4	PM74	P74	PU74	—	POM74	PDIDIS74	—	PMCT74	—	○	○	○	○	○	○	—	—	—	—
	5	PM75	P75	PU75	—	—	—	—	PMCT75	—	○	○	○	○	○	○	—	—	—	—
	6	PM76	P76	PU76	—	—	—	—	PMCT76	—	○	○	○	○	○	—	—	—	—	—
ポート8	0	PM80	P80	PU80	PIM80	POM80	PDIDIS80	—	—	—	○	○	—	—	—	—	—	—	—	
	1	PM81	P81	PU81	PIM81	POM81	PDIDIS81	—	—	—	○	○	—	—	—	—	—	—	—	
	2	PM82	P82	PU82	—	POM82	PDIDIS82	—	—	—	○	○	—	—	—	—	—	—	—	
	3	PM83	P83	PU83	—	POM83	PDIDIS83	—	—	—	○	○	—	—	—	—	—	—	—	
	4	PM84	P84	PU84	PIM84	—	—	—	—	—	○	○	—	—	—	—	—	—	—	
	5	PM85	P85	PU85	—	—	—	—	—	—	○	○	—	—	—	—	—	—	—	
	6	PM86	P86	PU86	—	—	—	—	—	—	○	○	—	—	—	—	—	—	—	
ポート9	0	PM90	P90	PU90	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	
	1	PM91	P91	PU91	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	
	2	PM92	P92	PU92	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	
	3	PM93	P93	PU93	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	
	4	PM94	P94	PU94	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	
	5	PM95	P95	PU95	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	
	6	PM96	P96	PU96	—	POM96	PDIDIS96	—	—	—	○	—	—	—	—	—	—	—	—	
7	PM97	P97	PU97	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—		

表4 - 3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCEx レジスタとそのビット (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品)  
(3/4)

ポート	ビット名									128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
	PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCEx レジスタ											
ポート 10	0	PM100	P100	PU100	-	-	-	PMCA 100	-	-	○	○	○	-	-	-	-	-	-	-
	1	PM101	P101	PU101	-	-	-	-	-	-	○	○	-	-	-	-	-	-	-	-
	2	PM102	P102	PU102	-	-	-	-	-	-	○	○	-	-	-	-	-	-	-	-
	3	PM103	P103	PU103	-	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-
	4	PM104	P104	PU104	-	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-
	5	PM105	P105	PU105	-	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-
	6	PM106	P106	PU106	-	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-
	7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ポート 11	0	PM110	P110	PU110	-	-	-	-	-	○	○	○	-	-	-	-	-	-	-	-
	1	PM111	P111	PU111	-	-	-	-	-	○	○	○	-	-	-	-	-	-	-	-
	2	PM112	P112	PU112	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-	-
	3	PM113	P113	PU113	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-	-
	4	PM114	P114	PU114	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-	-
	5	PM115	P115	PU115	-	-	-	PMCA 115	-	-	○	-	-	-	-	-	-	-	-	-
	6	PM116	P116	PU116	-	-	-	PMCA 116	-	-	○	-	-	-	-	-	-	-	-	-
	7	PM117	P117	PU117	-	-	-	PMCA 117	-	-	○	-	-	-	-	-	-	-	-	-
ポート 12	0	PM120	P120	PU120	-	POM120	PDIDIS 120	PMCA 120	-	-	○	○	○	○	○	○	○	○	○	○
	1	PM121	P121	PU121	-	-	-	-	-	○	○	○	○	○	○	○	○	○	○	○
	2	PM122	P122	PU122	-	-	-	-	-	○	○	○	○	○	○	○	○	○	○	○
	3	-	P123	-	-	-	-	-	-	○	○	○	○	○	○	○	○	-	-	-
	4	-	P124	-	-	-	-	-	-	○	○	○	○	○	○	○	○	-	-	-
	5	PM125	P125	PU125	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-	-
	6	PM126	P126	PU126	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-	-
	7	PM127	P127	PU127	-	-	-	-	-	○	-	-	-	-	-	-	-	-	-	-
ポート 13	0	-	P130	-	-	-	-	-	-	○	○	○	○	○	○	-	-	-	-	-
	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	7	-	P137	-	-	-	PDIDIS 137	-	-	-	○	○	○	○	○	○	○	○	○	○
ポート 14	0	PM140	P140	PU140	-	-	-	-	-	○	○	○	○	○	○	-	-	-	-	-
	1	PM141	P141	PU141	-	-	-	-	-	○	○	○	○	-	-	-	-	-	-	-
	2	PM142	P142	PU142	PIM142	POM142	PDIDIS 142	-	-	-	○	○	○	-	-	-	-	-	-	
	3	PM143	P143	PU143	PIM143	POM143	PDIDIS 143	-	-	-	○	○	○	-	-	-	-	-	-	
	4	PM144	P144	PU144	-	POM144	PDIDIS 144	-	-	-	○	○	○	-	-	-	-	-	-	
	5	PM145	P145	PU145	-	-	-	-	-	○	○	-	-	-	-	-	-	-	-	
	6	PM146	P146	PU146	-	-	-	-	-	○	○	○	○	○	○	○	-	-	-	
	7	PM147	P147	PU147	-	-	-	PMCA 147	-	-	○	○	○	○	○	○	○	○	○	

表4 - 3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCEx レジスタとそのビット (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品)  
(4/4)

ポート	ビット名									128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
	PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCEx レジスタ											
ポート 15	0	PM150	P150	-	-	-	-	PMCA 150	PMCT 150	-	○	○	○	-	-	-	-	-	-	-
	1	PM151	P151	-	-	-	-	PMCA 151	PMCT 151	-	○	○	○	-	-	-	-	-	-	-
	2	PM152	P152	-	-	-	-	PMCA 152	PMCT 152	-	○	○	○	-	-	-	-	-	-	-
	3	PM153	P153	-	-	-	-	PMCA 153	PMCT 153	-	○	○	○	-	-	-	-	-	-	-
	4	PM154	P154	-	-	-	-	PMCA 154	PMCT 154	-	○	○	-	-	-	-	-	-	-	-
	5	PM155	P155	-	-	-	-	PMCA 155	PMCT 155	-	○	○	-	-	-	-	-	-	-	-
	6	PM156	P156	-	-	-	-	PMCA 156	-	-	○	○	-	-	-	-	-	-	-	-
	7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

注 30ピン、32ピン製品のみ

### 4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PMxxレジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、**4.5 兼用機能使用時のレジスタ設定**を参照し、設定してください。

図4-1 ポート・モード・レジスタ (PMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W
PM10	1	PM106	PM105	PM104	PM103	PM102	PM101	PM100	FFF2AH	FFH	R/W
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	FFF2BH	FFH	R/W
PM12	PM127	PM126	PM125	1	1	PM122	PM121	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-12, 14, 15; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

**注意** 搭載していないビットには必ず初期値を設定してください。

### 4.3.2 ポート・レジスタ (Pxx)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます<sup>注</sup>。

Pxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

**注** P00-P03, P13, P20-P27, P35-P37, P100, P115-P117, P120, P147, P150-P156 をアナログ機能として設定した場合に、ポートが入力モード時にリードすると端子レベルではなく常に0が読み出されます。

**注意** P00-P03, P05, P06, P22-P27, P30, P31, P50, P64-P67, P70-P77, P150-P155 を静電容量計測として設定した場合に、ポートが入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタ (Pxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラッチ)	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H (出カラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H (出カラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラッチ)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H (出カラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H (出カラッチ)	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FFF09H	00H (出カラッチ)	R/W
P10	0	P106	P105	P104	P103	P102	P101	P100	FFF0AH	00H (出カラッチ)	R/W
P11	P117	P116	P115	P114	P113	P112	P111	P110	FFF0BH	00H (出カラッチ)	R/W
P12	P127	P126	P125	P124	P123	P122	P121	P120	FFF0CH	不定	R/W <sup>注1</sup>
P13	P137	0	0	0	0	0	0	P130	FFF0DH	<sup>注2</sup>	R/W <sup>注1</sup>
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H (出カラッチ)	R/W
P15	0	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H (出カラッチ)	R/W

Pmn	出カデータの制御 (出力モード時)	入カデータの読み出し (入力モード時)
0	0 を出力	ロウ・レベルを入力
1	1 を出力	ハイ・レベルを入力

**注1.** P123, P124, P137 は Read Only です。

**注2.** P137 : 不定

P130 : 0 (出カラッチ)

**注意** 搭載していないビットには必ず初期値を設定してください。

**備考** m = 0-15; n = 0-7

### 4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUxx レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード (POMmn = 0) かつ入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、PUxx レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用している場合も同様です。

PUxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4 のみ 01H) になります。

**注意** PIMn レジスタがあるポートで、異電位デバイスから TTL バッファに入力する場合は、PUmn = 0 を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4-3 プルアップ抵抗オプション・レジスタ (PUxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU9	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90	F0039H	00H	R/W
PU10	0	PU106	PU105	PU104	PU103	PU102	PU101	PU100	F003AH	00H	R/W
PU11	PU117	PU116	PU115	PU114	PU113	PU112	PU111	PU110	F003BH	00H	R/W
PU12	PU127	PU126	PU125	0	0	PU122	PU121	PU120	F003CH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-12, 14; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

**注意** 搭載していないビットには必ず初期値を設定してください。

#### 4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

PIMxxレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタ (PIMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	PIM33	0	0	0	F0043H	00H	R/W
PIM4	0	0	0	PIM44	PIM43	0	PIM41	0	F0044H	00H	R/W
PIM5	0	0	PIM55	PIM54	PIM53	0	0	0	F0045H	00H	R/W
PIM7	0	0	0	0	0	0	PIM71	0	F0047H	00H	R/W
PIM8	0	0	0	PIM84	0	0	PIM81	PIM80	F0048H	00H	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 3, 4, 5, 7, 8, 14; n = 0-7)
0	通常入力バッファ
1	TTL入力バッファ

**注意** 搭載していないビットには必ず初期値を設定してください。

### 4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I<sup>2</sup>C 通信時の SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31 端子に N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧<sup>注1</sup> / EV<sub>DD</sub> 耐圧<sup>注2</sup>) モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。POMxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

**注意** N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧<sup>注1</sup> / EV<sub>DD</sub> 耐圧<sup>注2</sup>) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタ (POMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM3	0	0	0	POM34	0	0	0	0	F0053H	00H	R/W
POM4	0	0	POM45	POM44	POM43	POM42	0	0	F0054H	00H	R/W
POM5	0	0	POM55	POM54	POM53	POM52	0	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	POM72	POM71	0	F0057H	00H	R/W
POM8	0	0	0	0	POM83	POM82	POM81	POM80	F0058H	00H	R/W
POM9	0	POM96	0	0	0	0	0	0	F0059H	00H	R/W
POM12	0	0	0	0	0	0	0	POM12 0	F005CH	00H	R/W
POM14	0	0	0	POM14 4	POM14 3	POM14 2	0	0	F005EH	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 3-5, 7-9, 12, 14; n = 0-7)
0	通常出力モード
1	N-ch オープン・ドレイン出力 (V <sub>DD</sub> 耐圧 <sup>注1</sup> / EV <sub>DD</sub> 耐圧 <sup>注2</sup> ) モード

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

**注意** 搭載していないビットには必ず初期値を設定してください。

### 4.3.6 ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)

入力バッファの貫通電流を防止するレジスタです。

異電位の外部デバイスとのシリアル通信などで N-ch オープン・ドレイン出力した場合や入力ポートを使用しない場合、PDIDISxx レジスタの対象ビットをセット (1) することにより、低消費電力にすることができます。

PDIDISxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 4 - 6 ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PDIDIS0	0	0	0	PDIDIS 04	PDIDIS 03	PDIDIS 02	0	PDIDIS 00	F02B0H	00H	R/W
PDIDIS1	PDIDIS 17	0	PDIDIS 15	PDIDIS 14	PDIDIS 13	PDIDIS 12	PDIDIS 11	PDIDIS 10	F02B1H	00H	R/W
PDIDIS3	0	0	0	PDIDIS 34	0	0	0	0	F02B3H	00H	R/W
PDIDIS4	0	0	PDIDIS 45	PDIDIS 44	PDIDIS 43	PDIDIS 42	0	0	F02B4H	00H	R/W
PDIDIS5	0	0	PDIDIS 55	PDIDIS 54	PDIDIS 53	PDIDIS 52	0	PDIDIS 50	F02B5H	00H	R/W
PDIDIS7	0	0	0	PDIDIS 74	0	PDIDIS 72	PDIDIS 71	0	F02B7H	00H	R/W
PDIDIS8	0	0	0	0	PDIDIS 83	PDIDIS 82	PDIDIS 81	PDIDIS 80	F02B8H	00H	R/W
PDIDIS9	0	PDIDIS 96	0	0	0	0	0	0	F02B9H	00H	R/W
PDIDIS12	0	0	0	0	0	0	0	PDIDIS 120	F02BCH	00H	R/W
PDIDIS13	PDIDIS 137	0	0	0	0	0	0	0	F02BDH	00H	R/W
PDIDIS14	0	0	0	PDIDIS 144	PDIDIS 143	PDIDIS 142	0	0	F02BEH	00H	R/W

PDIDISmn	入力バッファ設定 (m = 0, 1, 3-5, 7-9, 12-14; n = 0-7)
0	入力バッファの入力許可 (デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

**注意** 搭載していないビットには必ず初期値を設定してください。

**備考** P123, P124 はクロック動作モード制御レジスタ (CMC) の EXCLKS に 0、OSCSELS に 1、かつクロック動作ステータス制御レジスタ (CSC) の XTSTOP に 1 を設定することにより、低消費電力にすることができます。

### 4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)

デジタル入出力／アナログ機能を1ビット単位で設定するレジスタです。

PMCAxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-7 ポート・モード・コントロールA・レジスタ (PMCAxx) レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCA0	1	1	1	1	PMCA0 3	PMCA0 2	PMCA0 1	PMCA0 0	F0060H	FFH	R/W
PMCA1	1	1	1	1	PMCA1 3	1	1	1	F0061H	FFH	R/W
PMCA2	PMCA2 7	PMCA2 6	PMCA2 5	PMCA2 4	PMCA2 3	PMCA2 2	PMCA2 1	PMCA2 0	F0062H	FFH	R/W
PMCA3	PMCA3 7	PMCA3 6	PMCA3 5	1	1	1	1	1	F0063H	FFH	R/W
PMCA10	1	1	1	1	1	1	1	PMCA1 00	F006AH	FFH	R/W
PMCA11	PMCA1 17	PMCA1 16	PMCA1 15	1	1	1	1	1	F006BH	FFH	R/W
PMCA12	1	1	1	1	1	1	1	PMCA1 20	F006CH	FFH	R/W
PMCA14	PMCA1 47	1	1	1	1	1	1	1	F006EH	FFH	R/W
PMCA15	1	PMCA1 56	PMCA1 55	PMCA1 54	PMCA1 53	PMCA1 52	PMCA1 51	PMCA1 50	F006FH	FFH	R/W

PMCAmn	Pmn端子のデジタル入出力／アナログ入力機能の選択 (m = 0-3, 10-12, 14, 15; n = 0-7)
0	デジタル入出力
1	アナログ入力機能

注意1. PMCAxxレジスタでアナログ入力機能に設定したポートは、ポート・モード・レジスタ0-3, 10-12, 14, 15 (PM0-PM3, PM10-PM12, PM14, PM15) で入力モードに選択してください。

注意2. PMCAxxレジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) アナログ機能で設定しないでください。

注意3. 搭載していないビットには必ず初期値を設定してください。

注意4. フラッシュ・メモリ96KB・128KBの30～64ピン製品は、PMCA3, PMCA10, PMCA11, PMCA15レジスタの読み出し値は"00H"となります。

### 4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)

デジタル入出力／静電容量計測機能を1ビット単位で設定するレジスタです。

PMCTxxレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-8 ポート・モード・コントロールT・レジスタ (PMCTxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCT0	0	PMCT0 6	PMCT0 5	0	PMCT0 3	PMCT0 2	PMCT0 1	PMCT0 0	F0260H	00H	R/W
PMCT2	PMCT2 7	PMCT2 6	PMCT2 5	PMCT2 4	PMCT2 3	PMCT2 2	0	0	F0262H	00H	R/W
PMCT3	0	0	0	0	0	0	PMCT3 1	PMCT3 0	F0263H	00H	R/W
PMCT5	0	0	0	0	0	0	0	PMCT5 0	F0265H	00H	R/W
PMCT6	PMCT6 7	PMCT6 6	PMCT6 5	PMCT6 4	0	0	0	0	F0266H	00H	R/W
PMCT7	PMCT7 7	PMCT7 6	PMCT7 5	PMCT7 4	PMCT7 3	PMCT7 2	PMCT7 1	PMCT7 0	F0267H	00H	R/W
PMCT15	0	0	PMCT1 55	PMCT1 54	PMCT1 53	PMCT1 52	PMCT1 51	PMCT1 50	F026FH	00H	R/W

PMCTmn	Pmn端子のデジタル入出力／静電容量計測機能の選択 (m = 0, 2, 3, 5-7, 15; n = 0-7)
0	デジタル入出力
1	静電容量計測機能

**注意** 搭載していないビットには必ず初期値を設定してください。

### 4.3.9 ポート・モード・コントロールE・レジスタ (PMCE<sub>x</sub>)

デジタル入出力／ELCL出力機能を1ビット単位で設定するレジスタです。

PMCE<sub>x</sub>レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-9 ポート・モード・コントロールE・レジスタ (PMCE<sub>x</sub>) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCE0	0	0	0	0	0	0	PMCE0 1	0	F0280H	00H	R/W
PMCE1	PMCE1 7	PMCE1 6	PMCE1 5	PMCE1 4	PMCE1 3	PMCE1 2	PMCE1 1	PMCE1 0	F0281H	00H	R/W
PMCE5	0	0	0	0	0	0	PMCE5 1	PMCE5 0	F0285H	00H	R/W
PMCE6	0	0	0	0	0	0	PMCE6 1	PMCE6 0	F0286H	00H	R/W

PMCE <sub>m</sub> n	P <sub>m</sub> n端子のデジタル入出力／ELCL出力機能の選択 (m = 0, 1, 5, 6; n = 0-7)
0	デジタル入出力
1	ELCL出力

**注意** 搭載していないビットには必ず初期値を設定してください。

### 4.3.10 周辺I/Oリダイレクション・レジスタ (PIOR)

PIORレジスタは、周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORレジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット (1/2)

アドレス : F0077H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	PIOR5	PIOR4	PIOR3	PIOR2	PIOR1	PIOR0

ビット	兼用機能	128/100ピン		80ピン		64ピン		52ピン		48ピン		44ピン		40/36/32/30ピン	
		設定値		設定値		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1	0	1	0	1
PIOR5	INTP1	P46	P56	兼用機能として使用できません。0 (初期値) を設定してください。											
	INTP3	P30	P57												
	INTP4	P31	P146												
	INTP6	P140	P84												
	INTP7	P141	P85												
	INTP8	P74	P86												
	INTP9	P75	P87												
	TxD1	P02	P82												
	RxD1	P03	P81												
	SCL10	P04	P80												
	SDA10	P03	P81												
	SI10	P03	P81												
	SO10	P02	P82												
SCK10	P04	P80													
PIOR4	PCLBUZ1	P141	P55	P141	P55	P141	P55								
	INTP5	P16	P12	P16	P12	P16	P12								
PIOR3	PCLBUZ0	P140	P31	P140	P31	P140	P31	P140	P31	P140	P31				
PIOR2	SCLA0	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14
	SDA0	P61	P13	P61	P13	P61	P13	P61	P13	P61	P13	P61	P13	P61	P13

図4 - 10 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット (2/2)

ビット	兼用機能	128/100 ピン		80ピン		64ピン		52ピン		48ピン		44ピン		40/36/32/30 ピン	
		設定値		設定値		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1	0	1	0	1
PIOR1	INTP10	P76	P110	P76	P110	P76	P52	P76	—	—	—	—	—	—	—
	INTP11	P77	P111	P77	P111	P77	P53	P77	—	—	—	—	—	—	—
	TxD2	P13	P77	P13	P77	P13	P77	P13	P77	P13	—	P13	—	P13	—
	RxD2	P14	P76	P14	P76	P14	P76	P14	P76	P14	—	P14	—	P14	—
	SCL20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—
	SDA20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—
	SI20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—
	SO20	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—
	SCK20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—
	TxD0	P12	P17	P12	P17	P12	P17	P12	P17	P12	P17	P12	P17	P12	P17
	RxD0	P11	P16	P11	P16	P11	P16	P11	P16	P11	P16	P11	P16	P11	P16
	SCL00	P10	—	P10	—	P10	—	P10	—	P10	—	P10	—	P10	—
	SDA00	P11	—	P11	—	P11	—	P11	—	P11	—	P11	—	P11	—
	SI00	P11	P16	P11	P16	P11	P16	P11	—	P11	—	P11	—	P11	—
SO00	P12	P17	P12	P17	P12	P17	P12	—	P12	—	P12	—	P12	—	
SCK00	P10	P55	P10	P55	P10	P55	P10	—	P10	—	P10	—	P10	—	
PIOR0	TI02/TO02	P17	P15	P17	P15	P17	P15	P17	P15	P17	P15	P17	P15	P17	P15
	TI03/TO03	P31	P14	P31	P14	P31	P14	P31	P14	P31	P14	P31	P14	P31	P14
	TI04/TO04	P42	P13	P42	P13	P42	P13	—	P13	—	P13	—	P13	—	P13
	TI05/TO05	P46	P12	P05	P12	P05	P12	—	P12	—	P12	—	P12	—	P12
	TI06/TO06	P102	P11	P06	P11	P06	P11	—	P11	—	P11	—	P11	—	P11
	TI07/TO07	P145	P10	P41	P10	P41	P10	P41	P10	P41	P10	P41	P10	—	P10

備考 — : 兼用機能として使用できません。

### 4.3.11 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

GDIDIS レジスタは、EV<sub>DD</sub> の電源をオフするときに、EV<sub>DD</sub> を電源とする入力ポートの入力バッファの貫通電流を防止するレジスタです。

EV<sub>DD</sub> を電源とする入出力ポートをすべて使用しない場合、GDIDIS0 ビットをセット (1) して EV<sub>DD</sub> の電源をオフすることにより、低消費電力にすることができます。

GDIDIS0 ビットを 1 に設定することにより、EV<sub>DD</sub> を電源とするすべての入力バッファを入力禁止とし、EV<sub>DD</sub> の電源をオフしたときの貫通電流を防止します。

GDIDIS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

**備考** GDIDIS レジスタは、64, 80, 100, 128 ピン製品に搭載しています。

図4-11 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) のフォーマット

アドレス : F007DH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EV <sub>DD</sub> 電源の入力バッファ設定
0	入力バッファの入力許可 (デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

EV<sub>DD</sub> の電源をオフする場合は、次の手順で設定してください。

- ① 入力バッファの入力禁止 (GDIDIS0 = 1) に設定
- ② EV<sub>DD</sub> の電源オフ

EV<sub>DD</sub> の電源を再投入する場合は、次の手順で設定してください。

- ① EV<sub>DD</sub> の電源オン
- ② 入力バッファの入力許可 (GDIDIS0 = 0) に設定

**注意1.** EV<sub>DD</sub> を電源とする入力ポートに、EV<sub>DD</sub> 以上の入力電圧を入力しないでください。

**注意2.** 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合、EV<sub>DD</sub> を電源とするポートのポート・レジスタ (Pxx) の読み出し値は1となります。また、ポート出力モード・レジスタ (POMxx) に1 (N-chオープン・ドレイン出力 (EV<sub>DD</sub> 耐圧)) 設定時は、ポート・レジスタ (Pxx) の読み出し値は0となります。

**備考1.** GDIDIS レジスタは、64, 80, 100, 128 ピン製品に搭載しています。

**備考2.** 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合でも、EV<sub>DD</sub> を電源とするポート機能を使用しない周辺機能は使用できます。

### 4.3.12 出力電流制御許可レジスタ (CCDE)

CCDE レジスタは、P16, P17, P50, P51, P60-P63 を 1 ビット単位で出力電流制御ポートに設定するレジスタです。出力電流制御機能に選択した端子のロウ・レベル出力電流は、出力電流選択レジスタ (CCSx) で設定された電流または Hi-Z に制御されます。

CCDE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00H になります。

図4-12 出力電流制御許可レジスタ (CCDE) のフォーマット (1/2)

アドレス : F02A8H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CCDE	CCDE07	CCDE06	CCDE05	CCDE04	CCDE03	CCDE02	CCDE01	CCDE00
CCDE07	CCD07 (P63) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE06	CCD06 (P62) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE05	CCD05 (P61) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE04	CCD04 (P60) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE03	CCD03 (P50 <sup>注</sup> ) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE02	CCD02 (P51) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE01	CCD01 (P17) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							

図4 - 12 出力電流制御許可レジスタ (CCDE) のフォーマット (2/2)

CCDE00	CCD00 (P16) 端子のデジタル入出力／出力電流制御の選択
0	デジタル入出力 (出力電流制御以外の兼用機能)
1	出力電流制御

注 44ピン製品を除く

注意1. 出力電流制御ポートを使用する場合は、出力電流制御を設定してからPMxxレジスタを出力モードに設定してください。

注意2. CCDEレジスタに1を書き込み後、端子が安定するまでの時間は10μsです。

### 4.3.13 出力電流選択レジスタ (CCSx)

CCSx レジスタは、出力電流制御ポートの電流制御を設定するレジスタです。CCSx レジスタは、出力電流制御許可レジスタ (CCDE) で選択された出力電流制御ポートのロウ・レベル出力電流を 2 mA, 5 mA, 10 mA, 15 mA または Hi-Z に保つように制御します。

CCSx レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4-13 出力電流選択レジスタ (CCSx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CCS0	0	0	0	0	0	CCS02	CCS01	CCS00	F02A0H	00H	R/W
CCS4	0	0	0	0	0	CCS42	CCS41	CCS40	F02A4H	00H	R/W
CCS5	0	0	0	0	0	CCS52	CCS51	CCS50	F02A5H	00H	R/W
CCS6	0	0	0	0	0	CCS62	CCS61	CCS60	F02A6H	00H	R/W
CCS7	0	0	0	0	0	CCS72	CCS71	CCS70	F02A7H	00H	R/W

CCSx2	CCSx1	CCSx0	ロウ・レベル出力電流の設定				
			x = 0 CCD00-03	x = 4 CCD04	x = 5 CCD05	x = 6 CCD06	x = 7 CCD07
0	0	0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
0	0	1	2 mA	2 mA	2 mA	2 mA	2 mA
0	1	0	5 mA	5 mA	5 mA	5 mA	5 mA
0	1	1	10 mA	10 mA	10 mA	10 mA	10 mA
1	0	0	設定禁止	15 mA	15 mA	15 mA	15 mA
上記以外			設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

備考 x = 0, 4-7

#### 4.3.14 40 mAポート出力制御レジスタ (PTDC)

PTDC レジスタは、P70, P51, P17, P10, P101, P04, P120 のロウ・レベル出力時の許容出力電流を 40 mA に設定するレジスタです。

40 mA 出力に設定できる端子は製品毎に異なります。製品と 40 mA 出力に設定できるポートを表 4-4 に示します。

表4-4 40 mA出力ポート搭載製品と対応するポート

ピン数	型名	40 mA出力に対応するポート
100ピン	R7F100GPN, R7F100GPL, R7F100GPK (フラッシュ・メモリが768 KB, 512 KB, 384 KBの製品)	P04, P10, P101, P120
80ピン	R7F100GMN, R7F100GML, R7F100GMK (フラッシュ・メモリが768 KB, 512 KB, 384 KBの製品)	P04, P10, P120
64ピン	R7F100GLN, R7F100GLL, R7F100GLK (フラッシュ・メモリが768 KB, 512 KB, 384 KBの製品)	P04, P10, P120
52ピン	R7F100GJN, R7F100GJL, R7F100GJK, R7F100GJJ, R7F100GJH, R7F100GJG, R7F100GJF	P17, P51, P70
48ピン	R7F100GGN, R7F100GGL, R7F100GJK, R7F100GGJ, R7F100GGH, R7F100GGG, R7F100GGF	P17, P51, P70
44ピン	R7F100GFN, R7F100GFL, R7F100GFK, R7F100GFJ, R7F100GFH, R7F100GFG, R7F100GFF	P17, P51, P70
40ピン	R7F100GEJ, R7F100GEH, R7F100GEG, R7F100GEF	P17, P51, P70
36ピン	R7F100GCJ, R7F100GCH, R7F100GCG, R7F100GCF	P17, P51, P70
32ピン	R7F100GBJ, R7F100GBH, R7F100GBG, R7F100GBF	P17, P51, P70
30ピン	R7F100GAJ, R7F100GAH, R7F100GAG, R7F100GAF	P17, P51

PTDC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00H になります。

図4 - 14 40 mAポート出力制御レジスタ (PTDC) のフォーマット

アドレス : F02A9H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PTDC	0	PTDC6	PTDC5	PTDC4	PTDC3	PTDC2	PTDC1	PTDC0
PTDC6	P120端子のロウ・レベル出力時の許容出力電流 <sup>注1</sup>							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC5	P04端子のロウ・レベル出力時の許容出力電流 <sup>注1</sup>							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC4	P101端子のロウ・レベル出力時の許容出力電流 <sup>注2</sup>							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC3	P10端子のロウ・レベル出力時の許容出力電流 <sup>注1</sup>							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC2	P17端子のロウ・レベル出力時の許容出力電流 <sup>注3</sup>							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC1	P51端子のロウ・レベル出力時の許容出力電流 <sup>注3</sup>							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC0	P70端子のロウ・レベル出力時の許容出力電流 <sup>注4</sup>							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							

注1. コード・フラッシュ・メモリ : 384~768 KBの64~100ピン製品で使用可能です。

注2. コード・フラッシュ・メモリ : 384~768 KBの100ピン製品で使用可能です。

注3. 30~52ピン製品で使用可能です。

注4. 32~52ピン製品で使用可能です。

注意 PTDCレジスタは、128ピン製品には搭載していません。

### 4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx)

端子に兼用されているタイマ出力、シリアル・クロック出力、シリアル・データ出力、クロック出力の出力許可を設定するレジスタです。タイマ出力、シリアル・データ出力、シリアル・クロック出力を ELCL の入力として使用する場合は出力禁止に設定してください。

PFOEx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図4 - 15 ポート・ファンクション出力許可レジスタ0 (PFOE0) のフォーマット

アドレス : F02AAH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFOE0	PFOE07	PFOE06	PFOE05	PFOE04	PFOE03	PFOE02	PFOE01	PFOE00
PFOE0n	TO0n端子の出力許可 (n = 0-7)							
0	TO0n 端子へのタイマ出力禁止 (タイマ出力はELCLの入力のみ接続され、TO0n端子に出力されません。端子はポートおよび他の兼用機能として使用可能です)							
1	TO0n 端子へのタイマ出力許可 (TAU0のチャンネルnを使用しない場合は、ポートおよび他の兼用機能として使用可能です)							

図4 - 16 ポート・ファンクション出力許可レジスタ1 (PFOE1) のフォーマット (1/2)

アドレス : F02ABH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFOE1	1	1	PFOE15	PFOE14	PFOE13	PFOE12	PFOE11	PFOE10
PFOE15	CLKA0端子の出力許可							
0	CLKA0 端子へのシリアル・クロック出力禁止 (シリアル・クロック出力はELCLの入力のみ接続され、CLKA0端子に出力されません。端子はポートおよび他の兼用機能として使用可能です)							
1	CLKA0 端子へのシリアル・クロック出力許可 (シリアル・クロック出力を使用しない場合は、ポート他の兼用機能として使用可能です)							
PFOE14	TxDA0端子の出力許可							
0	TxDA0 端子へのシリアル・データ出力禁止 (シリアル・データ出力はELCLの入力のみ接続され、TxDA0端子に出力されません。端子はポートおよび他の兼用機能として使用可能です)							
1	TxDA0 端子へのシリアル・データ出力許可 (UARTA0を使用しない場合は、ポート他の兼用機能として使用可能です)							

図4 - 16 ポート・ファンクション出力許可レジスタ1 (PFOE1) のフォーマット (2/2)

PFOE13	SCK01 / SCL01 端子の出力許可
0	SCK01 / SCL01 端子へのシリアル・クロック出力禁止 (シリアル・クロック出力はELCLの入力のみ接続され、SCK01 / SCL01 端子に出力されません。端子はポートおよび他の兼用機能として使用可能です)
1	SCK01 / SCL01 端子へのシリアル・クロック出力許可 (SAU0のチャンネル1を使用しない場合は、ポート他の兼用機能として使用可能です)

PFOE12	SCK00 / SCL00 端子の出力許可
0	SCK00 / SCL00 端子へのシリアル・クロック出力禁止 (シリアル・クロック出力はELCLの入力のみ接続され、SCK00 / SCL00 端子に出力されません。端子はポートおよび他の兼用機能として使用可能です)
1	SCK00 / SCL00 端子へのシリアル・クロック出力許可 (SAU0のチャンネル0を使用しない場合は、ポート他の兼用機能として使用可能です)

PFOE11	SO01 端子の出力許可
0	SO01 端子へのシリアル・データ出力禁止 (シリアル・データ出力はELCLの入力のみ接続され、SO01 端子に出力されません。端子はポートおよび他の兼用機能として使用可能です)
1	SO01 端子へのシリアル・データ出力許可 (SAU0のチャンネル1を使用しない場合は、ポート他の兼用機能として使用可能です)

PFOE10	SO00 / TxD0 端子の出力許可
0	SO00 / TxD0 端子へのシリアル・データ出力禁止 (シリアル・データ出力はELCLの入力のみ接続され、SO00 / TxD0 端子に出力されません。端子はポートおよび他の兼用機能として使用可能です)
1	SO00 / TxD0 端子へのシリアル・データ出力許可 (SAU0のチャンネル0を使用しない場合は、ポート他の兼用機能として使用可能です)

#### 4.3.16 ポート・モード選択レジスタ (PMS)

PMS レジスタは、端子が出力モード (ポート・モード・レジスタ (PMm) の PMmn ビットが 0) 時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。詳細は **27.3.11.1 ポート・モード選択レジスタ (PMS)** を参照してください。

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

### 4.4.4 $EV_{DD} \leq V_{DD}$ による異電位（1.8 V系、2.5 V系、3 V系）対応

異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスとの接続時には、 $EV_{DD}$  を接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

#### 4.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応

ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）で入出力バッファを切り替えることにより、異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系、2.5 V系、3 V系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ 0, 1, 3, 4, 5, 7, 8, 14（PIM0, PIM1, PIM3, PIM4, PIM5, PIM7, PIM8, PIM14）をビットごとに設定して、通常入力（CMOS）／TTL 入力バッファを切り替えます。

異電位（1.8 V系、2.5 V系、3 V系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ 0, 1, 3, 4, 5, 7, 8, 9, 12, 14（POM0, POM1, POM3, POM4, POM5, POM7, POM8, POM9, POM12, POM14）をビットごとに設定して、通常出力（CMOS）／N-ch オープン・ドレイン（V<sub>DD</sub> 耐圧<sup>注1</sup>／EV<sub>DD</sub> 耐圧<sup>注2</sup>）を切り替えます。

ポート・デジタル・インプット・ディスエーブル・レジスタ 0, 1, 3, 4, 5, 7, 8, 9, 12, 13, 14（PDIDIS0, PDIDIS1, PDIDIS3, PDIDIS4, PDIDIS5, PDIDIS7, PDIDIS8, PDIDIS9, PDIDIS12, PDIDIS13, PDIDIS14）をビットごとに設定すると、入力バッファへの貫通電流を防止できます。

以下、シリアル・インタフェースでの接続について説明します。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

(1) UART0-UART3, UARTA0, UARTA1, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の入力ポートをTTL入力バッファで使用する場合の設定手順

- UART0の場合 : P11 (P16)
- UART1の場合 : P03 (P81)
- UART2の場合 : P14
- UART3の場合 : P143
- UARTA0の場合 : P84
- UARTA1の場合 : P33
- CSI00の場合 : P10, P11 (P55, P16)
- CSI01の場合 : P43, P44
- CSI10の場合 : P03, P04 (P81, P80)
- CSI20の場合 : P14, P15
- CSI30の場合 : P142, P143
- CSI31の場合 : P53, P54

**備考** ( ) 内の端子は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0, PIM1, PIM3, PIM4, PIM5, PIM8, PIM14 レジスタの該当ビットを1に設定し、TTL 入力バッファに切り替えます。なお、V<sub>IH</sub>、V<sub>IL</sub> は、TTL 入力バッファ選択時の DC 特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し、UART／簡易 SPI（CSI<sup>注</sup>）モードに設定します。

**注** 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

(2) UART0-UART3, UARTA0, UARTA1, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

- UART0の場合 : P12 (P17)
- UART1の場合 : P02 (P82)
- UART2の場合 : P13
- UART3の場合 : P144
- UARTA0の場合 : P83
- UARTA1の場合 : P34
- CSI00の場合 : P10, P12 (P55, P17)
- CSI01の場合 : P43, P45
- CSI10の場合 : P02, P04 (P82, P80)
- CSI20の場合 : P13, P15
- CSI30の場合 : P142, P144
- CSI31の場合 : P52, P54

**備考** ( ) 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

- ① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ PDIDIS0, PDIDIS1, PDIDIS3, PDIDIS4, PDIDIS5, PDIDIS8, PDIDIS14 レジスタの該当ビットを1に設定し、入力バッファの入力禁止に設定します。
- ④ 該当するポートの出力ラッチに1を設定します。
- ⑤ POM0, POM1, POM3, POM4, POM5, POM8, POM14 レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (VDD 耐圧<sup>注1</sup> / EVDD 耐圧<sup>注2</sup>) モードに設定します。
- ⑥ シリアル・アレイ・ユニットを動作許可し、UART / 簡易 SPI (CSI) モードに設定します。
- ⑦ PM0, PM1, PM3, PM4, PM5, PM8, PM14 レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

(3) IIC00, IIC01, IIC10, IIC20, IIC30, IIC31機能の入出力ポートを、異電位 (1.8 V系, 2.5 V系, 3 V系) で使用する場合の設定手順

- IIC00の場合 : P10, P11
- IIC01の場合 : P43, P44
- IIC10の場合 : P03, P04 (P81, P80)
- IIC20の場合 : P14, P15
- IIC30の場合 : P142, P143
- IIC31の場合 : P53, P54

**備考** ( ) 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0, POM1, POM4, POM5, POM8, POM14 レジスタの該当ビットを1に設定し、N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧<sup>注1</sup> / EV<sub>DD</sub> 耐圧<sup>注2</sup>) モードに設定します。
- ⑤ PIM0, PIM1, PIM4, PIM5, PIM8, PIM14 レジスタの該当ビットを1に設定し、TTL 入力バッファに切り替えます。なお、V<sub>IH</sub>、V<sub>IL</sub> は、TTL 入力バッファ選択時の DC 特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易 I<sup>2</sup>C モードに設定します。
- ⑦ PM0, PM1, PM4, PM5, PM8, PM14 レジスタの該当ビットを出力モードに設定します (出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

**注1.** 30～52ピン製品の場合

**注2.** 64～128ピン製品の場合

## 4.5 兼用機能使用時のレジスタ設定

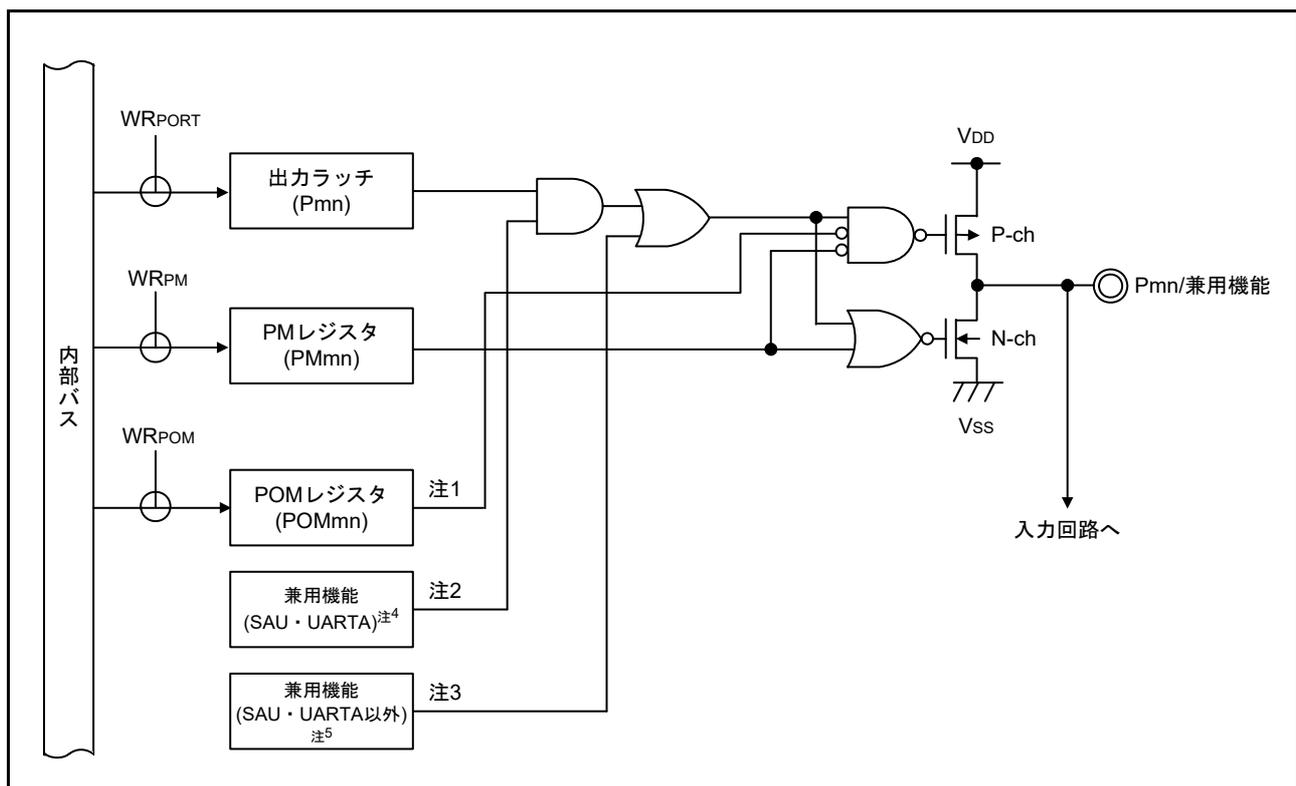
### 4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロールA・レジスタ (PMCAxx) で設定してください。

また、静電容量計測機能と兼用している端子については、静電容量計測機能で使用するかデジタル入出力で使用するかをポート・モード・コントロールT・レジスタ (PMCTxx) で設定してください。ロジック&イベント・リンク・コントローラの出力機能と兼用している端子については、ロジック&イベント・リンク・コントローラ機能で使用するかをポート・モード・コントロールE・レジスタ (PMCEX) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-17に示します。ポートの出力ラッチの出力と兼用しているSAU, UARTA機能 (UARTAのクロック出力を除く)の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU, UARTA以外の機能 (TAU, RTC、クロック/ブザー出力、IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-5に示します。

図4-17 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はロウ (0) と考えてください。

注2. 兼用機能がない場合には、この信号はハイ (1) と考えてください。

注3. 兼用機能がない場合には、この信号はロウ (0) と考えてください。

注4. UARTAのクロック出力を除く

注5. UARTAのクロック出力を含む

備考 m : ポート番号 (m = 0-15)、n : ビット番号 (n = 0-7)

表4 - 5 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU, UARTAの出力機能 <sup>注1</sup>	SAU, UARTA以外の出力機能 <sup>注2</sup>
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAU, UARTAの出力機能 <sup>注1</sup>	High (1)	出力はHigh (1)	出力はLow (0)
SAU, UARTA以外の出力機能 <sup>注2</sup>	Low (0)	Don't care	出力はLow (0) <sup>注3</sup>

**注1.** UARTAのクロック出力を除く

**注2.** UARTAのクロック出力を含む

**注3.** 1つの端子にSAU, UARTA以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はロウ (0) にしておく必要があります。また、1つの端子にSAUとUARTAの出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はハイ (1) にしておく必要があります。具体的な設定方法については、**4.5.2 出力機能を使用しない兼用機能のレジスタ設定**を参照してください。

## 4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺 I/O リダイレクト機能の対象になっている場合には、周辺 I/O リダイレクション・レジスタ (PIOR) を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

- (1)  $SOp = 1 / TxDq = 1$  (SAUのシリアル出力 (SO<sub>p</sub>/TxD<sub>q</sub>) を使用しない場合の設定)  
SAUをシリアル入力のみで使用するなど、シリアル出力 (SO<sub>p</sub>/TxD<sub>q</sub>) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ  $m$  (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ  $m$  (SOm) のSOmnビットを1 (ハイ) に設定してください。さらにポートとして使用する場合はSO<sub>p</sub>/TxD<sub>q</sub> 端子、SCKp端子に該当するPFOE1xビットを1に設定してください。(ポート以外の兼用機能についてはPFOE1xビットの0設定も可能) これは初期状態と同じ設定です。
- (2)  $SCKp = 1 / SDAr = 1 / SCLr = 1$  (SAUのチャネルnを使用しない場合の設定)  
SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタ  $m$  (SEm) のビット  $n$  (SEmn) を0 (動作停止状態) に設定し、使用しない出力に対応したシリアル出力許可レジスタ  $m$  (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ  $m$  (SOm) のSOmnビットとCKOmnビットを1 (ハイ) に設定してください。さらにポートとして使用する場合はSO<sub>p</sub>/TxD<sub>q</sub> 端子、SCKp端子に該当するPFOE1xビットを1に設定してください。(ポート以外の兼用機能についてはPFOE1xビットの0設定も可能) これは初期状態と同じ設定です。
- (3)  $TOmn = 0$  (TAUのチャネルnの出力を使用しない場合の設定)  
TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ  $0$  (TOE0) のビットを0 (出力禁止)、タイマ出力レジスタ  $0$  (TO0) のビットを0 (ロウ) に設定してください。これは初期状態と同じ設定です。またタイマ出力の動作にかかわらずTOmn端子に該当するPFOE0xビットを0に設定することも可能です。
- (4)  $SDAAn = 0 / SCLAn = 0$  (IICAを使用しない場合の設定)  
IICAを使用しない場合は、IICAコントロール・レジスタ  $n0$  (IICCTLn0) のIICEnビットを0 (動作停止) にしてください。これは初期状態と同じ設定です。
- (5)  $PCLBUZn = 0$  (クロック出力/ブザー出力を使用しない場合の設定)  
クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ  $n$  (CKSn) のPCLOEnビットを0 (出力禁止) にしてください。これは初期状態と同じ設定です。
- (6)  $TxDAp = 1 / CLKAp = 0$  (UARTAを使用しない場合の設定)  
UARTAを使用しない場合の設定は、動作モード設定レジスタ ASIMAn0のUARTAEnビット、TXEAnビット、およびRXEAnビットを0 (動作禁止) に設定してください。さらにTxDAp端子に該当するPFOE1xビットに1を設定してください。これは初期状態と同じです。またCLKA0端子の場合はUARTAの動作にかかわらずCLKA0端子に該当するPFOE1xビットに0を設定することも可能です。

### 4.5.3 ポートの各レジスタ設定と端子状態

ポートの各レジスタ設定と端子状態を表 4-6 に示します。

表4-6 ポートのレジスタの設定値と端子状態の関係

PMCAxx	PMCTxx	PMCEx	PMxx	Pxx	PUxx	CCDE0x	CCSx	端子状態
1	x	x	x	x	x	x	x	アナログ入力/出力
0	1	x	x	x	x	x	x	静電容量計測
0	0	1	0	x	x	x	x	ELCL出力
0	0	x	1	x	1	x	x	プルアップ
0	0	x	1	x	0	x	x	Hi-Z
0	0	0	0	1	x	x	x	ポート・ハイ・レベル出力
0	0	0	0	0	x	1	000	Hi-Z
0	0	0	0	0	x	1	001 010 011 100	出力電流制御ポート
0	0	0	0	0	x	0	x	ポート・ロウ・レベル出力

備考 x : Don't care

### 4.5.4 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表 4-7、表 4-8 に示します。ポート機能を制御するレジスタを表 4-7、表 4-8 のように設定してください。なお、表 4-7、表 4-8 の表記については次の備考を参照してください。

備考 — : 対象外  
 x : Don't care  
 PIOR : 周辺 I/O リダイレクション・レジスタ  
 POMxx : ポート出力モード・レジスタ  
 PMCAxx : ポート・モード・コントロール A・レジスタ  
 PMCTxx : ポート・モード・コントロール T・レジスタ  
 PMCEx : ポート・モード・コントロール E・レジスタ  
 CCDE : 出力電流制御許可レジスタ  
 CCSx : 出力電流選択レジスタ  
 PMxx : ポート・モード・レジスタ  
 Pxx : ポート出力ラッチ

( ) 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

注意 レジスタ設定例では、ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) は入力バッファの入力許可の設定です。

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96KB・128KBの30ピン製品～64ピン製品) (1/16)

端子名称	使用機能		PIOR	POMxx	PMCAXX	PMCTxx	PMCEX	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力								SAU・UARTA (UARTAの クロック出力 を除く)	SAU・UARTA 以外 (UARTAの クロック出力 を含む)								
P00	P00	入力	—	x	0注1	—	—	1	x	x	—	○	○	○	○	○	○	○	○
		出力	—	0	0注1	—	—	0	0/1	TxD1 = 1注2	—								
		N-chOD出力	—	1	0注1	—	—	0	0/1										
	ANI17	アナログ入力	—	x	1	—	—	1	x	x	—	○	○	x	x	x	x	x	x
	EI00	入力	—	x	0注1	—	—	1	x	x	—	○	○	○	○	○	○	○	○
	TI00	入力	—	x	0注1	—	—	1	x	x	—	○	○	○	○	○	○	○	○
TxD1	出力	—	0/1	0注1	—	—	0	1	x	—	○	○	○	○	○	○	x	x	
P01	P01	入力	—	—	0注1	—	0	1	x	—	x	○	○	○	○	○	○	○	○
		出力	—	—	0注1	—	0	0	0/1	—	TO00 = 0								
	ANI16	アナログ入力	—	—	1	—	0	1	x	—	x	○	○	x	x	x	x	x	
	EI01	入力	—	—	0注1	—	0	1	x	—	x	○	○	○	○	○	○	○	
	EO01	出力	—	—	0注1	—	1	0	x	—	—	○	○	○	○	○	○	○	
	TO00	出力	—	—	0注1	—	0	0	0	—	x	○	○	○	○	○	○	○	
	RxD1	入力	—	—	0注1	—	0	1	x	—	x	○	○	○	○	○	○	x	x
P02	P02	入力	—	x	0	—	—	1	x	x	—	x	x	x	x	x	x	○	○
		出力	—	0	0	—	—	0	0/1	TxD1/ SO10 = 1注3	—								
		N-chOD出力	—	1	0	—	—	0	0/1										
	ANI17	アナログ入力	—	x	1	—	—	1	x	x	—	x	x	x	x	x	x	○	○
	TxD1	出力	—	0/1	0	—	—	0	1	x	—	x	x	x	x	x	x	○	○
SO10	出力	—	0/1	0	—	—	0	1	x	—	x	x	x	x	x	x	x	○	
P03	P03	入力	—	x	0	—	—	1	x	x	—	x	x	x	x	x	x	○	○
		出力	—	0	0	—	—	0	0/1	SDA10 = 1注3	—								
		N-chOD出力	—	1	0	—	—	0	0/1										
	ANI16	アナログ入力	—	x	1	—	—	1	x	x	—	x	x	x	x	x	x	○	○
	SI10	入力	—	x	0	—	—	1	x	x	—	x	x	x	x	x	x	x	○
	RxD1	入力	—	x	0	—	—	1	x	x	—	x	x	x	x	x	x	○	○
SDA10	入出力	—	1	0	—	—	0	1	x	—	x	x	x	x	x	x	x	○	

注1. 30、32ピン製品のみ

注2. 30～48ピン製品のみ

注3. 64ピン製品のみ

表4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (2/16)

端子 名称	使用機能		PIOR	POMxx	PMCAXx	PMCTxx	PMCEX	PMIxx	Pxx	兼用機能出力		30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン		
	機能名称	入出力								SAU・ UARTA (UARTAの クロック 出力を除く)	SAU・ UARTA以外 (UARTAの クロック 出力を含む)										
P04	P04	入力	—	x	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	○	
		出力	—	0	—	—	—	—	0	0/1	SCK10/ SCL10 = 1	—									
		N-chOD出力	—	1	—	—	—	—	0	0/1											
	SCK10	入力	—	x	—	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	○
		出力	—	0/1	—	—	—	—	0	1	x	—	x	x	x	x	x	x	x	x	○
	SCL10	出力	—	0/1	—	—	—	—	0	1	x	—	x	x	x	x	x	x	x	x	○
P05	P05	入力	—	—	—	0	—	1	x	—	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	—	0	—	0	0/1	—	TO05 = 0										
	TS10	入出力	—	—	—	1	—	1	x	—	x	x	x	x	x	x	x	x	x	○	
	TI05	入力	PIOR0 = 0	—	—	0	—	1	x	—	x	x	x	x	x	x	x	x	x	○	
	TO05	出力	PIOR0 = 0	—	—	0	—	0	0	—	x	x	x	x	x	x	x	x	x	○	
P06	P06	入力	—	—	—	0	—	1	x	—	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	—	0	—	0	0/1	—	TO06 = 0 CLKA0 = 0										
	TS11	入出力	—	—	—	1	—	1	x	—	x	x	x	x	x	x	x	x	x	○	
	TI06	入力	PIOR0 = 0	—	—	0	—	1	x	—	x	x	x	x	x	x	x	x	x	○	
	TO06	出力	PIOR0 = 0	—	—	0	—	0	0	—	CLKA0 = 0	x	x	x	x	x	x	x	x	○	
	CLKA0	出力	—	—	—	0	—	0	0	—	TO06 = 0	x	x	x	x	x	x	x	x	○	

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (3/16)

端子名称	使用機能		PIOR	POMxx	PMCAxx	PMCEx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	
	機能名称	入出力									SAU・UARTA (UARTAの クロック出力 を除く)	SAU・UARTA 以外 (UARTAの クロック出力 を含む)									
P10	P10	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	—	—	0	0/1	SCK00/SCL00 = 1	(TO07) = 0	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	—	0	—	—	0	0/1			○	○	○	○	○	○	○	○	○
	EI10	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
		EO10	出力	—	0/1	—	1	—	—	0	x	x	○	○	○	○	○	○	○	○	○
	SCK00	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
		出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO07) = 0	○	○	○	○	○	○	○	○	○
	SCL00	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO07) = 0	○	○	○	○	○	○	○	○	○
	(TI07)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
(TO07)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	x	○	○	○	○	○	○	○	○	○	
P11	P11	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	—	—	0	0/1	SDA00 = 1	(TO06) = 0	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	—	0	—	—	0	0/1			○	○	○	○	○	○	○	○	○
	EI11	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
		EO11	出力	—	0/1	—	1	—	—	0	x	x	○	○	○	○	○	○	○	○	○
	SI00	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
	RxD0	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
	SDA00	入出力	PIOR1 = 0	1	—	0	—	—	0	1	x	(TO06) = 0	○	○	○	○	○	○	○	○	○
	(TI06)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
(TO06)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	x	○	○	○	○	○	○	○	○	○	
P12	P12	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	—	—	0	0/1	SO00/TxD0 = 1	(TO05) = 0	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	—	0	—	—	0	0/1			○	○	○	○	○	○	○	○	○
	EI12	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
		EO12	出力	—	0/1	—	1	—	—	0	x	x	○	○	○	○	○	○	○	○	○
	SO00	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO05) = 0	○	○	○	○	○	○	○	○	○
	TxD0	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO05) = 0	○	○	○	○	○	○	○	○	○
	(INTP5)	入力	PIOR4 = 1	x	—	0	—	—	1	x	x	x	x	x	x	x	x	x	x	x	○
	(TI05)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○
(TO05)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	x	○	○	○	○	○	○	○	○	○	

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (4/16)

端子名称	使用機能		PIOR	POMxx	PMCAxx	PMCEx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン		
	機能名称	入出力									SAU・UARTA (UARTAの クロック出力を 除く)	SAU・UARTA 以外 (UARTAの クロック出力を 含む)										
P13	P13	入力	—	x	0	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	
		出力	—	0	0	0	—	—	0	0/1	TxD2/SO20 = 1	(TO04) = 0 (SDAA0) = 0	○	○	○	○	○	○	○	○	○	
		N-chOD出力	—	1	0	0	—	—	0	0/1												
	EO13	出力	—	0/1	0	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○
	TxD2	出力	PIOR1 = 0	0/1	0	0	—	—	0	1	x	(TO04) = 0 (SDAA0) = 0	○	○	○	○	○	○	○	○	○	○
	SO20	出力	PIOR1 = 0	0/1	0	0	—	—	0	1	x	(TO04) = 0 (SDAA0) = 0	○	○	○	○	○	○	○	○	○	○
	(SDAA0)	入出力	PIOR2 = 1	1	0	0	—	—	0	0	x	(TO04) = 0	○	○	○	○	○	○	○	○	○	○
	(TI04)	入力	PIOR0 = 1	x	0	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○
	(TO04)	出力	PIOR0 = 1	0	0	0	—	—	0	0	x	(SDAA0) = 0	○	○	○	○	○	○	○	○	○	○
IVREF1	アナログ入力	—	x	1	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
P14	P14	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	
		出力	—	0	—	0	—	—	0	0/1	SDA20 = 1	VCOUT1 = 0 (TO03) = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	
		N-chOD出力	—	1	—	0	—	—	0	0/1												
	EO14	出力	—	0/1	—	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○
	VCOUT1	出力	—	0	—	0	—	—	0	0	x	(TO03) = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○
	RxD2	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○
	SI20	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○
	SDA20	入出力	PIOR1 = 0	1	—	0	—	—	0	1	x	VCOUT1 = 0 (TO03) = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○
	(SCLA0)	入出力	PIOR2 = 1	1	—	0	—	—	0	0	x	VCOUT1 = 0 (TO03) = 0	○	○	○	○	○	○	○	○	○	○
(TI03)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
(TO03)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	VCOUT1 = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	
P15	P15	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	
		出力	—	0	—	0	—	—	0	0/1	SCK20/SCL20 = 1	PCLBUZ1 = 0注 (TO02) = 0	○	○	○	○	○	○	○	○	○	
		N-chOD出力	—	1	—	0	—	—	0	0/1												
	EO15	出力	—	0/1	—	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○
	PCLBUZ1	出力	—	0	—	0	—	—	0	0	x	(TO02) = 0	○	○	○	○	○	○	○	○	○	x
	SCK20	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○
		出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	PCLBUZ1 = 0注 (TO02) = 0	○	○	○	○	○	○	○	○	○	○
	SCL20	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	PCLBUZ1 = 0注 (TO02) = 0	○	○	○	○	○	○	○	○	○	○
(TI02)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
(TO02)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	PCLBUZ1 = 0注	○	○	○	○	○	○	○	○	○	○	

注 30～52ピン製品のみ

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (5/16)

端子名称	使用機能		PIOR	POMxx	PMCAxx	PMCEX	CCDE	CCSx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン		
	機能名称	入出力									SAU・UARTA (UARTAの クロック出力を 除く)	SAU・UARTA 以外 (UARTAの クロック出力を 含む)										
P16	P16	入力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○	
		出力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	0	0/1	x	TO01 = 0	○	○	○	○	○	○	○	○	○	
	CCD00	出力	—	—	—	0	CCDE00 = 1	CCS0x = 001-011	0	0	x	TO01 = 0	○	○	○	○	○	○	○	○	○	
	EO16	出力	—	—	—	1	CCDE00 = 0	CCS0x = xxx	0	x	x	x	○	○	○	○	○	○	○	○	○	
	TI01	入力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○	
	TO01	出力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	0	0	x	x	○	○	○	○	○	○	○	○	○	
	INTP5	入力	PIOR4 = 0 注	—	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○
	(SI00)	入力	PIOR1 = 1	—	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	x	x	x	x	x	x	x	x	x	x	○
(RxD0)	入力	PIOR1 = 1	—	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○	
P17	P17	入力	—	x	—	0	CCDE01 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○	
		出力	—	0	—	0	CCDE01 = 0	CCS0x = xxx	0	0/1	(TxD0) = 1	TO02 = 0	○	○	○	○	○	○	○	○	○	
		N-chOD 出力	—	1	—	0	CCDE01 = 0	CCS0x = xxx	0	0/1	(SO00) = 1注	TO02 = 0	○	○	○	○	○	○	○	○	○	
	CCD01	出力	—	0/1	—	0	CCDE01 = 1	CCS0x = 001-011	0	0	x	TO02 = 0	○	○	○	○	○	○	○	○	○	
	EO17	出力	—	0/1	—	1	CCDE01 = 0	CCS0x = xxx	0	x	x	x	○	○	○	○	○	○	○	○	○	
	TI02	入力	PIOR0 = 0	x	—	0	CCDE01 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○	
	TO02	出力	PIOR0 = 0	0	—	0	CCDE01 = 0	CCS0x = xxx	0	0	x	x	○	○	○	○	○	○	○	○	○	
	(TxD0)	出力	PIOR1 = 1	0/1	—	0	CCDE01 = 0	CCS0x = xxx	0	1	x	TO02 = 0	○	○	○	○	○	○	○	○	○	
(SO00)	出力	PIOR1 = 1	0/1	—	0	CCDE01 = 0	CCS0x = xxx	0	1	x	TO02 = 0	x	x	x	x	x	x	x	x	x	○	

注 64ピン製品のみ

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (6/16)

端子名称	使用機能		PMCAxx	PMxx	Pxx	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力											
P20	P20	入力	0	1	×	○	○	○	○	○	○	○	○
		出力	0	0	0/1								
	ANI0	アナログ入力	1	1	×	○	○	○	○	○	○	○	○
	AVREFP	基準電圧	1	1	×	○	○	○	○	○	○	○	○
P21	P21	入力	0	1	×	○	○	○	○	○	○	○	○
		出力	0	0	0/1								
	ANI1	アナログ入力	1	1	×	○	○	○	○	○	○	○	○
	AVREFM	基準電圧	1	1	×	○	○	○	○	○	○	○	○
	EI21	入力	0	1	×	○	○	○	○	○	○	○	○
P22	P22	入力	0	1	×	○	○	○	○	○	○	○	○
		出力	0	0	0/1								
	ANI2	アナログ入力	1	1	×	○	○	○	○	○	○	○	○
	ANO0	アナログ出力	1	1	×	○	○	○	○	○	○	○	○
	EI22	入力	0	1	×	○	○	○	○	○	○	○	○
P23	P23	入力	0	1	×	○	○	○	○	○	○	○	○
		出力	0	0	0/1								
	ANI3	アナログ入力	1	1	×	○	○	○	○	○	○	○	○
	ANO1	アナログ出力	1	1	×	○	○	○	○	○	○	○	○
	IVREF0	アナログ入力	1	1	×	○	○	○	○	○	○	○	○
	EI23	入力	0	1	×	○	○	○	○	○	○	○	○
P24	P24	入力	0	1	×	×	×	○	○	○	○	○	○
		出力	0	0	0/1								
	ANI4	アナログ入力	1	1	×	×	×	○	○	○	○	○	○
P25	P25	入力	0	1	×	×	×	○	○	○	○	○	○
		出力	0	0	0/1								
	ANI5	アナログ入力	1	1	×	×	×	○	○	○	○	○	○
P26	P26	入力	0	1	×	×	×	×	○	○	○	○	○
		出力	0	0	0/1								
	ANI6	アナログ入力	1	1	×	×	×	×	○	○	○	○	○
P27	P27	入力	0	1	×	×	×	×	×	○	○	○	○
		出力	0	0	0/1								
	ANI7	アナログ入力	1	1	×	×	×	×	×	○	○	○	○

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (7/16)

端子名称	使用機能		PIOR	PMCTxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力					SAU・UARTA (UARTAのクロック出力を除く)	SAU・UARTA以外 (UARTAのクロック出力を含む)								
P30	P30	入力	—	0	1	×	×	×	○	○	○	○	○	○	○	○
		出力	—	0	0	0/1	SCK11/SCL11 = 1	VCOUT0 = 0 RTC1HZ = 0								
	TSCAP	—	—	1	1	×	×	×	○	○	○	○	○	○	○	○
	EI30	入力	—	0	1	×	×	×	○	○	○	○	○	○	○	○
	VCOUT0	出力	—	0	0	0	×	RTC1HZ = 0	○	○	○	○	○	○	○	○
	INTP3	入力	—	0	1	×	×	×	○	○	○	○	○	○	○	○
	RTC1HZ	出力	—	0	0	0	×	VCOUT0 = 0	○	○	○	○	○	○	○	○
	SCK11	入力	—	0	1	×	×	×	○	○	○	○	○	○	○	○
出力		—	0	0	0	1	×	VCOUT0 = 0 RTC1HZ = 0	○	○	○	○	○	○	○	
SCL11	出力	—	0	0	0	1	×	VCOUT0 = 0 RTC1HZ = 0	○	○	○	○	○	○	○	
P31	P31	入力	—	0	1	×	—	×	○	○	○	○	○	○	○	○
		出力	—	0	0	0/1	—	TO03 = 0 PLCBUZO = 0 <sup>注1</sup> (PCLBUZO) = 0 <sup>注2</sup>								
	TS01	入出力	—	1	1	×	×	×	○	○	○	○	○	○	○	○
	EI31	入力	—	0	1	×	—	×	○	○	○	○	○	○	○	○
	TI03	入力	PIOR0 = 0	0	1	×	—	×	○	○	○	○	○	○	○	○
	TO03	出力	PIOR0 = 0	0	0	0	—	PLCBUZO = 0 <sup>注1</sup> (PCLBUZO) = 0 <sup>注2</sup>	○	○	○	○	○	○	○	○
	INTP4	入力	—	0	1	×	—	×	○	○	○	○	○	○	○	○
	PCLBUZO	出力	—	0	0	0	—	TO03 = 0	○	○	○	○	○	×	×	×
(PCLBUZO)	出力	PIOR3 = 1	0	0	0	—	TO03 = 0	×	×	×	×	×	○	○	○	

注1. 30～44ピン製品のみ

注2. 48～64ピン製品のみ

表4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (8/16)

端子名称	使用機能		PIOR	POMxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力					SAU・UARTA (UARTAのクロック出力を除く)	SAU・UARTA以外 (UARTAのクロック出力を含む)								
P40	P40	入力	—	—	1	×	—	—	○	○	○	○	○	○	○	○
		出力	—	—	0	0/1	—	—								
P41	P41	入力	—	—	1	×	—	×	×	×	×	○	○	○	○	○
		出力	—	—	0	0/1	—	TO07 = 0								
	RxDA1	入力	—	—	1	×	—	×	×	×	×	○	○	○	○	○
	TI07	入力	PIOR0 = 0	—	1	×	—	×	×	×	×	×	○	○	○	○
	TO07	出力	PIOR0 = 0	—	0	0	—	×	×	×	×	×	○	○	○	○
P42	P42	入力	—	×	1	×	×	×	×	×	×	×	×	×	×	○
		出力	—	0	0	0/1	TxDA1 = 1	TO04 = 0	×	×	×	×	×	×	×	○
		N-chOD出力	—	1	0	0/1			×	×	×	×	×	×	×	×
	TxDA1	出力	—	0/1	0	1	×	TO04 = 0	×	×	×	×	×	×	×	○
	TI04	入力	PIOR0 = 0	×	1	×	×	×	×	×	×	×	×	×	×	○
	TO04	出力	PIOR0 = 0	0	0	0	×	×	×	×	×	×	×	×	×	○
P43	P43	入力	—	—	1	×	—	×	×	×	×	×	×	×	×	○
		出力	—	—	0	0/1	—	CLKA1 = 0	×	×	×	×	×	×	×	○
	CLKA1	出力	—	—	0	0	—	×	×	×	×	×	×	×	×	○

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (9/16)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMCEX	CCDE	CCSx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	
	機能名称	入出力									SAU・UARTA (UARTAのクロック出力を除く)	SAU・UARTA以外 (UARTAのクロック出力を含む)									
P50	P50	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	CCDE03 = 0	CCS0x = xxx	0	0/1	—	—	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	0	0	CCDE03 = 0	CCS0x = xxx	0	0/1	—	—	○	○	○	○	○	○	○	○	○
	TS00	入出力	—	x	1	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
	EI50	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
	EO50	出力	—	0/1	0	1	CCDE03 = 0	CCS0x = xxx	0	x	x	—	○	○	○	○	○	○	○	○	○
	CCD03	出力	—	0/1	0	0	CCDE03 = 1	CCS0x = 001-011	0	0	x	—	○	○	○	○	x	○	○	○	○
	INTP1	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
	SI11	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
SDA11	入出力	—	1	0	0	CCDE03 = 0	CCS0x = xxx	0	1	x	—	○	○	○	○	○	○	○	○	○	
P51	P51	入力	—	—	—	0	CCDE02 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
		出力	—	—	—	0	CCDE02 = 0	CCS0x = xxx	0	0/1	—	—	○	○	○	○	○	○	○	○	○
	EI51	入力	—	—	—	0	CCDE02 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
	EO51	出力	—	—	—	1	CCDE02 = 0	CCS0x = xxx	0	x	x	—	○	○	○	○	○	○	○	○	○
	CCD02	出力	—	—	—	0	CCDE02 = 1	CCS0x = 001-011	0	0	x	—	○	○	○	○	○	○	○	○	○
	INTP2	入力	—	—	—	0	CCDE02 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○
P52	P52	入力	—	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○
		出力	—	—	—	—	—	—	—	0	0/1	—	—	x	x	x	x	x	x	x	x
(INTP10)	入力	PIOR1 = 1	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	
P53	P53	入力	—	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○
		出力	—	—	—	—	—	—	—	0	0/1	—	—	x	x	x	x	x	x	x	○
(INTP11)	入力	PIOR1 = 1	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	
P54	P54	入力	—	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○
		出力	—	—	—	—	—	—	—	0	0/1	—	—	x	x	x	x	x	x	x	○
P55	P55	入力	—	x	—	—	—	—	1	x	x	x	x	x	x	x	x	x	x	x	○
		出力	—	0	—	—	—	—	—	0	0/1	(SCK00) = 1	(PCLBUZ1) = 0	x	x	x	x	x	x	x	○
		N-chOD出力	—	1	—	—	—	—	—	0	0/1	—	—	x	x	x	x	x	x	x	○
	(PCLBUZ1)	出力	PIOR4 = 1	0	—	—	—	—	0	0	x	x	x	x	x	x	x	x	x	○	
(SCK00)	SCK00	入力	PIOR1 = 1	x	—	—	—	—	1	x	x	x	x	x	x	x	x	x	x	x	○
		出力	PIOR1 = 1	0/1	—	—	—	—	—	0	1	x	(PCLBUZ1) = 0	x	x	x	x	x	x	x	○

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (10/16)

端子名称	使用機能		PIOR	PMCEX	CCDE	CCSX	PMIX	PXX	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力							SAU・UARTA (UARTAの クロック出力 を除く)	SAU・ UARTA以外 (UARTAの クロック出力 を含む)								
P60	P60	入力	—	0	CCDE04 = 0	CCS4x = 000	1	x	—	x	○	○	○	○	○	○	○	○
		N-chOD出力 (6 V耐圧)	—	0	CCDE04 = 0	CCS4x = 000	0	0/1	—	SCLA0 = 0								
	E060	出力	—	1	CCDE04 = 0	CCS4x = 000	0	x	—	x	○	○	○	○	○	○	○	○
	CCD04	出力	—	0	CCDE04 = 1	CCS4x = 001-100	0	0	—	SCLA0 = 0	○	○	○	○	○	○	○	○
	SCLA0	入出力	PIOR2 = 0	0	CCDE04 = 0	CCS4x = 000	0	0	—	x	○	○	○	○	○	○	○	○
P61	P61	入力	—	0	CCDE05 = 0	CCS5x = 000	1	x	—	x	○	○	○	○	○	○	○	○
		N-chOD出力 (6 V耐圧)	—	0	CCDE05 = 0	CCS5x = 000	0	0/1	—	SDAA0 = 0								
	E061	出力	—	1	CCDE05 = 0	CCS5x = 000	0	x	—	x	○	○	○	○	○	○	○	○
	CCD05	出力	—	0	CCDE05 = 1	CCS5x = 001-100	0	0	—	SDAA0 = 0	○	○	○	○	○	○	○	○
	SDAA0	入出力	PIOR2 = 0	0	CCDE05 = 0	CCS5x = 000	0	0	—	x	○	○	○	○	○	○	○	○
P62	P62	入力	—	—	CCDE06 = 0	CCS6x = 000	1	x	—	x	x	○	○	○	○	○	○	○
		N-chOD出力 (6 V耐圧)	—	—	CCDE06 = 0	CCS6x = 000	0	0/1	—	SCLA1 = 0 <sup>注</sup>								
	CCD06	出力	—	—	CCDE06 = 1	CCS6x = 001-100	0	0	—	SCLA1 = 0 <sup>注</sup>	x	○	○	○	○	○	○	○
	SCLA1	入出力	—	—	CCDE06 = 0	CCS6x = 000	0	0	—	x	x	x	x	○	○	○	○	
P63	P63	入力	—	—	CCDE07 = 0	CCS7x = 000	1	x	—	x	x	x	x	○	○	○	○	
		N-chOD出力 (6 V耐圧)	—	—	CCDE07 = 0	CCS7x = 000	0	0/1	—	SDAA1 = 0 <sup>注</sup>								
	CCD07	出力	—	—	CCDE07 = 1	CCS7x = 001-100	0	0	—	SDAA1 = 0 <sup>注</sup>	x	x	x	x	○	○	○	○
	SDAA1	入出力	—	—	CCDE07 = 0	CCS7x = 000	0	0	—	x	x	x	x	○	○	○	○	

注 44～64ピン製品のみ

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (11/16)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力						SAU・UARTA (UARTAの クロック出力を除く)	SAU・UARTA以外 (UARTAの クロック出力を含む)								
P70	P70	入力	—	—	0	1	x	x	—	x	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	SCK21/SCL21 = 1 <sup>注1</sup>	—								
	TS02	入出力	—	—	1	1	x	x	—	x	○	○	○	○	○	○	○
	RIN0	入力	—	—	0	1	x	x	—	x	○	○	○	○	○	○	○
	KR0	入力	—	—	0	1	x	x	—	x	x	x	○	○	○	○	○
		出力	—	—	0	0	1	x	—	x	x	○	○	○	○	○	○
	SCL21	出力	—	—	0	0	1	x	—	x	x	○	○	○	○	○	○
P71	P71	入力	—	x	0	1	x	x	—	x	x	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SDA21 = 1	—								
		N-chOD出力	—	1	0	0	0/1		—								
	TS03	入出力	—	x	1	1	x	x	—	x	x	○	○	○	○	○	○
	KR1	入力	—	x	0	1	x	x	—	x	x	x	○	○	○	○	○
	SI21	入力	—	x	0	1	x	x	—	x	x	○	○	○	○	○	○
	SDA21	入出力	—	1	0	0	1	x	—	x	x	○	○	○	○	○	○
RxDA0	入力	—	x	0	1	x	x	—	x	x	○	○	○	○	○	○	
P72	P72	入力	—	x	0	1	x	x	—	x	x	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SO21 = 1 TxDA0 = 1	—								
		N-chOD出力	—	1	0	0	0/1		—								
	TS04	入出力	—	x	1	1	x	x	—	x	x	○	○	○	○	○	○
	KR2	入力	—	x	0	1	x	x	—	x	x	x	○	○	○	○	○
	SO21	出力	—	0/1	0	0	1	TxDA0 = 1	—	x	x	○	○	○	○	○	○
TxDA0	出力	—	0/1	0	0	1	SO21 = 1	—	x	x	○	○	○	○	○	○	
P73	P73	入力	—	—	0	1	x	x	—	x	x	x	○	○	○	○	○
		出力	—	—	0	0	0/1	SO01 = 1 <sup>注2</sup>	—								
	TS05	入出力	—	—	1	1	x	x	—	x	x	x	○	○	○	○	○
	KR3	入力	—	—	0	1	x	x	—	x	x	x	○	○	○	○	○
	SO01	出力	—	—	0	0	1	x	—	x	x	x	x	x	○	○	○

注1. 36～64ピン製品のみ

注2. 48～64ピン製品のみ

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (12/16)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力						SAU・UARTA (UARTAのクロック出力を除く)	SAU・UARTA以外 (UARTAのクロック出力を含む)								
P74	P74	入力	—	x	0	1	x	x	—	x	x	x	x	x	○	○	○
		出力	—	0	0	0	0/1	SDA01 = 1	—								
		N-chOD出力	—	1	0	0	0/1										
	TS06	入出力	—	x	1	1	x	x	—	x	x	x	x	x	○	○	○
	KR4	入力	—	x	0	1	x	x	—	x	x	x	x	x	○	○	○
	INTP8	入力	—	x	0	1	x	x	—	x	x	x	x	x	○	○	○
	SI01	入力	—	x	0	1	x	x	—	x	x	x	x	x	○	○	○
SDA01	入出力	—	1	0	0	1	x	—	x	x	x	x	x	○	○	○	
P75	P75	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○
		出力	—	—	0	0	0/1	SCK01/SCL01 = 1	—								
	TS07	入出力	—	—	1	1	x	x	—	x	x	x	x	x	○	○	○
	KR5	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○
	INTP9	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○
	SCK01	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○
		出力	—	—	0	0	1	x	—	x	x	x	x	x	○	○	○
SCL01	出力	—	—	0	0	1	x	—	x	x	x	x	x	○	○	○	
P76	P76	入力	—	—	0	1	x	—	—	x	x	x	x	x	x	○	○
		出力	—	—	0	0	0/1	—	—								
	TS08	入出力	—	—	1	1	x	—	—	x	x	x	x	x	x	○	○
	KR6	入力	—	—	0	1	x	—	—	x	x	x	x	x	x	○	○
	INTP10	入力	PIOR1 = 0	—	0	1	x	—	—	x	x	x	x	x	x	○	○
	(RxD2)	入力	PIOR1 = 1	—	0	1	x	—	—	x	x	x	x	x	x	○	○
P77	P77	入力	—	—	0	1	x	x	—	x	x	x	x	x	x	○	○
		出力	—	—	0	0	0/1	(TxD2) = 1	—								
	TS09	入出力	—	—	1	1	x	x	—	x	x	x	x	x	x	○	○
	KR7	入力	—	—	0	1	x	x	—	x	x	x	x	x	x	○	○
	INTP11	入力	PIOR1 = 0	—	0	1	x	x	—	x	x	x	x	x	x	○	○
	(TxD2)	出力	PIOR1 = 1	—	0	0	1	x	—	x	x	x	x	x	x	○	○

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (13/16)

端子 名称	使用機能		POMxx	PMCAXx	PMxx	Pxx	兼用機能出力		30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力					SAU・ UARTA (UARTAの クロック 出力を除く)	SAU・ UARTA以外 (UARTAの クロック 出力を含む)									
P120	P120	入力	×	0	1	×	×	—	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1	TxDA1 = 1	—	○	○	○	○	○	○	○	○	○
		N-chOD出力	1	0	0	0/1											
	ANI19	アナログ入力	×	1	1	×	×	—	○	○	○	○	○	○	○	○	○
	IVCMP1	アナログ入力	×	1	1	×	×	—	○	○	○	○	○	○	○	○	○
	EI120	入力	×	0	1	×	×	—	○	○	○	○	○	○	○	○	○
	TxDA1	出力	0/1	0	0	1	×	—	×	×	×	×	○	○	○	○	×

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (14/16)

端子名称	使用機能		CMC		PMxx	Pxx	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン		
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL												
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	×	○	○	○	○	○	○	○	○		
			xx 00 / xx 10 / xx 11	1注												
		出力	00 xx / 10 xx / 11 xx	0											0	0/1
			xx 00 / xx 10 / xx 11	1注												
	E121	入力	00 xx / 10 xx / 11 xx	0	1	×	○	○	○	○	○	○	○	○		
			xx 00 / xx 10 / xx 11	1注												
	VBAT	入力	00 xx / 10 xx / 11 xx	0	0	1	×	×	×	○	○	○	○	○		
X1	—	01 xx	0	1	×	○	○	○	○	○	○	○	○			
XT1	—	xx 01	1	1	×	○	○	○	×	×	×	×	×			
P122	P122	入力	00 xx / 10 xx	0	1	×	○	○	○	○	○	○	○	○		
			xx 00 / xx 10	1注												
		出力	00 xx / 10 xx	0											0	0/1
			xx 00 / xx 10	1注												
	E122	入力	00 xx / 10 xx	0	1	×	○	○	○	○	○	○	○	○		
			xx 00 / xx 10	1注												
	X2	—	01 xx	0	1	×	○	○	○	○	○	○	○	○		
	XT2	—	xx 01	1	1	×	○	○	○	×	×	×	×	×		
EXCLK	入力	11 xx	0	1	×	○	○	○	○	○	○	○	○			
EXCLKS	入力	xx 11	1	1	×	○	○	○	×	×	×	×	×			
P123	P123	入力	xx 00 / xx 10 / xx 11	0	—	×	×	×	×	○	○	○	○	○		
	XT1	—	xx 01	0	—	×	×	×	○	○	○	○	○			
P124	P124	入力	xx 00 / xx 10	0	—	×	×	×	○	○	○	○	○			
	XT2	—	xx 01	0	—	×	×	×	○	○	○	○	○			
	EXCLKS	入力	xx 11	0	—	×	×	×	○	○	○	○	○			

注 30～36ピン製品のみ

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (15/16)

端子名称	使用機能		PMxx	Pxx	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力										
P130	P130	出力	—	0/1	×	×	×	×	×	○	○	○
P137	P137	入力	—	×	○	○	○	○	○	○	○	○
	E137	入力	—	×	○	○	○	○	○	○	○	○
	INTP0	入力	—	×	○	○	○	○	○	○	○	○

表4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品) (16/16)

端子名称	使用機能		PIOR	POMxx	PMCAXx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力						SAU・UARTA (UARTAの クロック出力 を除く)	SAU・UARTA 以外 (UARTAの クロック出力 を含む)								
P140	P140	入力	—	—	—	1	×	—	×	×	×	×	×	×	○	○	○
		出力	—	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—
	PCLBUZ0	出力	PIOR3 = 0	—	—	0	0	—	×	×	×	×	×	×	○	○	○
	INTP6	入力	—	—	—	1	×	—	×	×	×	×	×	×	○	○	○
P141	P141	入力	—	—	—	1	×	—	×	×	×	×	×	×	×	×	○
		出力	—	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—
	PCLBUZ1	出力	PIOR4 = 0	—	—	0	0	—	×	×	×	×	×	×	×	×	○
	INTP7	入力	—	—	—	1	×	—	×	×	×	×	×	×	×	×	○
P146	P146	入力	—	—	—	1	×	—	—	×	×	×	×	○	○	○	○
		出力	—	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—
P147	P147	入力	—	—	0	1	×	—	—	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—	—	—	—	—	—	—	—	—
	ANI18	アナログ入力	—	—	1	1	×	—	—	○	○	○	○	○	○	○	○
	IVCMP0	アナログ入力	—	—	1	1	×	—	—	○	○	○	○	○	○	○	○
	EI147	入力	—	—	0	1	×	—	—	○	○	○	○	○	○	○	○

表4-8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (1/21)

端子名称	使用機能		PIOR	POMxx	PMCAXX	PMCTXX	PMCEX	PMxx	Pxx	兼用機能出力													
	機能名称	入出力								SAU・UARTA (UARTAの クロック出力を 除く)	SAU・UARTA 以外 (UARTAの クロック出力を 含む)	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン	
P00	P00	入力	—	x	0注1	0	—	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0注1	0	—	0	0/1	TxD1 = 1注2	—												
		N-chOD出力	—	1	0注1	0	—	0	0/1														
	ANI17	アナログ入力	—	x	1	0	—	1	x	x	—	○	○	x	x	x	x	x	x	x	x	x	x
	TS26	入出力	—	x	0注1	1	—	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
	EI00	入力	—	x	0注1	0	—	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
	TI00	入力	—	x	0注1	0	—	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
TxD1	出力	—	0/1	0注1	0	—	0	1	x	—	○	○	○	○	○	x	x	x	x	x	x	x	
P01	P01	入力	—	—	0注1	0	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0注1	0	0	0	0/1	—	TO00 = 0												
	ANI16	アナログ入力	—	—	1	0	0	1	x	—	x	○	○	x	x	x	x	x	x	x	x	x	x
	TS27	入出力	—	—	0注1	1	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○
	EI01	入力	—	—	0注1	0	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○
	EO01	出力	—	—	0注1	0	1	0	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○
	TO00	出力	—	—	0注1	0	0	0	0	—	x	○	○	○	○	○	○	○	○	○	○	○	○
RxD1	入力	—	—	0注1	0	0	1	x	—	x	○	○	○	○	○	x	x	x	x	x	x	x	
P02	P02	入力	—	x	0	0	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
		出力	—	0	0	0	—	0	0/1	TxD1 = 1 SO10 = 1注4	—												
		N-chOD出力	—	1	0	0	—	0	0/1														
	ANI17	アナログ入力	—	x	1	0	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
	TS28	入出力	—	x	0	1	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
	TxD1	出力	PIOR5 = 0注3	0/1	0	0	—	0	1	x	—	x	x	x	x	x	○	○	○	○	○	○	○
	SO10	出力	PIOR5 = 0注3	0/1	0	0	—	0	1	x	—	x	x	x	x	x	○	○	○	○	○	○	○
P03	P03	入力	—	x	0	0	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
		出力	—	0	0	0	—	0	0/1	SDA10 = 1注4	—												
		N-chOD出力	—	1	0	0	—	0	0/1														
	ANI16	アナログ入力	—	x	1	0	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
	TS29	入出力	—	x	0	1	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
	SI10	入力	PIOR5 = 0注3	x	0	0	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
	RxD1	入力	PIOR5 = 0注3	x	0	0	—	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○	○
SDA10	入出力	PIOR5 = 0注3	1	0	0	—	0	1	x	—	x	x	x	x	x	○	○	○	○	○	○	○	

- 注1. 30、32ピン製品のみ
- 注2. 30~48ピン製品のみ
- 注3. 100、128ピン製品のみ
- 注4. 64~128ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192 KB~768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品) (2/21)

端子名称	使用機能		PIOR	POMxx	PMCAxx	PMCTxx	PMCEx	PMxx	Pxx	兼用機能出力												
	機能名称	入出力								SAU・UARTA (UARTAの クロック出力を 除く)	SAU・UARTA 以外 (UARTAの クロック出力を 含む)	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン
										SCK10/SCL10 = 1	—											
P04	P04	入力	—	x	—	—	—	1	x	x	—	x	x	x	x	x	x	○	○	○	○	
		出力	—	0	—	—	—	0	0/1	SCK10/SCL10 = 1	—	x	x	x	x	x	x	○	○	○	○	
		N-chOD出力	—	1	—	—	—	0	0/1	—	—	x	x	x	x	x	x	○	○	○	○	
	SCK10	入力	PIOR5 = 0注1	x	—	—	—	1	x	x	—	x	x	x	x	x	x	○	○	○	○	
		出力	PIOR5 = 0注1	0/1	—	—	—	0	1	x	—	x	x	x	x	x	x	○	○	○	○	
SCL10	出力	PIOR5 = 0注1	0/1	—	—	—	0	1	x	—	x	x	x	x	x	x	○	○	○	○		
P05	P05	入力	—	—	—	0	—	1	x	—	x	x	x	x	x	x	○	○	○	○		
		出力	—	—	—	0	—	0	0/1	—	TO05 = 0注2	x	x	x	x	x	x	○	○	○	○	
	TS10	入出力	—	—	—	1	—	1	x	—	x	x	x	x	x	x	○	○	○	○		
	TI05	入力	PIOR0 = 0注2	—	—	0	—	1	x	—	x	x	x	x	x	x	○	○	x	x		
	TO05	出力	PIOR0 = 0注2	—	—	0	—	0	0	—	x	x	x	x	x	x	○	○	x	x		
P06	P06	入力	—	—	—	0	—	1	x	—	x	x	x	x	x	x	○	○	○	○		
		出力	—	—	—	0	—	0	0/1	—	TO06 = 0注2 CLKA0 = 0注2	x	x	x	x	x	x	○	○	○	○	
	TS11	入出力	—	—	—	1	—	1	x	—	x	x	x	x	x	x	○	○	○	○		
	TI06	入力	PIOR0 = 0	—	—	0	—	1	x	—	x	x	x	x	x	x	○	○	x	x		
	TO06	出力	PIOR0 = 0	—	—	0	—	0	0	—	CLKA0 = 0	x	x	x	x	x	x	○	○	x	x	
	CLKA0	出力	—	—	—	0	—	0	0	—	TO06 = 0	x	x	x	x	x	x	○	○	x	x	
P07	P07	入力	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○		
		出力	—	—	—	—	—	0	0/1	—	—	x	x	x	x	x	x	x	x	x	○	

注1. 100、128ピン製品のみ

注2. 64、80ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192 KB~768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品) (3/21)

端子名称	使用機能		PIOR	POMxx	PMCAxx	PMCEx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン		
	機能名称	入出力									SAU・UARTA (UARTAの クロック出力を 除く)	SAU・UARTA 以外 (UARTAの クロック出力 を含む)													
P10	P10	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	0	—	0	—	—	0	0/1	SCK00/SCL00 = 1	(TO07) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
		N-chOD出力	—	1	—	0	—	—	0	0/1			○	○	○	○	○	○	○	○	○	○	○	○	○
	E10	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	EO10	出力	—	0/1	—	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	SCK00	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO07) = 0	○	○	○	○	○	○	○	○	○	○	○	○	○
	SCL00	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO07) = 0	○	○	○	○	○	○	○	○	○	○	○	○	○
	(TI07)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○
(TO07)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○	
P11	P11	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	0	—	0	—	—	0	0/1	SDA00 = 1	(TO06) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
		N-chOD出力	—	1	—	0	—	—	0	0/1			○	○	○	○	○	○	○	○	○	○	○	○	○
	E11	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	EO11	出力	—	0/1	—	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	SI00	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	RxD0	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	SDA00	入出力	PIOR1 = 0	1	—	0	—	—	0	1	x	(TO06) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
	(TI06)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
(TO06)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	x	○	○	○	○	○	○	○	○	○	○	○	○		
P12	P12	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	0	—	0	—	—	0	0/1	SO00/TxD0 = 1	(TO05) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
		N-chOD出力	—	1	—	0	—	—	0	0/1			○	○	○	○	○	○	○	○	○	○	○	○	○
	E12	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	EO12	出力	—	0/1	—	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	SO00	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO05) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
	TxD0	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	(TO05) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
	(INTP5)	入力	PIOR4 = 1	x	—	0	—	—	1	x	x	x	x	x	x	x	x	x	x	○	○	○	○	○	
	(TI05)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
(TO05)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	x	○	○	○	○	○	○	○	○	○	○	○	○		

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192 KB~768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品) (4/21)

端子名称	使用機能		PIOR	POMXX	PMCAXX	PMCEX	CCDE	CCSX	PMXX	PXX	兼用機能出力		30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン	
	機能名称	入出力									SAU・ UARTA (UARTAの クロック 出力を除く)	SAU・UARTA 以外 (UARTAの クロック 出力を含む)												
P13	P13	入力	—	x	0	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	—	—	0	0/1	TxD2/SO20 = 1	(TO04) = 0 (SDAA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	0	0	—	—	0	0/1				○	○	○	○	○	○	○	○	○	○	○
	EO13	出力	—	0/1	0	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	TxD2	出力	PIOR1 = 0	0/1	0	0	—	—	0	1	x	(TO04) = 0 (SDAA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	SO20	出力	PIOR1 = 0	0/1	0	0	—	—	0	1	x	(TO04) = 0 (SDAA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	(SDAA0)	入出力	PIOR2 = 1	1	0	0	—	—	0	0	x	(TO04) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	(TI04)	入力	PIOR0 = 1	x	0	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
(TO04)	出力	PIOR0 = 1	0	0	0	—	—	0	0	x	(SDAA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
IVREF1	アナログ入力	—	x	1	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
P14	P14	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	—	—	0	0/1	SDA20 = 1	VCOUT1 = 0 (TO03) = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	—	0	—	—	0	0/1				○	○	○	○	○	○	○	○	○	○	○
	EO14	出力	—	0/1	—	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	VCOUT1	出力	—	0	—	0	—	—	0	0	x	(TO03) = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	RxD2	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	SI20	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	SDA20	入出力	PIOR1 = 0	1	—	0	—	—	0	1	x	VCOUT1 = 0 (TO03) = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	(SCLA0)	入出力	PIOR2 = 1	1	—	0	—	—	0	0	x	VCOUT1 = 0 (TO03) = 0	○	○	○	○	○	○	○	○	○	○	○	○
(TI03)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
(TO03)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	VCOUT1 = 0 (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
P15	P15	入力	—	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	—	—	0	0/1	SCK20/ SCL20 = 1	PCLBUZ1 = 0注 (TO02) = 0	○	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	—	0	—	—	0	0/1				○	○	○	○	○	○	○	○	○	○	○
	EO15	出力	—	0/1	—	1	—	—	0	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	PCLBUZ1	出力	—	0	—	0	—	—	0	0	x	(TO02) = 0	○	○	○	○	○	○	○	○	x	x	x	x
	SCK20	入力	PIOR1 = 0	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
		出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	PCLBUZ1 = 0注 (TO02) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	SCL20	出力	PIOR1 = 0	0/1	—	0	—	—	0	1	x	PCLBUZ1 = 0注 (TO02) = 0	○	○	○	○	○	○	○	○	○	○	○	○
(TI02)	入力	PIOR0 = 1	x	—	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
(TO02)	出力	PIOR0 = 1	0	—	0	—	—	0	0	x	PCLBUZ1 = 0注	○	○	○	○	○	○	○	○	○	○	○	○	

注 30~52ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192 KB~768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品) (5/21)

端子名称	使用機能		PIOR	POMxx	PMCAXx	PMCEX	CCDE00	CCS0x	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン		
	機能名称	入出力									SAU・UARTA (UARTAのクロック出力を除く)	SAU・UARTA以外 (UARTAのクロック出力を含む)													
P16	P16	入力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	0	0/1	—	TO01 = 0	○	○	○	○	○	○	○	○	○	○	○	○	
	CCD00	出力	—	—	—	0	CCDE00 = 1	CCS0x = 001-011	0	0	—	TO01 = 0	○	○	○	○	○	○	○	○	○	○	○	○	
	EO16	出力	—	—	—	1	CCDE00 = 0	CCS0x = xxx	0	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○	
	TI01	入力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○	
	TO01	出力	—	—	—	0	CCDE00 = 0	CCS0x = xxx	0	0	—	x	○	○	○	○	○	○	○	○	○	○	○	○	○
	INTP5	入力	PIOR4 = 0注	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○	○
	(SI00)	入力	PIOR1 = 1	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○	○	○
(RxD0)	入力	PIOR1 = 1	—	—	0	CCDE00 = 0	CCS0x = xxx	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○	○	
P17	P17	入力	—	x	—	0	CCDE01 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	CCDE01 = 0	CCS0x = xxx	0	0/1	(TxD0) = 1 (SO00) = 1 注	TO02 = 0	○	○	○	○	○	○	○	○	○	○	○	○	
		N-chOD出力	—	1	—	0	CCDE01 = 0	CCS0x = xxx	0	0/1			○	○	○	○	○	○	○	○	○	○	○	○	○
	CCD01	出力	—	0/1	—	0	CCDE01 = 1	CCS0x = 001-011	0	0	x	TO02 = 0	○	○	○	○	○	○	○	○	○	○	○	○	○
	EO17	出力	—	0/1	—	1	CCDE01 = 0	CCS0x = xxx	0	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○
	TI02	入力	PIOR0 = 0	x	—	0	CCDE01 = 0	CCS0x = xxx	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○
	TO02	出力	PIOR0 = 0	0	—	0	CCDE01 = 0	CCS0x = xxx	0	0	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○
	(TxD0)	出力	PIOR1 = 1	0/1	—	0	CCDE01 = 0	CCS0x = xxx	0	1	x	TO02 = 0	○	○	○	○	○	○	○	○	○	○	○	○	○
(SO00)	出力	PIOR1 = 1	0/1	—	0	CCDE01 = 0	CCS0x = xxx	0	1	x	TO02 = 0	x	x	x	x	x	x	x	x	○	○	○	○	○	

注 64~128ピン製品のみ

表4-8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192 KB~768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品) (6/21)

端子 名称	使用機能		PMCAxx	PMCTxx	PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン		
	機能名称	入出力																	
P20	P20	入力	0	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	
		出力	0	—	0	0/1													
	ANI0	アナログ入力	1	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	AVREFP	基準電圧	1	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	EI20	入力	0	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
P21	P21	入力	0	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	0	—	0	0/1													
	ANI1	アナログ入力	1	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	AVREFM	基準電圧	1	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	EI21	入力	0	—	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
P22	P22	入力	0	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1													
	ANI2	アナログ入力	1	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	ANO0	アナログ出力	1	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	TS20	入出力	0	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	EI22	入力	0	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
P23	P23	入力	0	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1													
	ANI3	アナログ入力	1	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	ANO1	アナログ出力	1	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	IVREF0	アナログ入力	1	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	TS21	入出力	0	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	EI23	入力	0	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○
P24	P24	入力	0	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1													
	ANI4	アナログ入力	1	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	TS22	入出力	0	1	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○
P25	P25	入力	0	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1													
	ANI5	アナログ入力	1	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	TS23	入出力	0	1	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○
P26	P26	入力	0	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1													
	ANI6	アナログ入力	1	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○
	TS24	入出力	0	1	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○
P27	P27	入力	0	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1													
	ANI7	アナログ入力	1	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○
	TS25	入出力	0	1	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192 KB~768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品) (7/21)

端子名称	使用機能		PIOR	POMxx	PMCAxx	PMCTxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン		
	機能名称	入出力							SAU・UARTA (UARTAの クロック出力 を除く)	SAU・UARTA 以外 (UARTAの クロック出力 を含む)													
P30	P30	入力	—	—	—	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	—	—	0	0	0/1	SCK11/ SCL11 = 1注1	VCOUT0 = 0 RTC1HZ = 0	○	○	○	○	○	○	○	○	○	○	○	○	
	TSCAP	—	—	—	1	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	○	
	EI30	入力	—	—	—	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○	
	VCOUT0	出力	—	—	—	0	0	0	x	RTC1HZ = 0	○	○	○	○	○	○	○	○	○	○	○	○	
	INTP3	入力	PIOR5 = 0 注2	—	—	—	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	RTC1HZ	出力	—	—	—	—	0	0	0	x	VCOUT0 = 0	○	○	○	○	○	○	○	○	○	○	○	○
	SCK11	入力	—	—	—	—	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	x
出力		—	—	—	—	0	0	1	x	VCOUT0 = 0 RTC1HZ = 0	○	○	○	○	○	○	○	○	○	○	○	x	
SCL11	出力	—	—	—	—	0	0	1	x	VCOUT0 = 0 RTC1HZ = 0	○	○	○	○	○	○	○	○	○	○	○	x	
P31	P31	入力	—	—	—	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	—	—	—	0	0	0/1	—	TO03 = 0 PLCBUZ0 = 0注3 (PCLBUZ0) = 0注4	○	○	○	○	○	○	○	○	○	○	○	
	TS01	入出力	—	—	—	—	1	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	
	EI31	入力	—	—	—	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	
	TI03	入力	PIOR0 = 0	—	—	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	
	TO03	出力	PIOR0 = 0	—	—	—	0	0	0	—	PLCBUZ0 = 0注3 (PCLBUZ0) = 0注4	○	○	○	○	○	○	○	○	○	○	○	
	INTP4	入力	PIOR5 = 0 注2	—	—	—	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	
PCLBUZ0 (PCLBUZ0)	出力	—	—	—	—	0	0	0	—	TO03 = 0	○	○	○	○	○	x	x	x	x	x	x		
	出力	PIOR3 = 1	—	—	—	—	0	0	0	—	TO03 = 0	x	x	x	x	x	○	○	○	○	○		
P32	P32	入力	—	—	—	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	—	—	—	0	0/1	—	CLKA1 = 0	○	○	○	○	○	○	○	○	○	○	○	
CLKA1	出力	—	—	—	—	—	0	0	—	x	x	x	x	x	x	x	x	x	x	x	x	○	
P33	P33	入力	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	—	—	—	0	0/1	—	—	○	○	○	○	○	○	○	○	○	○	○	
RxDA1	入力	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	x	○	
P34	P34	入力	—	x	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	x	x	x	○
		出力	—	0	—	—	—	0	0/1	TxDA1 = 1	—	○	○	○	○	○	○	○	○	○	○	○	
	N-chOD出力	—	1	—	—	—	0	0/1	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
TxDA1	出力	—	0/1	—	—	—	0	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
P35-P37	P35-P37	入力	—	—	0	—	—	1	—	—	—	x	x	x	x	x	x	x	x	x	x	x	○
		出力	—	—	0	—	—	0	0/1	—	—	○	○	○	○	○	○	○	○	○	○	○	○
ANI23-ANI21	アナログ入力	—	—	1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	x	○	

- 注1. 30～100ピン製品のみ
- 注2. 128ピン製品のみ
- 注3. 30～44ピン製品のみ
- 注4. 48～128ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192 KB~768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品) (8/21)

端子名称	使用機能		PIOR	POMxx	PMxx	Px	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン	
	機能名称	入出力					SAU・UARTA (UARTAのクロック出力を除く)	SAU・UARTA以外 (UARTAのクロック出力を含む)												
P40	P40	入力	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P41	P41	入力	—	—	1	x	—	x	x	x	x	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0/1	—	TO07 = 0注1	—	—	—	—	—	—	—	—	—	—	—	—
	RxDA1	入力	—	—	1	x	—	x	x	x	x	○	○	○	○	○	○	○	x	
	TI07	入力	PIOR0 = 0	—	1	x	—	x	x	x	x	○	○	○	○	○	○	x	x	
	TO07	出力	PIOR0 = 0	—	0	0	—	x	x	x	x	○	○	○	○	○	○	x	x	
P42	P42	入力	—	x	1	x	—	x	x	x	x	x	x	x	○	○	○	○	○	
		出力	—	0	0	0/1	TxDA1 = 1注2	TO04 = 0	—	—	—	—	—	—	—	—	—	—	—	
		N-chOD出力	—	1	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—	—	
	TxDA1	出力	—	0/1	0	1	x	TO04 = 0	x	x	x	x	x	x	○	○	○	x		
	TI04	入力	PIOR0 = 0	x	1	x	—	x	x	x	x	x	x	x	○	○	○	○		
	TO04	出力	PIOR0 = 0	0	0	0	x	x	x	x	x	x	x	x	○	○	○	○		
P43	P43	入力	—	x	1	x	x	x	x	x	x	x	x	x	○	○	○	○		
		出力	—	0	0	0/1	SCK01/ SCL01 = 1注3	CLKA1 = 0注2	—	—	—	—	—	—	—	—	—	—		
		N-chOD出力	—	1	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—		
	SCK01	入力	—	x	1	x	x	x	x	x	x	x	x	x	○	○	○			
	出力	—	0/1	0	1	x	CLKA1 = 0注4	x	x	x	x	x	x	x	○	○	○			
	SCL01	出力	—	0/1	0	1	x	CLKA1 = 0注4	x	x	x	x	x	x	○	○	○			
P44	P44	入力	—	x	1	x	x	—	x	x	x	x	x	x	x	○	○	○		
		出力	—	0	0	0/1	SDA01 = 1	—	—	—	—	—	—	—	—	—	—	—		
		N-chOD出力	—	1	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—		
	SI01	入力	—	x	1	x	x	—	x	x	x	x	x	x	○	○	○			
	SDA01	入出力	—	1	0	1	x	—	x	x	x	x	x	x	○	○	○			
P45	P45	入力	—	x	1	x	x	—	x	x	x	x	x	x	○	○	○			
		出力	—	0	0	0/1	SO01 = 1	—	—	—	—	—	—	—	—	—	—			
		N-chOD出力	—	1	0	0/1	—	—	—	—	—	—	—	—	—	—	—			
	SO01	出力	—	0/1	0	1	x	—	x	x	x	x	x	x	○	○	○			
P46	P46	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	○	○		
		出力	—	—	0	0/1	—	TO05 = 0	—	—	—	—	—	—	—	—	—	—		
	INTP1	入力	PIOR5 = 0	—	1	x	—	x	x	x	x	x	x	x	x	x	○	○		
	TI05	入力	PIOR0 = 0	—	1	x	—	x	x	x	x	x	x	x	x	x	○	○		
	TO05	出力	PIOR0 = 0	—	0	0	—	x	x	x	x	x	x	x	x	x	○	○		
P47	P47	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○		
		出力	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—		
	INTP2	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○		

注1. 44~80ピン製品のみ

注2. 64~100ピン製品のみ

注3. 80~128ピン製品のみ

注4. 80~100ピン製品のみ



表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (10/21)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMCEx	CCDE	CCSX	PMxx	Pxx	兼用機能出力		30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン	
	機能名称	入出力									SAU・UARTA (UARTAの クロック出力 を除く)	SAU・UARTA 以外 (UARTAの クロック出力 を含む)												
P53	P53	入力	—	x	—	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	○	○	○	○
		出力	—	0	—	—	—	—	0	0/1	SDA31 = 1注	—												
		N-chOD出力	—	1	—	—	—	—	0	0/1											x			
	SI31	入力	—	x	—	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	x	○	○	○
	SDA31	入出力	—	1	—	—	—	—	0	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○
(INTP11)	入力	PIOR1 = 1	x	—	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	○	x	x	x	
P54	P54	入力	—	x	—	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	○	○	○	○
		出力	—	0	—	—	—	—	0	0/1	SCK31/SCL1 = 1注	—												
		N-chOD出力	—	1	—	—	—	—	0	0/1											x			
	SCK31	入力	—	x	—	—	—	—	1	x	x	—	x	x	x	x	x	x	x	x	x	○	○	○
		出力	—	0/1	—	—	—	—	0	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○
SCL31	出力	—	0/1	—	—	—	—	0	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○	
P55	P55	入力	—	x	—	—	—	—	1	x	x	x	x	x	x	x	x	x	x	x	○	○	○	○
		出力	—	0	—	—	—	—	0	0/1	(SCK00) = 1	(PCLBUZ1) = 0												
		N-chOD出力	—	1	—	—	—	—	0	0/1														
	(PCLBUZ1)	出力	PIOR4 = 1	0	—	—	—	—	0	0	x	x	x	x	x	x	x	x	x	x	○	○	○	○
	(SCK00)	入力	PIOR1 = 1	x	—	—	—	—	1	x	x	x	x	x	x	x	x	x	x	x	○	○	○	○
	出力	PIOR1 = 1	0/1	—	—	—	—	0	1	x	(PCLBUZ1) = 0	x	x	x	x	x	x	x	x	○	○	○	○	
P56	P56	入力	—	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	—	—	—	0	0/1	—	—												
	(INTP1)	入力	PIOR5 = 1	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
P57	P57	入力	—	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	—	—	—	0	0/1	—	—												
	(INTP3)	入力	PIOR5 = 1	—	—	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○

注 80～128ピン製品のみ

表4-8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (11/21)

端子名称	使用機能		PIOR	PMCTxx	PMCEX	CCODE	CCSx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン	
	機能名称	入出力								SAU・UARTA (UARTAのクロック出力を除く)	SAU・UARTA以外 (UARTAのクロック出力を含む)												
P60	P60	入力		-	0	CCDE04 = 0	CCS4x = 000	1	x	-	x	○	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力 (6V耐圧)			-	0	CCDE04 = 0	CCS4x = 000	0	0/1	-	SCLA0 = 0											
	EO60	出力	-	-	1	CCDE04 = 0	CCS4x = 000	0	x	-	x	○	○	○	○	○	○	○	○	○	○	○	○
	CCD04	出力	-	-	0	CCDE04 = 1	CCS4x = 001-100	0	0	-	SCLA0 = 0	○	○	○	○	○	○	○	○	○	○	○	○
	SCLA0	入出力	PIOR2 = 0	-	0	CCDE04 = 0	CCS4x = 000	0	0	-	x	○	○	○	○	○	○	○	○	○	○	○	○
P61	P61	入力		-	0	CCDE05 = 0	CCS5x = 000	1	x	-	x	○	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力 (6V耐圧)			-	0	CCDE05 = 0	CCS5x = 000	0	0/1	-	SDAA0 = 0											
	EO61	出力	-	-	1	CCDE05 = 0	CCS5x = 000	0	x	-	x	○	○	○	○	○	○	○	○	○	○	○	○
	CCD05	出力	-	-	0	CCDE05 = 1	CCS5x = 001-100	0	0	-	SDAA0 = 0	○	○	○	○	○	○	○	○	○	○	○	○
	SDAA0	入出力	PIOR2 = 0	-	0	CCDE05 = 0	CCS5x = 000	0	0	-	x	○	○	○	○	○	○	○	○	○	○	○	○
P62	P62	入力		-	-	CCDE06 = 0	CCS6x = 000	1	x	-	x	x	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力 (6V耐圧)			-	-	CCDE06 = 0	CCS6x = 000	0	0/1	-	SCLA1 = 0注											
	CCD06	出力	-	-	-	CCDE06 = 1	CCS6x = 001-100	0	0	-	SCLA1 = 0注	x	○	○	○	○	○	○	○	○	○	○	○
	SCLA1	入出力	-	-	-	CCDE06 = 0	CCS6x = 000	0	0	-	x	x	x	x	○	○	○	○	○	○	○	○	○
P63	P63	入力		-	-	CCDE07 = 0	CCS7x = 000	1	x	-	x	x	x	x	○	○	○	○	○	○	○	○	○
		N-chOD出力 (6V耐圧)			-	-	CCDE07 = 0	CCS7x = 000	0	0/1	-	SDAA1 = 0											
	CCD07	出力	-	-	-	CCDE07 = 1	CCS7x = 001-100	0	0	-	SDAA1 = 0	x	x	x	x	○	○	○	○	○	○	○	○
	SDAA1	入出力	-	-	-	CCDE07 = 0	CCS7x = 000	0	0	-	x	x	x	x	○	○	○	○	○	○	○	○	○
P64	P64	入力		-	0	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
		出力			-	0	-	-	0	0/1	-	TO10 = 0											
	TS12	入出力	-	1	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TI10	入力	-	0	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TO10	出力	-	0	-	-	-	0	0	-	x	x	x	x	x	x	x	x	x	○	○	○	○
P65	P65	入力		-	0	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
		出力			-	0	-	-	0	0/1	-	TO11 = 0											
	TS13	入出力	-	1	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TI11	入力	-	0	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TO11	出力	-	0	-	-	-	0	0	-	x	x	x	x	x	x	x	x	x	○	○	○	○
P66	P66	入力		-	0	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
		出力			-	0	-	-	0	0/1	-	TO12 = 0											
	TS14	入出力	-	1	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TI12	入力	-	0	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TO12	出力	-	0	-	-	-	0	0	-	x	x	x	x	x	x	x	x	x	○	○	○	○
P67	P67	入力		-	0	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
		出力			-	0	-	-	0	0/1	-	TO13 = 0											
	TS15	入出力	-	1	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TI13	入力	-	0	-	-	-	1	x	-	x	x	x	x	x	x	x	x	x	○	○	○	○
	TO13	出力	-	0	-	-	-	0	0	-	x	x	x	x	x	x	x	x	x	○	○	○	○

注 44~128ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (12/21)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン	
	機能名称	入出力						SAU・UARTA	SAU・UARTA以外												
								(UARTAのクロック出力を除く)	(UARTAのクロック出力を含む)												
P70	P70	入力	-	-	0	1	x	x	-	x	o	o	o	o	o	o	o	o	o	o	o
		出力	-	-	0	0	0/1	SCK21/ SCL21 = 1注1	-	x	o	o	o	o	o	o	o	o	o	o	o
	TS02	入出力	-	-	1	1	x	x	-	x	o	o	o	o	o	o	o	o	o	o	o
	RIN0	入力	-	-	0	1	x	x	-	x	o	o	o	o	o	o	o	o	o	o	o
	KR0	入力	-	-	0	1	x	x	-	x	x	x	o	o	o	o	o	o	o	o	o
	SCK21	入力	-	-	0	1	x	x	-	x	x	o	o	o	o	o	o	o	o	o	o
		出力	-	-	0	0	1	x	-	x	x	o	o	o	o	o	o	o	o	o	o
	SCL21	出力	-	-	0	0	1	x	-	x	x	o	o	o	o	o	o	o	o	o	o
P71	P71	入力	-	x	0	1	x	x	-	x	x	o	o	o	o	o	o	o	o	o	
		出力	-	0	0	0	0/1	SDA21 = 1	-	x	x	o	o	o	o	o	o	o	o	o	
		N-chOD出力	-	1	0	0	0/1	-	-	x	x	o	o	o	o	o	o	o	o	o	
	TS03	入出力	-	x	1	1	x	x	-	x	x	o	o	o	o	o	o	o	o	o	
	KR1	入力	-	x	0	1	x	x	-	x	x	x	o	o	o	o	o	o	o	o	
	SI21	入力	-	x	0	1	x	x	-	x	x	o	o	o	o	o	o	o	o	o	
	SDA21	入出力	-	1	0	0	1	x	-	x	x	o	o	o	o	o	o	o	o	o	
	RxDA0	入力	-	x	0	1	x	x	-	x	x	o	o	o	o	o	o	o	o	x	x
P72	P72	入力	-	x	0	1	x	x	-	x	x	o	o	o	o	o	o	o	o	o	
		出力	-	0	0	0	0/1	SO21 = 1 TxDA0 = 1	-	x	x	o	o	o	o	o	o	o	o	o	
		N-chOD出力	-	1	0	0	0/1	-	-	x	x	o	o	o	o	o	o	o	o	o	
	TS04	入出力	-	x	1	1	x	x	-	x	x	o	o	o	o	o	o	o	o	o	
	KR2	入力	-	x	0	1	x	x	-	x	x	x	o	o	o	o	o	o	o	o	
	SO21	出力	-	0/1	0	0	1	TxDA0 = 1	-	x	x	o	o	o	o	o	o	o	o	o	
	TxDA0	出力	-	0/1	0	0	1	SO21 = 1	-	x	x	o	o	o	o	o	o	o	x	x	
P73	P73	入力	-	-	0	1	x	x	-	x	x	x	o	o	o	o	o	o	o	o	
		出力	-	-	0	0	0/1	SO01 = 1注2	-	x	x	x	o	o	o	o	o	o	o	o	
	TS05	入出力	-	-	1	1	x	x	-	x	x	x	o	o	o	o	o	o	o	o	
	KR3	入力	-	-	0	1	x	x	-	x	x	x	o	o	o	o	o	o	o	o	
	SO01	出力	-	-	0	0	1	x	-	x	x	x	x	x	o	o	o	x	x	x	

注1. 36~128ピン製品のみ

注2. 48~64ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (13/21)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU・UARTA (UARTAの クロック出力を 除く)	SAU・UARTA 以外 (UARTAの クロック出力を 含む)											
P74	P74	入力	—	x	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SDA01 = 1注1	—											
		N-chOD出力	—	1	0	0	0/1													
	TS06	入出力	—	x	1	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
	KR4	入力	—	x	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
	INTP8	入力	PIOR5 = 0 注2	x	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
	SI01	入力	—	x	0	1	x	x	—	x	x	x	x	x	○	○	○	x	x	x
SDA01	入出力	—	1	0	0	1	x	—	x	x	x	x	x	○	○	○	x	x	x	
P75	P75	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
		出力	—	—	0	0	0/1	SCK01/SCL01 = 1注1	—											
	TS07	入出力	—	—	1	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
	KR5	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
	INTP9	入力	PIOR5 = 0 注2	—	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	○
	SCK01	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○	x	x	x
		出力	—	—	0	0	1	x	—	x	x	x	x	x	○	○	○	x	x	x
SCL01	出力	—	—	0	0	1	x	—	x	x	x	x	x	○	○	○	x	x	x	
P76	P76	入力	—	—	0	1	x	—	—	x	x	x	x	x	○	○	○	○	○	
		出力	—	—	0	0	0/1	—	—											
	TS08	入出力	—	—	1	1	x	—	—	x	x	x	x	x	○	○	○	○	○	
	KR6	入力	—	—	0	1	x	—	—	x	x	x	x	x	○	○	○	○	○	
	INTP10	入力	PIOR1 = 0	—	0	1	x	—	—	x	x	x	x	x	○	○	○	○	○	
	(RxD2)	入力	PIOR1 = 1	—	0	1	x	—	—	x	x	x	x	x	○	○	○	○	○	
P77	P77	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	
		出力	—	—	0	0	0/1	(TxD2) = 1	—											
	TS09	入出力	—	—	1	1	x	x	—	x	x	x	x	x	○	○	○	○	○	
	KR7	入力	—	—	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	
	INTP11	入力	PIOR1 = 0	—	0	1	x	x	—	x	x	x	x	x	○	○	○	○	○	
	(TxD2)	出力	PIOR1 = 1	—	0	0	1	x	—	x	x	x	x	x	○	○	○	○	○	

注1. 48~64ピン製品のみ

注2. 100、128ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (14/21)

端子名称	使用機能		PIOR	POMxx	PMixx	PLxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン	
	機能名称	入出力					SAU・UARTA (UARTAの クロック出力 を除く)	SAU・ UARTA以外 (UARTAの クロック出力 を含む)												
P80	P80	入力	—	x	1	x	x	—	x	x	x	x	x	x	x	x	x	○	○	
		出力	—	0	0	0/1	(SCK10)/ (SCL10) = 1	—												
		N-chOD出力	—	1	0	0/1														
	(SCK10)	入力	PIOR5 = 1	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	PIOR5 = 1	0/1	0	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○
	(SCL10)	出力	PIOR5 = 1	0/1	0	1	x	—	x	x	x	x	x	x	x	x	x	x	○	○
P81	P81	入力	—	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	0	0	0/1	(SDA10) = 1	—												
		N-chOD出力	—	1	0	0/1														
	(SI10)	入力	PIOR5 = 1	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	○	○
	(RxD1)	入力	PIOR5 = 1	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	○	○
	(SDA10)	入出力	PIOR5 = 1	1	0	1	x	—	x	x	x	x	x	x	x	x	x	x	○	○
P82	P82	入力	—	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	0	0	0/1	(SO10)/ (TxD1) = 1	—												
		N-chOD出力	—	1	0	0/1														
	(SO10)	出力	PIOR5 = 1	0/1	0	1	x	—	x	x	x	x	x	x	x	x	x	x	○	○
	(TxD1)	出力	PIOR5 = 1	0/1	0	1	x	—	x	x	x	x	x	x	x	x	x	x	○	○
P83	P83	入力	—	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	0	0	0/1	TxDA0 = 1	—												
		N-chOD出力	—	1	0	0/1														
	TxDA0	出力	—	0/1	0	1	x	—	x	x	x	x	x	x	x	x	x	x	○	○
P84	P84	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	0	0/1	—	—												
	RxDA0	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
	(INTP6)	入力	PIOR5 = 1	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
P85	P85	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	0	0/1	—	CLKA0 = 0												
	CLKA0	出力	—	—	0	0	—	x	x	x	x	x	x	x	x	x	x	x	○	○
		(INTP7)	入力	PIOR5 = 1	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○
P86	P86	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	0	0/1	—	—												
		(INTP8)	入力	PIOR5 = 1	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○
P87	P87	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	0	0/1	—	—												
		(INTP9)	入力	PIOR5 = 1	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (15/21)

端子 名称	使用機能		PIOR	POMxx	PMxx	PxX	兼用機能出力		30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン		
	機能名称	入出力					SAU・ UARTA (UARTAの クロック 出力を除く)	SAU・ UARTA以外 (UARTAの クロック 出力を含む)													
P90- P94	P90-P94	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	0	0/1	—	—													
P95	P95	入力	—	—	1	x	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	0	0/1	SCK11/ SCL11 = 1	—													
	SCK11	入力	—	—	1	x	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	0	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
	SCL11	出力	—	—	0	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
P96	P96	入力	—	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
		出力	—	0	0	0/1	SDA11 = 1	—													
		N-chOD出力	—	1	0	0/1															
	SI11	入力	—	x	1	x	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
SDA11	入出力	—	1	0	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○		
P97	P97	入力	—	—	1	x	x	—	x	x	x	x	x	x	x	x	x	x	x	○	
		出力	—	—	0	0/1	SO11 = 1	—													
	SO11	出力	—	—	0	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○	

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (16/21)

端子 名称	使用機能		PIOR	PMCAxx	PMxx	Pxx	兼用機能出力		30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン	
	機能名称	入出力					SAU・UARTA (UARTAの クロック出力を 除く)	SAU・UARTA 以外 (UARTAの クロック出力を 含む)												
P100	P100	入力	—	0	1	x	—	—	x	x	x	x	x	x	x	x	x	○	○	○
		出力	—	0	0	0/1	—	—	—	x	x	x	x	x	x	x	x	x	○	○
	ANI20	アナログ入力	—	1	1	x	—	—	x	x	x	x	x	x	x	x	x	○	○	○
P101	P101	入力	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	0	0/1	—	—	—	x	x	x	x	x	x	x	x	x	○	○
P102	P102	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○	○
		出力	—	—	0	0/1	—	TO06 = 0	—	x	x	x	x	x	x	x	x	x	○	○
	TI06	入力	PIOR0 = 0	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	○	○
	TO06	出力	PIOR0 = 0	—	0	0	—	x	x	x	x	x	x	x	x	x	x	x	○	○
P103	P103	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
		出力	—	—	0	0/1	—	TO14 = 0	—	x	x	x	x	x	x	x	x	x	x	○
	TI14	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
	TO14	出力	—	—	0	0	—	x	x	x	x	x	x	x	x	x	x	x	x	○
P104	P104	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
		出力	—	—	0	0/1	—	TO15 = 0	—	x	x	x	x	x	x	x	x	x	x	○
	TI15	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
	TO15	出力	—	—	0	0	—	x	x	x	x	x	x	x	x	x	x	x	x	○
P105	P105	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
		出力	—	—	0	0/1	—	TO16 = 0	—	x	x	x	x	x	x	x	x	x	x	○
	TI16	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
	TO16	出力	—	—	0	0	—	x	x	x	x	x	x	x	x	x	x	x	x	○
P106	P106	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
		出力	—	—	0	0/1	—	TO17 = 0	—	x	x	x	x	x	x	x	x	x	x	○
	TI17	入力	—	—	1	x	—	x	x	x	x	x	x	x	x	x	x	x	x	○
	TO17	出力	—	—	0	0	—	x	x	x	x	x	x	x	x	x	x	x	x	○

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (17/21)

端子名称	使用機能		PIOR	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU・UARTA (UARTAの クロック出力 を除く)	SAU・ UARTA以外 (UARTAの クロック出力 を含む)											
P110	P110	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○	○
		出力	—	—	—	0	0/1	—	—											
	(INTP10)	入力	PIOR1 = 1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○	○
P111	P111	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○	○
		出力	—	—	—	0	0/1	—	—											
	(INTP11)	入力	PIOR1 = 1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○	○
P112- P114	P112- P114	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○
		出力	—	—	—	0	0/1	—	—											
P115- P117	P115- P117	入力	—	—	0	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○
		出力	—	—	0	0	0/1	—	—											
	ANI24- ANI26	アナログ入力	—	—	1	1	x	—	—	x	x	x	x	x	x	x	x	x	x	○
P120	P120	入力	—	x	0	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	0/1	TxDA1 = 1注	—											
		N-chOD出力	—	1	0	0	0/1		—											
	ANI19	アナログ入力	—	x	1	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
	IVCMP1	アナログ入力	—	x	1	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
	EI120	入力	—	x	0	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
	TxDA1	出力	—	0/1	0	0	1	x	—	x	x	x	x	○	○	○	x	x	x	x

注 44～52ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (18/21)

端子名称	使用機能		CMC		PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン		
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL															
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注															
		出力	00 xx / 10 xx / 11 xx	0	0	0/1													
			xx 00 / xx 10 / xx 11	1注															
	E1121	入力	00 xx / 10 xx / 11 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注															
	VBAT	入力	00 xx / 10 xx / 11 xx	0	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○
X1	—	01 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	○	○	
XT1	—	xx 01	1	1	x	○	○	○	x	x	x	x	x	x	x	x	x	x	
P122	P122	入力	00 xx / 10 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10	1注															
		出力	00 xx / 10 xx	0	0	0/1													
			xx 00 / xx 10	1注															
	E1122	入力	00 xx / 10 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10	1注															
	X2	—	01 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	○	○
	XT2	—	xx 01	1	1	x	○	○	○	x	x	x	x	x	x	x	x	x	x
EXCLK	入力	11 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	○	○	
EXCLKS	入力	xx 11	1	1	x	○	○	○	x	x	x	x	x	x	x	x	x	x	
P123	P123	入力	xx 00 / xx 10 / xx 11	0	—	x	x	x	x	○	○	○	○	○	○	○	○	○	
	XT1	—	xx 01	0	—	x	x	x	x	○	○	○	○	○	○	○	○	○	
P124	P124	入力	xx 00 / xx 10	0	—	x	x	x	x	○	○	○	○	○	○	○	○	○	
	XT2	—	xx 01	0	—	x	x	x	x	○	○	○	○	○	○	○	○	○	
	EXCLKS	入力	xx 11	0	—	x	x	x	x	○	○	○	○	○	○	○	○	○	

注 30~36ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
(フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (19/21)

端子名称	使用機能		PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン
	機能名称	入出力													
P125- P127	P125- P127	入力	1	x	x	x	x	x	x	x	x	x	x	x	○
		出力	0	0/1											
P130	P130	出力	—	0/1	x	x	x	x	x	○	○	○	○	○	○
P137	P137	入力	—	x	○	○	○	○	○	○	○	○	○	○	○
	E1137	入力	—	x	○	○	○	○	○	○	○	○	○	○	○
	INTP0	入力	—	x	○	○	○	○	○	○	○	○	○	○	○

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (20/21)

端子名称	使用機能		PIOR	POMxx	PMCAXx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン		
	機能名称	入出力						SAU・UARTA	SAU・UARTA													
								(UARTAのクロック出力を除く)	以外(UARTAのクロック出力を含む)													
P140	P140	入力	—	—	—	1	x	—	x	x	x	x	x	x	○	○	○	○	○	○	○	
		出力	—	—	—	0	0/1	—	PCLBUZ0 = 0	x	x	x	x	x	○	○	○	○	○	○	○	
	PCLBUZ0	出力	PIOR3 = 0	—	—	0	0	—	x	x	x	x	x	○	○	○	○	○	○	○	○	
	INTP6	入力	PIOR5 = 0 注	—	—	1	x	—	x	x	x	x	x	○	○	○	○	○	○	○	○	
P141	P141	入力	—	—	—	1	x	—	x	x	x	x	x	x	x	○	○	○	○	○	○	
		出力	—	—	—	0	0/1	—	PCLBUZ1 = 0	x	x	x	x	x	x	○	○	○	○	○	○	
	PCLBUZ1	出力	PIOR4 = 0	—	—	0	0	—	x	x	x	x	x	x	○	○	○	○	○	○	○	
	INTP7	入力	PIOR5 = 0 注	—	—	1	x	—	x	x	x	x	x	x	○	○	○	○	○	○	○	
P142	P142	入力	—	x	—	1	x	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
		出力	—	0	—	0	0/1	SCK30/ SCL30 = 1	—	x	x	x	x	x	x	x	x	○	○	○	○	
		N-chOD出力	—	1	—	0	0/1	—	—	x	x	x	x	x	x	x	x	○	○	○	○	
	SCK30	入力	—	x	—	1	x	x	—	x	x	x	x	x	x	x	x	x	○	○	○	○
		出力	—	0/1	—	0	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○	○
	SCL30	出力	—	0/1	—	0	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○	○
P143	P143	入力	—	x	—	1	x	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
		出力	—	0	—	0	0/1	SDA30 = 1	—	x	x	x	x	x	x	x	x	○	○	○	○	
		N-chOD出力	—	1	—	0	0/1	—	—	x	x	x	x	x	x	x	x	○	○	○	○	
	SI30	入力	—	x	—	1	x	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
	RxD3	入力	—	x	—	1	x	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
	SDA30	入出力	—	1	—	0	1	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
P144	P144	入力	—	x	—	1	x	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
		出力	—	0	—	0	0/1	SO30/ TxD3 = 1	—	x	x	x	x	x	x	x	x	○	○	○	○	
		N-chOD出力	—	1	—	0	0/1	—	—	x	x	x	x	x	x	x	x	○	○	○	○	
	SO30	出力	—	0/1	—	0	1	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
	TxD3	出力	—	0/1	—	0	1	x	—	x	x	x	x	x	x	x	x	○	○	○	○	
P145	P145	入力	—	—	—	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○	○	
		出力	—	—	—	0	0/1	—	TO07 = 0	x	x	x	x	x	x	x	x	○	○	○	○	
	TI07	入力	PIOR0 = 0	—	—	1	x	—	x	x	x	x	x	x	x	x	x	○	○	○	○	
	TO07	出力	PIOR0 = 0	—	—	0	0	—	x	x	x	x	x	x	x	x	x	○	○	○	○	
P146	P146	入力	—	—	—	1	x	—	—	x	x	x	○	○	○	○	○	○	○	○		
		出力	—	—	—	0	0/1	—	—	x	x	x	○	○	○	○	○	○	○	○		
	(INTP4)	入力	PIOR5 = 1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○	○	○	
P147	P147	入力	—	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	—	0	0	0/1	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	ANI18	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	IVCMP0	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	EI147	入力	—	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○	○	○	

注 100、128ピン製品のみ

表4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例  
 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (21/21)

端子 名称	使用機能		PMCAxx	PMCTxx	PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン
	機能名称	入出力															
P150	P150	入力	0	0	1	x	x	x	x	x	x	x	x	x	○	○	○
		出力	0	0	0	0/1											
	ANI8	アナログ入力	1	0	1	x	x	x	x	x	x	x	x	x	○	○	○
	TS30	入出力	0	1	1	x	x	x	x	x	x	x	x	x	○	○	○
P151	P151	入力	0	0	1	x	x	x	x	x	x	x	x	x	○	○	○
		出力	0	0	0	0/1											
	ANI9	アナログ入力	1	0	1	x	x	x	x	x	x	x	x	x	○	○	○
	TS31	入出力	0	1	1	x	x	x	x	x	x	x	x	x	○	○	○
P152	P152	入力	0	0	1	x	x	x	x	x	x	x	x	x	○	○	○
		出力	0	0	0	0/1											
	ANI10	アナログ入力	1	0	1	x	x	x	x	x	x	x	x	x	○	○	○
	TS32	入出力	0	1	1	x	x	x	x	x	x	x	x	x	○	○	○
P153	P153	入力	0	0	1	x	x	x	x	x	x	x	x	x	○	○	○
		出力	0	0	0	0/1											
	ANI11	アナログ入力	1	0	1	x	x	x	x	x	x	x	x	x	○	○	○
	TS33	入出力	0	1	1	x	x	x	x	x	x	x	x	x	○	○	○
P154	P154	入力	0	0	1	x	x	x	x	x	x	x	x	x	○	○	○
		出力	0	0	0	0/1											
	ANI12	アナログ入力	1	0	1	x	x	x	x	x	x	x	x	x	○	○	○
	TS34	入出力	0	1	1	x	x	x	x	x	x	x	x	x	○	○	○
P155	P155	入力	0	0	1	x	x	x	x	x	x	x	x	x	○	○	○
		出力	0	0	0	0/1											
	ANI13	アナログ入力	1	0	1	x	x	x	x	x	x	x	x	x	○	○	○
	TS35	入出力	0	1	1	x	x	x	x	x	x	x	x	x	○	○	○
P156	P156	入力	0	0	1	x	x	x	x	x	x	x	x	x	○	○	○
		出力	0	0	0	0/1											
	ANI14	アナログ入力	1	0	1	x	x	x	x	x	x	x	x	x	○	○	○

## 4.6 ポート機能使用時の注意事項

### 4.6.1 ポート・レジスタ m (Pm) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10 は出力ポート、P11-P17 は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMmn ビット = 1 であるポートの Pm レジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G23内部で、次の順序で行われます。

<1> Pmレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

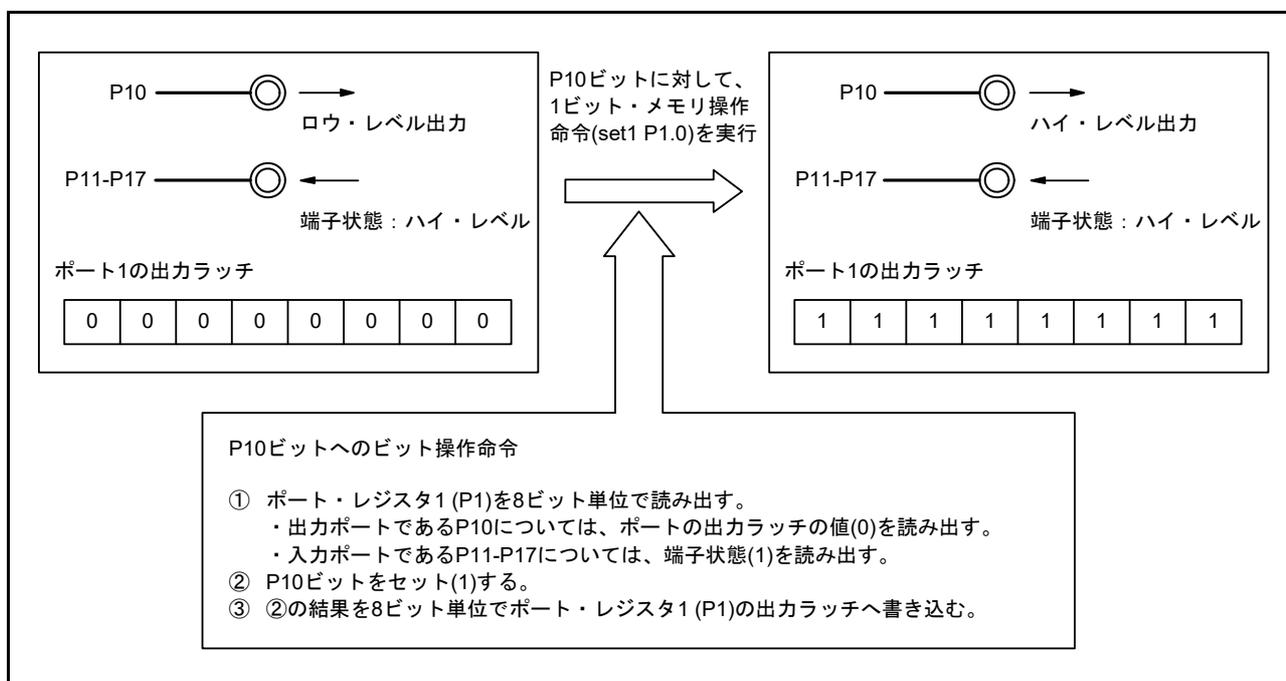
<3> Pmレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-18 1ビット・メモリ操作命令（P10の場合）



## 4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺 I/O リダイレクション・レジスタ（PIOR）の設定により、割り当てられた機能も同様です。兼用出力については、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では、兼用機能の出力が無効（バッファ出力が Hi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

## 第5章 オペレーション・ステート・コントロール

内部回路の動作電圧、動作タイミング、動作電流は、フラッシュ動作モードによって最適化されます。マイコンの動作電圧範囲やクロック周波数に合わせて、適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後、レジスタの設定によりフラッシュ動作モードを変更できます。

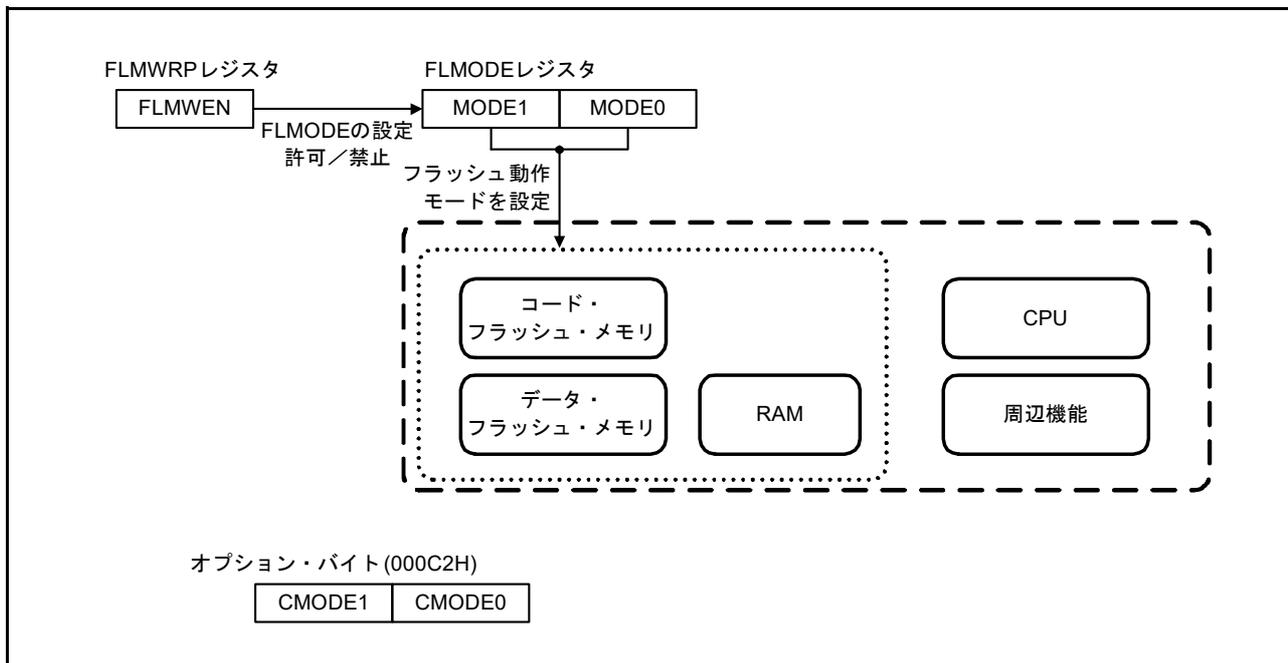
### 5.1 オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは、次のハードウェアで構成されています。

表5-1 オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	・ ユーザ・オプション・バイト アドレス : 000C2H
制御レジスタ	・ フラッシュ動作モード選択レジスタ (FLMODE) ・ フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

図5-1 オペレーション・ステート・コントロールの概略図



フラッシュ動作モードは、以下の4つのモードあります。

- HS（高速メイン）モード
- LS（低速メイン）モード
- LP（低電力メイン）モード
- SUBモード

マイコンの動作環境に合わせてこれらのフラッシュ動作モードを設定することにより、効率よくマイコンを動作させることができます。表5-2に各フラッシュ動作モードの特長を示します。

表5-2 各フラッシュ動作モードの特長

フラッシュ動作モード	推奨動作範囲		説明
HS（高速メイン）モード	1.6～1.8 V	1～4 MHz (フラッシュ書き換え不可)	CPUの高速動作（32 MHz (Max.)) が可能なモードです。CPUの処理能力が必要な場合に最適です。
	1.6～1.8 V	1～2 MHz	
	1.8～5.5 V	1～32 MHz	
LS（低速メイン）モード	1.6～1.8 V	1～4 MHz (フラッシュ書き換え不可)	動作電流とCPUの演算処理（24 MHz (Max.)) のバランスのとれたモードです。
	1.6～1.8 V	1～2 MHz	
	1.8～5.5 V	1～24 MHz	
LP（低電力メイン）モード	1.6～5.5 V	1～2 MHz (フラッシュ書き換え不可)	1～2 MHzで動作するモードです。 1～2 MHzで低動作電流を実現します。
SUBモード	1.6～5.5 V	32.768 kHz (フラッシュ書き換え不可)	サブシステム・クロック <sup>注</sup> で動作するモードです。 サブシステム・クロックで動作することにより、低動作電流を実現します。

注 サブシステム・クロック X (fsx) または低速オンチップ・オシレータ・クロック (fil) で動作可能

## 5.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ (FLMODE)
- フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

### 5.2.1 フラッシュ動作モード選択レジスタ (FLMODE)

FLMODE レジスタは、フラッシュ動作モードを制御する 8 ビットのレジスタです。

FLMODE レジスタは 1 ビット・メモリ操作命令または、8 ビット・メモリ操作命令で設定します。ただし、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) の FLMWEN が 0 のとき、値を変更することはできません。

リセット発生により、MODE1、MODE0 はオプション・バイトの CMODE1、CMODE0 (アドレス : 000C2H) に設定した値が反映されます。

図5-2 フラッシュ動作モード選択レジスタ (FLMODE) のフォーマット

アドレス : F00AAH  
リセット時: 40H/80H/C0H<sup>注</sup>  
R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	0	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	設定禁止
0	1	LP (低電力メイン) モード (LSモードで $1\text{MHz} \leq f_{\text{CLK}} \leq 2\text{MHz}$ のとき、選択可能です。)
1	0	LS (低速メイン) モード (HSモードで $1\text{MHz} \leq f_{\text{CLK}} \leq 24\text{MHz}$ 、またはLPモードのとき、 選択可能です。)
1	1	HS (高速メイン) モード (LSモードのとき、選択可能です。)

**注** FLMODEレジスタの初期値は、MODE1ビット、MODE0ビットにオプション・バイトのCMODE1ビット、CMODE0ビット (アドレス : 000C2H) の設定値が反映された値になります。

- 注意1.** FLMODEレジスタは、フラッシュ動作モードプロテクトレジスタ (FLMWRP) の FLMWEN ビットが 1 のとき、値を変更できます。また、FLMODE レジスタの値を変更した後は FLMWEN ビットを 0 に設定してください。
- 注意2.** システム・クロック制御レジスタ (CKC) の CSS ビットが 1 (CPU/周辺機能がサブシステム・クロック動作) のとき、フラッシュ動作モードは MODE1 ビット、MODE0 ビットの設定値によらず、SUB モードになります。
- 注意3.** MODE1 ビット、MODE0 ビットを DTC および SMS で値を変更しないでください。
- 注意4.** フラッシュ動作モードを変更する場合、変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認した後、フラッシュ動作モードを変更してください。

(注意は次ページに続きます)

- 注意5. MODE1ビット、MODE0ビットでフラッシュ動作モードを変更した場合、フラッシュ動作モードが遷移するまで下記の時間CPUはウェイト状態になります。このウェイト期間中の割り込み要求は保留されます。

フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS (低速メイン) モード⇒ HS (高速メイン) モード	225クロック注
LP (低電力メイン) モード⇒ LS (低速メイン) モード	10クロック注
LS (低速メイン) モード⇒ LP (低電力メイン) モード	10クロック注
HS (高速メイン) モード⇒ LS (低速メイン) モード	30クロック注

注 CPU/周辺クロック (f<sub>CLK</sub>) のクロック数

- 注意6. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後、CPU/周辺ハードクロック (f<sub>CLK</sub>) で1クロック以上間を空けてから書き込みを行ってください。FLMODEレジスタへの連続書き込みはしないでください。
- 注意7. フラッシュ・メモリの書き換え中にFLMODEレジスタは変更しないでください。
- 注意8. FLMODEレジスタの書き換えはSMS停止状態 (SMSSTARTビットが0、または、SMSSTATビットが0かつSMSTRGWAITビットが1) のときに行ってください。
- 注意9. フラッシュ動作モードを変更する場合、データ・フラッシュ・コントロール・レジスタ (DFLCTL) のDFLENビットを1にセットし、データ・フラッシュのアクセス許可の状態で行ってください。
- 注意10. セルフ・プログラミングでコード・フラッシュ領域を書き換える場合とデータ・フラッシュ領域を書き換える場合は、必ずHS (高速メイン) モードまたはLS (低速メイン) モードに切り替えた後に書き換えを行ってください。

## 5.2.2 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

FLMWRP レジスタは、フラッシュ動作モード選択レジスタへのアクセスを制御する 8 ビットのレジスタです。  
FLMWRP レジスタは 1 ビット・メモリ操作命令または、8 ビット・メモリ操作命令で設定します。  
リセット発生により、FLMWRP レジスタは 00H になります。

図5-3 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) のフォーマット

アドレス : F00ABH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
FLMWRP	0	0	0	0	0	0	0	FLMWEN

FLMWEN	フラッシュ動作モード選択レジスタ (FLMODE) の制御
0	FLMODE レジスタの書き換え禁止
1	FLMODE レジスタの書き換え許可

### 5.3 フラッシュ動作モードの初期設定

オプション・バイト (000C2H) は、フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時の V<sub>DD</sub> の電圧と高速オンチップ・オシレータの周波数に合わせて、適切なフラッシュ動作モードを設定してください。

リセット解除時に C<sub>MODE1</sub>、C<sub>MODE0</sub> の値はフラッシュ動作モード選択レジスタ (FL<sub>MODE</sub>) の MODE1、MODE0 に、FR<sub>QSEL3</sub>-FR<sub>QSEL0</sub> の値は、高速オンチップ・オシレータ周波数選択レジスタ (HO<sub>CODIV</sub>) に反映されます。

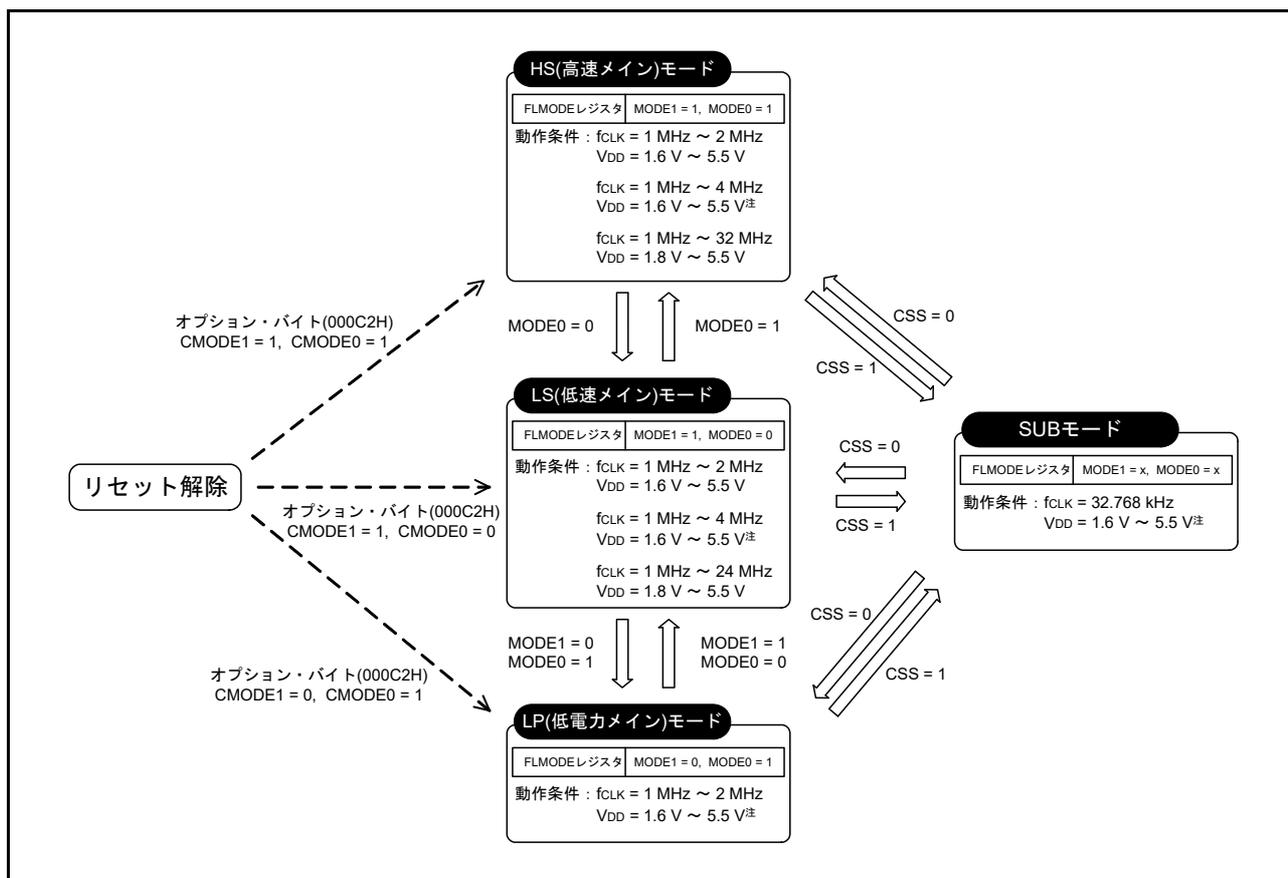
オプション・バイト (000C2H) の詳細は、**第 32 章 オプション・バイト**を参照してください。

### 5.4 フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは、オプション・バイト（000C2H）のCMODE1、CMODE0で設定によって、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードを選択することができます。また、CMODE1、CMODE0の値はフラッシュ動作モード選択レジスタ（FLMODE）のMODE1、MODE0ビットに反映されます。その後は、CPU動作中にFLMODEレジスタの値を変更することによって、フラッシュ動作モードを遷移させることができます。

またCKCレジスタのCSSビットを1に設定することによって、SUBモードに自動的に切り替わります。

図5-4 フラッシュ動作モードの状態遷移



注 フラッシュ書き換え不可

注意 マイコンの動作中にリセットが入った場合、リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。したがって、LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲以上に設定するなど、リセット解除時に動作電圧範囲外で動作を開始しないようにしてください。

## 5.5 フラッシュ動作モードの詳細

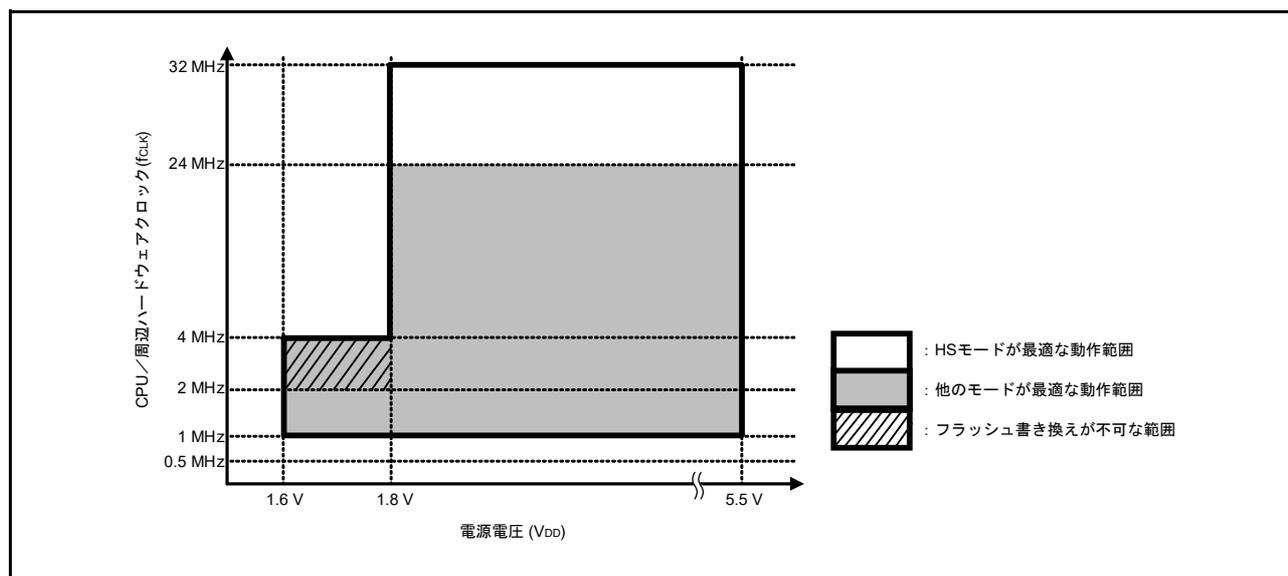
### 5.5.1 HS（高速メイン）モードの詳細

HS（高速メイン）モードは、CPUの高速処理が必要なアプリケーションに最適なモードです。

HSモードは、リセット解除直後から動作可能です。また、LS（低速メイン）モードから遷移することが可能です。

HSモードの最適動作範囲は、電源電圧が  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、動作周波数が  $24\text{ MHz} < f_{CLK} \leq 32\text{ MHz}$  のときです。24 MHz 以下で動作させる場合は、その他のモードが最適なフラッシュ動作モードになります。

図5-5 HSモードの動作範囲



## 5.5.2 LS（低速メイン）モードの詳細

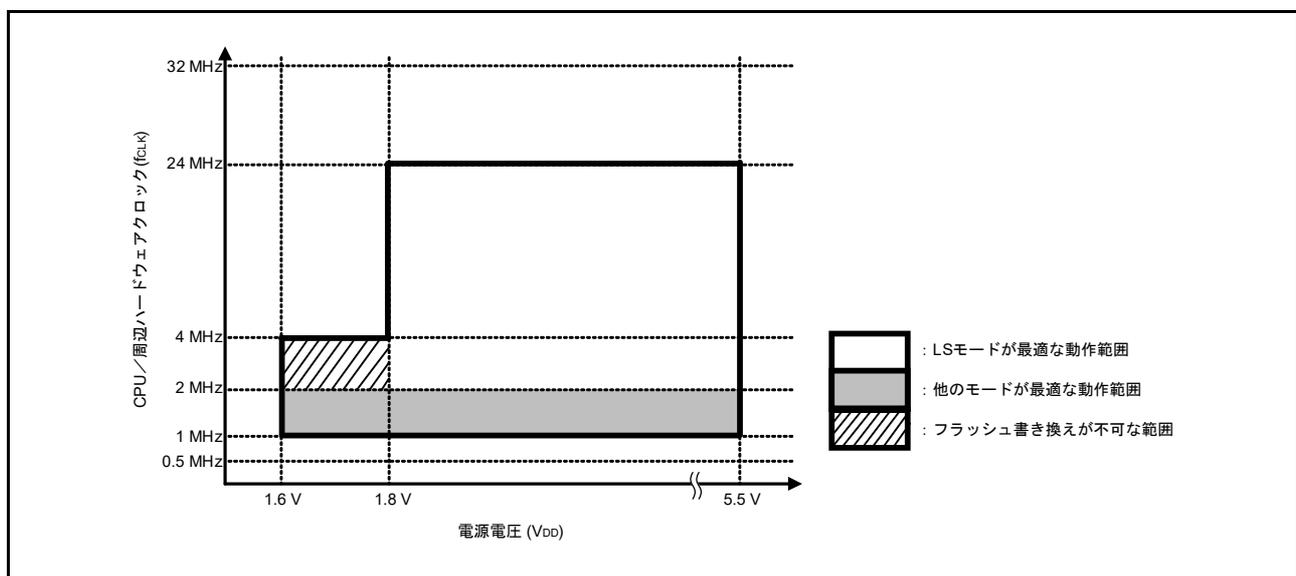
LS（低速メイン）モードは、CPUの処理能力と動作電力性能を両立しており、2～24 MHzで低消費電力が必要なアプリケーションに最適なモードです。

LSモードはリセット解除直後から動作可能です。また、HS（高速メイン）モード、LP（低電力メイン）モードから遷移することが可能です。HSモードからLSモードに遷移する場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 24\text{ MHz}$ の状態に遷移してください。

LSモードの最適動作範囲は、電源電圧が $1.8\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 、動作周波数が $2\text{ MHz} < f_{\text{CLK}} \leq 24\text{ MHz}$ または、電源電圧が $1.6\text{ V} \leq V_{\text{DD}} < 1.8\text{ V}$ 、動作周波数が $2\text{ MHz} < f_{\text{CLK}} \leq 4\text{ MHz}$ 注のときです。

**注** フラッシュ・メモリの書き換えを行うときは $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ にしてください。

図5-6 LSモードの動作範囲



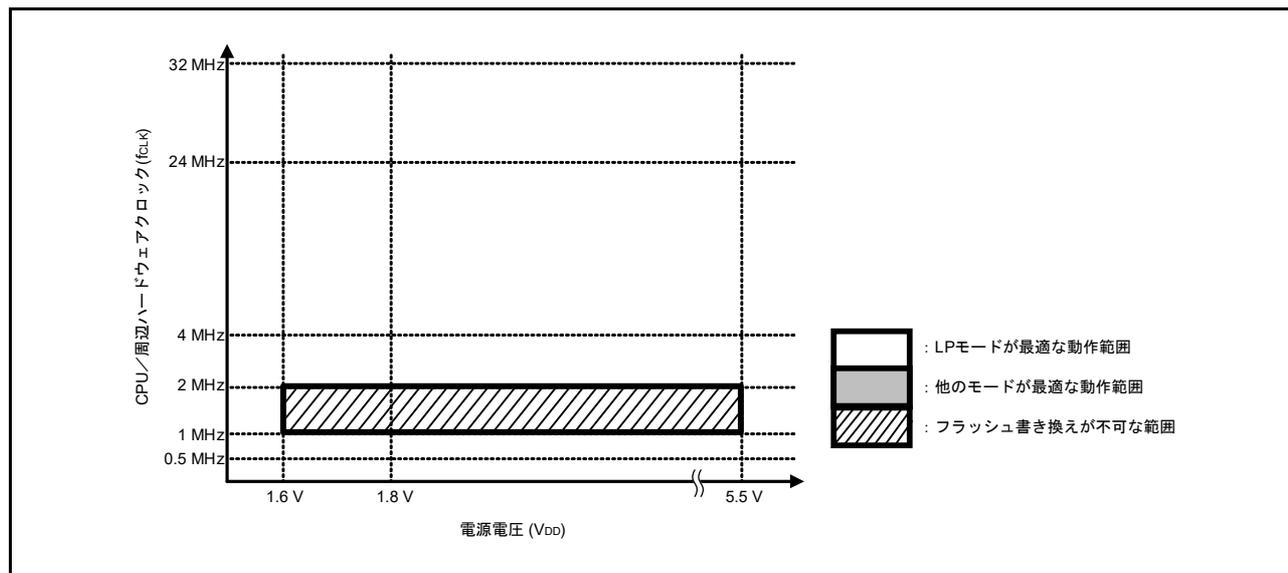
### 5.5.3 LP（低電力メイン）モードの詳細

LP（低電力メイン）モードは、1～2 MHzの動作周波数によって低電力でCPUを動作させるモードです。

LPモードはリセット解除直後から動作可能です。また、LPモードはLS（低速メイン）モードから遷移することが可能です。LSモードからLPモードに遷移する場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ の状態に遷移してください。

LPモードの最適動作範囲は、電源電圧が $1.6\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ のときです。フラッシュ・メモリの書き換えを行うときはLS（低速メイン）モードに遷移してください。

図5-7 LPモードの動作範囲

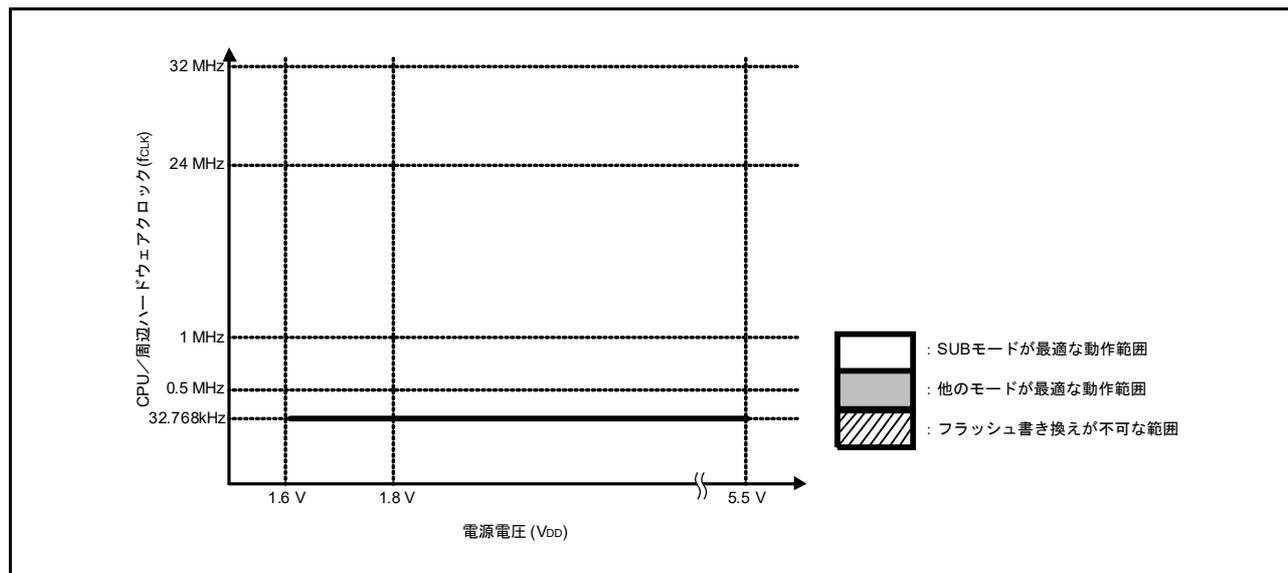


### 5.5.4 SUBモードの詳細

SUBモードは、32.768 kHzの動作周波数によってCPUを動作させるモードです。

SUBモードは、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードから遷移可能です。システム・クロック制御レジスタ（CKC）のCSSビットを1に設定することで自動的にSUBモードに切り替わります。SUBモードはフラッシュ書き換えができません。フラッシュ・メモリの書き換えを行うときはHS（高速メイン）モード、またはLS（低速メイン）モードに遷移してください。

図5-8 SUBモードの動作範囲



## 第6章 クロック発生回路

### 6.1 クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。  
システム・クロックおよびクロック発振回路には、次の種類があります。

#### (1) メイン・システム・クロック

##### ① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$  MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

##### ② 高速オンチップ・オシレータ

オプションバイト（000C2H）により、 $f_{IH} = 32$  MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（Typ.）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、**図6-11 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数 (MHz)									
	1	2	3	4	6	8	12	16	24	32
$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	○	○	○	○	○
$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	—	—	—	—	—	—	—	—

##### ③ 中速オンチップ・オシレータ

MOCODIVビット（MOCODIVレジスタのビット0, 1）の設定により、 $f_{IM} = 4$  MHz/2 MHz/1 MHz（Typ.）から周波数を選択し、発振させることができます。STOP命令の実行またはMIOENビット（CSCレジスタのビット1）の設定により、発振を停止することができます。

EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 1 \sim 20$  MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）およびMCM1ビット（システム・クロック制御レジスタ（CKC）のビット0）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）とメイン・オンチップ・オシレータ・クロック（高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロック）を切り替えられます。

なお、CPU/周辺ハードウェア・クロックは、フラッシュ動作モードおよび電源電圧VDDによって使用可能な周波数がことなります。

メイン・システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合は、オプション・バイト (000C2H) のCMODE0, CMODE1 によるフラッシュ動作モードの設定 (第32章 オプション・バイト) またはフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードに従って、メイン・システム・クロック周波数を選択してください。

## (2) サブシステム・クロック

### ① XT1発振回路

XT1端子、XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$  kHzのクロックを発振させることができます。XTSTOPビット (クロック動作ステータス制御レジスタ (CSC) のビット6) の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック ( $f_{EXS} = 32.768$  kHz) を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

### ② 低速オンチップ・オシレータ・クロック

$f_{IL} = 32.768$  kHz (Typ.) のクロックを発振させることができます。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- オプション・バイト (000C0H) のビット4 (WDTON)、サブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0)、またはサブシステム・クロック選択レジスタ (CKSEL) のビット0 (SELLOSC) のいずれか、または複数のビットが1
- SNOOZEモード・シーケンサのウェイト処理でウェイトのソース・クロックに $f_{IL}$ を選択  
ただし、WDTON = 1, WUTMMCK0 = 0, SELLOSC = 0かつオプション・バイト (000C0H) のビット0 (WDSTBYON) が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考	$f_X$	: X1 クロック発振周波数
	$f_{IH}$	: 高速オンチップ・オシレータ・クロック周波数 (最大 32 MHz)
	$f_{IM}$	: 中速オンチップ・オシレータ・クロック周波数 (最大 4 MHz)
	$f_{EX}$	: 外部メイン・システム・クロック周波数
	$f_{XT}$	: XT1 クロック発振周波数
	$f_{EXS}$	: 外部サブシステム・クロック周波数
	$f_{IL}$	: 低速オンチップ・オシレータ・クロック周波数

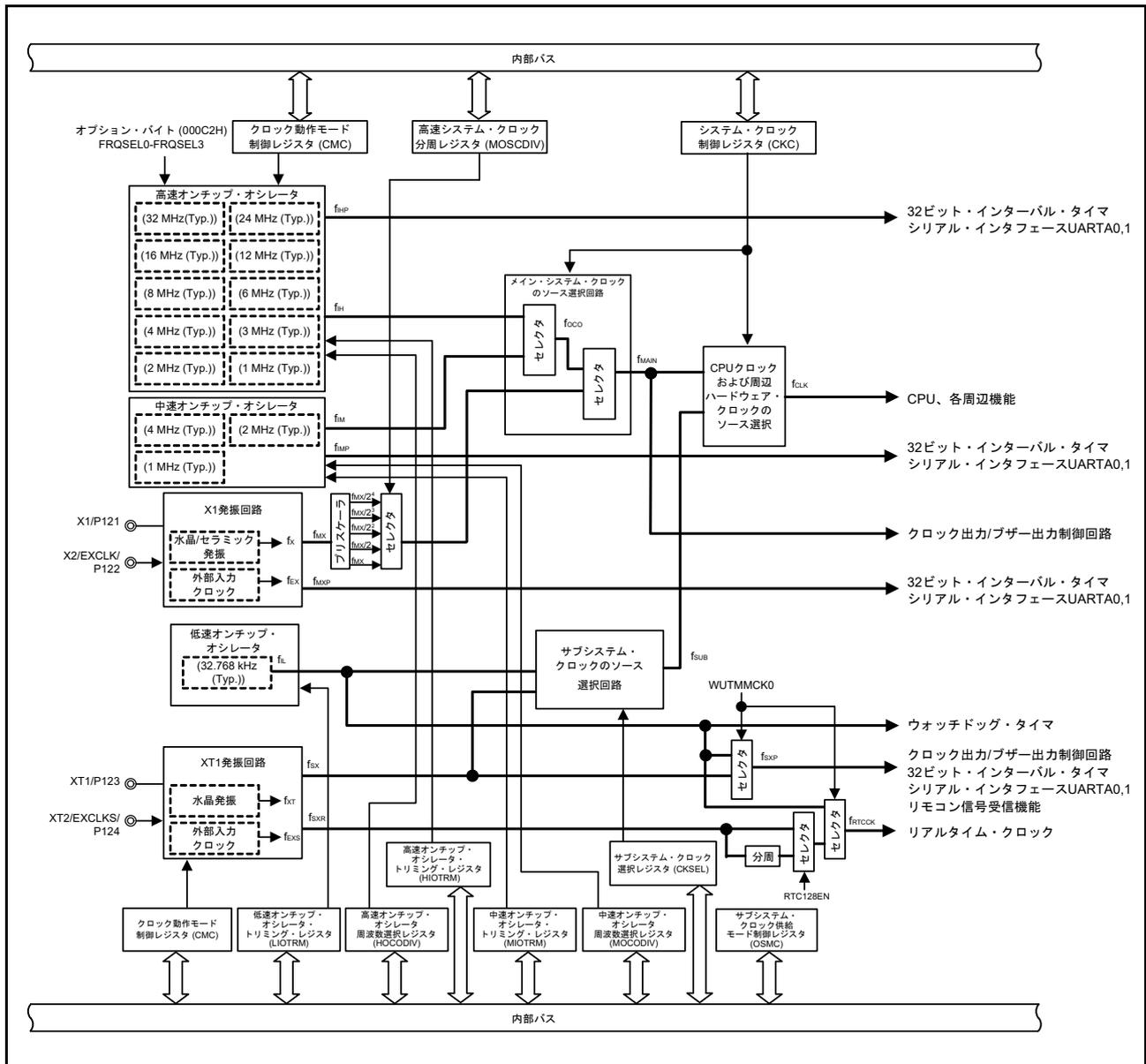
## 6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0, 1 (PER0, PER1) サブシステム・クロック供給モード制御レジスタ (OSMC) サブシステム・クロック選択レジスタ (CKSEL) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) 高速システム・クロック分周レジスタ (MOSCDIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) スタンバイ・モード解除設定レジスタ (WKUPMD)
発振回路	X1 発振回路 XT1 発振回路 高速オンチップ・オシレータ 中速オンチップ・オシレータ 低速オンチップ・オシレータ

図6-1 クロック発生回路のブロック図



(備考は次ページに続きます)

備考	fX	: X1 クロック発振周波数
	fEX	: 外部メイン・システム・クロック周波数
	fIH	: 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
	fIHP	: 高速オンチップ・オシレータ周辺クロック周波数 (FRQSEL3 = 1 のとき 32 MHz、FRQSEL3 = 0 のとき 24 MHz)
	fIM	: 中速オンチップ・オシレータ・クロック周波数 (最大4 MHz)
	fIMP	: 中速オンチップ・オシレータ周辺クロック周波数 (4 MHz)
	fMX	: 高速システム・クロック周波数
	fMXP	: 高速周辺クロック周波数
	fMAIN	: メイン・システム・クロック周波数
	fXT	: XT1 クロック発振周波数
	fEXS	: 外部サブシステム・クロック周波数
	fSX	: サブシステム・クロックX周波数
	fSXR	: サブシステム・クロックXR周波数
	fRTCK	: リアルタイム・クロック制御部の動作クロック
	fSXP	: 低速周辺クロック周波数
	fSUB	: サブシステム・クロック周波数
	fCLK	: CPU / 周辺ハードウェア・クロック周波数
	fIL	: 低速オンチップ・オシレータ・クロック周波数
	fOCO	: メイン・オンチップ・オシレータ・クロック周波数 (fIH または fIM)

## 6.3 クロック発生回路を制御するレジスタ

クロック発生回路を制御するレジスタを次に示します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ0, 1 (PER0, PER1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- サブシステム・クロック選択レジスタ (CKSEL)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)
- 高速システム・クロック分周レジスタ (MOSCDIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
- 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM)
- 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM)
- スタンバイ・モード解除設定レジスタ (WKUPMD)

**注意** 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

### 6.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は、8 ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00H になります。

図6-2 クロック動作モード制御レジスタ (CMC) のフォーマット (1/2)

アドレス : FFFA0H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS 注1	OSCSELS 注1	XTSEL 注1,2	AMPHS1 注1	AMPHS0 注1	AMPH

<30～36ピン製品>

XTSEL 注1,2	EXCLK	OSCSEL	EXCLKS 注1	OSCSELS 注1	システム・ クロック端子の 動作モード	X1/P121/ XT1端子	X2/EXCLK/ P122/XT2/ EXCLKS端子
0	0	0	0	0	ポート・モード	ポート	ポート
0	0	1	0	0	X1発振モード	水晶／セラミック発振子接続	
0	1	0	0	0	ポート・モード	ポート	ポート
0	1	1	0	0	外部クロック入力 モード	ポート	外部クロック EXCLK入力
1	0	0	0	0	ポート・モード	ポート	ポート
1	0	0	0	1	XT1発振モード	水晶発振子接続	
1	0	0	1	0	ポート・モード	ポート	ポート
1	0	0	1	1	外部クロック入力 モード	ポート	外部クロック EXCLKS入力
上記以外					設定禁止		

<40～128ピン製品>

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	ポート・モード	ポート	ポート
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	ポート・モード	ポート	ポート
1	1	外部クロック入力モード	ポート	外部クロック入力

図6-2 クロック動作モード制御レジスタ（CMC）のフォーマット (2/2)

EXCLKS 注1	OSCSELS 注1	サブシステム・クロック 端子の動作モード	XT1/P123 端子	XT2/EXCLKS/P124 端子
0	0	入力ポート・モード	入力ポート	入力ポート
0	1	XT1発振モード	水晶発振子接続	
1	0	入力ポート・モード	入力ポート	入力ポート
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1注1	AMPHS0注1	XT1発振回路の発振モード選択
0	0	低消費発振1（デフォルト）注3
0	1	通常発振
1	0	低消費発振2注3
1	1	低消費発振3注3

AMPH	X1クロック発振周波数の制御
0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$

注1. EXCLKS, OSCSELS, XTSEL, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注2. XTSELビットは30～36ピン製品のみ書き込み可能です。40～128ピン製品では必ず0を設定してください。

注3. XT1クロック発振回路のゲインおよび動作電流は、低消費発振1>低消費発振2>低消費発振3の順で小さくなります。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合、暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを超える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態（fCLKをfMXやfSUBに切り替える前の状態）で設定してください。

注意5. fXTの発振安定時間は、ソフトウェアでカウントしてください。

（注意、備考は次ページに続きます）

注意6. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを低消費発振2 (AMPHS1, AMPHS0 = 1, 0) または低消費発振3 (AMPHS1, AMPHS0 = 1, 1) で使用する場合は、6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振2 (AMPHS1, AMPHS0 = 1, 0) または低消費発振3 (AMPHS1, AMPHS0 = 1, 1) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVSSと同電位のグランド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

注意7. 30～36ピン製品でXTSEL = 1に設定しP121/X1/XT1端子とP122/X2/EXCLK/XT2/EXCLKS端子をXT1発振モードに設定する場合は必ずV<sub>DD</sub> = 2.4 V以上でご使用ください。

備考 fx : X1クロック発振周波数

### 6.3.2 システム・クロック制御レジスタ (CKC)

CPU / 周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。  
CKC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00H になります。

図6-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H  
リセット時: 00H  
R/W属性 : R/W<sup>注1</sup>

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
CKC	CLS	CSS	MCS	MCM0	0	0	MCS1	MCM1
CLS	CPU / 周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS <sup>注2</sup>	CPU / 周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	メイン・オンチップ・オシレータ・クロック (foco)							
1	高速システム・クロック (fMX)							
MCM0 <sup>注2</sup>	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) にメイン・オンチップ・オシレータ・クロック (foco) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							
MCS1	メイン・オンチップ・オシレータ・クロック (foco) のステータス							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							
MCM1 <sup>注2</sup>	メイン・オンチップ・オシレータ・クロック (foco) の動作制御							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							

注1. ビット7, 5, 1は、Read Onlyです。

注2. CSS = 1を設定した状態で、MCM0ビット、MCM1ビットの値を変更することは禁止です。

(注意、備考は次ページに続きます)

- 注意1. ビット3, 2には、必ず0を設定してください。
- 注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック、クロック出力／ブザー出力、32ビット・インターバル・タイマ、およびウォッチドッグ・タイマは除く）。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータおよびシリアル・インタフェースIICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第37章 電気的特性を参照してください。
- 注意4. CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。
- 注意5. CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、HALT命令またはSTOP命令の実行は禁止です。

- 備考**
- f<sub>H</sub> : 高速オンチップ・オシレータ・クロック周波数（最大32 MHz）
  - f<sub>M</sub> : 高速システム・クロック周波数
  - f<sub>MAIN</sub> : メイン・システム・クロック周波数
  - f<sub>SUB</sub> : サブシステム・クロック周波数
  - f<sub>OCO</sub> : メイン・オンチップ・オシレータ・クロック周波数（f<sub>H</sub>またはf<sub>M</sub>）

### 6.3.3 クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0H になります。

図6-4 クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス : FFFA1H

リセット時: C0H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	<1>	<0>
CSC	MSTOP	XTSTOP 注	0	0	0	0	MIOEN	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入出力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP注	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

MIOEN	中速オンチップ・オシレータ・クロックの動作制御
0	中速オンチップ・オシレータ停止
1	中速オンチップ・オシレータ動作

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

(注意は次ページに続きます)

- 注意1. リセット解除後は、クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。
- 注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただし、OSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。
- 注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
- 注意4. XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
- 注意5. CPU／周辺ハードウェア・クロック（fCLK）に選択しているクロックは、CSCレジスタで停止させないでください。
- 注意6. クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。クロックの停止方法については表6-8 クロック発振停止前の条件とフラグ設定を参照してください。

### 6.3.4 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により、00Hになります。

**備考** 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- STOPモードを解除したとき

図6-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H  
 リセット時: 00H  
 R/W属性 : R

略号	7	6	5	4	3	2	1	0	発振安定時間のステータス			
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18				
	MOS T8	MOS T9	MOS T10	MOS T11	MOS T13	MOS T15	MOS T17	MOS T18			fx = 10 MHz時	fx = 20 MHz時
	0	0	0	0	0	0	0	0	$2^8/fx$ 未満		25.6 $\mu$ s未満	12.8 $\mu$ s未満
	1	0	0	0	0	0	0	0	$2^8/fx$ 以上		25.6 $\mu$ s以上	12.8 $\mu$ s以上
	1	1	0	0	0	0	0	0	$2^9/fx$ 以上		51.2 $\mu$ s以上	25.6 $\mu$ s以上
	1	1	1	0	0	0	0	0	$2^{10}/fx$ 以上		102 $\mu$ s以上	51.2 $\mu$ s以上
	1	1	1	1	0	0	0	0	$2^{11}/fx$ 以上		204 $\mu$ s以上	102 $\mu$ s以上
	1	1	1	1	1	0	0	0	$2^{13}/fx$ 以上		819 $\mu$ s以上	409 $\mu$ s以上
	1	1	1	1	1	1	0	0	$2^{15}/fx$ 以上		3.27 ms以上	1.63 ms以上
	1	1	1	1	1	1	1	0	$2^{17}/fx$ 以上		13.1 ms以上	6.55 ms以上
	1	1	1	1	1	1	1	1	$2^{18}/fx$ 以上		26.2 ms以上	13.1 ms以上

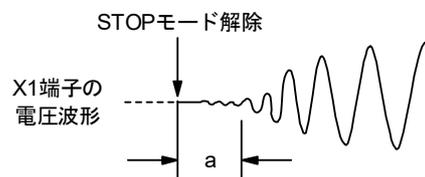
注意1. 上記時間経過後、MOST8ビットから順番に1となっていく、そのまま1を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合  
 (したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 fx : X1クロック発振周波数

### 6.3.5 発振安定時間選択レジスタ (OSTS)

X1 クロックの発振安定時間を選択するレジスタです。

X1 クロックを発振させる場合は、X1 発振回路動作 (MSTOP = 0) 後、OSTS レジスタで設定した時間を自動でウェイトします。

CPU クロックをメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1 クロックに切り替える場合や、CPU クロックがメイン・オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後 STOP モードを解除した場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTC レジスタでは、あらかじめ OSTS レジスタで設定した時間までの確認ができます。

OSTS レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、07H になります。

図6-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H

リセット時: 07H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 $\mu$ s	12.8 $\mu$ s
0	0	1	$2^9/fx$	51.2 $\mu$ s	25.6 $\mu$ s
0	1	0	$2^{10}/fx$	102 $\mu$ s	51.2 $\mu$ s
0	1	1	$2^{11}/fx$	204 $\mu$ s	102 $\mu$ s
1	0	0	$2^{13}/fx$	819 $\mu$ s	409 $\mu$ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

**注意1.** OSTS レジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) の MSTOP ビットを0に設定する前に行ってください。

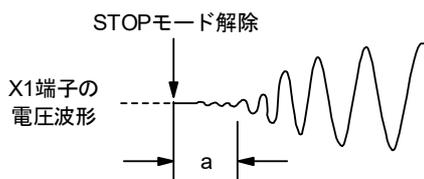
(注意、備考は次ページに続きます)

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合  
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 fx : X1クロック発振周波数

### 6.3.6 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- リアルタイム・クロック
- シリアル・インタフェース IICAn
- A/Dコンバータ
- シリアル・アレイ・ユニットn
- タイマ・アレイ・ユニットn
- D/Aコンバータ
- SNOOZEモード・シーケンサ
- コンパレータ
- 32ビット・インターバル・タイマ
- DTC
- シリアル・インタフェース UARTAn
- リモコン信号受信機能
- 静電容量式タッチセンサ

**備考** n = 0, 1

PER0, PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00Hになります。

図6-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCWEN	IICA1EN 注1	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN 注2	TAU0EN
RTCWEN	リアルタイム・クロックへのアクセス制御							
0	リアルタイム・クロックで使用するSFRへのライト不可							
1	リアルタイム・クロックで使用するSFRへのリード/ライト可							
IICA1EN	シリアル・インタフェースIICA1の入カクロック供給の制御							
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>シリアル・インタフェースIICA1で使用するSFRへのライト不可</li> <li>シリアル・インタフェースIICA1で使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>							
1	入カクロック供給 <ul style="list-style-type: none"> <li>シリアル・インタフェースIICA1で使用するSFRへのリード/ライト可</li> </ul>							
ADCEN	A/Dコンバータの入カクロック供給の制御							
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>A/Dコンバータで使用するSFRへのライト不可</li> <li>A/Dコンバータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>							
1	入カクロック供給 <ul style="list-style-type: none"> <li>A/Dコンバータで使用するSFRへのリード/ライト可</li> </ul>							
IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御							
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>シリアル・インタフェースIICA0で使用するSFRへのライト不可</li> <li>シリアル・インタフェースIICA0で使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>							
1	入カクロック供給 <ul style="list-style-type: none"> <li>シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可</li> </ul>							
SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御							
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>シリアル・アレイ・ユニット1で使用するSFRへのライト不可</li> <li>シリアル・アレイ・ユニット1で使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>							
1	入カクロック供給 <ul style="list-style-type: none"> <li>シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可</li> </ul>							

図6-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>シリアル・アレイ・ユニット0で使用するSFRへのライト不可</li> <li>シリアル・アレイ・ユニット0で使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>
1	入カクロック供給 <ul style="list-style-type: none"> <li>シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可</li> </ul>

TAU1EN	タイマ・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>タイマ・アレイ・ユニット1で使用するSFRへのライト不可</li> <li>タイマ・アレイ・ユニット1で使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>
1	入カクロック供給 <ul style="list-style-type: none"> <li>タイマ・アレイ・ユニット1で使用するSFRへのリード/ライト可</li> </ul>

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>タイマ・アレイ・ユニット0で使用するSFRへのライト不可</li> <li>タイマ・アレイ・ユニット0で使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>
1	入カクロック供給 <ul style="list-style-type: none"> <li>タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可</li> </ul>

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. 次のビットには必ず0を設定してください。

30, 32, 36, 40ピン製品：ビット6, 1

44, 48, 52, 64ピン製品：ビット1

注意2. 各周辺機能が動作許可の状態、PER0レジスタの対象ビットを切り替えないでください。PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

図6-8 周辺イネーブル・レジスタ1 (PER1) のフォーマット (1/2)

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
	DACEN	D/Aコンバータの入カクロック供給の制御						
	0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード/ライト可						
	SMSSEN	SNOOZEモード・シーケンサの入カクロック供給の制御						
	0	入カクロック供給停止 ・ SNOOZEモード・シーケンサで使用するSFRへのライト不可 ・ SNOOZEモード・シーケンサで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・ SNOOZEモード・シーケンサで使用するSFRへのリード/ライト可						
	CMPEN	コンパレータの入カクロック供給の制御						
	0	入カクロック供給停止 ・ コンパレータで使用するSFRへのライト不可 ・ コンパレータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・ コンパレータで使用するSFRへのリード/ライト可						
	TML32EN	32ビット・インターバル・タイマの入カクロック供給の制御						
	0	入カクロック供給停止 ・ 32ビット・インターバル・タイマで使用するSFRへのライト不可 ・ 32ビット・インターバル・タイマで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・ 32ビット・インターバル・タイマで使用するSFRへのリード/ライト可						
	DTCEN	DTCの入カクロック供給の制御						
	0	入カクロック供給停止 ・ DTCは動作不可						
	1	入カクロック供給 ・ DTCは動作可						

図6-8 周辺イネーブル・レジスタ1 (PER1) のフォーマット (2/2)

UTAEN	シリアル・インタフェースUARTAnの入カクロック供給の制御 (n = 0, 1)
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>シリアル・インタフェースUARTAnで使用するSFRへのライト不可</li> <li>シリアル・インタフェースUARTAnで使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>
1	入カクロック供給 <ul style="list-style-type: none"> <li>シリアル・インタフェースUARTAnで使用するSFRへのリード/ライト可</li> </ul>
REMCEN	リモコン信号受信機能の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>リモコン信号受信機能で使用するSFRへのライト不可</li> <li>リモコン信号受信機能で使用するSFRをリードした場合は00Hまたは0000Hが読めません。</li> </ul>
1	入カクロック供給 <ul style="list-style-type: none"> <li>リモコン信号受信機能で使用するSFRへのリード/ライト可</li> </ul>
CTSUEN	静電容量式タッチセンサの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> <li>静電容量式タッチセンサで使用するSFRへのライト不可</li> <li>静電容量式タッチセンサで使用するSFRをリードした場合は00Hまたは0000Hが読めません。</li> </ul>
1	入カクロック供給 <ul style="list-style-type: none"> <li>静電容量式タッチセンサで使用するSFRへのリード/ライト可</li> </ul>

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意1. 次のビットには必ず0を設定してください。

30ピン製品：ビット2, 1

32ピン製品：ビット2

注意2. 各周辺機能が動作許可の状態、PER1レジスタの対象ビットを切り替えないでください。PER1レジスタによる設定は、PER1レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

### 6.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると、STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時に、リアルタイム・クロック以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック、クロック出力／ブザー出力制御回路、32 ビット・インターバル・タイマ、シリアル・インタフェース UARTA0, 1、リモコン信号受信機能の動作クロックを選択できます。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定になります。

図6-9 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H

リセット時: 不定

R/W属性 : R/W<sup>注1</sup>

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	x	x	0	HIPREC
RTCLPC <sup>注2</sup>	STOP モード時およびサブシステム・クロック X で CPU 動作中の HALT モード時の設定							
0	周辺機能へのサブシステム・クロック X 供給許可 (動作許可となる周辺機能については、表 23 - 1 ~ 表 23 - 4 参照)							
1	リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMCK	リアルタイム・クロック、32 ビット・インターバル・タイマ、 シリアル・インタフェース UARTA0, 1、リモコン信号受信機能、 クロック出力／ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロック X							
1	低速オンチップ・オシレータ・クロック <sup>注3, 4</sup>							
HIPREC	高速オンチップ・オシレータ・クロックのステータス <sup>注5, 6</sup>							
0	高速オンチップ・オシレータ・クロックは高速起動かつ発振精度安定待ち中 <sup>注7</sup>							
1	高速オンチップ・オシレータ・クロックは高精度動作							

**注1.** ビット 6, 5, 1 には、必ず 0 を設定してください。ビット 3, 2, 0 は Read Only です。書き込みは無視されます。

**注2.** CKSEL レジスタのビット 0 (SELLOSC) によりサブシステム・クロック X を選択 (SELLOSC = 0) して RTCLPC = 1 とした場合、サブシステム・クロック (fsUB) は停止しますが、低速オンチップ・オシレータ・クロックを選択 (SELLOSC = 1) して RTCLPC = 1 とした場合、サブシステム・クロック (fsUB) は停止しません。

**注3.** サブシステム・クロック X 発振中に WUTMMCK0 ビットを 1 に設定することは禁止です。

**注4.** WUTMMCK0 ビットによるサブシステム・クロック X と低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32 ビット・インターバル・タイマ、シリアル・インタフェース UARTA0, 1、リモコン信号受信機能、クロック出力／ブザー出力機能のすべての機能が停止中のみ可能です。

**注5.** 高速オンチップ・オシレータ停止時は不定です。

**注6.** 高速オンチップ・オシレータ・クロックの周波数精度は、**第 37 章 電気的特性**を参照してください。

(注、注意、備考は次ページに続きます)

注7. 高速オンチップ・オシレータ高速起動（WKUPMD.FWKUP = 1）に設定した状態でSTOPモードから復帰すると、高速オンチップ・オシレータ・クロックは低精度で起動し、発振精度安定待ち後に自動的にHIPRECは1になります。

FRQSEL3 = 0かつHIPREC = 0 のときの高速オンチップ・オシレータの周波数は、下表のとおりになります。

FRQSEL2 または HOCODIV2	FRQSEL1 または HOCODIV1	FRQSEL0 または HOCODIV0	高速オンチップ・ オシレータの周波数
0	0	0	16 MHz
0	0	1	8 MHz
0	1	0	4 MHz
0	1	1	2 MHz
1	0	0	設定禁止
1	0	1	設定禁止

注意 HIPREC = 0のときはSTOP命令を実行しないでください。

備考 ×：不定

### 6.3.8 サブシステム・クロック選択レジスタ（CKSEL）

サブシステム・クロックとしてサブシステム・クロック X / 低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSEL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6-10 サブシステム・クロック選択レジスタ（CKSEL）のフォーマット

アドレス : FFFA7H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	サブシステム・クロック X / 低速オンチップ・オシレータクロック選択
0	サブシステム・クロック X
1	低速オンチップ・オシレータクロック注

**注** サブシステム・クロック X、XR (fsX, fsXR) 動作時は SELLOSC = 1 の設定は禁止です。

**注意** SELLOSC ビットを変更する場合は、必ず CSS = 0 (fMAIN 選択) に設定し、CLS = 0 の状態で切り替えてください。

### 6.3.9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト (000C2H) の FRQSEL3 ビットの値によって、選択できる周波数が異なります。

HOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト (000C2H) の FRQSEL2-FRQSEL0 で設定した値になります。

図6-11 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H

リセット時: オプション・バイト (000C2H) FRQSEL2 - FRQSEL0 の設定値

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f <sub>ih</sub> = 24 MHz	f <sub>ih</sub> = 32 MHz
0	0	1	f <sub>ih</sub> = 12 MHz	f <sub>ih</sub> = 16 MHz
0	1	0	f <sub>ih</sub> = 6 MHz	f <sub>ih</sub> = 8 MHz
0	1	1	f <sub>ih</sub> = 3 MHz	f <sub>ih</sub> = 4 MHz
1	0	0	設定禁止	f <sub>ih</sub> = 2 MHz
1	0	1	設定禁止	f <sub>ih</sub> = 1 MHz
上記以外			設定禁止	

注意1. HOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、5.2.1 フラッシュ動作モード選択レジスタ (FLMODE) を参照してください。

注意2. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック (f<sub>ih</sub>) をCPU/周辺ハードウェア・クロック (f<sub>clk</sub>) に選択している状態で行ってください。

注意3. HOCODIV レジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウエイト

### 6.3.10 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)

中速オンチップ・オシレータの周波数を選択するレジスタです。  
MOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00H になります。

図6 - 12 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) のフォーマット

アドレス : F00F2H  
リセット時: 00H  
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV1	MOCODIV0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
上記以外		設定禁止

**注意** MOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

### 6.3.11 高速システム・クロック分周レジスタ (MOSCDIV)

高速システム・クロックの分周比選択を設定するレジスタです。  
MOSCDIV レジスタは、8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00H になります。

図6 - 13 高速システム・クロック分周レジスタ (MOSCDIV) のフォーマット

アドレス : F0214H  
リセット時: 00H  
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MOSCDIV	0	0	0	0	0	MOSCDIV2	MOSCDIV1	MOSCDIV0

MOSCDIV2	MOSCDIV1	MOSCDIV0	高速システム・クロック分周選択	f <sub>MX</sub> = 20 MHz のとき
0	0	0	f <sub>MX</sub>	20 MHz
0	0	1	f <sub>MX</sub> /2	10 MHz
0	1	0	f <sub>MX</sub> /4	5 MHz
0	1	1	f <sub>MX</sub> /8	2.5 MHz
1	0	0	f <sub>MX</sub> /16	1.25 MHz
上記以外			設定禁止	

**注意** MOSCDIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

### 6.3.12 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ (タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ) を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

**注意** 精度補正後に温度、V<sub>DD</sub>端子電圧に変化があった場合、周波数は変動します。

温度、V<sub>DD</sub>電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 14 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H

リセット時: 注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0
	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ	
	0	0	0	0	0	0	最低速	
	0	0	0	0	0	1	↑ ↓	
	0	0	0	0	1	0		
	0	0	0	0	1	1		
	0	0	0	1	0	0		
	⋮							
	1	1	1	1	1	0	↓	
	1	1	1	1	1	1		

**注** リセット値は出荷時に調整した値です。

**備考1.** HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

**備考2.** HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正アプリケーションノート (R01AN2833) を参照してください。

### 6.3.13 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM)

中速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ (タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ) を使用するなどして中速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

MIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、90H になります。

**注意** 精度補正後に温度、V<sub>DD</sub> 端子電圧に変化があった場合、周波数は変動します。

温度、V<sub>DD</sub> 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 15 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) のフォーマット

アドレス : F0212H

リセット時: 90H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
MIOTRM	MIOTRM7	MIOTRM6	MIOTRM5	MIOTRM4	MIOTRM3	MIOTRM2	MIOTRM1	MIOTRM0	
MIOTRM	7	6	5	4	3	2	1	0	中速オンチップ・オシレータ
	0	0	0	0	0	0	0	0	最低速
	0	0	0	0	0	0	0	1	↑
	1	0	0	0	1	1	1	1	
	1	0	0	1	0	0	0	0	初期値
	1	0	0	1	0	0	0	1	↓
	1	1	1	1	1	1	1	0	
	1	1	1	1	1	1	1	1	最高速

**備考** 中速オンチップ・オシレータ・クロック補正分解能は、第37章 電気的特性を参照してください。

### 6.3.14 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM)

低速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32ビット・インターバル・タイマ）を使用するなどして低速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

LIOTRMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

**注意** 精度補正後に温度、V<sub>DD</sub>端子電圧に変化があった場合、周波数は変動します。

温度、V<sub>DD</sub>電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6-16 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) のフォーマット

アドレス : F0213H

リセット時: 80H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
LIOTRM	LIOTRM7	LIOTRM6	LIOTRM5	LIOTRM4	LIOTRM3	LIOTRM2	LIOTRM1	LIOTRM0	
LIOTRM7	LIOTRM6	LIOTRM5	LIOTRM4	LIOTRM3	LIOTRM2	LIOTRM1	LIOTRM0	低速オンチップ・オシレータ	
0	0	0	0	0	0	0	0	最低速	
0	0	0	0	0	0	0	1	↑	
0	1	1	1	1	1	1	1		
1	0	0	0	0	0	0	0	初期値	
1	0	0	0	0	0	0	1	↓	
1	1	1	1	1	1	1	0		
1	1	1	1	1	1	1	1	最高速	

**備考** 低速オンチップ・オシレータ・クロック補正分解能は、**第37章 電気的特性**を参照してください。

### 6.3.15 スタンバイ・モード解除設定レジスタ（WKUPMD）

スタンバイ・モード解除時の動作を設定するレジスタです。

WKUPMD レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-17 スタンバイ・モード解除設定レジスタ（WKUPMD）のフォーマット

アドレス : F0215H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP
FWKUP	STOPモード解除およびSNOOZEモード遷移時の 高速オンチップ・オシレータ起動設定 <sup>注1,2</sup>							
0	高速オンチップ・オシレータ通常起動 <sup>注3</sup>							
1	高速オンチップ・オシレータ高速起動 <sup>注3</sup>							

**注1.** CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。

**注2.** リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。

**注3.** 各起動時間については、**第23章 スタンバイ機能**を参照してください。

なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第37章 電気的特性**を参照してください。

## 6.4 システム・クロック発振回路

### 6.4.1 X1 発振回路

X1 発振回路は X1, X2 端子に接続された水晶振動子またはセラミック発振子（1 ~ 20 MHz）によって発振します。また、外部クロックを入力することができます。その場合は EXCLK 端子にクロック信号を入力してください。

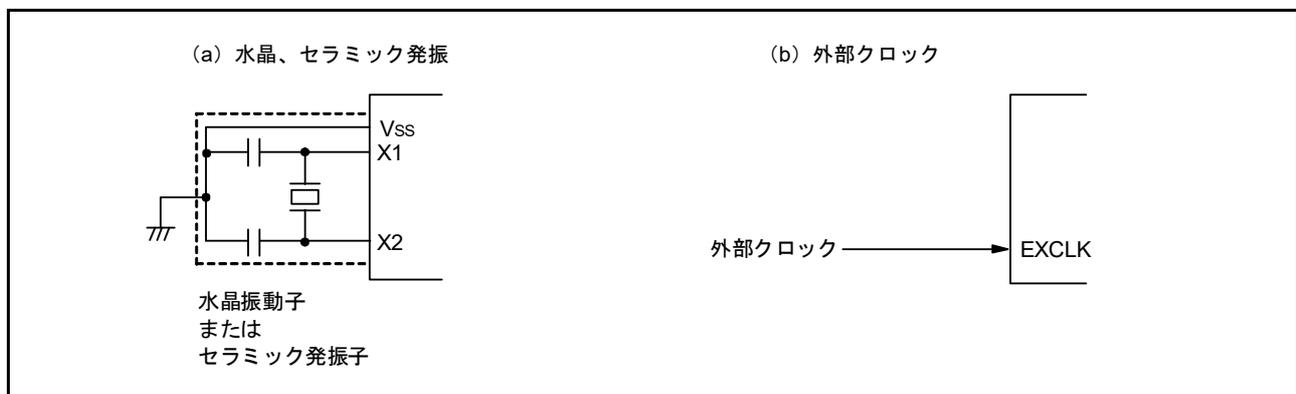
X1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット 7, 6（EXCLK, OSCSEL）を次のように設定してください。

- 水晶、セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1 発振回路を使用しない場合は、ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。さらに、ポートとしても使用しない場合は、表 2-3 各端子の未使用端子処理を参照してください。

図 6-18 に X1 発振回路の外付け回路例を示します。

図 6-18 X1 発振回路の外付け回路例



（注意は次ページに続きます）

### 6.4.2 XT1 発振回路

XT1 発振回路は XT1, XT2 端子に接続された水晶振動子（32.768 kHz (Typ.)) によって発振します。

XT1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット 4（OSCSELS）に 1 を設定してください。

また、外部クロックを入力することができます。その場合は EXCLKS 端子にクロック信号を入力してください。XT1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット 5, 4（EXCLKS, OSCSELS）を次のように設定してください。

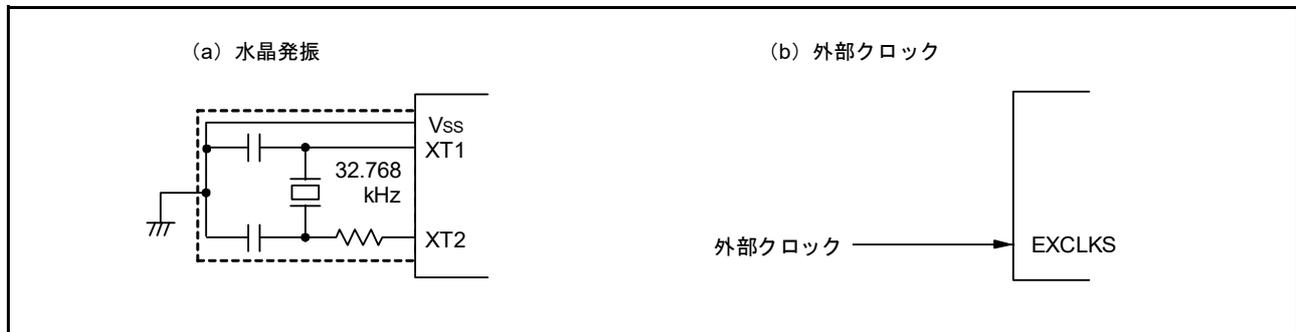
- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1 発振回路を使用しない場合は、入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

XT1 発振回路を使用せず、入力ポートとしても使用しない場合は、表 2-3 各端子の未使用端子処理を参照してください。

図6-19にXT1発振回路の外付け回路例を示します。

図6-19 XT1発振回路の外付け回路例



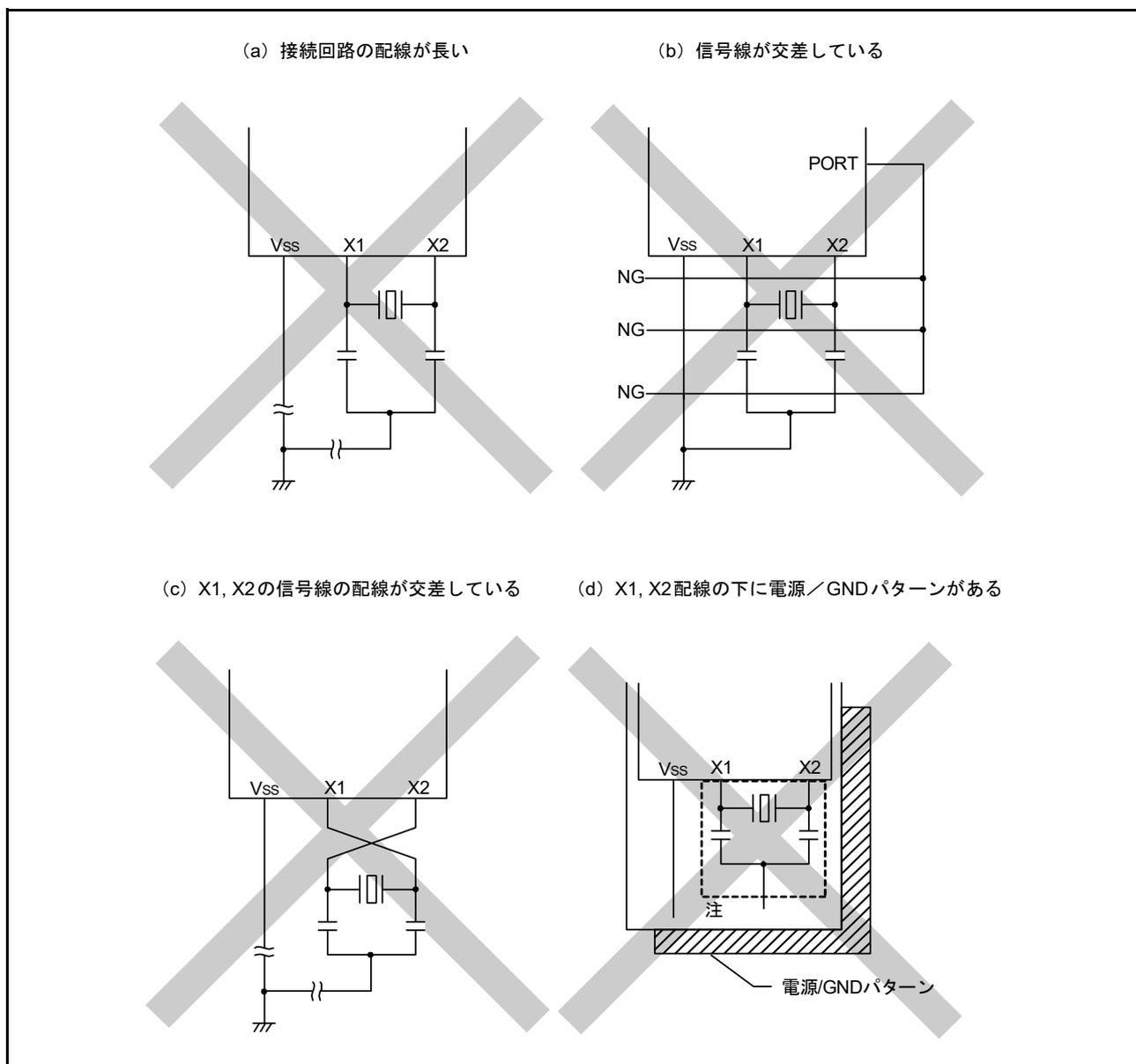
- 注意** X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-18、図6-19の破線の部分を次のように配線してください。
- 配線は極力短くしてください。
  - 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
  - 発振回路のコンデンサの接地点は、常にVSSと同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
  - 発振回路から信号を取り出さないでください。

特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを低消費発振2 (AMPHS1, AMPHS0 = 1, 0) または低消費発振3 (AMPHS1, AMPHS0 = 1, 1) で使用する場合は6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振2 (AMPHS1, AMPHS0 = 1, 0) または低消費発振3 (AMPHS1, AMPHS0 = 1, 1) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVSSと同電位のグラウンド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

図6-20に発振子の接続の悪い例を示します。

図6-20 発振子の接続の悪い例 (1/2)

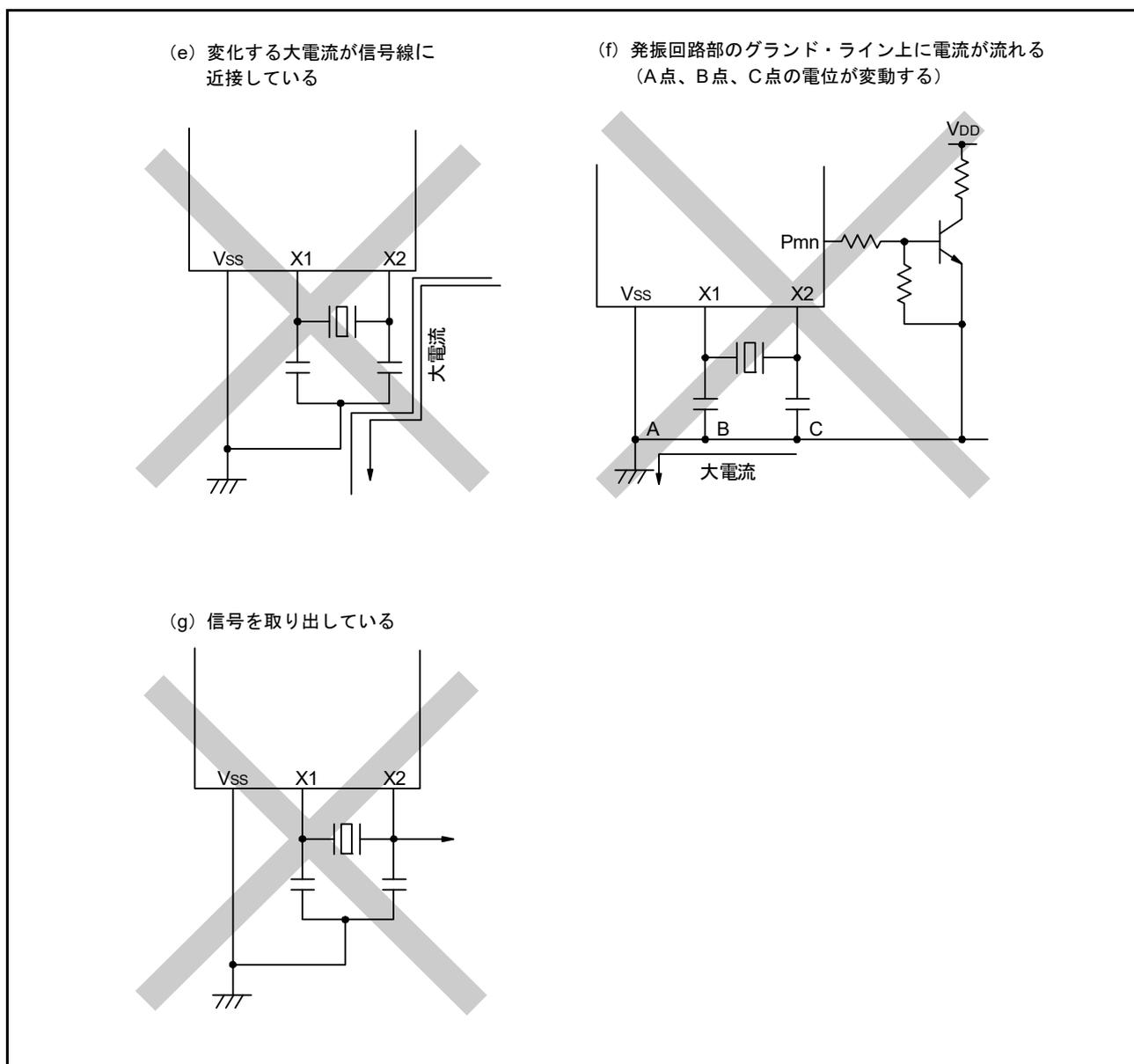


注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6-20 発振子の接続の悪い例 (2/2)



**注意** X2とX1が平行に配線されている場合、X2のクロストーク・ノイズがX1に相乗し誤動作を引き起こすことがあります。

**備考** サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

### 6.4.3 高速オンチップ・オシレータ

RL78/G23 は、高速オンチップ・オシレータを内蔵しています。オプションバイト (000C2H) により 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット 0 (HIOSTOP) にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

### 6.4.4 中速オンチップ・オシレータ

RL78/G23 は、中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ (CSC) のビット 1 (MIOEN) にて発振を制御できます。

### 6.4.5 低速オンチップ・オシレータ

RL78/G23 は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ウォッチドッグ・タイマが動作
- サブシステム・クロック供給モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0)、またはサブシステム・クロック選択レジスタ (CKSEL) のビット 0 (SELLOSC) のいずれか、または両ビットが 1
- SNOOZEモード・シーケンサのウェイト処理でウェイトのソース・クロックに fil を選択

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0 かつ、SELLOSC = 0 のとき、低速オンチップ・オシレータは停止します。

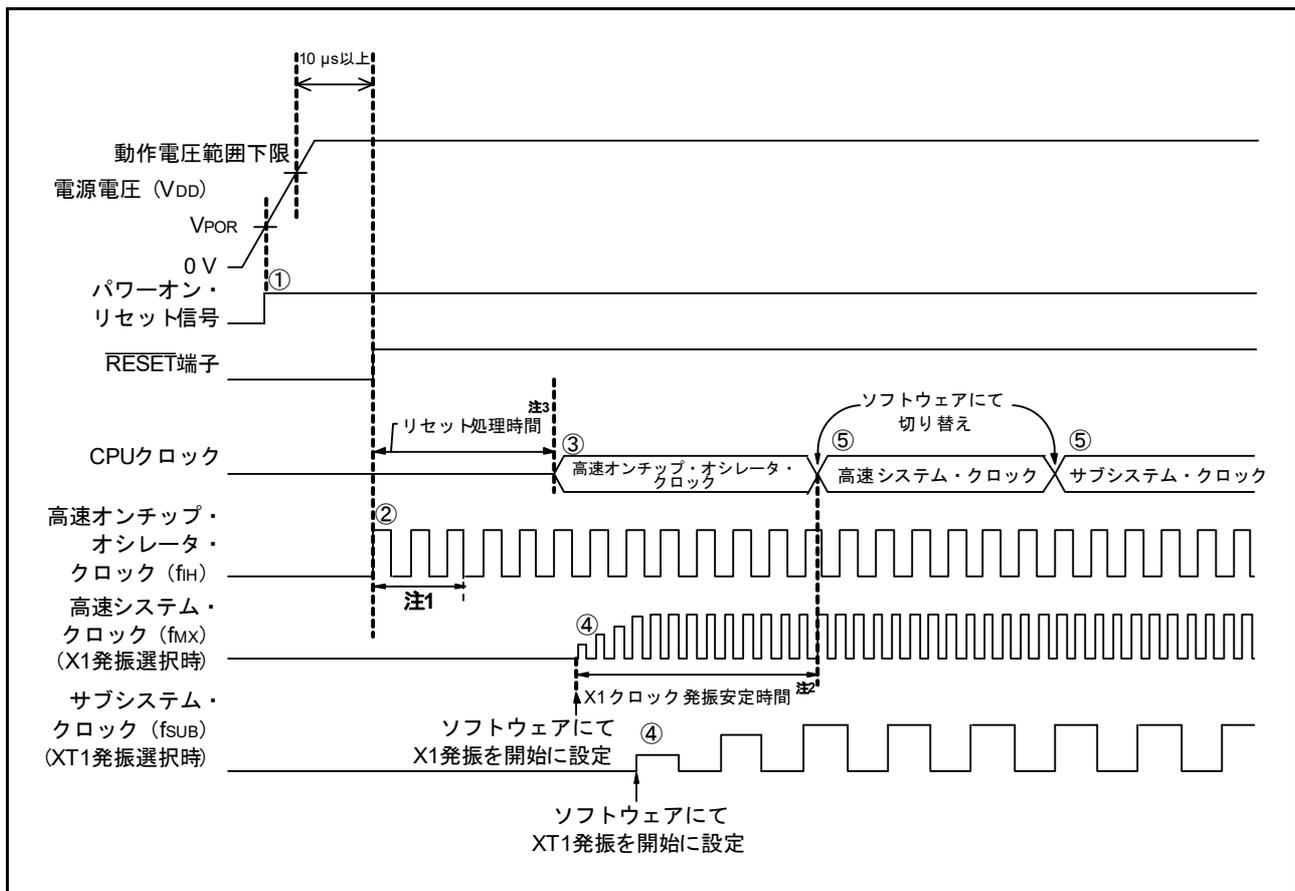
## 6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（**図 6 - 1**を参照）。

- メイン・システム・クロック (fMAIN)
  - 高速システム・クロック (fMX)
    - X1クロック (fx)
    - 外部メイン・システム・クロック (fEX)
  - 高速オンチップ・オシレータ・クロック (fiH)
  - 中速オンチップ・オシレータ・クロック (fiM)
- サブシステム・クロック (fSUB)
  - XT1クロック (fxT)
  - 外部サブシステム・クロック (fEXS)
  - 低速オンチップ・オシレータ・クロック (fiL)
- CPU/周辺ハードウェア・クロック (fCLK)
- サブシステム・クロック X (fsX)
- 周辺用クロック
  - 高速オンチップ・オシレータ周辺クロック (fiHP)
  - 中速オンチップ・オシレータ周辺クロック (fiMP)
  - 高速周辺クロック (fMXP)
  - 低速周辺クロック (fSXP)
  - サブシステム・クロック XR (fsXR)

RL78/G23 では、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、**図 6 - 21**に示します。

図6-21 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット (POR) 回路による内部リセット信号が発生します。  
ただし、**37.4 AC 特性**に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます  
(上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (**6.6.2 X1発振回路の設定例**、**6.6.3 XT1発振回路の設定例**を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (**6.6.2 X1発振回路の設定例**、**6.6.3 XT1発振回路の設定例**を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

注3. リセット処理時間は、**第25章 パワーオン・リセット回路 (POR)**を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

## 6.6 クロックの制御

### 6.6.1 高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H）のFRQSEL0-FRQSEL3により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により、周波数を変更することもできます。

#### 【オプション・バイト設定】

アドレス : 000C2H

オプション・  
バイト

7            6            5            4            3            2            1            0

(000C2H)	CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1
----------	---------------	---------------	---	---	----------------	----------------	----------------	----------------

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

## 【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f <sub>H</sub> = 24 MHz	f <sub>H</sub> = 32 MHz
0	0	1	f <sub>H</sub> = 12 MHz	f <sub>H</sub> = 16 MHz
0	1	0	f <sub>H</sub> = 6 MHz	f <sub>H</sub> = 8 MHz
0	1	1	f <sub>H</sub> = 3 MHz	f <sub>H</sub> = 4 MHz
1	0	0	設定禁止	f <sub>H</sub> = 2 MHz
1	0	1	設定禁止	f <sub>H</sub> = 1 MHz
上記以外			設定禁止	

## 6.6.2 X1 発振回路の設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) で X1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMC レジスタの OSCSEL ビットをセット (1)、fx > 10 MHz の場合は AMPH ビットをセット (1) して X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	EXCLKS 0	OSCSELS 0	XTSEL 0	AMPHS1 0	AMPHS0 0	AMPH 0/1

- ② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。

例) 10 MHz の発振子で 102 μs 以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

- ③ CSC レジスタの MSTOP ビットをクリア (0) して X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 1	0	0	0	0	MIOEN 0	HIOSTOP 0

- ④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。

例) 10 MHz の発振子で 102 μs 以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

- ⑤ CKC レジスタの MCM0 ビットで X1 発振クロックを CPU / 周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	MCS1 0	MCM1 0

**注意** システム・クロック制御レジスタ (CKC) でメイン・システム・クロック (fMAIN) を変更する場合は、クロックの変更前、変更後ともにオプション・バイト (000C2H) およびフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、5.2.1 フラッシュ動作モード選択レジスタ (FLMODE) を参照してください。

### 6.6.3 XT1 発振回路の設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロックのみサブシステム・クロックで動作 (超低消費電流) させる場合は RTCLPC ビットを 1 に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	×	×	0	HIPREC 0

- ② CMC レジスタの OSCSELS ビットをセット (1) して XT1 発振回路を動作させます。30 ~ 36 ピン製品では XTSEL もセット (1) してください。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	XTSEL 0/1	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1 ビット : XT1 発振回路の発振モードを設定します。

- ③ CSC レジスタの XTSTOP ビットをクリア (0) して XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	MIOEN 0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

- ⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU / 周辺ハードウェア・クロックに設定します。

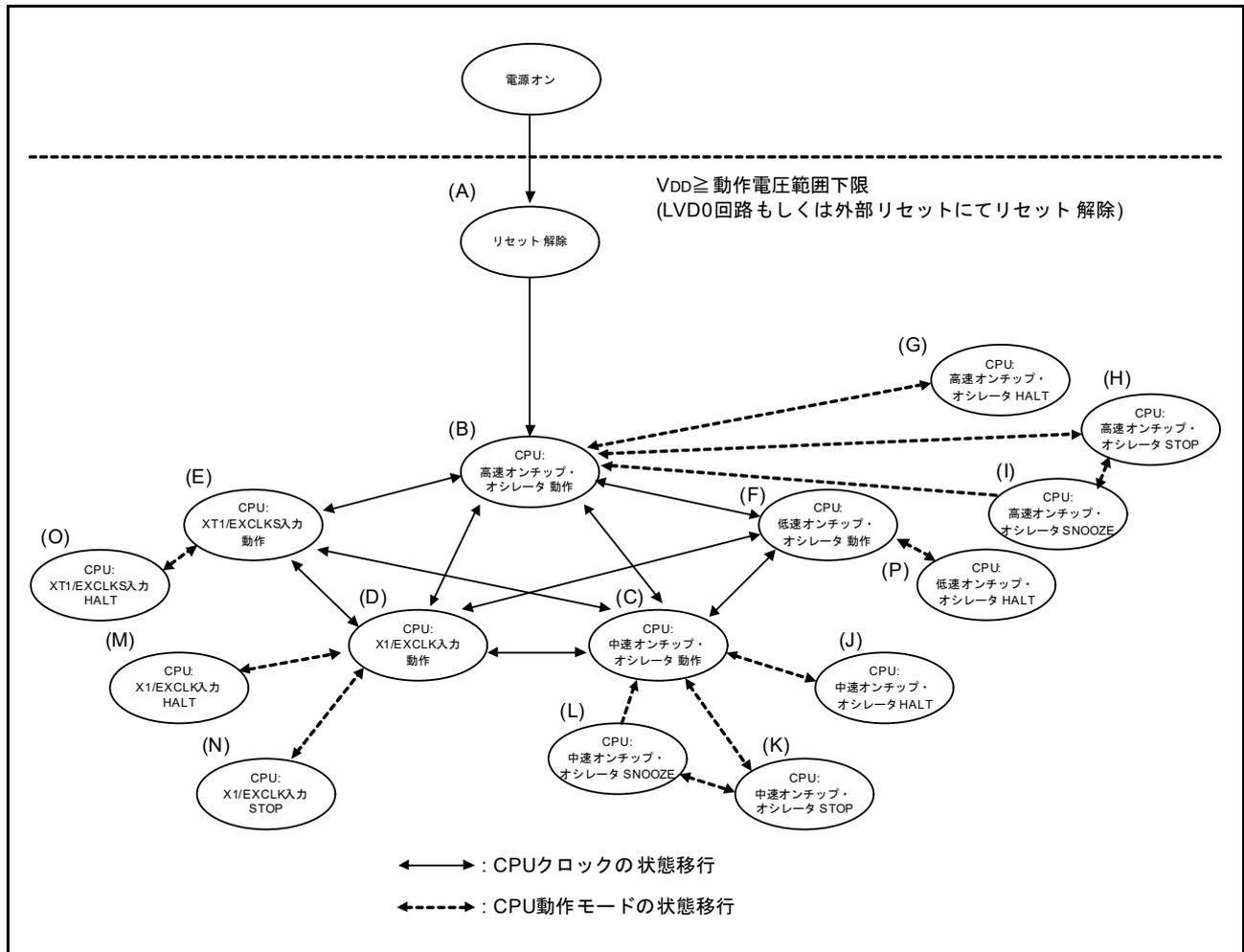
	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	MCS1 0	MCM1 0

備考 × : 不定

### 6.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6-22に示します。

図6-22 CPUクロック状態移行図



CPU クロックの状態移行とレジスタの設定例などを表 6 - 2 (1/3) ~ (3/3) に示します。

表6 - 2 CPUクロックの移行とSFRレジスタの設定例 (1/3)

- (1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行  
 対象状態遷移 : (A) → (B)

移行先のクロック	SFRレジスタの設定
高速オンチップ・オシレータ	SFRレジスタ設定不要 (リセット解除後の初期状態)

- (2) 高速オンチップ・オシレータ・クロック動作 (B) へ移行  
 対象状態遷移 : (C) → (B) , (D) → (B) , (E) → (B) , (F) → (B)

(SFRレジスタの設定順序) →

SFRレジスタのビット設定 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	HIOSTOP		CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	5 μs	0	0	0

高速オンチップ・オシレータ・  
 クロック動作中の場合は不要

- (3) 中速オンチップ・オシレータ・クロック動作 (C) へ移行  
 対象状態遷移 : (B) → (C) , (D) → (C) , (E) → (C) , (F) → (C)

(SFRレジスタの設定順序) →

SFRレジスタのビット設定 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	MIOEN		CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	1 μs	0	0	1

中速オンチップ・オシレータ・  
 クロック動作中の場合は不要

備考 表 6 - 2 の (A) - (P) は、図 6 - 22 の (A) - (P) と対応しています。

表6 - 2 CPUクロックの移行とSFRレジスタの設定例 (2/3)

(4) CPUを高速システム・クロック動作 (D) へ移行

対象状態遷移 : (B) → (D) , (C) → (D) , (E) → (D) 注1, (F) → (D)

(SFRレジスタの設定順序) →

SFRレジスタのビット設定 移行先のクロック	CMCレジスタ注2			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ	
	EXCLK	OSCSEL	AMPH		MSTOP		CSS	MCM0
X1クロックに移行 : $1\text{ MHz} \leq f_x \leq 10\text{ MHz}$	0	1	0	注3	0	確認必要	0	1
X1クロックに移行 : $10\text{ MHz} < f_x \leq 20\text{ MHz}$	0	1	1	注3	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注3	0	確認不要	0	1

設定済みの場合は不要

高速システム・クロック  
動作中の場合は不要

注1. 30～36ピン製品は非対応です。

注2. クロック動作モード制御レジスタ (CMC) は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。  
30～36ピン製品ではXTSEL = 0に設定してください。

注3. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。  
・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第37章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考 表6 - 2の (A) - (P) は、図6 - 22の (A) - (P) と対応しています。

(5) CPUをサブシステム・クロック動作 (E) へ移行

対象状態遷移 : (B) → (E) , (C) → (E) , (D) → (E) 注1

(SFRレジスタの設定順序) →

SFRレジスタのビット設定 移行先のクロック	CMCレジスタ注2				CSCレジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
XT1クロックに移行	0	1	0/1	0/1	0	必要	1
外部サブシステム・クロックに移行	1	1	×	×	×	必要	1

設定済みの場合は不要

サブシステム・クロック動作中  
の場合は不要

注1. 30～36ピン製品は非対応です。

注2. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。  
30～36ピン製品ではXTSEL = 1に設定してください。

表6-2 CPUクロックの移行とSFRレジスタの設定例 (3/3)

- (6) 低速オンチップ・オシレータ・クロック動作 (F) へ移行  
 対象状態遷移 : (B) → (F) , (C) → (F) , (D) → (F)

(SFRレジスタの設定順序) →

移行先のクロック	SFRレジスタのビット設定	発振精度安定待ち	CKCレジスタ
	CKSEL SELLOSC		CSS
低速オンチップ・オシレータに移行	1	80 μs	1

低速オンチップ・オシレータ・クロック動作中の場合は不要

備考1. × : Don't care

備考2. 表6-2の (A) - (P) は、図6-22の (A) - (P) と対応しています。

- (7) CPU動作モード (B) , (C) , (D) , (E) , (F) からHALTモード (G) , (J) , (M) , (O) , (P) へ移行  
 対象状態遷移 : (B) → (G) , (C) → (J) , (D) → (M) , (E) → (O) , (F) → (P)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

- (8) CPU動作モード (B) , (C) , (D) からSTOPモード (H) , (K) , (N) へ移行  
 対象状態遷移 : (B) → (H) , (C) → (K) , (D) → (N)

(設定順序) →

移行先のモード	設定内容			
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTSレジスタを設定する	HIPREC = 1であることを確認	STOP命令を実行する

STOPもしくはSNOOZEモード解除時  
 ・高速オンチップオシレータを通常起動する場合はFWKUP = 0  
 ・高速オンチップオシレータを高速起動する場合はFWKUP = 1

CPUが高速システム・クロック動作中からSTOPモードに移行する場合のみ、設定が必要  
 高速オンチップ・オシレータを高速起動する場合以外は設定不要

CPUが高速オンチップ・オシレータ動作中からSTOPモードに移行する場合のみ、設定が必要

- (9) STOPモード (H) , (K) とSNOOZEモード (I) , (L) の移行  
 STOPモードからSNOOZEモードへ移行するための設定の詳細については、第23章 スタンバイ機能および各周辺のSNOOZEモード機能を参照してください。

備考 表6-2の (A) - (P) は、図6-22の (A) - (P) と対応しています。

## 6.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6-3 CPUクロックの移行について (1/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能。
	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 <sup>注1</sup> ・ 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0 <sup>注1</sup>	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0, XTSEL = 1 <sup>注1</sup> ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0, XTSEL = 1 <sup>注1</sup>	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	

表6-3 CPUクロックの移行について (2/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること • HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、中速オンチップ・オシレータを停止 (MIOEN = 0) すると、動作電流を低減可能
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 <sup>注1</sup> • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0 <sup>注1</sup>	
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0, XTSEL = 1 <sup>注1</sup> • 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0, XTSEL = 1 <sup>注1</sup>	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	

表6-3 CPUクロックの移行について (3/6)

CPUクロック		移行前の条件	移行後の処理	
移行前	移行後			
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)	
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1		
	外部メイン・システム・クロック	移行不可		—
	XT1クロック <sup>注2</sup>	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後		CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)
	外部サブシステム・クロック <sup>注2</sup>	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0		
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)	
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1		
	X1クロック	移行不可		—
	XT1クロック <sup>注2</sup>	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後		CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック <sup>注2</sup>	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0		
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 SELLOSC = 1		

表6-3 CPUクロックの移行について (4/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック <sup>注2</sup>	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック <sup>注2</sup>	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	外部サブシステム・クロック	移行不可	
	低速オンチップ・オシレータ・クロック	移行不可	—

表6-3 CPUクロックの移行について (5/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック <sup>注2</sup>	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック <sup>注2</sup>	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	
	低速オンチップ・オシレータ・クロック	移行不可	—

表6-3 CPUクロックの移行について (6/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	—
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 <sup>注1</sup> ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0 <sup>注1</sup> ・MCS = 1	
	XT1クロック	移行不可	
	外部サブシステム・クロック	移行不可	

注1. 30～36ピン製品のみ

注2. 40～128ピン製品のみ移行可能

### 6.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット6, 4, 0（CSS, MCM0, MCM1）の設定により、CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック）、メイン・システム・クロックの切り替え（オンチップ・オシレータ・クロック⇄高速システム・クロック）、オンチップ・オシレータ・クロックの切り替え（高速オンチップ・オシレータ・クロック⇄中速オンチップ・オシレータ・クロック）をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します（表6-4～表6-7参照）。

CPUクロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKCレジスタのビット7（CLS）で判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか、メイン・オンチップ・オシレータ・クロックで動作しているかは、CKCレジスタのビット5（MCS）で判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか、中速オンチップ・オシレータで動作しているかは、CKCレジスタのビット1（MCS1）で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表6-4 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
foco	↔	fmx	表6-5参照
fiH	↔	fiM	表6-6参照
fMAIN	↔	fSUB	表6-7参照

表6-5 foco⇄fmxで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (fMAIN = foco)	1 (fMAIN = fmx)
0 (fMAIN = foco)	fmx ≥ foco		2クロック
	fmx < foco		2 foco/fmxクロック
1 (fMAIN = fmx)	fmx ≥ foco	2 fmx/focoクロック	
	fmx < foco	2クロック	

表6-6 fiH⇄fiMで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 (foco = fiH)	1 (foco = fiM)
0 (foco = fiH)	fiM ≥ fiH		2クロック
	fiM < fiH		2 fiH/fiMクロック
1 (foco = fiM)	fiM ≥ fiH	2 fiM/fiHクロック	
	fiM < fiH	2クロック	

表6-7 fMAIN⇔fSUBで要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	CSS	
CSS	0 (fCLK = fMAIN)	1 (fCLK = fSUB)
0 (fCLK = fMAIN)		1 + 2 fMAIN/fSUB クロック
1 (fCLK = fSUB)	3クロック	

**備考1.** 表6-5、表6-6、表6-7のクロック数は、切り替え前のCPUクロックのクロック数です。

**備考2.** 表6-5、表6-6、表6-7のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速オンチップ・オシレータ・クロック（8 MHz選択時）から高速システム・クロックに切り替える場合（f<sub>H</sub> = 8 MHz, f<sub>M</sub> = 10 MHz発振時）

$$1 + f_H/f_M = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2 \text{クロック}$$

### 6.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。  
クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表6-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS1 = 1またはMCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1 = 0またはMCS = 1またはCLS = 1 (CPUクロックが中速オンチップ・オシレータ・クロック以外で動作)	MIOEN = 0
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
低速オンチップ・オシレータ・クロック注	CLS = 0 (CPUクロックが低速オンチップ・オシレータ・クロック以外で動作)	SELLOSC = 0 WUTMMCK0 = 0

注 WDTが動作している場合またはSNOOZEモード・シーケンサのウェイト処理でウェイトのソース・クロックにfILを選択している場合は停止しません。

## 6.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数（参考）は、当社ホームページの対象製品ページを参照してください。

**注意1.** この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

**注意2.** 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC 特性の規格内で使用してください。

図6 - 23 外付け回路例



## 第7章 タイマ・アレイ・ユニット (TAU)

タイマ・アレイ・ユニットのユニット、チャンネル数は、製品によって異なります。

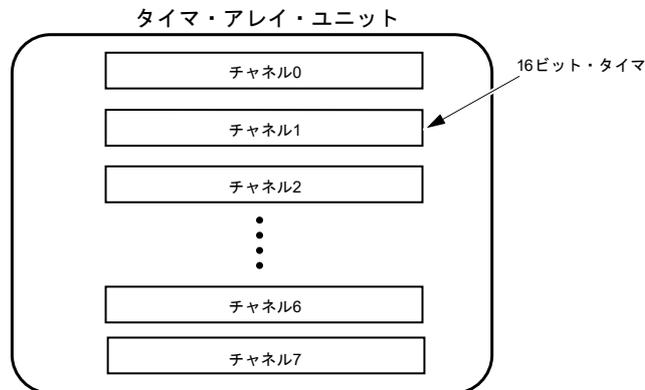
ユニット	チャンネル	30, 32, 36, 40, 44, 48, 52, 64ピン	80, 100ピン	128ピン
ユニット0	チャンネル0	○	○	○
	チャンネル1	○	○	○
	チャンネル2	○	○	○
	チャンネル3	○	○	○
	チャンネル4	○	○	○
	チャンネル5	○	○	○
	チャンネル6	○	○	○
	チャンネル7	○	○	○
ユニット1	チャンネル0	—	○	○
	チャンネル1	—	○	○
	チャンネル2	—	○	○
	チャンネル3	—	○	○
	チャンネル4	—	—	○
	チャンネル5	—	—	○
	チャンネル6	—	—	○
	チャンネル7	—	—	○

注意1. タイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

注意2. この章では、以降の主な説明を128ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> <li>• インターバル・タイマ (→7.8.1参照)</li> <li>• 方形波出力 (→7.8.1参照)</li> <li>• 外部イベント・カウンタ (→7.8.2参照)</li> <li>• 分周器注 (→7.8.3参照)</li> <li>• 入力パルス間隔測定 (→7.8.4参照)</li> <li>• 入力信号のハイ/ロウ・レベル幅測定 (→7.8.5参照)</li> <li>• デイレイ・カウンタ (→7.8.6参照)</li> </ul>	<ul style="list-style-type: none"> <li>• ワンショット・パルス出力 (→7.9.1参照)</li> <li>• PWM出力 (→7.9.2参照)</li> <li>• 多重PWM出力 (→7.9.3参照)</li> </ul>

注 ユニット0のチャンネル0のみ

ユニット0,1のチャンネル1,3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1,3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ(上位/下位8ビット・タイマ) / 方形波出力(下位8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- デイレイ・カウンタ(下位8ビット・タイマのみ)

また、ユニット0のチャンネル7は、シリアル・アレイ・ユニットのUART2と連携し、LIN-bus通信動作を実現することができます。

## 7.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

### 7.1.1 単独チャネル動作機能

単独チャネル動作機能は、他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

#### (1) インターバル・タイマ

一定間隔で割り込み (INTTMmn) を発生する基準タイマとして利用できます。



#### (2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子 (TOMn) より出力します。



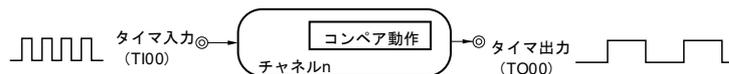
#### (3) 外部イベント・カウンタ

タイマ入力端子 (TIMn) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



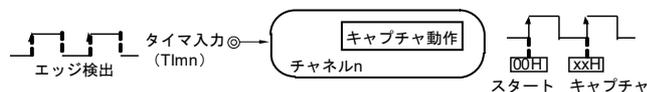
#### (4) 分周器機能 (ユニット0のチャンネル0のみ)

タイマ入力端子 (TI00) から入力されたクロックを分周して出力端子 (TO00) より出力します。



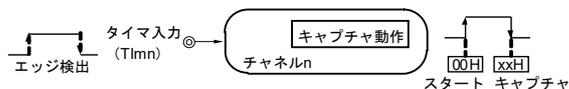
#### (5) 入力パルス間隔測定

タイマ入力端子 (TIMn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



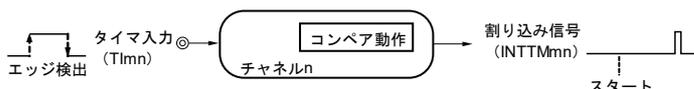
## (6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



## (7) デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

備考2. チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

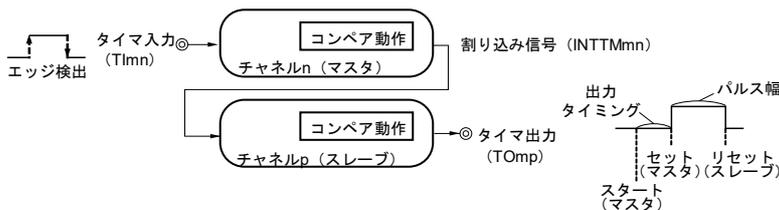
### 7.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせることで実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

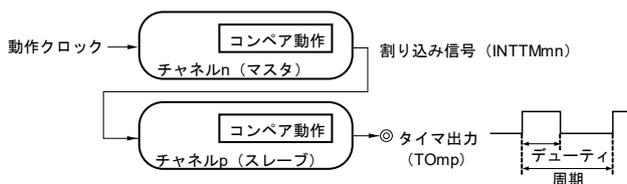
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



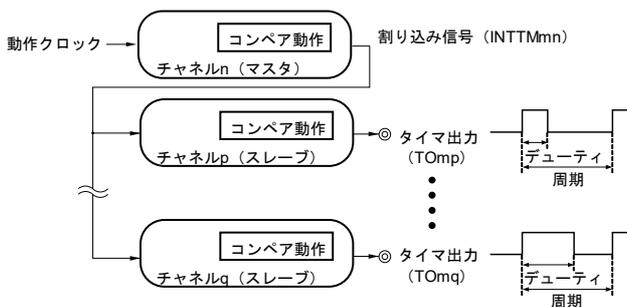
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



**注意** 複数チャンネル連動動作機能のルールの詳細については、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)、  
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 7)

### 7.1.3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

**注意** 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。  
詳細は、7.4.2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ) を参照してください。

### 7.1.4 LIN-bus対応機能 (ユニット0のチャンネル7のみ)

LIN-bus 通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART2のシリアル・データ入力端子 (RxD2) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART2のシリアル・データ入力端子 (RxD2) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART2のシリアル・データ入力端子 (RxD2) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボーレートを算出します。

**備考** LIN-bus対応機能の動作設定については、7.3.15 入力切り替え制御レジスタ (ISC)、7.8.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

## 7.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表7-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI00-TI07, TI10-TI17 <sup>注1</sup> 、RxD2端子 (LIN-bus用)
タイマ出力	TO00-TO07, TO10-TO17 <sup>注1</sup> 、出力制御回路
制御レジスタ	<p>&lt;ユニット設定部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・周辺イネーブル・レジスタ0 (PER0)</li> <li>・周辺リセット制御レジスタ0 (PRR0)</li> <li>・タイマ・クロック選択レジスタm (TPSm)</li> <li>・タイマ・チャンネル許可ステータス・レジスタm (TEm)</li> <li>・タイマ・チャンネル開始レジスタm (TSM)</li> <li>・タイマ・チャンネル停止レジスタm (TTm)</li> <li>・タイマ入力選択レジスタ0 (TIS0)</li> <li>・タイマ入力選択レジスタ1 (TIS1)</li> <li>・タイマ出力許可レジスタm (TOEm)</li> <li>・タイマ出力レジスタm (TOM)</li> <li>・タイマ出力レベル・レジスタm (TOLm)</li> <li>・タイマ出力モード・レジスタm (TOMm)</li> </ul> <p>&lt;各チャンネル部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・タイマ・モード・レジスタmn (TMRmn)</li> <li>・タイマ・ステータス・レジスタmn (TSRmn)</li> <li>・入力切り替え制御レジスタ (ISC)</li> <li>・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)</li> <li>・ポート・ファンクション出力許可レジスタ (PFOEx) <sup>注2</sup></li> <li>・ポート・モード・コントロールA・レジスタ (PMCAxx) <sup>注2</sup></li> <li>・ポート・モード・コントロールT・レジスタ (PMCTxx) <sup>注2</sup></li> <li>・ポート・モード・コントロールE・レジスタ (PMCEx) <sup>注2</sup></li> <li>・ポート・モード・レジスタ (PMxx) <sup>注2</sup></li> <li>・ポート・レジスタ (Pxx) <sup>注2</sup></li> </ul>

**注1.** チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7-2 各製品に搭載しているタイマ入出力端子**を参照してください。

**注2.** 製品によって設定するポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCEx)、ポート・ファンクション出力許可レジスタ0 (PFOE0)、ポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

**備考** m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0-7)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

表7-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ ユニット・チャンネル		各製品の入出力端子の有無							
		30, 32, 36 ピン	40ピン	44, 48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
0 T A U I I P	チャンネル0	TI00, TO00							
	チャンネル1	TI01/TO01							
	チャンネル2	TI02/TO02							
	チャンネル3	TI03/TO03							
	チャンネル4	(TI04/TO04)				TI04/TO04			
	チャンネル5	(TI05/TO05)				TI05/TO05			
	チャンネル6	(TI06/TO06)				TI06/TO06			
	チャンネル7	(TI07/TO07)		TI07/TO07					
1 T A U I P	チャンネル0	×	×	×	×	×	TI10/TO10		
	チャンネル1	×	×	×	×	×	TI11/TO11		
	チャンネル2	×	×	×	×	×	TI12/TO12		
	チャンネル3	×	×	×	×	×	TI13/TO13		
	チャンネル4	×	×	×	×	×	×	×	TI14/TO14
	チャンネル5	×	×	×	×	×	×	×	TI15/TO15
	チャンネル6	×	×	×	×	×	×	×	TI16/TO16
	チャンネル7	×	×	×	×	×	×	×	TI17/TO17

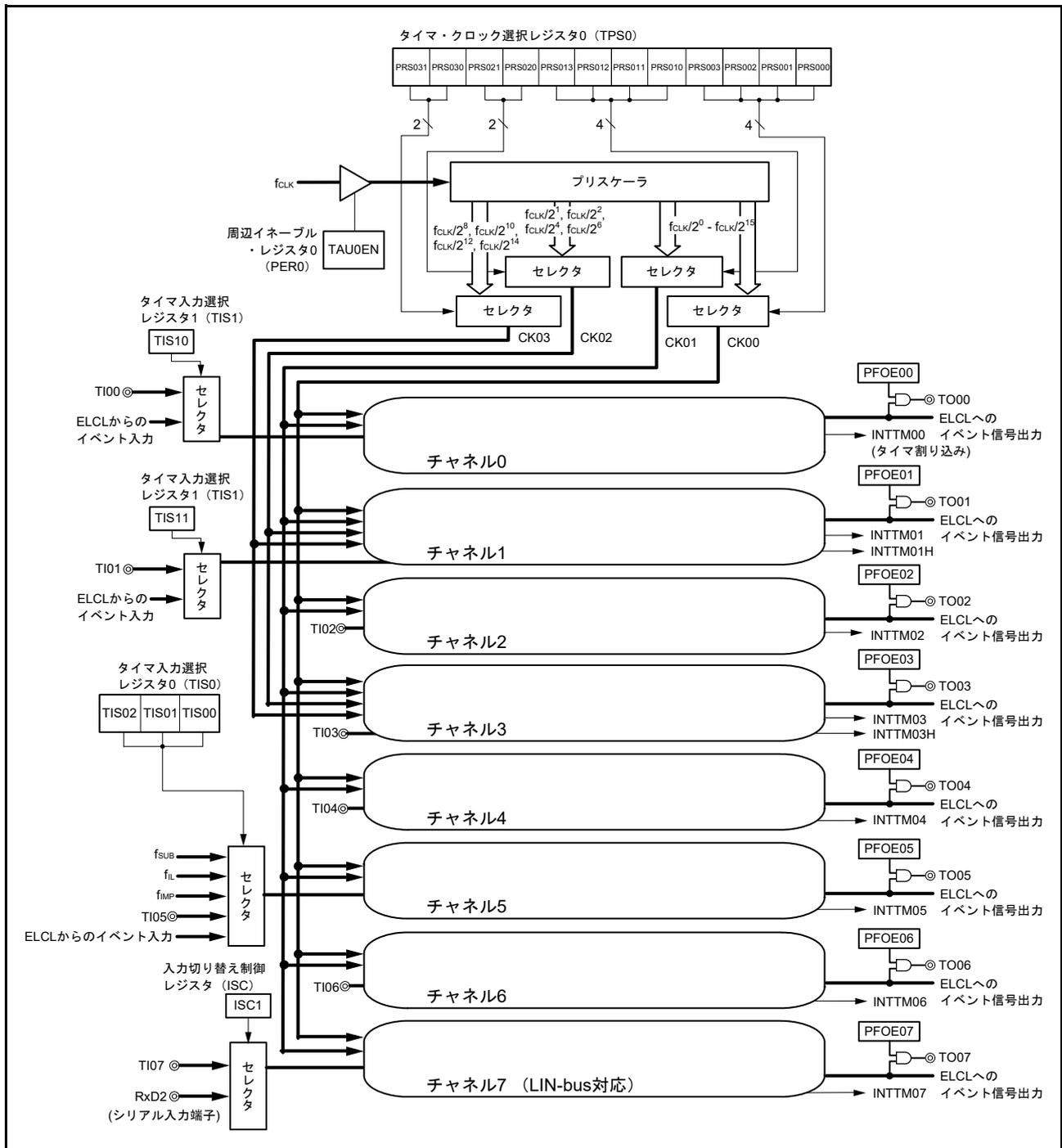
備考1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

備考2. ×：チャンネル非搭載

備考3. ( )は周辺I/Oリダイレクション・レジスタ (PIOR) のビット0を1に設定したときの兼用ポート

図7-1にタイマ・アレイ・ユニットのブロック図を示します。

図7-1 タイマ・アレイ・ユニット0の全体ブロック図 (例：64ピン製品)



- 備考**
- f<sub>SUB</sub> : サブシステム・クロック周波数
  - f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック周波数
  - f<sub>IMP</sub> : 中速オンチップ・オシレータ・周辺クロック周波数

図7-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図

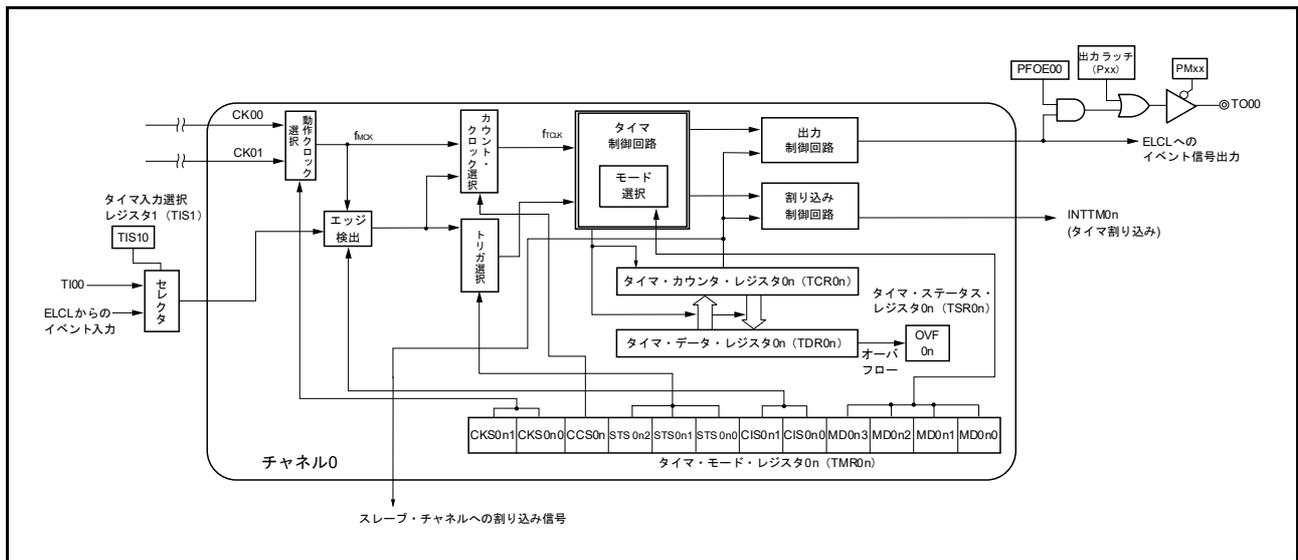


図7-3 タイマ・アレイ・ユニット0のチャンネル1内部ブロック図

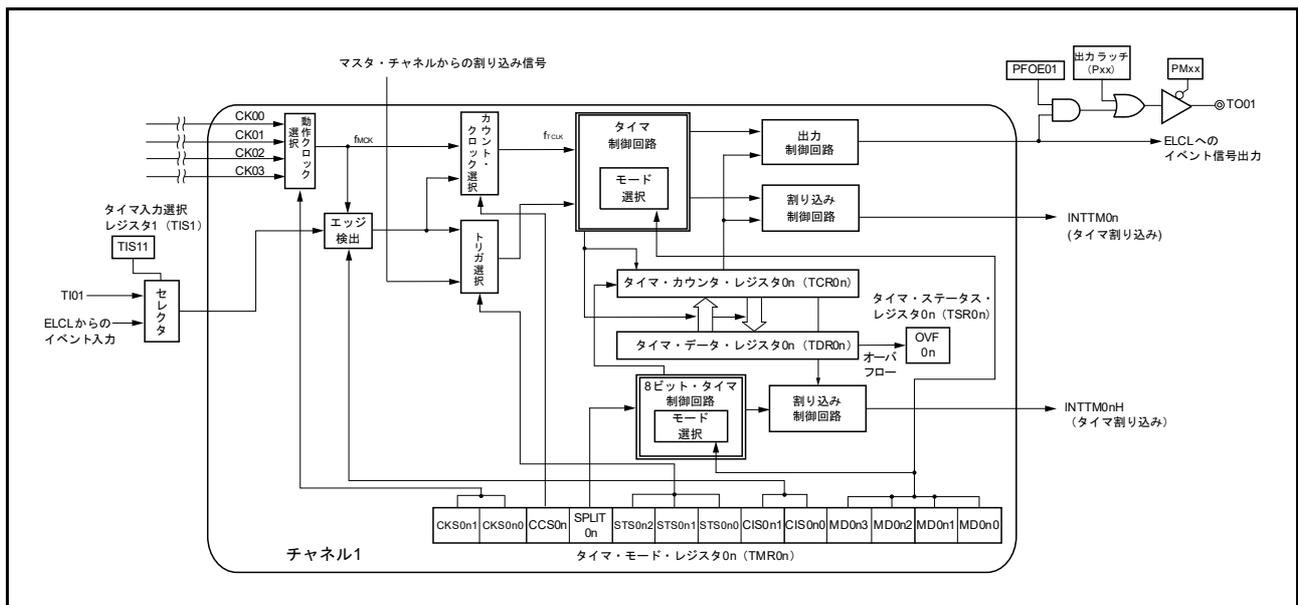
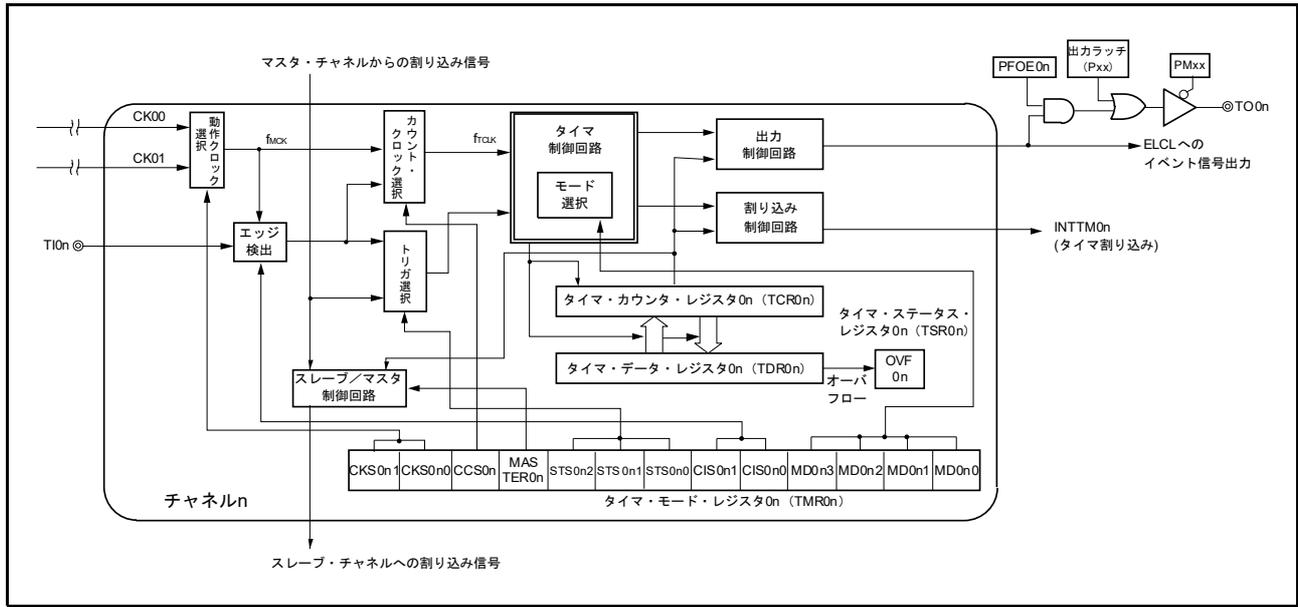


図7-4 タイマ・アレイ・ユニット0のチャンネル2, 4, 6内部ブロック図



備考 n = 2, 4, 6

図7-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図

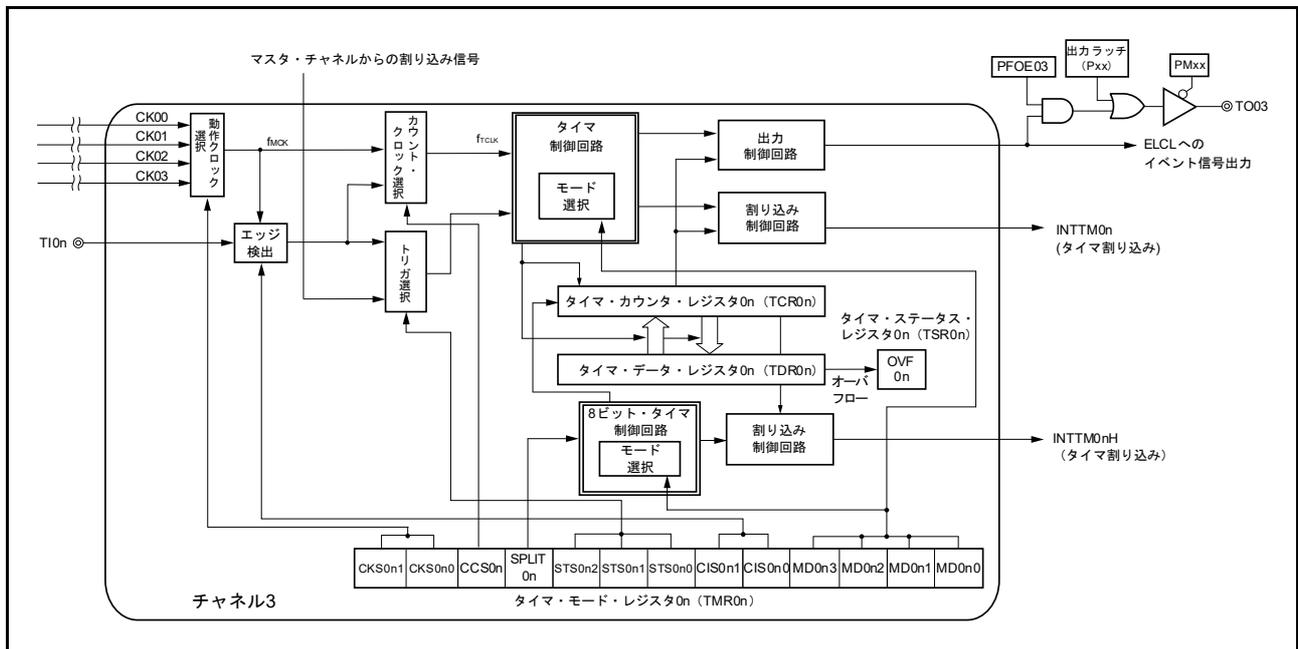


図7-6 タイマ・アレイ・ユニット0のチャンネル5内部ブロック図

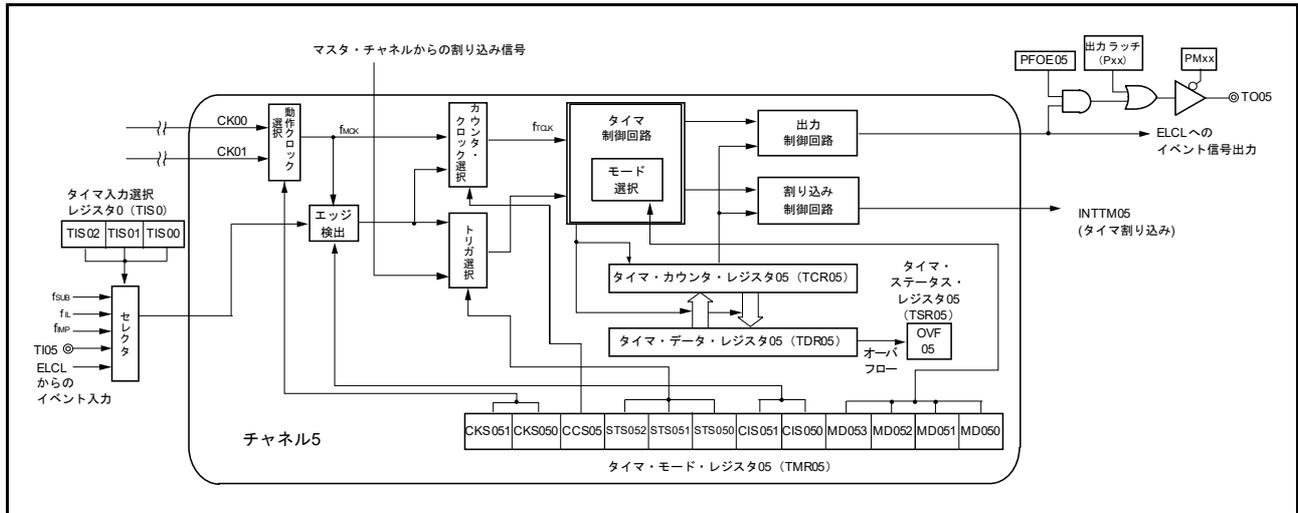
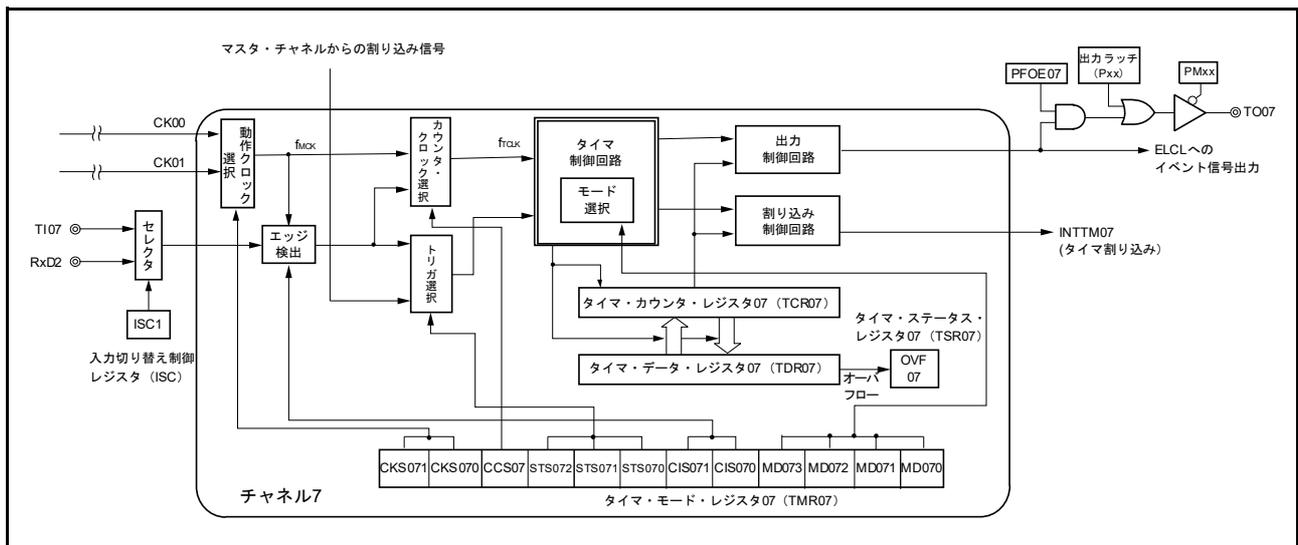


図7-7 タイマ・アレイ・ユニット0のチャンネル7内部ブロック図



### 7.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmn レジスタは、カウント・クロックをカウントする 16 ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。

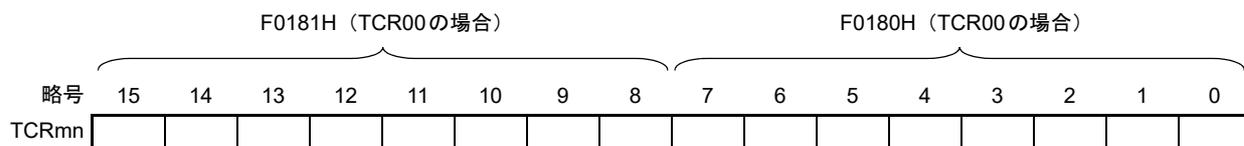
インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります (7.3.4 タイマ・モード・レジスタ mn (TMRmn) 参照)。

図7-8 タイマ・カウンタ・レジスタ mn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07), F01C0H, F01C1H (TCR10) - F01CEH, F01CFH (TCR17)

リセット時: FFFFH

R/W属性 : R



**備考** m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

タイマ・カウンタ・レジスタ mn (TCRmn) をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・ リセット信号の発生時
- ・ 周辺リセット制御レジスタ0 (PRR0) のTAUmRES ビットをクリアしたとき
- ・ PWM出力モードで、スレーブ・チャネルのカウント完了時
- ・ ディレイ・カウンタ・モードで、スレーブ・チャネルのカウント完了時
- ・ ワンショット・パルス出力モードで、マスタ/スレーブ・チャネルのカウント完了時
- ・ 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・ キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・ キャプチャ・モード時で、キャプチャ完了時

**注意** TCRmn レジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

TCRmn レジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7-3 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 <sup>注</sup>			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

**注** チャンネルnがタイマ動作停止状態 (TEmn = 0) かカウンタ動作許可状態 (TSmn = 1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値がTCRmn レジスタに保持されます。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

## 7.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。

TDRmn レジスタは任意のタイミングで書き換えることができます。

16 ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3 レジスタは、8 ビット・タイマ・モード時 (タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3) の SPLITm1, SPLITm3 ビットが 1) に、上位 8 ビットを TDRm1H, TDRm3H、下位 8 ビットを TDRm1L, TDRm3L として、8 ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmn レジスタは 0000H になります。

図7-9 タイマ・データ・レジスタ mn (TDRmn) (n = 0, 2, 4-7) のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07), FFF70H, FFF71H (TDR10), FFF74H, FFF75H (TDR12), FFF78H, FFF79H (TDR14) - FFF7EH, FFF7FH (TDR17)  
リセット時: 0000H  
R/W属性 : R/W

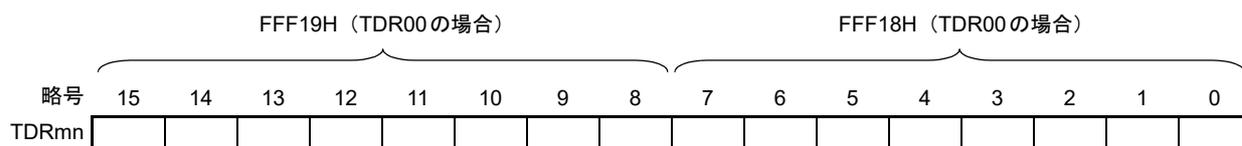
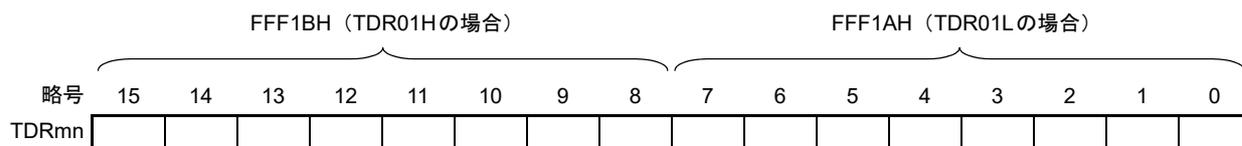


図7-10 タイマ・データ・レジスタ mn (TDRmn) (n = 1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03), FFF72H, FFF73H (TDR11), FFF76H, FFF77H (TDR13)  
リセット時: 0000H  
R/W属性 : R/W



(i) タイマ・データ・レジスタ mn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmn レジスタに設定した値からダウン・カウントをスタートして、0000H になったときに割り込み信号 (INTTmn) を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

**注意** コンペア機能に設定した TDRmn レジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn) のカウント値を TDRmn レジスタにキャプチャします。

キャプチャ・トリガとして、TImn 端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn) で設定します。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

## 7.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- タイマ・クロック選択レジスタm (TPSm)
- タイマ・モード・レジスタmn (TMRmn)
- タイマ・ステータス・レジスタmn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタm (TEm)
- タイマ・チャンネル開始レジスタm (TSM)
- タイマ・チャンネル停止レジスタm (TTm)
- タイマ入力選択レジスタ0 (TIS0)
- タイマ入力選択レジスタ1 (TIS1)
- タイマ出力許可レジスタm (TOEm)
- タイマ出力レジスタm (TOM)
- タイマ出力レベル・レジスタm (TOLm)
- タイマ出力モード・レジスタm (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)
- ポート・ファンクション出力許可レジスタ (PFOEx)

**注意** 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

**備考1.** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

**備考2.** x = 0, 1; xx = 0, 1, 3, 4, 6, 10, 14

ただし、PMCA4, 6、PMCT1, 4, 10, 14、PMCE3, 4, 10, 14は搭載していません。

### 7.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

タイマ・アレイ・ユニット1を使用する場合は、必ずビット1 (TAU1EN) を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは00Hになります。

図7-11 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCWEN	IICA1EN 注1	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN 注2	TAU0EN
	TAU1EN	タイマ・アレイ・ユニット1の入カクロック供給の制御						
	0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1で使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード／ライト可						
	TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御						
	0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0で使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可						

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

(注意は次ページに続きます)

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは00Hとなり、書き込みは無視されます (タイマ入力選択レジスタ0, 1 (TIS0, 1)、入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)、ポート・モード・コントロールA・レジスタ0, 1 (PMCA0, PMCA1)、ポート・モード・コントロールT・レジスタ0, 3, 6 (PMCT0, PMCT3, PMCT6)、ポート・モード・コントロールE・レジスタ0, 1 (PMCE0, PMCE1)、ポート・モード・レジスタ0, 1, 3, 4, 6, 10, 14 (PM0, PM1, PM3, PM4, PM6, PM10, PM14)、ポート・レジスタ0, 1, 3, 4, 6, 10, 14 (P0, P1, P3, P4, P6, P10, P14)、ポート・ファンクション出力許可レジスタ0 (PFOE0) は除く)。

- ・ タイマ・クロック選択レジスタ m (TPSm)
- ・ タイマ・モード・レジスタ mn (TMRmn)
- ・ タイマ・ステータス・レジスタ mn (TSRmn)
- ・ タイマ・チャネル許可ステータス・レジスタ m (TEm)
- ・ タイマ・チャネル開始レジスタ m (TSm)
- ・ タイマ・チャネル停止レジスタ m (TTm)
- ・ タイマ出力許可レジスタ m (TOEm)
- ・ タイマ出力レジスタ m (TOm)
- ・ タイマ出力レベル・レジスタ m (TOLm)
- ・ タイマ出力モード・レジスタ m (TOMm)

注意2. 次のビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

### 7.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニット0 をリセットする場合は、ビット0 (TAU0RES) を1に設定してください。

タイマ・アレイ・ユニット1 をリセットする場合は、ビット1 (TAU1RES) を1に設定してください。

PRR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0 レジスタは00Hになります。

図7-12 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR0	0	IICA1RES 注1	ADCRES	IICA0RES	SAU1RES	SAU0RES	TAU1RES 注2	TAU0RES
TAU1RES	タイマ・アレイ・ユニット1のリセット制御							
0	タイマ・アレイ・ユニット1のリセット解除							
1	タイマ・アレイ・ユニット1はリセット状態 ・タイマ・アレイ・ユニット1で使用するSFRが初期化されます。							
TAU0RES	タイマ・アレイ・ユニット0のリセット制御							
0	タイマ・アレイ・ユニット0のリセット解除							
1	タイマ・アレイ・ユニット0はリセット状態 ・タイマ・アレイ・ユニット0で使用するSFRが初期化されます。							

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. ビット7には、必ず0を設定してください。

注意2. 次の各ビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

### 7.3.3 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される 2 種類または 4 種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する 16 ビット・レジスタです。CKm0 は TPSm レジスタのビット 3-0 で、CKm1 は TPSm レジスタのビット 7-4 で選択します。さらにチャンネル 1, 3 のみ、CKm2, CKm3 も選択できます。CKm2 は TPSm レジスタのビット 9-8 で、CKm3 は TPSm レジスタのビット 13, 12 で選択できます。

タイマ動作中の TPSm レジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03 ビットが書き換え可能な場合 (n = 0-7) :

動作クロックに CKm0 を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13 ビットが書き換え可能な場合 (n = 0-7) :

動作クロックに CKm1 を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21 ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックに CKm2 を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31 ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックに CKm3 を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSm レジスタは 16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSm レジスタは 0000H になります。

図7-13 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H (TPS0), F01F6H, F01F7H (TPS1)  
 リセット時: 0000H  
 R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TPSm	0	0	PRSm31	PRSm30	0	0	PRSm21	PRSm20
	7	6	5	4	3	2	1	0
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック (CKmk) の選択注 (k = 0, 1)				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 <sup>4</sup>	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 <sup>5</sup>	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 <sup>6</sup>	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 <sup>7</sup>	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 <sup>8</sup>	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 <sup>9</sup>	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 <sup>10</sup>	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	fCLK/2 <sup>11</sup>	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 <sup>12</sup>	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	fCLK/2 <sup>13</sup>	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	fCLK/2 <sup>14</sup>	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 <sup>15</sup>	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk) にfCLK (分周なし) を選択し、TDRnm = 0000H (n = 0, 1, m = 0-7) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります (m = 0, 1)。詳しくは、7.5.1 カウント・クロック (fCLK) を参照してください。

図7-13 タイマ・クロック選択レジスタ m (TPSm) のフォーマット (2/2)

PRSm21	PRSm20	動作クロック (CKm2) の選択 <sup>注</sup>					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	fCLK/2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	fCLK/2 <sup>4</sup>	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
1	1	fCLK/2 <sup>6</sup>	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

PRSm31	PRSm30	動作クロック (CKm3) の選択 <sup>注</sup>					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	fCLK/2 <sup>8</sup>	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	fCLK/2 <sup>10</sup>	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	fCLK/2 <sup>12</sup>	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	fCLK/2 <sup>14</sup>	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

**注** fCLKに選択しているクロックを変更（システム・クロック制御レジスタ (CKC) の値を変更）する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

動作クロック (fMCK)、TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

**注意** ビット 15, 14, 11, 10には、必ず0を設定してください。

チャンネル 1, 3 を 8 ビット・タイマ・モードで使用し、CKm2, CKm3 を動作クロックとすることにより、インターバル・タイマ機能で、表 7-4 に示すインターバル時間を実現することが可能です。

表7-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間 <sup>注</sup> (fCLK = 32 MHz)			
		10 $\mu$ s	100 $\mu$ s	1 ms	10 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 <sup>2</sup>	○	—	—	—
	fCLK/2 <sup>4</sup>	○	○	—	—
	fCLK/2 <sup>6</sup>	○	○	—	—
CKm3	fCLK/2 <sup>8</sup>	—	○	○	—
	fCLK/2 <sup>10</sup>	—	○	○	—
	fCLK/2 <sup>12</sup>	—	—	○	○
	fCLK/2 <sup>14</sup>	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2<sup>i</sup>の波形の詳細は、7.5.1 カウント・クロック (fCLK) を参照してください。

### 7.3.4 タイマ・モード・レジスタ mn (TMRmn)

TMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (fMCK) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16 ビット/8 ビット・タイマの選択 (チャンネル 1, 3 のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMRmn レジスタは、動作中 (TEmn = 1 のとき) の書き換えは禁止です。ただし、ビット 7, 6 (CISmn1, CISmn0) は、一部の機能で動作中 (TEmn = 1 のとき) の書き換えが可能です (詳細は 7.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmn レジスタは 0000H になります。

**注意** TMRmn レジスタのビット 11 は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmn ビット (n = 2, 4, 6)

TMRm1, TMRm3 : SPLITmn ビット (n = 1, 3)

TMRm0, TMRm5, TMRm7 : 0 固定

図7-14 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07), F01D0H, F01D1H (TMR10) - F01DEH, F01DFH (TMR17)  
 リセット時: 0000H  
 R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TMRmn (n = 2, 4, 6)	CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0
	7	6	5	4	3	2	1	0
	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn (n = 1, 3)	CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0
	7	6	5	4	3	2	1	0
	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn (n = 0, 5, 7)	CKSmn1	CKSmn0	0	CCSmn	0 <sup>注1</sup>	STSmn2	STSmn1	STSmn0
	7	6	5	4	3	2	1	0
	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

CKSmn1	CKSmn0	チャンネルnの動作クロック (fMCK) の選択
0	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm3

動作クロック (fMCK) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fCLK) を生成します。  
 動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。

CCSmn	チャンネルnのカウント・クロック (fCLK) の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fMCK)
1	TImn端子からの入力信号の有効エッジ ・ユニット0の場合: チャンネル0~4では、TIS1nで選択した入力信号の有効エッジ チャンネル5では、TIS0で選択した入力信号の有効エッジ チャンネル7では、ISCで選択した入力信号の有効エッジ

カウント・クロック (fCLK) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。

図7-14 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (2/3)

(TMRmn (n = 2, 4, 6) のビット11)

MAS TER mn	チャンネルnの単独チャンネル動作/複数チャンネル連動動作 (スレーブ/マスタ) の選択
0	単独チャンネル動作機能、または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
<p>チャンネル2, 4, 6のみマスタ・チャンネル (MASTERmn = 1) に設定できます。                  チャンネル0, 5, 7は0固定となります (チャンネル0は最上位チャンネルのため、このビットの設定によらずマスタとして動作します)。                  また、単独チャンネル動作機能として使用するチャンネルは、MASTERmn = 0にします。</p>	

(TMRmn (n = 1, 3) のビット11)

SPLI Tmn	チャンネル1, 3の8ビット・タイマ/16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能、または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ: 立ち下がリエッジ、キャプチャ・トリガ: 立ち上がリエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ: 立ち上がリエッジ、キャプチャ・トリガ: 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0ビット = 10Bに設定してください。		

図7-14 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (3/3)

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/ 方形波出力/分周器機能 /PWM出力 (マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ ワンショット・パルス出 力/PWM出力 (スレー ブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・ レベル幅測定	アップ・カウンタ
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります (下表を参照)。					

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウンタ・スタートと割り込みの設定
<ul style="list-style-type: none"> <li>・インターバル・タイマ・モード (0, 0, 0)</li> <li>・キャプチャ・モード (0, 1, 0)</li> </ul>	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウンタ開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
<ul style="list-style-type: none"> <li>・イベント・カウンタ・モード (0, 1, 1)</li> </ul>	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
<ul style="list-style-type: none"> <li>・ワンカウント・モード注2 (1, 0, 0)</li> </ul>	0	カウンタ動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウンタ動作中のスタート・トリガを有効とする 注3。 その際に割り込みは発生しない。
<ul style="list-style-type: none"> <li>・キャプチャ&amp;ワンカウント・モード (1, 1, 0)</li> </ul>	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウンタ動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

注2. ワンカウント・モードでは、カウンタ動作開始時の割り込み出力 (INTTMmn)、TOMn出力は制御しません。

注3. 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタを初期化し、再カウンタ・スタートします (割り込み要求は発生せず)。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウンタ・クロック (fCLK) にCKSmn0, CKSmn1ビットで指定した動作クロック (fmck)、TImn端子からの入力信号の有効エッジのどれを選択していても、fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

### 7.3.5 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmn レジスタは、チャンネル n のカウンタのオーバーフロー状況を表示するレジスタです。

TSRmn レジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。各動作モードでの OVF ビットの動作とセット/クリア条件は表 7-5 を参照してください。

TSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。

また TSRmn レジスタの下位 8 ビットは、TSRmnL で 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmn レジスタは 0000H になります。

図 7-15 タイマ・ステータス・レジスタ mn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07), F01E0H, F01E1H (TSR10) - F01EEH, F01EFH (TSR17)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
TSRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OVF
OVF	チャンネルnのカウンタのオーバーフロー状況							
0	オーバーフローなし							
1	オーバーフロー発生							
OVF = 1 のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。								

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

表 7-5 各動作モードにおける OVF ビットの動作とセット/クリア条件

タイマの動作モード	OVF ビット	セット/クリア条件
<ul style="list-style-type: none"> <li>キャプチャ・モード</li> <li>キャプチャ&amp;ワンカウント・モード</li> </ul>	クリア	キャプチャ時にオーバーフローが発生していない場合
	セット	キャプチャ時にオーバーフローが発生していた場合
<ul style="list-style-type: none"> <li>インターバル・タイマ・モード</li> <li>イベント・カウンタ・モード</li> <li>ワンカウント・モード</li> </ul>	クリア	- (使用不可)
	セット	

備考 OVF ビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

### 7.3.6 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEm レジスタは、各チャンネルのタイマ動作許可/停止状態を表示するレジスタです。

TEm レジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSm レジスタの各ビットが1にセットされると、TEm レジスタの対応ビットが1にセットされます。TTm レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEm レジスタは、16 ビット・メモリ操作命令で読み出します。

また TEm レジスタの下位 8 ビットは、TEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せません。

リセット信号の発生により、TEm レジスタは 0000H になります。

図7-16 タイマ・チャンネル許可ステータス・レジスタ m (TEm) のフォーマット

アドレス : F01B0H, F01B1H (TE0), F01F0H, F01F1H (TE1)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
TEm	0	0	0	0	TEHm3	0	TEHm1	0
	7	6	5	4	3	2	1	0
	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0
TEHm3	チャンネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可/停止状態の表示							
0	動作停止状態							
1	動作許可状態							
TEHm1	チャンネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可/停止状態の表示							
0	動作停止状態							
1	動作許可状態							
TEmn	チャンネルnの動作許可/停止状態の表示							
0	動作停止状態							
1	動作許可状態							
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可/停止状態を表示します。								

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

### 7.3.7 タイマ・チャンネル開始レジスタ m (TSm)

TSm レジスタは、タイマ・カウンタ・レジスタ mn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは、16 ビット・メモリ操作命令で設定します。

また TSm レジスタの下位 8 ビットは、TSmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSm レジスタは 0000H になります。

図7-17 タイマ・チャンネル開始レジスタ m (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0), F01F2H, F01F3H (TS1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TSm	0	0	0	0	TSHm3	0	TSHm1	0
	7	6	5	4	3	2	1	0
	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0
TSHm3	チャンネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可 (スタート) トリガ							
0	トリガ動作しない							
1	TEHm3 ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm3 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (7.5.2 カウンタのスタート・タイミングの表7-6参照)。							
TSHm1	チャンネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可 (スタート) トリガ							
0	トリガ動作しない							
1	TEHm1 ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm1 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (7.5.2 カウンタのスタート・タイミングの表7-6参照)。							
TSmn	チャンネルnの動作許可 (スタート) トリガ							
0	トリガ動作しない							
1	TEmn ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRmn レジスタのカウント動作開始は、各動作モードにより異なります (7.5.2 カウンタのスタート・タイミングの表7-6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3 が下位側8ビット・タイマの動作許可 (スタート) トリガになります。							

(注意、備考は次ページに続きます)

注意1. ビット15-12, 10, 8には必ず0を設定してください。

注意2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウェイトが必要になります。

TImn端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

### 7.3.8 タイマ・チャンネル停止レジスタ m (TTm)

TTm レジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3 ビットはトリガ・ビットなので、動作停止状態 (TEmn, TEHm1, TEHm3 = 0) になるとすぐ TTmn, TTHm1, TTHm3 ビットはクリアされます。

TTm レジスタは、16 ビット・メモリ操作命令で設定します。

また TTm レジスタの下位 8 ビットは、TTmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTm レジスタは 0000H になります。

図7-18 タイマ・チャンネル停止レジスタ m (TTm) のフォーマット

アドレス : F01B4H, F01B5H (TT0), F01F4H, F01F5H (TT1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TTm	0	0	0	0	TTHm3	0	TTHm1	0
	7	6	5	4	3	2	1	0
	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0
TTHm3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ							
0	トリガ動作しない							
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。							
TTHm1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ							
0	トリガ動作しない							
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。							
TTmn	チャンネルnの動作停止トリガ							
0	トリガ動作しない							
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。							

**注意** ビット15-12, 10, 8には必ず0を設定してください。

**備考1.** TTmレジスタの読み出し値は常に0となります。

**備考2.** m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7)

### 7.3.9 タイマ入力選択レジスタ0 (TIS0)

TIS0 レジスタは、ユニット0のチャンネル5のタイマ入力を選択するレジスタです。

TIS0 レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0 レジスタは00Hになります。

図7-19 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	ELCLからのイベント入力信号
0	1	1	中速オンチップ・オシレータ・周辺クロック (fIMP)
1	0	0	低速オンチップ・オシレータ・クロック (fIL)
1	0	1	サブシステム・クロック (fSUB)
上記以外			設定禁止

**注意** 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/fmck+10$  ns以上必要となります。  
そのため、fCLKにfSUBを選択時 (CKCレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

### 7.3.10 タイマ入力選択レジスタ1 (TIS1)

TIS1 レジスタは、ユニット0のチャンネル0,1のタイマ入力を選択するレジスタです。

TIS1 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS1 レジスタは00Hになります。

図7-20 タイマ入力選択レジスタ1 (TIS1) のフォーマット

アドレス : F0075H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIS1	0	0	0	0	0	0	TIS11	TIS10

TIS1n	チャンネルnで使用するタイマ入力の選択
0	タイマ入力端子 (TI0n)
1	ELCLからのイベント入力信号

備考 n = 0, 1

### 7.3.11 タイマ出力許可レジスタ m (TOEm)

TOEm レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEm レジスタは、16 ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図7-21 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0), F01FAH, F01FBH (TOE1)  
 リセット時: 0000H  
 R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOEm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0
TOEmn	チャンネルnのタイマ出力許可／禁止							
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず、出力を固定します。 TOmnビットへの書き込みが可能となり、TOmnビットに設定したレベルがTOmn端子から出力されます。							
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し、出力波形を生成します。 TOmnビットへの書き込みは無視されます。							

**注意** ビット15-8には必ず0を設定してください。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

## 7.3.12 タイマ出力レジスタ m (TOm)

TOm レジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOmn) から出力されます。

このレジスタの TOmn ビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されません。

また、P00/TI00, P01/TO00, P16/TI01/TO01, P17/TI02/TO02, P31/TI03/TO03, P42/TI04/TO04, P46/TI05/TO05, P102/TI06/TO06, P145/TI07/TO07, P64/TI10/TO10, P65/TI11/TO11, P66/TI12/TO12, P67/TI13/TO13, P103/TI14/TO14, P104/TI15/TO15, P105/TI16/TO16, P106/TI17/TO17 をポート機能として使用する場合は、該当する TOmn ビットに 0 を設定してください。

TOm レジスタは、16 ビット・メモリ操作命令で設定します。

また TOm レジスタの下位 8 ビットは、TOmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOm レジスタは 0000H になります。

図7-22 タイマ出力レジスタ m (TOm) のフォーマット

アドレス : F01B8H, F01B9H (TO0), F01F8H, F01F9H (TO1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0
TOmn	チャンネルnのタイマ出力							
0	タイマ出力値が0							
1	タイマ出力値が1							

**注意** ビット15-8には必ず0を設定してください。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

### 7.3.13 タイマ出力レベル・レジスタ m (TOLm)

TOLm レジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネル n の反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLm レジスタは、16 ビット・メモリ操作命令で設定します。

また TOLm レジスタの下位 8 ビットは、TOLmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLm レジスタは 0000H になります。

図7-23 タイマ出力レベル・レジスタ m (TOLm) のフォーマット

アドレス : F01BCH, F01BDH (TOL0), F01FCH, F01FDH (TOL1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOLm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0
TOLmn	チャンネルnのタイマ出力レベルの制御							
0	正論理出力 (アクティブ・ハイ)							
1	負論理出力 (アクティブ・ロウ)							

**注意** ビット15-8, 0には必ず0を設定してください。

**備考1.** タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

**備考2.** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

## 7.3.14 タイマ出力モード・レジスタ m (TOMm)

TOMm レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを 0 に設定します。

複数チャンネル連動動作機能 (PWM 出力、ワンショット・パルス出力、多重 PWM 出力) として使用する場合、マスタ・チャンネルの対応ビットを 0 に設定し、スレーブ・チャンネルの対応ビットを 1 に設定します。

このレジスタによる各チャンネル n の設定は、タイマ出力許可 (TOEmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMm レジスタは、16 ビット・メモリ操作命令で設定します。

また TOMm レジスタの下位 8 ビットは、TOMmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMm レジスタは 0000H になります。

図7-24 タイマ出力モード・レジスタ m (TOMm) のフォーマット

アドレス : F01BEH, F01BFH (TOM0), F01FEH, F01FFH (TOM1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOMm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0
TOMmn	チャンネル n のタイマ出力モードの制御							
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)							
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMmp) で出力がリセットされる)							

**注意** ビット 15-8, 0 には必ず 0 を設定してください。

**備考** m : ユニット番号 (m = 0, 1)

n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号

n < p ≤ 7

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください)

### 7.3.15 入力切り替え制御レジスタ (ISC)

ISC レジスタの ISC1, ISC0 ビットは、チャンネル7 をシリアル・アレイ・ユニットと連携して LIN-bus 通信動作を実現するときに使用します。ISC1 ビットに 1 を設定すると、シリアル・データ入力端子 (RxD2) の入力信号がタイマ入力として選択されます。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISC レジスタは 00H になります。

図7-25 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0
ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え							
0	TI07 端子の入力信号をタイマ入力とする (通常動作)							
1	RxD2 端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)							
ISC0	外部割り込み (INTP0) の入力切り替え							
0	INTP0 端子の入力信号を外部割り込み入力とする (通常動作)							
1	RxD2 端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)							

**備考** LIN-bus 通信を使用する場合は、ISC1 = 1 に設定して RxD2 端子の入力信号を選択しておいてください。

### 7.3.16 ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)

NFEN1, NFEN2 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います<sup>注</sup>。

NFEN1, NFEN2 レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1, NFEN2 レジスタは 00H になります。

**注** 詳細は、7.5.1 (2) TImn 端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、7.5.2 カウンタのスタート・タイミング、7.7 タイマ入力 (TImn) の制御を参照してください。

図7-26 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) のフォーマット (1/3)

アドレス : F0071H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

アドレス : F0072H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN2	TNFEN17	TNFEN16	TNFEN15	TNFEN14	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN07	TI07端子のノイズ・フィルタ使用可否 <sup>注</sup>
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN06	TI06端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN05	TI05端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN04	TI04端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN03	TI03端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN02	TI02端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN01	TI01端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

図7-26 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) のフォーマット (2/3)

TNFEN00	TI00 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

**注** 入力切り替え制御レジスタ (ISC) の ISC1 ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0 に設定 : TI07 端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1 に設定 : RxD2 端子のノイズ・フィルタ使用可否選択が可能

**備考** チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

図7-26 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) のフォーマット (3/3)

TNFEN17	TI17端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
TNFEN16	TI16端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
TNFEN15	TI15端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
TNFEN14	TI14端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
TNFEN13	TI13端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
TNFEN12	TI12端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
TNFEN11	TI11端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
TNFEN10	TI10端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

**備考** チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

### 7.3.17 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ

タイマ・アレイ・ユニットの入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- ポート・ファンクション出力許可レジスタ (PFOEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx) を参照してください。

TO00-TO07, TO10-TO17 を兼用する端子をタイマ出力として使用するときは、各ポートに対応するポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx) のビット、ポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

対応するポート・ファンクション出力許可レジスタ0 (PFOE0) のビットに1を設定してください。

例) P01/ TO00をタイマ出力として使用する場合

- ポート・モード・コントロールT・レジスタ0のPMCT01ビットを0に設定
- ポート・モード・コントロールE・レジスタ0のPMCE01ビットを0に設定
- ポート・ファンクション出力許可レジスタ0のPFOE01ビットを1に設定
- ポート・モード・レジスタ0のPM01ビットを0に設定
- ポート・レジスタ0のP01ビットを0に設定

TI00-TI07, TI10-TI17 を兼用する端子をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。また、ポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx) のビットに0を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

例) P00/TI00をタイマ入力として使用する場合

- ポート・モード・コントロールT・レジスタ0のPMCT01ビットを0に設定
- ポート・モード・コントロールE・レジスタ0のPMCE01ビットを0に設定
- ポート・モード・レジスタ0のPM00ビットを1に設定
- ポート・レジスタ0のP00ビットを0または1に設定

**備考** xx = 0, 1, 3, 4, 6, 10, 14

ただし、PMCA4, 6, PMCT1, 4, 10, 14, PMCE3, 4, 10, 14は搭載していません。

## 7.4 タイマ・アレイ・ユニットの基本ルール

### 7.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

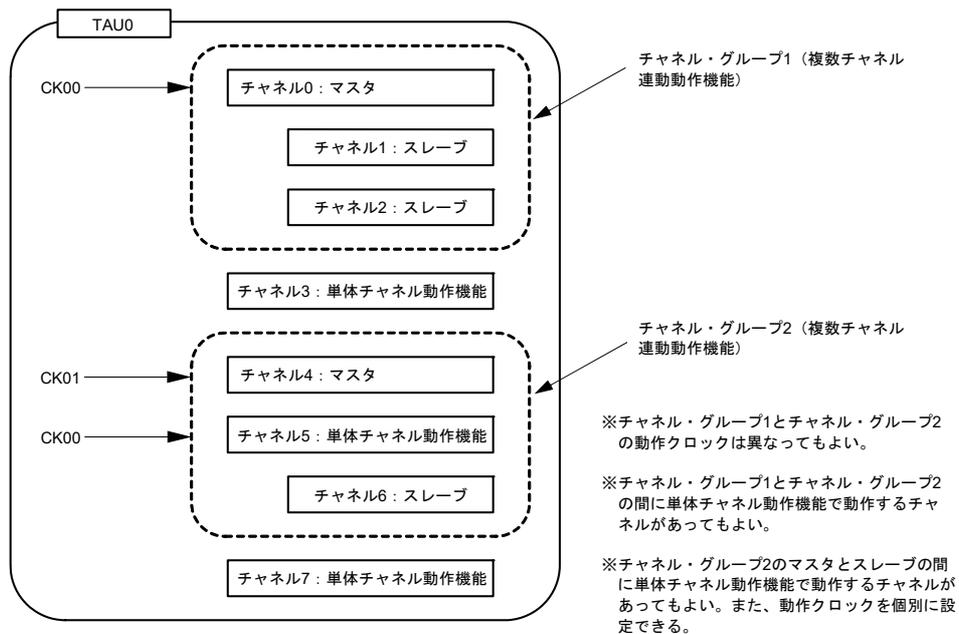
- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0、チャンネル2、チャンネル4、...）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。  
例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3、チャンネル4、チャンネル5、...）をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。  
例 チャンネル0、チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn (TMRmn) のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット (TSmn) を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット (TTmn) を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0) は、マスタ・ビットがなく、0に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

例



## 7.4.2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタmn (TMRmn) のSPLITmnビットを1に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTMm1H/INTTMm3H (割り込み) を出力しません (MDmn0 = 1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットに従って動作します。
- (6) 上位8ビットは、TSHm1/TSHm3ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3ビットで確認できます。
- (7) 下位8ビットは、TMRmnレジスタの設定に従って動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
  - インターバル・タイマ機能 / 方形波出力機能
  - 外部イベント・カウンタ機能
  - デイレイ・カウンタ機能
- (8) 下位8ビットは、TSm1/TSm3ビットを操作することでチャンネル動作を開始し、TTm1/TTm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャンネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能 (ワンショット・パルス、PWM、多重PWM) を使用することはできません。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 1, 3)

## 7.5 カウンタの動作

### 7.5.1 カウント・クロック (ftCLK)

タイマ・アレイ・ユニットのカウント・クロック (ftCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

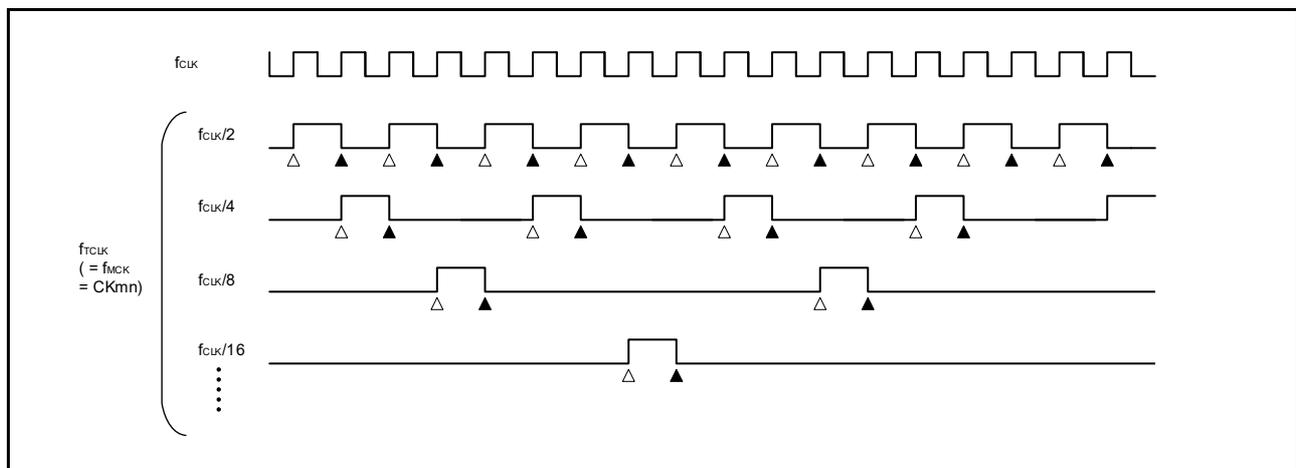
- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

タイマ・アレイ・ユニットは、fCLK との同期をとって動作するように設計されているため、カウント・クロック (ftCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (ftCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2<sup>15</sup> となります。ただし、fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の1周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7-27 fCLK とカウント・クロック (ftCLK) のタイミング (CCSmn = 0 時)



備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化、カウンタのインクリメント/デクリメント

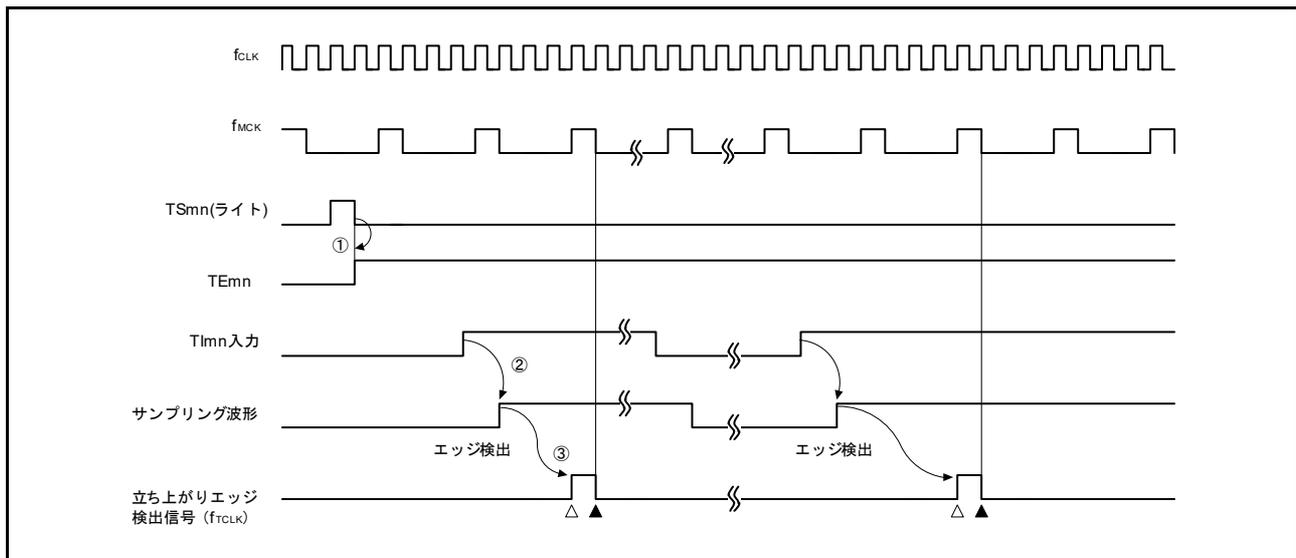
備考2. fCLK : CPU/周辺ハードウェア・クロック

## (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fTCLK) は、TImn端子からの入力信号の有効エッジを検出し、次のfMCKの立ち上がり  
に同期した信号になります。これは、実際のTImn端子からの入力信号よりfMCKの1~2クロック分遅れた信号に  
なります (ノイズ・フィルタ使用時は、fMCKの3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタmn (TCRmn) は、fCLKとの同期をとるためにカウント・クロックの立ち  
上がりからfCLKの1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効  
エッジでカウントする”と表現します。

図7-28 カウント・クロック (fTCLK) のタイミング (CCSmn = 1、ノイズ・フィルタ未使用時)



- ① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。
- ② TImn 入力の立ち上がりが fMCK でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化、カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

fMCK : チャンネルnの動作クロック

備考3. 入力パルス間隔測定、入力信号のハイ/ロウ・レベル幅測定、ディレイ・カウンタ、ワンショット・パルス出力機能のTImn 入力も同様の波形になります。

## 7.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn) は、タイマ・チャンネル開始レジスタ m (TSMn) の TSMn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作を、表 7-6 に示します。

表7-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (1) インターバル・タイマ・モードの動作参照)。
・イベント・カウンタ・モード	TSMn ビットに 1 を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。 TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (2) イベント・カウンタ・モードの動作参照)。
・キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
・ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (4) ワンカウント・モードの動作参照)。
・キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

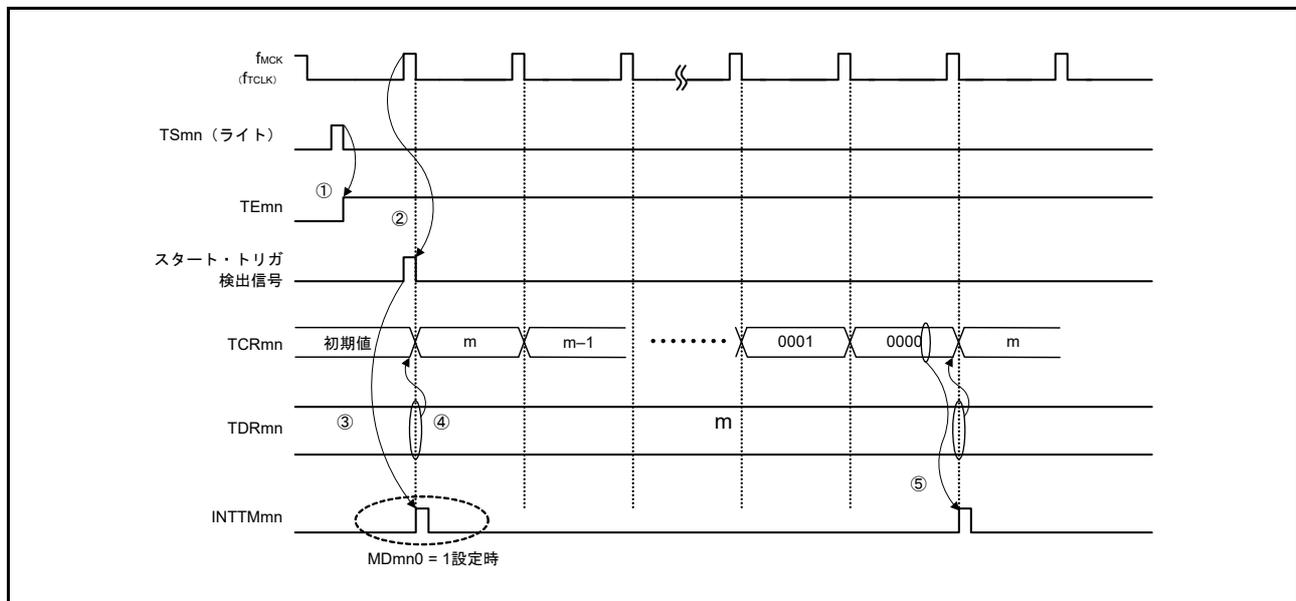
### 7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

#### (1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ( $TEmn = 1$ ) となります。タイマ・カウンタ・レジスタmn ( $TCRmn$ ) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウンタ・クロック ( $fMCK$ ) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウンタ・クロックにより、タイマ・データ・レジスタmn ( $TDRmn$ ) の値をTCRmnレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウンタ・クロック ( $fMCK$ ) でINTTMmnを発生し、タイマ・データ・レジスタmn ( $TDRmn$ ) の値をTCRmnレジスタにロードしてカウントを継続します。

図7-29 動作タイミング (インターバル・タイマ・モード)



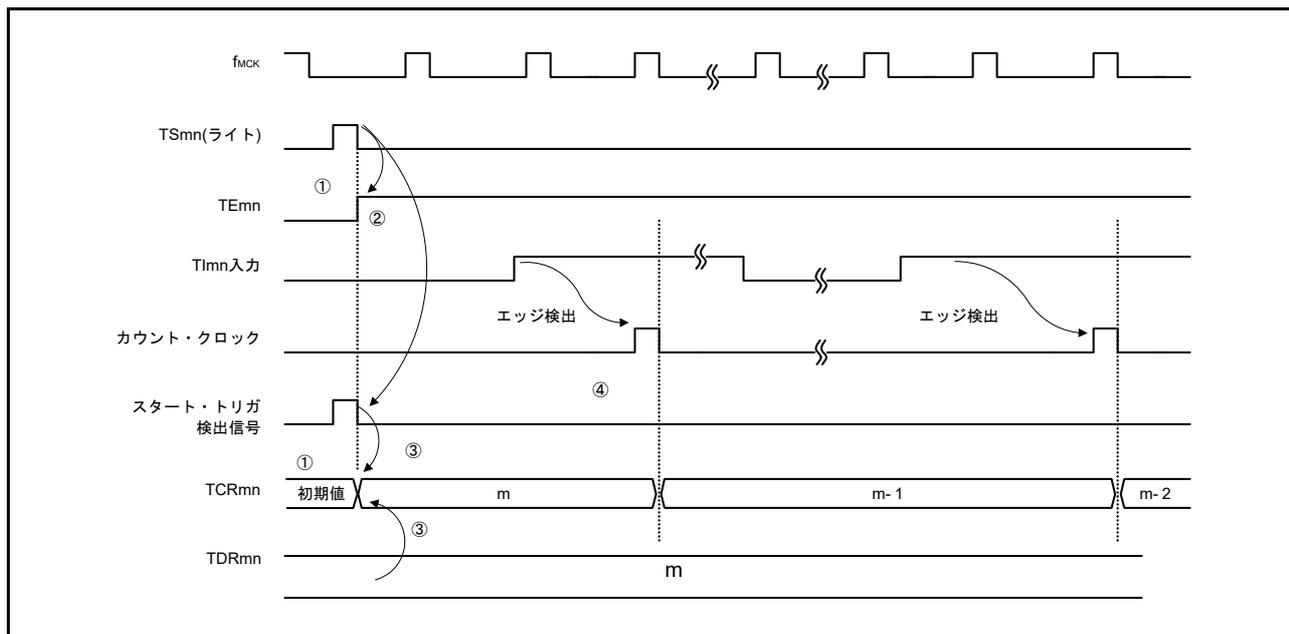
**注意** カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウンタ・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウンタ・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

**備考** fMCK、スタート・トリガ検出信号、INTTMmnは、fCLKに同期して1クロック間アクティブとなります。

## (2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ( $TE_{mn} = 0$ ) の期間、タイマ・カウンタ・レジスタ  $mn$  ( $TCR_{mn}$ ) は、初期値を保持します。
- ②  $TS_{mn}$  ビットへ1を書き込むことにより、動作許可状態 ( $TE_{mn} = 1$ ) となります。
- ③  $TS_{mn} = 1 \rightarrow TE_{mn} = 1$  と同時に、 $TCR_{mn}$  レジスタにタイマ・データ・レジスタ  $mn$  ( $TDR_{mn}$ ) の値をロードし、カウントを開始します。
- ④ 以降は  $TI_{mn}$  入力の有効エッジでのカウント・クロックに従い、 $TCR_{mn}$  レジスタの値をダウン・カウントします。

図7-30 動作タイミング (イベント・カウンタ・モード)

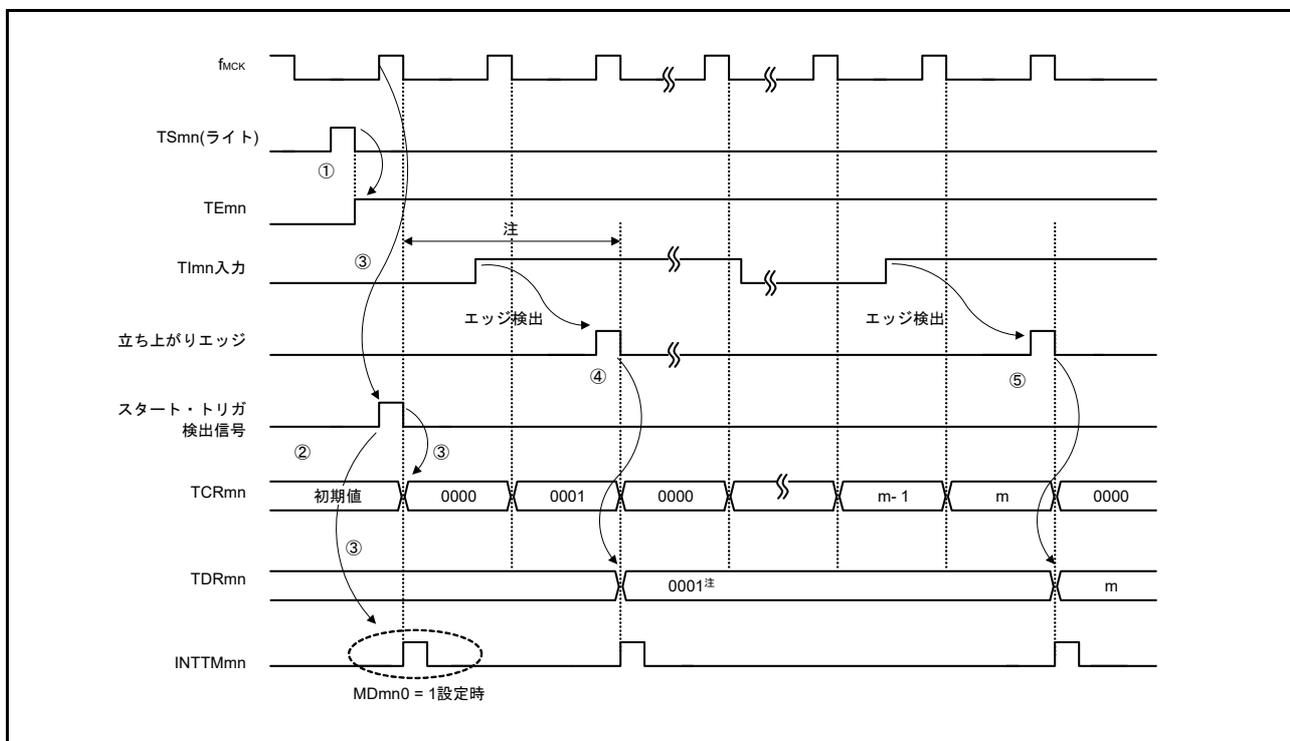


**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は  $TI_{mn}$  入力からさらに  $f_{MCK}$  の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は  $TI_{mn}$  入力とカウント・クロック ( $f_{MCK}$ ) が非同期なためです。

## (3) キャプチャ・モードの動作 (入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウンタ・クロック (fmck) で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7-31 動作タイミング (キャプチャ・モード: 入力パルス間隔測定)



**注** スタート前からTImnにクロックが入力されている (トリガがある) 場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ (④) でのキャプチャ値はパルス間隔とならない (この例では0001: 2クロック分の間隔) ので、無視してください。

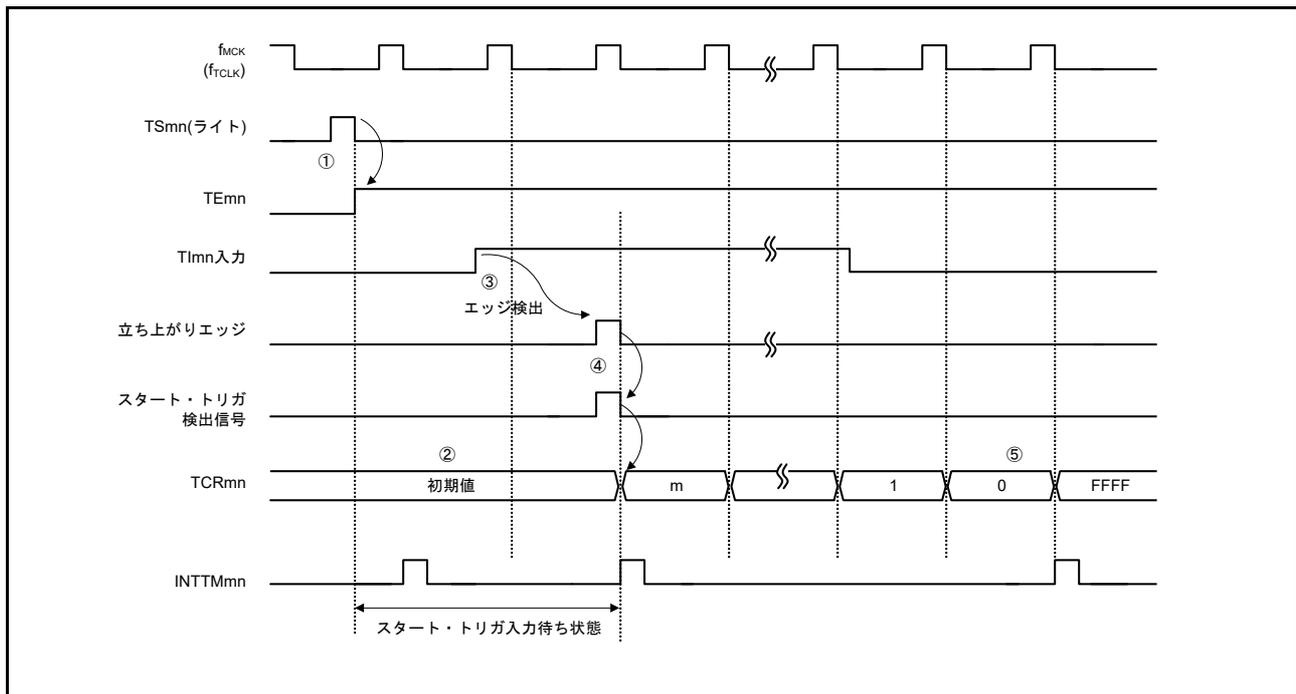
**注意** カウンタ・クロックの1周期目の動作はTSmnビット書き込み後、カウンタ・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウンタ・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfmckの2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウンタ・クロック (fmck) が非同期なためです。

## (4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ( $TEmn = 1$ ) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値 (m) をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図7-32 動作タイミング (ワンカウント・モード)

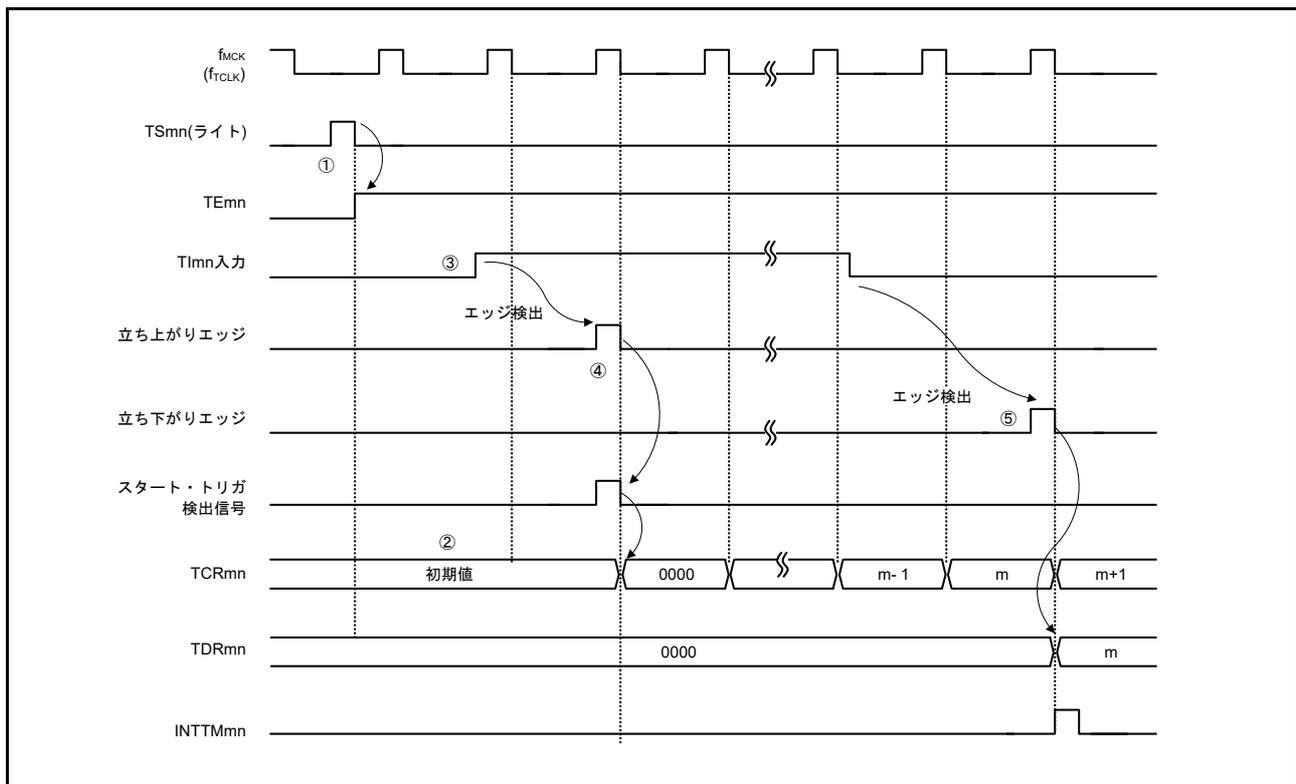


**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらにf<sub>MCK</sub>の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f<sub>MCK</sub>) が非同期なためです。

## (5) キャプチャ&amp;ワンカウント・モードの動作 (ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ  $m$  (TSMn) の TSMn ビットに 1 を書き込むことにより、動作許可状態 ( $TEmn = 1$ ) となります。
- ② タイマ・カウンタ・レジスタ  $mn$  (TCRmn) は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000H を TCRmn レジスタにロードし、カウントを開始します。
- ⑤ TImn 入力の立ち下がりエッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図7-33 動作タイミング (キャプチャ&amp;ワンカウント・モード: ハイ・レベル幅測定)

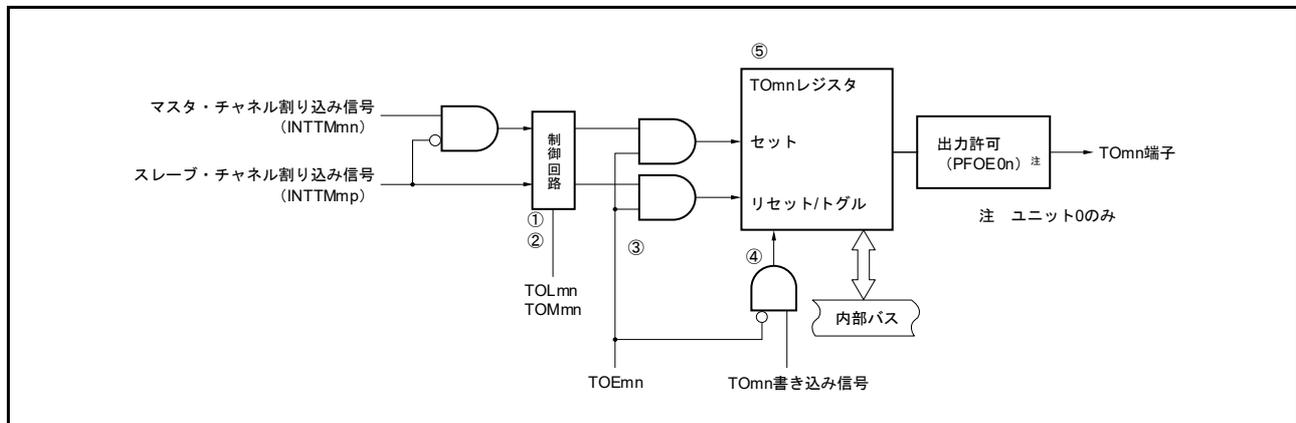


**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TImn 入力からさらに  $f_{MCK}$  の 2 周期分 (合計で 3~4 周期分) 遅くなります。1 周期分の誤差は TImn 入力とカウント・クロック ( $f_{MCK}$ ) が非同期なためです。

## 7.6 チャンネル出力 (TOmn 端子) の制御

### 7.6.1 TOmn 端子の出力回路の構成

図7-34 出力回路構成図



TOmn 端子の出力回路の説明を次に示します。

- ①  $TOMmn = 0$  (マスタ・チャンネル出力モード) のときは、タイマ出力レベル・レジスタ  $m$  ( $TOLm$ ) の設定値は無視され、 $INTTMmp$  (スレーブ・チャンネル・タイマ割り込み) のみがタイマ出力レジスタ  $m$  ( $TOm$ ) に伝えられます。
- ②  $TOMmn = 1$  (スレーブ・チャンネル出力モード) のときは、 $INTTMmn$  (マスタ・チャンネル・タイマ割り込み) と  $INTTMmp$  (スレーブ・チャンネル・タイマ割り込み) が  $TOm$  レジスタに伝えられます。このとき、 $TOLm$  レジスタが有効となり、次のように信号を制御します。

$TOLmn = 0$  の場合 : 正論理出力 ( $INTTMmn \rightarrow$  セット、 $INTTMmp \rightarrow$  リセット)

$TOLmn = 1$  の場合 : 負論理出力 ( $INTTMmn \rightarrow$  リセット、 $INTTMmp \rightarrow$  セット)

また、 $INTTMmn$  と  $INTTMmp$  が同時に発生した場合 (PWM 出力の 0% 出力時) は、 $INTTMmp$  (リセット信号) が優先され、 $INTTMmn$  (セット信号) はマスクされます。

- ③ タイマ出力許可状態 ( $TOEmn = 1$ ) で、 $INTTMmn$  (マスタ・チャンネル・タイマ割り込み) と  $INTTMmp$  (スレーブ・チャンネル・タイマ割り込み) が  $TOm$  レジスタに伝えられます。 $TOm$  レジスタへの書き込み ( $TOmn$  ライト信号) は無効となります。

また、 $TOEmn = 1$  のとき、割り込み信号以外で  $TOmn$  端子の出力が変化することはありません。

$TOmn$  端子の出力レベルを初期化する場合は、タイマ動作停止 ( $TOEmn = 0$ ) に設定し  $TOm$  レジスタに値を書き込む必要があります。

- ④ タイマ出力禁止状態 ( $TOEmn = 0$ ) で、対象チャンネルの  $TOmn$  ビットへの書き込み ( $TOmn$  ライト信号) が有効となります。タイマ出力禁止状態 ( $TOEmn = 0$ ) のとき、 $INTTMmn$  (マスタ・チャンネル・タイマ割り込み) と  $INTTMmp$  (スレーブ・チャンネル・タイマ割り込み) は  $TOm$  レジスタに伝えられません。
- ⑤  $TOm$  レジスタは常に読み出し可能であり、 $TOmn$  端子の出力レベルを確認することができます。

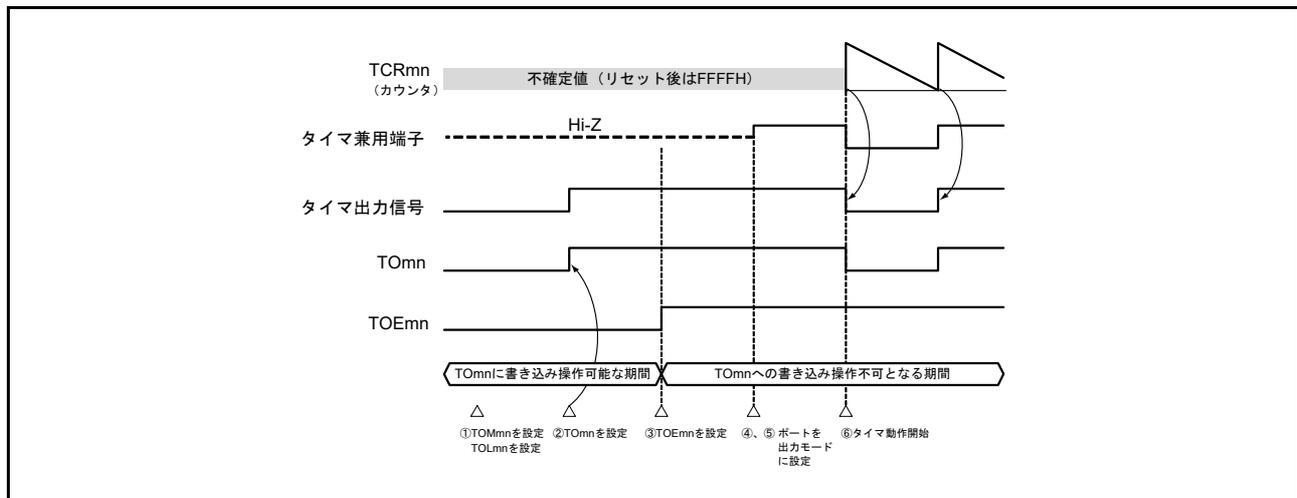
(備考は次ページに続きます)

- 備考** m : ユニット番号 (m = 0, 1)  
 n : チャンネル番号  
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号  
 n < p ≤ 7

## 7.6.2 TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7-35 タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmnビット (0 : マスタ・チャンネル出力モード、1 : スレーブ・チャンネル出力モード)
- TOLmnビット (0 : 正論理出力、1 : 負論理出力)

② タイマ出力レジスタ m (TOm) を設定することにより、タイマ出力信号が初期状態に設定されます。

③ TOEmn ビットに 1 を書き込み、タイマ出力動作を許可します (TOm レジスタへの書き込みは不可となります)。

④ ポート・モード・コントロール A・レジスタ (PMCAxx)、ポート・モード・コントロール T・レジスタ (PMCTxx)、ポート・モード・コントロール E・レジスタ (PMCEx) とポート・ファンクション出力許可レジスタ (PFOEx) でポートをデジタル入出力に設定します (7.3.17 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ参照)。

⑤ ポートの入出力設定を出力に設定します (7.3.17 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ参照)。

⑥ タイマを動作許可にします (TSmn = 1)。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

### 7.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM, TOEm, TOLmレジスタの設定値変更について

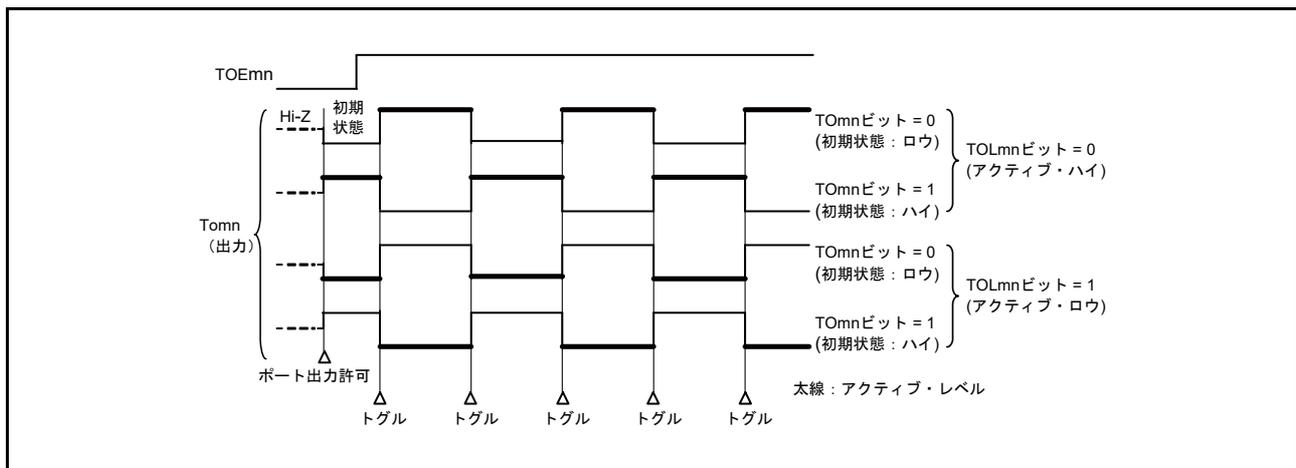
タイマ動作 (タイマ・カウンタ・レジスタmn (TCRmn)、タイマ・データ・レジスタmn (TDRmn) の動作) は、TOMn出力回路とは独立しています。よって、タイマ出力レジスタm (TOM)、タイマ出力許可レジスタm (TOEm)、タイマ出力レベル・レジスタm (TOLm) の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTOMn端子から出力するためには、7.7, 7.8節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で、TOMレジスタを除くTOEmレジスタ、TOLmレジスタの設定値変更を行うと、タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは、TOMn端子に出力される波形が異なる場合があります。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

- (2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて  
 ポート出力許可前に、タイマ出力禁止 (TOEmn = 0) の状態でタイマ出力レジスタ m (TOM) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn = 1) に設定した場合のTOmn端子出力レベルの変化を示します。
- (a) マスタ・チャンネル出力モード (TOMmn = 0) 設定で動作を開始した場合  
 マスタ・チャンネル出力モード (TOMmn = 0) のとき、タイマ出力レベル・レジスタ m (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図7-36 トグル出力時 (TOMmn = 0) のTOmn端子出力状態

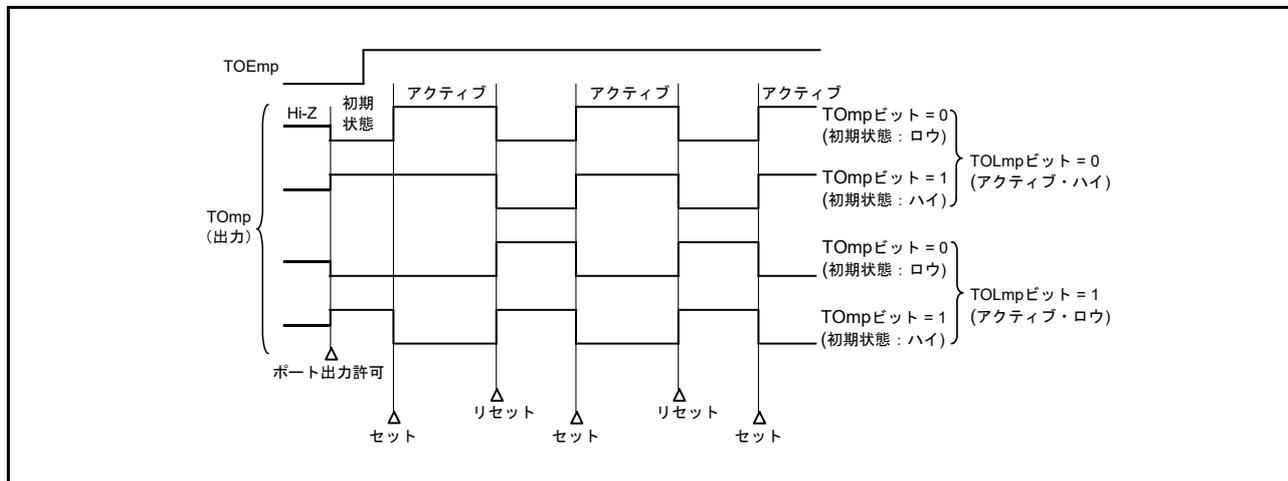


備考1. トグル: TOmn端子の出力状態を反転

備考2. m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0-7)

- (b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)  
 スレーブ・チャンネル出力モード (TOMmp = 1) のとき、タイマ出力レベル・レジスタ m (TOLm) の設定によりアクティブ・レベルを決定します。

図7-37 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



**備考1.** セット : TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

**備考2.** m : ユニット番号 (m = 0, 1)、p : チャンネル番号 (p = 1-7)

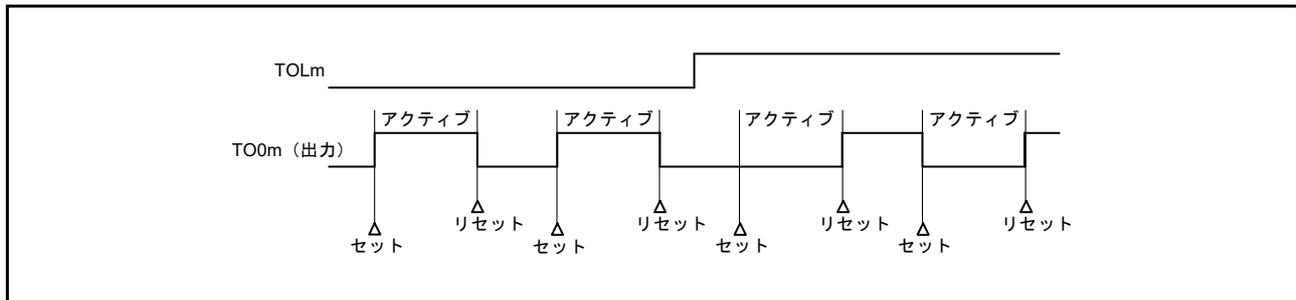
(3) TOMn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm) の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOMn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOMn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中 (TEmn = 1) にTOLmレジスタの値を変更した場合の動作を次に示します。

図7-38 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



**備考1.** セット : TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

**備考2.** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

(b) セット/リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOMn端子/TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

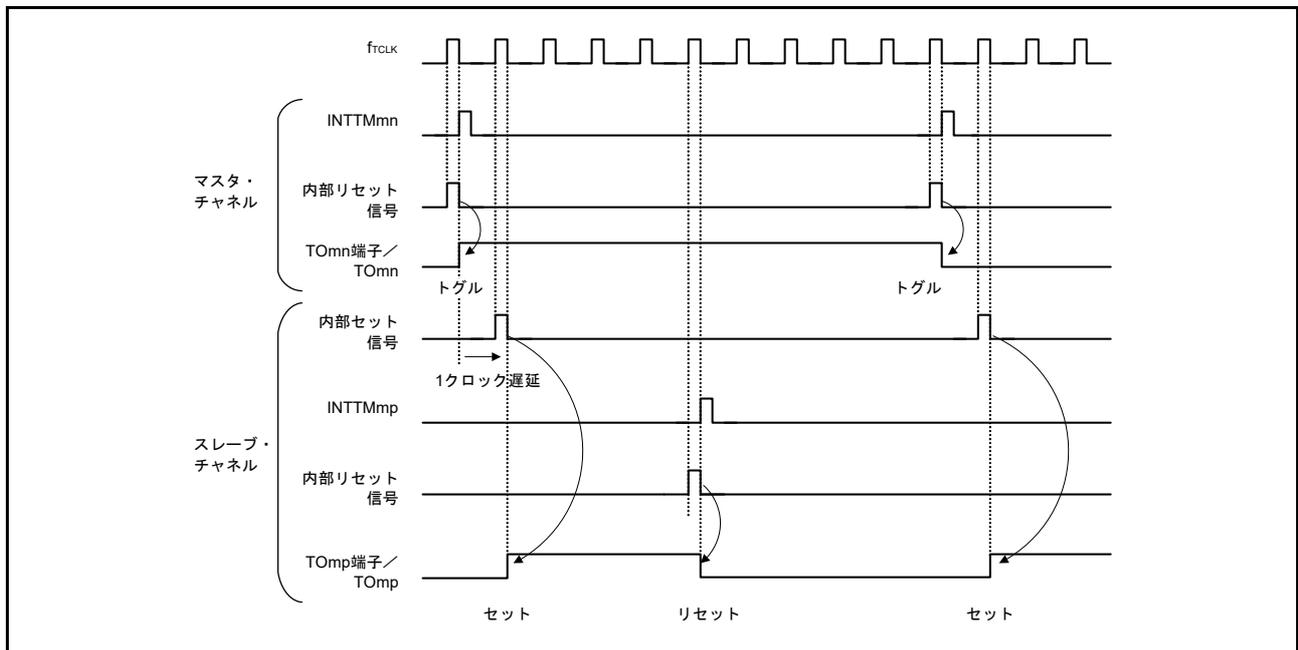
マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図7-39に示します。

マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0

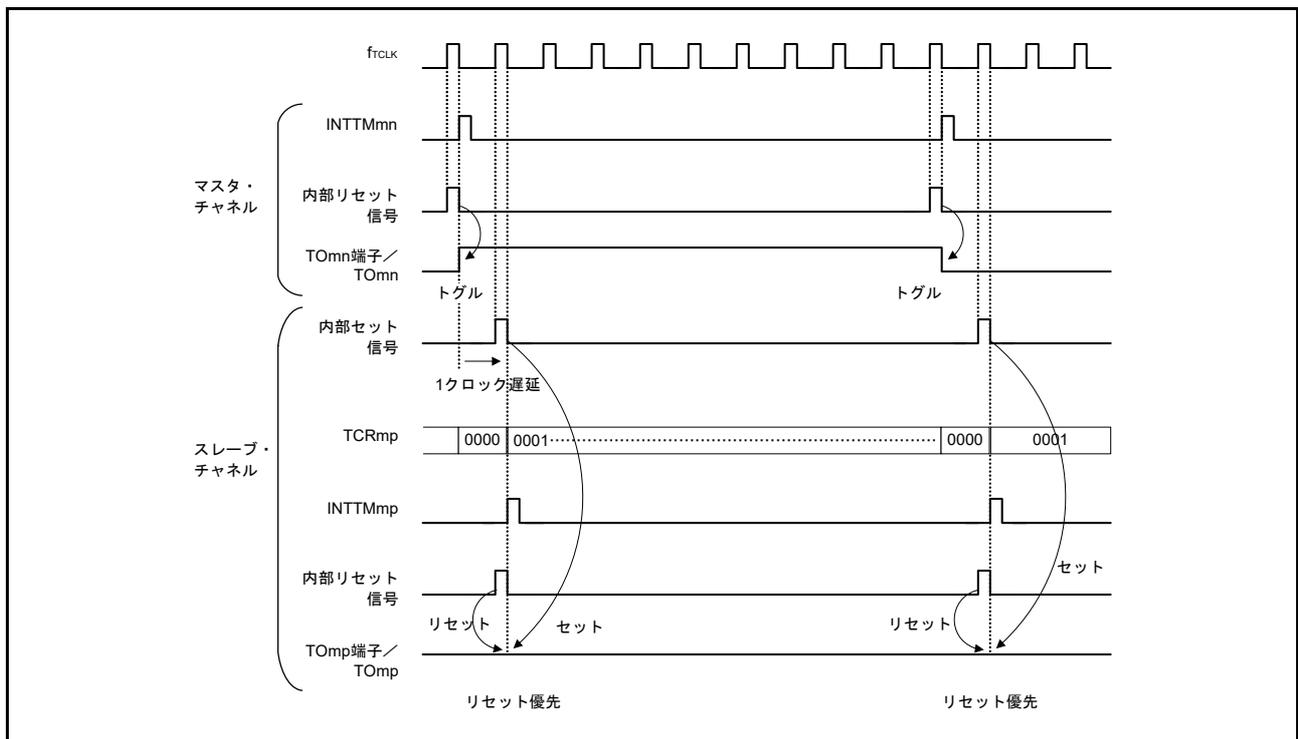
スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図7-39 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 : TOmn端子のリセット/トグル信号  
内部セット信号 : TOmn端子のセット信号

(備考は次ページに続きます)

- 備考2. m : ユニット番号 (m = 0, 1)  
 n : チャンネル番  
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号  
 n < p ≤ 7

## 7.6.4 TOmn ビットの一括操作

タイマ出力レジスタ m (TOm) には、タイマ・チャンネル開始レジスタ m (TSm) と同様に、1 レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみ TOmn ビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

図7-40 TO0n ビットの一括操作例

書き込み前

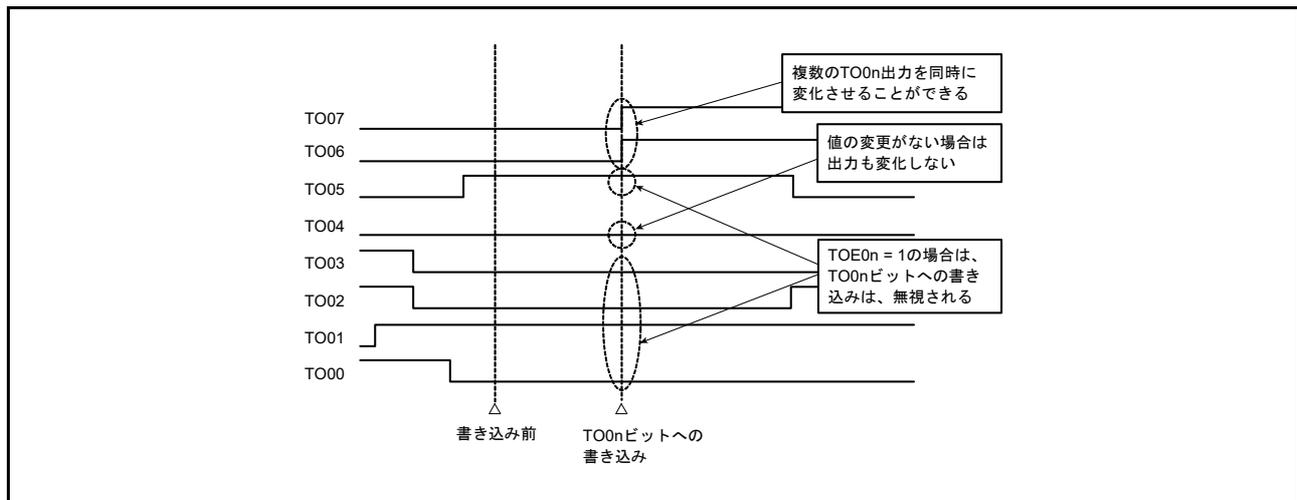
TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
TOE0	0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00
	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1

書き込みデータ

0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
									⊙	⊙	✕	⊙	✕	✕	✕	✕
TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
	0	0	0	0	0	0	0	0	1	1	1	0	0	0	1	0

TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。TOEmn = 1 に設定されている TOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7 - 41 TO0nビットの一括操作によるTO0nの端子状態



**備考** m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

### 7.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

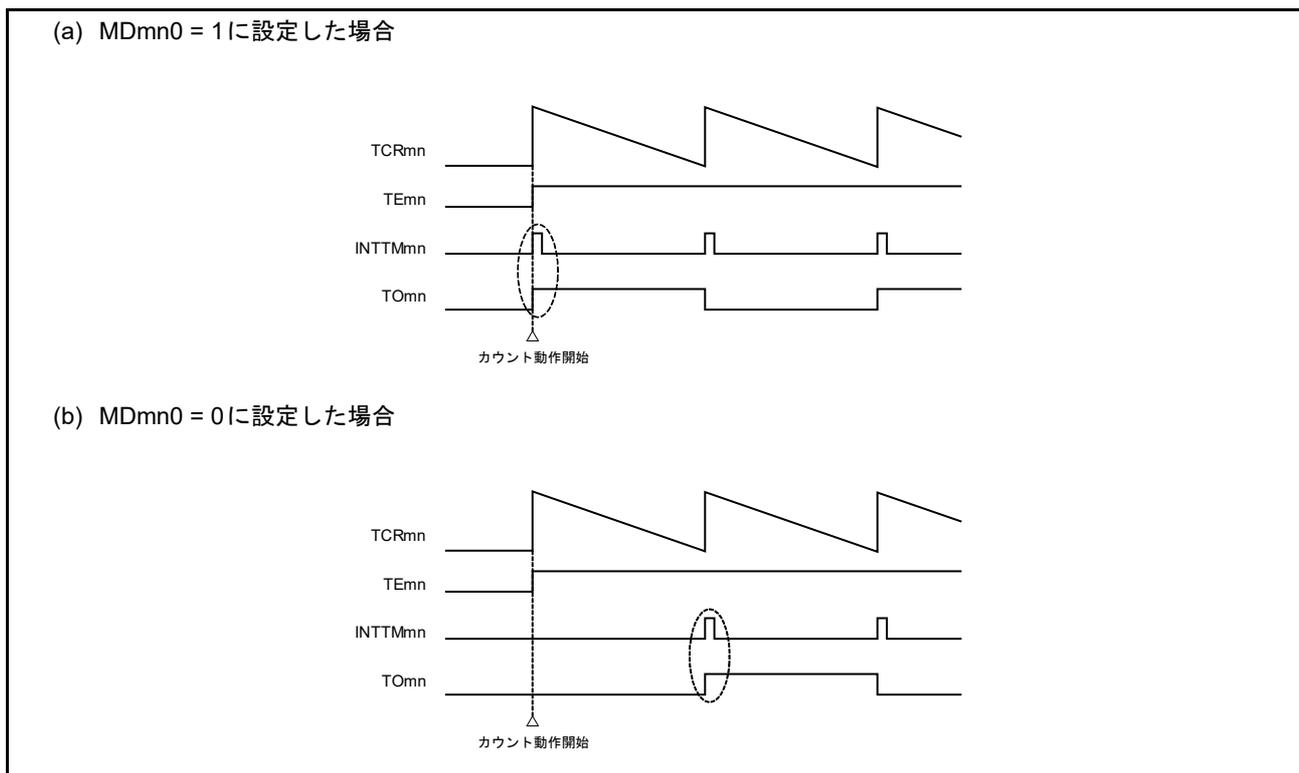
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図7-42 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1 周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

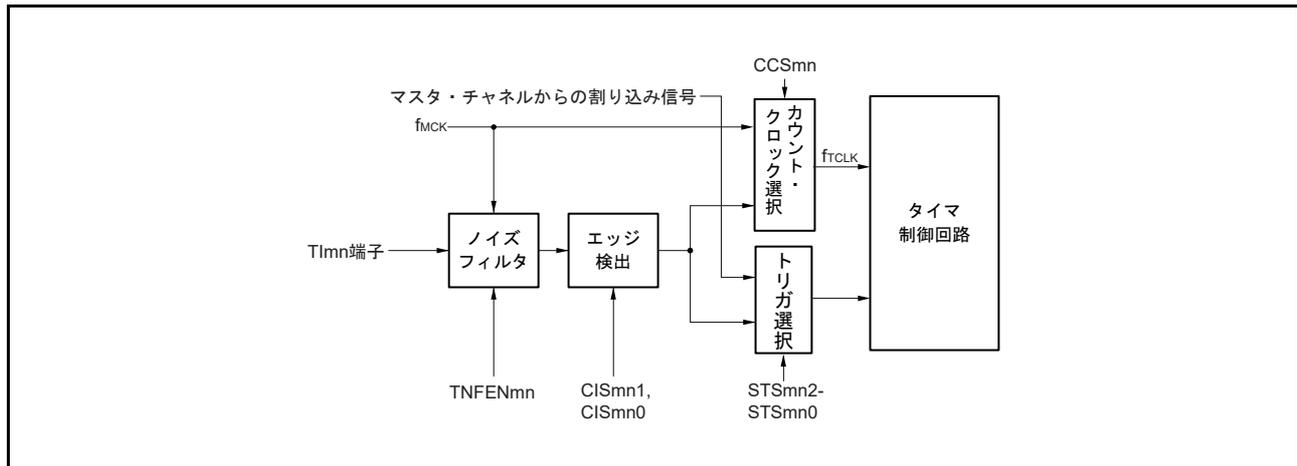
**備考** m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

## 7.7 タイマ入力 (TImn) の制御

### 7.7.1 TImnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

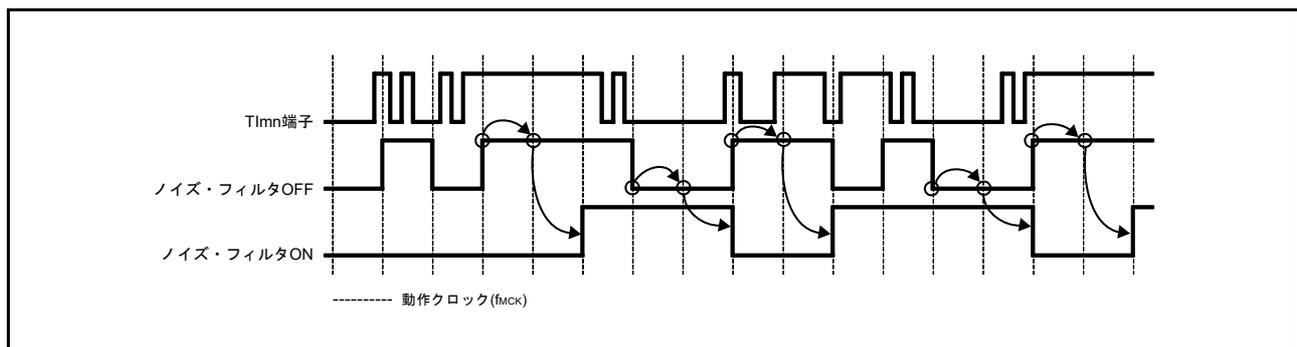
図7-43 入力回路構成図



### 7.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネル n の動作クロック (fmck) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネル n の動作クロック (fmck) で同期化のあと、2クロックの一致検出を行います。以下に、TImn 入力端子に対するノイズ・フィルタ ON / OFF によるノイズ・フィルタ回路を通過後の波形を示します。

図7-44 TImn入力端子に対するノイズ・フィルタ ON / OFF によるサンプリング波形



### 7.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn)、ビット 9 (STSmn1)、ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn)、ビット 9 (STSmn1)、ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

## 7.8 タイマ・アレイ・ユニットの単独チャンネル動作機能

### 7.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み) を発生する基準タイマとして利用することができます。  
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。  
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRmn の設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSm) のチャンネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

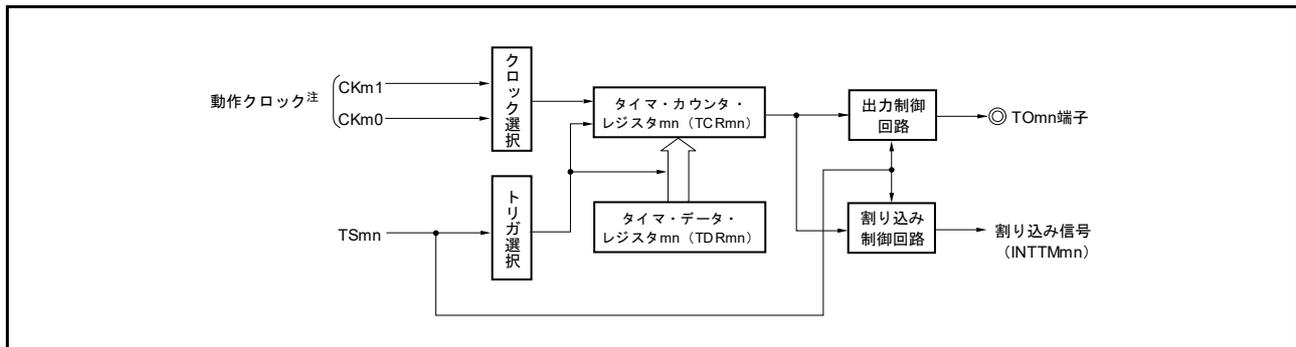
その後、TCRmn レジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H となったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を続けます。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

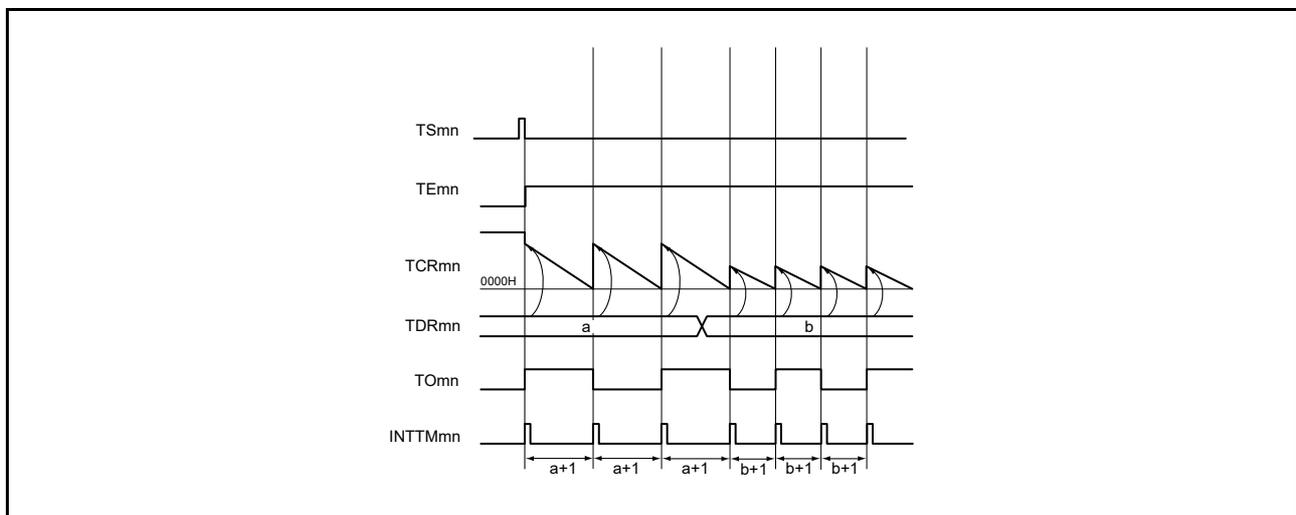
**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

図7-45 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7-46 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)

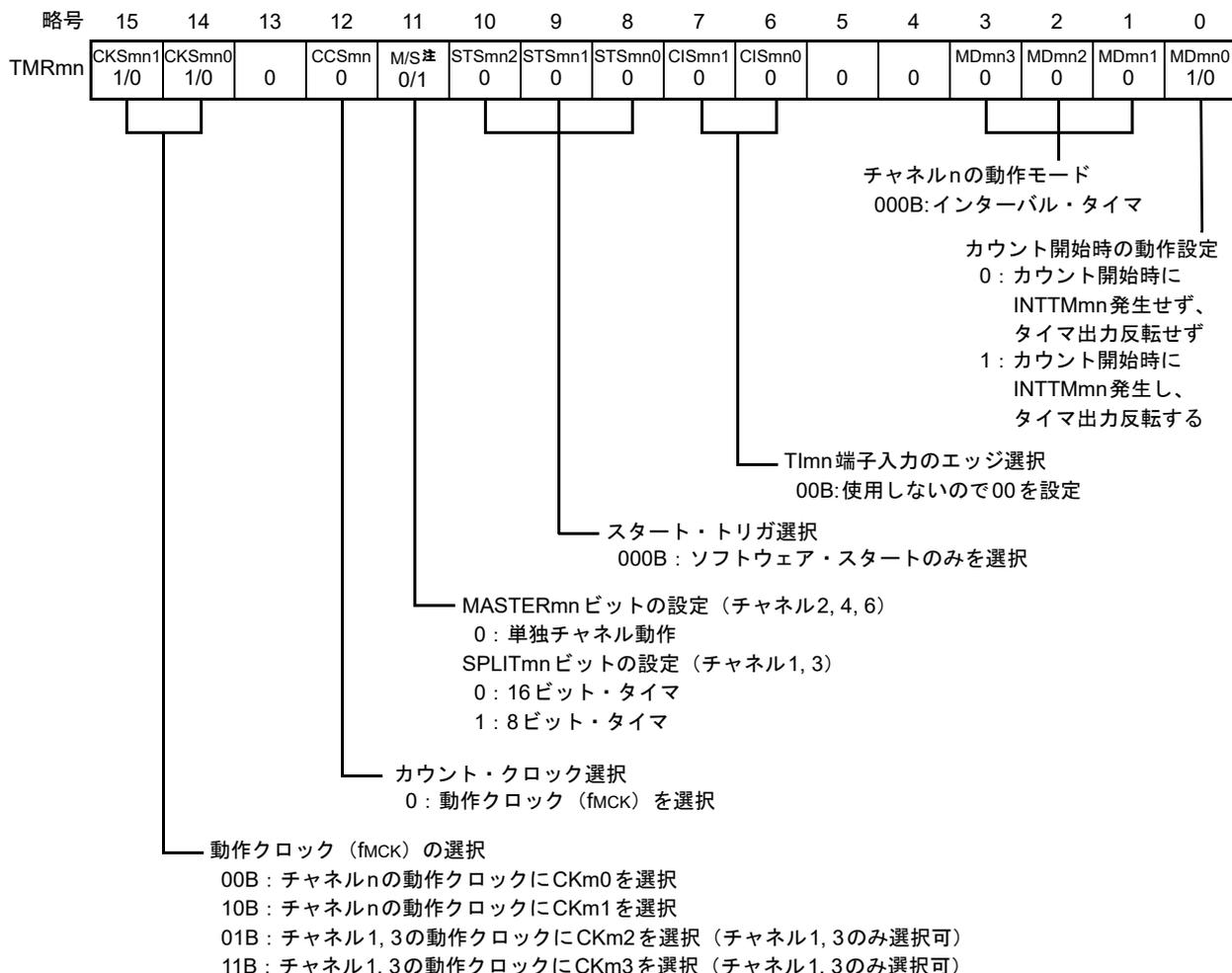


備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

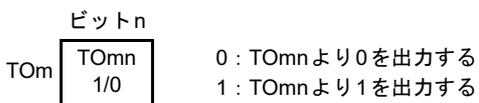
- 備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n  
 TEMn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n  
 TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)  
 TDRmn : タイマ・データ・レジスタ mn (TDRmn)  
 TOMn : TOMn端子出力信号

図7-47 インターバル・タイマ/方形波出力時のレジスタ設定内容例

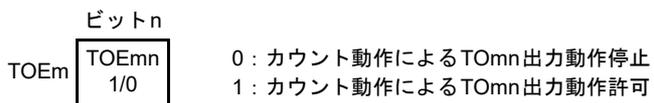
(a) タイマ・モード・レジスタ mn (TMRmn)



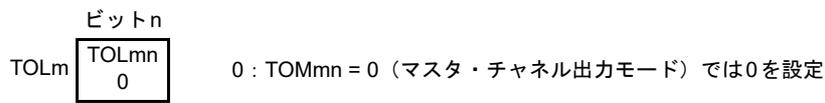
(b) タイマ出力レジスタ m (TOm)



(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(注、備考は次ページに続きます)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット n  
TOMm 

TOMmn
0

 0 : マスタ・チャンネル出力モードを設定

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmn ビット  
TMRm1, TMRm3の場合 : SPLITmn ビット  
TMRm0, TMRm5, TMRm7の場合 : 0 固定

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

図7-48 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	TOmn出力を使用する場合、 タイマ出力モード・レジスタm (TOMm) のTOMmn ビットに0 (マスタ・チャネル出力モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し、TOmn出力の初期レベルを確定 する	TOmn端子はHi-Z出力状態  ポート・モード・レジスタが出力モードでポート・レジ スタが0の場合は、TOmn初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmnは変化しない
	TOEmnビットに1を設定し、TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設 定する	TOmn端子はTOmn設定レベルを出力
動作 再開	動作 開始 (TOmn出力を使用する場合で、かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3) ビットに1を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなの で、自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmn レジスタの値をロードする。TMRmnレジスタのMDmn0 ビットが1の場合は、INTTMmnを発生し、TOmnもトグル 動作する。
	動作 中 TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TOm, TOEmレジスタは、設定値変更可能 TMRmnレジスタ、TOMmn, TOLmnビットは、設定値変 更禁止	カウンタ (TCRmn) はダウン・カウント動作を行い、 0000Hまでカウントしたら、再びTCRmnレジスタは TDRmnレジスタの値をロードし、カウント動作を継続す る。TCRmn = 0000H検出でINTTMmnを発生し、TOmnは トグル動作する。 以降、この動作を繰り返す。
	動作 停止 TTmn (TTHm1, TTHm3) ビットに1を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなの で、自動的に0に戻る  TOEmnビットに0を設定し、TOmnビットに値を設定 する	TEmn (TEHm1, TEHmn) = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず、状態保持  TOmn端子はTOmnビットに設定したレベルを出力 する

(備考は次ページに続きます)

図7-48 インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する → TOmn端子の出力レベルを保持不要の場合 設定不要	TOmn端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタの TAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

## 7.8.2 外部イベント・カウンタとしての動作

Tl<sub>mn</sub> 端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (T<sub>S</sub>m) の任意のチャンネル・スタート・トリガ・ビット (T<sub>S</sub>mn) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

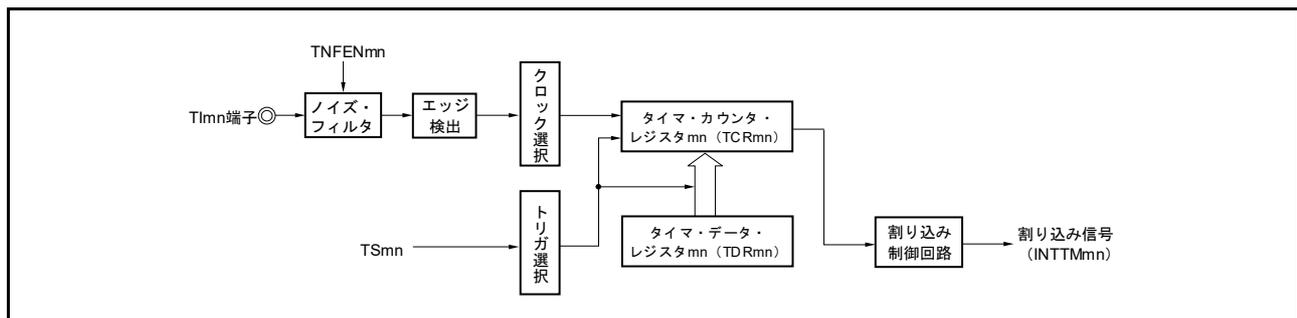
TCRmn レジスタは Tl<sub>mn</sub> 端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H となったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

以降、同様の動作を継続します。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

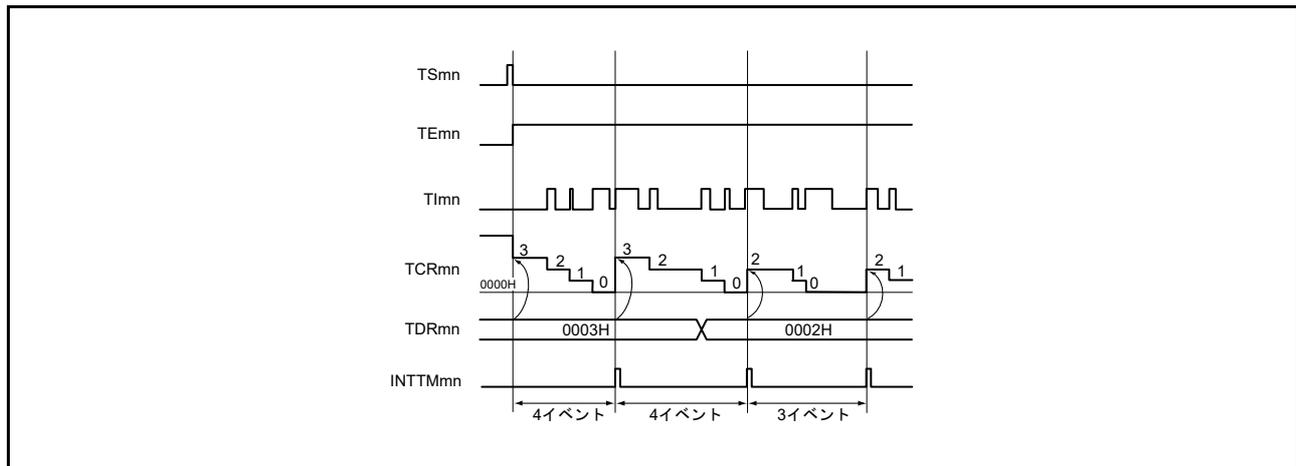
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図7-49 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

図7-50 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

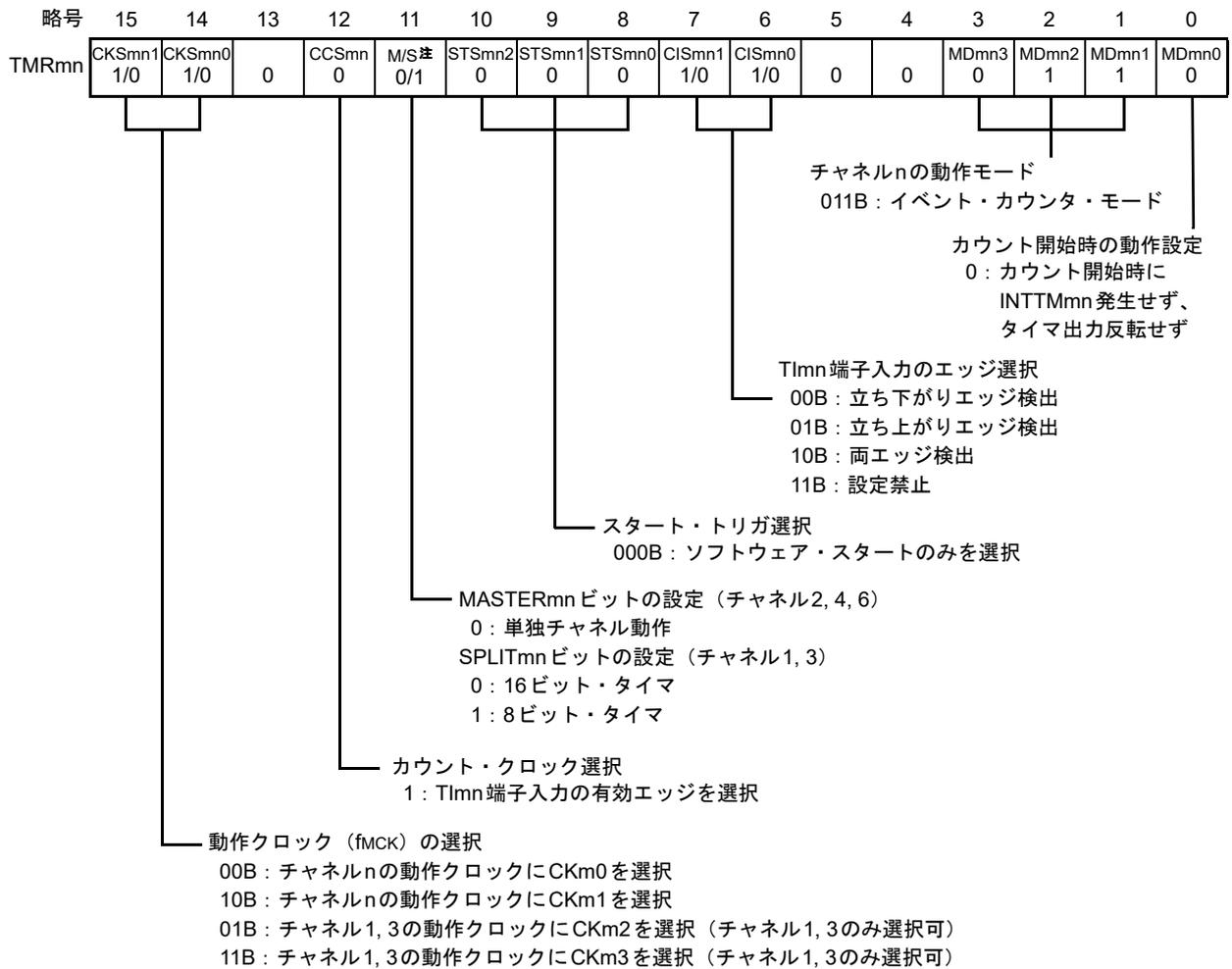
Tl mn : Tl mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

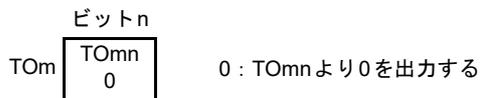
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図7-51 外部イベント・カウンタ・モード時のレジスタ設定内容例

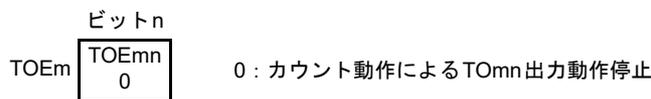
(a) タイマ・モード・レジスタ mn (TMRmn)



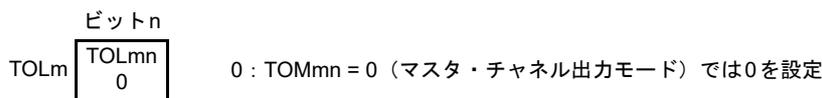
(b) タイマ出力レジスタ m (TOm)



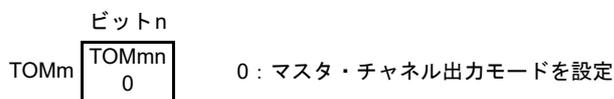
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
TMRm1, TMRm3の場合 : SPLITmnビット  
TMRm0, TMRm5, TMRm7の場合 : 0固定

**備考** m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

図7-52 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1,2 (NFEN1, NFEN2) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にカウント数を設定する タイマ出力許可レジスタm (TOEm) のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TMRmnレジスタ、TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	TImn端子入力のエッジが検出されるごとに、カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウントしたら、再びTCRmnレジスタはTDRmnレジスタの値をロードし、カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。以降、この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
	TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

### 7.8.3 分周器としての動作 (ユニット0のチャンネル0のみ)

TI00 端子に入力されたクロックを分周し、TO00 端子から出力する分周器として利用することができます。

TO00 出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：  
分周クロック周波数 = 入力クロック周波数 / {(TDR00 の設定値 + 1) × 2}
- 両エッジ選択時：  
分周クロック周波数 = 入力クロック周波数 / (TDR00 の設定値 + 1)

タイマ・カウンタ・レジスタ 00 (TCR00) はインターバル・タイマ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ 0 (TS0) のチャンネル・スタート・トリガ・ビット (TS00) に 1 を設定後、TI00 の有効エッジ検出で TCR00 レジスタはタイマ・データ・レジスタ 00 (TDR00) の値をロードします。このときタイマ・モード・レジスタ 00 (TMR00) の MD000 = 0 ならば、INTTM00 を出力せず、TO00 はトグルしません。TMR00 レジスタの MD000 = 1 ならば、INTTM00 を出力して、TO00 をトグルします。

その後、TI00 端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000H になったら、TO00 をトグルします。同時に TCR00 レジスタは TDR00 レジスタの値をロードして、カウントを継続します。

TI00 端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差が TO00 出力の分周クロック周期に影響します。

TO00 の出力クロックの周期には、動作クロック 1 周期分のサンプリング誤差が含まれます。

$$\text{TO00 出力のクロック周期} = \text{理想の TO00 出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR00 レジスタは任意のタイミングで書き換えることができます。書き換えた TDR00 レジスタの値は次のカウント期間で有効となります。

図 7 - 53 分周器としての動作のブロック図

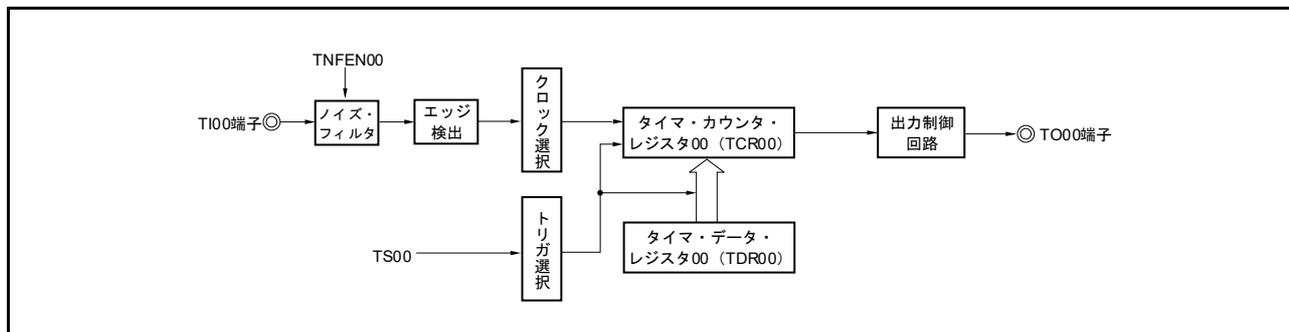
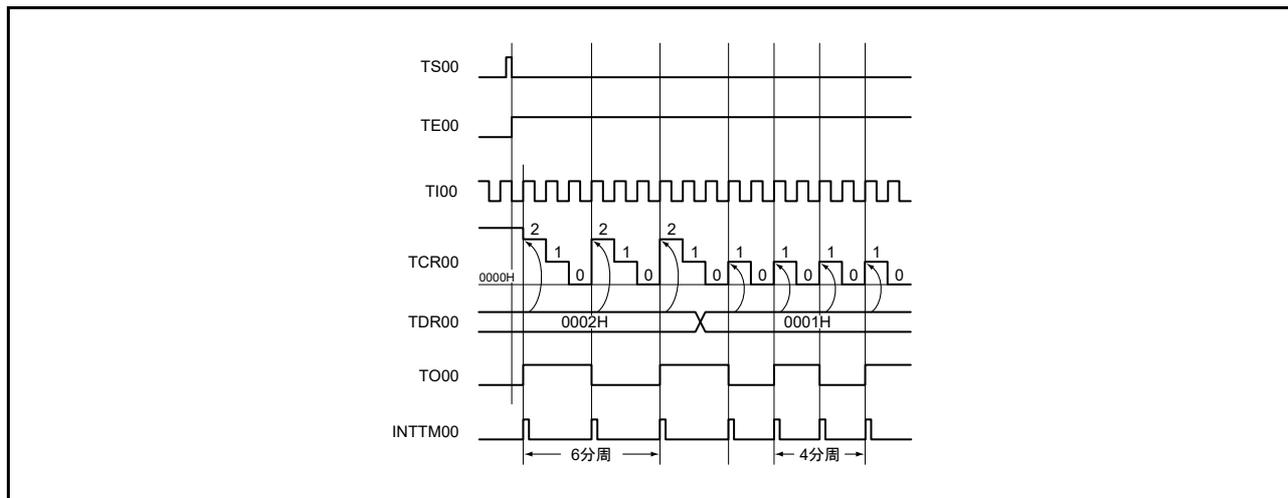


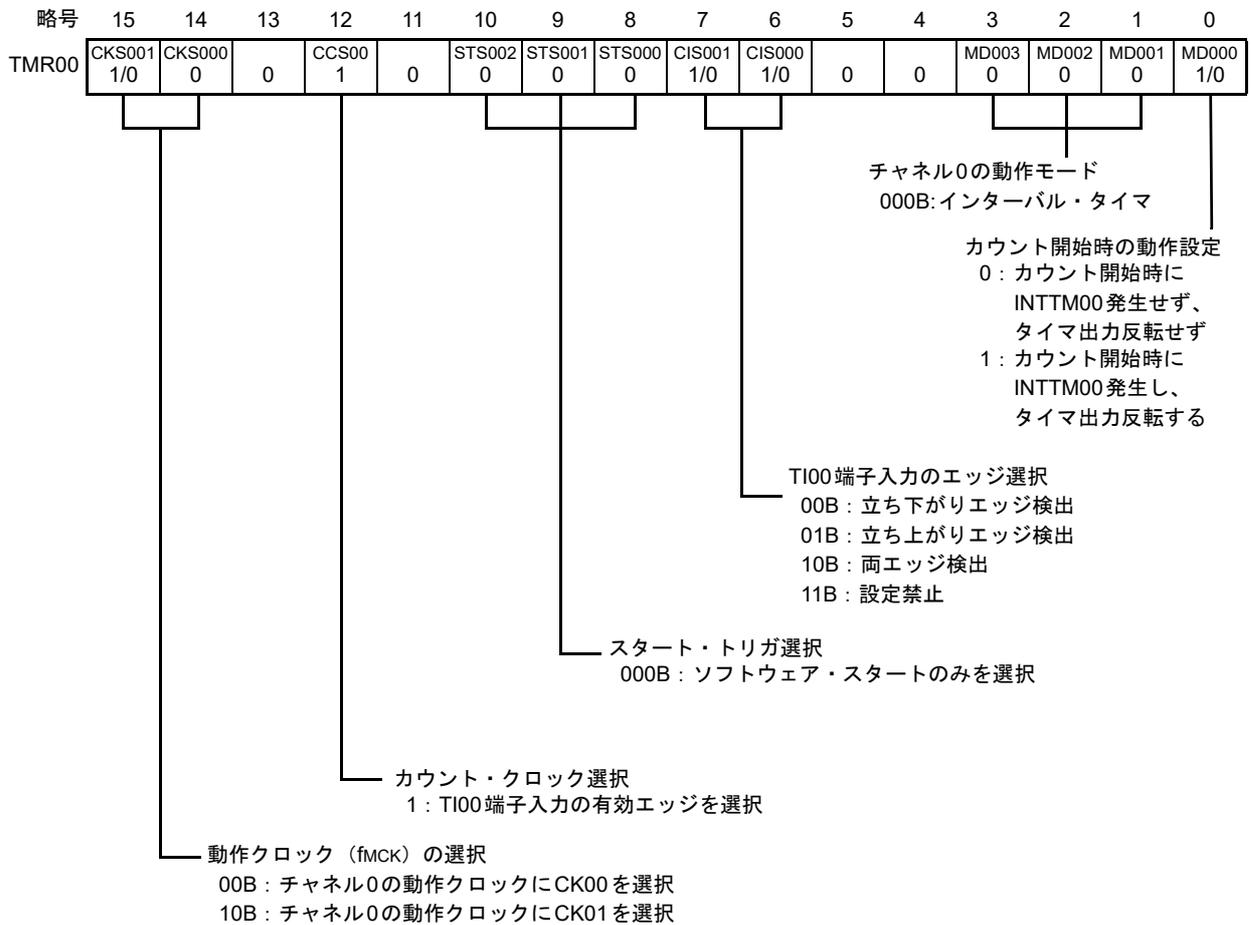
図7-54 分周器としての動作の基本タイミング例 (MD000 = 1)



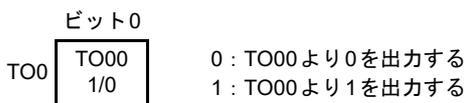
- 備考**
- TS00 : タイマ・チャンネル開始レジスタ0 (TS0) のビット0
  - TE00 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビット0
  - TI00 : TI00端子入力信号
  - TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
  - TDR00 : タイマ・データ・レジスタ00 (TDR00)
  - TO00 : TO00端子出力信号

図7-55 分周器として動作時のレジスタ設定内容例

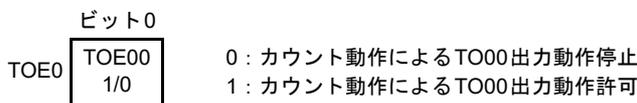
(a) タイマ・モード・レジスタ00 (TMR00)



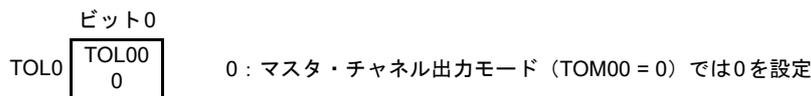
(b) タイマ出力レジスタ0 (TO0)



(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)

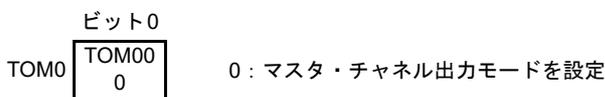


図7 - 56 分周器機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ00 (TMR00) を設定する (チャネルの動作モード確定、検出エッジの選択) タイマ・データ・レジスタ00 (TDR00) にインターバル (周期) 値を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0) のTOM00ビットに0 (マスタ・チャネル出力モード) を設定する TOL00ビットに0を設定する TO00ビットを設定し、TO00出力の初期レベルを確定する	TO00端子はHi-Z出力状態  ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TO00初期設定レベルが出力される。
	TOE00ビットに1を設定し、TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャネルは動作停止状態なので、TO00は変化しない TO00端子はTO00設定レベルを出力

図7 - 56 分周器機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE00ビットに1を設定する (動作再開時のみ) TS00ビットに1を設定する → TS00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 1になり、カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00) はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は、INTTM00を発生し、TO00もトグル動作する。
	動作中 TDR00レジスタは、任意に設定値変更が可能 TCR00レジスタは、常に読み出し可能 TSR00レジスタは、使用しない TO0, TOE0レジスタは、設定値変更可能 TMR00レジスタ、TOM00, TOL00ビットは、設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い、0000Hまでカウントしたら、再びTCR00レジスタはTDR00レジスタの値をロードし、カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し、TO00はトグル動作する。 以降、この動作を繰り返す。
	動作停止 TT00ビットに1を設定する → TT00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 0になり、カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず、状態保持
	TOE00ビットに0を設定し、TO00ビットに値を設定する →	TO00端子はTO00設定レベルを出力
	TAU停止 TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO00ビットに0を設定する → TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入カロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

### 7.8.4 入力パルス間隔測定としての動作

Tl<sub>mn</sub> 有効エッジでカウント値をキャプチャし、Tl<sub>mn</sub> 入力パルスの間隔を測定することができます。また、TE<sub>mn</sub> = 1 の期間中に、ソフトウェア操作 (TS<sub>mn</sub> = 1) をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tl}_{mn}\text{入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR}_{mn}:\text{OVF}) + (\text{TDR}_{mn}\text{のキャプチャ値} + 1))$$

**注意** Tl<sub>mn</sub> 端子入力は、タイマ・モード・レジスタ mn (TMR<sub>mn</sub>) の CKS<sub>mn</sub> ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCR<sub>mn</sub>) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS<sub>m</sub>) のチャンネル・スタート・トリガ・ビット (TS<sub>mn</sub>) に 1 を設定すると TCR<sub>mn</sub> レジスタはカウント・クロックに合わせて 0000H からアップ・カウントを開始します。

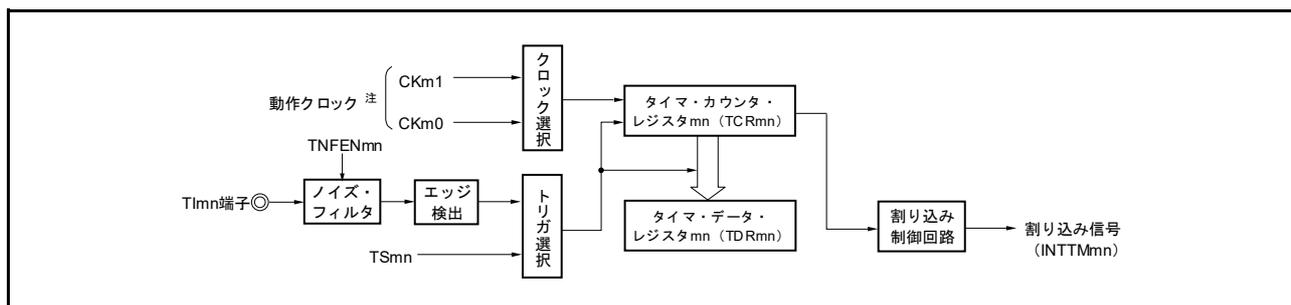
Tl<sub>mn</sub> 端子入力の有効エッジを検出すると、TCR<sub>mn</sub> レジスタのカウント値をタイマ・データ・レジスタ mn (TDR<sub>mn</sub>) に転送 (キャプチャ) すると同時に、TCR<sub>mn</sub> レジスタを 0000H にクリアして、INTTM<sub>mn</sub> を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSR<sub>mn</sub>) の OVF ビットが 1 にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を続けます。

カウント値が TDR<sub>mn</sub> レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSR<sub>mn</sub> レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSR<sub>mn</sub> レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMR<sub>mn</sub> レジスタの STS<sub>mn2</sub>-STS<sub>mn0</sub> = 001B に設定して、Tl<sub>mn</sub> 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

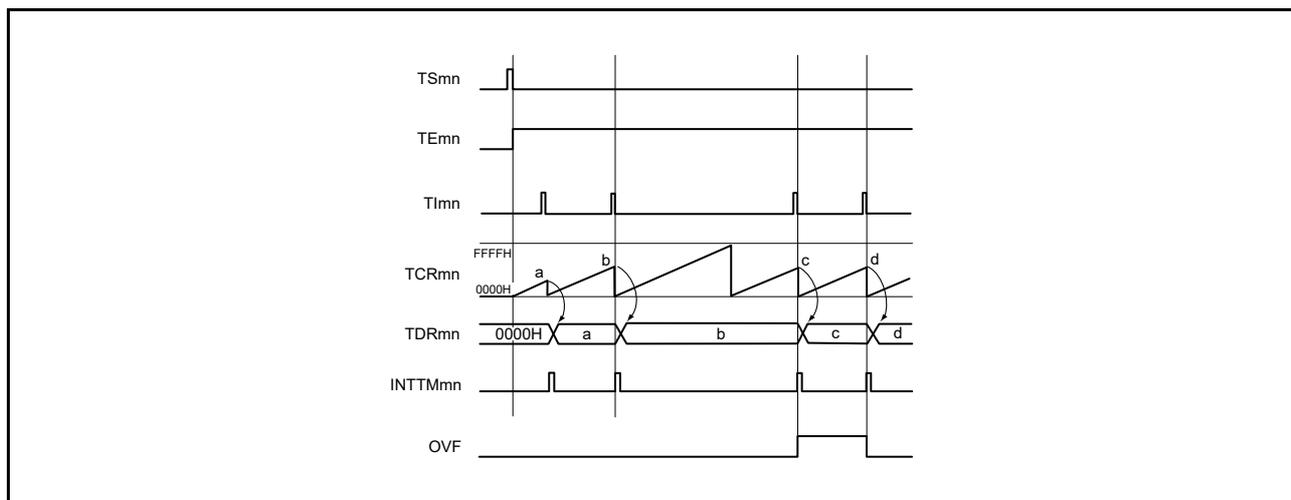
図 7-57 入力パルス間隔測定としての動作のブロック図



**注** チャンネル 1, 3 の場合は、CK<sub>m0</sub>, CK<sub>m1</sub>, CK<sub>m2</sub>, CK<sub>m3</sub> からクロックを選択できます。

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

図7-58 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n

TI mn : TI mn 端子入力信号

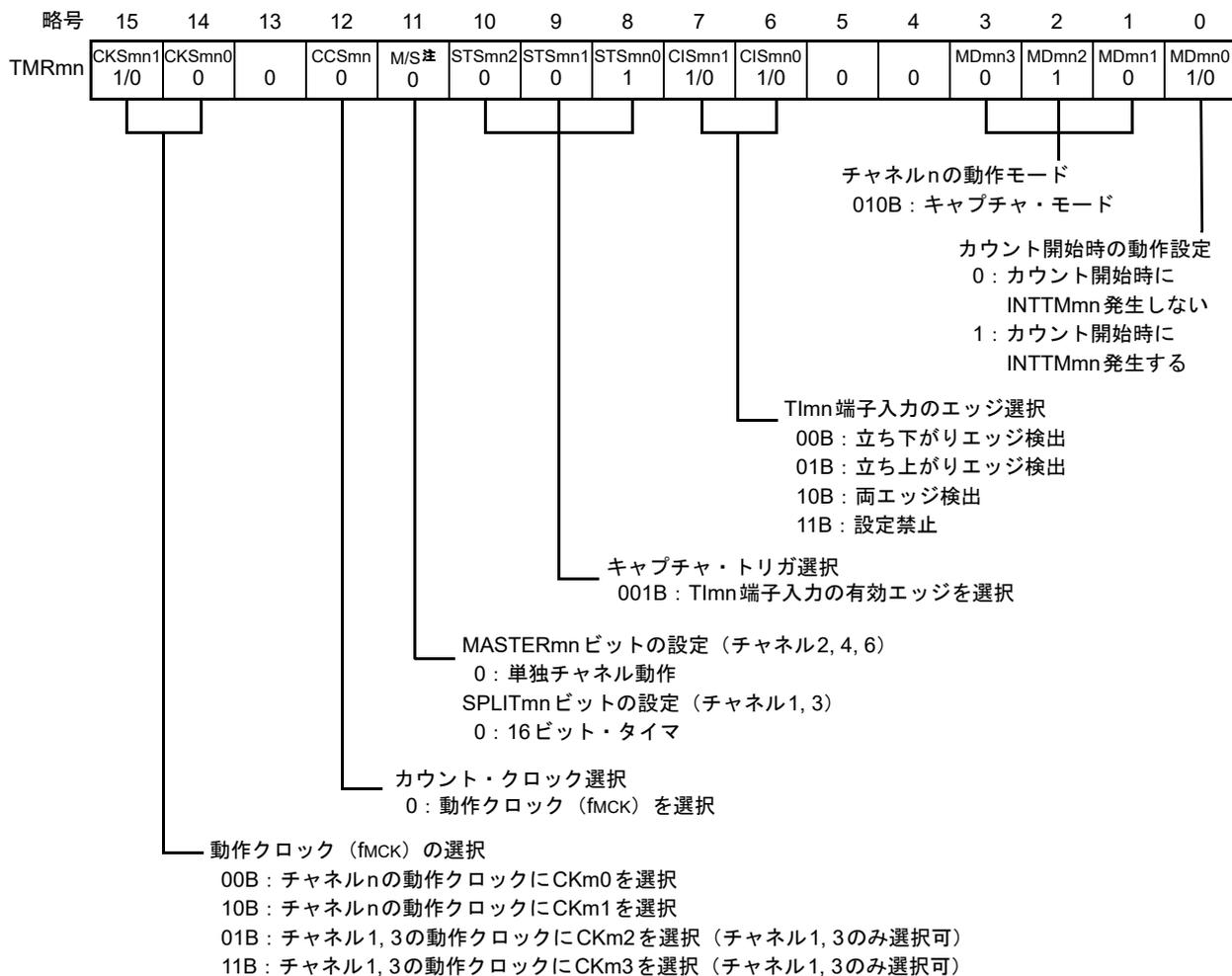
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

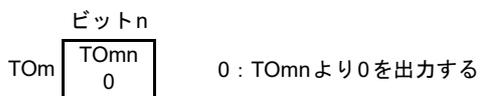
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図7-59 入力パルス間隔測定時のレジスタ設定内容例

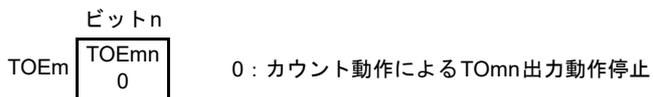
(a) タイマ・モード・レジスタ mn (TMRmn)



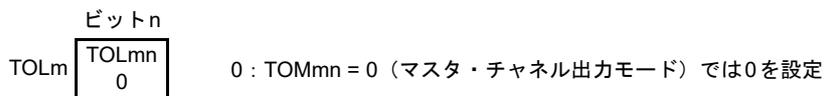
(b) タイマ出力レジスタ m (TOM)



(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(注、備考は次ページに続きます)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット n  
TOMm 

TOMmn
0

 0 : マスタ・チャンネル出力モードを設定

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmn ビット  
TMRm1, TMRm3の場合 : SPLITmn ビット  
TMRm0, TMRm5, TMRm7の場合 : 0 固定

**備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

図7 - 60 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) の 対応するビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
動作 再開	動作 開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn = 1 になり、カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H に クリアする。TMRmn レジスタの MDmn0 ビットが 1 の場 合は、INTTMmn を発生する。
	動作 中	TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値 変更可能 TDRmn レジスタは、常に読み出し可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmn ビットは、設定値変更禁 止	カウンタ (TCRmn) は 0000H からアップ・カウント動作 を行い、TImn 端子入力の有効エッジの検出または、TSmn ビットに 1 を設定すると、カウント値をタイマ・デー タ・レジスタ mn (TDRmn) に転送 (キャプチャ) する。同時 に、TCRmn レジスタを 0000H にクリアし、INTTMmn を 発生する。 このときオーバーフローが発生していたら、タイマ・ステー タス・レジスタ mn (TSRmn) の OVF ビットがセットさ れ、オーバーフローが発生していなかったら OVF ビットが クリアされる。 以降、この動作を繰り返す。
	動作 停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn = 0 になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
	TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する 全回路を初期化する場合は PRR0 レジスタの TAUmRES ビットに 1 を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャネルの SFR も初期化される

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

### 7.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

**注意** LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) を1に設定してください。また、以降の説明では「Tlmn」を「RxD2」と読み替えてください。

Tlmn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tlmn の信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。Tlmn の信号幅は次の式で求めることができます。

$$\text{Tlmn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

**注意** Tlmn端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、TEmn = 1 となり Tlmn 端子のスタート・エッジ検出待ち状態となります。

Tlmn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら Tlmn 端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら Tlmn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、Tlmn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

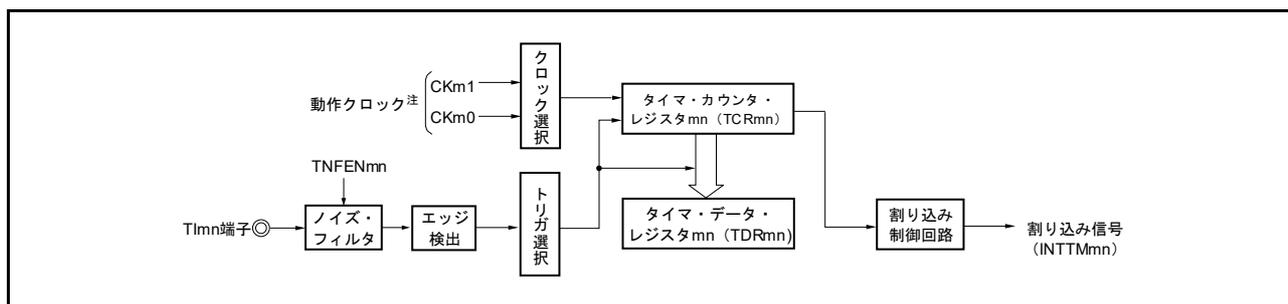
Tlmn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、Tlmn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSmn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

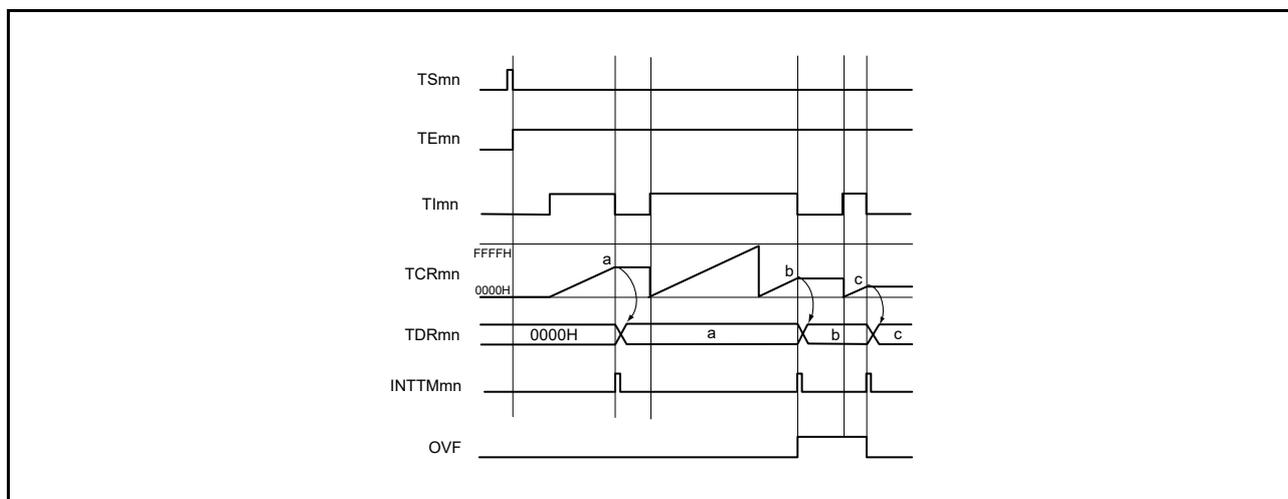
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図7-61 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7-62 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例

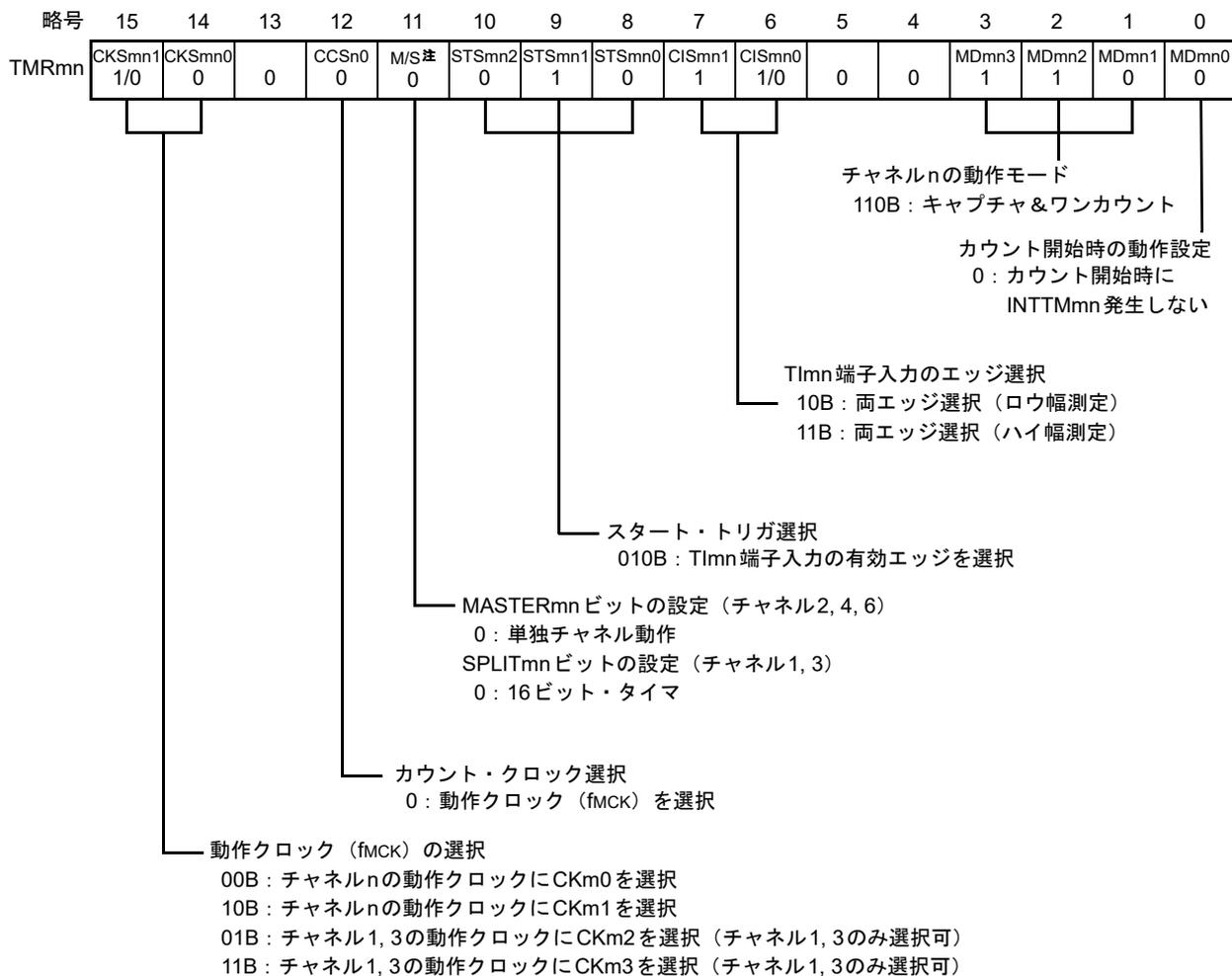


備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

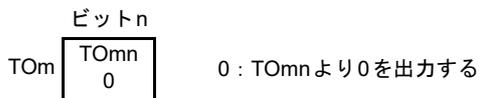
- 備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n  
 TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n  
 TImn : TImn 端子入力信号  
 TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)  
 TDRmn : タイマ・データ・レジスタ mn (TDRmn)  
 OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図7-63 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

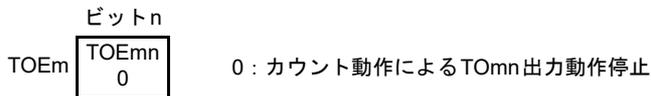
(a) タイマ・モード・レジスタ mn (TMRmn)



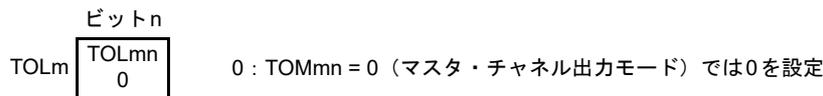
(b) タイマ出力レジスタ m (TOm)



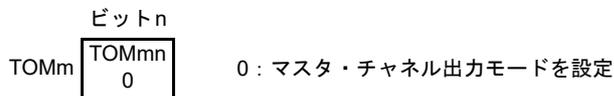
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
TMRm1, TMRm3の場合 : SPLITmnビット  
TMRm0, TMRm5, TMRm7の場合 : 0固定

**備考** m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

図7-64 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1,2 (NFEN1, NFEN2) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定) TOEmnビットに0を設定し、TOMnの動作を停止	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアし、カウント・アップ動作を開始する
動作 中	TDRmnレジスタは、常に読み出し可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、常に読み出し可能 TMRmnレジスタ、TOMmn, TOLmn, TOMn, TOEmnビットは、設定値変更禁止	TImn端子のスタート・エッジ検出後、カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら、カウント値をタイマ・データ・レジスタmn (TDRmn) に転送し、INTTMmnを発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは、次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降、この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

### 7.8.6 ディレイ・カウンタとしての動作

Tl<sub>mn</sub> 端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔で INTTM<sub>mn</sub>（タイマ割り込み）を発生することができます。

また、TE<sub>mn</sub> = 1 の期間中に、ソフトウェア操作で TS<sub>mn</sub> = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTM<sub>mn</sub>（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

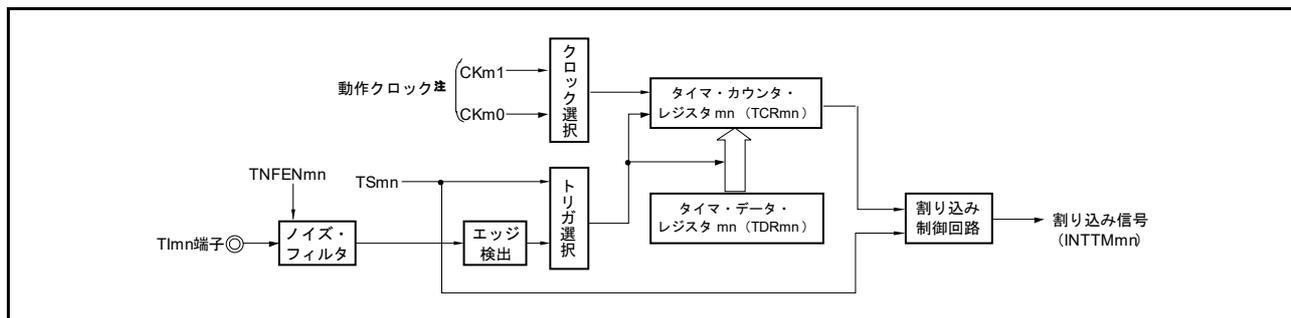
タイマ・カウンタ・レジスタ mn (TCR<sub>mn</sub>) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS<sub>m</sub>) のチャンネル・スタート・トリガ・ビット (TS<sub>mn</sub>, TSH<sub>m1</sub>, TSH<sub>m3</sub>) に 1 を設定すると、TE<sub>mn</sub>, TEH<sub>m1</sub>, TEH<sub>m3</sub> = 1 となり Tl<sub>mn</sub> 端子の有効エッジ検出待ち状態となります。

TCR<sub>mn</sub> レジスタは、Tl<sub>mn</sub> 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ mn (TDR<sub>mn</sub>) から値をロードします。TCR<sub>mn</sub> レジスタはロードした TDR<sub>mn</sub> レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR<sub>mn</sub> = 0000H となったら INTTM<sub>mn</sub> を出力し、次の Tl<sub>mn</sub> 端子入力の有効エッジがあるまで、カウントを停止します。

TDR<sub>mn</sub> レジスタは任意のタイミングで書き換えることができます。書き換えた TDR<sub>mn</sub> レジスタの値は、次の周期から有効となります。

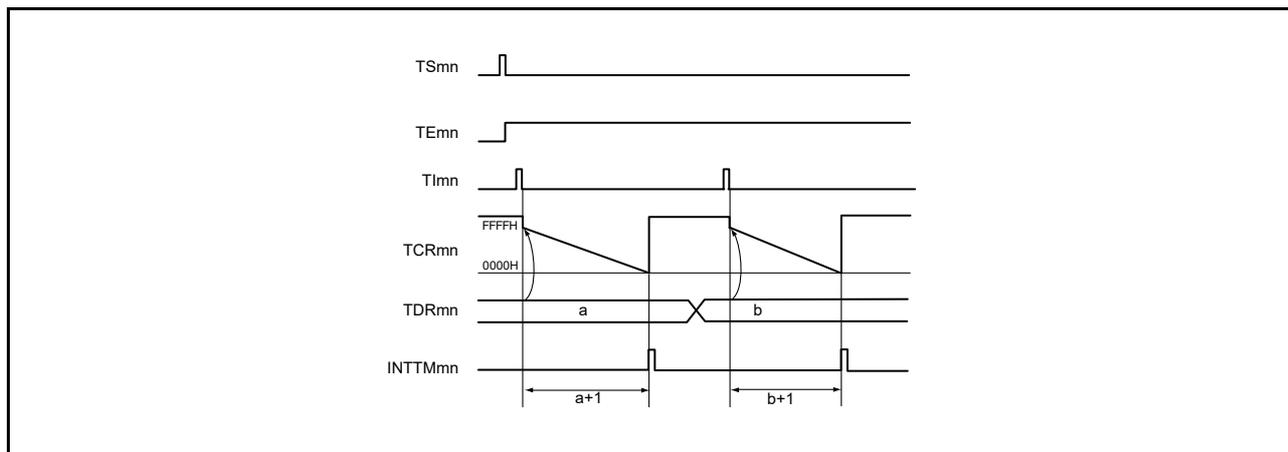
図7-65 ディレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK<sub>m0</sub>, CK<sub>m1</sub>, CK<sub>m2</sub>, CK<sub>m3</sub>からクロックを選択できます。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

図7 - 66 デイレイ・カウンタとしての動作の基本タイミング例

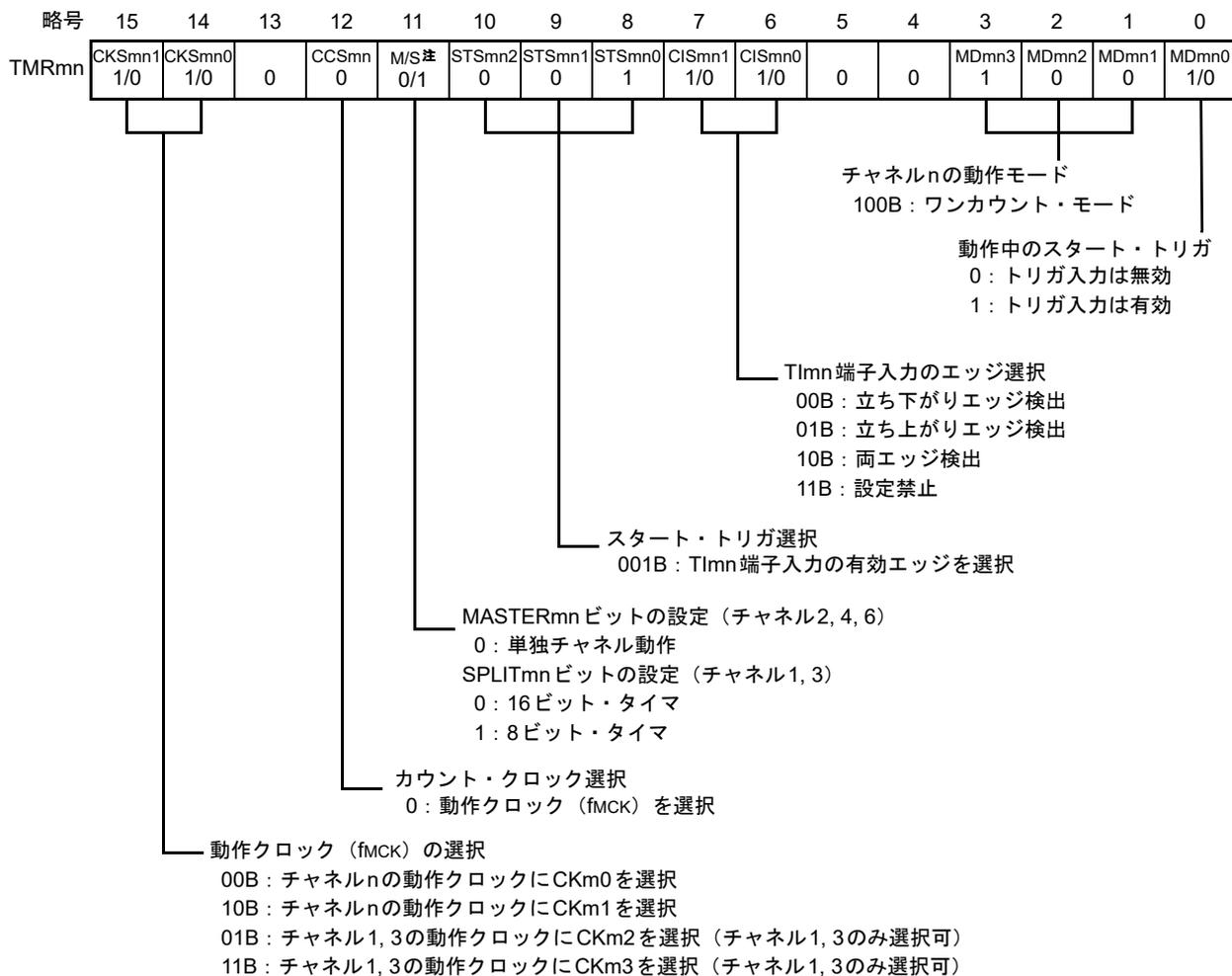


備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

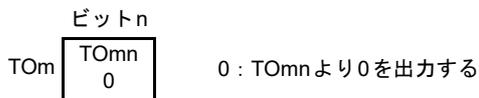
- 備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n  
 TE mn : タイマ・チャネル許可ステータス・レジスタ m (TE m) のビット n  
 Tl mn : Tl mn 端子入力信号  
 TCR mn : タイマ・カウンタ・レジスタ mn (TCR mn)  
 TDR mn : タイマ・データ・レジスタ mn (TDR mn)

図7-67 ディレイ・カウンタ機能時のレジスタ設定内容例

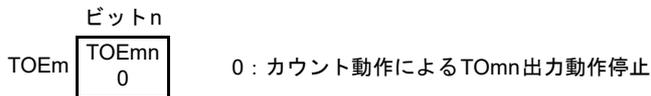
(a) タイマ・モード・レジスタ mn (TMRmn)



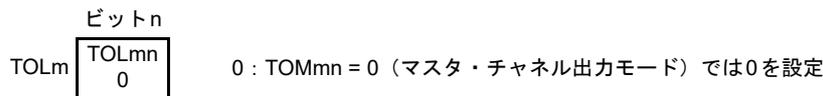
(b) タイマ出力レジスタ m (TOM)



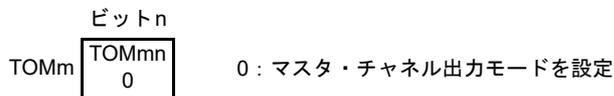
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
TMRm1, TMRm3の場合 : SPLITmnビット  
TMRm0, TMRm5, TMRm7の場合 : 0固定

**備考** m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7)

図7-68 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1,2 (NFEN1, NFEN2) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn) に遅延時間を設定する TOEmnビットに0を設定し、TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、スタート・トリガ検出 (TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定) 待ち状態となる
	次のスタート・トリガ検出によって、ダウン・カウントを開始します。 ・ TImn端子入力の有効エッジ検出 ・ ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し、次のスタート・トリガ検出 (TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定) までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-7)

## 7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能

### 7.9.1 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生じることができます。

ディレイとパルス幅は次の式で求めることができます。

$$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H となったなら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

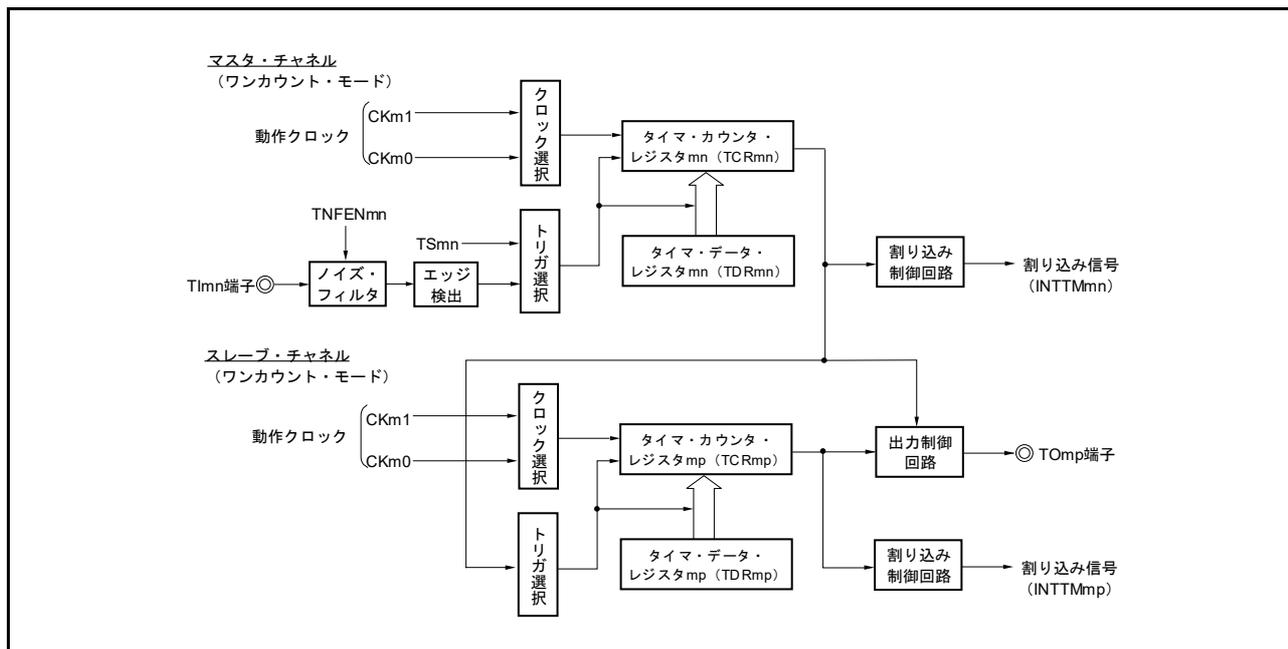
スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルの TCRmp レジスタは、マスタ・チャンネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H となったなら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャンネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャンネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったならインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

**注意** マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルの TDRmp レジスタでは、ロード・タイミングが異なるため、動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると不正波形が出力されます。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

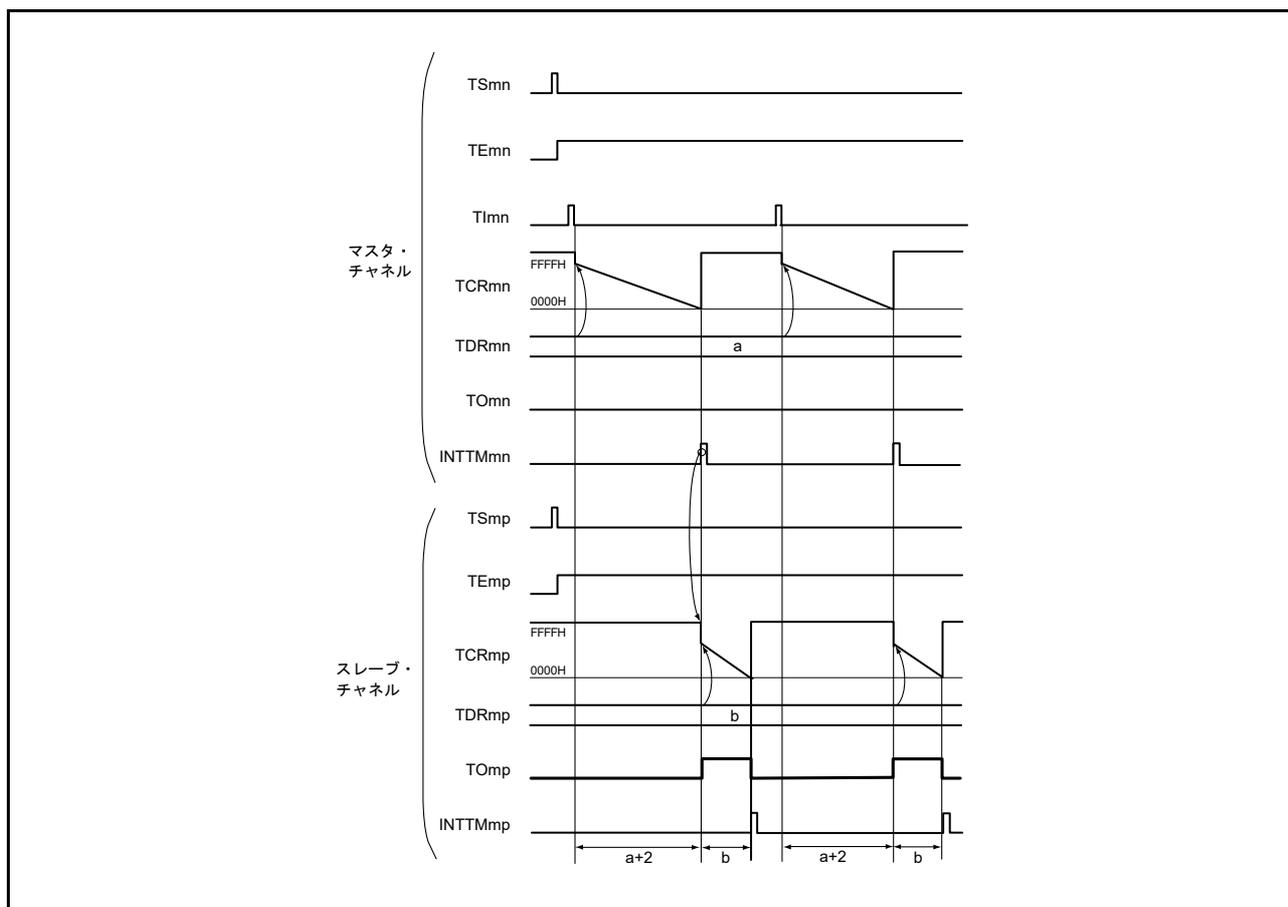
**備考** m: ユニット番号 (m = 0, 1)、n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
p: スレーブ・チャンネル番号 (n < p ≤ 7)

図7 - 69 ワンショット・パルス出力機能としての動作のブロック図



**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

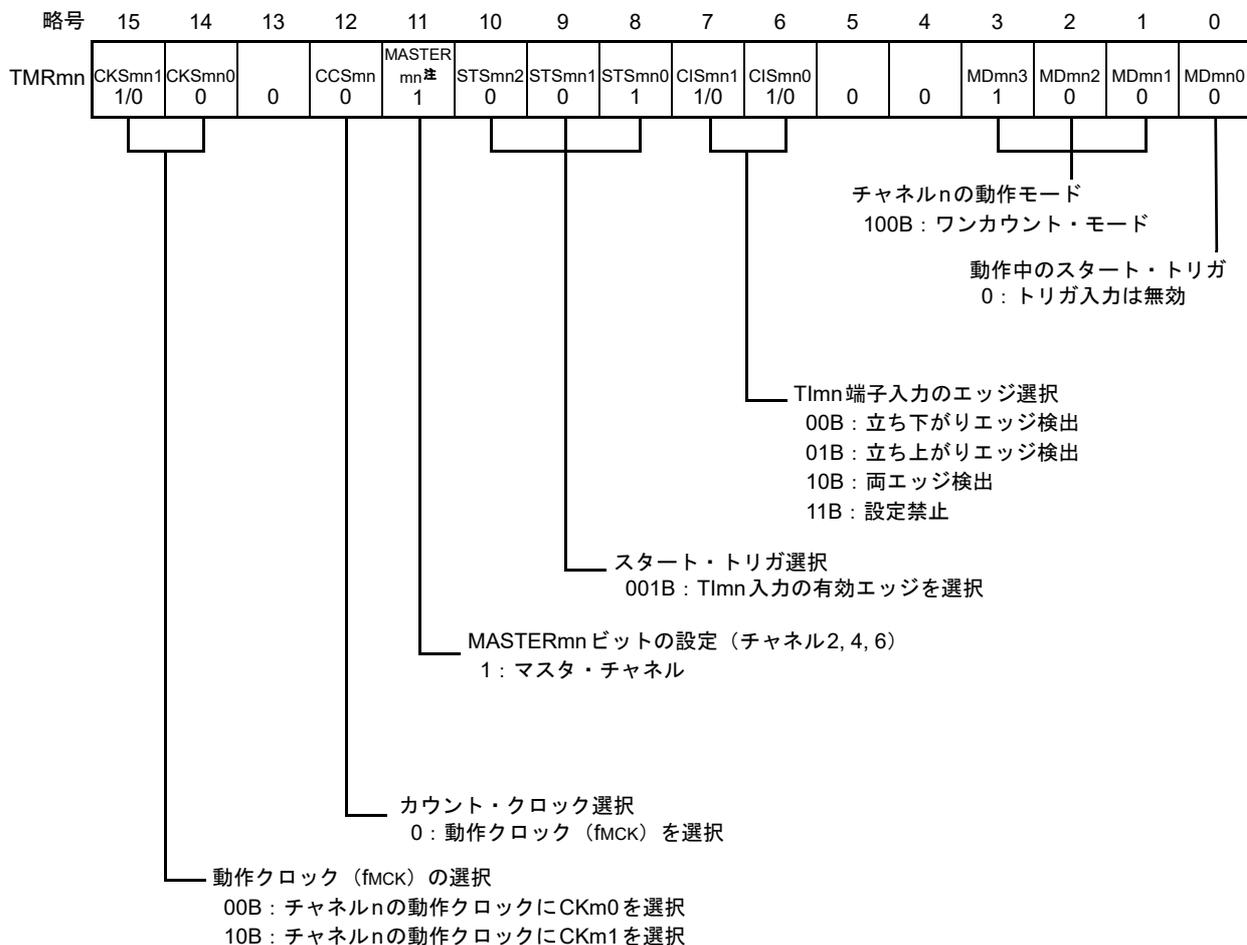
図7-70 ワンショット・パルス出力機能としての動作の基本タイミング例



- 備考1.** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号 (n < p ≤ 7)
- 備考2.** TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSM) のビット n, p  
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n, p  
 TImn, TImp : TImn, TImp 端子入力信号  
 TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)  
 TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)  
 TOmn, TOmp : TOmn, TOmp 端子出力信号

図7-71 ワンショット・パルス出力機能時 (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ mn (TMRmn)



(b) タイマ出力レジスタ m (TOm)

ビットn  
TOm 

TOmn
0

 0: TOmnより0を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビットn  
TOEm 

TOEmn
0

 0: カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

ビットn  
TOLm 

TOLmn
0

 0: TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタ m (TOMm)

ビットn  
TOMm 

TOMmn
0

 0: マスタ・チャンネル出力モードを設定

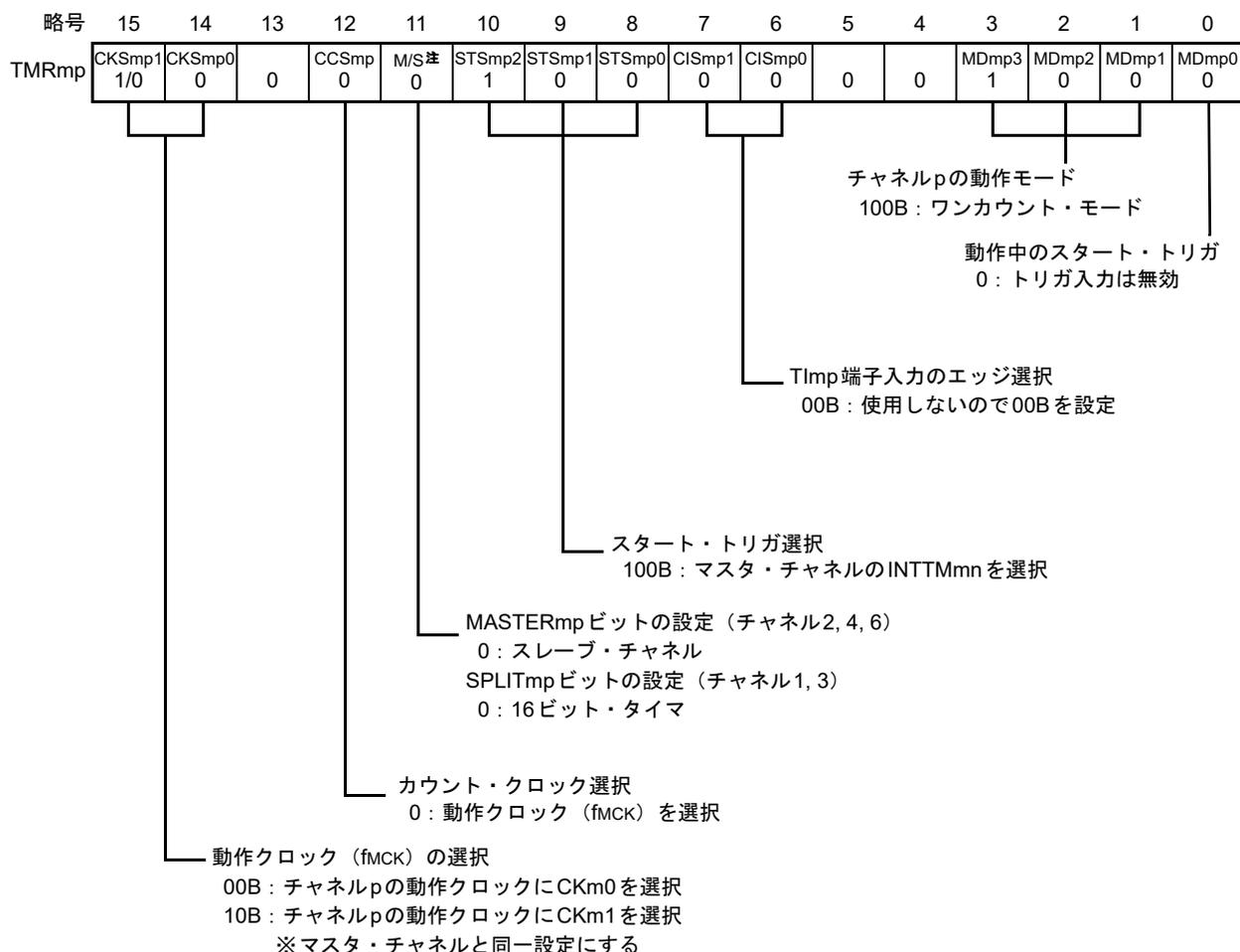
(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1  
TMRm0の場合 : 0固定

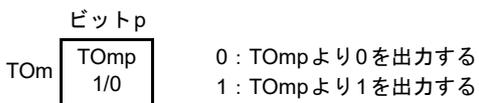
**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図7-72 ワンショット・パルス出力機能時 (スレーブ・チャンネル) のレジスタ設定内容例

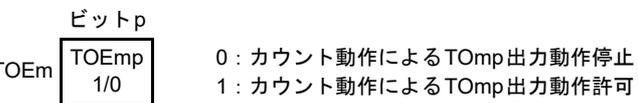
(a) タイマ・モード・レジスタ mp (TMRmp)



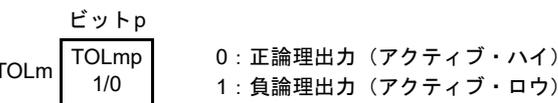
(b) タイマ出力レジスタ m (TOM)



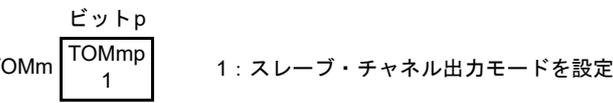
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
TMRm1, TMRm3の場合 : SPLITmpビット  
TMRm5, TMRm7 : 0固定

**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-73 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) の対応するビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) へ出力遅延時間、スレーブ・チャンネルのTDRmpレジスタへパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する TOEmpビットに1を設定し、TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態  ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります)

図7-73 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に1を設定する → TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEm = 1となり、マスタ・チャンネルはスタート・トリガ検出 (TImn 端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定) 待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn 端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	マスタ・チャンネルがカウンタ動作開始
動作中	TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ、TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出 (TImn 端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定) により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次のスタート・トリガ検出までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn (マスタ)、TTmp (スレーブ) ビットに同時に1を設定する → TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEm = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する →	TOmp 端子は TOmp 設定レベルを出力
TAU 停止	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する → TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに0を設定する → 全回路を初期化する場合 PRR0 レジスタの TAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOMn ビットが0になり、TOMn 端子はポート機能となる)

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
p : スレーブ・チャンネル番号 (n < p ≤ 7)

## 7.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。  
出力パルスの周期、デューティは次の式で求めることができます。

パルス周期 = {TDRmn (マスタ) の設定値 + 1} × カウント・クロック周期
デューティ [%] = {TDRmp (スレーブ) の設定値} / {TDRmn (マスタ) の設定値 + 1} × 100
0%出力 : TDRmp (スレーブ) の設定値 = 0000H
100%出力 : TDRmp (スレーブ) の設定値 ≥ {TDRmn (マスタ) の設定値 + 1}

**備考** TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタ mn (TDRmn) に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmn を出力して、再び TDRmn レジスタから TCRmn レジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからの INTTMmn をスタート・トリガとして、TDRmp レジスタから TCRmp レジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000Hになったところで INTTMmp を出力して、次のスタート・トリガ (マスタ・チャンネルからの INTTMmn) が来るまで待機します。

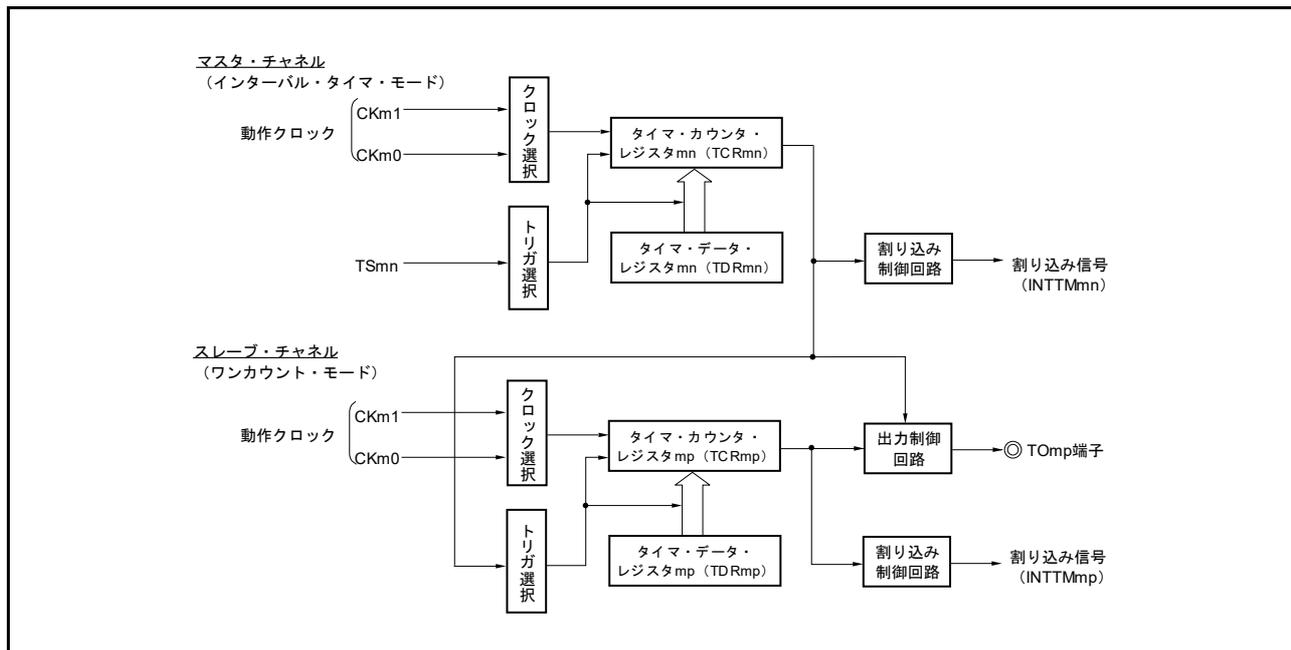
PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

PWM出力 (TOmp) は、マスタ・チャンネルの INTTMmn 発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルの TCRmp レジスタが0000Hになったタイミングでインアクティブ・レベルになります。

**注意** マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルの TDRmp レジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値がロードされるのは、マスタ・チャンネルの INTTMmn 発生時となります。そのため、書き換えがマスタ・チャンネルの INTTMmn 発生前と発生後に分かれて行われると、TOmp 端子は期待通りの波形を出力できません。したがって、マスタの TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャンネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。

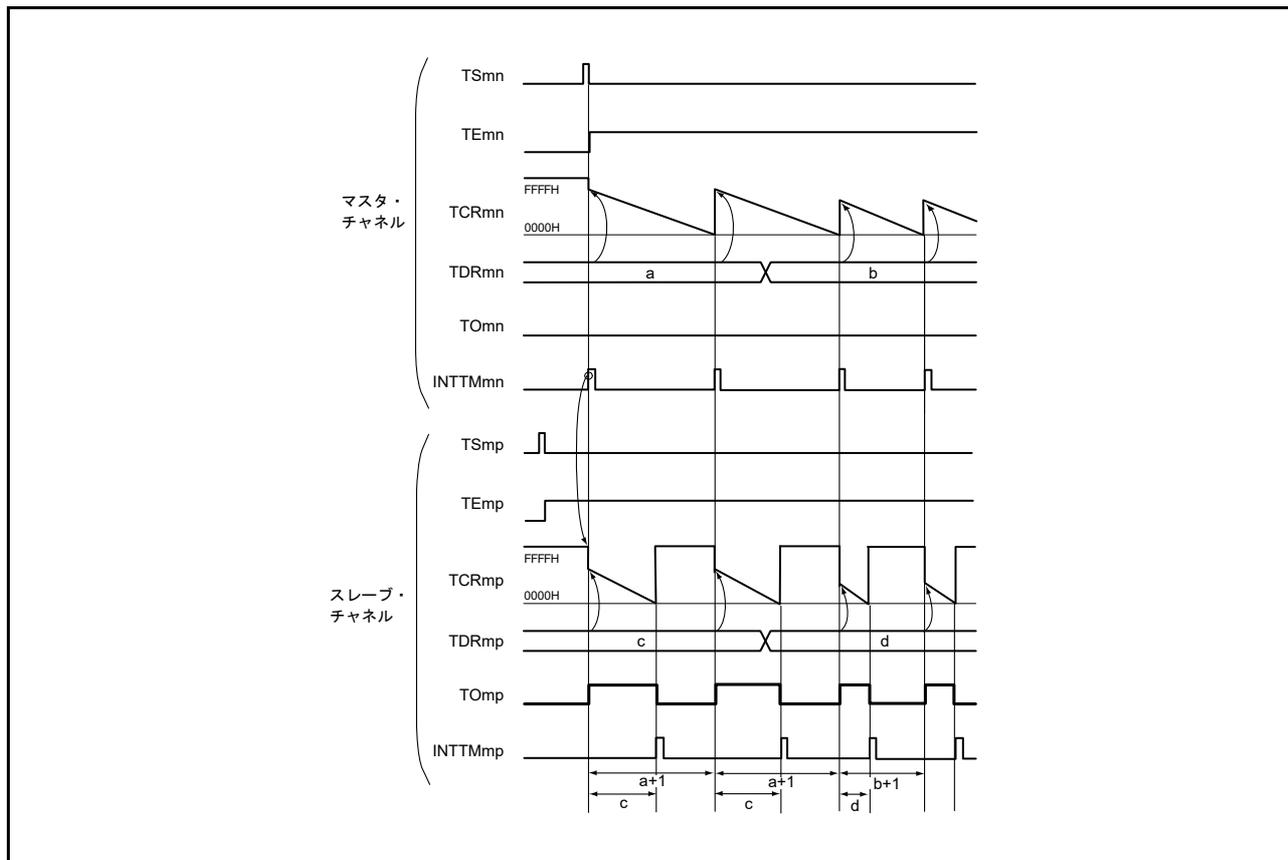
**備考** m: ユニット番号 (m = 0, 1)、n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
p: スレーブ・チャンネル番号 (n < p ≤ 7)

図7-74 PWM機能としての動作のブロック図



**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-75 PWM機能としての動作の基本タイミング例

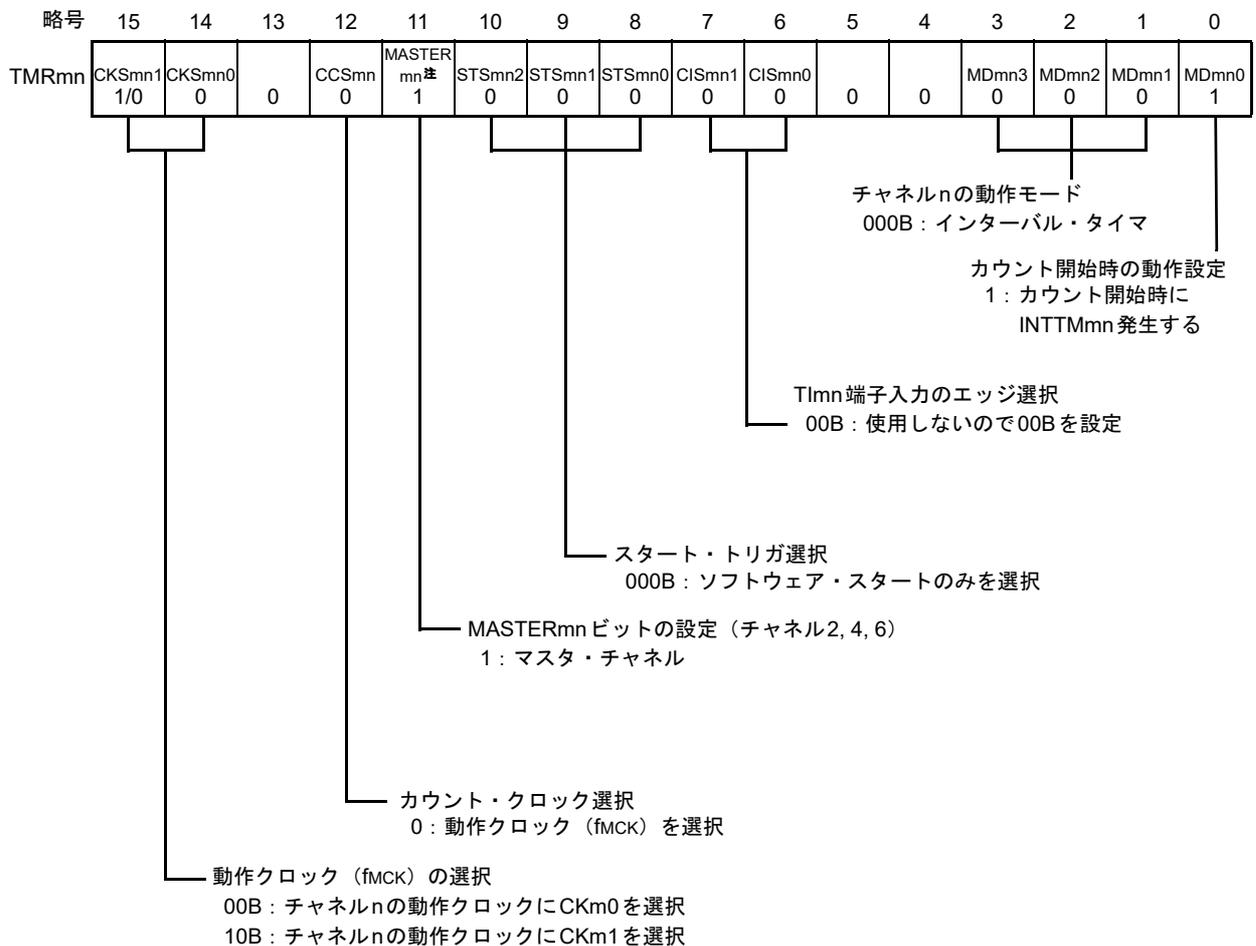


備考1. m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p  
 TE mn, TE mp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p  
 TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)  
 TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)  
 TOmn, TOmp : TOmn, TOmp 端子出力信号

図7-76 PWM機能時 (マスタ・チャンネル) のレジスタ設定内容例

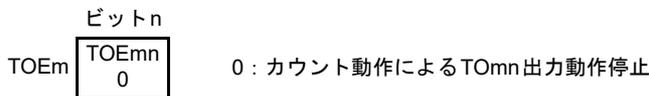
(a) タイマ・モード・レジスタ mn (TMRmn)



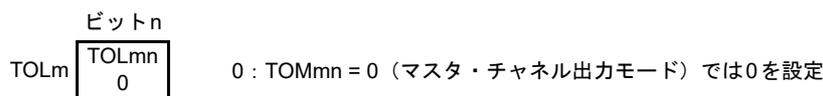
(b) タイマ出力レジスタ m (TOM)



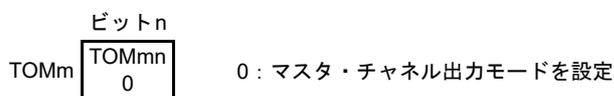
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



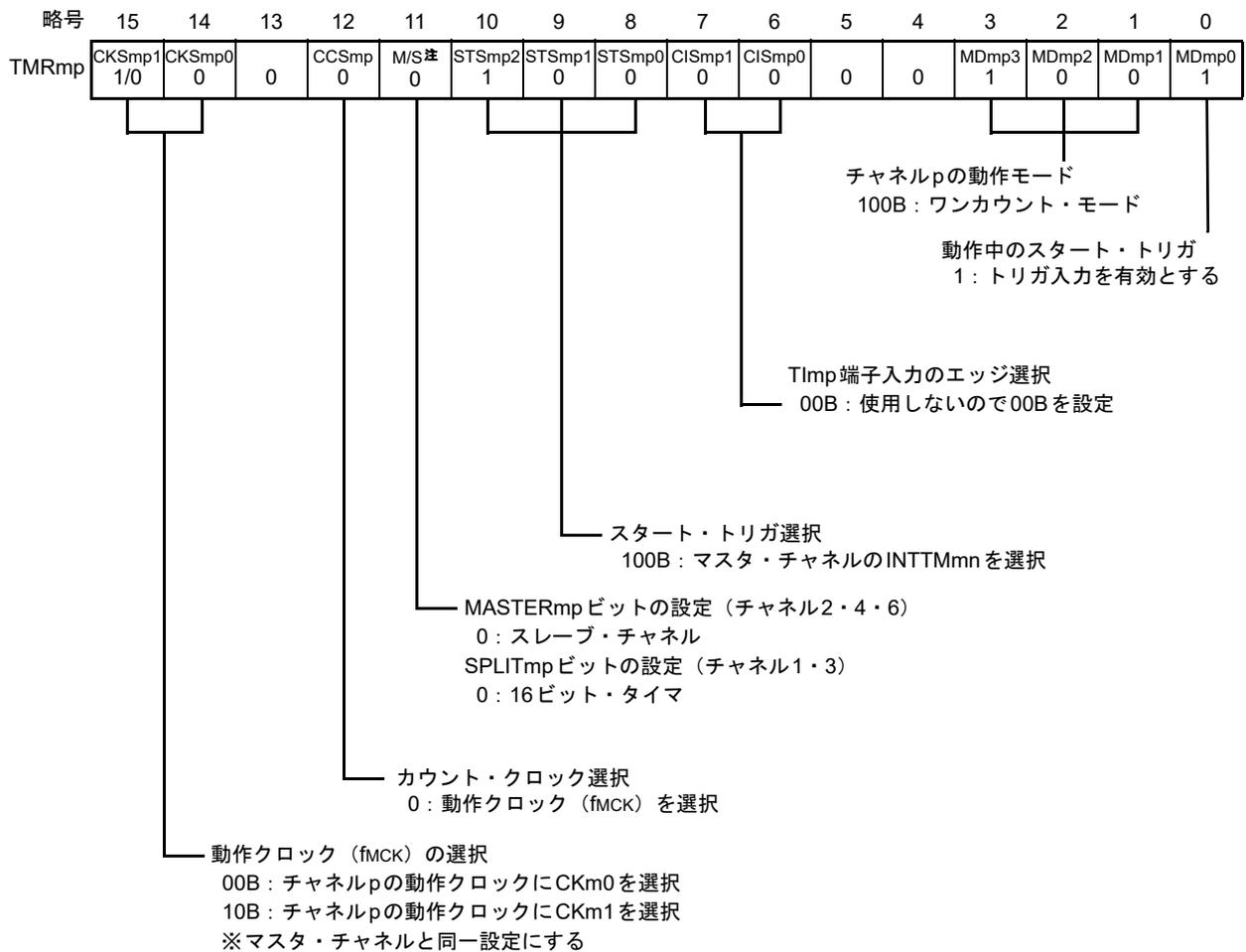
(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1  
TMRm0の場合 : 0固定

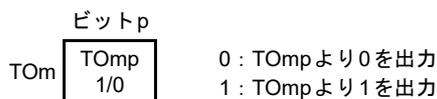
**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図7-77 PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例

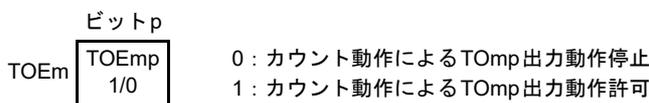
(a) タイマ・モード・レジスタ mp (TMRmp)



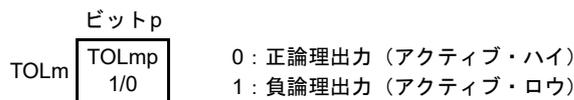
(b) タイマ出力レジスタ m (TOM)



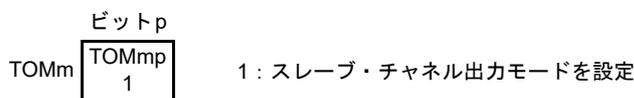
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
TMRm1, TMRm3の場合 : SPLITmpビット  
TMRm5, TMRm7 : 0固定

**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7 - 78 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値、スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する TOEmpビットに1を設定し、TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態  ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図7-78 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ、TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000H までカウントしたら INTTMmn を発生する。同時に、TCRmn レジスタは TDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。 そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp = 0 になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに0を設定する 全回路を初期化する場合は PRR0 レジスタの TAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

### 7.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

**備考** TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合  
または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、  
デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000H となったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

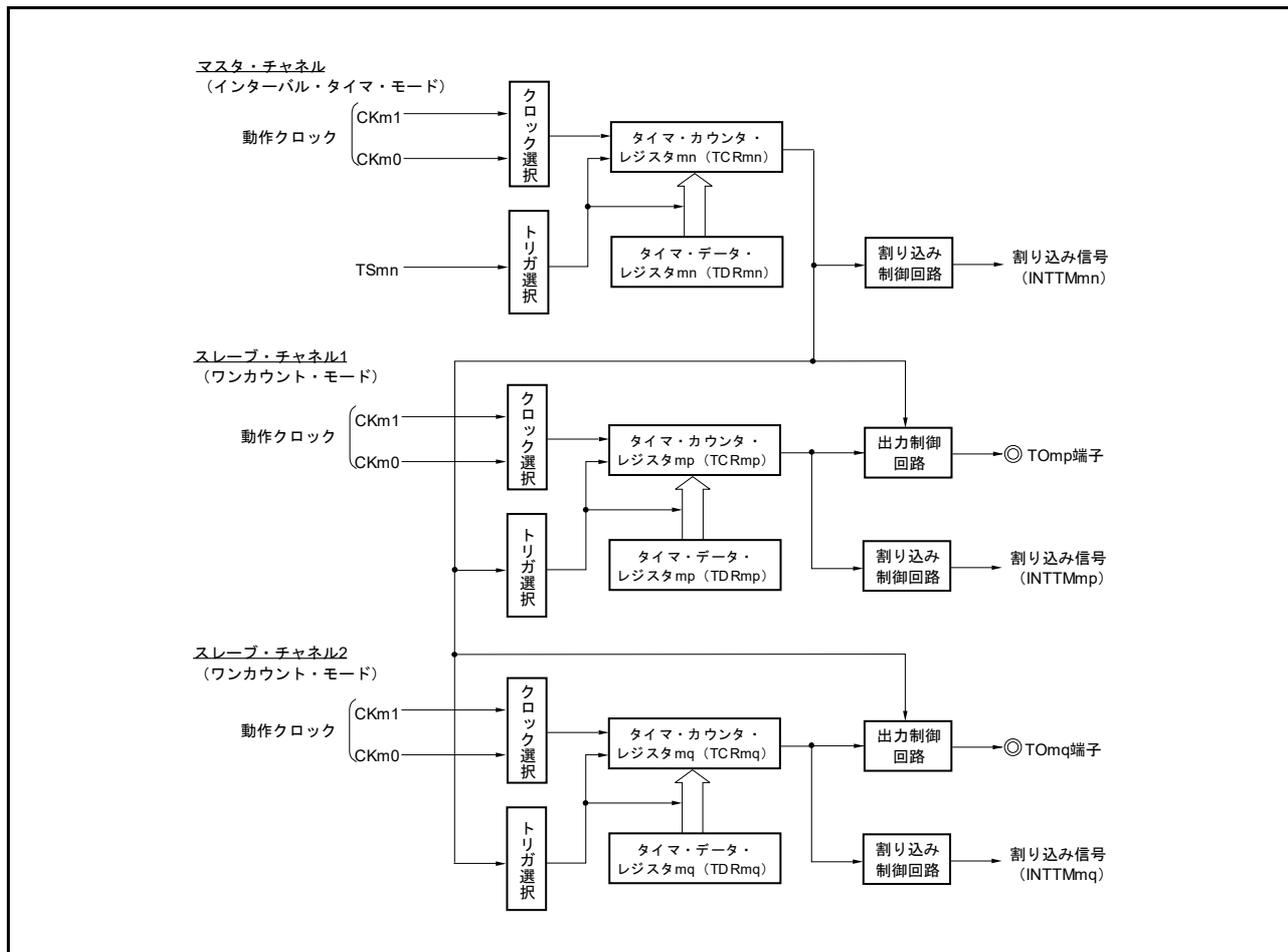
スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H となったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H となったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

**注意** マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

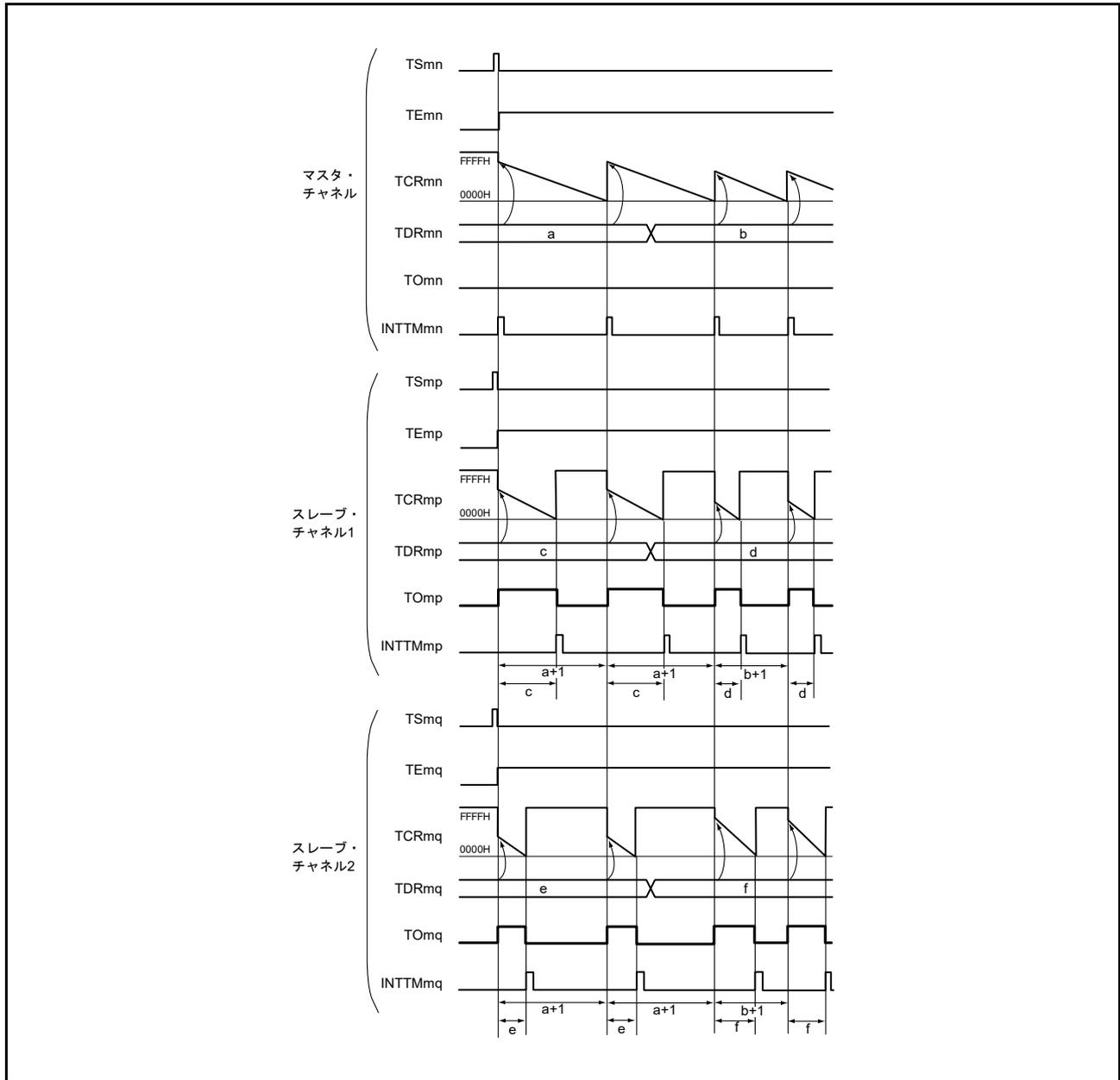
**備考** m: ユニット番号 (m = 0, 1)、n: マスタ・チャンネル番号 (n = 0, 2, 4)  
p: スレーブ・チャンネル番号、q: スレーブ・チャンネル番号  
 $n < p < q \leq 7$  (p, qは整数)

図7-79 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4)  
 p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号  
 n < p < q ≤ 7 (p, qは整数)

図7 - 80 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



備考1. m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4)

p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号

n < p < q ≤ 7 (p, qは整数)

備考2. TS<sub>mn</sub>, TS<sub>mp</sub>, TS<sub>mq</sub> : タイマ・チャンネル開始レジスタ m (TS<sub>m</sub>) のビット n, p, q

TE<sub>mn</sub>, TE<sub>mp</sub>, TE<sub>mq</sub> : タイマ・チャンネル許可ステータス・レジスタ m (TE<sub>m</sub>) のビット n, p, q

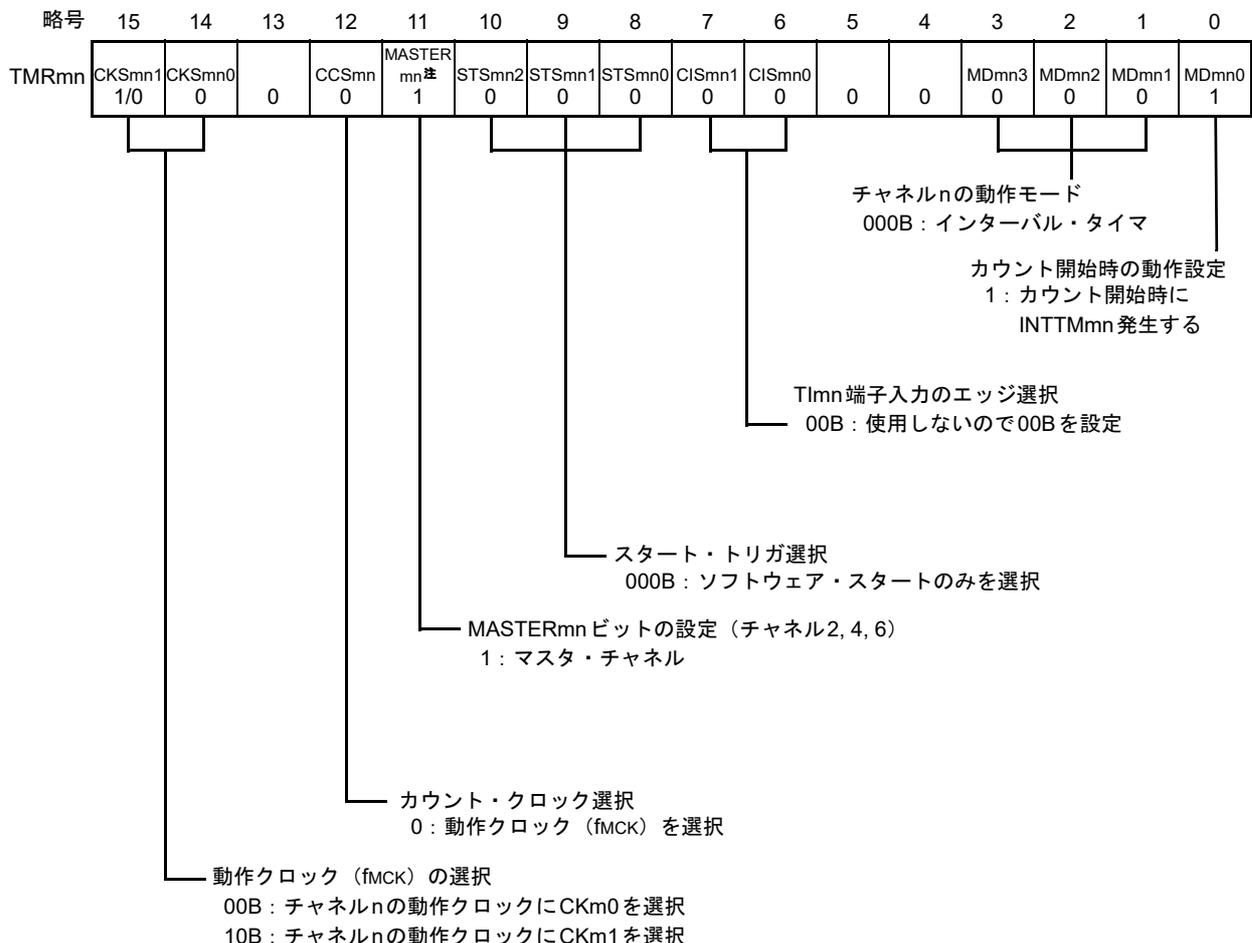
TCR<sub>mn</sub>, TCR<sub>mp</sub>, TCR<sub>mq</sub> : タイマ・カウンタ・レジスタ mn, mp, mq (TCR<sub>mn</sub>, TCR<sub>mp</sub>, TCR<sub>mq</sub>)

TDR<sub>mn</sub>, TDR<sub>mp</sub>, TDR<sub>mq</sub> : タイマ・データ・レジスタ mn, mp, mq (TDR<sub>mn</sub>, TDR<sub>mp</sub>, TDR<sub>mq</sub>)

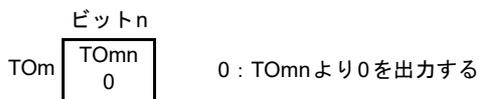
TO<sub>mn</sub>, TO<sub>mp</sub>, TO<sub>mq</sub> : TO<sub>mn</sub>, TO<sub>mp</sub>, TO<sub>mq</sub> 端子出力信号

図7-81 多重PWM出力機能時 (マスタ・チャンネル) のレジスタ設定内容例

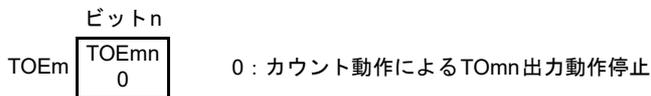
(a) タイマ・モード・レジスタ mn (TMRmn)



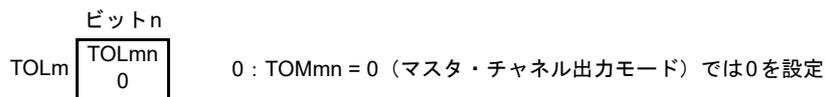
(b) タイマ出力レジスタ m (TOM)



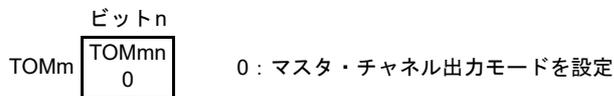
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



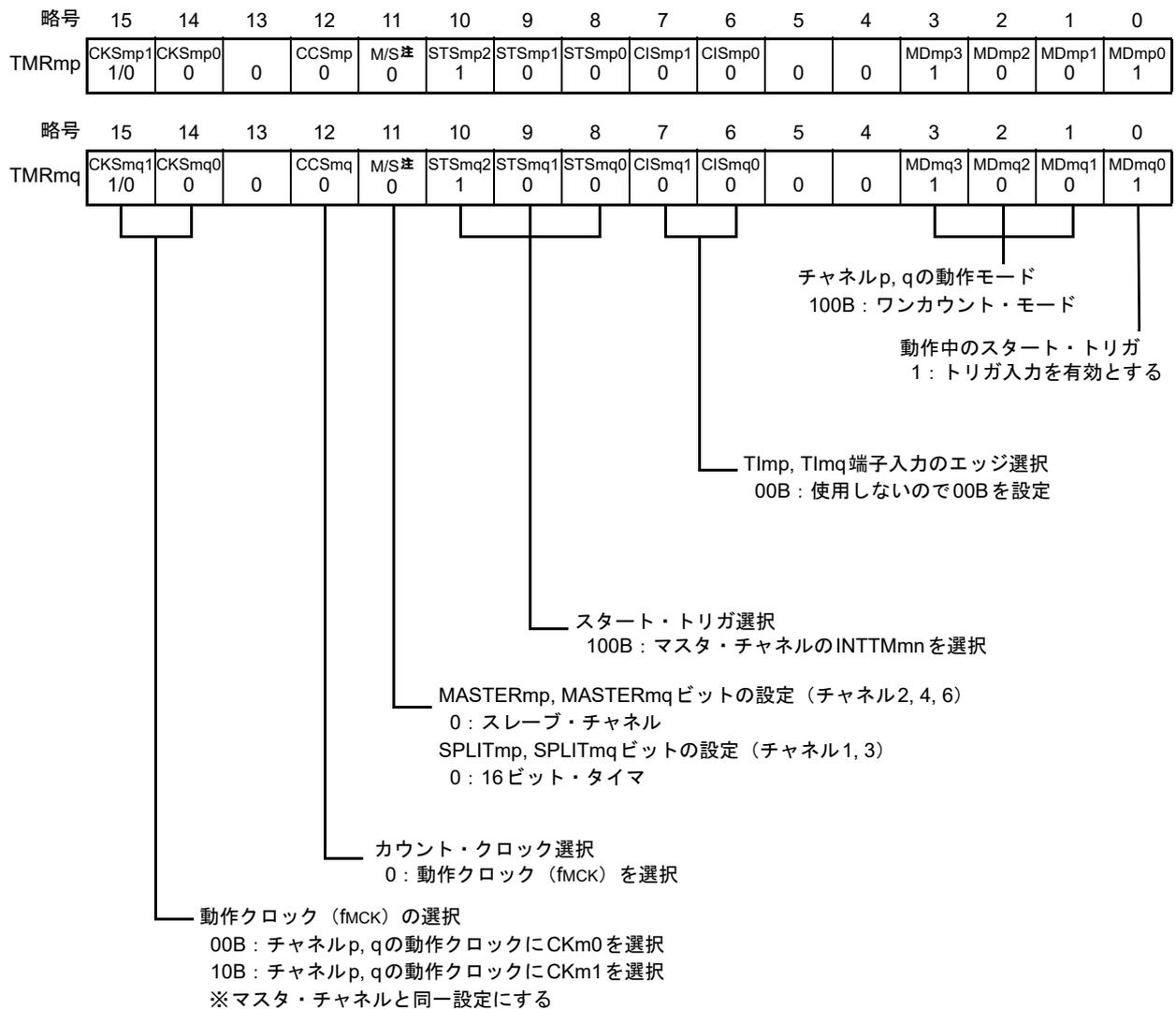
(注、備考は次ページに続きます)

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1  
TMRm0の場合 : 0固定

**備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4)

図7-82 多重PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2種類のPWMを出力する場合)

(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



(b) タイマ出力レジスタ m (TOM)

	ビットq	ビットp	
TOM	TOMq 1/0	TOMp 1/0	0 : TOMp, TOMq より0を出力する 1 : TOMp, TOMq より1を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビットq	ビットp	
TOEm	TOEmq 1/0	TOEmp 1/0	0 : カウント動作によるTOMp, TOMq出力動作停止 1 : カウント動作によるTOMp, TOMq出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビットq	ビットp	
TOLm	TOLmq 1/0	TOLmp 1/0	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)

(注、備考は次ページに続きます)

## (e) タイマ出力モード・レジスタ m (TOMm)

	ビットq	ビットp	
TOMm	TOMmq 1	TOMmp 1	1 : スレーブ・チャンネル出力モードを設定

- 注** TMRm2, TMRm4, TMRm6の場合 : MASTERmp, MASTERmq ビット  
 TMRm1, TMRm3の場合 : SPLITmp, SPLITmq ビット  
 TMRm5, TMRm7の場合 : 0固定

- 備考** m : ユニット番号 (m = 0, 1)、n : マスタ・チャンネル番号 (n = 0, 2, 4)  
 p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号  
 n < p < q ≤ 7 (p, qは整数)

図7 - 83 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値、スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp, TOMmqビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し、TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し、TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態  ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力

図7 - 83 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 (動作再開時のみTOEmp, TOEmq (スレーブ) ビットに1を設定する) タイマ・チャンネル開始レジスタ m (TSm) のTSmn (マスタ)、TSmp, TSmq (スレーブ) ビットに同時に1を設定する TSmn, TSmp, TSmq ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmq = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp, TMRmq レジスタ、TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットは、設定値変更禁止 TDRmn, TDRmp, TDRmq レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmq レジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmq レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) はTDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmn レジスタはTDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmp レジスタ値をTCRmp レジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMP出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMP出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmq レジスタ値をTCRmq レジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp, TTmq (スレーブ) ビットに同時に1を設定する TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmq レジスタはカウント値を保持して停止 TOMP, TOMq出力は初期化されず、状態保持
	スレーブ・チャンネルのTOEmp, TOEmq ビットに0を設定し、TOMP, TOMq ビットに値を設定する	TOMP, TOMq 端子はTOMP, TOMq 設定レベルを出力
	TAU停止 TOMP, TOMq 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOMP, TOMq ビットに0を設定する TOMP, TOMq 端子の出力レベルを保持不要の場合 設定不要	TOMP, TOMq 端子出力レベルはポート機能により保持される。
	PER0 レジスタのTAUmEN ビットに0を設定する 全回路を初期化する場合はPRR0 レジスタのTAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOMn ビットが0になり、TOMn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2, 4)  
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号  
n < p < q ≤ 7 (p, qは整数)

## 7.10 タイマ・アレイ・ユニット使用時の注意事項

### 7.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

### 7.10.2 タイマ出力をELCLのイベント入力として使用するときの注意事項

タイマ・アレイ・ユニット0のチャンネル0～7のタイマ出力 (TO00-TO07) は、ロジック&イベント・リンク・コントローラ (ELCL) のイベント入力として使用可能です。ELCLのイベント入力として使用し、TO0m端子に出力させたくない場合には、ポート・ファンクション出力許可レジスタ0 (PFOE0) の対応するビットを0に設定してください。

詳細は **4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx)** を参照してください。

## 第8章 リアルタイム・クロック (RTC)

### 8.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能（周期：0.5秒、1秒、1分、1時間、1日、1月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hzの端子出力機能

リアルタイム・クロック割り込み信号 (INTRTC) を、STOP モードからのウェイク・アップや A/D コンバータの SNOOZE モードのトリガに使用します。

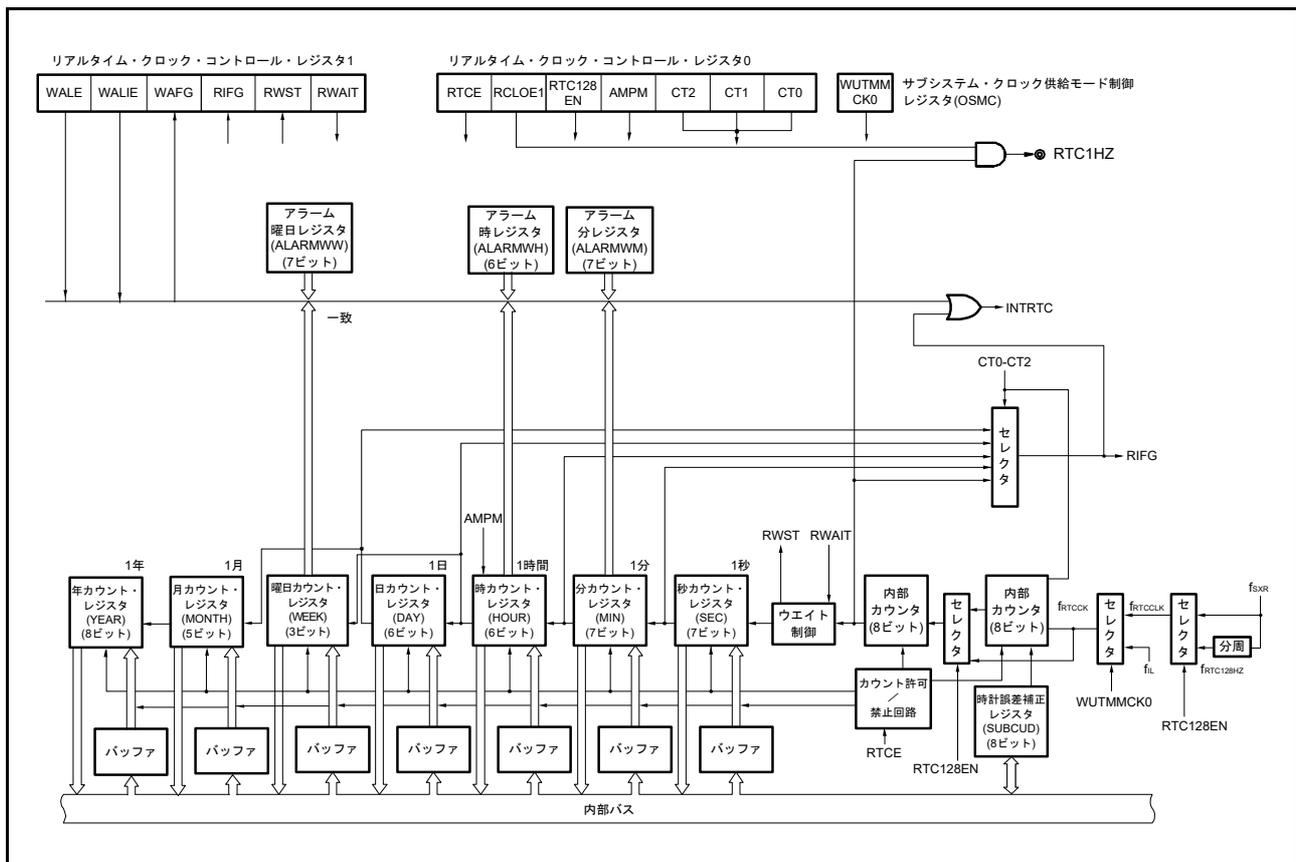
## 8.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表8-1 リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ (16ビット)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図8-1 リアルタイム・クロックのブロック図



**注意** リアルタイム・クロック制御部の動作クロックにサブシステム・クロック (fsXR = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fIL = 32.768 kHz) を選択時は、定周期割り込み機能のみ使用できます。

### 8.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

**備考** xx = 3

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ <sup>注1</sup>	カレンダー系レジスタ <sup>注2</sup>
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

**注1.** RTCC0, RTCC1, SUBCUD

**注2.** SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW

リセット発生により、SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW レジスタはリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

### 8.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは、必ずビット7 (RTCWEN) を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCWEN	IICA1EN <sup>注1</sup>	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN <sup>注2</sup>	TAU0EN
RTCWEN	リアルタイム・クロックへのアクセス制御							
0	<ul style="list-style-type: none"> <li>リアルタイム・クロックで使用するSFRへのライト不可</li> <li>リアルタイム・クロックは動作可能</li> </ul>							
1	<ul style="list-style-type: none"> <li>リアルタイム・クロックで使用するSFRへのリード／ライト可</li> <li>リアルタイム・クロックは動作可能</li> </ul>							

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. リアルタイム・クロックを使用する際には、カウント・クロック (f<sub>RTCC</sub>) が発振安定した状態で、必ず最初に RTCWEN = 1に設定してから下記のレジスタの設定を行ってください。RTCWEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります (サブシステム・クロック供給モード制御レジスタ (OSMC)、ポート・モード・レジスタ3 (PM3)、ポート・レジスタ3 (P3) は除く)。

- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWMM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

注意3. 次のビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

### 8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0 ビットでリアルタイム・クロックの制御クロック (fRTCCK) を選択できます。

また、RTCLPC ビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPC ビットの設定については、**第6章 クロック発生回路**を参照してください。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定になります。

図8-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H

リセット時: 不定

R/W属性 : R/W

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	×	×	0	HIPREC
WUTMMCK 0	リアルタイム・クロック制御部の動作クロック (fRTCCK) の選択							
0	サブシステム・クロックXR (fsXR) もしくはfRTC128HZ (RTC128ENビットで選択)							
1	低速オンチップ・オシレータ・クロック (fiL) 注1,2							

**注1.** サブシステム・クロックX発振中にWUTMMCK0ビットを1に設定することは禁止です。

**注2.** WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32ビット・インターバル・タイマ、シリアル・インタフェースUARTA0, 1、リモコン信号受信機能、クロック出力/ブザー出力機能のすべての機能が停止中のみ可能です。

**注意** リアルタイム・クロック制御部の動作クロックにサブシステム・クロックXR (fsXR = 32.768 kHz) もしくはfRTC128HZを選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fiL = 32.768 kHz) を選択時は、定周期割り込み機能のみ使用できます。

### 8.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック動作の開始/停止、RTC1HZ端子の制御、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00Hになります。

図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (1/2)

アドレス : F022BH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RTC128EN	AMPM	CT2	CT1	CT0
RTCE <sup>注</sup>	リアルタイム・クロックの動作制御							
0	カウンタ動作停止							
1	カウンタ動作開始							
RCLOE1	RTC1HZ端子の出力制御							
0	RTC1HZ端子の出力 (1 Hz) 禁止							
1	RTC1HZ端子の出力 (1 Hz) 許可							
RTC128EN	リアルタイム・クロックの動作クロック (fRTCCLK) 選択							
0	32.768 kHz							
1	128 Hz							
<ul style="list-style-type: none"> <li>• RTC128EN = 1のときはリアルタイム・クロックが128 Hzで動作し低消費動作になります。</li> <li>• RTC128EN = 1のとき、時計誤差補正機能は使用できません。</li> <li>• RTC128EN = 1に設定するときは、OSMCレジスタのWUTMMCKビットを0にしてください。</li> </ul>								
AMPM	12時間制/24時間制の選択							
0	12時間制 (午前/午後を表示)							
1	24時間制							
<ul style="list-style-type: none"> <li>• AMPMビットの値を変更する場合は、RWAITビット (リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のビット0) = 1にしてから書き換えてください。AMPMビットの値を変更すると、時カウンタ・レジスタ (HOUR) の値は設定した時間制に対応した値に変更されます。</li> <li>• 時間桁表示表を表8-2に示します。</li> </ul>								

図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (2/2)

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウントアップに同期)
0	1	0	1秒に1度 (秒カウントアップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

**注** RTCE = 1 に設定直後にSTOPモードに移行する場合は、**図8-18 RTCE = 1に設定後のHALT/STOPモードへの移行手順**に従ってSTOPモードに移行してください。

**注意1.** RTCE = 1のときに、RCLOE1ビットを変更しないでください。

**注意2.** RTCE = 0のときに、RCLOE1 = 1に設定しても1 Hz出力されません。

**注意3.** ビット6には必ず0を設定してください。

**注意4.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してRTCC0レジスタへアクセスしないでください。

**備考** × : Don't care

### 8.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。  
RTCC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
パワーオン・リセット回路による内部リセットの発生により、00Hになります。

図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス : F022CH  
リセット時: 00H  
R/W属性 : R/W

略号	<7>	<6>	5	<4>	<3>	2	<1>	<0>
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT
WALE		アラームの動作制御						
0		一致動作無効						
1		一致動作有効						
カウンタ動作中 (RTCE = 1) かつWALIE = 1のときにWALEビットへ設定する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ、アラーム分レジスタ (ALARMWWM)、アラーム時レジスタ (ALARMWH)、アラーム曜日レジスタ (ALARMWW)) を設定する場合、WALEビットを一致動作無効0にしてください。								
WALIE		アラーム割り込み (INTRTC) 機能の動作制御						
0		アラームの一致による割り込みを発生しない						
1		アラームの一致による割り込みを発生する						
WAFG		アラーム検出ステータス・フラグ						
0		アラーム不一致						
1		アラームの一致検出						
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、fRTCKの1クロック後に1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。								
RIFG		定周期割り込みステータス・フラグ						
0		定周期割り込み発生なし						
1		定周期割り込み発生あり						
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。								

図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWST	リアルタイム・クロックのウェイト状態フラグ <sup>注1</sup>
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITビットの設定が有効であることを示すステータスです。  
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

★

カウンタの動作を制御します。  
カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。  
内部カウンタ (16ビット) は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。アラーム割り込みを使用するときに、カウンタの読み出し/書き込みを行う場合は、RTCC0レジスタのCT2-CT0ビットを010B (1秒毎に定周期割り込み発生) にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。  
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能 (RWST = 1) となるまで最大fRTCCKの1クロックの時間がかかります。<sup>注2, 3</sup>  
内部カウンタ (16ビット) のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。  
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

**注1.** ビット1はRead Onlyです。

**注2.** RTCE = 1に設定した後、fRTCCKの1クロック時間内でRWAIT = 1とした場合、RWSTビットが1になるまで動作クロック (fRTCCK) の2クロック時間がかかる場合があります。

**注3.** スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、fRTCCKの1クロック時間内で、RWAIT = 1とした場合、RWSTビットが1になるまでに、動作クロック (fRTCCK) の2クロック時間がかかる場合があります。

**注意1.** RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる1を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

**注意2.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してRTCC1レジスタへアクセスしないでください。

**備考1.** 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

**備考2.** 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16ビット) はクリアされます。

### 8.3.5 秒カウント・レジスタ (SEC)

0-59 (10 進) までの値を取り、秒のカウント値を示す 8 ビットのレジスタです。

内部カウンタ (16 ビット) からのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。また設定する値は 10 進の 00-59 を BCD コードで設定してください。

SEC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-6 秒カウント・レジスタ (SEC) のフォーマット

アドレス : F0220H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

**注意1.** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

**注意2.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してSECレジスタへアクセスしないでください。

**備考** 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16 ビット) はクリアされます。

### 8.3.6 分カウント・レジスタ (MIN)

0-59 (10 進) までの値を取り、分のカウント値を示す 8 ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 00-59 を BCD コードで設定してください。

MIN レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-7 分カウント・レジスタ (MIN) のフォーマット

アドレス : F0221H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

**注意1.** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

**注意2.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してMINレジスタへアクセスしないでください。

### 8.3.7 時カウント・レジスタ (HOUR)

0-23 または 1-12, 21-32 (10 進) までの値を取り、時のカウント値を示す 8 ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ 0 (RTCC0) のビット 3 (AMPM) で設定した時間制に応じて、10 進の 00-23 または 01-12, 21-32 を BCD コードで設定してください。

AMPM ビットの値を変更すると、HOUR レジスタの値は設定した時間制に対応する値に変更されます。

HOUR レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-8 時カウント・レジスタ (HOUR) のフォーマット

アドレス : F0222H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

**注意1.** HOUR レジスタのビット 5 (HOUR20) は、AMPM = 0 (12 時間制) を選択した場合、AM (0) / PM (1) を示します。

**注意2.** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

**注意3.** スタンバイ・モード時は、SNOOZE モード・シーケンサを使用して HOUR レジスタへアクセスしないでください。

AMPM ビットの設定値、および時カウント・レジスタ (HOUR) 値と時間の関係を表 8 - 2 に示します。

表 8 - 2 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOUR レジスタ	時間	HOUR レジスタ
0時	00H	AM12時	12H
1時	01H	AM1時	01H
2時	02H	AM2時	02H
3時	03H	AM3時	03H
4時	04H	AM4時	04H
5時	05H	AM5時	05H
6時	06H	AM6時	06H
7時	07H	AM7時	07H
8時	08H	AM8時	08H
9時	09H	AM9時	09H
10時	10H	AM10時	10H
11時	11H	AM11時	11H
12時	12H	PM12時	32H
13時	13H	PM1時	21H
14時	14H	PM2時	22H
15時	15H	PM3時	23H
16時	16H	PM4時	24H
17時	17H	PM5時	25H
18時	18H	PM6時	26H
19時	19H	PM7時	27H
20時	20H	PM8時	28H
21時	21H	PM9時	29H
22時	22H	PM10時	30H
23時	23H	PM11時	31H

HOUR レジスタ値は、AMPM ビットが 0 のときに 12 時間表示、1 のときに 24 時間表示となります。

12 時間表示の場合は、HOUR レジスタの 5 ビット目で午前/午後を表示し、午前 (AM) のときに 0 に、午後 (PM) のときに 1 となります。

### 8.3.8 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り、日のカウント値を示す 8 ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは、次に示すようにカウントします。

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の 01-31 を BCD コードで設定してください。

DAY レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-9 日カウント・レジスタ (DAY) のフォーマット

アドレス : F0224H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

**注意1.** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

**注意2.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してDAYレジスタへアクセスしないでください。

### 8.3.9 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の2クロック後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-10 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : F0223H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

**注意1.** 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

**注意2.** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

**注意3.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してWEEKレジスタへアクセスしないでください。

### 8.3.10 月カウント・レジスタ (MONTH)

MONTH レジスタは 1-12 (10 進) までの値を取り、月のカウント値を示す 8 ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 01-12 を BCD コードで設定してください。

MONTH レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-11 月カウント・レジスタ (MONTH) のフォーマット

アドレス : F0225H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意1. カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してMONTHレジスタへアクセスしないでください。

### 8.3.11 年カウント・レジスタ (YEAR)

0-99 (10 進) までの値を取り、年のカウント値を示す 8 ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバーフローによりカウント・アップします。

00, 04, 08, …, 92, 96 がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に MONTH レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 00-99 を BCD コードで設定してください。

YEAR レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-12 年カウント・レジスタ (YEAR) のフォーマット

アドレス : F0226H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意1. カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してYEARレジスタへアクセスしないでください。

### 8.3.12 時計誤差補正レジスタ (SUBCUD)

内部カウンタ (16 ビット) から秒カウンタ・レジスタ (SEC) へオーバーフローする値 (基準値: 7FFFH) を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUD レジスタは、8 ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00H になります。

図8-13 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : F0227H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0
DEV	時計誤差補正のタイミングの設定							
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正							
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正							
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。								
• DEV = 0設定時: SEC = 00H, 20H, 40Hの期間								
• DEV = 1設定時: SEC = 00Hの期間								
F6	時計誤差補正值の設定							
0	$\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$ だけ増加							
1	$\{(F5, F4, F3, F2, F1, F0) + 1\} \times 2$ だけ減少							
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。								
/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。								
補正值の範囲: (F6 = 0のとき) 2, 4, 6, 8, ... 120, 122, 124								
(F6 = 1のとき) -2, -4, -6, -8, ... -120, -122, -124								

次に、時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	-189.2 ~ +189.2 ppm	-63.1 ~ +63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

**注意1.** 128 Hz動作モード (RTC128EN = 1) 時は、この時計誤差の補正機能を使用できません。RTC128EN = 0を選択時のみ、時計誤差補正ができます。

**注意2.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してSUBCUDレジスタへアクセスしないでください。

**備考** 補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

### 8.3.13 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWM レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

**注意** 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8-14 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス : F0228H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

**注意** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してALARMWMレジスタへアクセスしないでください。

### 8.3.14 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWH レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

**注意** 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8-15 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス : F0229H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

**注意1.** ALARMWHレジスタのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

**注意2.** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してALARMWHレジスタへアクセスしないでください。

### 8.3.15 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。  
ALARMWW レジスタは、8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、初期化はされません。

図8-16 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス : F022AH  
リセット時: 不定  
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10	1	10	1	10	1	10	1
	W	W	W	W	W	W	W	時	時	分	分	時	時	分	分
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月~金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

**注意** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してALARMWWレジスタへアクセスしないでください。

### 8.3.16 リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するレジスタ

リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx) を参照してください。

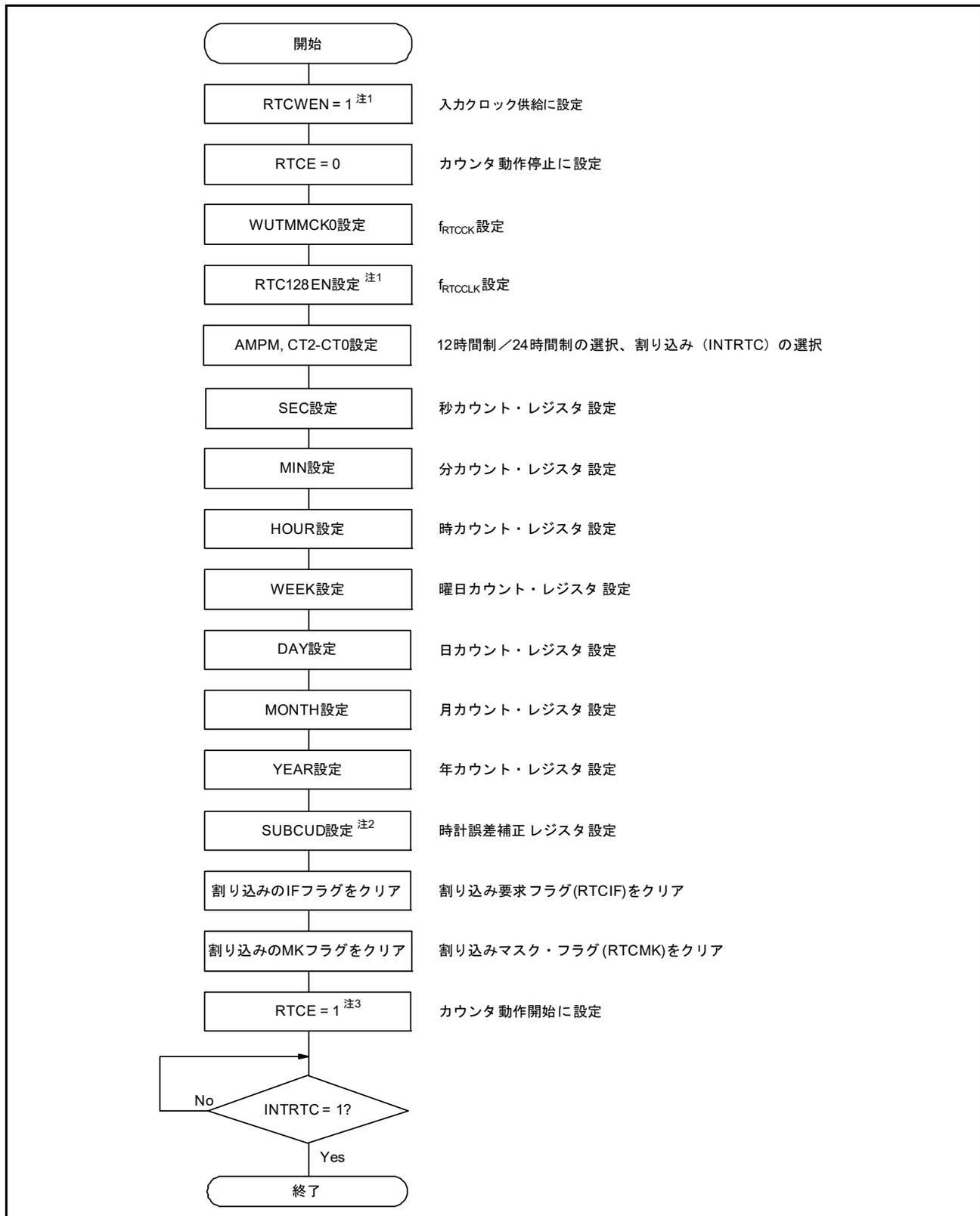
RTC1HZ を兼用する端子を 1 Hz 出力として使用するときは、PM30 ビットに 0、P30 ビットに 0、PMCT30 ビットに 0 を設定してください。

**備考** xx = 3

## 8.4 リアルタイム・クロックの動作

### 8.4.1 リアルタイム・クロックの動作開始

図8-17 リアルタイム・クロックの動作開始手順



- 注1.** カウント・クロック (f<sub>RTCK</sub>) が発振安定状態において、最初に RTCWEN = 1 の設定と RTC128EN の設定を行ってください。
- 注2.** 時計誤差補正する必要がある場合のみ。補正値の算出方法は、**8.4.6 リアルタイム・クロックの時計誤差補正例**を参照してください。  
RTC128EN = 1 設定時、時計誤差補正機能は使用できません。
- 注3.** RTCE = 1 のあとに INTRTC = 1 を待たずに HALT/STOP モードへ移行する場合は、**8.4.2 動作開始後の HALT/STOP モードへの移行**の手順を確認してください。

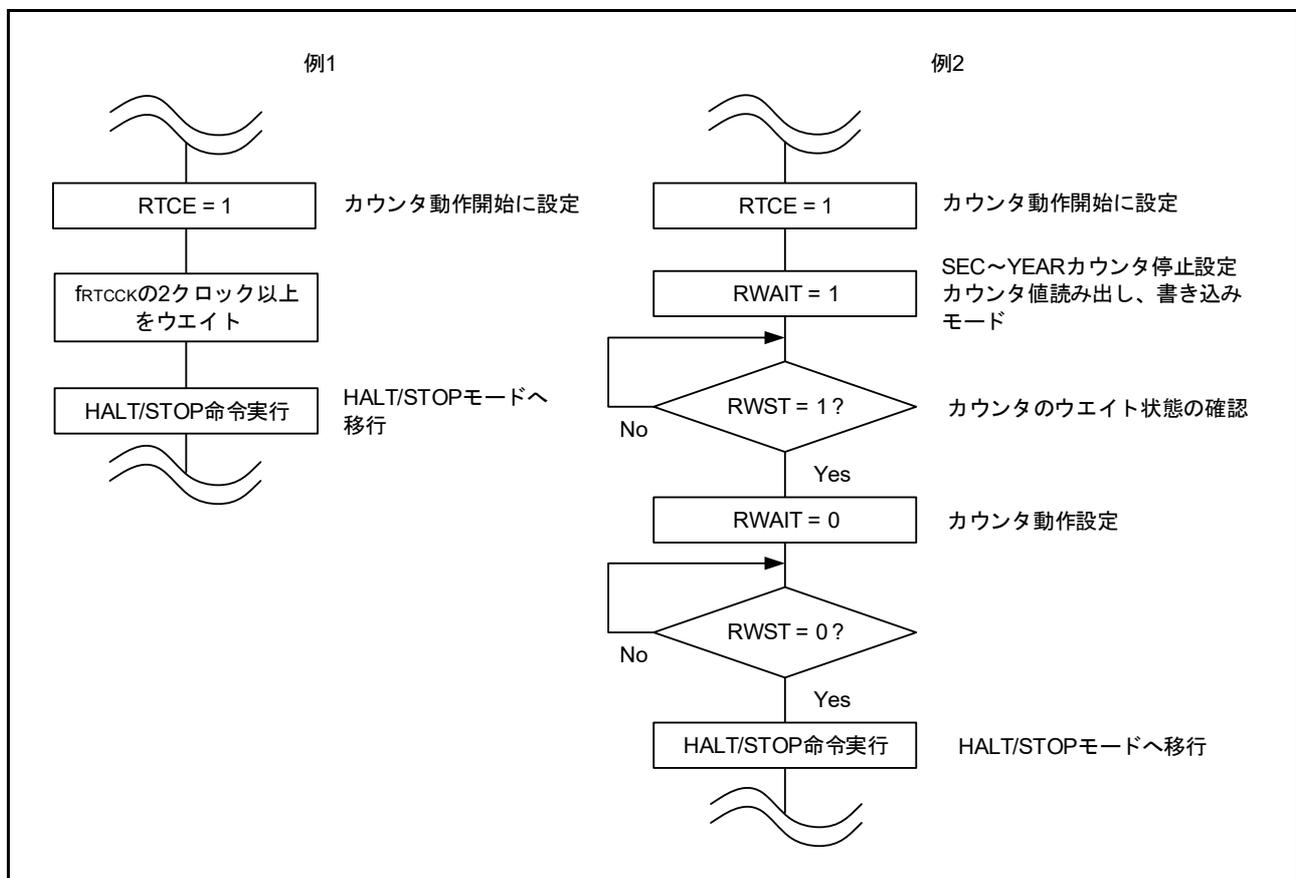
### 8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1 に設定直後に HALT/STOP モードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1 に設定後、INTRTC 割り込みの発生以降に HALT/STOP モードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1 に設定してから、カウント・クロック (f<sub>RTCCK</sub>) の2クロック分以上経過後に HALT/STOP モードへ移行する (図8-18 例1参照)。
- RTCE = 1 に設定後、RWAIT = 1 に設定し、RWST ビットが1になるのをポーリングで確認する。それから、RWAIT = 0 に設定し、RWST ビットが0になったのを再度ポーリングで確認後に HALT/STOP モードへ移行する (図8-18 例2参照)。

図8-18 RTCE = 1 に設定後の HALT/STOP モードへの移行手順

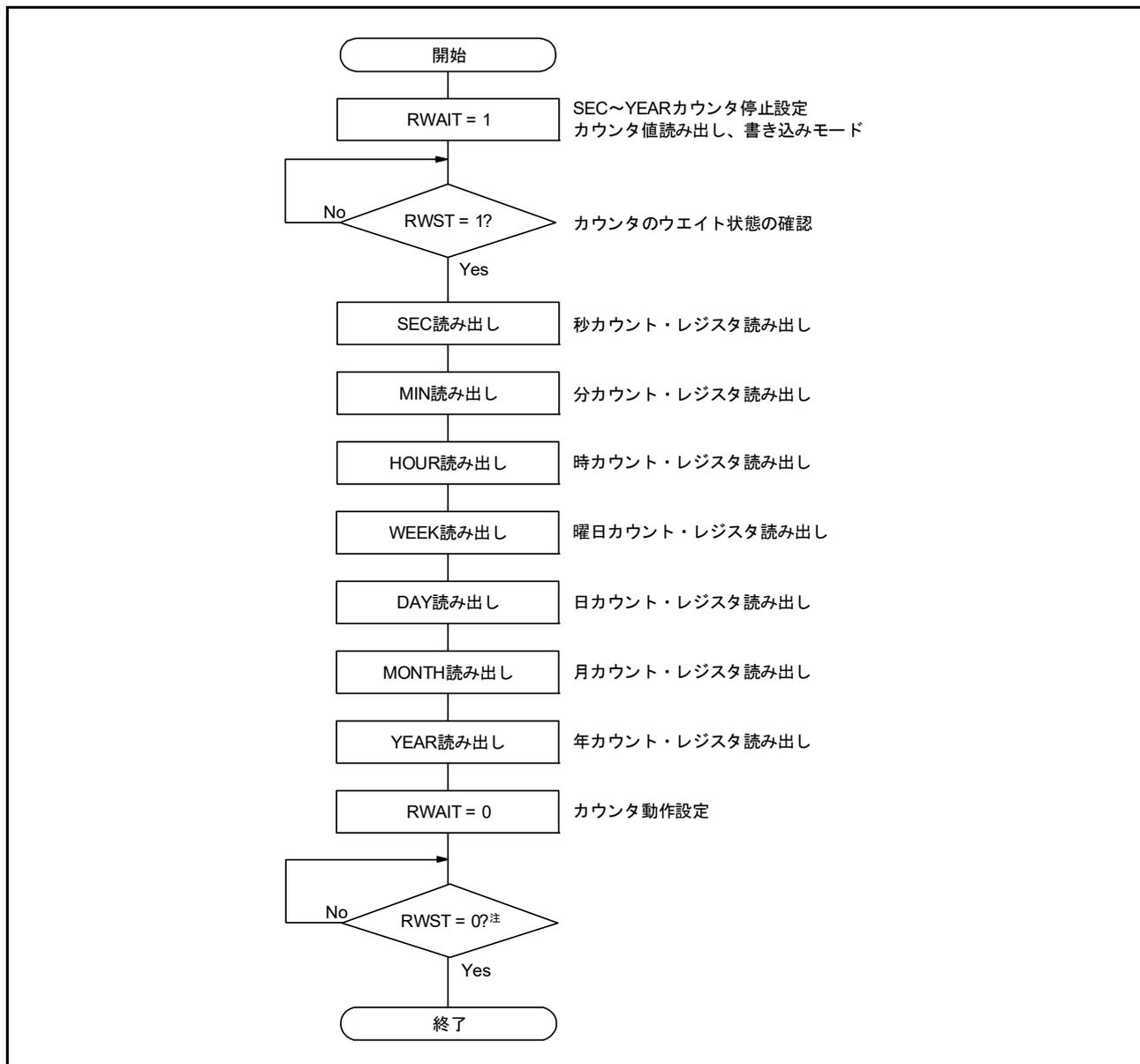


## 8.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初に RWAIT = 1 にしてから行ってください。

カウンタの読み出し／書き込み終了後は、RWAIT = 0 にしてください。

図8 - 19 リアルタイム・クロックの読み出し手順

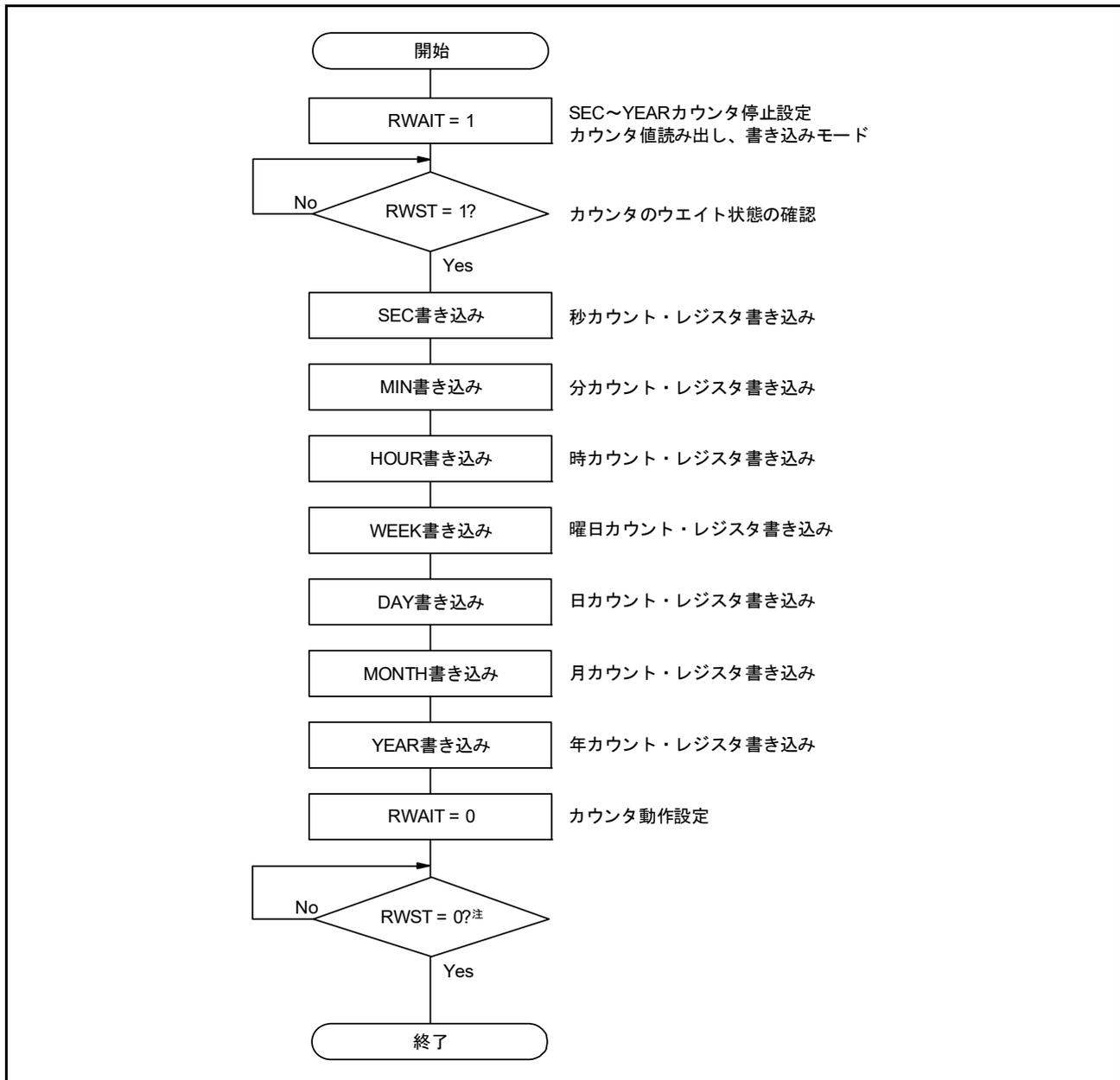


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

- ★ 注意 RWAIT = 1 から RWAIT = 0 までの処理を1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0レジスタのCT2-CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

備考 秒カウント・レジスタ（SEC）、分カウント・レジスタ（MIN）、時カウント・レジスタ（HOUR）、曜日カウント・レジスタ（WEEK）、日カウント・レジスタ（DAY）、月カウント・レジスタ（MONTH）、年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。  
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出してもかまいません。

図8-20 リアルタイム・クロックの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

★ 注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0レジスタのCT2-CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

注意2. カウンタ動作中（RTCE = 1）にSEC、MIN、HOUR、WEEK、DAY、MONTH、YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。

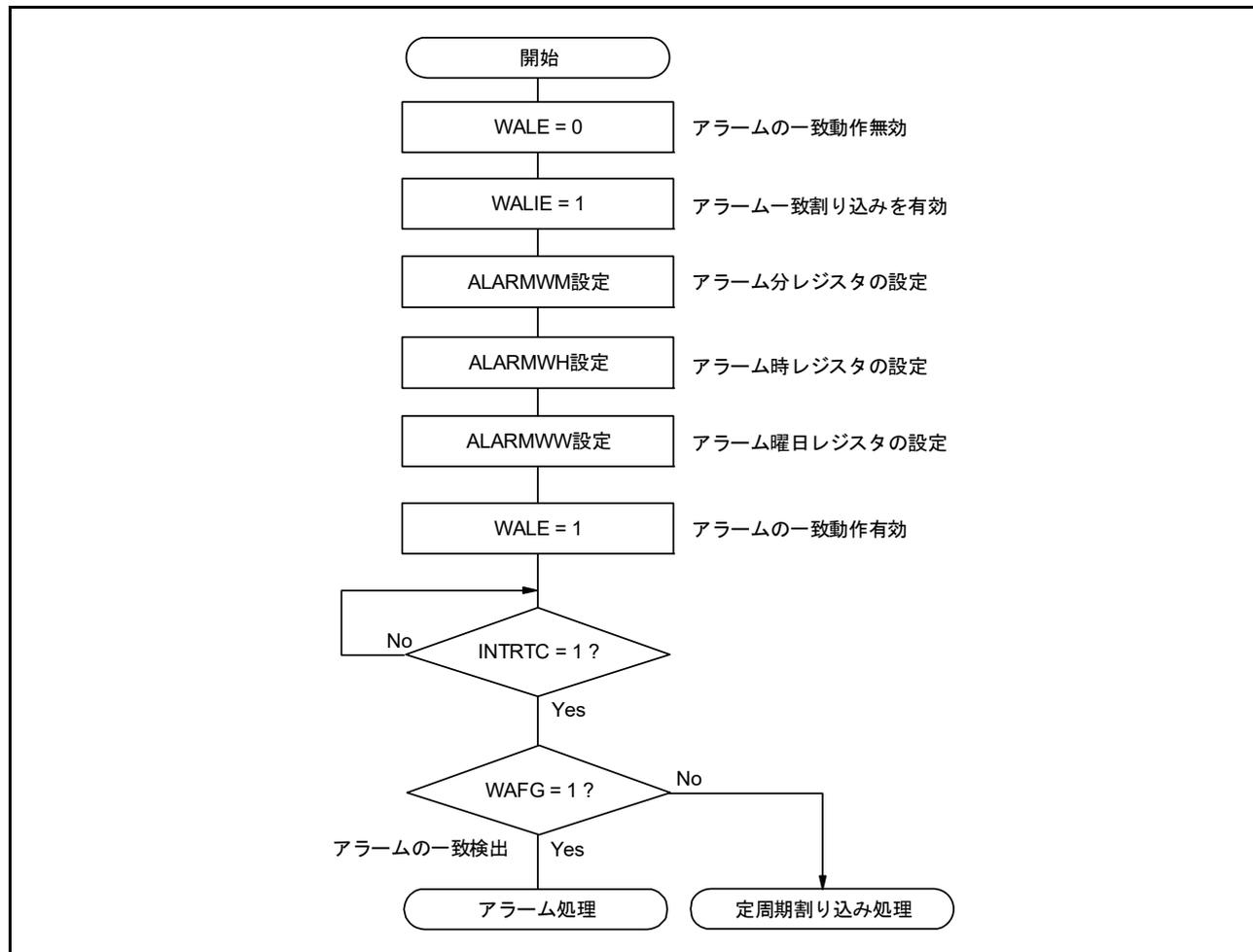
備考 秒カウント・レジスタ（SEC）、分カウント・レジスタ（MIN）、時カウント・レジスタ（HOUR）、曜日カウント・レジスタ（WEEK）、日カウント・レジスタ（DAY）、月カウント・レジスタ（MONTH）、年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えてもかまいません。

### 8.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は、最初に WALE = 0 (アラーム動作無効) にしてから行ってください。

図8-21 アラーム処理手順

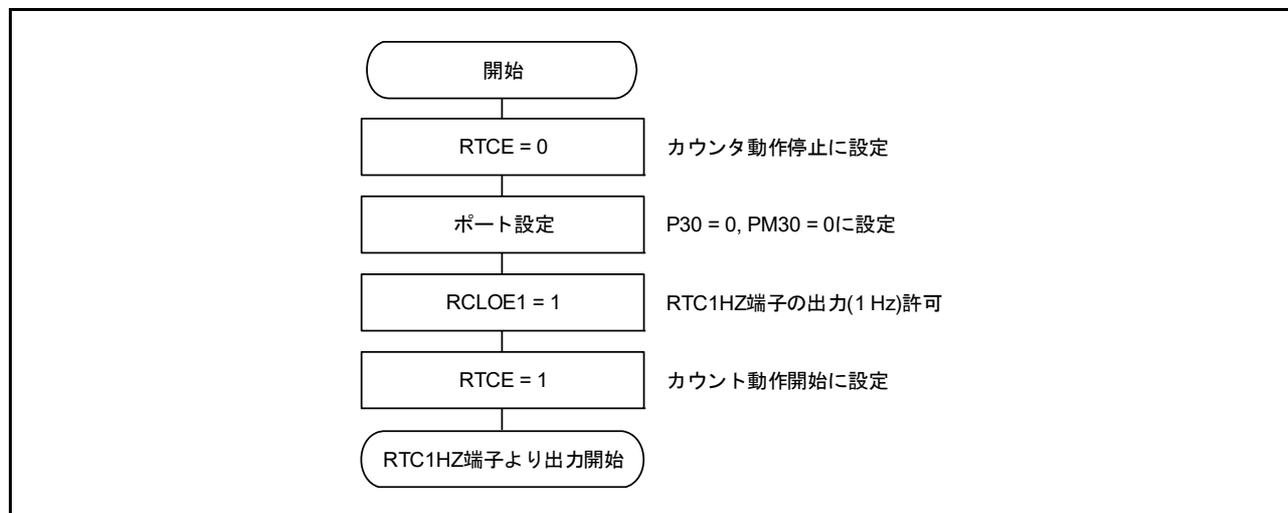


**備考1.** アラーム分レジスタ (ALARMWWM)、アラーム時レジスタ (ALARMWWM)、アラーム曜日レジスタ (ALARMWWM) の書き込みの順番に制限はありません。

**備考2.** 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

## 8.4.5 リアルタイム・クロックの1 Hz出力

図8 - 22 1 Hz出力の設定手順



**注意** カウント・クロック (f<sub>RTCCK</sub>) が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。

### 8.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

#### 補正値の算出方法例

内部カウンタ（16ビット）のカウンタ値を補正する際の補正値は、次の式で算出できます。補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

#### (DEV = 0 の場合)

補正値<sup>注</sup> = 1分間の補正カウント数 ÷ 3 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60 ÷ 3

#### (DEV = 1 の場合)

補正値<sup>注</sup> = 1分間の補正カウント数 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60

**注** 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

(F6 = 0の場合) 補正値 = {(F5, F4, F3, F2, F1, F0) - 1} × 2

(F6 = 1の場合) 補正値 = -{(F5, F4, F3, F2, F1, F0) + 1} × 2

(F6, F5, F4, F3, F2, F1, F0) = (\*, 0, 0, 0, 0, 0, \*) のときは、時計誤差補正を行いません。\*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

**備考1.** 補正値は、2, 4, 6, 8, ……120, 122, 124、または-2, -4, -6, -8, ……-120, -122, -124です。

**備考2.** 発振周波数とは、カウンタ・クロック (fRTCLK) の値です。

時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 × 32768で求めることができます。

**備考3.** ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

**補正例①**

32772.3 Hz から 32768 Hz (32772.3 Hz – 131.2 ppm) への補正例

**【発振周波数の測定】**

各製品の発振周波数<sup>注</sup>はPCLBUZ0端子から約32.768 kHzを出力するか、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時にRTC1HZ端子から約1 Hzを出力して測定します。

**注** RTC1Hz出力の設定手順は、**8.4.5 リアルタイム・クロックの1 Hz出力**を、PCLBUZ0端子から約32 kHzの出力の設定手順は、**10.4 クロック出力/ブザー出力制御回路の動作**を参照してください。

**【補正値の算出】**

(PCLBUZ0端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz – 131.2 ppm) とすると、-131.2 ppmは補正範囲が-63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1 \text{ 分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

**【(F6 ~ F0) への設定値の算出】**

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

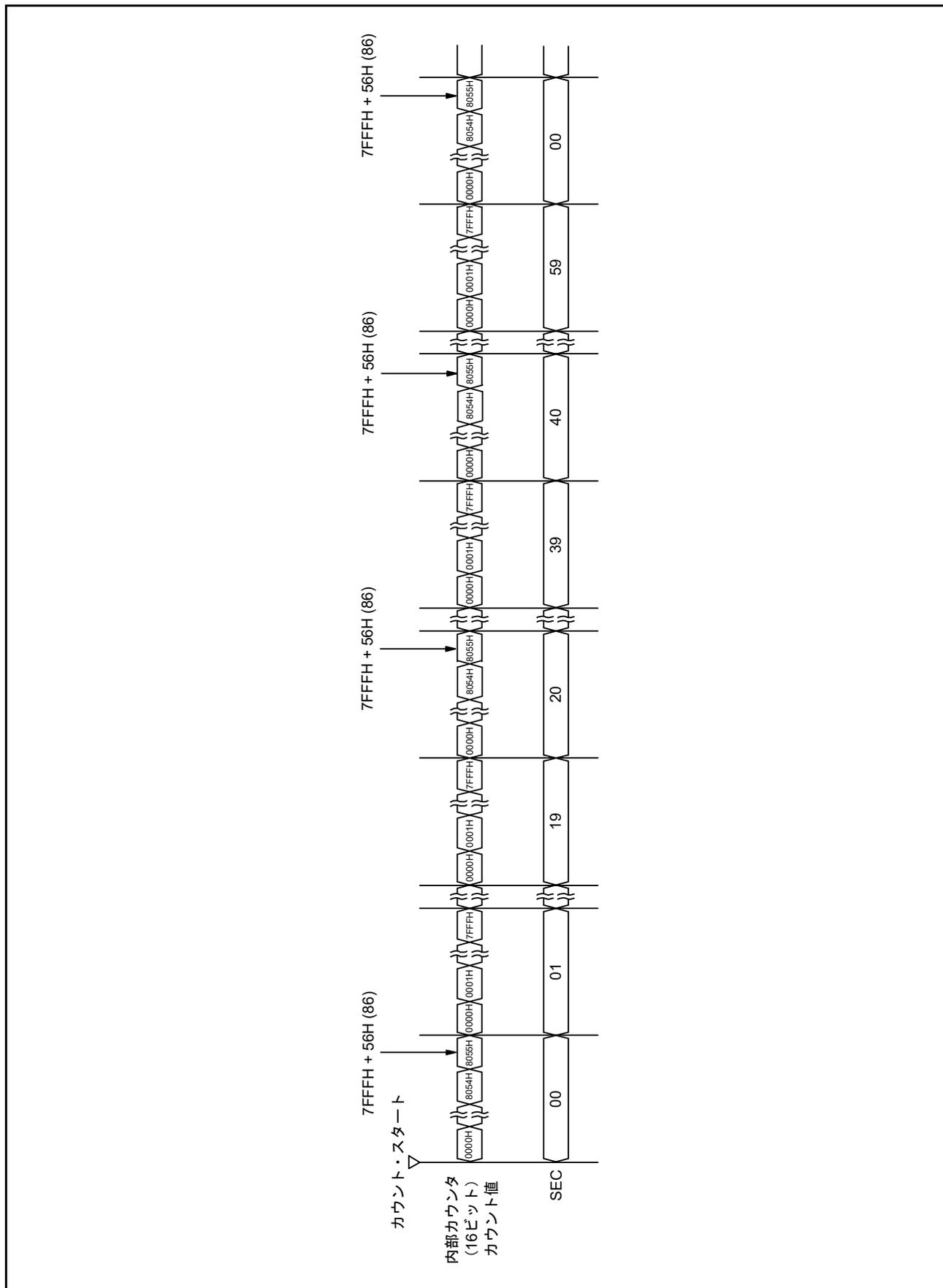
$$\begin{aligned} \{(F5, F4, F3, F2, F1, F0) - 1\} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz – 131.2 ppm) への補正の場合、

DEV = 0、補正値 = 86 (SUBCUDレジスタのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作を**図8 - 23**に示します。

図8 - 23 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作



**補正例②**

32767.4 Hz から 32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

**【発振周波数の測定】**

各製品の発振周波数<sup>注</sup>を、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時に RTC1HZ 端子から約 1 Hz を出力して測定します。

注 RTC1Hz出力の設定手順は、**8.4.5 リアルタイム・クロックの1 Hz出力**を参照してください。

**【補正値の算出】**

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \approx 32767.4 \text{ Hz}$$

ターゲット周波数を 32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1 とします。

DEV = 1 の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= \text{1分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

**【(F6 ~ F0) への設定値の算出】**

(補正値 = -36 の場合)

補正値が 0 以下 (速くする場合) では、F6 = 1 とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

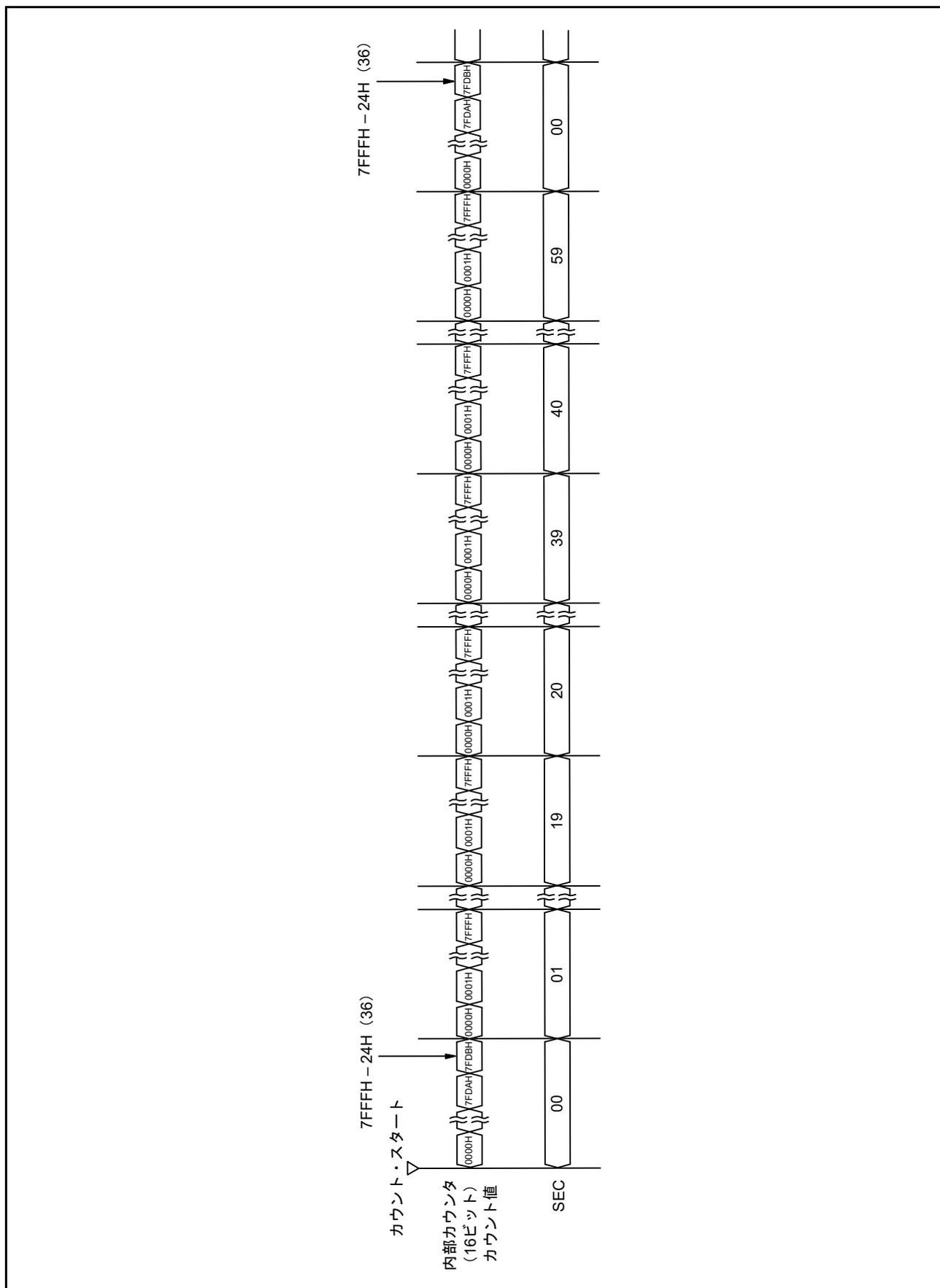
$$\begin{aligned} -\{(/F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hz から 32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、

DEV = 1、補正値 = -36 (SUBCUD レジスタのビット 6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を **図8-24** に示します。

図8 - 24 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作



## 第9章 32ビット・インターバル・タイマ (TML32)

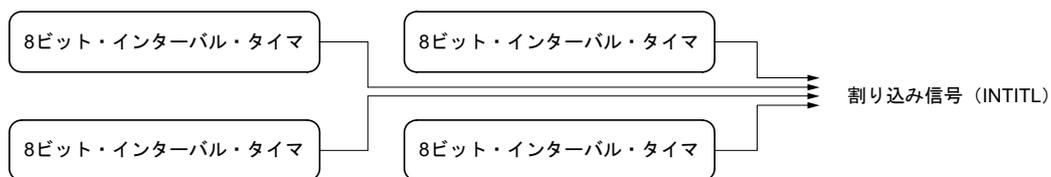
32ビット・インターバル・タイマは同機能を持つ8ビット・インターバル・タイマを4つ（チャンネル0、チャンネル1、チャンネル2、チャンネル3）持ち、それぞれが独立して動作します。また、2つの8ビット・インターバル・タイマを連結動作させることで16ビット・インターバル・タイマとして、4つの8ビット・インターバル・タイマを連結動作させることで32ビット・インターバル・タイマとして動作することができます。

### 9.1 概要

32ビット・インターバル・タイマはCPUと非同期のfMXP、fSXP、fIHP、fIMPクロックまたはELCLからのイベント入力で動作する32ビット・インターバル・タイマです。32ビット・インターバル・タイマは、次のような機能があります。

#### (1) 8ビット・カウンタ・モード

一定間隔で割り込み (INTITL) を発生する8ビットのインターバル・タイマを4つ利用できます。



#### (2) 16ビット・カウンタ・モード

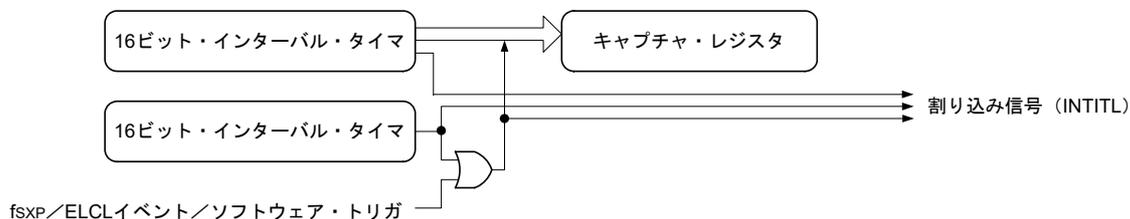
一定間隔で割り込み (INTITL) を発生する16ビットのインターバル・タイマを2つ利用できます。



## (3) 16ビット・キャプチャ・モード

一定間隔で割り込み (INTITL) を発生する16ビットのインターバル・タイマを2つ利用できます。

16ビット・インターバル・タイマのカウンタ値は所定のキャプチャ・トリガでキャプチャ・レジスタに保持できます。



## (4) 32ビット・カウンタ・モード

一定間隔で割り込み (INTITL) を発生する32ビットのインターバル・タイマを1つ利用できます。



表9-1に32ビット・インターバル・タイマの仕様を、図9-1に32ビット・インターバル・タイマのブロック図を示します。

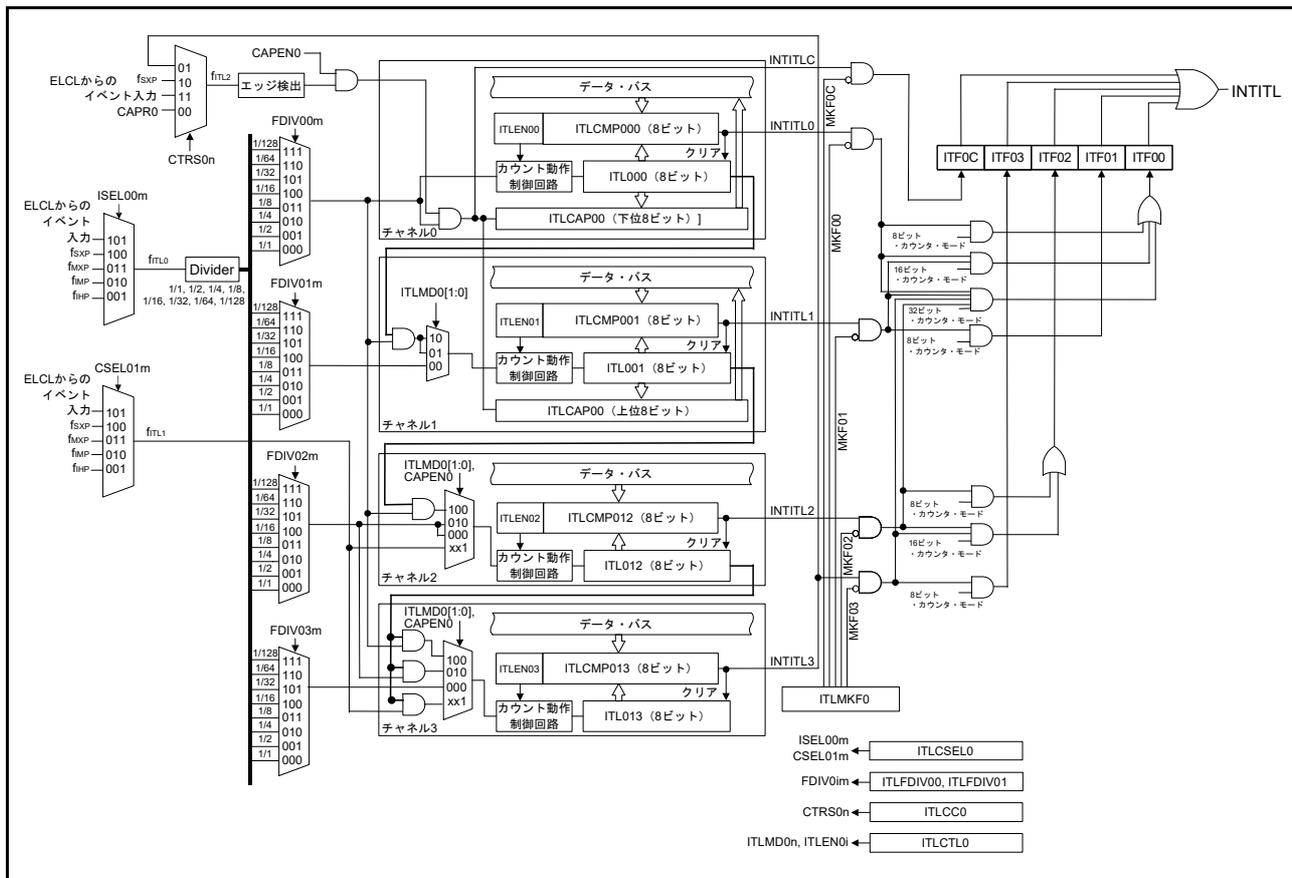
表9-1 32ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	<ul style="list-style-type: none"> <li>• fMXP</li> <li>• fSXP</li> <li>• fIHP</li> <li>• fIMP</li> <li>• ELCLからのイベント入力</li> </ul>
キャプチャ・クロック (キャプチャ・トリガをタイマで生成する場合のタイマの動作クロック)	<ul style="list-style-type: none"> <li>• fMXP</li> <li>• fSXP</li> <li>• fIHP</li> <li>• fIMP</li> <li>• ELCLからのイベント入力</li> </ul>
分周比	• 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128
動作モード	<ul style="list-style-type: none"> <li>• 8ビット・カウンタ・モード チャンネル0、チャンネル1、チャンネル2、チャンネル3が独立した8ビット・カウンタとして動作するモード</li> <li>• 16ビット・カウンタ・モード チャンネル0とチャンネル1の組み合わせおよびチャンネル2とチャンネル3の組み合わせでカウンタが連結して16ビット・カウンタとして動作するモード</li> <li>• 32ビット・カウンタ・モード チャンネル0、チャンネル1、チャンネル2、チャンネル3を連結して32ビット・カウンタとして動作するモード</li> <li>• 16ビット・キャプチャ・モード チャンネル0、チャンネル1を連結してカウンタ・ソースで動作する16ビット・カウンタと、チャンネル2、チャンネル3を連結してキャプチャ・クロックで動作する16ビット・カウンタを用い、キャプチャ動作を行うモード</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>• 5つの割り込み要因を束ね、1本の割り込み信号INTITLを出力 <ul style="list-style-type: none"> <li>- チャンネル0、チャンネル1、チャンネル2、チャンネル3の各カウンタがコンペア値と一致</li> <li>- キャプチャ・モード時にカウンタ値のキャプチャが完了したとき出力</li> </ul> </li> </ul>

**備考** fMXP : 高速周辺クロック周波数  
fSXP : 低速周辺クロック周波数  
fIHP : 高速オンチップ・オシレータ周辺クロック周波数  
fIMP : 中速オンチップ・オシレータ周辺クロック周波数 (4 MHz)

ELCLからのイベント入力 : ELCL機能によってタイマ、シリアル通信、ポートなどの周辺機能から生成される信号です。  
詳細は第20章 ロジック&イベント・リンク・コントローラ (ELCL) を参照してください。

図9-1 32ビット・インターバル・タイマのブロック図



ITL000, ITL001, ITL012, ITL013 : 8ビット・カウンタ

16ビット・カウンタ・モードの場合、チャンネル0とチャンネル1のカウンタが連結 (ITL000+ITL001)

またチャンネル2とチャンネル3のカウンタが連結 (ITL012+ITL013)

32ビット・カウンタ・モードの場合、チャンネル0とチャンネル1とチャンネル2とチャンネル3のカウンタ

が連結 (ITL000+ITL001+ITL012+ITL013)

ISEL00m, CSEL01m : ITLCSEL0 クロック選択レジスタのビット

FDIV0im : ITLFDIV0n 分周レジスタのビット

CTRS0n : ITLCC0 キャプチャ制御レジスタのビット

ITLMD0n, ITLEN0i : ITLCTL0 制御レジスタのビット

備考 n = 0, 1 m = 0, 1, 2 i = 0, 1, 2, 3

## 9.2 32ビット・インターバル・タイマを制御するレジスタ

32ビット・インターバル・タイマを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)
- インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n) (n = 0, 1)
- インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00)
- インターバル・タイマ制御レジスタ (ITLCTL0)
- インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)
- インターバル・タイマ分周レジスタ0 (ITLFDIV00)
- インターバル・タイマ分周レジスタ1 (ITLFDIV01)
- インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)
- インターバル・タイマ・ステータス・レジスタ (ITLS0)
- インターバル・タイマ一致検出マスク・レジスタ (ITLMKF0)

### 9.2.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアのクロック供給／許可を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

32ビット・インターバル・タイマを使用する場合は、必ずビット4 (TML32EN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1 レジスタは00Hになります。

図9-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
TML32EN	32ビット・インターバル・タイマの入カクロック供給の制御							
0	入力クロック供給停止 ・32ビット・インターバル・タイマで使用するSFRへのライト不可 ・32ビット・インターバル・タイマで使用するSFRをリードした場合は00Hまたは0000Hが読めます。							
1	入力クロック供給 ・32ビット・インターバル・タイマで使用するSFRへのリード／ライト可							

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意 次のビットには必ず0を設定してください。

30ピン製品 : ビット2, 1

32ピン製品 : ビット2

## 9.2.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。  
 PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。  
 32ビット・インターバル・タイマをリセットする場合は、ビット4 (TML32RES) を1に設定してください。  
 PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、PRR1 レジスタは00Hになります。

図9-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH  
 リセット時: 00H  
 R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	REMCRES 注	CTSURES
TML32RES	32ビット・インターバル・タイマの周辺リセット制御							
0	32ビット・インターバル・タイマのリセット解除							
1	32ビット・インターバル・タイマはリセット状態 ・32ビット・インターバル・タイマで使用するSFRが初期化されます。							

注 32～128ピン製品のみ

注意1. ビット3, 2には必ず0を設定してください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品: ビット1

### 9.2.3 インターバル・タイマ・コンペア・レジスタ 0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)

インターバル・タイマを8ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0mn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

設定範囲は01H-FFHです。ITLCMP0mn レジスタの00H設定は禁止です。

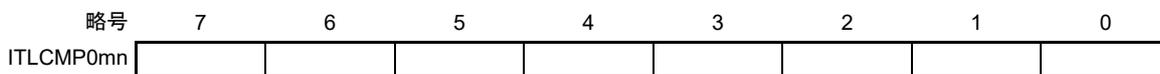
ITL000-ITL013カウンタとの比較値を格納します。

図9-4 インターバル・タイマ・コンペア・レジスタ 0mn (ITLCMP0mn) のフォーマット

アドレス : F0360H (ITLCMP000), F0361H (ITLCMP001), F0362H (ITLCMP012), F0363H (ITLCMP013)

リセット時: FFH

R/W属性 : R/W注



注 ITLCMP000レジスタの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

ITLCMP001レジスタの設定は、ITLCTL0レジスタのITLEN01ビットが0のときに行ってください。

ITLCMP012レジスタの設定は、ITLCTL0レジスタのITLEN02ビットが0のときに行ってください。

ITLCMP013レジスタの設定は、ITLCTL0レジスタのITLEN03ビットが0のときに行ってください。

### 9.2.4 インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n) (n = 0, 1)

インターバル・タイマを16ビット・カウンタ・モードおよび32ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0n レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFHになります。設定範囲は0001H-FFFFHです。ITLCMP0n レジスタの0000H設定は禁止です。

ITL0nカウンタとの比較値を格納します。

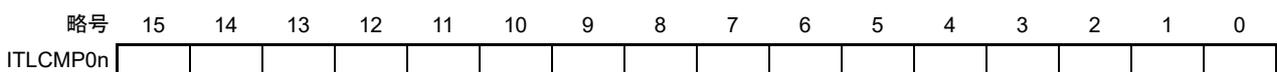
ITLCTL0レジスタのITLMD01, ITLMD00ビットが1, 0の場合、32ビット・カウンタ・モードのコンペア・レジスタとして、ITLCMP01レジスタに上位16ビットのコンペア値、ITLCMP00レジスタに下位16ビットのコンペア値を設定します。

図9-5 インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n) のフォーマット

アドレス : F0360H, F0361H (ITLCMP00), F0362H, F0363H (ITLCMP01)

リセット時: FFFFH

R/W属性 : R/W注



注 ITLCMP00レジスタの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

ITLCMP01レジスタの設定は、16ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN02ビットが0のときに行ってください。

32ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

### 9.2.5 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00)

インターバル・タイマを16ビット・カウント・モードとして使用する場合は16ビットのキャプチャ値レジスタです。

ITLCAP00レジスタは、16ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000Hになります。

ITLCC0レジスタのCAPEN0ビットが1のときにITLCC0レジスタで選択したキャプチャ・トリガにより、16ビット・カウンタ (ITL000 + ITL001) の値をITLCAP00レジスタに格納します。

ITLCMP01レジスタのコンペア一致割り込みを使用する場合は、ITLCSEL0レジスタでカウント・クロックを選択し、ITLCMP01レジスタにコンペア値を設定します。

図9-6 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) のフォーマット

アドレス : F0364H, F0365H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCAP00																

## 9.2.6 インターバル・タイマ制御レジスタ (ITLCTL0)

インターバル・タイマのカウンタ停止／開始の設定と 8 ビット・カウンタ／16 ビット・カウンタ／32 ビット・カウンタ動作の切り替えを設定するレジスタです。

ITLCTL0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9-7 インターバル・タイマ制御レジスタ (ITLCTL0) のフォーマット (1/2)

アドレス : F0366H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ITLCTL0	ITLMD01	ITLMD00	0	0	ITLEN03	ITLEN02	ITLEN01	ITLEN00

ITLMD01	ITLMD00	8 / 16 / 32 ビット・カウンタ・モード選択 <sup>注1</sup>
0	0	8 ビット・カウンタとして動作
0	1	16 ビット・カウンタとして動作 (チャンネル 0 + チャンネル 1、およびチャンネル 2 + チャンネル 3 を連結)
1	0	32 ビット・カウンタとして動作 (チャンネル 0 + チャンネル 1 + チャンネル 2 + チャンネル 3 を連結)
1	1	設定禁止

ITLEN03	8 ビット・カウンタ・モード時 : ITL013 のカウンタ・イネーブル <sup>注2</sup>
0	カウンタ停止
1	カウンタ開始

8 ビット・カウンタ・モードでは、ITLEN03 ビットに 1 を書くことにより ITL013 がカウンタアップを開始し、0 を書くことによりカウンタを停止します。  
16 ビット・カウンタ・モードでは、0 を設定してください。  
32 ビット・カウンタ・モードでは、0 を設定してください。

ITLEN02	8 ビット・カウンタ・モード時 : ITL012 のカウンタ・イネーブル <sup>注2</sup> 16 ビット・カウンタ・モード時 : ITL012 + ITL013 のカウンタ・イネーブル <sup>注2</sup>
0	カウンタ停止
1	カウンタ開始

8 ビット・カウンタ・モードでは、ITLEN02 ビットに 1 を書くことにより ITL012 がカウンタアップを開始し、0 を書くことによりカウンタを停止します。  
16 ビット・カウンタ・モードでは、ITLEN02 ビットに 1 を書くことにより ITL012 + ITL013 がカウンタアップを開始し、0 を書くことによりカウンタを停止します。  
32 ビット・カウンタ・モードでは、0 を設定してください。

図9-7 インターバル・タイマ制御レジスタ (ITLCTL0) のフォーマット (2/2)

ITLEN01	8ビット・カウンタ・モード時: ITL001のカウンタ・イネーブル <sup>注2</sup>
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN01ビットに1を書くことによりITL001がカウンタアップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN00	8ビット・カウンタ・モード時: ITL000のカウンタ・イネーブル <sup>注2</sup> 16ビット・カウンタ・モード時: ITL000 + ITL001のカウンタ・イネーブル <sup>注2</sup> 32ビット・カウンタ・モード時: ITL000 + ITL001 + ITL012 + ITL013の カウンタ・イネーブル <sup>注2</sup>
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000がカウンタアップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001がカウンタアップを開始し、0を書くことによりカウンタを停止します。 32ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001 + ITL012 + ITL013がカウンタアップを開始し、0を書くことによりカウンタを停止します。	

- 注1.** ITLMD00, ITLMD01ビットのモードを変更する場合、必ずITLEN03-ITLEN00ビットがすべて0のときに書き換え操作を行ってください。
- 注2.** ITLEN03-ITLEN00ビットを0にした場合、カウンタ・クロックに同期せずに該当カウンタの値が0にクリアされます。

モード	ITLMD01	ITLMD00	ITLEN03	ITLEN02	ITLEN01	ITLEN00	該当カウンタ
8ビット	0	0				○	ITL000
					○		ITL001
				○			ITL012
			○				ITL013
16ビット	0	1	常に0設定		常に0設定	○	ITL000 + ITL001
			常に0設定	○	常に0設定		ITL012 + ITL013
32ビット	1	0	常に0設定	常に0設定	常に0設定	○	ITL000 + ITL001 + ITL012 + ITL013

**備考** ○は該当カウンタに対するカウンタ・イネーブルです。

8ビット・カウンタ・モードで、ITLEN03-ITLEN00ビットを複数同時に1もしくは0にすることも可能です。  
 16ビット・カウンタ・モードで、ITLEN02、ITLEN00ビットを複数同時に1もしくは0にすることも可能です。

## 9.2.7 インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)

インターバル・タイマのカウンタ・ソースを設定するレジスタです。

ITLCSEL0 レジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図9-8 インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0) のフォーマット

アドレス : F0367H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLCSEL0	0	CSEL012	CSEL011	CSEL010	0	ISEL002	ISEL001	ISEL000

CSEL012	CSEL011	CSEL010	キャプチャ用インターバル・タイマ・カウンタ・クロック (fitL1) 選択 <sup>注</sup>
0	0	0	動作停止
0	0	1	fIHP
0	1	0	fIMP
0	1	1	fMXP
1	0	0	fSXP
1	0	1	ELCLからのイベント入力
上記以外			設定禁止

ISEL002	ISEL001	ISEL000	インターバル・タイマ・カウンタ・クロック (fitL0) 選択 <sup>注</sup>
0	0	0	動作停止
0	0	1	fIHP
0	1	0	fIMP
0	1	1	fMXP
1	0	0	fSXP
1	0	1	ELCLからのイベント入力
上記以外			設定禁止

**注** CSEL012-CSEL010ビットおよび ISEL002-ISEL000ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

**備考**

- fMXP : 高速周辺クロック周波数
- fSXP : 低速周辺クロック周波数
- fIHP : 高速オンチップ・オシレータ周辺クロック周波数
- fIMP : 中速オンチップ・オシレータ周辺クロック周波数
- ELCLからのイベント入力 : ELCL機能によってタイマ、シリアル通信、ポートなどの周辺機能から生成される信号です。詳細は第20章 ロジック&イベント・リンク・コントローラ (ELCL) を参照してください。

## 9.2.8 インターバル・タイマ分周レジスタ0 (ITLFDIV00)

インターバル・タイマのカウンタ・クロックを設定するレジスタです。

ITLFDIV00 レジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図9-9 インターバル・タイマ分周レジスタ0 (ITLFDIV00) のフォーマット (1/2)

アドレス : F0368H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV00	0	FDIV012	FDIV011	FDIV010	0	FDIV002	FDIV001	FDIV000

FDIV012	FDIV011	FDIV010	8ビット・カウンタ・モード時: ITL001のカウンタ・クロック <sup>注1</sup>
0	0	0	fitL0
0	0	1	fitL0/2
0	1	0	fitL0/4
0	1	1	fitL0/8
1	0	0	fitL0/16
1	0	1	fitL0/32
1	1	0	fitL0/64
1	1	1	fitL0/128

8ビット・カウンタ・モードでは、FDIV012-FDIV010ビットに設定したカウンタ・クロックにより ITL001がカウントします。  
 16ビット・カウンタ・モードでは、“000B”に設定してください。  
 32ビット・カウンタ・モードでは、“000B”に設定してください。

図9-9 インターバル・タイマ分周レジスタ0 (ITLFDIV00) のフォーマット (2/2)

FDIV002	FDIV001	FDIV000	8ビット・カウンタ・モード時：ITL000のカウンタ・クロック <sup>注2</sup> 16ビット・カウンタ・モード時： ITL000 + ITL001のカウンタ・クロック <sup>注2</sup> 32ビット・カウンタ・モード時： ITL000 + ITL001 + ITL012 + ITL013のカウンタ・クロック <sup>注2</sup>
0	0	0	fITL0
0	0	1	fITL0/2
0	1	0	fITL0/4
0	1	1	fITL0/8
1	0	0	fITL0/16
1	0	1	fITL0/32
1	1	0	fITL0/64
1	1	1	fITL0/128

8ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000がカウントします。  
16ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000 + ITL001がカウントします。  
32ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000 + ITL001 + ITL012 + ITL013がカウントします。

**注1.** FDIV012-FDIV010ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN01ビットが0のときに行ってください。

**注2.** FDIV002-FDIV000ビットの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

## 9.2.9 インターバル・タイマ分周レジスタ1 (ITLFDIV01)

インターバル・タイマのカウンタ・クロックを設定するレジスタです。

ITLFDIV01レジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図9-10 インターバル・タイマ分周レジスタ1 (ITLFDIV01) のフォーマット

アドレス : F0369H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV01	0	FDIV032	FDIV031	FDIV030	0	FDIV022	FDIV021	FDIV020

FDIV032	FDIV031	FDIV030	8ビット・カウンタ・モード時 : ITL013のカウンタ・クロック <sup>注1</sup>
0	0	0	fitL0
0	0	1	fitL0/2
0	1	0	fitL0/4
0	1	1	fitL0/8
1	0	0	fitL0/16
1	0	1	fitL0/32
1	1	0	fitL0/64
1	1	1	fitL0/128

8ビット・カウンタ・モードでは、FDIV032-FDIV030ビットに設定したカウンタ・クロックによりITL013がカウントします。  
16ビット・カウンタ・モードでは、“000B”に設定してください。  
32ビット・カウンタ・モードでは、“000B”に設定してください。

FDIV022	FDIV021	FDIV020	8ビット・カウンタ・モード時 : ITL012のカウンタ・クロック <sup>注2</sup> 16ビット・カウンタ・モード時 : ITL012 + ITL013のカウンタ・クロック <sup>注2</sup>
0	0	0	fitL0
0	0	1	fitL0/2
0	1	0	fitL0/4
0	1	1	fitL0/8
1	0	0	fitL0/16
1	0	1	fitL0/32
1	1	0	fitL0/64
1	1	1	fitL0/128

8ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウンタ・クロックによりITL012がカウントします。  
16ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウンタ・クロックによりITL012 + ITL013がカウントします。  
32ビット・カウンタ・モードでは、使用しないため“000B”に設定してください。

**注1.** FDIV032-FDIV030ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN03ビットが0のときに行ってください。

- 注2.** FDIV022-FDIV020ビットの設定は、8ビットおよび16ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN02ビットが0のときに行ってください。

## 9.2.10 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)

インターバル・タイマのキャプチャ機能の有効/無効の設定と、キャプチャ完了フラグの格納およびクリアの設定、ソフトウェア・トリガの設定、キャプチャ・トリガ選択の設定を行うレジスタです。

ITLCC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-11 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) のフォーマット

アドレス : F036AH

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	5	<4>	3	2	1	0
ITLCC0	CAPEN0	CAPF0CR	CAPF0	CAPR0	CAPC0CR	0	CTRS01	CTRS00
CAPEN0	キャプチャ・イネーブル <sup>注1</sup>							
0	キャプチャ無効							
1	キャプチャ有効							
CAPF0CR	キャプチャ完了フラグ・クリア <sup>注2</sup>							
0	キャプチャ完了フラグCAPF0を保持							
1	キャプチャ完了フラグCAPF0をクリア							
CAPF0	キャプチャ完了フラグ <sup>注3</sup>							
0	キャプチャ未了							
1	キャプチャ完了 CTRS01, CTRS00ビットで設定されるキャプチャ・トリガ発生後、ITLCAP00レジスタにキャプチャされたデータがセットされると1になります。 CAPF0CRビットに1を書き込むと0にクリアされます。							
CAPR0	ソフトウェア・キャプチャ・トリガ <sup>注4,5</sup>							
0	トリガ動作しない							
1	キャプチャのためのソフトウェア・トリガを発生させる							
CAPC0CR	キャプチャ完了後16ビット・カウンタ (ITL000 + ITL001)・クリア選択 <sup>注6</sup>							
0	キャプチャ完了後16ビット・カウンタ (ITL000 + ITL001) を保持するモード							
1	キャプチャ完了後16ビット・カウンタ (ITL000 + ITL001) をクリアするモード							
CTRS01	CTRS00	キャプチャ・トリガ選択 <sup>注5,7</sup>						
0	0	ソフトウェア・トリガ						
0	1	ITLCMP01レジスタのコンペアー一致割り込み <sup>注8</sup>						
1	0	fSXP (立ち上がりエッジ)						
1	1	ELCLからのイベント入力 (立ち上がりエッジ)						

**注1.** CAPEN0ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

**注2.** CAPF0CRビットを読み出すと常に0が読めます。

**注3.** ビット5はRead Onlyです。

- 注4. CAPR0ビットを読み出すと常に0が読めます。
- 注5. キャプチャ動作では、キャプチャ・トリガを発生させる間隔をカウント・クロックで2クロック以上にしてください。
- 注6. CAPC0CRビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。
- 注7. CTRS01-CTRS00ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。
- 注8. キャプチャ・トリガにITLCMP01のコンペアー一致割り込みを選択すると、キャプチャ時にチャンネル2のコンペアー一致検出フラグ (ITF02) とキャプチャ検出フラグ (ITF0C) がセットされます。キャプチャ検出フラグのみ使用する場合は、ITLMKF0レジスタの設定でチャンネル2のコンペアー一致検出フラグをマスクしてください。

### 9.2.11 インターバル・タイマ・ステータス・レジスタ (ITLS0)

インターバル・タイマのステータス・レジスタです。

ITLS0 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

ITL0mn (mn = 00, 01, 12, 13) のカウンタ値が、ITLCMP0mn, ITLCMP00, ITLCMP01 レジスタに設定した値と一致したとき、対応するチャンネルのコンペアー一致検出フラグがセットされます。また、ITLCC0 レジスタのCAPEN0 ビットが1のときにキャプチャ・トリガが発生し、ITL0n のカウンタ値が ITLCAP00 レジスタにセットされるとキャプチャ検出フラグがセットされます。

本レジスタの ITF0C, ITF03, ITF02, ITF01, ITF00 ビットを OR した信号が INTITL として割り込み出力します。

表 9-2 に ITLMD01-ITLMD00 ビットのモードごとのステータス・フラグがセットされる要因を示します。

図9-12 インターバル・タイマ・ステータス・レジスタ (ITLS0) のフォーマット

アドレス : F036BH

リセット時: 00H

R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
ITLS0	0	0	0	ITF0C	ITF03	ITF02	ITF01	ITF00
ITF0C	キャプチャ検出フラグ							
0	キャプチャ完了を未検出							
1	キャプチャ完了を検出							
ITF03	チャンネル3のコンペアー一致検出フラグ							
0	チャンネル3コンペアー一致信号を未検出							
1	チャンネル3コンペアー一致信号を検出							
ITF02	チャンネル2のコンペアー一致検出フラグ							
0	チャンネル2コンペアー一致信号を未検出							
1	チャンネル2コンペアー一致信号を検出							
ITF01	チャンネル1のコンペアー一致検出フラグ							
0	チャンネル1コンペアー一致信号を未検出							
1	チャンネル1コンペアー一致信号を検出							
ITF00	チャンネル0のコンペアー一致検出フラグ							
0	チャンネル0コンペアー一致信号を未検出							
1	チャンネル0コンペアー一致信号を検出							

**注** 1の書き込みは無効になります。ITF0C, ITF0i (i = 0, 1, 2, 3) ビットをクリアする場合は、対象ビットに0を、他のビットに1を8ビット・メモリ操作命令で書き込んでください。

(注意は次ページに続きます)

注意1. ITF0C, ITF03, ITF02, ITF01, ITF00のいずれかのビットを0にクリアしたときに、ITLS0レジスタが00Hにならない場合は割り込み要求信号 (INTITL) が発生し、割り込み要求フラグ (ITLIF) が1にセットされます。

注意2. ITLS0レジスタの各ビットを0にクリアする時は、1になっているビットに対して0を設定してください。0のビットに0を書き込むと、0の書き込みと同時に発生したコンペアー一致信号またはキャプチャ検出信号を検出できない場合があります。たとえば、ITF01ビットが1にセットされている場合、ITLS0レジスタに“00011101B”を設定してITF01ビットをクリアしてください。

表9-2 モードごとのステータス・フラグのセット要因

モード	ITLMD01	ITLMD00	CAPEN0	ステータス・フラグ	ステータス・フラグ発生要因
8ビット	0	0	×	ITF00	ITLCMP000とITL000が一致後、次のカウントクロックの立ち上がり
			×	ITF01	ITLCMP001とITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP012とITL012が一致後、次のカウントクロックの立ち上がり
			×	ITF03	ITLCMP013とITL013が一致後、次のカウントクロックの立ち上がり
16ビット	0	1	×	ITF00	ITLCMP00とITL000 + ITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP01とITL012 + ITL013が一致後、次のカウントクロックの立ち上がり
			1	ITF0C	キャプチャ・トリガ発生後、ITL000 + ITL001の値がITLCAP00にセットされる時
32ビット	1	0	—	ITF00	ITLCMP00 + ITLCMP01とITL000 + ITL001 + ITL012 + ITL013が一致後、次のカウントクロックの立ち上がり

備考 × : Don't care

### 9.2.12 インターバル・タイマー一致検出マスク・レジスタ (ITLMKF0)

インターバル・タイマ・ステータス・レジスタ (ITLS0) の各ビットに1をセットする動作の許可/禁止を設定するレジスタです。

ITLMKF0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

MKF0C, MKF0i (i = 0-3) ビットを1に設定することにより、対応するステータス・フラグITF0C, ITF0i (i = 0-3) はマスクされコンペア・レジスタの一致検出およびキャプチャ完了を検出しても1にセットされません。ステータス・フラグが1にセットされないため、インターバル検出割り込み (INTITL) も発生しません。

図9-13 インターバル・タイマー一致検出マスク・レジスタ (ITLMKF0) のフォーマット

アドレス : F036CH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLMKF0	0	0	0	MKF0C	MKF03	MKF02	MKF01	MKF00
MKF0C	キャプチャ検出ステータス・フラグのマスク注							
0	ITF0C をマスクしない							
1	ITF0C をマスクする							
MKF03	チャンネル3 コンペア一致ステータス・フラグのマスク注							
0	ITF03 をマスクしない							
1	ITF03 をマスクする							
MKF02	チャンネル2 コンペア一致ステータス・フラグのマスク注							
0	ITF02 をマスクしない							
1	ITF02 をマスクする							
MKF01	チャンネル1 コンペア一致ステータス・フラグのマスク注							
0	ITF01 をマスクしない							
1	ITF01 をマスクする							
MKF00	チャンネル0 コンペア一致ステータス・フラグのマスク注							
0	ITF00 をマスクしない							
1	ITF00 をマスクする							

**注** 各ビットを1にしてマスク設定すると、ITLS0レジスタの対応するビットもセットされないため、ソフトウェアによるコンペア一致の検出およびキャプチャ完了を検出することはできません。チャンネル0～チャンネル3のコンペア一致動作をする場合は、必ず該当するステータス・フラグのマスクは0に設定してマスクをしないでください。キャプチャ完了ステータスに関しては、MKF0C = 1に設定してITF0Cをマスクした場合でも、インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) のCAPF0ビットでキャプチャの完了を検出することができます。

## 9.3 動作説明

### 9.3.1 カウンタ・モードの設定

32ビット・インターバル・タイマは、カウンタモードとして8ビット・カウンタ・モード/16ビット・カウンタ・モード/32ビット・カウンタ・モードの3種類のモードを持ちます。表9-3に8ビット・カウンタ・モード、表9-4に16ビット・カウンタ・モード、表9-5に32ビット・カウンタ・モード時の使用レジスタと設定内容を示します。

表9-3 8ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ名 (シンボル)	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn)	ビット7-0	チャンネル0~3のコンペア値を8ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTLO)	ITLEN00	チャンネル0側のカウント開始/停止を選択してください。
	ITLEN01	チャンネル1側のカウント開始/停止を選択してください。
	ITLEN02	チャンネル2側のカウント開始/停止を選択してください。
	ITLEN03	チャンネル3側のカウント開始/停止を選択してください。
	ITLMD00	0に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV000-002	チャンネル0側のカウント・クロックを選択してください。
	FDIV010-012	チャンネル1側のカウント・クロックを選択してください。
	FDIV020-022	チャンネル2側のカウント・クロックを選択してください。
	FDIV030-032	チャンネル3側のカウント・クロックを選択してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSELO)	ISEL000-002	インターバル・タイマのカウント・クロックを選択してください。
	CSEL010-012	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	ビット7-0	0に設定してください。

備考 mn = 00, 01, 12, 13

表9-4 16ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ名 (シンボル)	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n)	ビット15-0	チャンネル0, 1、およびチャンネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTLO)	ITLEN00	チャンネル0, 1側のカウント開始/停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャンネル2, 3側のカウント開始/停止を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV000-002	チャンネル0, 1側のカウント・クロックを選択してください。
	FDIV010-012	000Bに設定してください。
	FDIV020-022	チャンネル2, 3側のカウント・クロックを選択してください。
	FDIV030-032	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSELO)	ISEL000-002	インターバル・タイマのカウント・クロックを選択してください。
	CSEL010-012	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	ビット7-0	0に設定してください。

備考 n = 0, 1

表9-5 32ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ名 (シンボル)	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n)	ビット15-0	32ビット・カウンタ・モードのコンペア値として、チャンネル0, 1 (ITLCMP00) に下位16ビットのコンペア値を、チャンネル2, 3 (ITLCMP01) に上位16ビットのコンペア値を設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTLO)	ITLEN00	チャンネル0~3のカウンタ開始/停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	0に設定してください。
	ITLEN03	0に設定してください。
	ITLMD00	0に設定してください。
	ITLMD01	1に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV000-002	チャンネル0~3のカウンタ・クロックを選択してください。
	FDIV010-012	000Bに設定してください。
	FDIV020-022	000Bに設定してください。
	FDIV030-032	000Bに設定してください。
インターバル・タイマ・クロック 選択レジスタ0 (ITLCSELO)	ISEL000-002	インターバル・タイマのカウンタ・クロックを選択してください。
	CSEL010-012	000Bに設定してください。
インターバル・タイマ・キャプチャ 制御レジスタ0 (ITLCC0)	ビット7-0	0に設定してください。

備考 n = 0, 1

### 9.3.2 キャプチャ・モードの設定

チャンネル0, 1は16ビット・キャプチャ・モードで使用することにより、設定したキャプチャ・トリガでカウント値をインターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) に格納します。

表9-6 16ビット・キャプチャ・モード時の使用レジスタと設定内容

レジスタ名 (シンボル)	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ00 (ITLCMP00)	ビット15-0	チャンネル0, 1のコンペア値を16ビットで設定してください。
インターバル・タイマ・コンペア・レジスタ01 (ITLCMP01) 注	ビット15-0	チャンネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTL0)	ITLEN00	チャンネル0, 1側のカウント開始/停止制御を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャンネル2, 3側のカウント開始/停止制御を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV000-002	チャンネル0側のカウント・クロックを選択してください。
	FDIV010-012	000Bに設定してください。
	FDIV020-022	000Bに設定してください。
	FDIV030-032	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)	ISEL000-002	チャンネル0, 1側のインターバル・タイマのカウント・クロックを選択してください。
	CSEL010-012	チャンネル2, 3側のキャプチャ用インターバル・タイマのカウント・クロックを選択してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	CAPEN0	1に設定してください。
	CAPC0CR	キャプチャ完了後のチャンネル0, 1側カウンタをクリアするか保持するかを設定してください。
	CTRS00-01	キャプチャ・トリガを選択してください。

注 ITLCMP01のコンペア一致割り込みをキャプチャ・トリガとして使用しない場合はチャンネル2、チャンネル3を16ビット・カウンタ・モードとして使用することができます。

備考 n = 0, 1

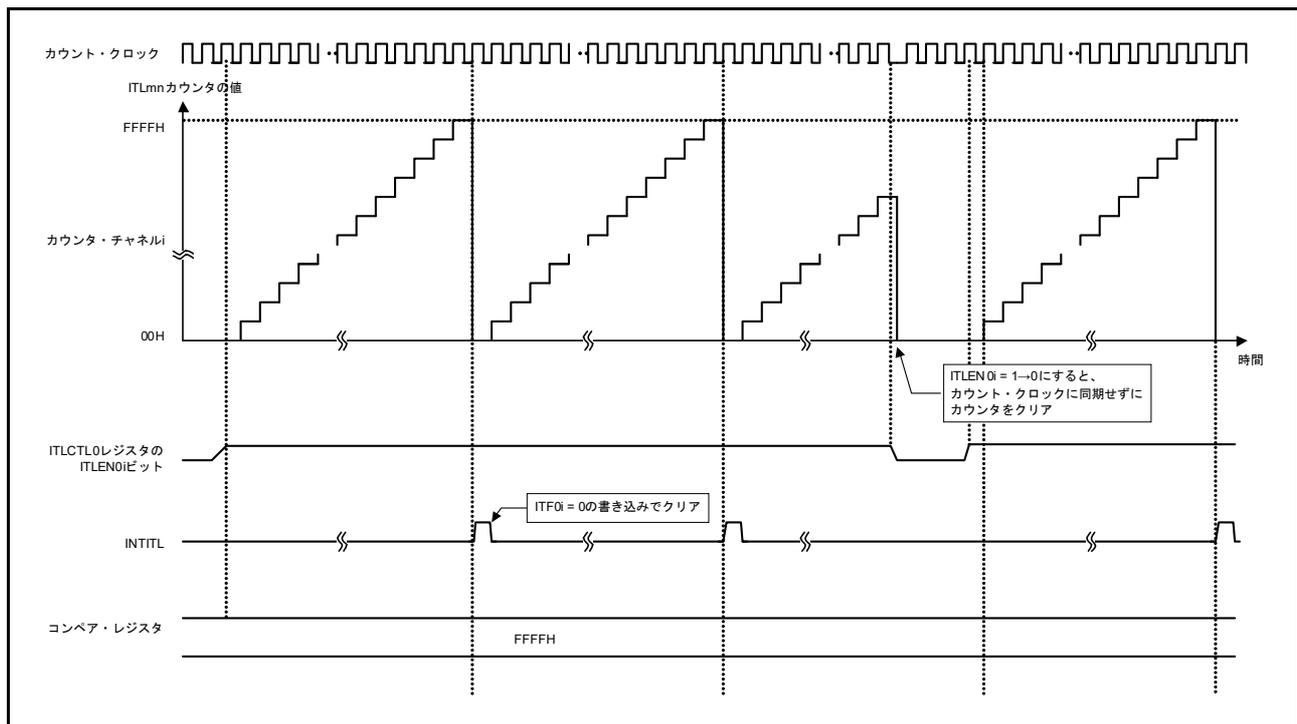
### 9.3.3 タイマ動作

分周レジスタ (ITLFDIV00, ITLFDIV01) で選択したカウント・クロックで ITL0mn カウンタがアップ・カウントします。カウンタがコンペア値と一致した後、次のカウント・クロックで割り込み要求信号 (INTITL) が発生します。割り込み要求信号 (INTITL) は ITLS0 レジスタが 00H になるまでハイ・レベルを維持します。

割り込み要求信号 (INTITL) がハイ・レベルの期間は、動作中のチャンネルのコンペア一致またはキャプチャ検出が発生しても新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

ITLEN00-ITLEN03 を 0 にすると、カウント値はクリアされます。

図9-14 タイマ動作例



備考 mn = 00, 01, 12, 13 ; i = 0, 1, 2, 3

### 9.3.4 キャプチャ動作

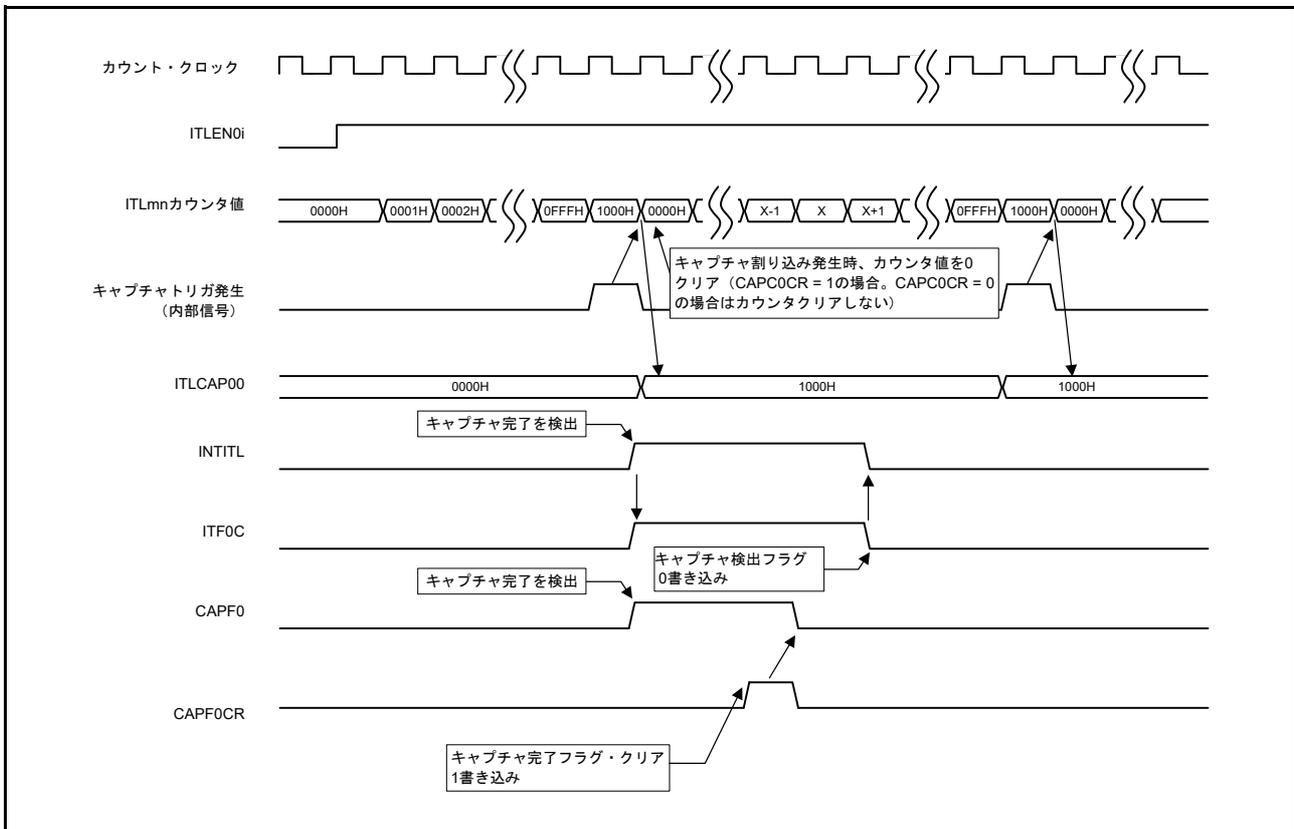
インターバル・タイマ・キャプチャ制御レジスタ 0 (ITLCC0) レジスタの CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ (ITL000 + ITL001) の値をキャプチャ・レジスタ (ITLCAP00) に格納します。

キャプチャ・トリガとして、ITLCMP01 のコンペアー一致割り込み、fsXP、ELCL からのイベント入力またはソフトウェア・トリガ (CAPR0 = 1) が選択可能です。キャプチャ・トリガとして、ITLCMP01 のコンペアー一致割り込みを使用する場合は、クロック選択レジスタ 0 (ITLSEL0) でカウント・クロックを選択し、コンペアー・レジスタ 01 (ITLCMP01) にコンペアー値を設定します。キャプチャ・トリガとして、fsXP、ELCL からのイベント入力またはソフトウェア・トリガ (CAPR0 = 1) を使用する場合は、チャンネル 2、チャンネル 3 を 16 ビット・カウンタ・モードとして使用することができます。

キャプチャ・トリガが入力されカウント値がキャプチャ・レジスタに格納されると、割り込み要求信号 (INTITL) を出力し、キャプチャ完了フラグ (CAPF0) とキャプチャ検出フラグ (ITF0C) はセット (1) され、CAPF0 フラグと ITF0C フラグの値は保持されます注。CAPF0 フラグは CAPF0CR ビットをセットすることによりクリアされます。ITF0C フラグは ITLS0 レジスタの ITF0C ビットに 0 を書き込むことによりクリアされます。なお、キャプチャ・トリガを発生させる間隔はカウント・クロックで 5 クロック以上にしてください。キャプチャ・トリガ発生後、カウント・クロックで 2 クロック未満に再度キャプチャ・トリガが発生した場合は、CAPF0 ビットがセットされないことがあります。

注 ITLS0 レジスタが 00H 以外の状態では、キャプチャ検出フラグ (ITF0C) はセット (1) されても、割り込み要求信号 (INTITL) はハイ・レベルを維持するため、割り込み動作は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

図9 - 15 キャプチャ動作例



備考 mn = 00, 01, 12, 13 ; i = 0, 1, 2, 3

ITLCC0 レジスタの CAPC0CR ビットを 1 (キャプチャ完了後 16 ビット・カウンタ (ITL000 + ITL001) をクリアするモード) に設定している場合にカウント値がコンペア値と一致すると次のカウント・クロックでカウント値はクリアされます。なお、キャプチャ・トリガが入力される前に、16 ビット・カウンタ (ITL000 + ITL001) とコンペア値が一致すると ITF00 フラグがセットされます。

CAPC0CR ビットが 0 (キャプチャ完了後 16 ビット・カウンタ (ITL000 + ITL001) を保持するモード) に設定している場合カウント値はクリアされません。16 ビット・カウンタ (ITL000 + ITL001) とコンペア値が一致すると、ITF00 フラグがセットされます。

### 9.3.5 割り込み動作

8 / 16 / 32 ビット・カウンタ・モード時割り込み要因を、以下の表 9-7 に示します。

ITF00-ITF03, ITF0C ビットは ITLS0 レジスタの割り込みステータス・フラグであり、いずれかの割り込みステータス・フラグが発生すると INTITL として出力します。

表9-7 8 / 16 / 32 ビット・カウンタ・モード時割り込み要因

割り込み要因	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因	32ビット・カウンタ・モード要因
ITF00	チャンネル0 コンペアー一致後、次のカウント・クロックの立ち上がり	チャンネル0+1のコンペアー一致後、次のカウント・クロックの立ち上がり	コンペアー一致後、次のカウント・クロックの立ち上がり
ITF01	チャンネル1 コンペアー一致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF02	チャンネル2 コンペアー一致後、次のカウント・クロックの立ち上がり	チャンネル2+3のコンペアー一致後、次のカウント・クロックの立ち上がり	発生しない
ITF03	チャンネル3 コンペアー一致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF0C	発生しない (ITLCC0 = 00Hに設定すること)	キャプチャ・トリガが発生後、キャプチャ・レジスタに値が格納されるタイミングと同一	発生しない (ITLCC0 = 00Hに設定すること)

ITLS0 レジスタが 00H 以外の状態では、割り込み要求信号 (INTITL) はハイ・レベルを維持しており、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても、新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。ただし、ITLS0 レジスタのいずれかのビットを 8 ビット・メモリ操作命令で 0 を設定して、その結果 ITLS0 レジスタが 00H にならなかった場合は、INTITL にロウ・パルス信号が出力され割り込み要求フラグ (ITLIF) を 1 にセットします。したがってベクター割り込み処理中などの ITLIF = 0 の状態で ITLS0 レジスタのステータス・フラグを 0 にクリアする処理を行うことで、もし他のステータス・ビットが 1 に設定されていても割り込みとして検出することができます。各検出フラグのクリアとインターバル検出割り込み信号の関係を図 9-16 に示します。

図 9-16 の動作を以下に説明します。

ITLS0 レジスタが 00H の状態で、チャンネル 1 のコンペアー一致信号を検出すると、ITF01 フラグがセットされ、インターバル検出割り込み信号 (INTITL) がハイ・レベルになります。このハイ・レベル期間では、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても、新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

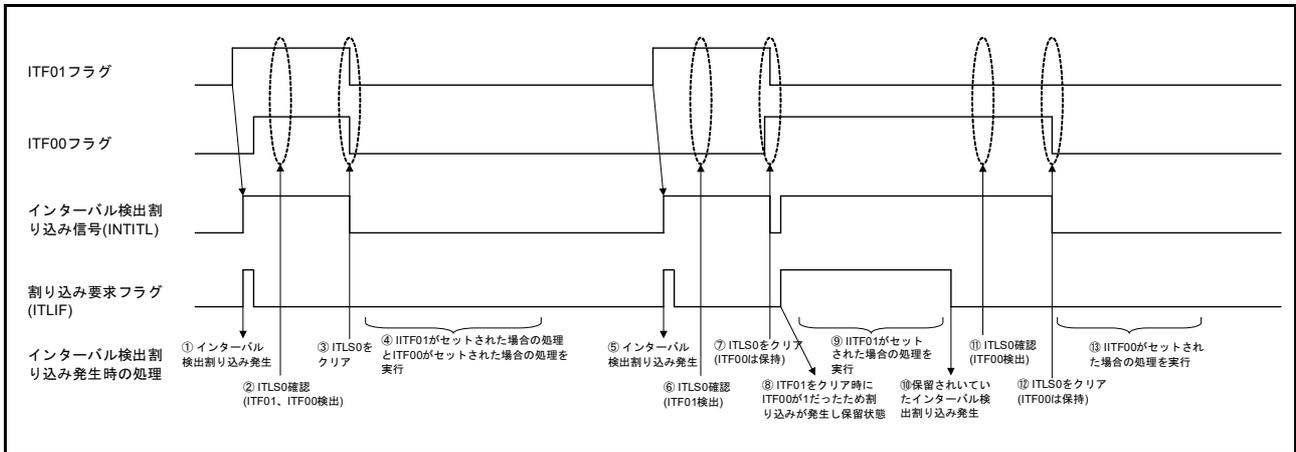
ただし、ITF0x (x = 0, 1, 2, 3, C) ビットを 0 にクリアした直前に、他の検出フラグが 1 になった場合は、ITF0x ビットをクリア後に INTITL が一時的にロウ・レベルを出力して割り込み要求フラグ (ITLIF) を 1 にセットします。

- ① チャンネル 1 のコンペアー一致によって ITF01 フラグがセットされインターバル検出割り込み信号 (INTITL) と割り込み要求フラグ (ITLIF) がハイ・レベルになります。割り込み要求フラグ (ITLIF) を 0 にクリアしインターバル検出割り込みの処理を実行します。
- ② インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。図 9-16 のケースでは ITF01 フラグと ITF00 フラグが 1 にセットされていることを確認できます。
- ③ ITLS0 が 00H になるように、上記②で検出した ITF01 フラグと ITF00 フラグを 8 ビット・メモリ操作命令で 00011100B を書き込んでクリアします注。
- ④ ITF01 フラグが 1 にセットされた場合の処理と ITF00 フラグが 1 にセットされた場合の処理を実行します注。

注 割り込み要因のフラグを 1 ビットずつ処理をして 0 にクリアする処理を繰り返すことでも、割り込み要因の取りこぼしを防ぐことができます。

- ⑤ 再度チャンネル1のコンペアー一致によってITF01フラグがセットされインターバル検出割り込み信号 (INTITL) と割り込み要求フラグ (ITLIF) がハイ・レベルになります。割り込み要求フラグ (ITLIF) を0にクリアしインターバル検出割り込みの処理を実行します。
- ⑥ インターバル検出割り込み処理でITLS0レジスタのどの検出フラグが1にセットされているか確認します。図9-16のケースではITF01フラグが1にセットされていることを確認できます。
- ⑦ ITLS0が00Hになるように、上記⑥で検出したITF01フラグを8ビット・メモリ操作命令で00011101Bを書き込んでクリアします。このときチャンネル0のコンペアー一致によってITF00フラグが1にセットされていますが、ITF00フラグに対しては操作を行っていませんのでクリアされません。
- ⑧ ⑦のITF01フラグが0にクリアされるタイミングでITF00フラグは1にセットされていたので、INTITLはいったんロウ・レベルとなり、割り込み要求フラグ (ITLIF) を1にセットします。このときに割り込み許可フラグ (IE) が0にクリアされていなければ、この割り込み要求は保留されます。
- ⑨ ITF01フラグが1にセットされた場合の処理を実行します。
- ⑩ ITF01フラグが1にセットされた場合の処理から復帰すると割り込み要求フラグ (ITLIF) は1にセットされているので、割り込み要求フラグ (ITLIF) を0にクリアして保留されていたインターバル検出割り込み処理を実行します。
- ⑪ インターバル検出割り込み処理でITLS0レジスタのどの検出フラグが1にセットされているか確認します。図9-16のケースではITF00フラグが1にセットされていることを確認できます。
- ⑫ ITLS0が00Hになるように、上記⑪で検出したITF00フラグを8ビット・メモリ操作命令で00011110Bを書き込んでクリアします。
- ⑬ ITF00フラグが1にセットされた場合の処理を実行します。

図9-16 検出フラグのクリア例



### 9.3.6 インターバル・タイマの設定手順

32ビット・インターバル・タイマの設定手順を以下に示します。

図9-17 32ビット・インターバル・タイマの動作開始手順

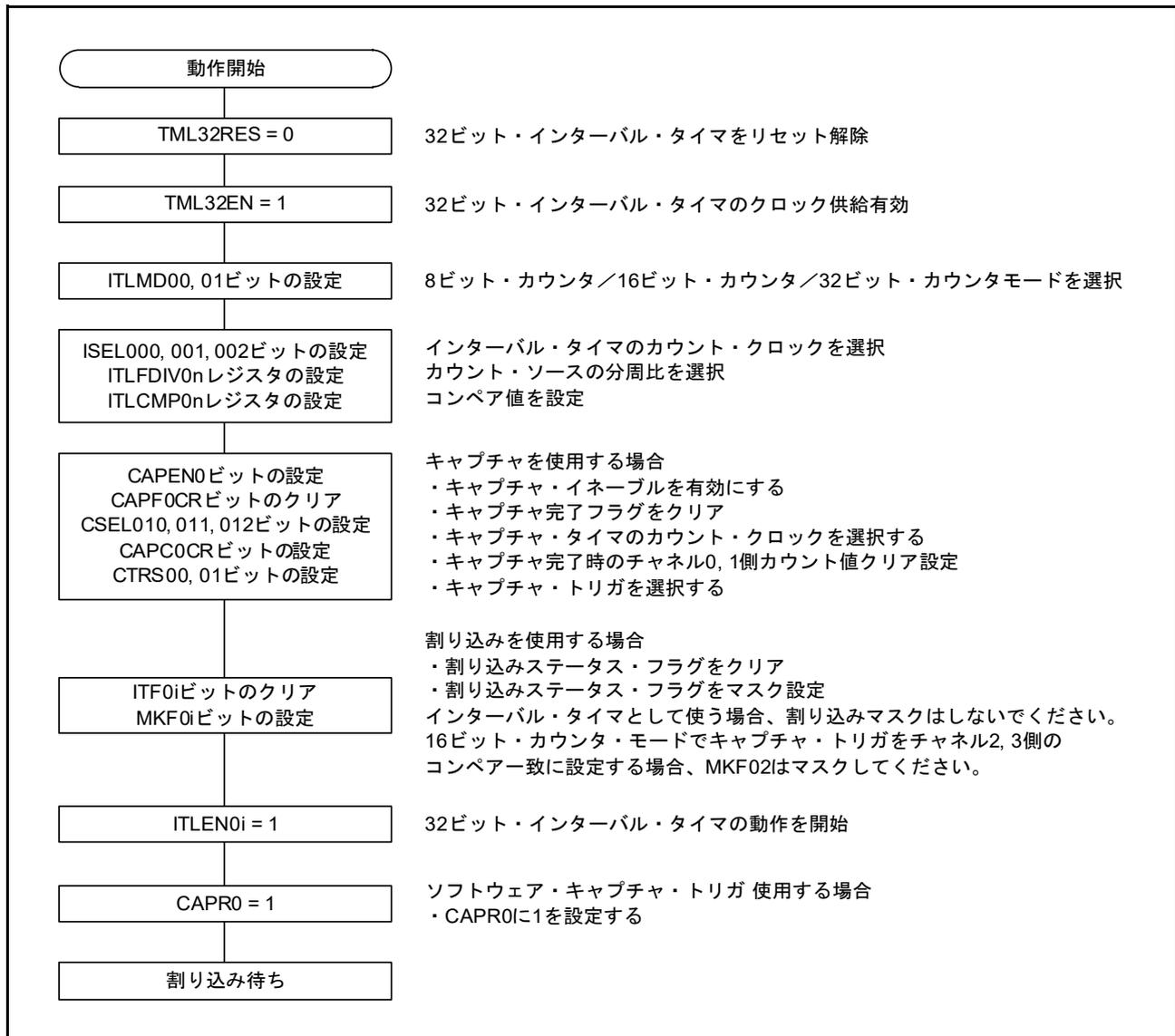


図9 - 18 32ビット・インターバル・タイマの動作停止手順

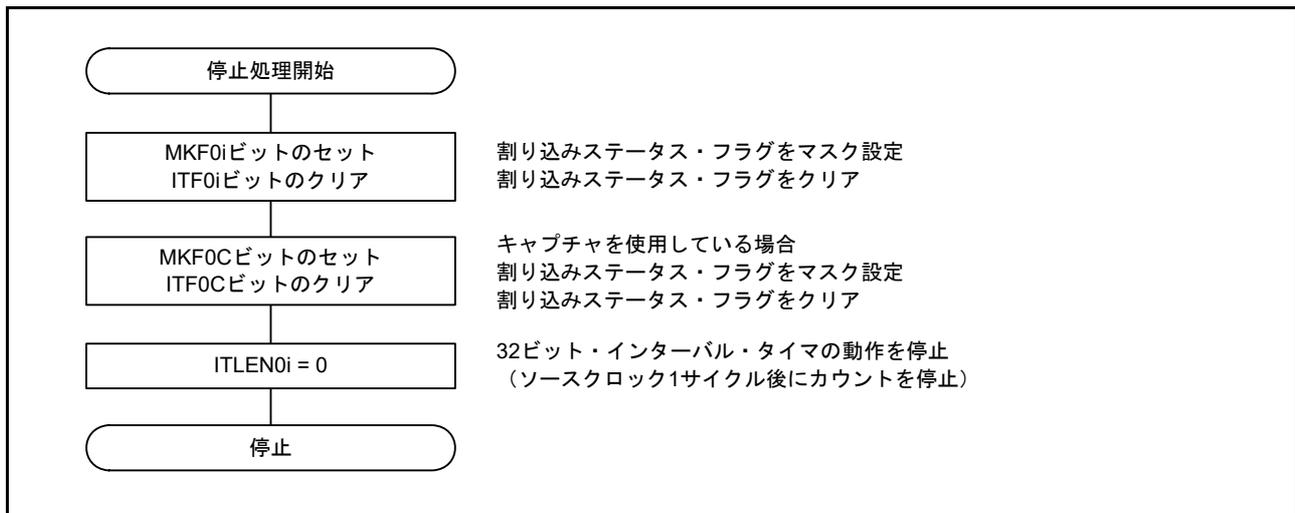


図9 - 19 32ビット・インターバル・タイマの動作モード変更手順

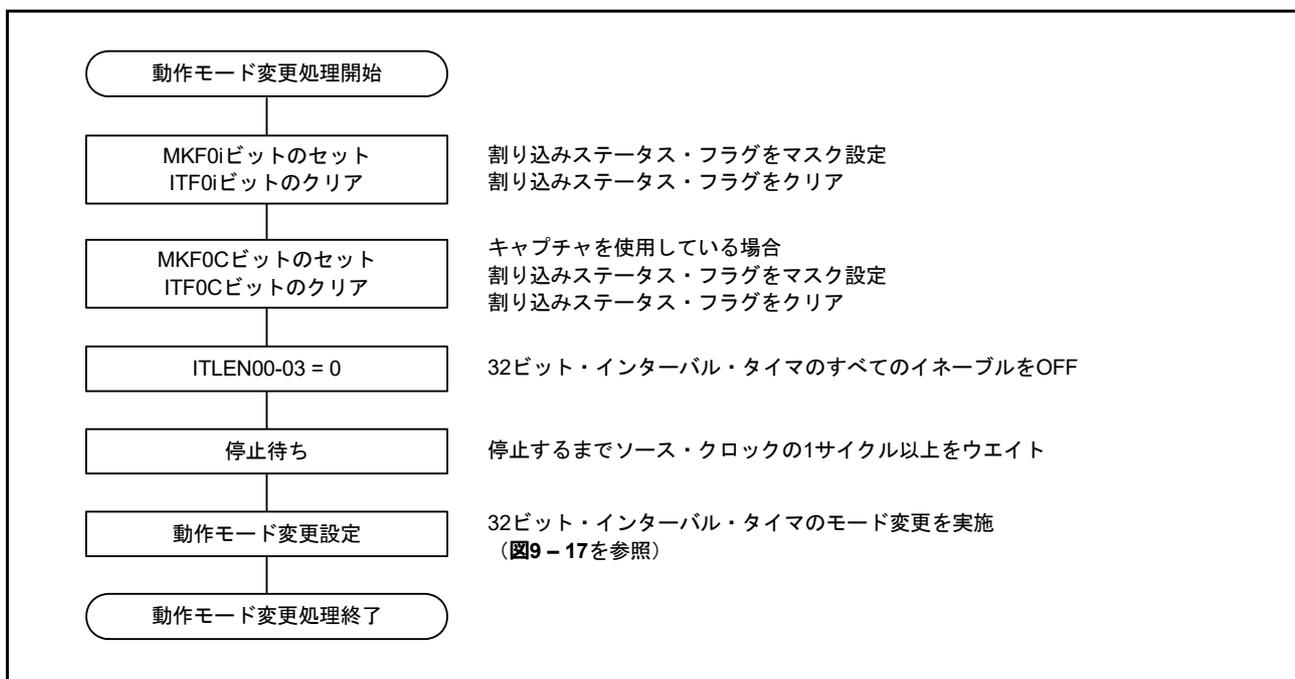


図9-20 32ビット・インターバル・タイマのリセット手順

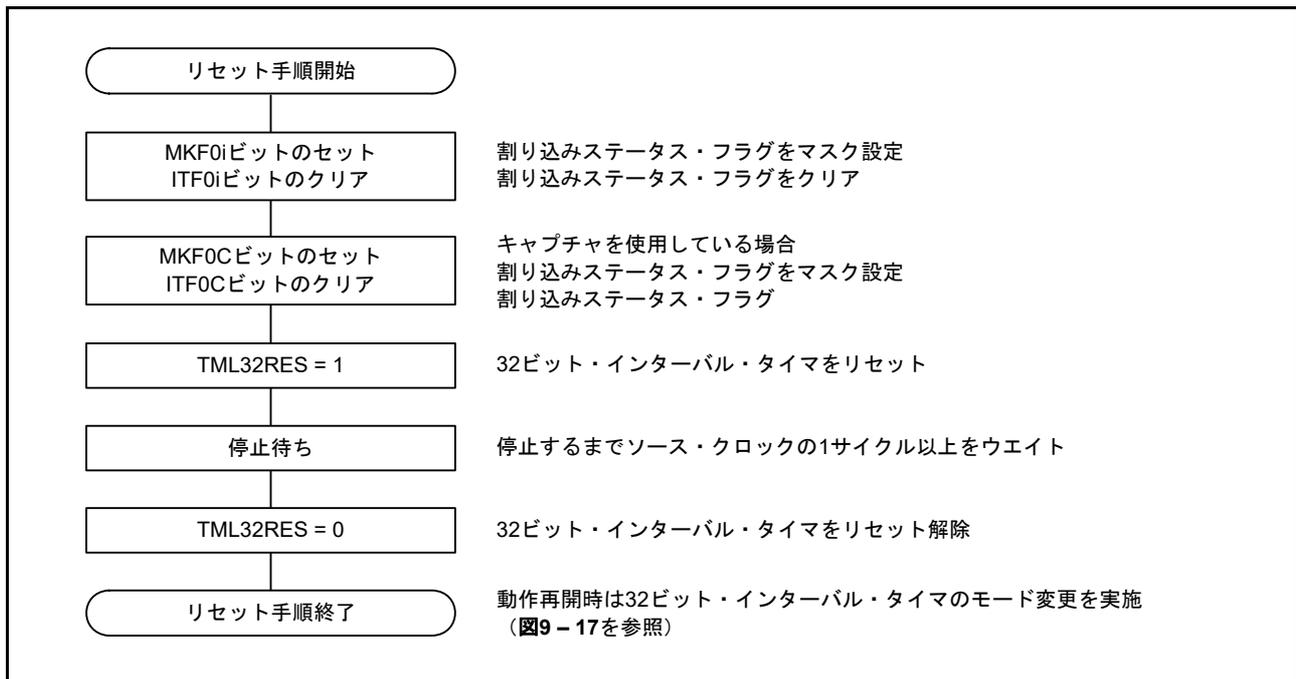


図9-21 ELCLからのイベント入力の動作開始手順

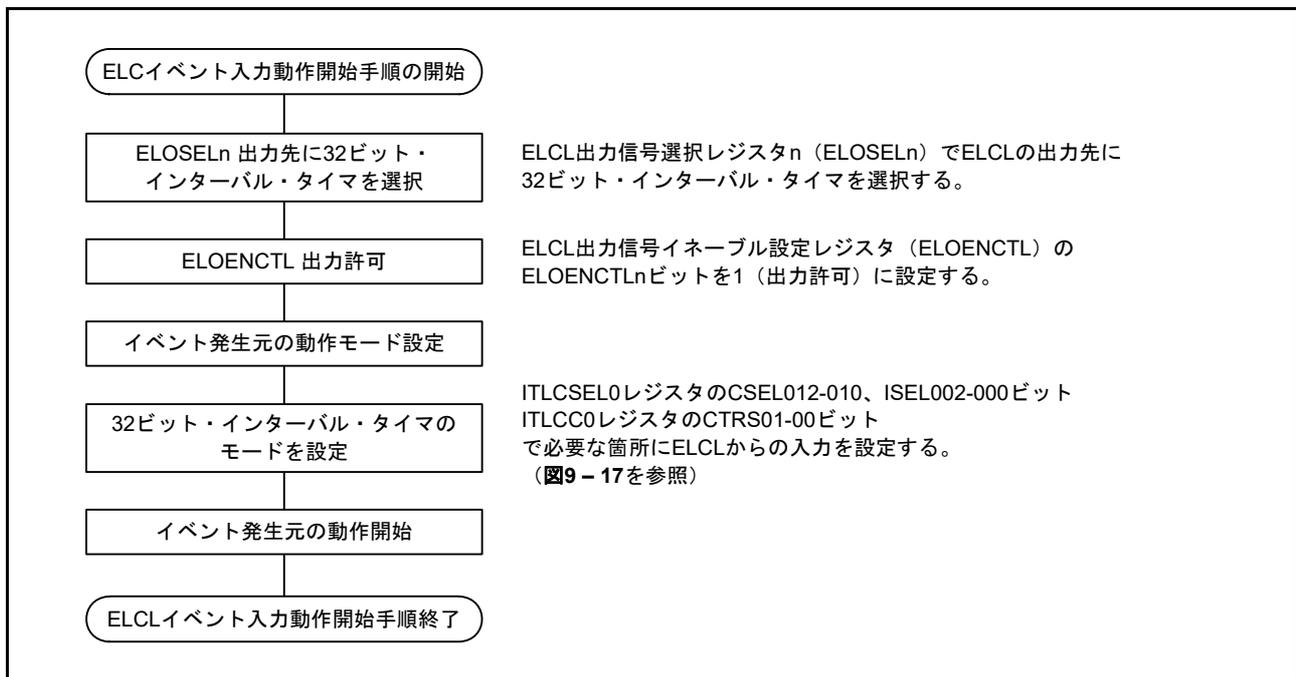
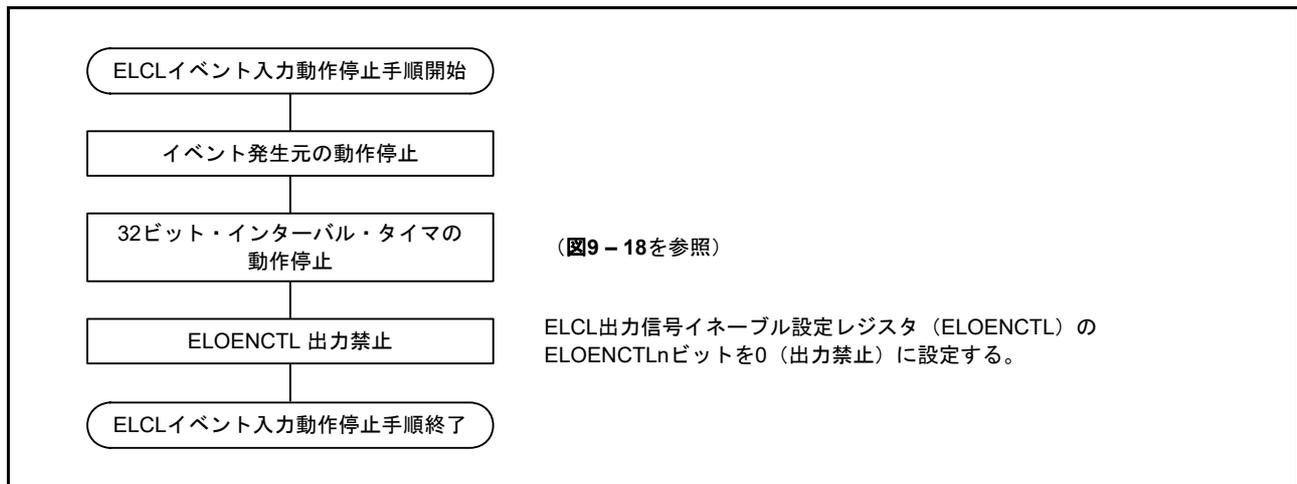


図9 - 22 ELCLからのイベント入力の動作停止手順



## 第10章 クロック出力／ブザー出力制御回路 (PCLBUZ)

**注意** この章では、以降の主な説明を64ピン製品の場合で説明しています。

### 10.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺 IC に供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

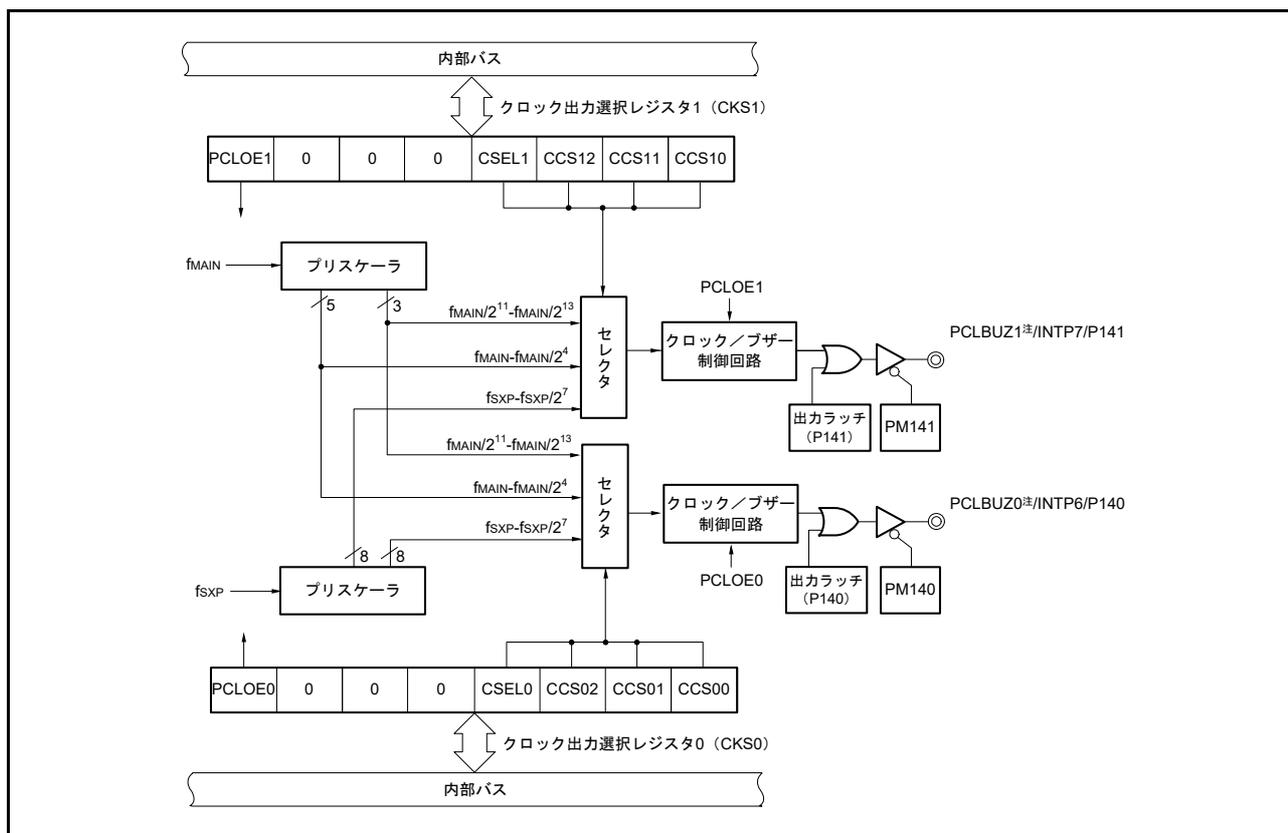
PCLBUZn 端子は、クロック出力選択レジスタ n (CKSn) で選択したクロックを出力します。

図 10 - 1 にクロック出力／ブザー出力制御回路のブロック図を示します。

**注意** サブシステム・クロック供給モード制御レジスタ (OSMC) の RTCLPC = 1 かつサブシステム・クロック (fSUB) で CPU 動作中の HALT モード時は、PCLBUZn 端子から、低速周辺クロック (fSXP) を出力することはできません。

**備考** n = 0, 1

図10-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1 端子から出力可能な周波数は、37.4 AC特性を参照してください。

備考 この図のクロック出力／ブザー出力端子は、64-128ピン製品でPIOR3 = 0, PIOR4 = 0の場合です。

## 10.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表10-1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) ポート・モード・レジスタ 1, 3, 5, 14 (PM1, PM3, PM5, PM14) ポート・レジスタ 1, 3, 5, 14 (P1, P3, P5, P14) ポート・モード・コントロールT・レジスタ 3 (PMCT3) ポート・モード・コントロールE・レジスタ 1 (PMCE1)

## 10.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路を制御するレジスタを次に示します。

- クロック出力選択レジスタ n (CKSn)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

**備考** x = 1; xx = 1, 3, 5, 14  
 ただし、PMCT1, 14、PMCE3, 14は搭載していません。

### 10.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1)  
 リセット時: 00H  
 R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0		PCLBUZn端子の出力クロックの選択			
					fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 32 MHz
0	0	0	0	fMAIN	5 MHz注	10 MHz注	設定禁止	設定禁止
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz注	10 MHz注	16 MHz注
0	0	1	0	fMAIN/2 <sup>2</sup>	1.25 MHz	2.5 MHz	5 MHz注	8 MHz注
0	0	1	1	fMAIN/2 <sup>3</sup>	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fMAIN/2 <sup>4</sup>	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fMAIN/2 <sup>11</sup>	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	fMAIN/2 <sup>12</sup>	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	fMAIN/2 <sup>13</sup>	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	fsXP	32.768 kHz			
1	0	0	1	fsXP/2	16.384 kHz			
1	0	1	0	fsXP/2 <sup>2</sup>	8.192 kHz			
1	0	1	1	fsXP/2 <sup>3</sup>	4.096 kHz			
1	1	0	0	fsXP/2 <sup>4</sup>	2.048 kHz			
1	1	0	1	fsXP/2 <sup>5</sup>	1.024 kHz			
1	1	1	0	fsXP/2 <sup>6</sup>	512 Hz			
1	1	1	1	fsXP/2 <sup>7</sup>	256 Hz			

注 選択可能な出力クロックは、電源電圧 (VDD) によって異なります。詳しくは、37.4 AC特性を参照してください。

注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。

注意2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 0かつSTOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。

注意3. サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1かつサブシステム・クロック (fsUB) でCPU動作中のHALTモード時は、PCLBUZn端子から、低速周辺クロック (fsXP) を出力することはできません。

(備考は次ページに続きます)

備考1.  $n = 0, 1$

備考2.  $f_{MAIN}$  : メイン・システム・クロック周波数

$f_{SUB}$  : サブシステム・クロック周波数

$f_{SXP}$  : 低速周辺クロック周波数

### 10.3.2 クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ

クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCEx) を参照してください。

PCLBUZ0, 1 を兼用する端子をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビット、ポート・モード・コントロールT・レジスタ (PMCTxx) のビット、ポート・モード・コントロールE・レジスタ (PMCEx) のビットに0を設定してください。

例) P140/INTP6/PCLBUZ0 をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ14のPM140ビットを0に設定

ポート・レジスタ14のP140ビットを0に設定

備考 xx = 1, 3, 5, 14

ただし、PMCT1, 14、PMCE3, 14は搭載していません。

## 10.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は、クロック出力選択レジスタ 0 (CKS0) で選択したクロック／ブザーを出力します。

PCLBUZ1 端子は、クロック出力選択レジスタ 1 (CKS1) で選択したクロック／ブザーを出力します。

### 10.4.1 出力端子の動作

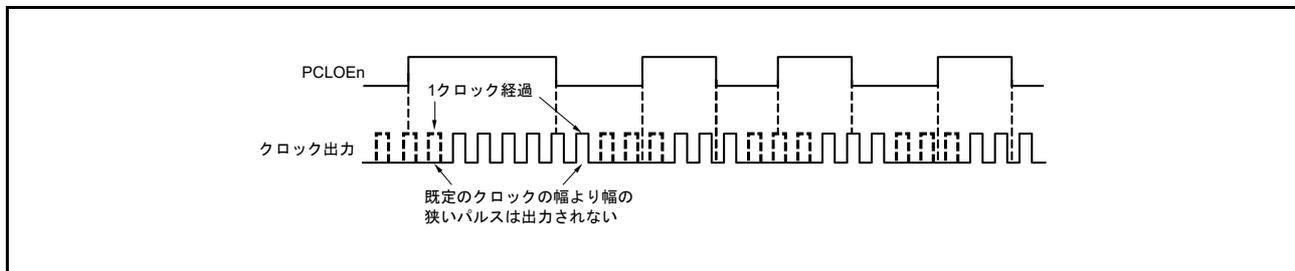
PCLBUZn 端子は、次の手順で出力します。

- ① PCLBUZn 端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx)、ポート・モード・コントロール T・レジスタ (PMCTxx)、ポート・モード・コントロール E・レジスタ (PMCEx) のビットに 0 を設定する。
- ② PCLBUZn 端子のクロック出力選択レジスタ (CKSn) のビット 0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKSn レジスタのビット 7 (PCLOEn) に 1 を設定し、クロック出力／ブザー出力を許可する。

**備考1.** クロック出力用として使用する際の制御回路は、クロック出力の出力許可／禁止 (PCLOEn ビット) を切り替えてから 1クロック後にクロック出力を開始／停止します。このとき既定のクロックの幅より幅の狭いパルスは出力されません。PCLOEn ビットによる出力の許可／停止とクロック出力のタイミングを図 10 - 3 に示します。

**備考2.** n = 0, 1

図 10 - 3 PCLBUZn 端子からのクロック出力のタイミング



## 10.5 クロック出力／ブザー出力制御回路使用時の注意事項

PCLBUZn 出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) にしてから PCLBUZn 端子の出力クロックの 1.5 クロック以内に STOP モードへ移行すると、PCLBUZn の出力幅が短くなります。

## 第11章 ウォッチドッグ・タイマ (WDT)

### 11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト (000C0H) でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック (f<sub>IL</sub>) の2分周クロック (1/2f<sub>IL</sub>) で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFレジスタの詳細については**第24章 リセット機能**を参照してください。

また、オーバフロー時間の75% + 1/4f<sub>IL</sub> 到達時にインターバル割り込みを発生することもできます。

## 11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

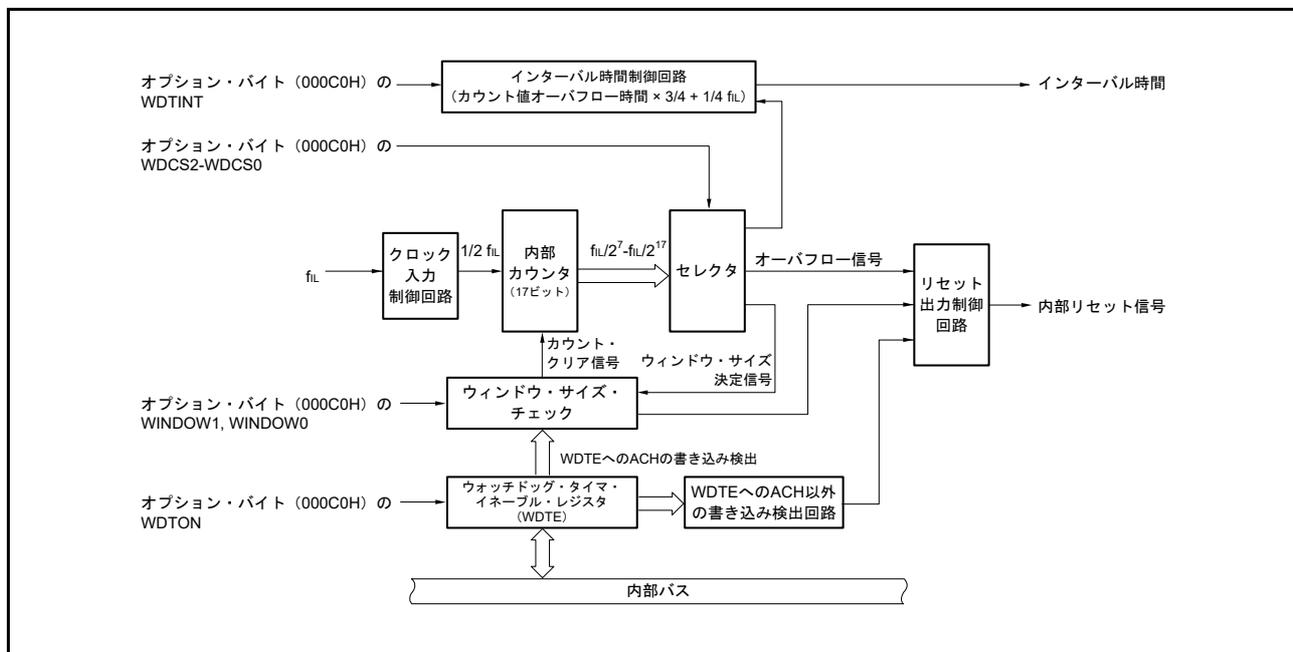
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウィンドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表11-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウィンドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2-WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

**備考** オプション・バイトについては、第32章 オプション・バイトを参照してください。

図 11-1 ウォッチドッグ・タイマのブロック図



**備考**  $f_{IL}$  : 低速オンチップ・オシレータ・クロック

## 11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

### 11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTE レジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTE レジスタは8ビット・メモリ操作命令で設定します。

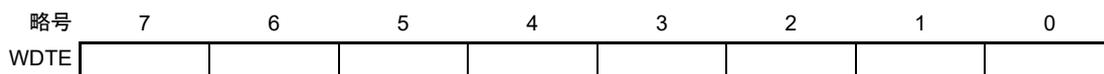
リセット信号の発生により、9AHまたは1AH<sup>注</sup>になります。

図 11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH

リセット時: 9AH/1AH<sup>注</sup>

R/W属性 : R/W



**注** WDTEレジスタのリセット値は、オプション・バイト (000C0H) のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

**注意1.** WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

**注意2.** WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

**注意3.** WDTEレジスタのリード値は、“9AH/1AH” (書き込んだ値 (“ACH”)とは異なる値) になります。

## 11.4 ウォッチドッグ・タイマの動作

### 11.4.1 ウォッチドッグ・タイマの動作制御

(1) ウォッチドッグ・タイマを使用する場合、オプション・バイト (000C0H) で次の内容を設定します。

- オプション・バイト (000C0H) のビット4 (WDTON) を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可 (リセット解除後、カウンタは動作開始) にしてください (詳細は、**第32章 オプション・バイト**を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止 (リセット解除後、カウンタ停止)
1	カウンタ動作許可 (リセット解除後、カウンタ開始)

- オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で、オーバフロー時間を設定してください (詳細は、**11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定**および**第32章 オプション・バイト**を参照)。
- オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で、ウィンドウ・オープン期間を設定してください (詳細は、**11.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定**および**第32章 オプション・バイト**を参照)。

(2) リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。

(3) カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

(4) 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウィンドウ・オープン期間中に行ってください。ウィンドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。

(5) WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を超えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

**注意1.** リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) への書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

**注意2.** WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大fILの4クロックの誤差が生じる場合があります。

**注意3.** ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマの HALT、STOP、およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0 の場合、HALT および STOP モード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOP モード解除後に X1 発振クロックで動作する場合は、CPU は発振安定時間経過後に動作を開始します。

そのため、STOP モード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによる STOP モード解除後に X1 発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

### 11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (000C0H) のビット 3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表11-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f <sub>IL</sub> = 37.683 kHz (Max.) の場合)
0	0	0	2 <sup>7</sup> /f <sub>IL</sub> (3.39 ms)
0	0	1	2 <sup>8</sup> /f <sub>IL</sub> (6.79 ms)
0	1	0	2 <sup>9</sup> /f <sub>IL</sub> (13.58 ms)
0	1	1	2 <sup>10</sup> /f <sub>IL</sub> (27.17 ms)
1	0	0	2 <sup>12</sup> /f <sub>IL</sub> (108.69 ms)
1	0	1	2 <sup>14</sup> /f <sub>IL</sub> (434.78 ms) 注
1	1	0	2 <sup>15</sup> /f <sub>IL</sub> (869.56 ms) 注
1	1	1	2 <sup>17</sup> /f <sub>IL</sub> (3478.26 ms) 注

**注** 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み (INTWDTI) が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①~⑤の手順で実行することで、マスクする事ができます。

<使用条件>

- ・ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ウォッチドッグ・タイマのカウント値がオーバフロー時間で75% 以上のときにWDTE レジスタ (FFFABH) にACH を書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0 (MK0L) のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウントをクリア
- ③ 80 μs 以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0 (IF0L) のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0 (MK0L) のWDTIMKビットを0にクリア

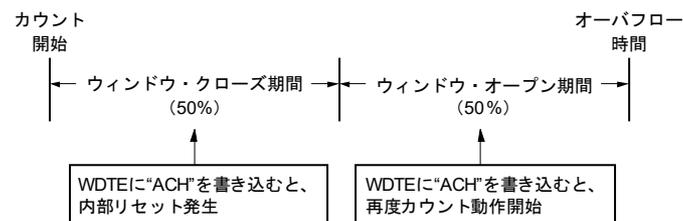
**備考** f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック周波数

### 11.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウィンドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウィンドウ・オープン期間が 50% の場合



**注意** リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表11-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	1	50%
1	1	100%
上記以外		設定禁止

**備考** オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定	
	50%	100%
ウィンドウ・クローズ時間	0 ~ 18.38 ms	なし
ウィンドウ・オープン時間	18.38 ~ 27.17 ms	0 ~ 27.17 ms

<ウィンドウ・オープン期間 50% のとき>

- オーバフロー時間 :  
 $2^{10}/f_{IL} (\text{Max.}) = 2^{10}/37.683 \text{ kHz} = 27.17 \text{ ms}$
- ウィンドウ・クローズ時間 :  
 $0 \sim 2^{10}/f_{IL} (\text{Min.}) \times (1 - 0.5) = 0 \sim 2^{10}/27.852 \text{ kHz} \times 0.5 = 0 \sim 18.38 \text{ ms}$
- ウィンドウ・オープン時間 :  
 $2^{10}/f_{IL} (\text{Min.}) \times (1 - 0.5) \sim 2^{10}/f_{IL} (\text{Max.}) = 2^{10}/27.853 \text{ kHz} \times 0.5 \sim 2^{10}/37.683 \text{ kHz} = 18.38 \sim 27.17 \text{ ms}$

#### 11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の 75% + 1/4fIL 到達時にインターバル割り込み (INTWDTI) を発生することができます。

表11-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の 75% + 1/4fIL 到達時にインターバル割り込みを発生する

**注意** STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

**備考** INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生しません。

## 第12章 A/Dコンバータ (ADC)

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	30, 32ピン	36ピン	40ピン	44, 48ピン	52, 64ピン	80ピン	100ピン	128ピン
アナログ入力 チャンネル数	8 ch (ANI0-ANI3, ANI16- ANI19)	8 ch (ANI0-ANI5, ANI18, ANI19)	9 ch (ANI0-ANI6, ANI18, ANI19)	10 ch (ANI0-ANI7, ANI18, ANI19)	12 ch (ANI0-ANI7, ANI16- ANI19)	17 ch (ANI0-ANI11, ANI16- ANI20)	20 ch (ANI0-ANI14, ANI16- ANI20)	26 ch (ANI0-ANI14, ANI16- ANI26)

### 12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大26チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI14, ANI16-ANI26) を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP1-ADTYP0ビットにより、12ビット分解能と10ビット分解能と8ビット分解能を選択できます。A/Dコンバータには、次のような機能があります。

- 12ビット/10ビット/8ビット分解能 A/D変換

ANI0-ANI14, ANI16-ANI26からアナログ入力を1チャンネル選択し、12ビット/10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号 (INTAD) を発生します (セレクト・モード時の場合)。

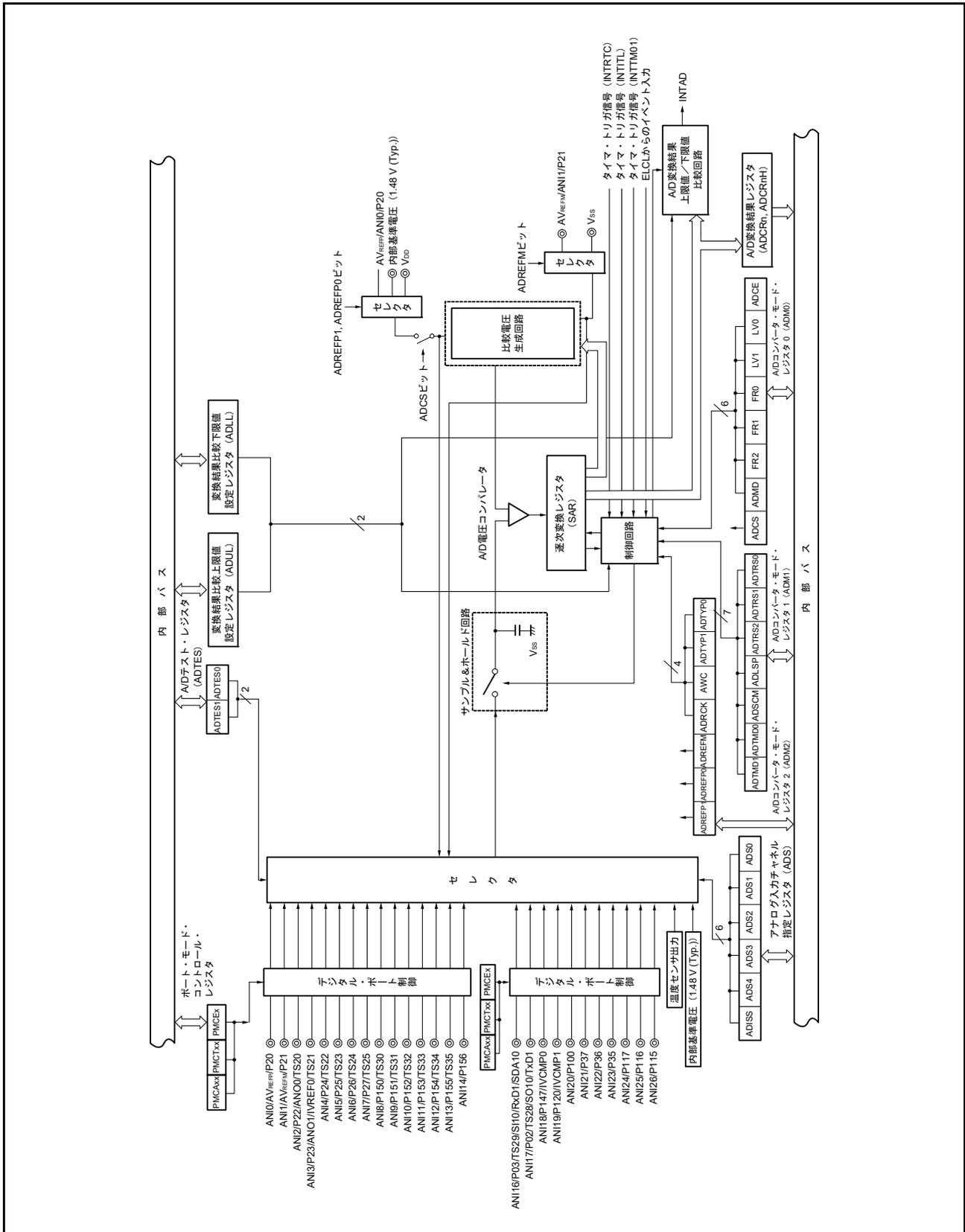
下記のモードの組み合わせにより、さまざまな A/D 変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ・ノーウェイト・モード	ソフトウェア操作で、ADCEビットを1に設定し、A/D電源安定待ち時間経過後に、ADCS = 1を設定することにより、変換動作を開始します。
	ソフトウェア・トリガ・ウェイト・モード	変換停止状態のときに、ソフトウェア操作で、ADCSビットを1に設定することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。
	ハードウェア・トリガ・ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウェイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用するときは、ハードウェア・トリガ・ウェイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。ANI0-ANI14のうち連続した4チャンネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。

動作電圧モード <sup>注</sup>	サンプリング・クロック数	
標準1	43 fAD	アナログ入力源の出カインピーダンスに応じて、サンプリング・コンデンサに十分に充電されるサンプリング・クロック数に設定してください。
標準2	160 fAD	
低電圧1	53 fAD	
低電圧2	80 fAD	

**注** アナログ入力チャンネル、VDD電圧、AVREFP電圧、トリガ・モード、fCLKにより、選択可能な動作モードが異なります。詳細は、表12-3 A/D変換時間の選択 (1/8)を参照してください。

図 12 - 1 A/Dコンバータのブロック図



備考1. この図のアナログ入力端子は、128ピン製品の場合です。

備考2. n = 0-3

## 12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI14, ANI16-ANI26端子

A/Dコンバータの26チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送りま  
す。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。  
比較した結果、アナログ入力電圧がリファレンス電圧 ( $1/2 AVREF$ ) より大きい場合には、逐次変換レジスタ  
(SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ( $1/2 AVREF$ ) より小  
さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされ  
ているビット11の値によって、比較電圧生成回路の電圧タップが選択されます。

- ビット11 = 0 : ( $1/4 AVREF$ )
- ビット11 = 1 : ( $3/4 AVREF$ )

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作しま  
す。

- アナログ入力電圧  $\geq$  比較電圧生成回路の電圧タップ : ビット10 = 1
- アナログ入力電圧  $\leq$  比較電圧生成回路の電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、  
最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果)  
は、A/D変換結果レジスタ (ADCRn) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D  
変換終了割り込み要求信号 (INTAD) が発生します。

(6) 12ビット/10ビットA/D変換結果レジスタ (ADCRn)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、

12ビット分解能に設定している場合は、A/D変換結果を下位12ビットに保持します (上位4ビットは0に固  
定)。

10ビット分解能に設定している場合は、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固  
定)。

**備考** AVREF : A/Dコンバータの+側基準電圧。AVREFP、内部基準電圧 (1.48 V (Typ.))、VDDから選択可能です。

## (7) 8ビットA/D変換結果レジスタ (ADCRnH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

## (8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADを発生します。

## (9) AVREFP端子

外部から基準電圧 (AVREFP) を入力する端子です。

AVREFPをA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと-側基準電圧 (AVREFM/VSS) 間にかかる電圧に基づいて、ANI2-ANI14, ANI16-ANI26に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AVREFPのほかVDDと内部基準電圧 (1.48 V (Typ.)) を選択することが可能です。

## (10) AVREFM端子

外部から基準電圧 (AVREFM) を入力する端子です。AVREFMをA/Dコンバータの-側基準電圧として使用する場合は、ADM2レジスタのADREFMビットをセット (1) してください。

A/Dコンバータの-側基準電圧には、AVREFMのほかVSSを選択することが可能です。

## 12.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 12ビット/10ビットA/D変換結果レジスタ (ADCRn)
- 8ビットA/D変換結果レジスタ (ADCRnH)
- アナログ入力チャネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

**備考** x = 0; xx = 0, 2, 3, 10-12, 14, 15

ただし、PMCT10-12, 14、PMCE2, 3, 10-12, 14, 15は搭載していません。

### 12.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCWEN	IICA1EN <sup>注1</sup>	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN <sup>注2</sup>	TAU0EN
	ADCEN	A/Dコンバータの入カクロックの制御						
	0	入カクロック供給停止 ・ A/Dコンバータで使用するSFR へのライト不可 ・ A/Dコンバータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可						

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは00Hとなり、書き込みは無視されます (ポート・モード・レジスタ0, 2, 3, 10, 11, 12, 14, 15 (PM0, PM2, PM3, PM10, PM11, PM12, PM14, PM15)、ポート・モード・コントロールA・レジスタ0, 2, 3, 10, 11, 12, 14, 15 (PMCA0, PMCA2, PMCA3, PMCA10, PMCA11, PMCA12, PMCA14, PMCA15)、ポート・モード・コントロールT・レジスタ0, 2, 15 (PMCT0, PMCT2, PMCT15)、ポート・モード・コントロールE・レジスタ0 (PMCE0) は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 12ビット／10ビットA/D変換結果レジスタ (ADCRn)
- ・ 8ビットA/D変換結果レジスタ (ADCRnH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. 次のビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット1, 6

44, 48, 52, 64ピン製品 : ビット1

### 12.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。  
 PRR0 レジスタで対応する各周辺ハードウェアのリセット/リセット解除の制御を行います。  
 A/Dコンバータをリセットする場合は、ビット5 (ADCRES) を1に設定してください。  
 PRR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、PRR0 レジスタは00Hになります。

図12-3 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR0	0	IICA1RES 注1	ADCRES	IICA0RES	SAU1RES	SAU0RES	TAU1RES 注2	TAU0RES
	ADCRES	A/Dコンバータのリセット制御						
	0	A/Dコンバータのリセット解除						
	1	A/Dコンバータのリセット状態 ・ A/Dコンバータで使用するSFRが初期化されます。						

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. ビット7には、必ず0を設定してください。

注意2. 次の各ビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

### 12.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-4 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス : FFF30H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
ADM0	ADCS	ADMD	FR2 <sup>注1</sup>	FR1 <sup>注1</sup>	FR0 <sup>注1</sup>	LV1 <sup>注1</sup>	LV0 <sup>注1</sup>	ADCE
ADCS	A/D変換動作の制御							
0	変換動作停止 [リード時] 変換動作停止/待機状態							
1	変換動作許可 [リード時] ソフトウェア・トリガ・ノー・ウエイト・モード時: 変換動作許可 ソフトウェア・トリガ・ウエイト・モード時: A/D電源安定待ち状態 + 変換動作状態 ハードウェア・トリガ・ノー・ウエイト・モード時: 変換動作許可 ハードウェア・トリガ・ウエイト・モード時: A/D電源安定待ち状態 + 変換動作状態							
ADMD	A/D変換チャンネル選択モードを設定							
0	セレクト・モード							
1	スキャン・モード							
ADCE	A/D電圧コンパレータの動作制御 <sup>注2</sup>							
0	A/D電圧コンパレータの動作停止							
1	A/D電圧コンパレータの動作許可							

**注1.** FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表12-3 A/D変換時間の選択 (1/8)を参照してください。

**注2.** ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1  $\mu$ s + 変換クロック (f<sub>AD</sub>) の2クロックかかります。このため、ADCEビットに1を設定してから1  $\mu$ s + 変換クロック (f<sub>AD</sub>) の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1  $\mu$ s + 変換クロック (f<sub>AD</sub>) の2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

**注意1.** ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

**注意2.** ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。

**注意3.** ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず12.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

★ **注意4.** 変換待機状態/変換動作状態からADCS = 0, ADCE = 0の変換停止状態にした場合は、次にADCE = 1またはADCS = 1を設定するまでに5  $\mu$ sウエイトしてください。なお、ADMD, FR2-FR0, LV1, LV0ビットを変更する場合は、ADCS = 0, ADCE = 0に設定した後、0.2  $\mu$ s経過後にADMD, FR2-FR0, LV1, LV0ビットを変更してください。

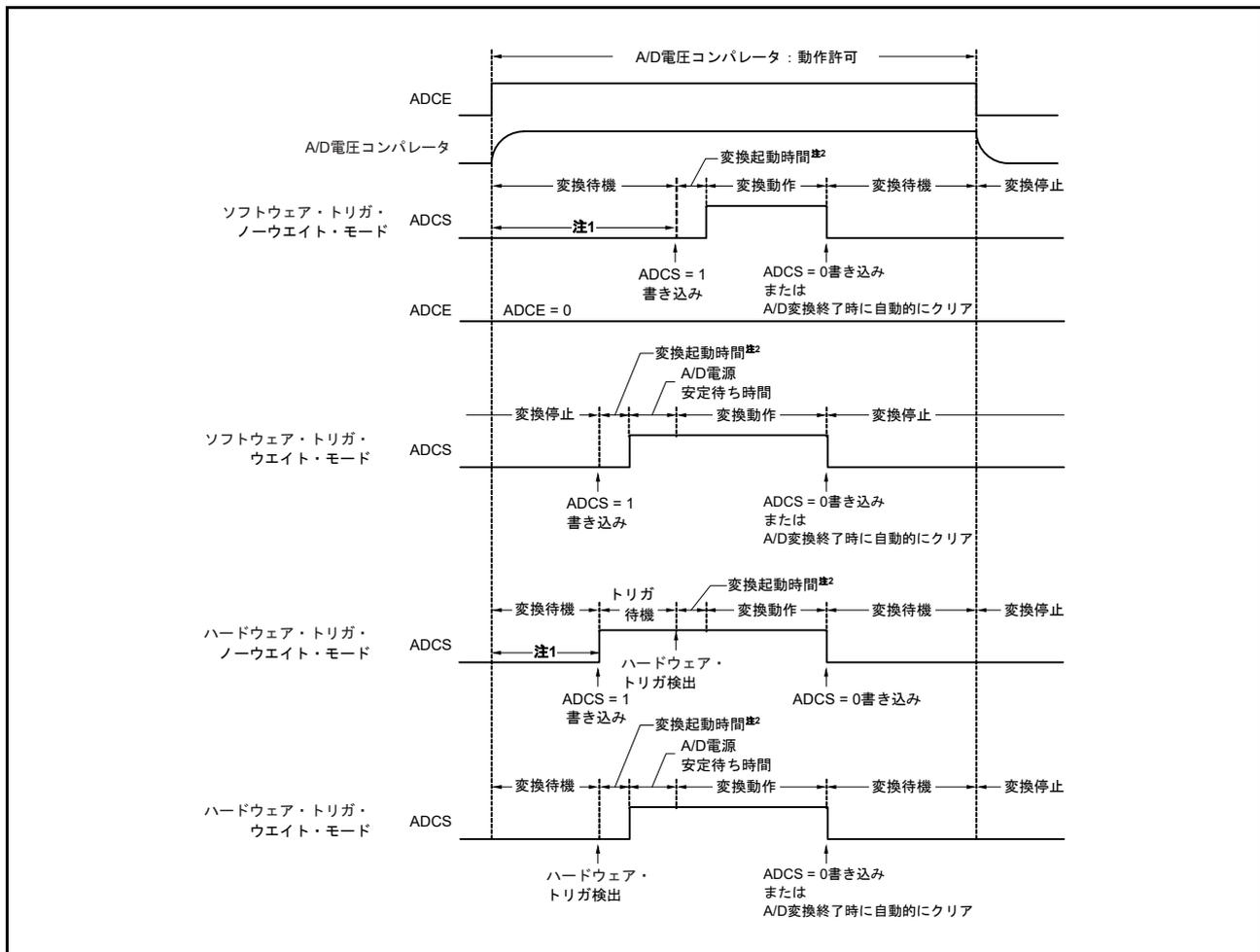
表12-1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	変換動作状態 (ソフトウェア・トリガ・ウェイト・モード) または変換停止状態
1	1	変換動作状態 (ソフトウェア・トリガ・ウェイト・モード以外)

表12-2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ・ ノーウェイト・モード	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	• ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • A/D変換終了時に自動的に0にクリア
	スキャン・モード	連続変換モード		• ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • 設定した4チャンネル分の変換が終了すると、自動的に0にクリア
ソフトウェア・トリガ・ ウェイト・モード	セレクト・モード	連続変換モード		• ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • A/D変換終了時に自動的に0にクリア
	スキャン・モード	連続変換モード		• ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • 設定した4チャンネル分の変換が終了すると、自動的に0にクリア
ハードウェア・トリガ・ ノーウェイト・モード	セレクト・モード	連続変換モード	• ADCS = 0 ライトした場合	
		ワンショット変換モード	• ADCS = 0 ライトした場合	
	スキャン・モード	連続変換モード	• ADCS = 0 ライトした場合	
		ワンショット変換モード	• ADCS = 0 ライトした場合	
ハードウェア・トリガ・ ウェイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリ ガが入力された場合	• ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • A/D変換終了時に自動的に0にクリア
	スキャン・モード	連続変換モード		• ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • 設定した4チャンネル分の変換が終了すると、自動的に0にクリア

図12-5 A/D電圧コンパレータ使用時のタイミング・チャート



- 注1. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s} + \text{変換クロック} (f_{AD})$  の2クロック以上必要です。
- 注2. 変換起動には、最大で次の時間がかかります。

ADM1	ADM0			変換クロック (fAD)	起動時間 (fCLKクロック数)	
	FR2	FR1	FR0		ソフトウェア・トリガ・ ノーウエイト・モード/ ハードウェア・トリガ・ ノーウエイト・モード	ソフトウェア・トリガ・ ウエイト・モード/ ハードウェア・トリガ・ ウエイト・モード
0	0	0	0	fCLK/32	31	1
0	0	0	1	fCLK/16	15	1
0	0	1	0	fCLK/8	7	1
0	0	1	1	fCLK/4	3	1
0	1	0	0	fCLK/2	1	1
0	1	0	1	fCLK	1	1
1	0	1	1	fCLK/4	3	1
1	1	0	0	fCLK/2	1	1
1	1	0	1	fCLK	1	1

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

**注意1.** ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。

**注意2.** ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。

**注意3.** ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

**注意4.** A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間  
+ A/D変換時間 + 5 μs

★

**備考** fCLK : CPU／周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (1/8)

(1) A/D電源安定待ち時間なし 標準モード1, 2  
 (ソフトウェア・トリガ・ノーウエイト・セレクト・モード/  
 ハードウェア・トリガ・ノーウエイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)					
(AD M1)	(ADMO)										2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	2112/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	66 μs
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	1056/fCLK	設定禁止	設定禁止	設定禁止	66 μs	33 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	528/fCLK	設定禁止	設定禁止	66 μs	33 μs	16.5 μs
0	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	設定禁止	33 μs	16.5 μs	8.25 μs
0	1	0	0				fCLK/2	1 fAD	64 fAD	1 fAD	132/fCLK	設定禁止	設定禁止	16.5 μs	8.25 μs	4.125 μs
0	1	0	1				fCLK	1 fAD	64 fAD	1 fAD	66/fCLK	設定禁止	設定禁止	8.25 μs	4.125 μs	2.0625 μs
1	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	66 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	64 fAD	1 fAD	132/fCLK	設定禁止	33 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	64 fAD	1 fAD	66/fCLK	66 μs	16.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	0	標準2	fCLK/32	1 fAD	181 fAD	1 fAD	5856/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	183 μs
0	0	0	1				fCLK/16	1 fAD	181 fAD	1 fAD	2928/fCLK	設定禁止	設定禁止	設定禁止	183 μs	91.5 μs
0	0	1	0				fCLK/8	1 fAD	181 fAD	1 fAD	1464/fCLK	設定禁止	設定禁止	183 μs	91.5 μs	45.75 μs
0	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	設定禁止	91.5 μs	45.75 μs	22.875 μs
0	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	設定禁止	45.75 μs	22.875 μs	11.4375 μs
0	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	設定禁止	設定禁止	22.875 μs	11.4375 μs	5.71875 μs
1	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	183 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	91.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	183 μs	45.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (2/8)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2  
 (ソフトウェア・トリガ・ノーウエイト・セレクト・モード/  
 ハードウェア・トリガ・ノーウエイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V	
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs
0	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	設定禁止	41 μs	20.5 μs	10.25 μs
0	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	設定禁止	20.5 μs	10.25 μs	5.125 μs
0	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	82/fCLK	設定禁止	設定禁止	10.25 μs	5.125 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	82 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	41 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	82/fCLK	82 μs	20.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	1	1	低電圧2	fCLK/32	1 fAD	107 fAD	1 fAD	3488/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	109 μs
0	0	0	1				fCLK/16	1 fAD	107 fAD	1 fAD	1744/fCLK	設定禁止	設定禁止	設定禁止	109 μs	54.5 μs
0	0	1	0				fCLK/8	1 fAD	107 fAD	1 fAD	872/fCLK	設定禁止	設定禁止	109 μs	54.5 μs	27.25 μs
0	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	設定禁止	54.5 μs	27.25 μs	13.625 μs
0	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	設定禁止	27.25 μs	13.625 μs	6.8125 μs
0	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	設定禁止	設定禁止	13.625 μs	6.8125 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (3/8)

(3) A/D電源安定待ち時間あり 標準モード1, 2  
 (ソフトウェア・トリガ・ウエイト・セレクト・モード/  
 ハードウェア・トリガ・ウエイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)									
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	2.4 V ≤ AVREFF ≤ VDD ≤ 5.5 V					
ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72 μs	36 μs
0	0	1	0				fCLK/8	6 fAD	64 fAD	4 fAD	592/fCLK	設定禁止	設定禁止	74 μs	37 μs	18.5 μs
0	0	1	1				fCLK/4	10 fAD	64 fAD	4 fAD	312/fCLK	設定禁止	設定禁止	39 μs	19.5 μs	9.75 μs
0	1	0	0				fCLK/2	18 fAD	64 fAD	4 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs
0	1	0	1				fCLK	34 fAD	64 fAD	4 fAD	102/fCLK	設定禁止	設定禁止	12.75 μs	6.375 μs	3.1875 μs
1	0	1	1				fCLK/4	4 fAD	64 fAD	4 fAD	288/fCLK	設定禁止	72 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	64 fAD	4 fAD	144/fCLK	設定禁止	36 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	64 fAD	4 fAD	74/fCLK	74 μs	18.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	0	標準2	fCLK/32	4 fAD	181 fAD	4 fAD	6048/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	189 μs
0	0	0	1				fCLK/16	4 fAD	181 fAD	4 fAD	3024/fCLK	設定禁止	設定禁止	設定禁止	189 μs	94.5 μs
0	0	1	0				fCLK/8	6 fAD	181 fAD	4 fAD	1528/fCLK	設定禁止	設定禁止	191 μs	95.5 μs	47.75 μs
0	0	1	1				fCLK/4	10 fAD	181 fAD	4 fAD	780/fCLK	設定禁止	設定禁止	97.5 μs	48.75 μs	24.375 μs
0	1	0	0				fCLK/2	18 fAD	181 fAD	4 fAD	406/fCLK	設定禁止	設定禁止	50.75 μs	25.375 μs	12.6875 μs
0	1	0	1				fCLK	34 fAD	181 fAD	4 fAD	219/fCLK	設定禁止	設定禁止	27.375 μs	13.6875 μs	6.84375 μs
1	0	1	1				fCLK/4	4 fAD	181 fAD	4 fAD	756/fCLK	設定禁止	189 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	181 fAD	4 fAD	378/fCLK	設定禁止	94.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191 μs	47.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表12-3 A/D変換時間の選択 (1/8)参照)。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (4/8)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2  
 (ソフトウェア・トリガ・ウエイト・セレクト・モード/  
 ハードウェア・トリガ・ウエイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック 数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)						
(AD M1)	(ADM0)										1.6V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.6V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.8V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.4V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.7V ≤ AVREFF ≤ VDD ≤ 5.5 V		
	ADL SP	FR2	FR1	FR0	LV1 LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz		
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs	
0	0	0	1	1	0		fCLK/16	4 fAD	80 fAD	4 fAD	1408/fCLK	設定禁止	設定禁止	設定禁止	88 μs	44 μs	
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	720/fCLK	設定禁止	設定禁止	90 μs	45 μs	22.5 μs	
0	0	1	1				fCLK/4	10 fAD	80 fAD	4 fAD	376/fCLK	設定禁止	設定禁止	47 μs	23.5 μs	11.75 μs	
0	1	0	0				fCLK/2	18 fAD	80 fAD	4 fAD	204/fCLK	設定禁止	設定禁止	25.5 μs	12.75 μs	6.375 μs	
0	1	0	1				fCLK	34 fAD	80 fAD	4 fAD	118/fCLK	設定禁止	設定禁止	14.75 μs	7.375 μs	設定禁止	
1	0	1	1				fCLK/4	4 fAD	80 fAD	4 fAD	352/fCLK	設定禁止	88 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0				fCLK/2	4 fAD	80 fAD	4 fAD	176/fCLK	設定禁止	44 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1				fCLK	6 fAD	80 fAD	4 fAD	90/fCLK	90 μs	22.5 μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止										
0	0	0	0			1	1	低電圧2	fCLK/32	4 fAD	107 fAD	4 fAD	3680/fCLK	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	1	1	fCLK/16	4 fAD		107 fAD	4 fAD	1840/fCLK	設定禁止	設定禁止	設定禁止	115 μs	57.5 μs	
0	0	1	0			fCLK/8	6 fAD		107 fAD	4 fAD	936/fCLK	設定禁止	設定禁止	117 μs	58.5 μs	29.25 μs	
0	0	1	1			fCLK/4	10 fAD		107 fAD	4 fAD	484/fCLK	設定禁止	設定禁止	60.5 μs	30.25 μs	15.125 μs	
0	1	0	0			fCLK/2	18 fAD		107 fAD	4 fAD	258/fCLK	設定禁止	設定禁止	32.25 μs	16.125 μs	8.0625 μs	
0	1	0	1			fCLK	34 fAD		107 fAD	4 fAD	145/fCLK	設定禁止	設定禁止	18.125 μs	9.0625 μs	設定禁止	
1	0	1	1			fCLK/4	4 fAD		107 fAD	4 fAD	460/fCLK	設定禁止	115 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0			fCLK/2	4 fAD		107 fAD	4 fAD	230/fCLK	設定禁止	57.5 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1			fCLK	6 fAD		107 fAD	4 fAD	117/fCLK	117 μs	29.25 μs	設定禁止	設定禁止	設定禁止	
上記以外						設定禁止											

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表12-3 A/D変換時間の選択(2/8)参照)。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック(fAD)の3クロック分短くなります。

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック(fAD)と変換時間(tCONV)の範囲内で選択してください。なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック(fAD)は16 MHz以下で使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック(fAD)は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (5/8)

(5) A/D電源安定待ち時間なし 標準モード1, 2  
 (ソフトウェア・トリガ・ノーウエイト・スキャン・モード/  
 ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
(AD M1)	(ADMO)										2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	258 μs
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	設定禁止	258 μs	129 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	2064/fCLK	設定禁止	設定禁止	258 μs	129 μs	64.5 μs
0	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	1032/fCLK	設定禁止	設定禁止	129 μs	64.5 μs	32.25 μs
0	1	0	0				fCLK/2	1 fAD	64 fAD	1 fAD	516/fCLK	設定禁止	設定禁止	64.5 μs	32.25 μs	16.125 μs
0	1	0	1				fCLK	1 fAD	64 fAD	1 fAD	258/fCLK	設定禁止	設定禁止	32.25 μs	16.125 μs	8.0625 μs
1	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	1032/fCLK	設定禁止	258 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	64 fAD	1 fAD	516/fCLK	設定禁止	129 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	64 fAD	1 fAD	258/fCLK	258 μs	64.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	1	標準2	fCLK/32	1 fAD	181 fAD	1 fAD	23232/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	726 μs
0	0	0	1				fCLK/16	1 fAD	181 fAD	1 fAD	11616/fCLK	設定禁止	設定禁止	設定禁止	726 μs	363 μs
0	0	1	0				fCLK/8	1 fAD	181 fAD	1 fAD	5808/fCLK	設定禁止	設定禁止	726 μs	363 μs	181.5 μs
0	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	2904/fCLK	設定禁止	設定禁止	363 μs	181.5 μs	90.75 μs
0	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	設定禁止	181.5 μs	90.75 μs	45.375 μs
0	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	設定禁止	設定禁止	90.75 μs	45.375 μs	22.6875 μs
1	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	2904/fCLK	設定禁止	726 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	363 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726 μs	181.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。
- ★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (6/8)

(6) A/D電源安定待ち時間なし 低電圧モード1, 2  
 (ソフトウェア・トリガ・ノーウエイト・スキャン・モード/  
 ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック 数	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6 V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFF ≤ VDD ≤ 5.5 V	
	ADL SP	FR2	FR1	FR0	LV1 LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	5152/fCLK	設定禁止	設定禁止	設定禁止	322 μs	161 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	2576/fCLK	設定禁止	設定禁止	322 μs	161 μs	80.5 μs
0	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	1288/fCLK	設定禁止	設定禁止	161 μs	80.5 μs	40.25 μs
0	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	644/fCLK	設定禁止	設定禁止	80.5 μs	40.25 μs	20.125 μs
0	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	322/fCLK	設定禁止	設定禁止	40.25 μs	20.125 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	1288/fCLK	設定禁止	322 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	644/fCLK	設定禁止	161 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	322/fCLK	322 μs	80.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	1	1	低電圧2	fCLK/32	1 fAD	107 fAD	1 fAD	13760/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	430 μs
0	0	0	1				fCLK/16	1 fAD	107 fAD	1 fAD	6880/fCLK	設定禁止	設定禁止	設定禁止	430 μs	215 μs
0	0	1	0				fCLK/8	1 fAD	107 fAD	1 fAD	3440/fCLK	設定禁止	設定禁止	430 μs	215 μs	107.5 μs
0	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	1720/fCLK	設定禁止	設定禁止	215 μs	107.5 μs	53.75 μs
0	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	設定禁止	107.5 μs	53.75 μs	26.875 μs
0	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	設定禁止	設定禁止	53.75 μs	26.875 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	1720/fCLK	設定禁止	430 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	215 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430 μs	107.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (7/8)

(7) A/D電源安定待ち時間あり 標準モード1, 2  
 (ソフトウェア・トリガ・ウエイト・スキャン・モード/  
 ハードウェア・トリガ・ウエイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
(AD M1)	(ADM0)										2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	8448/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	264 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	4224/fCLK	設定禁止	設定禁止	設定禁止	264 μs	132 μs
0	0	1	0				fCLK/8	6 fAD	64 fAD	4 fAD	2128/fCLK	設定禁止	設定禁止	266 μs	133 μs	66.5 μs
0	0	1	1				fCLK/4	10 fAD	64 fAD	4 fAD	1080/fCLK	設定禁止	設定禁止	135 μs	67.5 μs	33.75 μs
0	1	0	0				fCLK/2	18 fAD	64 fAD	4 fAD	556/fCLK	設定禁止	設定禁止	69.5 μs	34.75 μs	17.375 μs
0	1	0	1				fCLK	34 fAD	64 fAD	4 fAD	294/fCLK	設定禁止	設定禁止	36.75 μs	18.375 μs	9.1875 μs
1	0	1	1				fCLK/4	4 fAD	64 fAD	4 fAD	1056/fCLK	1056 μs	264 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	64 fAD	4 fAD	528/fCLK	528 μs	132 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	64 fAD	4 fAD	266/fCLK	266 μs	66.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	1	標準2	fCLK/32	4 fAD	181 fAD	4 fAD	23424/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	732 μs
0	0	0	1				fCLK/16	4 fAD	181 fAD	4 fAD	11712/fCLK	設定禁止	設定禁止	設定禁止	732 μs	366 μs
0	0	1	0				fCLK/8	6 fAD	181 fAD	4 fAD	5872/fCLK	設定禁止	設定禁止	734 μs	367 μs	183.5 μs
0	0	1	1				fCLK/4	10 fAD	181 fAD	4 fAD	2952/fCLK	設定禁止	設定禁止	369 μs	184.5 μs	92.25 μs
0	1	0	0				fCLK/2	18 fAD	181 fAD	4 fAD	1492/fCLK	設定禁止	設定禁止	186.5 μs	93.25 μs	46.625 μs
0	1	0	1				fCLK	34 fAD	181 fAD	4 fAD	762/fCLK	設定禁止	設定禁止	95.25 μs	47.625 μs	23.8125 μs
1	0	1	1				fCLK/4	4 fAD	181 fAD	4 fAD	2928/fCLK	設定禁止	732 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	181 fAD	4 fAD	1464/fCLK	設定禁止	366 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	734/fCLK	734 μs	183.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表12-3 A/D変換時間の選択 (1/8)参照)。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (8/8)

(8) A/D電源安定待ち時間あり 低電圧モード1, 2  
 (ソフトウェア・トリガ・ウエイト・スキャン・モード/  
 ハードウェア・トリガ・ウエイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 × 4 + 割り込み出力遅延時間)						
(AD M1)	(ADM0)										1.6V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.6V ≤ AVREFF ≤ VDD ≤ 5.5 V	1.8V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.4V ≤ AVREFF ≤ VDD ≤ 5.5 V	2.7V ≤ AVREFF ≤ VDD ≤ 5.5 V		
	ADL SP	FR2	FR1	FR0	LV1 LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz		
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	328 μs	
0	0	0	1	1	0		fCLK/16	4 fAD	80 fAD	4 fAD	5248/fCLK	設定禁止	設定禁止	設定禁止	328 μs	164 μs	
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	2640/fCLK	設定禁止	設定禁止	330 μs	165 μs	82.5 μs	
0	0	1	1				fCLK/4	10 fAD	80 fAD	4 fAD	1336/fCLK	設定禁止	設定禁止	167 μs	83.5 μs	41.75 μs	
0	1	0	0				fCLK/2	18 fAD	80 fAD	4 fAD	684/fCLK	設定禁止	設定禁止	85.5 μs	42.75 μs	21.375 μs	
0	1	0	1				fCLK	34 fAD	80 fAD	4 fAD	358/fCLK	設定禁止	設定禁止	44.75 μs	22.375 μs	設定禁止	
1	0	1	1				fCLK/4	4 fAD	80 fAD	4 fAD	1312/fCLK	設定禁止	328 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0				fCLK/2	4 fAD	80 fAD	4 fAD	656/fCLK	設定禁止	164 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1				fCLK	6 fAD	80 fAD	4 fAD	330/fCLK	330 μs	82.5 μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止										
0	0	0	0			1	1	低電圧2	fCLK/32	4 fAD	107 fAD	4 fAD	13952/fCLK	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	1	1	fCLK/16	4 fAD		107 fAD	4 fAD	6976/fCLK	設定禁止	設定禁止	設定禁止	436 μs	218 μs	
0	0	1	0			fCLK/8	6 fAD		107 fAD	4 fAD	3504/fCLK	設定禁止	設定禁止	438 μs	219 μs	109.5 μs	
0	0	1	1			fCLK/4	10 fAD		107 fAD	4 fAD	1768/fCLK	設定禁止	設定禁止	221 μs	110.5 μs	55.25 μs	
0	1	0	0			fCLK/2	18 fAD		107 fAD	4 fAD	900/fCLK	設定禁止	設定禁止	112.5 μs	56.25 μs	28.125 μs	
0	1	0	1			fCLK	34 fAD		107 fAD	4 fAD	466/fCLK	設定禁止	設定禁止	58.25 μs	29.125 μs	設定禁止	
1	0	1	1			fCLK/4	4 fAD		107 fAD	4 fAD	1744/fCLK	設定禁止	436 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0			fCLK/2	4 fAD		107 fAD	4 fAD	872/fCLK	設定禁止	218 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1			fCLK	6 fAD		107 fAD	4 fAD	438/fCLK	438 μs	109.5 μs	設定禁止	設定禁止	設定禁止	
上記以外						設定禁止											

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表12-3 A/D変換時間の選択(2/8)参照)。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック(fAD)の3クロック分短くなります。

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック(fAD)と変換時間(tCONV)の範囲内で選択してください。なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

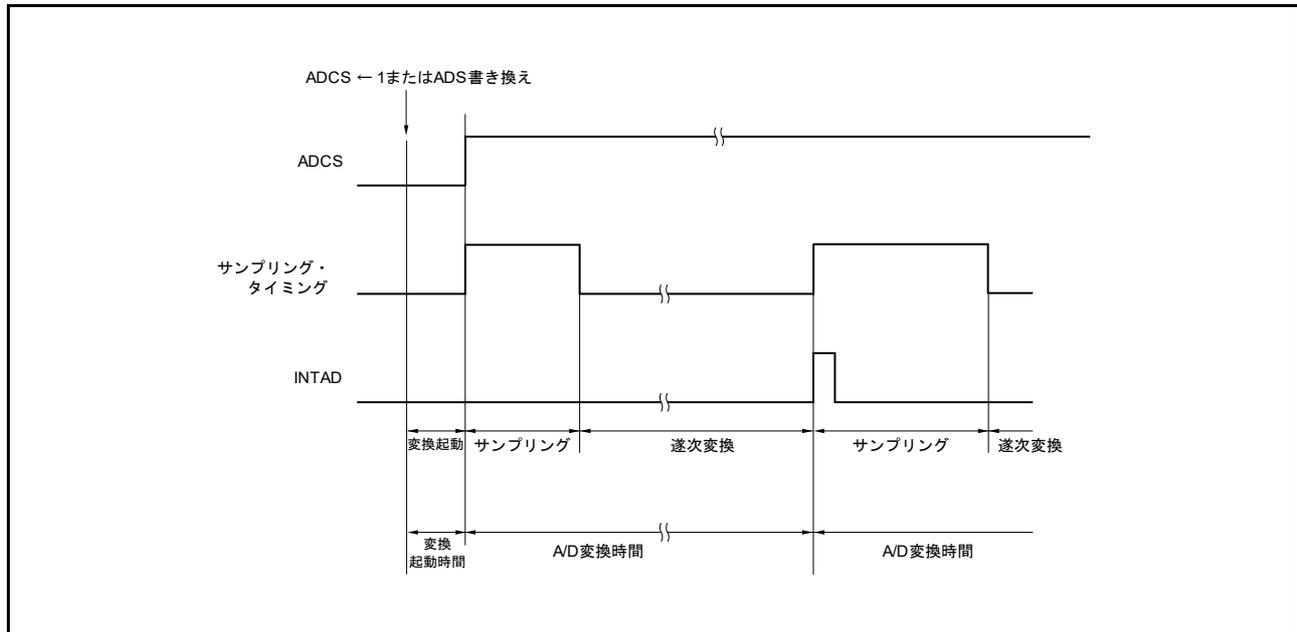
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック(fAD)は16 MHz以下で使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック(fAD)は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

図12-6 A/DコンバータのサンプリングとA/D変換のタイミング  
 (例 ソフトウェア・トリガ・ノーウェイト・モードの場合)



## 12.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	ADLSP	ADTRS2	ADTRS1	ADTRS0
ADTMD1	ADTMD0	A/D変換トリガ・モードの選択						
0	×	ソフトウェア・トリガ・ノーウエイト・モード、ソフトウェア・トリガ・ウエイト・モード						
1	0	ハードウェア・トリガ・ノーウエイト・モード						
1	1	ハードウェア・トリガ・ウエイト・モード						
ADLSP	fCLKの入力周波数設定							
0	4 MHz < fCLK ≤ 32 MHz							
1	1 MHz ≤ fCLK ≤ 4 MHz							
ADSCM	A/D変換動作モードの設定							
0	連続変換モード							
1	ワンショット変換モード							
ADTRS2	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択					
0	0	0	タイマ・チャンネル01のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)					
0	1	0	リアルタイム・クロック割り込み信号 (INTRTC)					
0	1	1	32ビット・インターバル・タイマ割り込み信号 (INTITL)					
1	0	0	ELCLからのイベント入力					
上記以外			設定禁止					

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + 5 μs

★

注意3. SNOOZEモード機能以外のモードにおいて、INTRTC, INTITL入力後最大fCLKの4クロック間は、次のINTRTC, INTITL入力がトリガとして有効になりません。

備考1. × : Don't care

備考2. fCLK : CPU/周辺ハードウェア・クロック周波数

### 12.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択、A/D変換結果の上限値/下限値のチェック、分解能の選択、およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	VDDから供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧 (1.48 V (Typ.)) から供給
1	1	ディスチャージ

★ ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。

- ① ADCE = 0に設定
- ② 0.2 μs以上をウェイト
- ③ ADREFP1, ADREFP0 = (1, 1) 設定  
ADREFP1, ADREFP0 = 1, 0に変更する場合のみ
- ④ 基準電圧ディスチャージ時間 : 1 μs  
ADREFP1, ADREFP0 = 1, 0に変更する場合のみ
- ⑤ ADREFP1, ADREFP0の値を変更
- ⑥ 基準電圧安定待ち時間 (A)
- ⑦ ADCE = 1に設定
- ⑧ 基準電圧安定待ち時間 (B)  
ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μs, B = 1 μs + 変換クロック (fAD) の2クロック  
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : A = 4.8 μs, B = 1 μs + 変換クロック (fAD) の2クロック
- ⑧のウェイトのあとに、A/D変換開始してください。

★ ADREFP1, ADREFP0 = 1, 0に設定した場合、温度センサ出力電圧と内部基準電圧 (1.48 V (Typ.)) をA/D変換することはできません。  
必ずADISS = 0としてA/D変換を行ってください。

ADREFM	A/Dコンバータの-側の基準電圧の選択
0	Vssから供給
1	P21/AVREFM/ANI1から供給

図12-8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (2/2)

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ ≤ ADCRnレジスタ ≤ ADULレジスタ (AREA1) のとき割り込み信号 (INTAD) が発生。
1	ADCRnレジスタ < ADLLレジスタ (AREA2)、ADULレジスタ < ADCRnレジスタ (AREA3) のとき割り込み信号 (INTAD) が発生。

AREA1-AEA3の割り込み信号 (INTAD) 発生範囲を図12-9に示します。

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。

- SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウェイト・モード時はAWC = 0、ハードウェア・トリガ・ウェイト・モード時はAWC = 1に設定してください。
- ソフトウェア・トリガ・ノーウェイト・モード、およびハードウェア・トリガ・ノーウェイト・モードでのSNOOZEモード機能は使用禁止です。
- ハードウェア・トリガ・ウェイト・モードの連続変換モードでのSNOOZEモード機能は使用禁止です。
- SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間<sup>注</sup> + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック + 5 μs」以上の間隔を空けて設定してください。
- SNOOZEモード機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。

またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。  
AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。

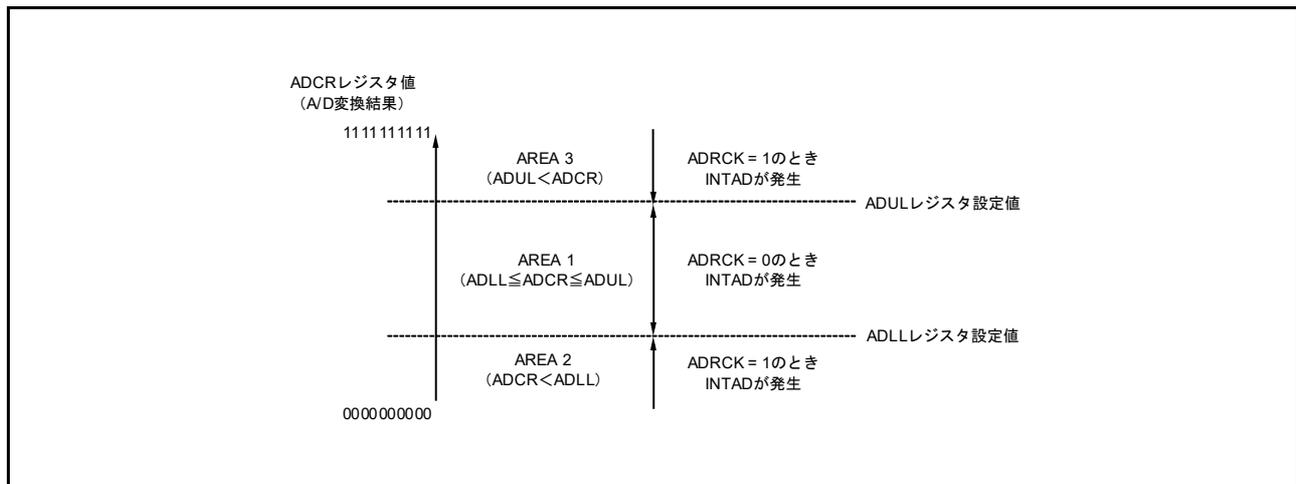
★

ADTYP1	ADTYP0	A/D変換分解能の選択
0	0	10ビット分解能
0	1	8ビット分解能
1	0	12ビット分解能
1	1	設定禁止

注 23.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

- 注意1. ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
- 注意2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFP1 = 1に設定しないでください。内部基準電圧 (ADREFP1, ADREFP0 = 1, 0) 選択時は、37.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF) の電流値が加算されます。
- 注意3. AVREFPとAVREFMを使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

図12-9 ADRCKビットによる割り込み信号発生範囲



**備考** INTADが発生しない場合は、A/D変換結果がADCRn, ADCRnHレジスタに格納されません。

### 12.3.6 12ビット／10ビットA/D変換結果レジスタ (ADCRn)

A/D変換結果を保持する16ビットのレジスタです。

12ビット分解能A/D変換を選択時、上位4ビットは0固定です。

10ビット分解能A/D変換を選択時、下位6ビットは0固定です。

A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

ADCRnレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

セレクト・モード時は、変換結果がADCRレジスタおよびADCR0レジスタに格納されます注。スキャン・モード時は、スキャン0の変換結果がADCRレジスタおよびADCR0レジスタに格納され、スキャン1-3の変換結果がADCR1-ADCR3レジスタに格納されます注。

**注** A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL/ADLLレジスタで設定 (図12-9参照)) で設定した値の範囲外の場合は格納されません。

図12-10 12ビット／10ビットA/D変換結果レジスタ (ADCRn) のフォーマット

アドレス : FFF1FH, FFF1EH (ADCR)注, F0021H, F0020H (ADCR0)注, F0023H, F0022H (ADCR1), F0025H, F0024H (ADCR2), F0027H, F0026H (ADCR3)  
 リセット時: 0000H  
 R/W属性 : R



**注** ADCR0レジスタにはADCRレジスタの内容が格納されます。

**注意1.** 8ビット分解能A/D変換を選択時 (A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP1-0 = 01) にADCRnレジスタをリードした場合、上位8ビット以外のビットは0が読み出されます。

**注意2.** ADCRnレジスタへ16ビット・アクセスした場合、10ビット分解能A/D変換選択時は変換結果上位10ビットがADCRnレジスタのビット15から順に読み出せます。

12ビット分解能A/D変換選択時は変換結果上位12ビットがADCRnレジスタのビット11から順に読み出せます。

**注意3.** A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロールA・レジスタ0, 2, 3, 10, 11, 12, 14, 15 (PMCA0, PMCA2, PMCA3, PMCA10, PMCA11, PMCA12, PMCA14, PMCA15)、ポート・モード・コントロールT・レジスタ0, 2, 15 (PMCT0, PMCT2, PMCT15)、ポート・モード・コントロールE・レジスタ0 (PMCE0) に対して書き込み動作を行ったとき、ADCRnレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PMCTxx, PMCExレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

### 12.3.7 8ビットA/D変換結果レジスタ (ADCRnH)

A/D変換結果を保持する8ビットのレジスタです。12ビット分解能の上位8ビットを格納します<sup>注</sup>。

ADCRnHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

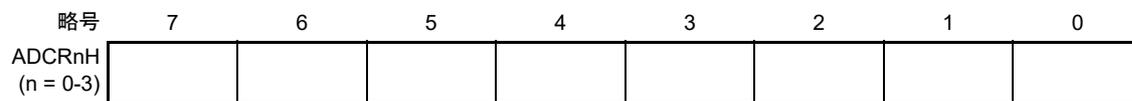
**注** A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL/ADLLレジスタで設定 (図12-9参照)) で設定した値の範囲外の場合は格納されません。

図12-11 8ビットA/D変換結果レジスタ (ADCRnH) のフォーマット

アドレス : FFF1FH (ADCRH)<sup>注</sup>, F0021H (ADCR0H)<sup>注</sup>, F0023H (ADCR1H), F0025H (ADCR2H), F0027H (ADCR3H)

リセット時: 00H

R/W属性 : R



**注** ADCR0HレジスタにはADCRHレジスタの内容が格納されます。

**注意** A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロールA・レジスタ0, 2, 3, 10, 11, 12, 14, 15 (PMCA0, PMCA2, PMCA3, PMCA10, PMCA11, PMCA12, PMCA14, PMCA15)、ポート・モード・コントロールT・レジスタ0, 2, 15 (PMCT0, PMCT2, PMCT15)、ポート・モード・コントロールE・レジスタ0 (PMCE0) に対して書き込み動作を行ったとき、ADCRnHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PMCTxx, PMCExレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

### 12.3.8 アナログ入力チャネル指定レジスタ (ADS)

A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 12-12 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

<セレクト・モード (ADMD = 0) > (1/2)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	0	1	0	0	0	ANI8	P150/ANI8 端子
0	0	1	0	0	1	ANI9	P151/ANI9 端子
0	0	1	0	1	0	ANI10	P152/ANI10 端子
0	0	1	0	1	1	ANI11	P153/ANI11 端子
0	0	1	1	0	0	ANI12	P154/ANI12 端子
0	0	1	1	0	1	ANI13	P155/ANI13 端子
0	0	1	1	1	0	ANI14	P156/ANI14 端子
0	1	0	0	0	0	ANI16	P03/ANI16 端子注1
0	1	0	0	0	1	ANI17	P02/ANI17 端子注2
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	ANI20	P100/ANI20 端子
0	1	0	1	0	1	ANI21	P37/ANI21 端子
0	1	0	1	1	0	ANI22	P36/ANI22 端子
0	1	0	1	1	1	ANI23	P35/ANI23 端子
0	1	1	0	0	0	ANI24	P117/ANI24 端子
0	1	1	0	0	1	ANI25	P116/ANI25 端子

## &lt;セレクト・モード (ADMD = 0) &gt; (2/2)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	1	1	0	1	0	ANI26	P115/ANI26端子
0	1	1	1	1	0	—	CTSUのTSCAP電圧
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧 (1.48 V (Typ.))
上記以外						設定禁止	

注1. 30, 32ピン製品の場合は、P01/ANI16端子になります。

注2. 30, 32ピン製品の場合は、P00/ANI17端子になります。

## &lt;スキャン・モード (ADMD = 1) &gt;

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
0	0	1	0	1	1	ANI11	ANI12	ANI13	ANI14
上記以外						設定禁止			

注意1. ビット6, 5には必ず0を設定してください。

注意2. PMCAxx, PMCTxx, PMCEx レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0, 2, 3, 10-12, 14, 15 (PM0, PM2, PM3, PM10-PM12, PM14, PM15) で入力モードに選択してください。

注意3. ポート・モード・コントロールA・レジスタ0, 2, 3, 10, 11, 12, 14, 15 (PMCA0, PMCA2, PMCA3, PMCA10, PMCA11, PMCA12, PMCA14, PMCA15)、ポート・モード・コントロールT・レジスタ0, 2, 15 (PMCT0, PMCT2, PMCT15)、ポート・モード・コントロールE・レジスタ0 (PMCE0) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意5. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。

注意6. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。

(注意は次ページに続きます)

- 注意7. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧/内部基準電圧を選択時の設定（例 ソフトウェア・トリガ・ノーウェイト・モード、ワンショット変換モード時）を参照してください。内部基準電圧値は第37章 電気的特性を参照してください。
- 注意8. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、37.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF) の電流値が加算されます。
- 注意9. ADISS = 1に設定した場合、ハードウェア・トリガ・ウェイト・モードかつワンショット変換モードは使用できません。

### 12.3.9 変換結果比較上限値設定レジスタ (ADUL)

A/D 変換結果対し、上限値をチェックするために設定するレジスタです。

A/D 変換結果と ADUL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADRCK ビットの設定範囲 (図 12-9 ADRCK ビットによる割り込み信号発生範囲参照) で割り込み信号 (INTAD) の発生を制御します。

ADUL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図 12-13 変換結果比較上限値設定レジスタ (ADUL) のフォーマット

アドレス : F0011H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

### 12.3.10 変換結果比較下限値設定レジスタ (ADLL)

A/D 変換結果対し、下限値をチェックするために設定するレジスタです。

A/D 変換結果と ADLL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADRCK ビットの設定範囲 (図 12-9 ADRCK ビットによる割り込み信号発生範囲参照) で割り込み信号 (INTAD) の発生を制御します。

ADLL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 12-14 変換結果比較下限値設定レジスタ (ADLL) のフォーマット

アドレス : F0012H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意 1. 10ビット分解能A/D変換選択時は、A/D変換結果レジスタADCRn[15:8]を、12ビット分解能A/D変換選択時は、A/D変換結果レジスタADCRn[11:4]を、ADULレジスタおよびADLLレジスタと比較します。

注意 2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意 3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

### 12.3.11 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル (ANlxx)、温度センサ出力電圧、内部基準電圧 (1.48 V (Typ.)) を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-15 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧/内部基準電圧 (1.48 V (Typ.)) (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

### 12.3.12 A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

詳細は、**4.3.1 ポート・モード・レジスタ (PMxx)**、**4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)**、**4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)**、**4.3.9 ポート・モード・コントロールE・レジスタ (PMCEx)** を参照してください。

ANI0-ANI14, ANI16-ANI26 を兼用する端子を A/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロールA・レジスタ (PMCAxx) のビットに1を設定してください。

**備考** xx = 0, 2, 3, 10-12, 14, 15

ただし、PMCT10-12, 14、PMCE2, 3, 10-12, 14, 15は搭載していません。

## 12.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 11 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AVREF にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力が (1/2) AVREF よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、(1/2) AVREF よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット 10 が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット 11 の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ビット 11 = 1 : (3/4) AVREF
- ビット 11 = 0 : (1/4) AVREF

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット 10 を次のように操作します。

- サンプリングされた電圧  $\geq$  電圧タップ : ビット 10 = 1
- サンプリングされた電圧 < 電圧タップ : ビット 10 = 0

- ⑥ このような比較をSARレジスタのビット 0 まで続けます。
- ⑦ 12ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCRn, ADCRnH) に転送され、ラッチします<sup>注1</sup>。

同時に、A/D変換終了割り込み要求信号 (INTAD) を発生させることができます<sup>注1</sup>。

- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します<sup>注2</sup>。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

**注1.** A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL/ADLLレジスタで設定 (図12-9 ADRCKビットによる割り込み信号発生範囲参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

**注2.** 連続変換モード時は、ADCSフラグは自動的に0にクリアされません。また、ハードウェア・トリガ・ノーウェイット・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に0にクリアされません。1のまま保持されます。

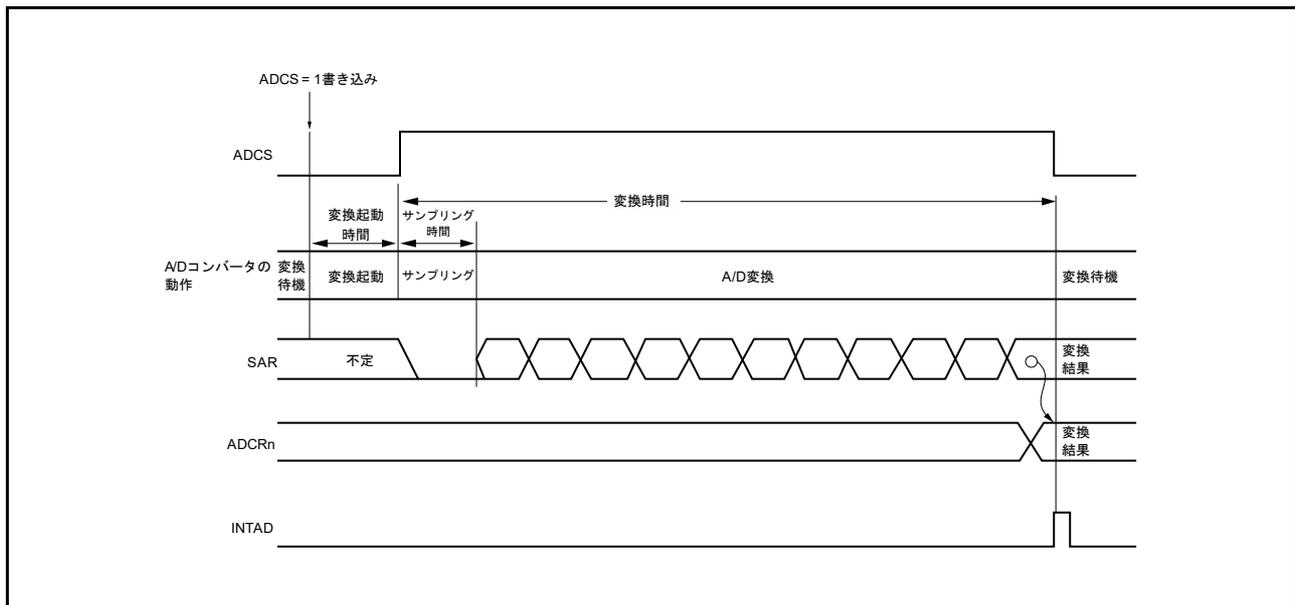
**備考1.** A/D変換結果レジスタは2種類あります。

- ADCRnレジスタ (16ビット) : 12ビット/10ビットのA/D変換値を格納します。
- ADCRnHレジスタ (8ビット) : 8ビットのA/D変換値を格納します。

**備考2.** AVREF : A/Dコンバータの+側基準電圧。AVREFP、内部基準電圧 (1.48 V (Typ.))、VDDから選択可能です。

**備考3.** n = 0-3

図12-16 A/Dコンバータの変換動作 (ソフトウェア・トリガ・ノーウエイト・モードの場合)



ワンショット変換モード時の A/D 変換動作は、A/D 変換終了後に ADCS ビットが自動的にクリア (0) されます。

連続変換モード時の A/D 変換動作は、ソフトウェアにより A/D コンバータ・モード・レジスタ 0 (ADM0) のビット 7 (ADCS) をクリア (0) するまで連続的に行われます。

A/D 変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

A/D 変換結果レジスタ (ADCRn, ADCRnH) は、リセット信号の発生により 0000H また 00H となります。

## 12.5 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI14, ANI16-ANI26) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (12 ビット / 10 ビット A/D 変換結果レジスタ (ADCRn)) には次式に示す関係があります。

$$\text{ADCRn} = \text{INT} \left( \frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 4096 + 0.5 \right)$$

または、

$$(\text{ADCRn} - 0.5) \times \frac{V_{\text{REF}}}{4096} \leq V_{\text{AIN}} < (\text{ADCRn} + 0.5) \times \frac{V_{\text{REF}}}{4096}$$

INT ( ): ( ) 内の値の整数部を返す関数

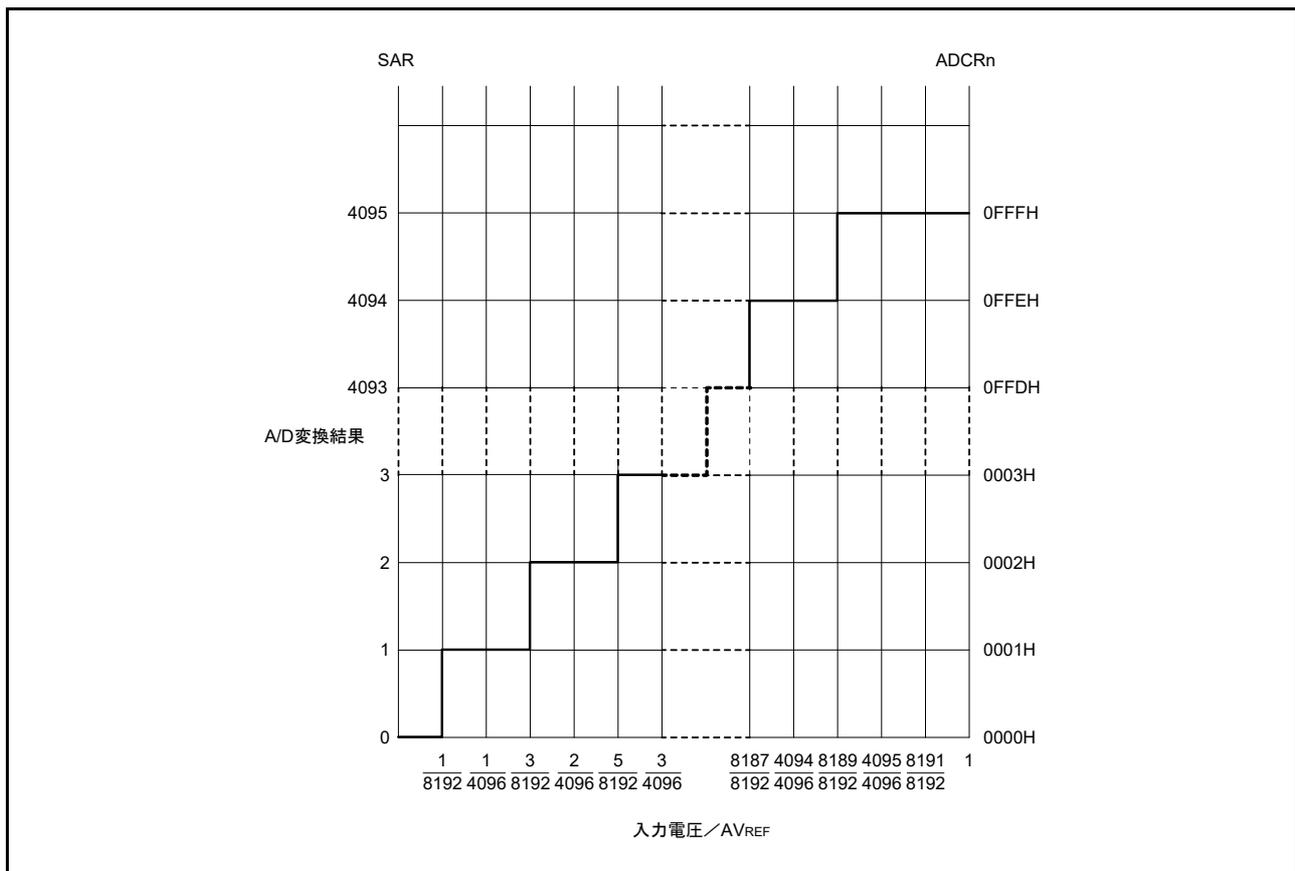
V<sub>AIn</sub> : アナログ入力電圧

V<sub>REF</sub> : V<sub>REF</sub> 端子電圧

ADCRn : 12 ビット / 10 ビット A/D 変換結果レジスタ (ADCRn) の値

図 12 - 17 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 12 - 17 アナログ入力電圧と A/D 変換結果の関係



**備考** V<sub>REF</sub> : A/Dコンバータの+側基準電圧。V<sub>REFP</sub>、内部基準電圧 (1.48 V (Typ.))、V<sub>DD</sub>から選択可能です

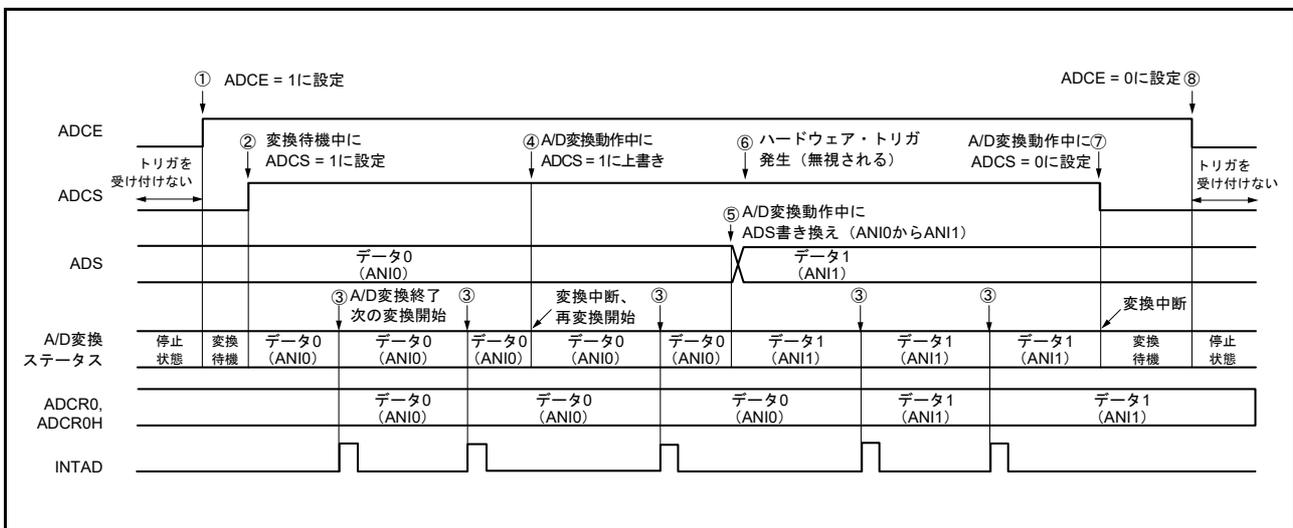
## 12.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を 12.7 A/Dコンバータの設定フロー・チャートに示します。

### 12.6.1 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1  $\mu$ s + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。

図12-18 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例

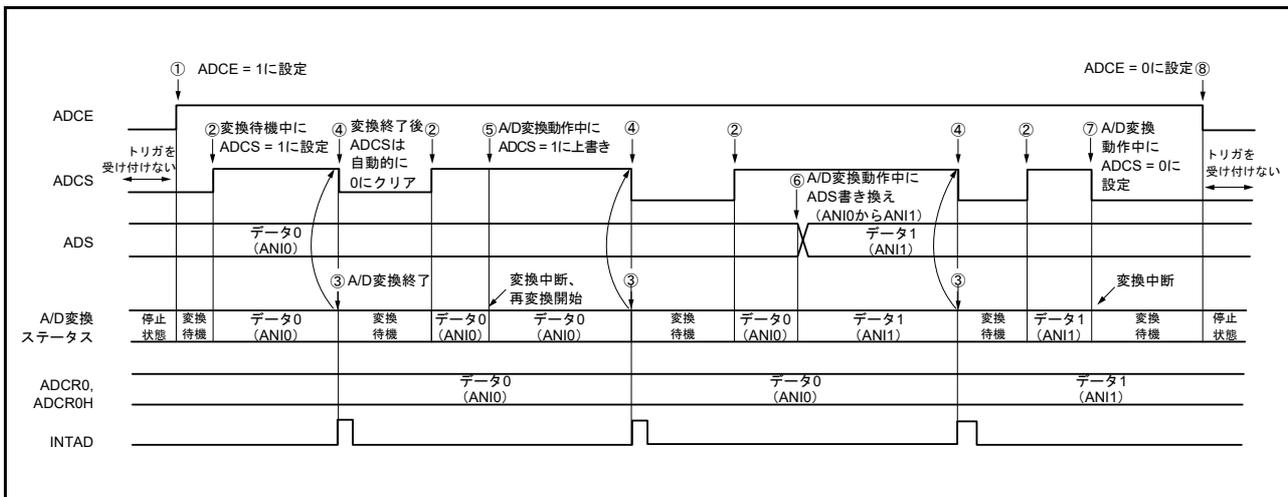


**注意** 変換動作中に上記④⑤を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.2 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1  $\mu$ s + 変換クロック ( $f_{AD}$ ) の2クロック) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H)に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

図12-19 ソフトウェア・セレクト・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例

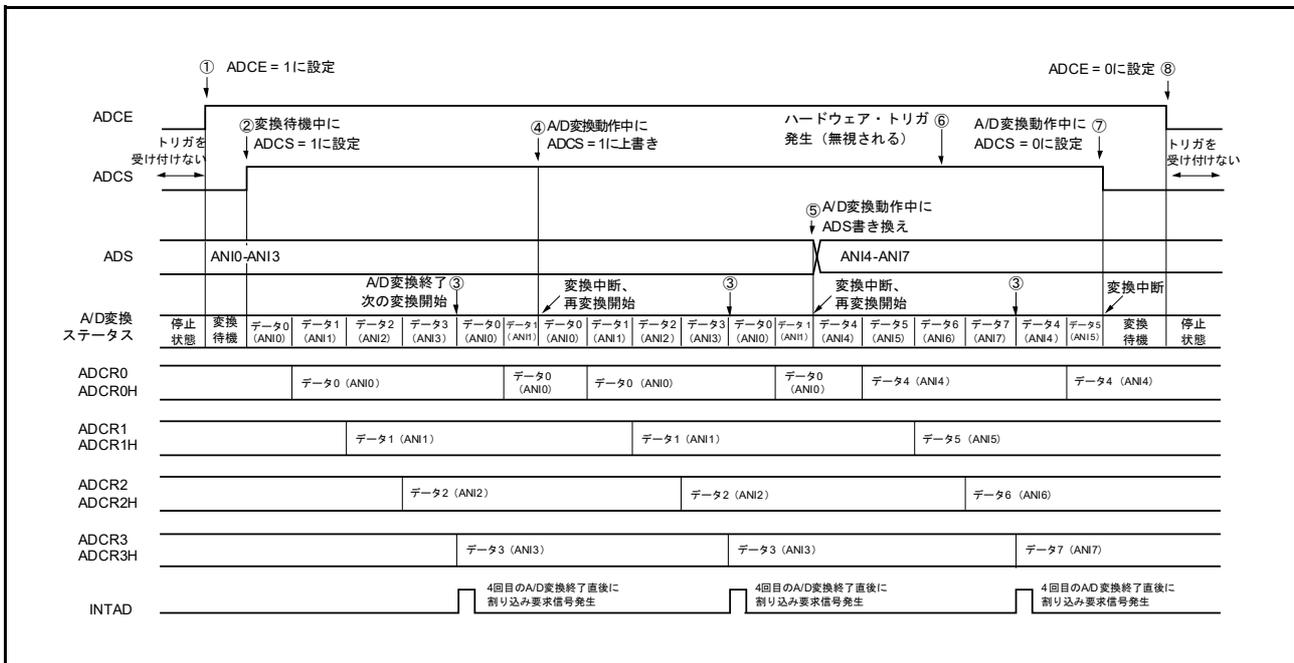


**注意** 変換動作中に上記⑤⑥を検出した場合、次の変換クロック ( $f_{AD}$ ) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.3 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1  $\mu$ s + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます (4チャンネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。

図12-20 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

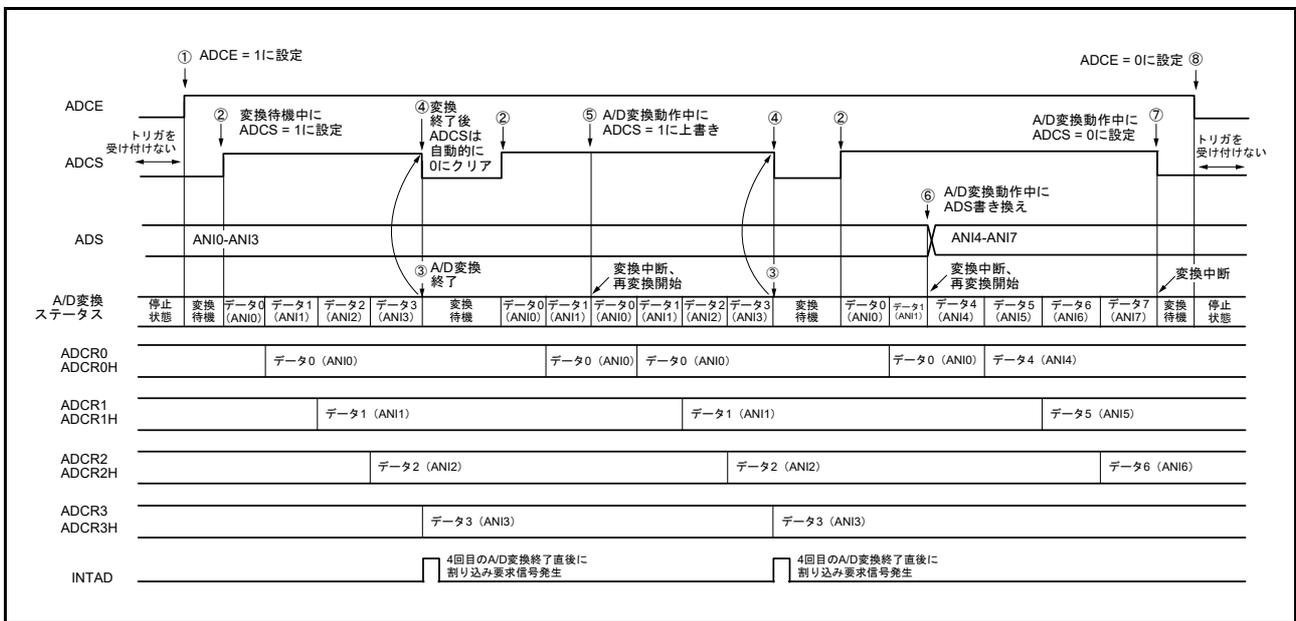


**注意** 変換動作中に上記④⑤を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.4 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1  $\mu$ s + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ 4チャンネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

図12-21 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

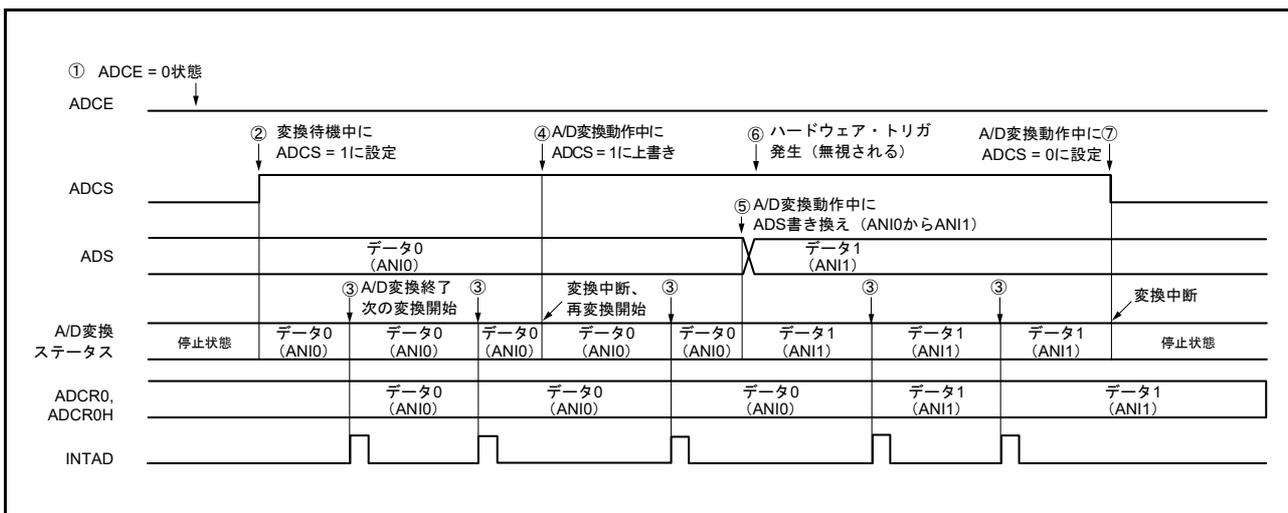


**注意** 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.5 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、連続変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 0の停止状態であることが、ソフトウェア・トリガ・ウェイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1が設定されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います (ソフトウェア・トリガ・ウェイト・モード)。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1に書き直すと、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび書き直すと、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。

図12-22 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、連続変換モード) 動作タイミング例

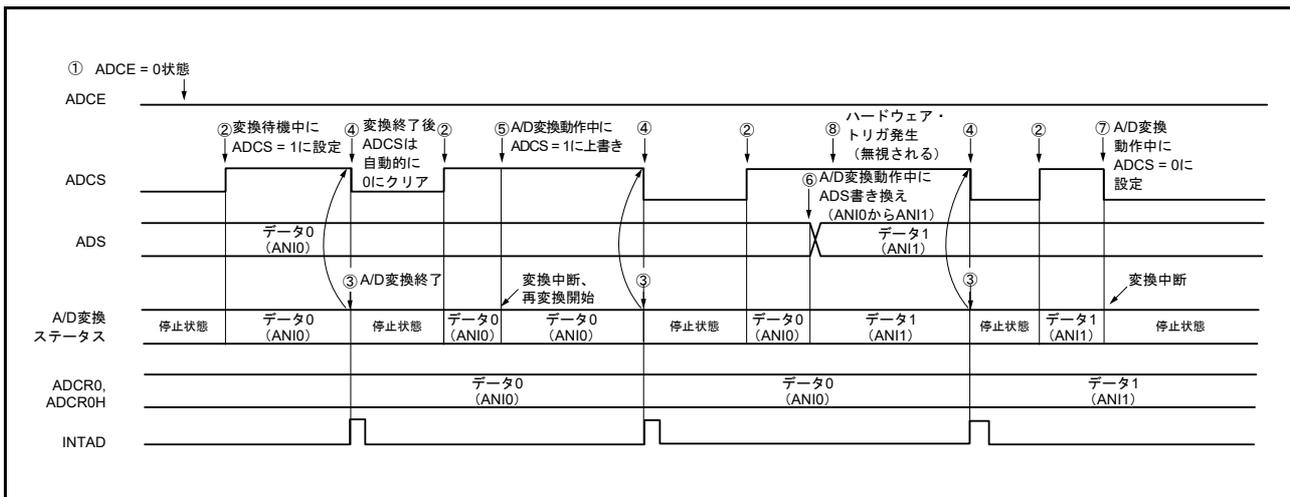


**注意** 変換動作中に上記④⑤を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.6 ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 0の停止状態であることが、ソフトウェア・トリガ・ウエイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1が設定されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います (ソフトウェア・トリガ・ウエイト・モード)。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にADCS = 1に書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。
- ⑧ 変換動作中にハードウェア・トリガが入力された場合、そのトリガは受け付けません。

図12-23 ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例

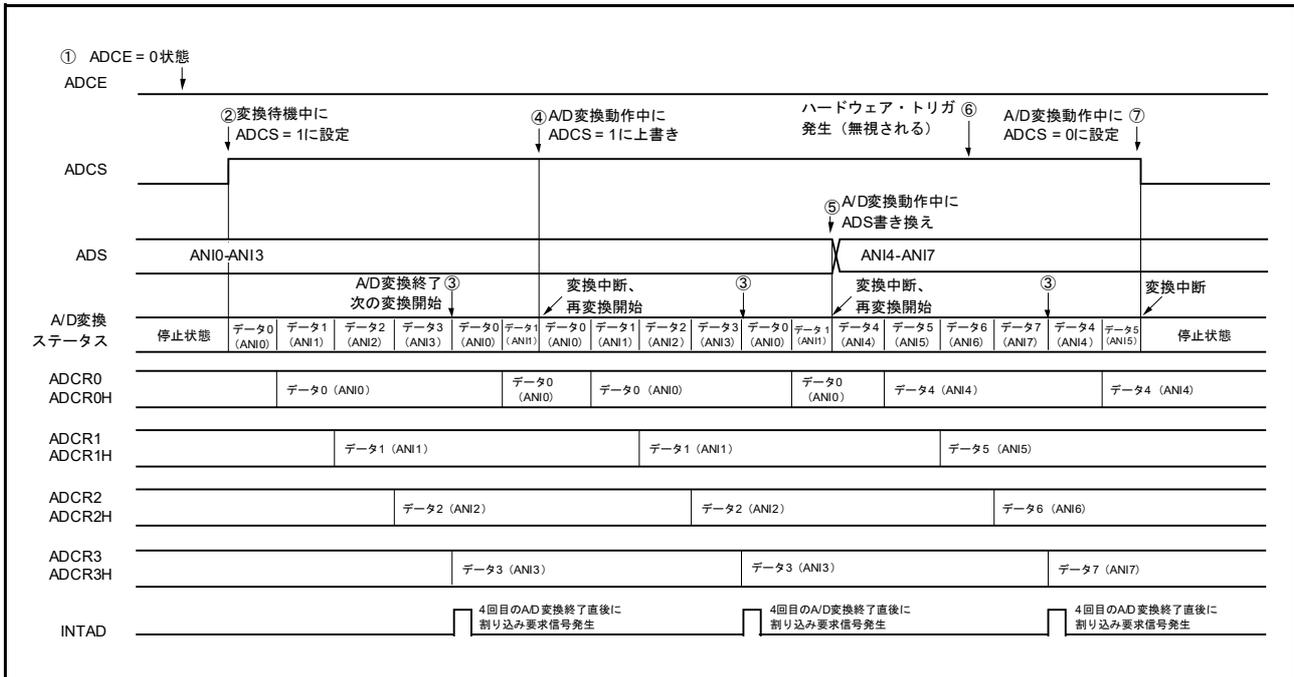


**注意** 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.7 ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 0の停止状態であることが、ソフトウェア・トリガ・ウエイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1が設定されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います (ソフトウェア・トリガ・ウエイト・モード)。  
A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、そのトリガは受け付けません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。

図12-24 ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

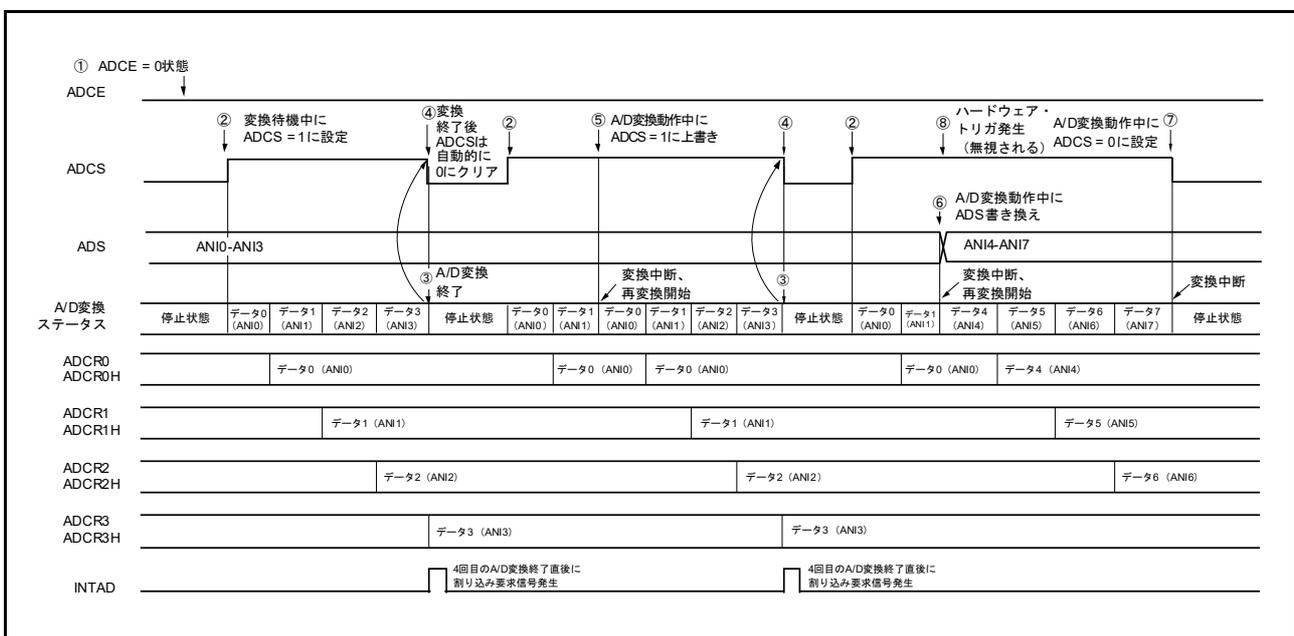


**注意** 変換動作中に上記④⑤を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.8 ソフトウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 0の停止状態であることが、ソフトウェア・トリガ・ウェイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1が設定されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います (ソフトウェア・トリガ・ウェイト・モード)。  
A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。
- ⑧ 変換動作中にハードウェア・トリガが入力された場合、そのトリガは受け付けません。

図12-25 ソフトウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

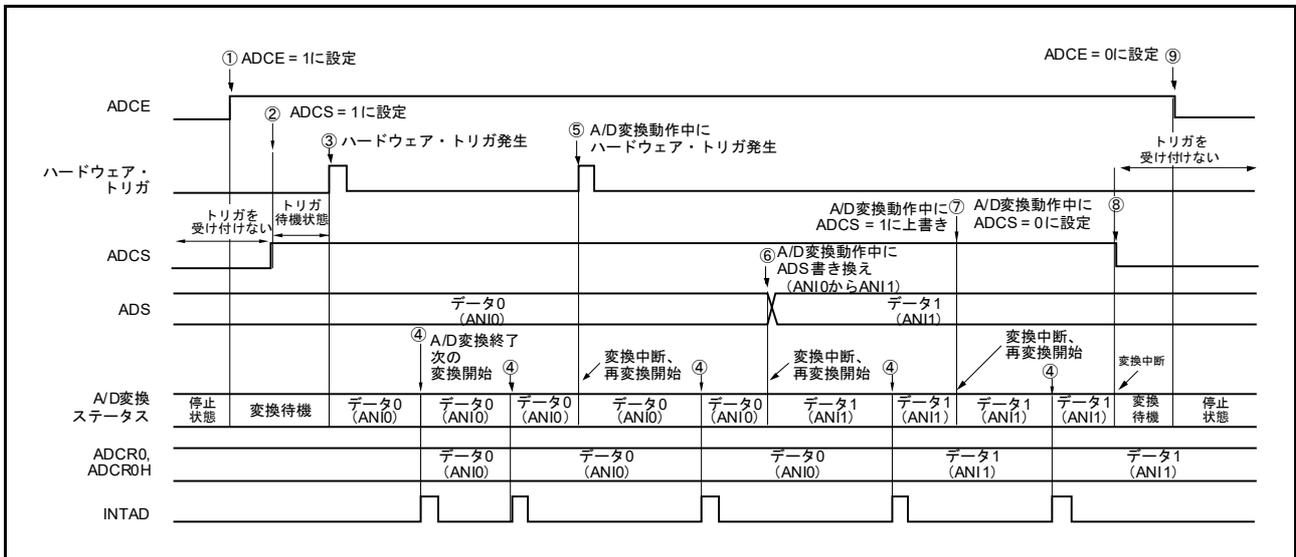


**注意** 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.9 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μs + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH, および ADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-26 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例

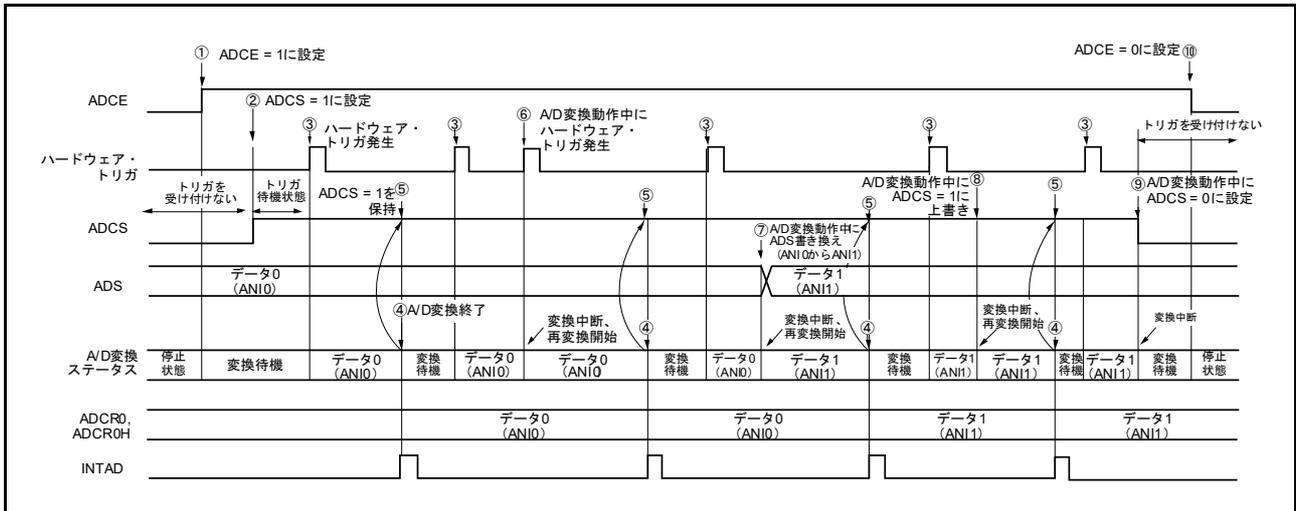


**注意** 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.10 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1  $\mu$ s + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-27 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例

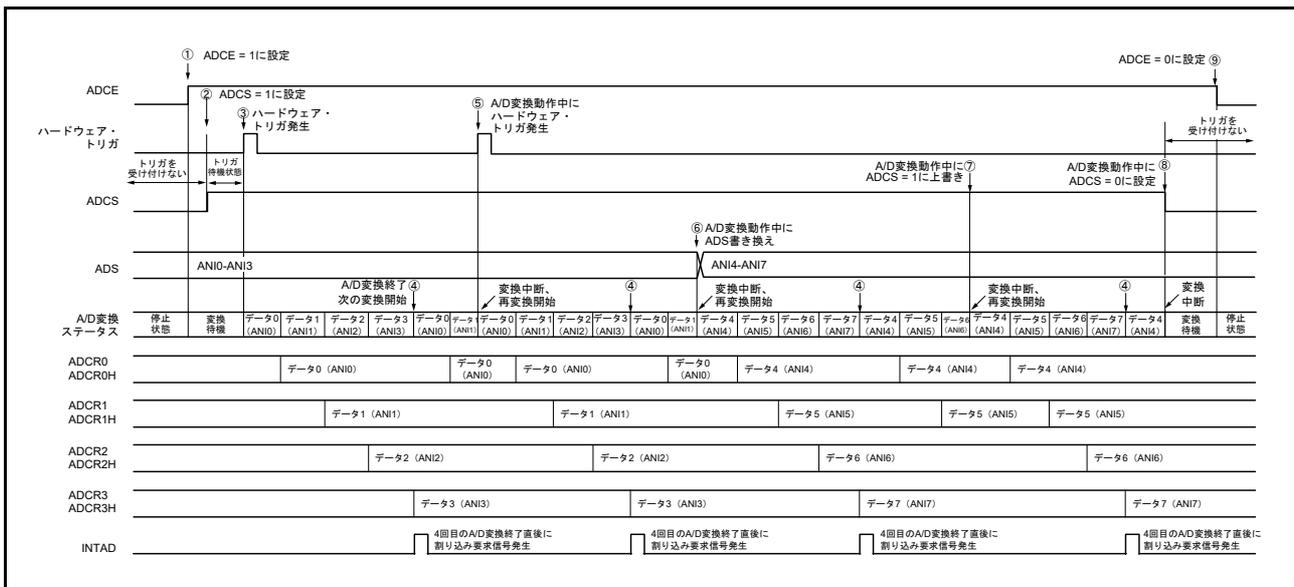


**注意** 変換動作中に上記⑥⑦⑧を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.11 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μs + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。4チャネルのA/D変換終了後は、設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

図12-28 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

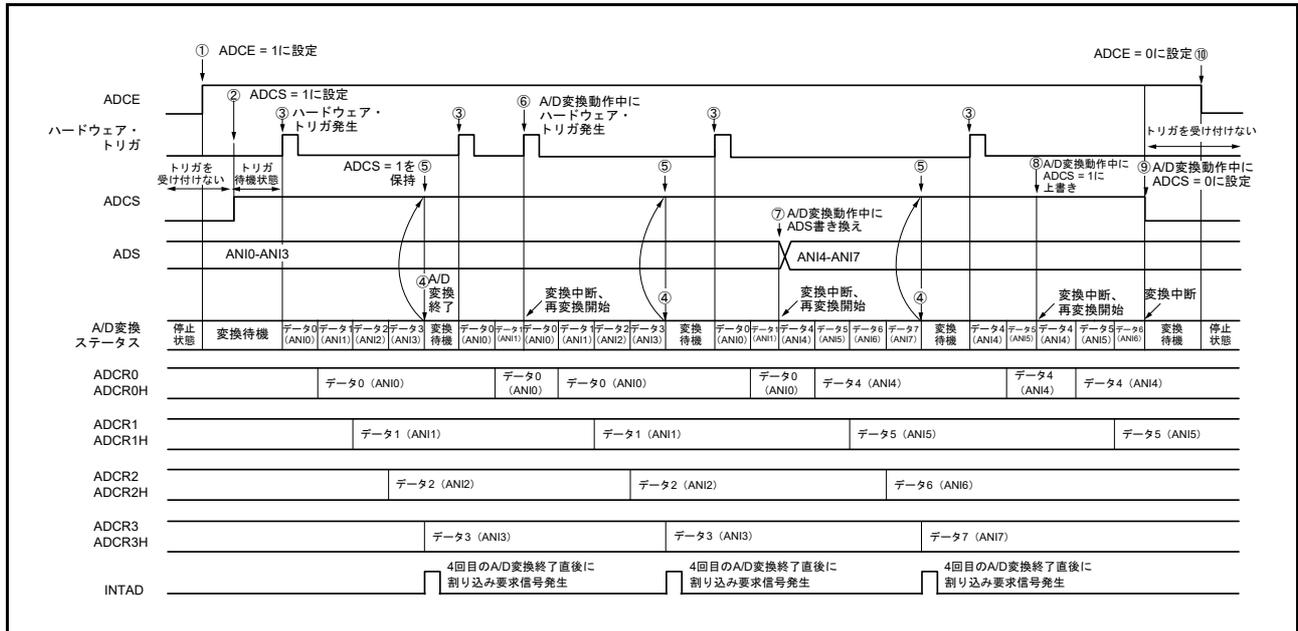


**注意** 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.12 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 ( $1\mu\text{s} + \text{変換クロック (fAD) の2クロック}$ ) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ 4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-29 ハードウェア・トリガ・ノーウェイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

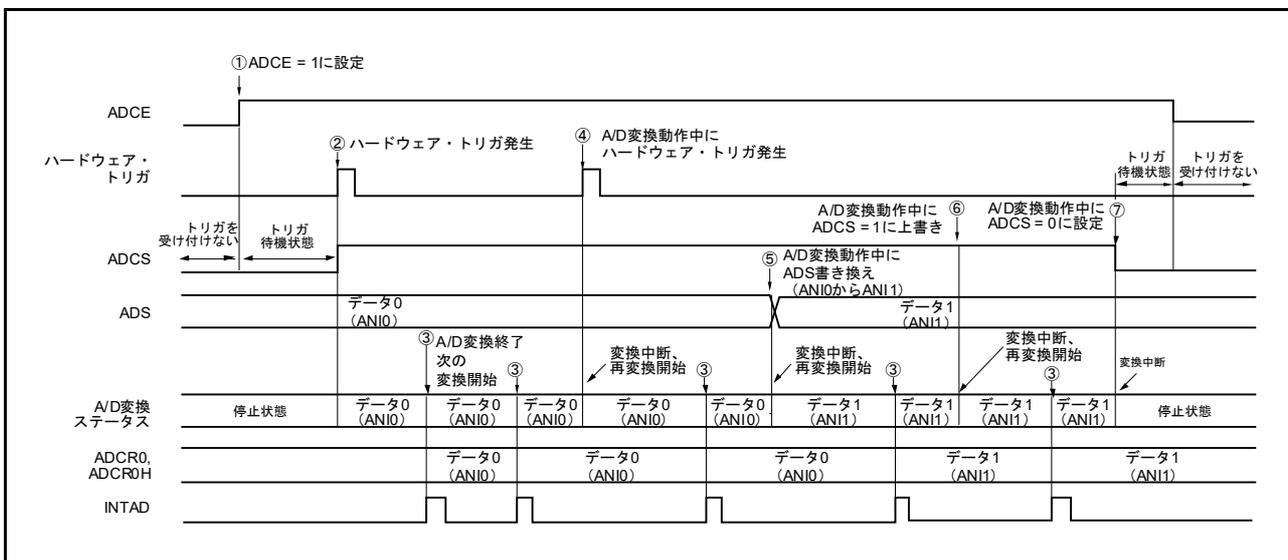


**注意** 変換動作中に上記⑥⑦⑧を検出した場合、次の変換クロック (f<sub>AD</sub>) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.13 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H)に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します (このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-30 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例

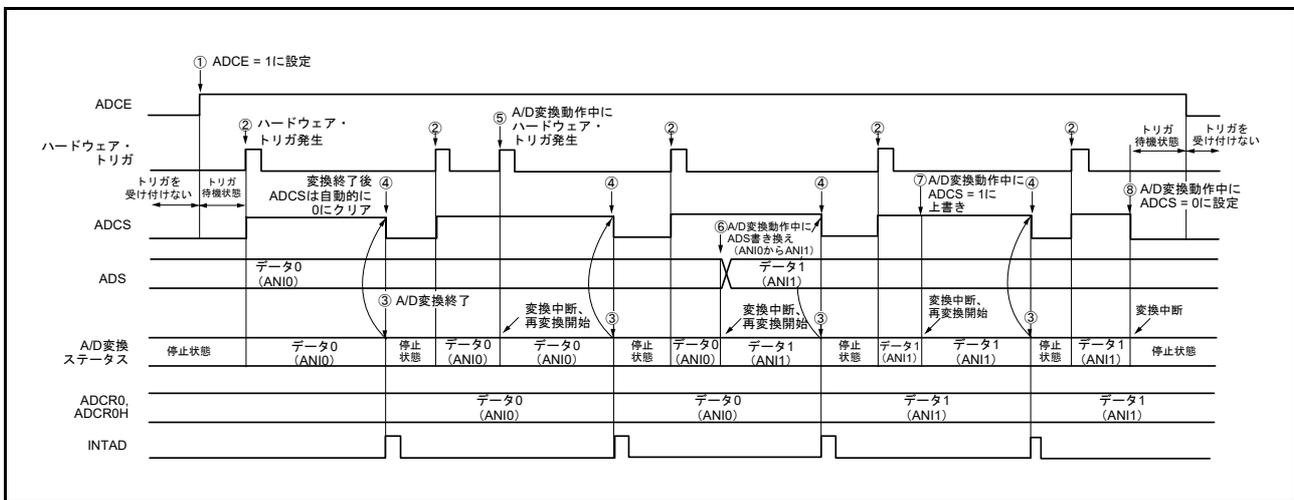


**注意** 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.14 ハードウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-31 ハードウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例



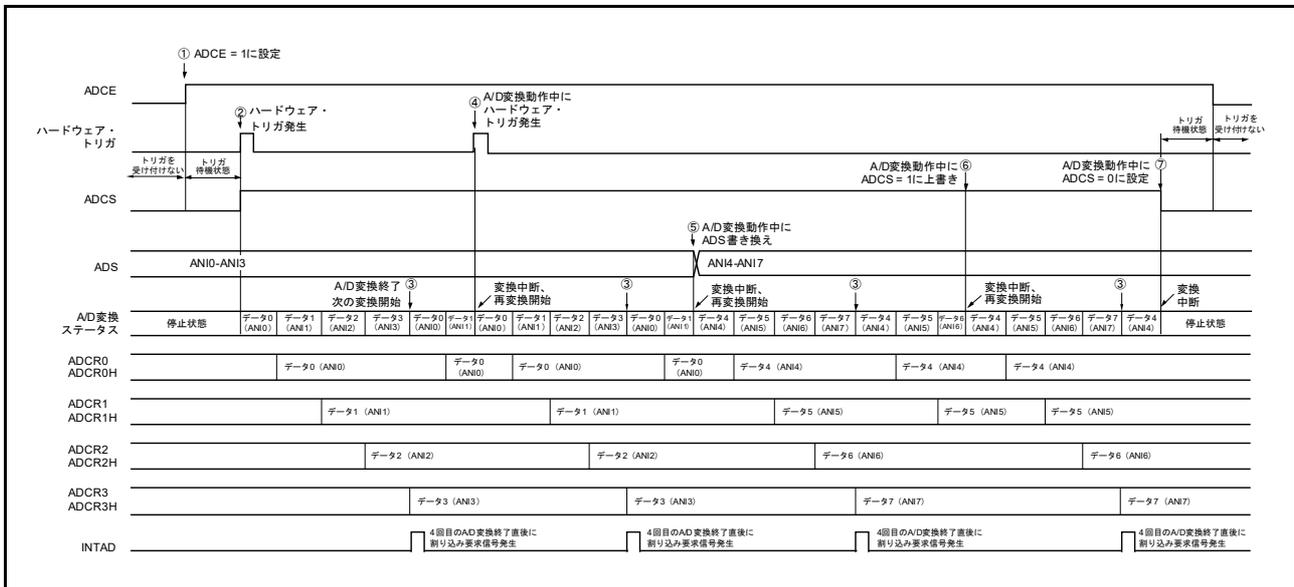
**注意1.** 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

**注意2.** ハードウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード) では、ADISS = 1の設定 (入力ソース = 温度センサ出力電圧、内部基準電圧) は使用できません。

### 12.6.15 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。  
A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-32 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

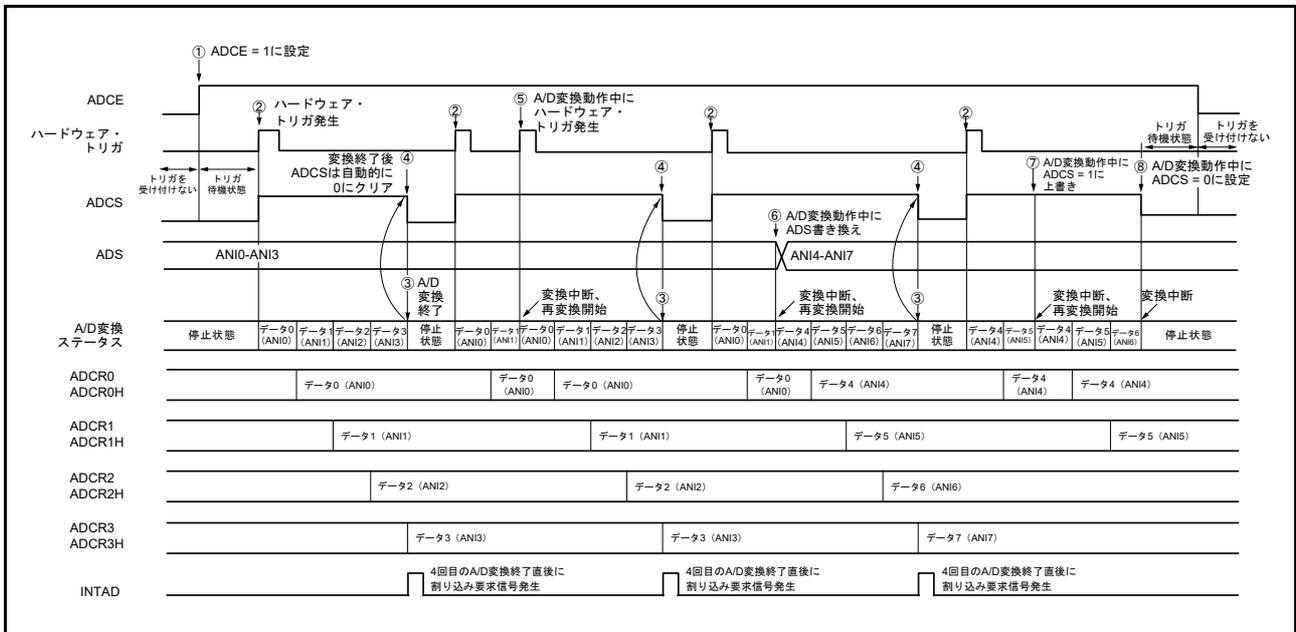


**注意** 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

### 12.6.16 ハードウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。  
A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-33 ハードウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例



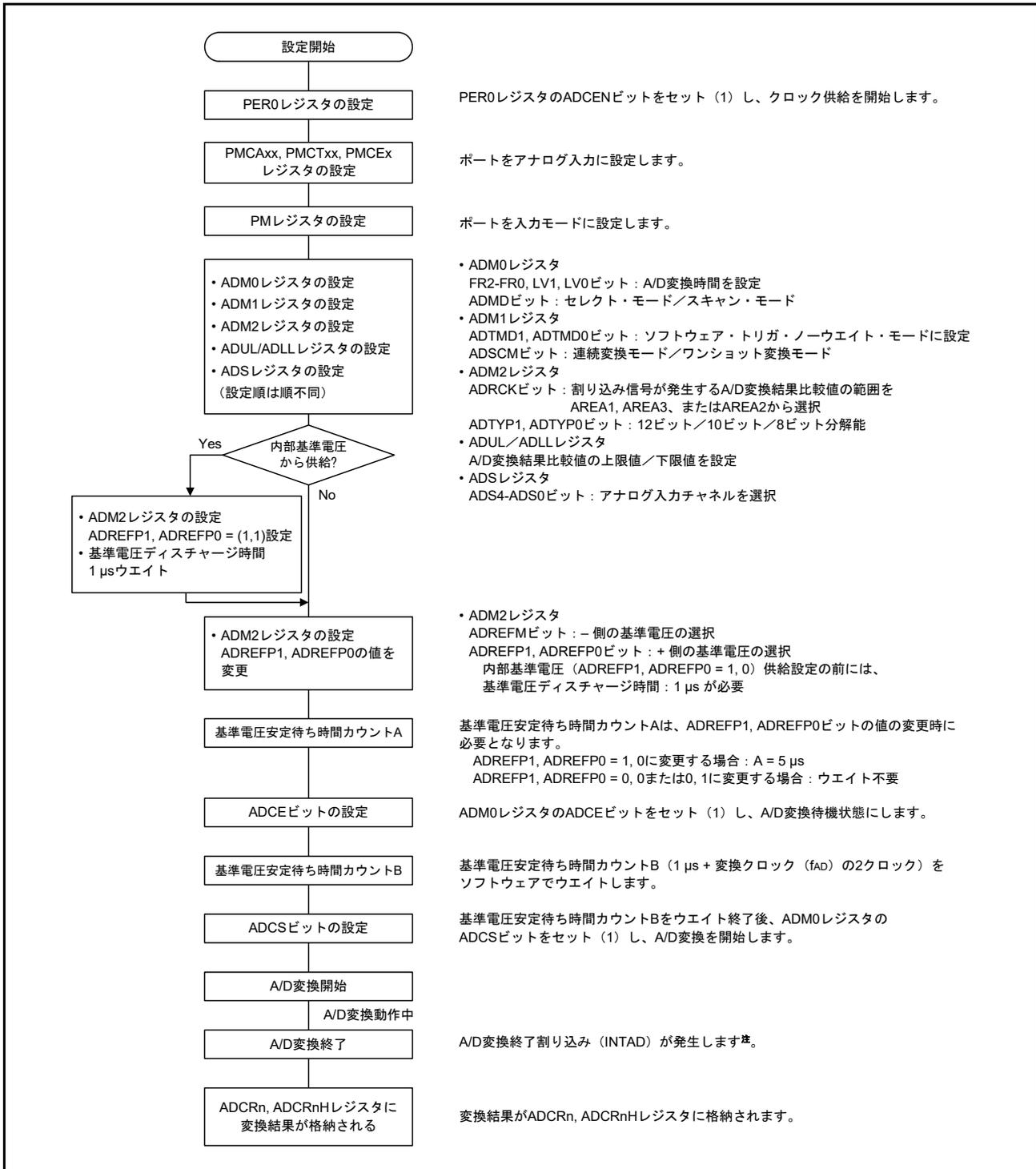
**注意** 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表12-3 A/D変換時間の選択 (3/8)、表12-3 A/D変換時間の選択 (4/8)参照)

## 12.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

### 12.7.1 ソフトウェア・トリガ・ノーウエイト・モード設定

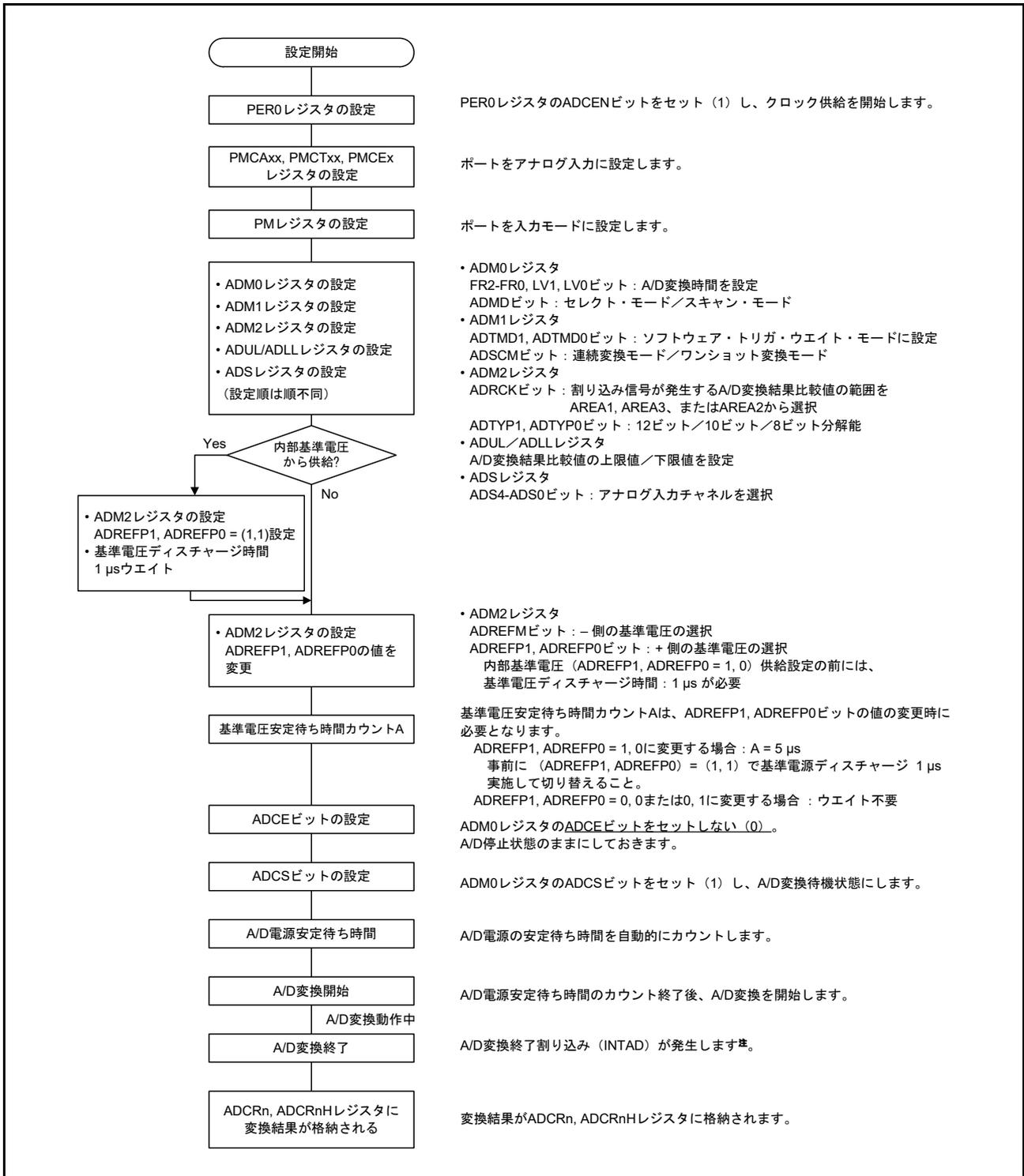
図12-34 ソフトウェア・トリガ・ノーウエイト・モード設定



**注** ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

### 12.7.2 ソフトウェア・トリガ・ウエイト・モード設定

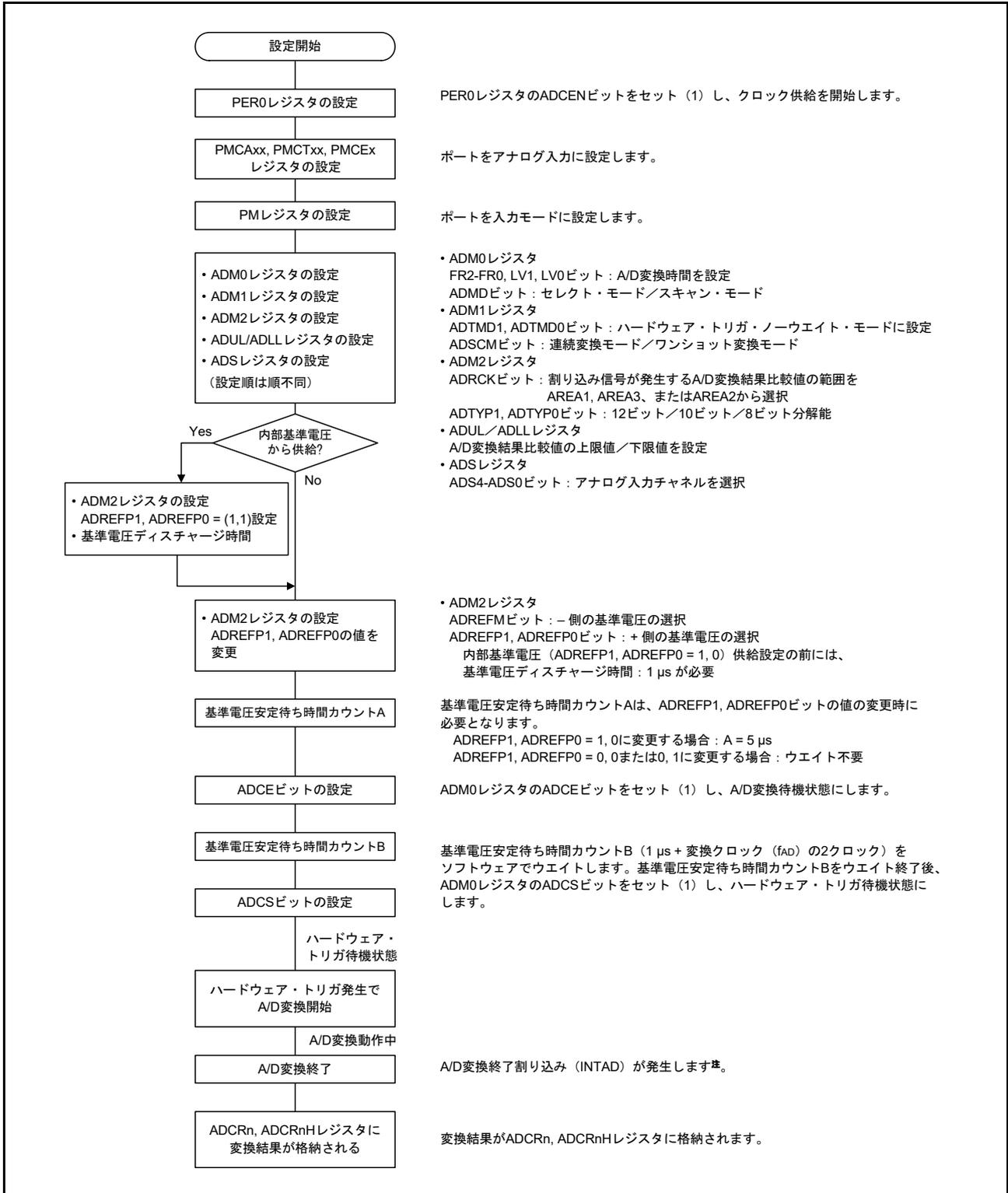
図 12 - 35 ソフトウェア・トリガ・ウエイト・モード設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

### 12.7.3 ハードウェア・トリガ・ノーウエイト・モード設定

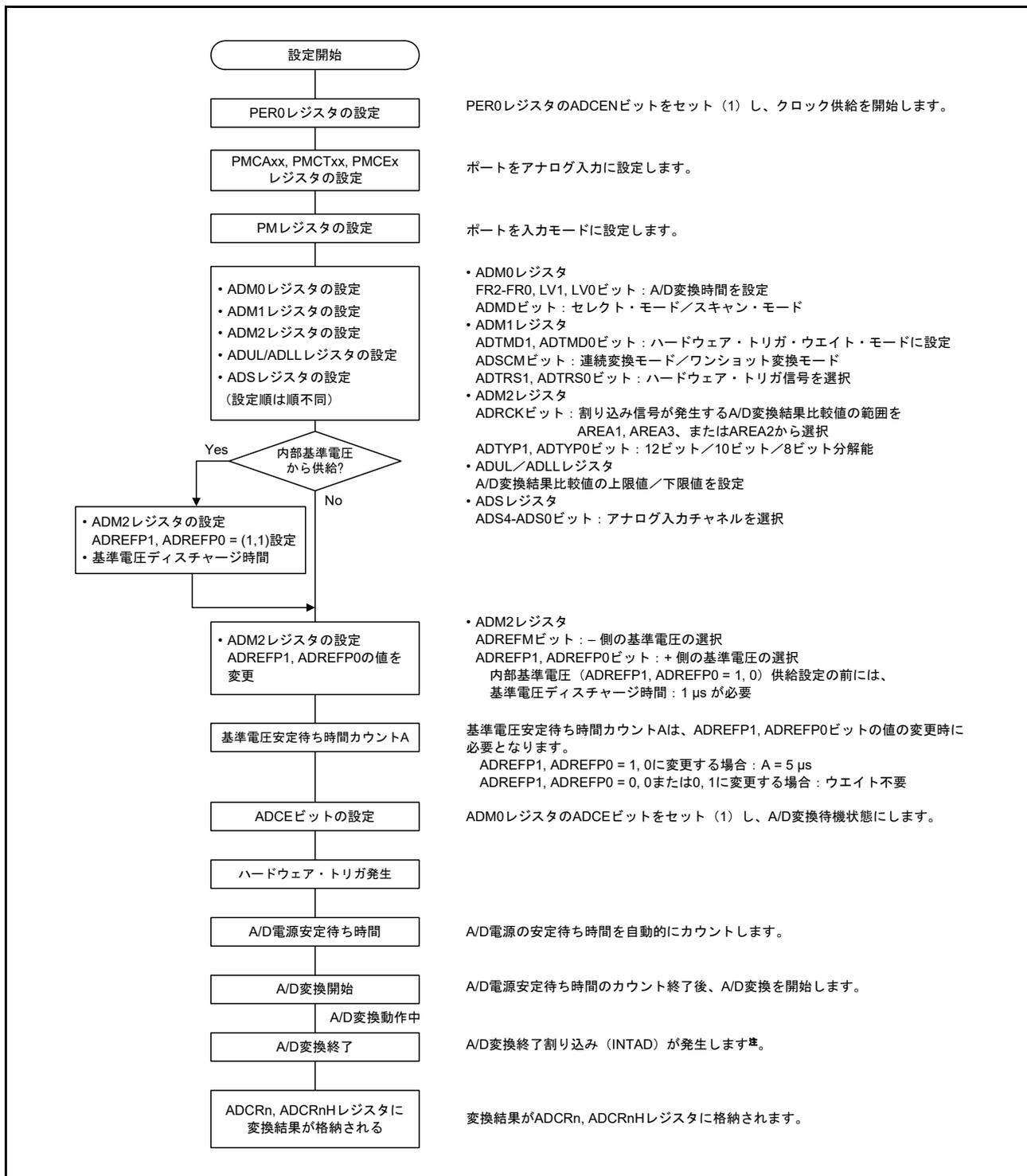
図12-36 ハードウェア・トリガ・ノーウエイト・モード設定



注     ADRCCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

### 12.7.4 ハードウェア・トリガ・ウエイト・モード設定

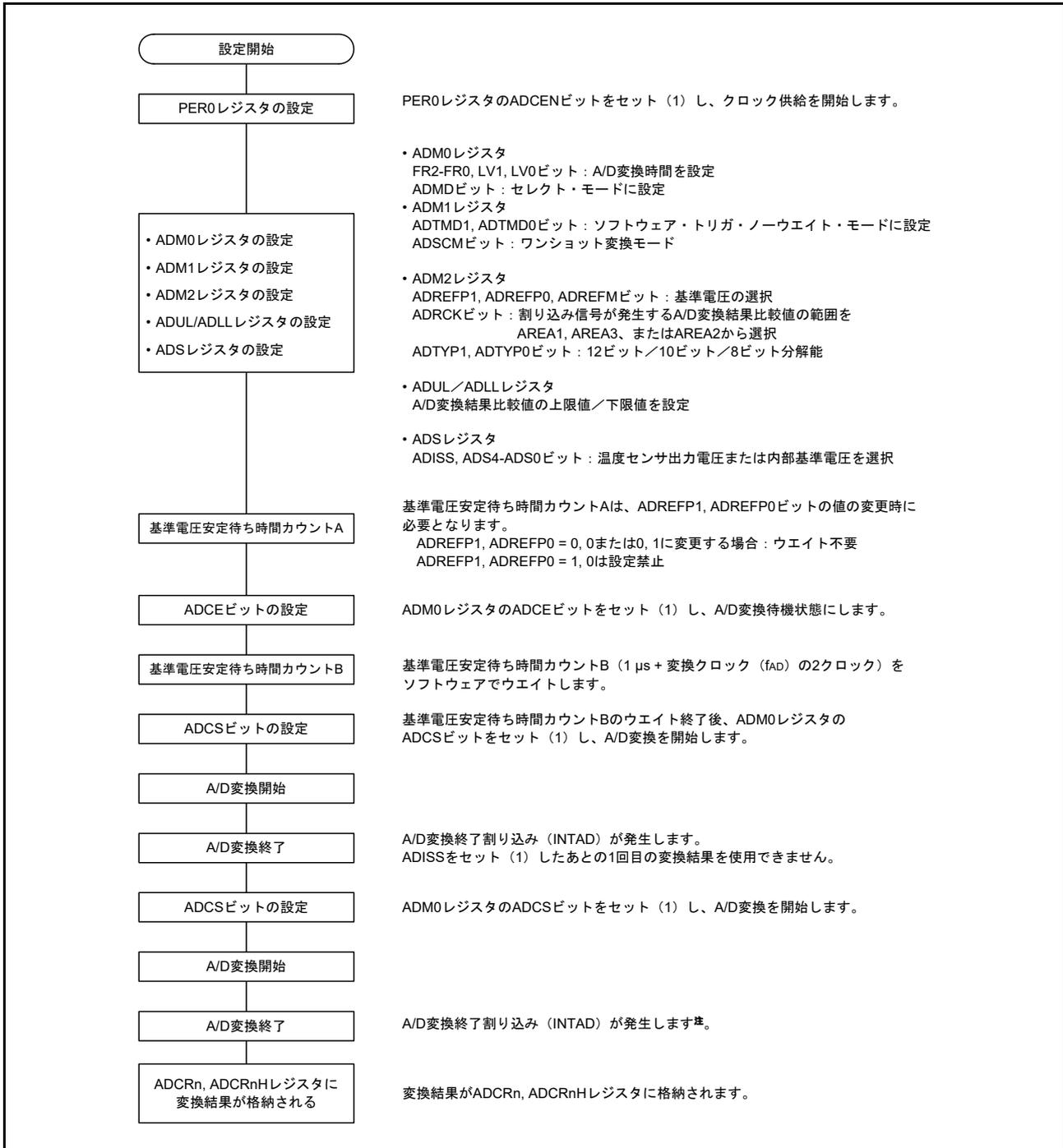
図12-37 ハードウェア・トリガ・ウエイト・モード設定



**注** ADRCCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

### 12.7.5 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時)

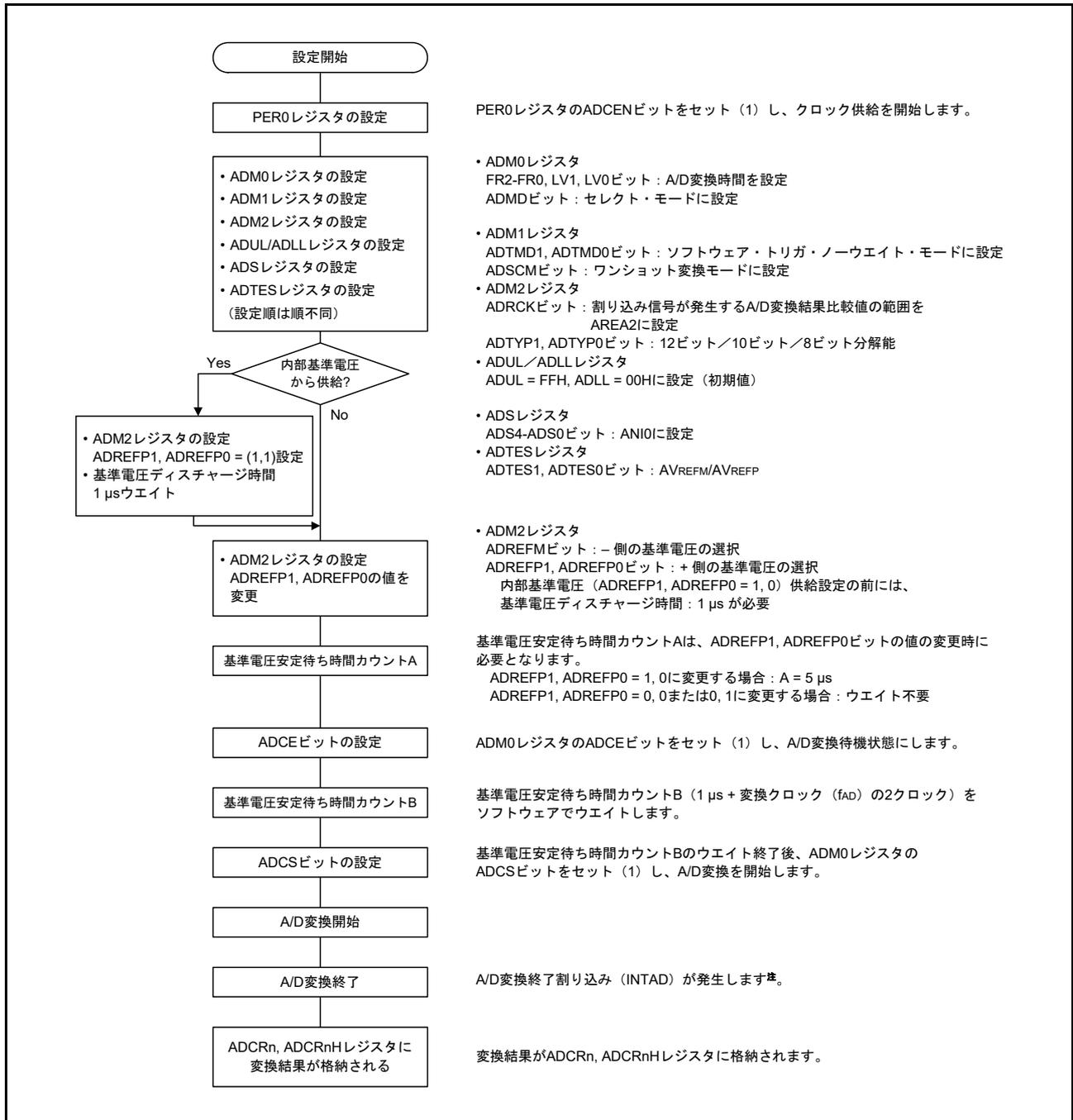
図12-38 温度センサ出力電圧／内部基準電圧を選択時の設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

12.7.6 テスト・モード設定

図 12 - 39 テスト・モード設定



**注** ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

**注意** A/Dコンバータのテスト方法については、27.3.10 A/Dテスト機能を参照してください。

## 12.8 SNOOZEモード機能

STOPモード時にソフトウェア・トリガ、および、ハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

### 12.8.1 ソフトウェア・トリガの入力によるA/D変換

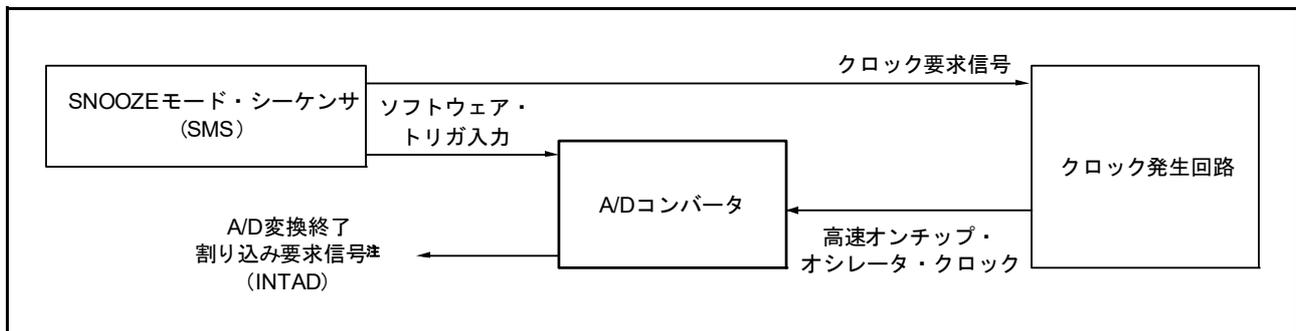
SNOOZEモード時にソフトウェア・トリガの入力によりA/D変換を動作させるモードです。SNOOZEモード・シーケンサ (SMS) を使用してソフトウェア・トリガを発生させてA/D変換の入力トリガとします。

ソフトウェア・トリガの入力によるA/D変換をSNOOZEモードで動作させる場合、次の4つの変換モードのみ使用可能です。

- ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード)
- ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、連続変換モード)
- ソフトウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード)
- ソフトウェア・トリガ・ウェイト・モード (スキャン・モード、連続変換モード)

**注意** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12-40 SNOOZEモード機能時のブロック図 (ソフトウェア・トリガ・ウェイト・モード時)



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います (12.7.2 ソフトウェア・トリガ・ウェイト・モード設定)。

STOPモードに移行後、ソフトウェア・トリガ (ADCS = 1) が入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

**注** A/D変換結果比較機能の設定 (ADRCKビット、ADUL/ADLLレジスタ) は初期値にし、変換終了のたびに、割り込み信号が発生するように設定してください。

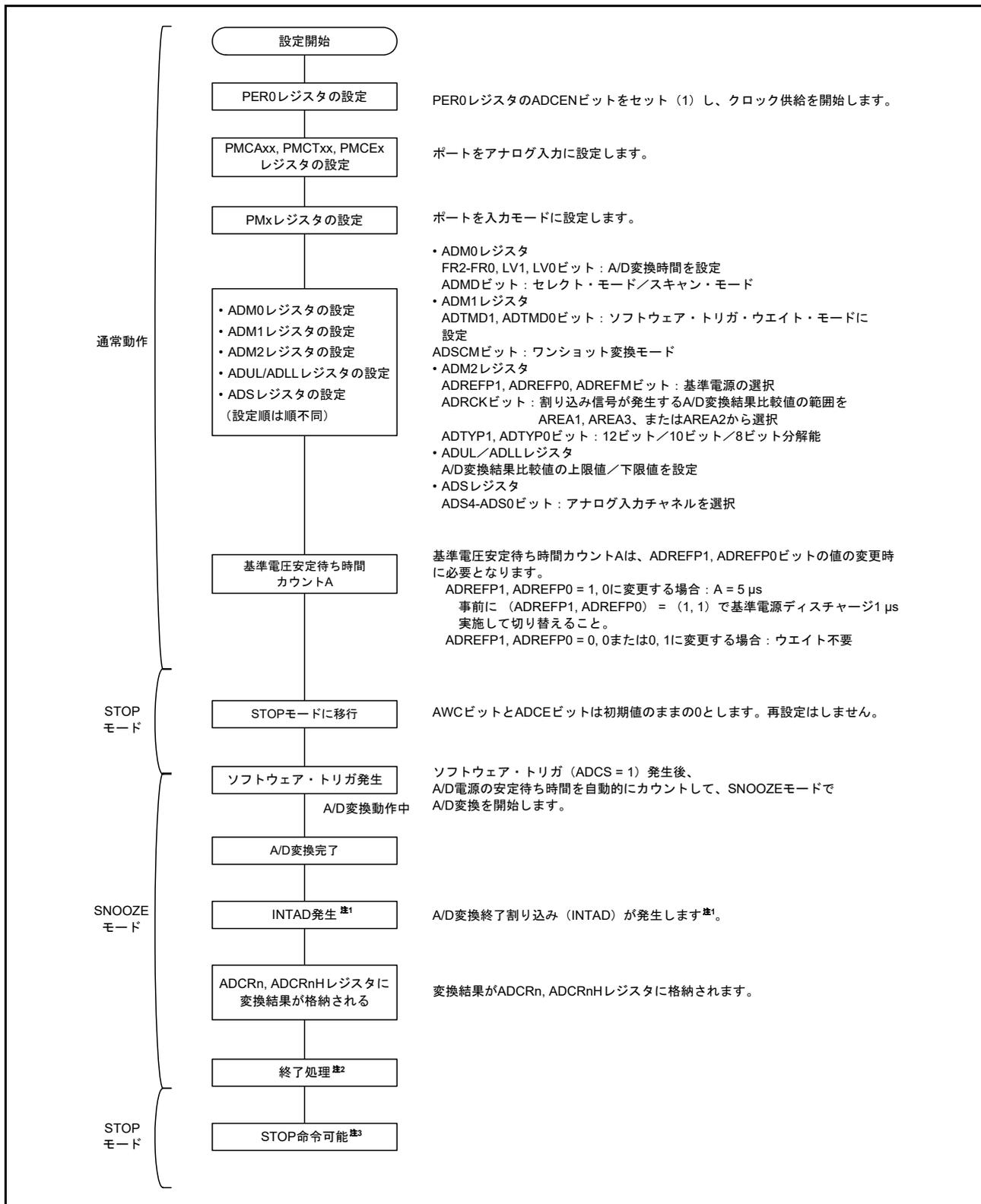
- ワンショット変換モード (セレクト/スキャン)

A/D変換が終了して割り込み要求信号 (INTAD) 発生後にSTOP命令を実行することで、供給クロックを停止することが可能になります。

- 連続変換モード (セレクト/スキャン)

A/D変換が終了して割り込み要求信号 (INTAD) が発生後にADCS = 0をライトして連続変換モードを停止させます。次に変換クロック (fAD) の2クロック経過後にSTOP命令を実行することで、供給クロックを停止することが可能になります。

図12-41 SNOOZEモード設定 (ソフトウェア・トリガ) のフロー・チャート



注1. ADRCKビット、ADUL/ADLLレジスタの設定は、初期設定の段階から初期値にし、A/D変換終了時、割り込み要求信号 (INTAD) が毎回発生するように設定します。

注2. 連続変換モードの場合には、終了処理が必要です。INTAD発生後、ADCS = 0ライトし、変換クロック (fAD) の2クロック経過後、STOP命令設定可能になります。

注3. STOP命令後、ソフトウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

## 12.8.2 ハードウェア・トリガの入力によるA/D変換

SNOOZEモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。

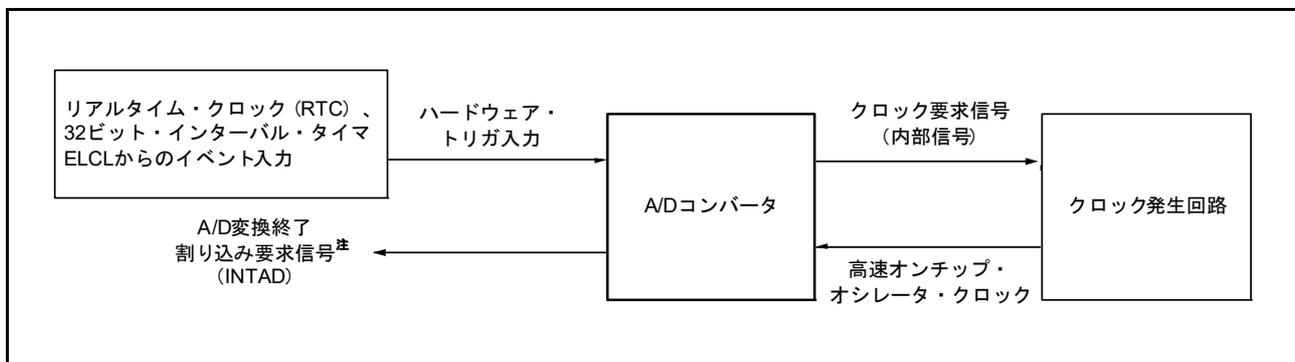
ハードウェア・トリガの入力によるA/D変換をSNOOZEモードで動作させる場合、次の2つの変換モードのみ使用可能です。

- ハードウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード)
- ハードウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード)

ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

**注意** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12-42 SNOOZEモード機能時のブロック図 (ハードウェア・トリガ・ウェイト・モード時)



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います (図12-45 SNOOZEモード設定 (ハードウェア・トリガ)のフロー・チャートを参照)。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります<sup>注</sup>。

**注** A/D変換結果比較機能の設定 (ADRCKビット、ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。

また、ハードウェア・トリガに32ビット・インターバル・タイマ割り込み信号 (INTITL)を選択する場合は、32ビット・インターバル・タイマ割り込み信号 (INTITL)が発生するたびに、ITLS0レジスタの検出フラグをクリアする必要があります。このため、A/D変換結果比較機能の設定 (ADRCKビット、ADUL/ADLLレジスタ)は初期値にし、A/D変換終了後にA/D変換終了割り込み要求信号 (INTAD)が発生するようにしてください。

**注意** ハードウェア・トリガ信号は、リアルタイム・クロック割り込み信号 (INTRTC)、32ビット・インターバル・タイマ割り込み信号 (INTITL)、ELCLからのイベント入力から選択してください。

## (1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL/ADLLレジスタで設定) で設定した値の範囲内の場合、A/D変換終了割り込み要求信号 (INTAD) は発生します。

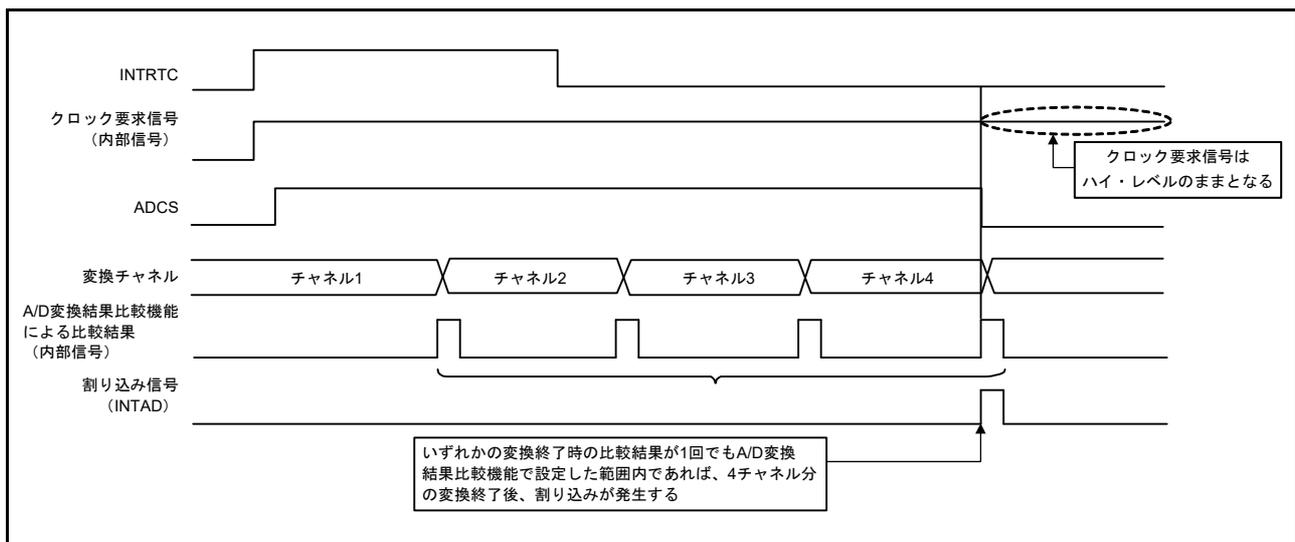
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号 (INTAD) が発生すると、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2 (ADM2) のビット2を必ずクリア (AWC = 0 : SNOOZE解除) してください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換結果の値が1回でもA/D変換結果比較機能で設定した範囲内となり、A/D変換終了割り込み要求信号 (INTAD) が発生した場合、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2 (ADM2) のビット2を必ずクリア (AWC = 0 : SNOOZE解除) してください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

図 12 - 43 A/D変換終了後に割り込みが発生する場合の動作例 (スキャン・モード時)



## (2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCCKビット、ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合、A/D変換終了割り込み要求信号（INTAD）は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合、A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換結果の値が1回もA/D変換結果比較機能で設定した範囲内とならず、A/D変換終了割り込み要求信号（INTAD）も発生しなかった場合、4チャンネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

図12-44 A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

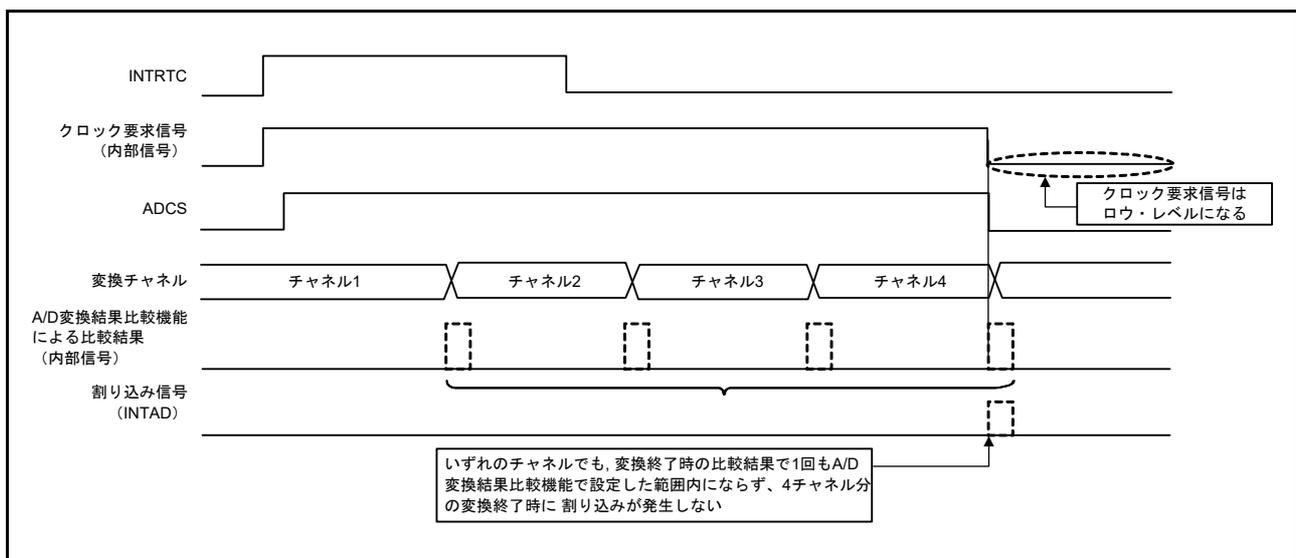
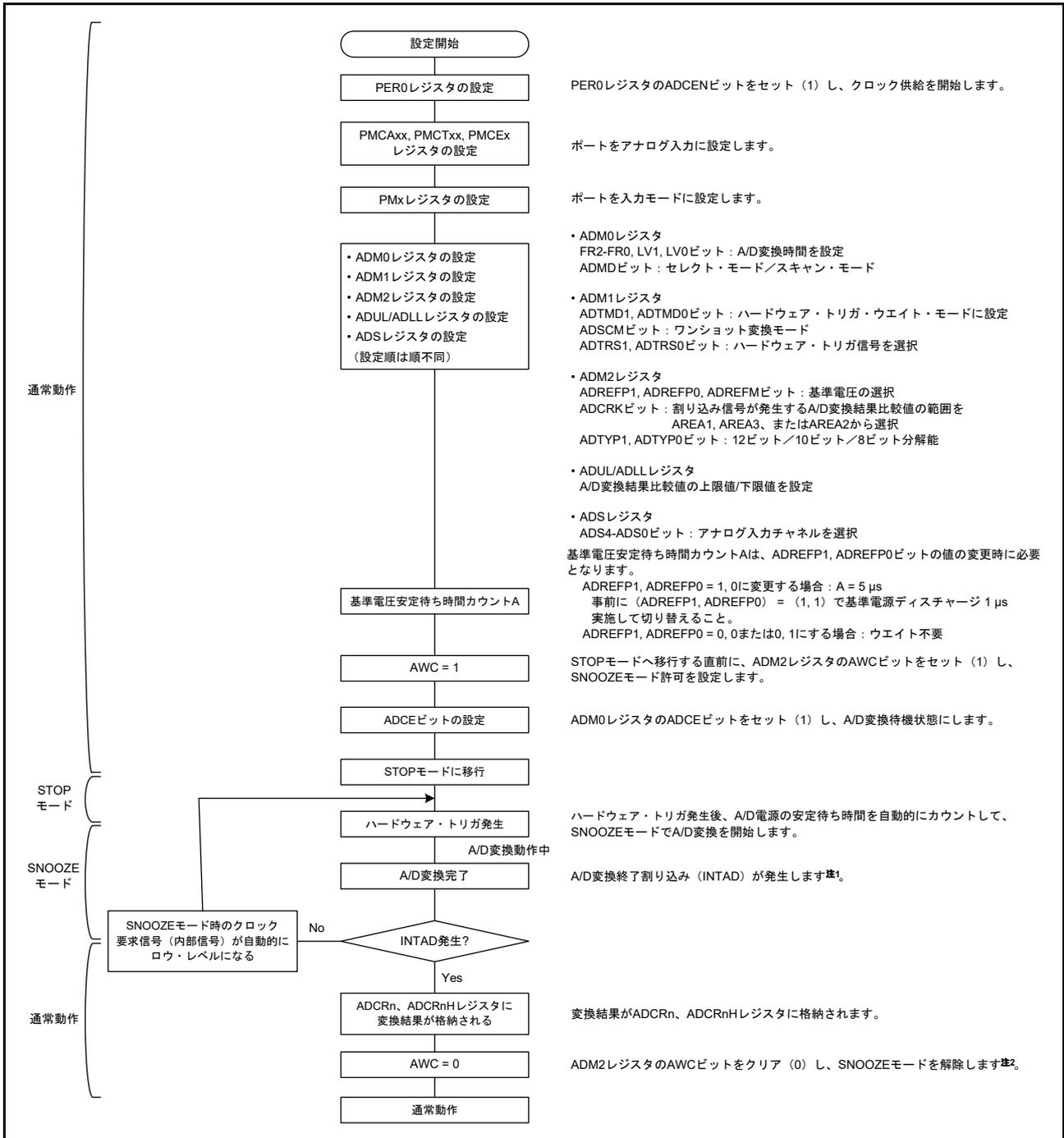


図 12-45 SNOOZEモード設定 (ハードウェア・トリガ) のフロー・チャート



- 注1.** ADRCKビット、ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号 (INTAD) が発生しなかった場合、ADCRn, ADCRnHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。
- 注2.** AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

## 12.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能12ビットのとき

$$1 \text{ LSB} = 1/2^{12} = 1/4096 \\ \approx 0.024 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

### (3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12-46 総合誤差

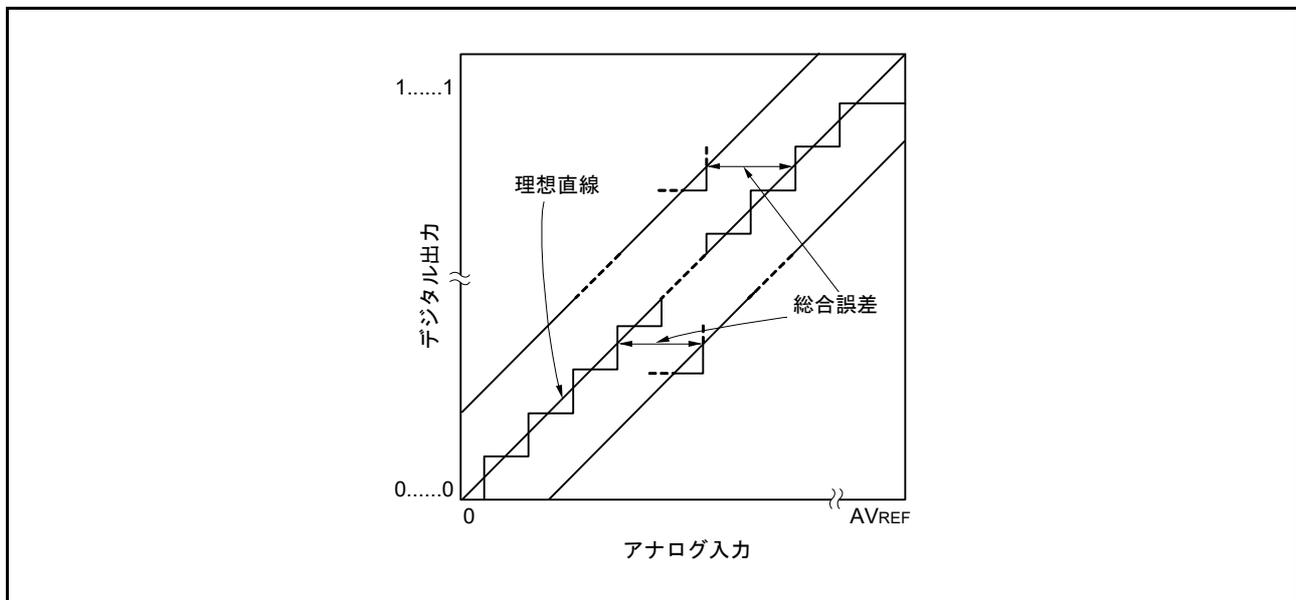
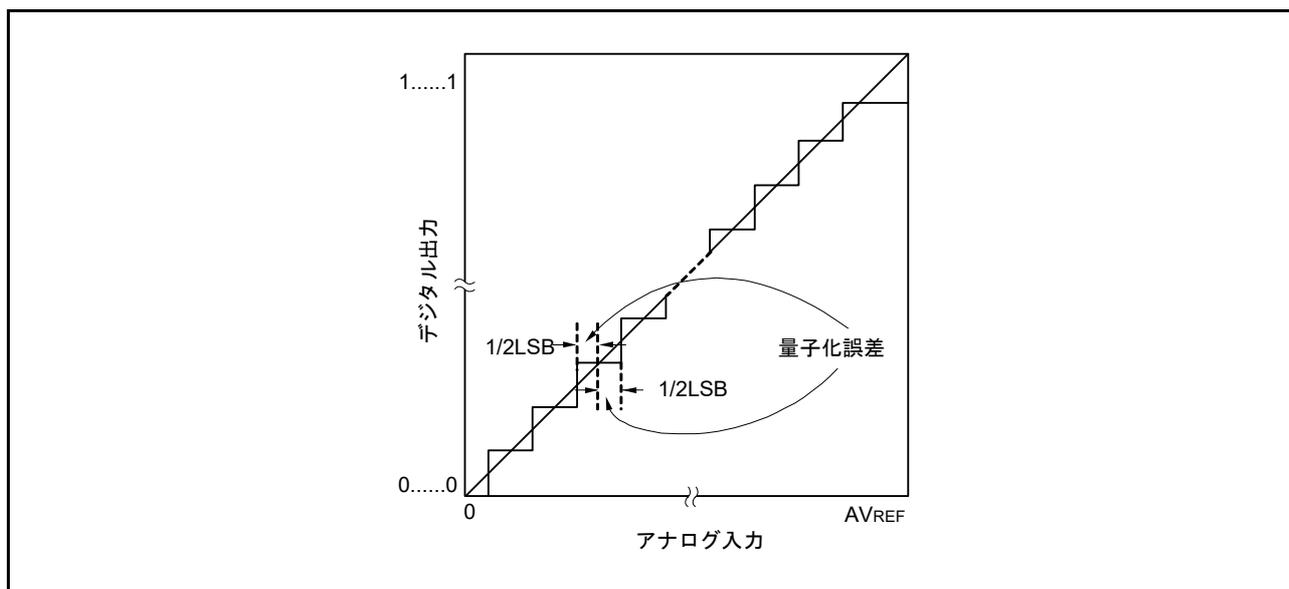


図12-47 量子化誤差



## (4) ゼロスケール誤差

デジタル出力が0.000から0.001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.001から0.010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

## (5) フルスケール誤差

デジタル出力が1.110から1.111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

## (6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

- (7) 微分直線性誤差  
理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12-48 ゼロスケール誤差

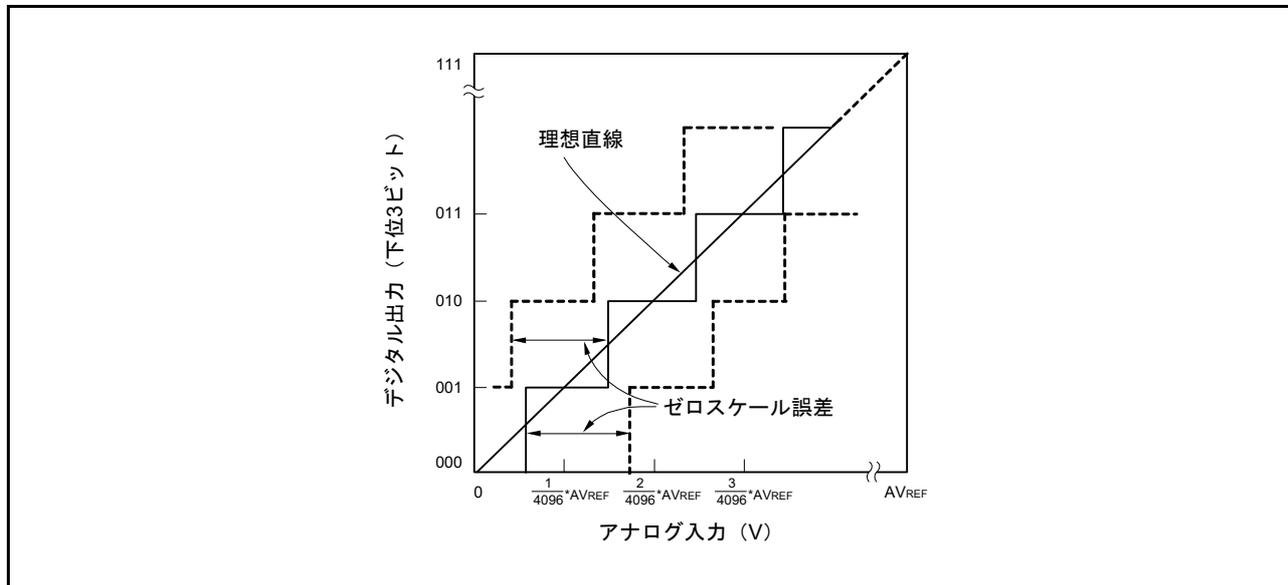


図12-49 フルスケール誤差

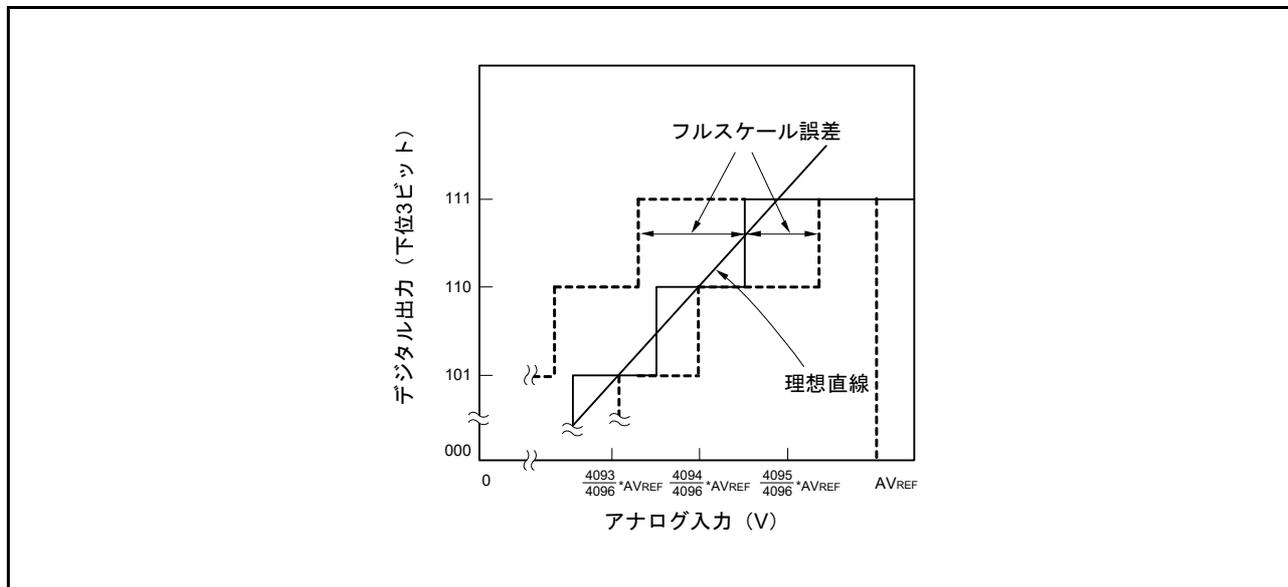


図 12 - 50 積分直線性誤差

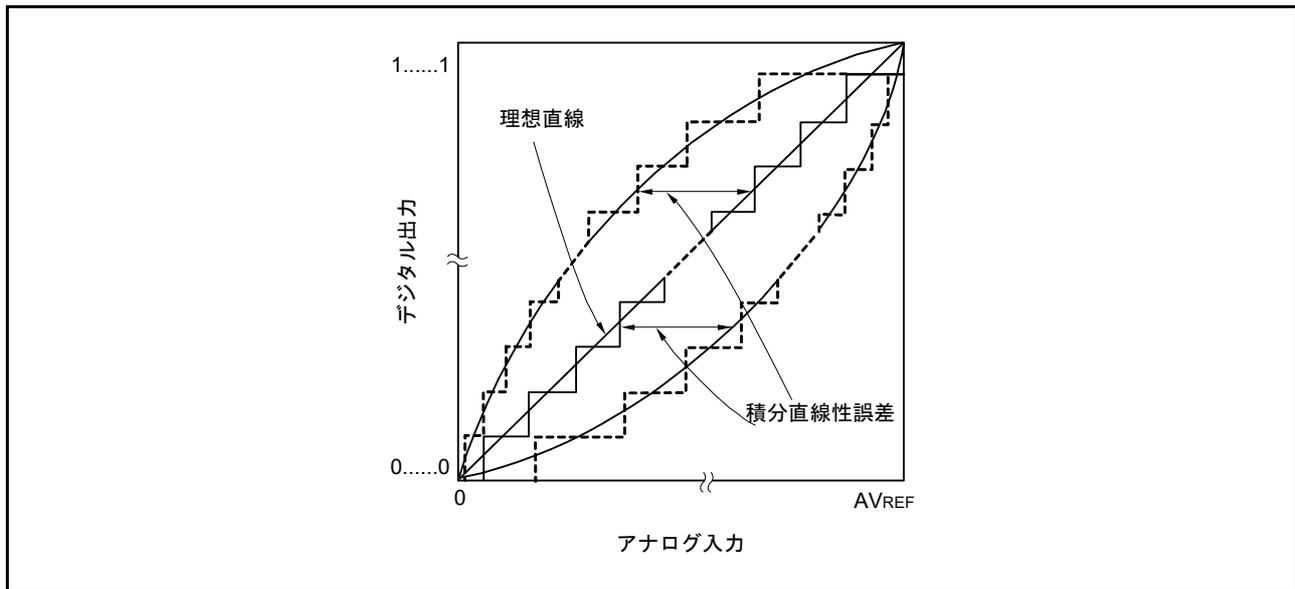
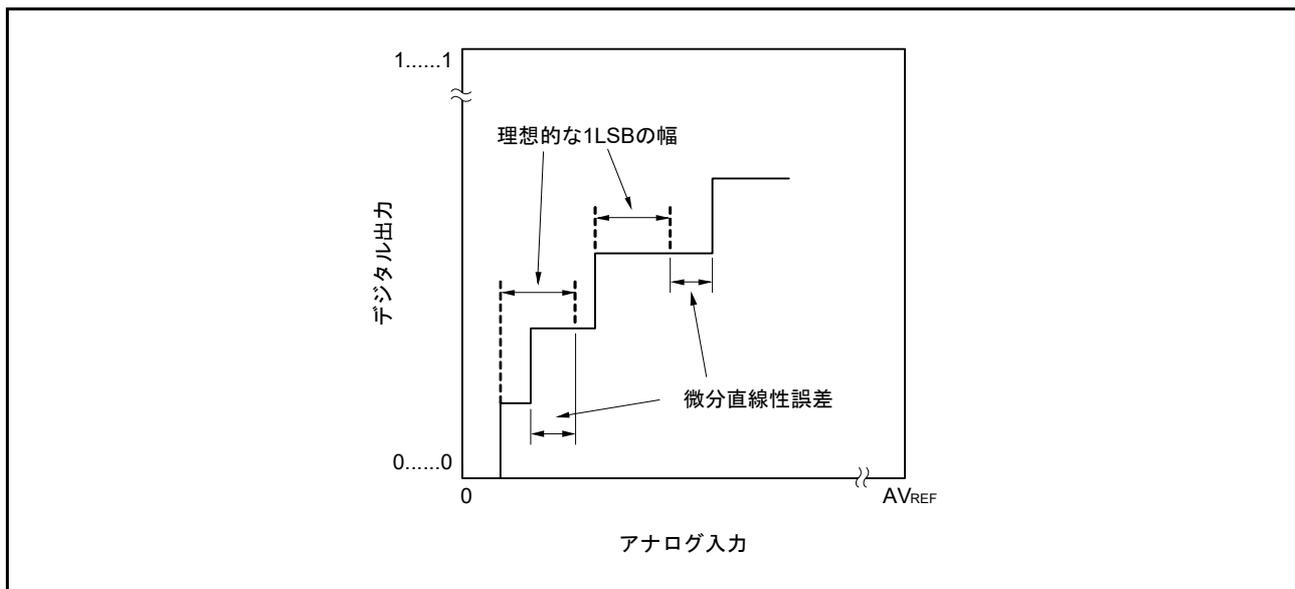


図 12 - 51 微分直線性誤差

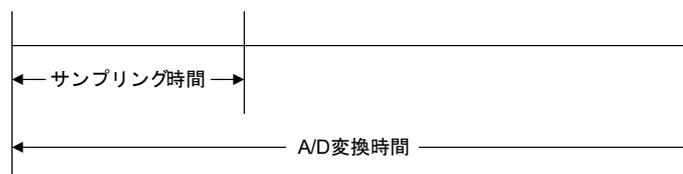


## (8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。  
特性表の変換時間にはサンプリング時間が含まれています。

## (9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



## 12.10 A/Dコンバータ使用時の注意事項

### (1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) を0) させてから移行してください。このときADM0レジスタのビット0 (ADCE) も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H) のビット0 (ADIF) をクリア (0) してから、動作開始してください。

### (2) ANI0-ANI14, ANI16-ANI26端子入力範囲について

ANI0-ANI14, ANI16-ANI26端子入力電圧は規格の範囲内でご使用ください。特にVDD, AVREFPを超える電圧、VSS, AVREFM未満 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変化値が不定となります。また、ほかのチャンネルの変化値にも影響を与えることがあります。

内部基準電圧をA/Dコンバータの+側の基準電圧に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

**注意** 内部基準電圧値は第37章 電気的特性を参照してください。

### (3) 競合動作について

① 変換終了時のA/D変換結果レジスタ (ADCRn, ADCRnH) へのライトと、命令によるADCRn, ADCRnHレジスタのリードとの競合

ADCRn, ADCRnHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCRn, ADCRnHレジスタにライトされます。

② 変換終了時のADCRn, ADCRnHレジスタへの変換結果格納と、命令によるA/Dコンバータ・モード・レジスタ0 (ADM0) へのライトおよびアナログ入力チャンネル指定レジスタ (ADS) へのライトの競合

ADM0, ADSレジスタへのライトが優先されます。ADCRn, ADCRnHレジスタへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

### (4) ノイズ対策について

12ビット/10ビット分解能を保つためには、AVREFP, VDD, ANI0-ANI14, ANI16-ANI26端子へのノイズに注意する必要があります。

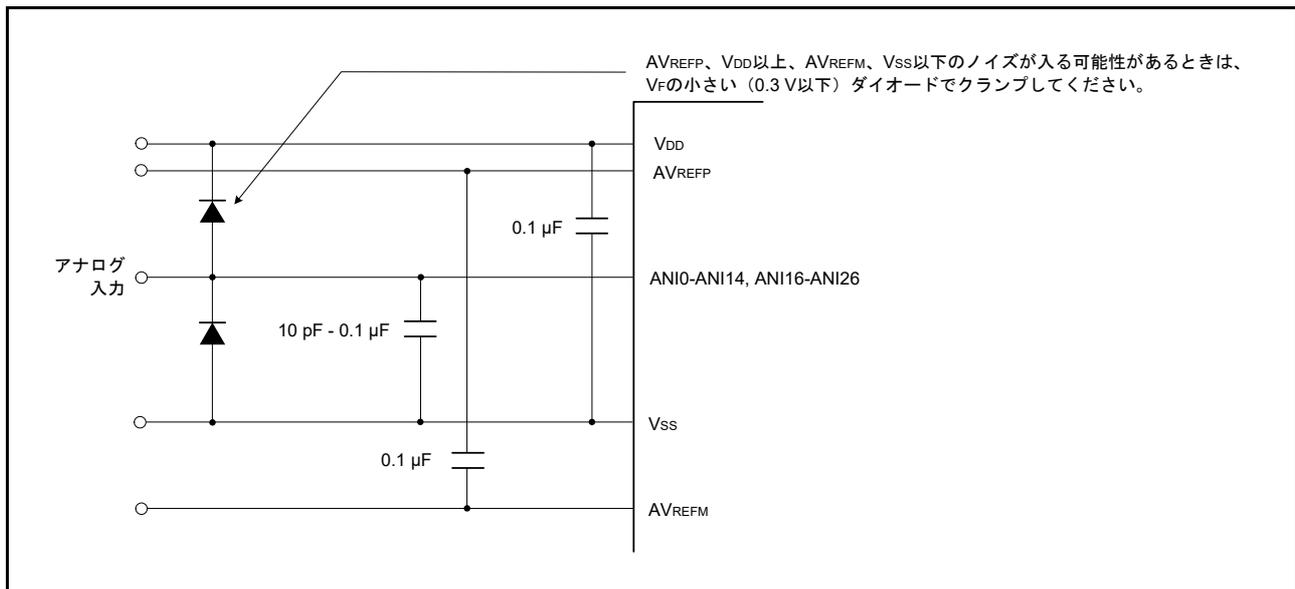
① VDD, AVREFP端子には等価抵抗が小さく、周波数応答のよいコンデンサを (0.1  $\mu$ F程度) を最短距離かつ、比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために **図12-52**のようにコンデンサを外付けすることを推奨します。

③ 変換中においては、他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図 12 - 52 VDD, AVREFP, アナログ入力端子の処理



## (5) アナログ入力 (ANIXX) 端子

- ① アナログ入力 (ANI0-ANI14, ANI16-ANI26) 端子は入力ポート (P02, P03, P20-P27, P35-P37, P100, P115-P117, P120, P147, P150-P156) 端子と兼用になっています。ANI0-ANI14, ANI16-ANI26端子のいずれかを選択してA/D変換をする場合、変換中にP02, P03, P20-P27, P35-P37, P100, P115-P117, P120, P147, P150-P156に対して出力値を変更しないでください。変換精度が低下することがあります。
- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

## (6) アナログ入力 (ANIXX) 端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 k $\Omega$ 以下にしてください。

出力インピーダンスが1 k $\Omega$ 以下にできないときはサンプリング時間を長く設定するかANI0-ANI14, ANI16-ANI26端子に0.1  $\mu$ F程度のコンデンサを付けることを推奨します (図 12 - 52参照)。また、変換動作中にADCS = 0に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

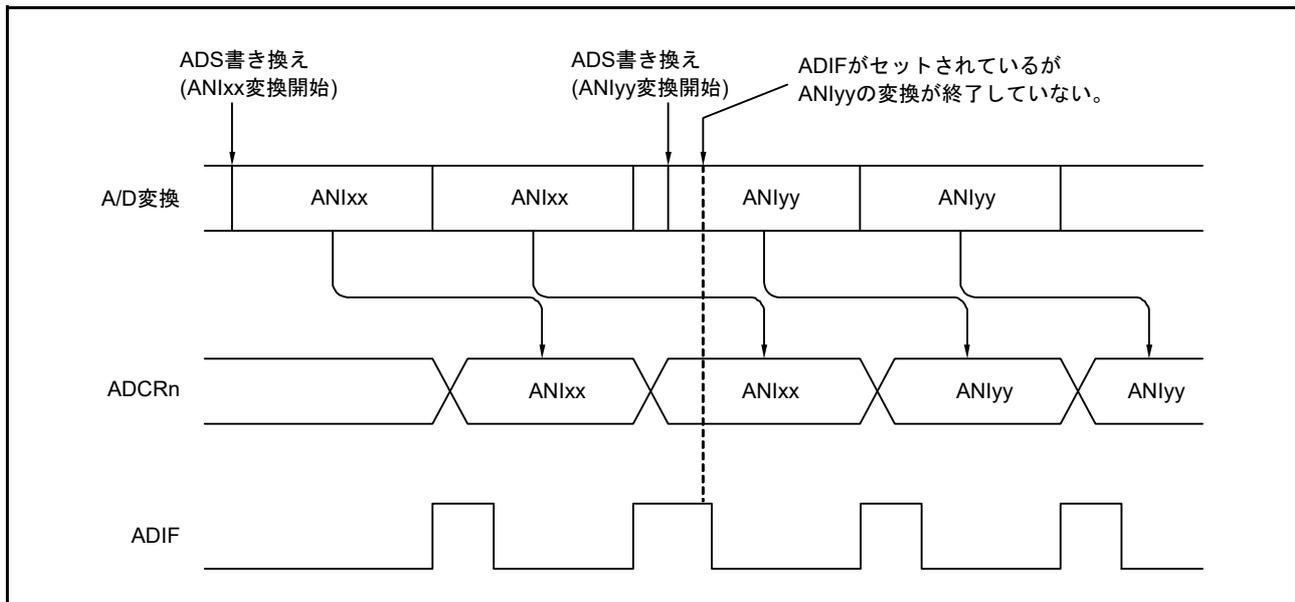
## (7) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア (0) してください。

図12-53 A/D変換終了割り込み要求発生タイミング



## (8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・ノーウエイト・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから、 $1\ \mu\text{s} + \text{変換クロック}(f_{AD})$ の2クロック以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

## (9) A/D変換結果レジスタ (ADCRn, ADCRnH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ (ADS)、ポート・モード・コントロール・レジスタ (PMCAxx, PMCTxx, PMCEx) に対して書き込み動作を行ったとき、ADCRn, ADCRnHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PMCTxx, PMCExレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

## (10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 54 ANIxx端子内部等価回路

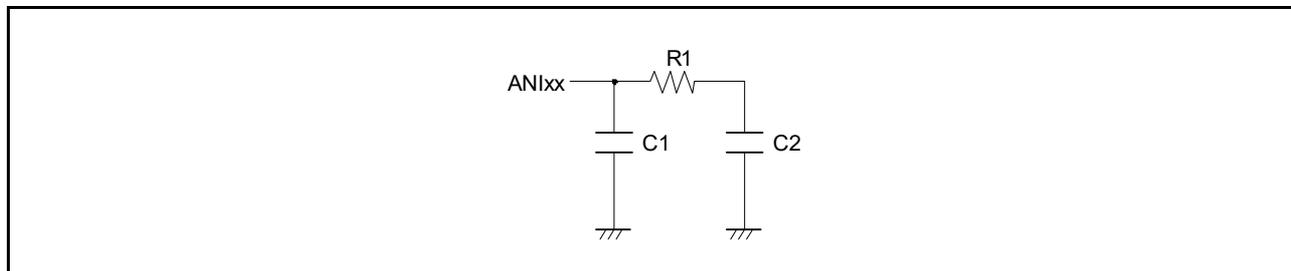


表12 - 4 等価回路の各抵抗と容量値 (参考値)

AVREFP, VDD	ANIxx端子	R1 [kΩ]	C1 [pF]	C2 [pF]
2.4 V ≤ VDD ≤ 5.5 V	ANI0-ANI14	11	8	9
	ANI16-ANI26	12	8	10
1.8 V ≤ VDD < 2.4 V	ANI0-ANI14	55	8	9
	ANI16-ANI26	60	8	10
1.6 V ≤ VDD < 1.8 V	ANI0-ANI14	110	8	9
	ANI16-ANI26	120	8	10

**備考** 表12 - 4の各抵抗と容量値は保証値ではありません。

## (11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

## 第13章 D/Aコンバータ (DAC)

### 13.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8ビット分解能のコンバータで、2チャンネル (ANO0, ANO1) のアナログ出力を制御できます。

D/Aコンバータには、次のような機能があります。

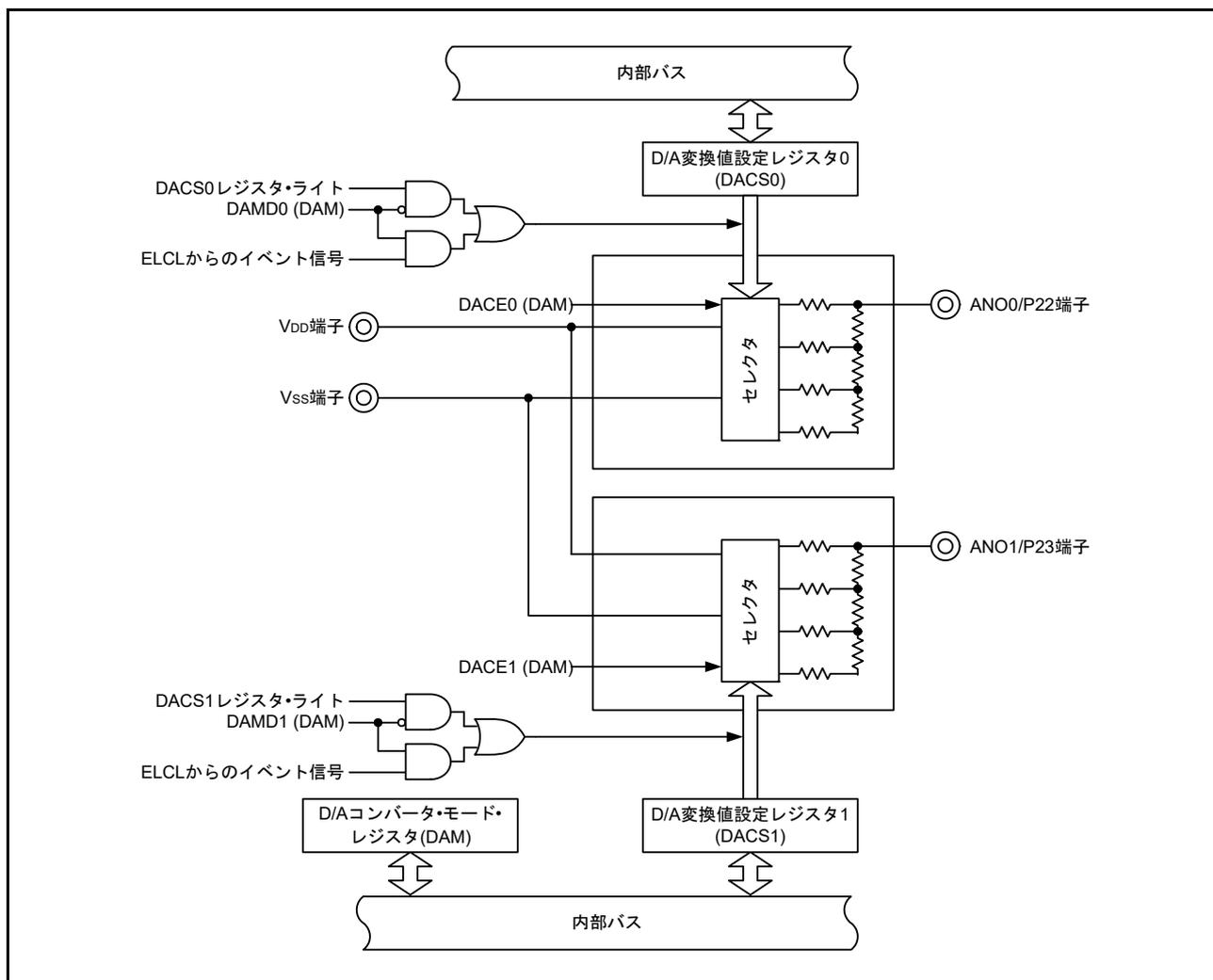
- 8ビット分解能 × 2 ch
- R-2Rラダー方式
- アナログ出力電圧
  - 8ビット分解能 :  $V_{DD} \times m8/256$  (m8 : DACSi レジスタに設定した値)
- 動作モード
  - 通常モード
  - リアルタイム出力モード

**備考** i = 0, 1

### 13.2 D/Aコンバータの構成

図13-1にD/Aコンバータのブロック図を示します。

図13-1 D/Aコンバータのブロック図



### 13.3 D/Aコンバータを制御するレジスタ

D/Aコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- D/Aコンバータ・モード・レジスタ (DAM)
- D/A変換値設定レジスタ*i* (DACSi) (*i* = 0, 1)
- 出力信号選択レジスタ*n* (ELOSEL*n*) (*n* = 0-7)
- 出力信号イネーブル設定レジスタ (ELOENCTL)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

**備考** xx = 2

### 13.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用する場合は、必ずビット7 (DACEN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1 レジスタは00Hになります。

図13-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
	DACEN	D/Aコンバータの入カクロックの制御						
	0	入カクロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・D/Aコンバータで使用するSFRへのリード／ライト可						

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意1. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。

DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります (ポート・モード・レジスタ2 (PM2)、ポート・レジスタ2 (P2) は除く)。

注意2. 次のビットには必ず0を設定してください。

30ピン製品 : ビット2, 1

32ピン製品 : ビット2

### 13.3.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。  
 PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。  
 D/Aコンバータをリセットする場合は、ビット7 (DACRES) を1に設定してください。  
 PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、PRR1 レジスタは00Hになります。

図13-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	REMCRES 注	CTSURES
	DACRES	D/Aコンバータのリセット制御						
	0	D/Aコンバータのリセット解除						
	1	D/Aコンバータはリセット状態 ・D/Aコンバータで使用するSFRが初期化されます。						

注 32～128ピン製品のみ

注意1. ビット3, 2には必ず0を設定してください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品: ビット1

### 13.3.3 D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

DAMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-4 D/Aコンバータ・モード・レジスタ (DAM) のフォーマット

アドレス : F0332H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0
DACEi	D/Aコンバータの変換動作の制御							
0	D/A変換動作停止							
1	D/A変換動作許可							
DAMD <sub>i</sub>	D/Aコンバータの動作モードの選択							
0	通常動作モード							
1	リアルタイム出力モード							

備考 i = 0, 1

### 13.3.4 D/A変換値設定レジスタi (DACS<sub>i</sub>) (i = 0, 1)

D/Aコンバータを使用する場合、ANO0, ANO1 端子に出力するアナログ電圧値を設定するレジスタです。

DACS<sub>i</sub>レジスタは、8ビット・メモリ操作命令で設定します。

リセットにより、00Hになります。

図13-5 D/A変換値設定レジスタi (DACS<sub>i</sub>) (i = 0, 1) のフォーマット

アドレス : F0330H (DACS0), F0331H (DACS1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DACS <sub>i</sub>	DACS <sub>i</sub> 7	DACS <sub>i</sub> 6	DACS <sub>i</sub> 5	DACS <sub>i</sub> 4	DACS <sub>i</sub> 3	DACS <sub>i</sub> 2	DACS <sub>i</sub> 1	DACS <sub>i</sub> 0

備考 D/Aコンバータのアナログ出力電圧 (VANO<sub>i</sub>) は、次のようになります。

$$VANO_i = V_{DD} \times (DACS_i) / 256$$

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするために DACE<sub>i</sub> ビットを 0 (出力禁止) にし、DACS<sub>i</sub> レジスタを 00H にして、R-2R の抵抗に電流が流れないようにしてください。

### 13.3.5 ロジック&イベント・リンク・コントローラからのイベント出力を制御するレジスタ

D/Aコンバータのリアルタイム出力モードを使用する場合、ロジック&イベント・リンク・コントローラからのイベント信号を起動トリガとして、D/A変換を行います。詳細は、**20.3.23 出力信号選択レジスタ n (ELOSELn)** (n = 0-7)、**20.3.24 出力信号イネーブル設定レジスタ (ELOENCTL)** を参照してください。

### 13.3.6 D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御するレジスタ

D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

詳細は、**4.3.1 ポート・モード・レジスタ (PMxx)**、**4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)**、**4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)** を参照してください。

ANO0, ANO1 を兼用する端子を D/Aコンバータのアナログ出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに 1 を設定し、ポート・モード・コントロールA・レジスタ (PMCAxx) でアナログ出力に設定してください。

**備考** xx = 2

## 13.4 D/Aコンバータの動作

### 13.4.1 通常モード時の動作

DACSi レジスタへのライト動作を起動トリガとして、D/A 変換を行います。

以下にその設定動作を示します。

- ① PER1 レジスタ (周辺イネーブル・レジスタ 1) の DACEN ビットを 1 に設定し、D/A コンバータへの入力クロック供給を開始します。
- ② PMCA レジスタ (ポート・モード・コントロール A・レジスタ) でポートをアナログ端子に設定します。
- ③ DAM レジスタ (D/A コンバータ・モード・レジスタ) の DAMDi ビットを 0 (通常モード) に設定します。
- ④ DACSi レジスタ (D/A 変換値設定レジスタ i) に、ANOi 端子出力するアナログ電圧値を設定します。

以上①～④を初期設定として行います。

- ⑤ DAM レジスタの DACEi ビットを 1 (D/A 変換動作許可) に設定します。  
これにより D/A 変換を開始し、セトリング・タイム経過後、ANOi 端子に④にて設定したアナログ電圧を出力します。
- ⑥ 以降、D/A 変換を行う場合は、DACSi レジスタへのライト動作を行います。

なお、次の D/A 変換を行うまでは、前回 D/A 変換した結果を保持します。

また、DAM レジスタの DACEi ビット = 0 (D/A 変換動作停止) に設定すると、D/A 変換を停止します。

**注意 1.** DACEi ビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANOi 端子に DACSi レジスタにて設定したアナログ電圧を出力します。

**注意 2.** セトリング・タイム中に DACSi レジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

**注意 3.** D/A コンバータの全回路を初期化する場合は PRR1 レジスタの DACRES ビットに 1 を設定してください。

備考 i = 0, 1

### 13.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャンネルはELCLからのイベント信号を起動トリガとして、D/A変換を行います。以下に、その設定方法を示します。

- ① PRR1レジスタ（周辺リセット制御レジスタ1）のDACRESビットを0にしD/Aコンバータのリセットを解除します。
- ② PER1レジスタ（周辺イネーブル・レジスタ1）のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ③ PMCAレジスタ（ポート・モード・コントロールA・レジスタ）でポートをアナログ端子に設定します。
- ④ DAMレジスタ（D/Aコンバータ・モード・レジスタ）のDAMD<sub>i</sub>ビットを0（通常モード）に設定します。
- ⑤ DACSiレジスタ（D/A変換値設定レジスタ<sub>i</sub>）に、ANO<sub>i</sub>端子出力するアナログ電圧値を設定します。
- ⑥ DAMレジスタのDACE<sub>i</sub>ビットを1（D/A変換動作許可）に設定します。  
これによりD/A変換を開始し、セトリング・タイム経過後、ANO<sub>i</sub>端子に④にて設定したアナログ電圧を出力します。
- ⑦ ロジック&イベント・リンク・コントローラからのイベント信号出力を制御するレジスタ（ELOSEL<sub>n</sub>, ELOENCTL）で、リアルタイム出力モードに使用するトリガ信号を設定します。
- ⑧ DAMレジスタのDAMD<sub>i</sub>ビットを1（リアルタイム出力モード）に設定します。
- ⑨ イベント発生元の動作を開始します。

以上①～⑨を初期設定として行います。

- ⑩ 以降、リアルタイム出力モードに使用するトリガ信号の発生により、D/A変換を開始し、セトリング・タイム経過後、ANO<sub>i</sub>端子に⑤にて設定したアナログ電圧を出力します。

なお、次のD/A変換を行う（リアルタイム出力モードに使用するトリガ信号の発生）前までに、DACSiレジスタに、ANO<sub>i</sub>端子に出力するアナログ電圧値を設定してください。

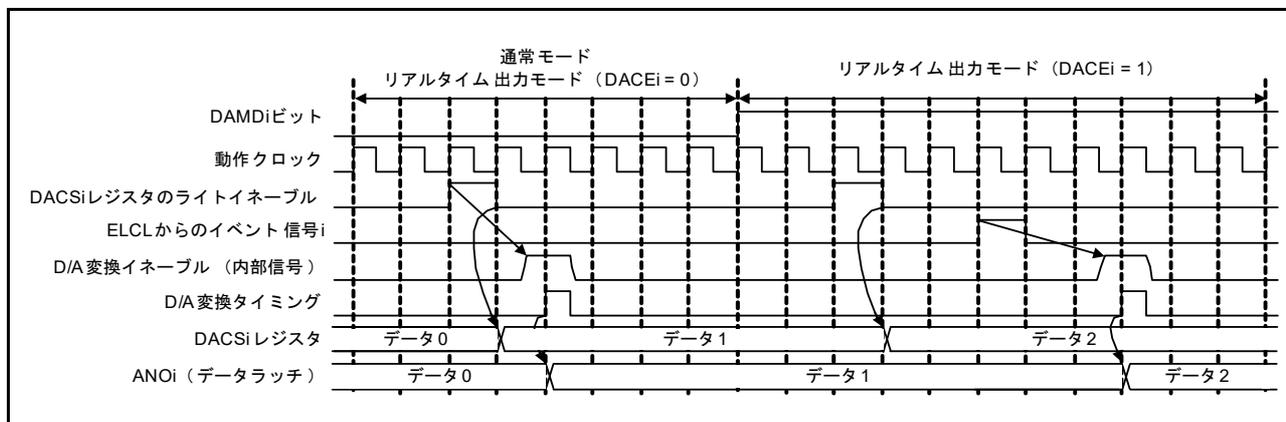
また、DAMレジスタのDACE<sub>i</sub>ビット=0（D/A変換動作停止）に設定すると、D/A変換を停止します。

- 注意1.** DACE<sub>i</sub>ビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANO<sub>i</sub>端子にDACSiレジスタにて設定したアナログ電圧を出力します。
- 注意2.** 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。
- 注意3.** 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、fCLKの3クロックより長くしてください。fCLKの3クロック以下の間隔で連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。
- 注意4.** D/Aコンバータの全回路を初期化する場合はPRR1レジスタのDACRESビットに1を設定してください。

### 13.4.3 D/A変換値の出カタイミング

図13-6にD/A変換値の出カタイミングを示します。

図13-6 D/A変換値の出カタイミング



備考  $i = 0, 1$

- 通常動作モードおよびリアルタイム出力モード（変換動作不許可時）  
DACSiレジスタへのライトの1周期後（動作クロック）にデータラッチヘライト（ANOi端子から出力）
- リアルタイム出力モード（変換動作許可時）  
ELCLからのイベント信号の受け付けから3周期後（動作クロック）にデータラッチヘライト（ANOi端子から出力）

## 13.5 D/Aコンバータ使用時の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) PMCAレジスタ（ポート・モード・コントロールA・レジスタ）でポートをアナログ端子に設定している場合は、ANO0, ANO1端子と兼用するデジタル・ポートの入出力機能は動作しません。  
PMCAレジスタでポートをアナログ端子に設定中にP2レジスタをリードしても、入力モード時は0、出力モード時はP2の設定値が読み出されます。また、デジタル出力モードとして設定しても、端子には出力データは出力されません。
- (2) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACEiビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
- (3) リアルタイム出力モードを停止する場合（通常モードへ変更する場合を含む）には以下のいずれかの手順で行う必要があります。
  - トリガ出力元を停止させてから3クロック以上待ってからDACEiビットおよびDAMD<sub>i</sub>ビットを0にする。
  - DACEiビットおよびDAMD<sub>i</sub>ビットを0にした後、PER1レジスタのDACENビットを0にする（DAC入力クロック供給停止）。  
ただし、DACENビットを0にしても、初期化はされていません。  
D/AコンバータおよびD/Aコンバータ内のSFRを初期化する場合、PRR1のビット7（DACRES）を使用してください。
- (4) D/A変換動作許可時に、ANO0, ANO1端子と兼用するアナログ入力端子からA/D変換を行わないでください。
- (5) リアルタイム出力モード時は、リアルタイム出力モードに使用するトリガ信号が発生する前までにDACSiレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSiレジスタの設定値を変更しないでください。
- (6) D/Aコンバータの出力インピーダンスが高いため、ANO0, ANO1端子から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とANO0, ANO1端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は、グランド・パターンで囲むなどの処置をしてください。
- (7) リアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCLのイベントリンクを禁止にしてください。

**備考** i = 0, 1

## 第14章 コンパレータ (CMP)

### 14.1 コンパレータの機能

コンパレータには、次のような機能があります。

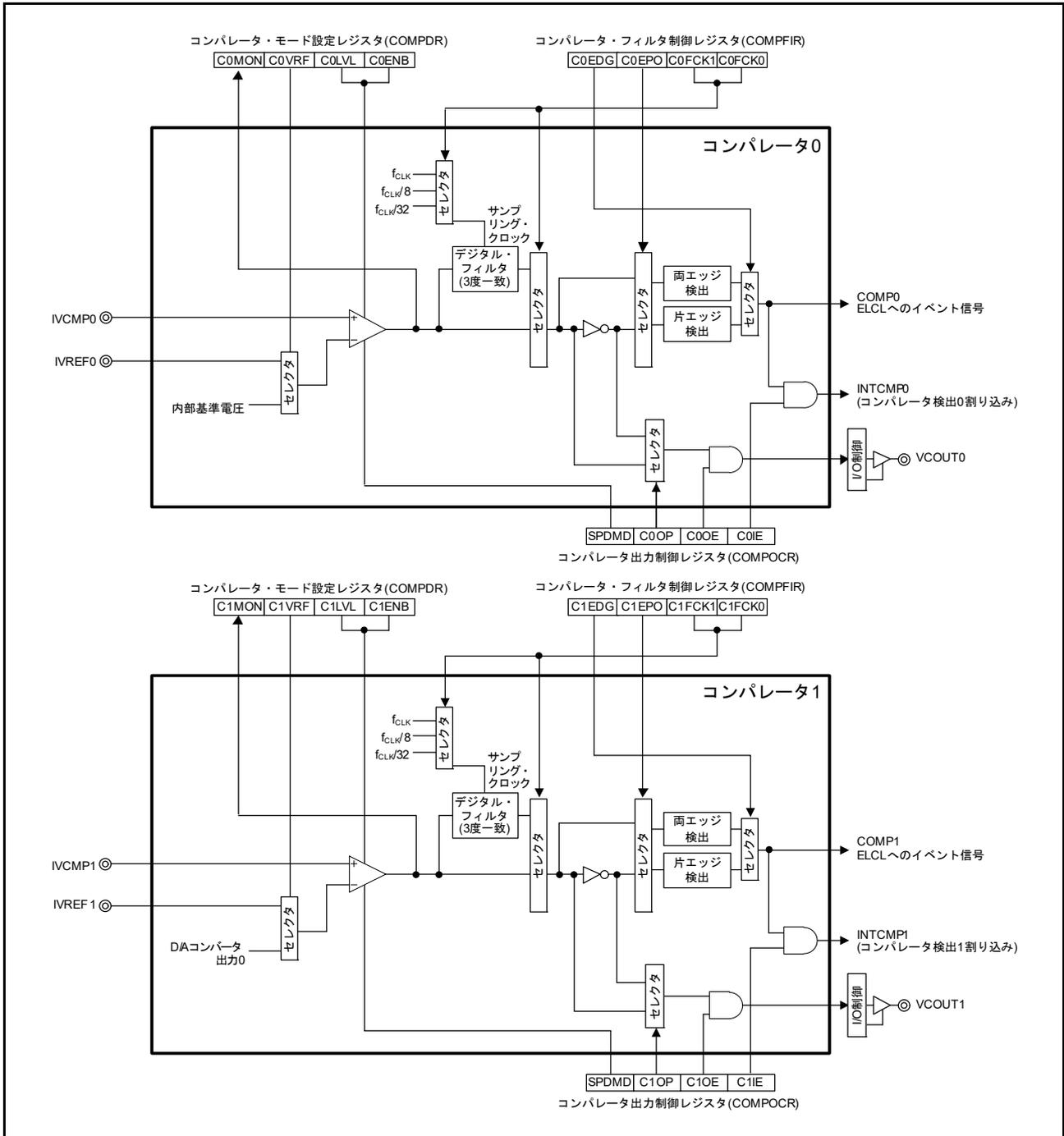
- コンパレータ高速モード/コンパレータ低速モードが選択できます。
- 基準電圧は外部基準電圧入力と内部基準電圧 (1.48 V (Typ.)) / D/Aコンバータ出力<sup>注</sup>を選択できます。
- ノイズ除去デジタル・フィルタの除去幅が選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生できます。
- コンパレータ出力の有効エッジを検出し、ロジック&イベント・リンク・コントローラ (ELCL) ハイイベント信号を出力できます。

**注** コンパレータ0では内部基準電圧を、コンパレータ1ではD/Aコンバータ出力0を選択できます。

## 14.2 コンパレータの構成

図 14 - 1 にコンパレータのブロック図を示します。

図 14 - 1 コンパレータのブロック図



## 14.3 コンパレータを制御するレジスタ

コンパレータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- コンパレータ・モード設定レジスタ (COMPMDR)
- コンパレータ・フィルタ制御レジスタ (COMPFIR)
- コンパレータ出力制御レジスタ (COMPOCR)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

**備考** x = 1; xx = 1-3, 12, 14

ただし、PMCT1, 12, 14、PMCE2, 3, 12, 14は搭載していません。

### 14.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット5 (CMPEN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図14-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
	CMPEN	コンパレータの入カクロック供給の制御						
	0	入カクロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・コンパレータで使用するSFRへのリード／ライト可						

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意1. コンパレータの設定をする際には、必ず最初にCMPEN = 1の設定を行ってください。

CMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視されます (ポート・モード・コントロールA・レジスタ1, 2, 12, 14 (PMCA1, PMCA2, PMCA12, PMCA14)、ポート・モード・レジスタ1, 2, 3, 12, 14 (PM1, PM2, PM3, PM12, PM14)、ポート・レジスタ1, 2, 3, 12, 14 (P1, P2, P3, P12, P14) は除く)。

注意2. 次のビットには必ず0を設定してください。

30ピン製品 : ビット2, 1

32ピン製品 : ビット2

### 14.3.2 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

コンパレータをリセットする場合は、ビット5 (CMPRES) を1に設定してください。

PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR1 レジスタは00Hになります。

図14-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	REMCRES 注	CTSURES
	CMPRES		コンパレータのリセット制御					
	0		コンパレータのリセット解除					
	1		コンパレータはリセット状態 ・コンパレータで使用するSFRが初期化されます。					

注 32～128ピン製品のみ

注意1. ビット3, 2には、必ず0を設定してください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品 : ビット1

### 14.3.3 コンパレータ・モード設定レジスタ (COMPMDR)

コンパレータの基準電圧の選択、比較動作の開始/停止の設定、比較結果の状態を表すレジスタです。

COMPMDR レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CnMON ビットは読み出しのみ可能です。

リセット信号の発生により、00Hになります。

図14-4 コンパレータ・モード設定レジスタ (COMPMDR) のフォーマット

アドレス : F0340H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	<4>	3	2	1	<0>
COMPMDR	C1MON	C1VRF	C1LVL	C1ENB	C0MON	C0VRF	C0LVL	C0ENB
C1MON	コンパレータ1モニタ・フラグ <sup>注1,2</sup>							
0	IVCMP1<コンパレータ1基準電圧 (IVREF1 もしくは D/Aコンバータ出力0)							
1	IVCMP1>コンパレータ1基準電圧 (IVREF1 もしくは D/Aコンバータ出力0)							
C1VRF	コンパレータ1基準電圧の選択							
0	IVREF1 端子から供給							
1	D/Aコンバータ出力0 から供給							
C1LVL	コンパレータ1基準電圧範囲選択							
0	0 ~ VDD -1.4 V							
1	1.4 V ~ VDD							
C1ENB	コンパレータ1動作許可							
0	コンパレータ1動作禁止							
1	コンパレータ1動作許可							
C0MON	コンパレータ0モニタ・フラグ <sup>注1,2</sup>							
0	IVCMP0<コンパレータ0基準電圧 (IVREF0 もしくは内部基準電圧)							
1	IVCMP0>コンパレータ0基準電圧 (IVREF0 もしくは内部基準電圧)							
C0VRF	コンパレータ0基準電圧の選択 <sup>注3</sup>							
0	IVREF0 端子から供給							
1	内部基準電圧から供給							
C0LVL	コンパレータ0基準電圧範囲選択 <sup>注3</sup>							
0	0 ~ VDD -1.4 V							
1	1.4 V ~ VDD							
C0ENB	コンパレータ0動作許可							
0	コンパレータ0動作禁止							
1	コンパレータ0動作許可							

- 注1.** リセット解除直後は初期値0ですが、一度コンパレータを動作許可にした後にC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。
- 注2.** ビット7, 3はRead onlyです。書き込みは無視されます。
- 注3.** コンパレータ0 基準電圧として内部基準電圧 (C0VRF = 1) を使用する場合、C0LVL = 0かつVDD  $\geq$  (内部基準電圧 (Max.) + 1.4 V) とする必要があります。

### 14.3.4 コンパレータ・フィルタ制御レジスタ (COMPFIR)

コンパレータ割り込み信号の有効エッジの選択、デジタル・フィルタの使用可否を設定するレジスタです。ノイズ除去が必要な場合は、CnFCK1, CnFCK0 ビットを設定して、デジタル・フィルタを有効にしてください。デジタル・フィルタ有効時は、デジタル・フィルタのサンプリング・クロックで3クロックの一致検出を行います。

COMPFIR レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00H になります。

図14-5 コンパレータ・フィルタ制御レジスタ (COMPFIR) のフォーマット

アドレス : F0341H  
リセット時: 00H  
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	コンパレータ1エッジ検出選択 <sup>注1</sup>							
0	コンパレータ1片エッジ検出での割り込み要求							
1	コンパレータ1両エッジ検出での割り込み要求							
C1EPO	コンパレータ1エッジ極性切り替え <sup>注1</sup>							
0	コンパレータ1立ち上がりエッジで割り込み要求							
1	コンパレータ1立ち下がりエッジで割り込み要求							
C1FCK1	C1FCK0	コンパレータ1フィルタ選択 <sup>注1,3</sup>						
0	0	コンパレータ1フィルタなし						
0	1	コンパレータ1フィルタあり、fCLKでサンプリング						
1	0	コンパレータ1フィルタあり、fCLK/8でサンプリング						
1	1	コンパレータ1フィルタあり、fCLK/32でサンプリング						
C0EDG	コンパレータ0エッジ検出選択 <sup>注2</sup>							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え <sup>注2</sup>							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 <sup>注2,3</sup>						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり、fCLKでサンプリング						
1	0	コンパレータ0フィルタあり、fCLK/8でサンプリング						
1	1	コンパレータ0フィルタあり、fCLK/32でサンプリング						

- 注1.** C1FCK1、C1FCK0ビット、C1EPOビット、C1EDGビットを変更するとELCLへのイベント信号およびコンパレータ1割り込み要求が発生する場合があります。これらのビットは、ELCLの入力信号として選択されていない状態かつコンパレータ1割り込みをマスクした状態で変更してください。その後、コンパレータ1割り込みを使用する場合は、CMPIF1ビットを0にクリアした後にCMPMK1ビットを0にクリアして割り込みを許可に設定してください。
- また、C1FCK1-C1FCK0ビットを00B（コンパレータ1フィルタなし）から00B以外（コンパレータ1フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCLへのイベント信号を使用してください。
- 注2.** C0FCK1、C0FCK0ビット、C0EPOビット、C0EDGビットを変更するとELCLへのイベント信号およびコンパレータ0割り込み要求が発生する場合があります。これらのビットは、ELCLの入力信号として選択されていない状態かつコンパレータ0割り込みをマスクした状態で変更してください。その後、コンパレータ0割り込みを使用する場合は、CMPIF0ビットを0にクリアした後にCMPMK0ビットを0にクリアして割り込みを許可に設定してください。
- また、C0FCK1-C0FCK0ビットを00B（コンパレータ0フィルタなし）から00B以外（コンパレータ0フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCLへのイベント信号を使用してください。
- 注3.** STOPモード中にコンパレータを使用する場合は、フィルタなし（C0FCK1-C0FCK0 = 00B, C1FCK1-C1FCK0 = 00B）に設定してください。

### 14.3.5 コンパレータ出力制御レジスタ (COMPOCR)

コンパレータの応答速度の選択、VCOUTn 出力の制御、割り込み要求信号の許可/禁止を設定するレジスタです。COMPOCR レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図14-6 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス : F0342H  
リセット時: 00H  
R/W属性 : R/W

略号	7	6	<5>	<4>	3	2	<1>	<0>
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 <sup>注1</sup>							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C1OP	VCOUT1出力極性選択							
0	コンパレータ1出力をVCOUT1へ出力							
1	コンパレータ1出力の反転をVCOUT1へ出力							
C1OE	VCOUT1端子出力許可							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可							
C1IE	コンパレータ1割り込み要求許可 <sup>注2</sup>							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	VCOUT0出力極性選択							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可							
C0IE	コンパレータ0割り込み要求許可 <sup>注3</sup>							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

**注1.** SPDMDビットを書き換える場合は、必ずCOMPMDRレジスタのCIENBビット (i = 0, 1) を0にしてから書き換えてください。

**注2.** C1IEビットを0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み要求フラグ・レジスタ2H (IF2H) のビット0 (CMPIF1) が1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ2H (IF2H) のビット0 (CMPIF1) をクリア (0) してから割り込みを使用してください。

- 注3.** C0IEビットを0（割り込み要求禁止）から1（割り込み要求許可）にした場合、割り込み要求フラグ・レジスタ2H（IF2H）のビット0（CMPIF0）が1（割り込み要求あり）になることがありますので、割り込み要求フラグ・レジスタ2H（IF2H）のビット0（CMPIF0）をクリア（0）してから割り込みを使用してください。

### 14.3.6 コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するレジスタ

コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCEx) を参照してください。

IVCMP0, 1、IVREF0, 1 を兼用する端子をコンパレータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロールA・レジスタ (PMCAxx) のビットに1を設定してください。

VCOOUT0, 1 を兼用する端子をコンパレータのデジタル出力として使用するときは、各ポートに対応するポート・レジスタ (Pxx) のビットに0、ポート・モード・レジスタ (PMxx) のビットに0、ポート・モード・コントロールT・レジスタ (PMCTxx) のビットに0、ポート・モード・コントロールE・レジスタ (PMCEx) のビットに0を設定してください。

**備考** xx = 1-3, 12, 14

ただし、PMCT1, 12, 14、PMCE2, 3, 12, 14は搭載していません。

## 14.4 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法と動作は同じです。表14-1にコンパレータ関連レジスタの設定手順を示します。

表14-1 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PRR1	CMPRES	0 (コンパレータのリセット解除)
2	PER1	CMPEN	1 (入力クロック供給)
3	PMCAxx	PMCA13, PMCA23, PMCA120, PMCA147	IVCMPi, IVREFi 端子の機能選択 ・ PMCA13, PMCA23, PMCA120, PMCA147 ビットに1 (アナログ入力) ・ PM13, PM23, PM120, PM147 ビットに1 (入力モード)
	PMxx	PM13, PM23, PM120, PM147	
4	COMPOCR	SPDMD	コンパレータ応答速度の選択 (0: 低速モード / 1: 高速モード) 注1
5	COMPMDR	CIURF	基準電圧の選択 (i = 0 0: IVREF0 端子入力 / 1: 内部基準電圧) (i = 1 0: IVREF1 端子入力 / 1: D/A コンバータ出力0)
		CIIVL	リファレンス入力電圧範囲選択 (0: 0 ~ VDD - 1.4 V / 1: 1.4 V ~ VDD)
6	COMPMDR	CIENB	1 (動作許可)
7	コンパレータ安定時間 tCMP 待ち		
8 9	COMPFIR	CIIFCK1-CIIFCK0	デジタル・フィルタ使用する / しない、サンプリング・クロック選択
		CIIEPO, CIIEEDG	割り込み要求のためのエッジ検出条件選択 (立ち上がり / 立ち下がり / 両エッジ)
10	COMPOCR	CIOP, CIOE	VCOUTi 出力の設定 (極性選択、出力許可 / 禁止を設定)
		CIIE	割り込み要求出力の許可 / 禁止を設定
11	ポート論理の出力端子選択: VCOUTi 14.4.4 コンパレータ i 出力 (i = 0, 1) 参照		
12	PR02H	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択
13	MK2H	CMPMKI	割り込みを使用する場合: 割り込みマスク選択
14	IF2H	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし: 初期化) 注2

注1. コンパレータ0とコンパレータ1を独立に設定することはできません。

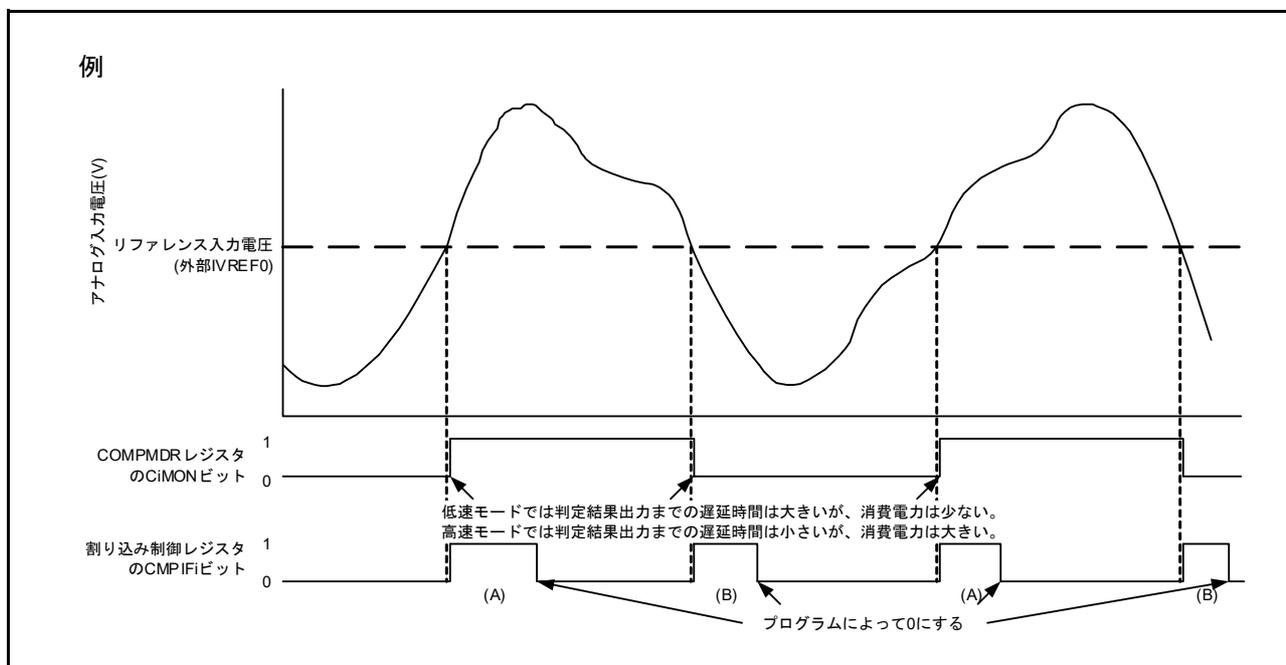
注2. コンパレータの設定後、安定動作するまでに不要な割り込みが発生することがありますので、割り込みフラグを初期化してください。

注意 コンバータ i の全回路を初期化する場合は PRR1 レジスタの CMPRES ビットに 1 を設定してください。

備考 i = 0, 1

図14-7にコンパレータ*i* ( $i = 0, 1$ ) の動作例を示します。低速モード時/高速モード時とも、リファレンス入力よりアナログ入力の電圧が高い場合に COMPMDR レジスタの CiMON ビットが1になり、リファレンス入力よりアナログ入力の電圧が低い場合に CiMON ビットが0になります (基準電圧は IVREF0 端子への入力電圧を使用します)。

図14-7 コンパレータ*i* ( $i = 0, 1$ ) の動作例



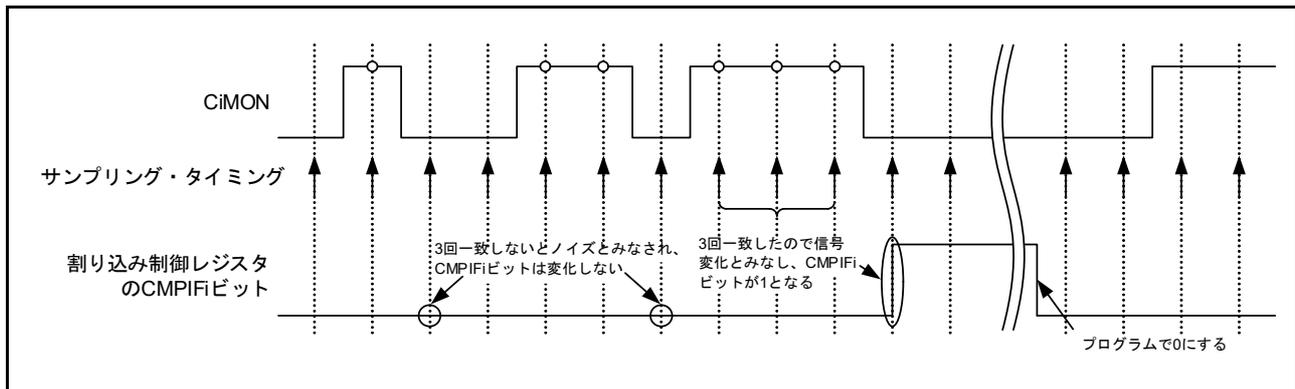
**注意** 上図は、COMPFIRレジスタのCiFCK1-CiFCK0 = 00B (フィルタなし)、CiEDG = 1 (両エッジ) の場合です。(CiEDG = 0, CiEPO = 0 (立ち上がりエッジ) のときのCMPIFiは (A) の変化のみ、CiEDG = 0, CiEPO = 1 (立ち下がりエッジ) のときのCMPIFiは (B) の変化のみとなります)。

### 14.4.1 コンパレータ*i*デジタル・フィルタ ( $i = 0, 1$ )

コンパレータ*i*は、デジタル・フィルタを内蔵しています。サンプリング・クロックはCOMPFIRレジスタのCiFCK1-CiFCK0ビットで選択できます。サンプリング・クロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリング・クロックで、デジタル・フィルタ出力がその値になります。

図14-8にコンパレータ*i* ( $i = 0, 1$ ) デジタル・フィルタと割り込み動作例を示します。

図14-8 コンパレータ*i* ( $i = 0, 1$ ) デジタル・フィルタと割り込み動作例



**注意** 上図は、COMPFIRレジスタのCiFCK1-CiFCK0ビットが、01B, 10B, 11Bのいずれか（デジタル・フィルタあり）の場合の動作例です。

### 14.4.2 コンパレータ*i*割り込み ( $i = 0, 1$ )

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

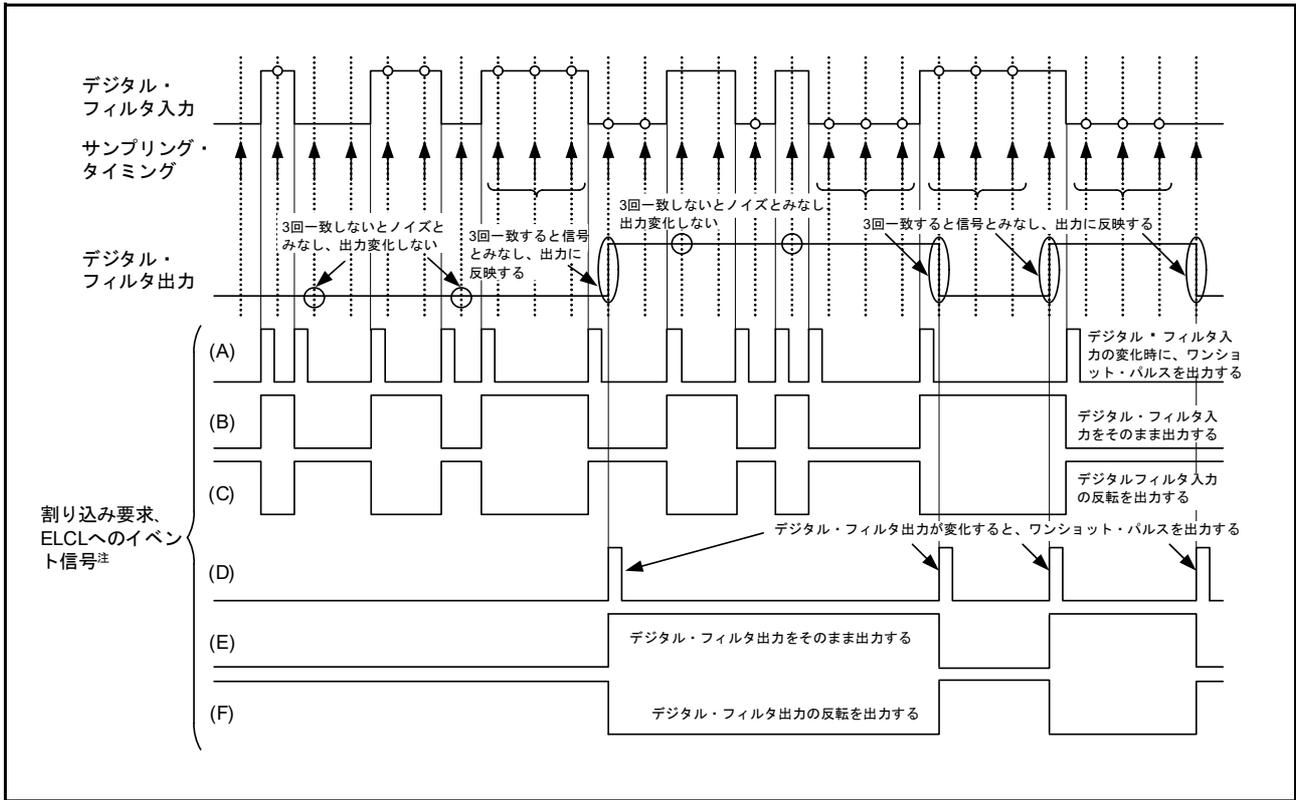
コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIEビットを1（割り込み要求出力許可）にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタル・フィルタを付けることが可能です。デジタル・フィルタは、3種類のサンプリング・クロックを選択可能です。

レジスタ設定と割り込み要求発生に対応については、14.3.4 コンパレータ・フィルタ制御レジスタ (COMPFIR) および 14.3.5 コンパレータ出力制御レジスタ (COMPOCR) を参照してください。

### 14.4.3 ロジック&イベント・リンク・コントローラ (ELCL) へのイベント信号出力

ELCL へのイベント信号は、割り込み要求の発生条件と同じく COMPFIR レジスタで設定したデジタル・フィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCR レジスタの CiIE ビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELCL の出力信号選択レジスタ n (ELOSELn)、出力信号イネーブル設定レジスタ (ELOENCTL) で設定してください。

図 14-9 デジタル・フィルタと割り込み要求・ELCL へのイベント信号出力動作



注 CiIE ビット (i = 0, 1) が1の場合は、割り込み要求とELCLへのイベント信号は同じ波形になります。  
 CiIE ビット (i = 0, 1) が0の場合は、割り込み要求のみ0固定になります。

(A), (B), (C) の波形は COMPFIR レジスタの CiFCK ビット (i = 0, 1) が "00B" (デジタル・フィルタなし) の場合、(D), (E), (F) の波形は COMPFIR レジスタの CiFCK ビット (i = 0, 1) が "01B", "10B", "11B" のいずれか (デジタル・フィルタあり) の場合の動作例です。(A), (D) は CiEDG ビットを 1 (両エッジ) に設定した場合、(B), (E) は CiEDG ビット = 0, CiEPO ビット = 0 (立ち上がりエッジ) の場合、(C), (F) は CiEDG ビット = 0, CiEPO ビット = 1 (立ち下がりエッジ) の場合です。

#### 14.4.4 コンパレータ*i*出力 ( $i = 0, 1$ )

コンパレータの比較結果を外部端子へ出力することができます。COMPOCR レジスタの CiOP, CiOE ビットにより出力極性 (そのまま出力/反転出力) や出力許可/禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、

**14.3.5 コンパレータ出力制御レジスタ (COMPOCR) を参照してください。**

VCOUT*i* 出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポート設定してください (リセット後、ポートは入力設定になっています)。

- ① コンパレータのモード設定をする (表 14-1 コンパレータ関連レジスタの設定手順の順番 1~9)。
- ② VCOUT0, VCOUT1 出力の極性選択、出力許可する (表 14-1 コンパレータ関連レジスタの設定手順の順番 11)。
- ③ VCOUT*i* 出力端子に対応するポート・モード・コントロール・レジスタのビットを 0 にする。
- ④ VCOUT*i* 出力端子に対応するポート・レジスタのビットを 0 にする。
- ⑤ VCOUT*i* 出力端子に対応するポート・モード・レジスタを出力に設定する (端子から出力開始)。

#### 14.4.5 コンパレータクロック停止/供給

周辺イネーブル・レジスタ 1 (PER1) の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ① COMPOCR レジスタの CiIE ビット ( $i = 0, 1$ ) を 0 にする (コンパレータの割り込みを禁止します)。
- ② COMPMDR レジスタの CiENB ビットを 0 にする (コンパレータを停止する)。
- ③ IF2H レジスタの CMPIFi ビットを 0 にする (コンパレータ停止前の不要な割り込みをクリア)。
- ④ PER1 レジスタの CMPEN ビットを 0 にする。

PER1 の設定によりクロック停止しますが、コンパレータ内部のレジスタはすべて初期化されません (レジスタの値を保持します)。

**注意** コンパレータを片エッジ検出での割り込み要求に設定 (CiEDG = 0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CiEPO = 0) かつ IVCMP > コンパレータ *i* の基準電圧の状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CiEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CiEPO = 1)、IVCMP < コンパレータ *i* の基準電圧の状態、DTC を起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタ・フラグ (CiMON) を確認してから DTC を起動許可にしてください ( $i = 0, 1$ )。

## 第15章 シリアル・アレイ・ユニット (SAU)

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは3線シリアル (簡易SPI/CSI<sup>注</sup>)、UART、簡易I<sup>2</sup>Cの通信機能を実現できます。

RL78/G23 に対応している各チャンネルの機能割り当ては、次のようになっています。

**注** 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

<30, 32ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	—		—

<36, 40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 64ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 80, 100, 128ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

**注意** この章では、以降の主な説明を128ピン製品のユニット、チャンネル構成で説明しています。

## 15.1 シリアル・アレイ・ユニットの機能

RL78/G23 に対応している各シリアル・インタフェースの特徴を示します。

### 15.1.1 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信/受信を行います。

シリアル・クロック (SCK) 1 本と送信、受信のシリアル・データ (SO, SI) 2 本の計 3 本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、**15.5 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作**を参照してください。

#### [データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

#### [クロック制御]

- マスタ/スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注  
マスタ通信時 : Max. fCLK/2 (CSI00 のみ)  
                                  Max. fCLK/4  
スレーブ通信時 : Max. fMCK/6

#### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

#### [エラー検出フラグ]

- オーバラン・エラー

また、以下の簡易 SPI (CSI) は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で SCK 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

- 30~64ピン製品 : CSI00
- 80~128ピン製品 : CSI00, CSI20

**注** SCK サイクル・タイム (tkcy) の特性を満たす範囲内で使用してください。詳細は、**第37章 電気的特性**を参照してください。

**注意** チップセレクト信号を追加する場合は、ポート機能を使用してください。

### 15.1.2 UART (UART0-UART3)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボーレートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は、**15.6 UART (UART0-UART3) 通信の動作**を参照してください。

#### [データ送受信]

- 7, 8, 9ビットのデータ長<sup>注</sup>
- MSB/LSBファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

#### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

#### [エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、以下のUARTの受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

- 30～64ピン製品 : UART0
- 80～128ピン製品 : UART0, UART2

UART2 (ユニット1のチャネル0, 1) は、LIN-busに対応しています (30～128ピン製品のみ)。

#### [LIN-bus 機能]

- |  |   |                                    |
|--|---|------------------------------------|
| <ul style="list-style-type: none"> <li>• ウェイクアップ信号検出</li> <li>• ブレーク・フィールド (BF) 検出</li> <li>• シンク・フィールド測定、ボーレート算出</li> </ul> | } | 外部割り込み (INTP0)、<br>タイマ・アレイ・ユニットを使用 |
|--|---|------------------------------------|

**注** 9ビット・データ長は、以下のUARTのみ対応しています。

- 30～64ピン製品 : UART0
- 80～128ピン製品 : UART0, UART2

### 15.1.3 簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I<sup>2</sup>C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、**15.8 簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作**を参照してください。

#### [データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK出力機能<sup>注</sup>、ACK検出機能
- 8ビットのデータ長  
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション、ストップ・コンディション手動発生

#### [割り込み機能]

- 転送完了割り込み

#### [エラー検出フラグ]

- ACKエラー、オーバラン・エラー

#### ※ [簡易 I<sup>2</sup>C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

**注** 最終データの受信時は、SOEmnビット (シリアル出力許可レジスタ m (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**15.8.3 (2) 処理フロー**を参照してください。

**備考1.** フル機能の I<sup>2</sup>C バスをご使用の場合は、**第16章 シリアル・インタフェース IICA (IICA)** を参照してください。

**備考2.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

## 15.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表15-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビットまたは9ビット <sup>注1</sup>
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット <sup>注1, 2</sup>
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31 端子 (簡易SPI用)、 SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31 端子 (簡易I <sup>2</sup> C用)
シリアル・データ 入力	SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31 端子 (簡易SPI用)、 RxD0, RxD1, RxD3 端子 (UART用)、RxD2 端子 (LIN-bus対応UART用)
シリアル・データ 出力	SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31 端子 (簡易SPI用)、 TxD0, TxD1, TxD3 端子 (UART用)、TxD2 端子 (LIN-bus対応UART用)
シリアル・データ 入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31 端子 (簡易I <sup>2</sup> C用)
制御レジスタ	<p>&lt;ユニット設定部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・周辺イネーブル・レジスタ 0 (PER0)</li> <li>・周辺リセット制御レジスタ 0 (PRR0)</li> <li>・シリアル・クロック選択レジスタ m (SPSm)</li> <li>・シリアル・チャネル許可レジスタ m (SEm)</li> <li>・シリアル・チャネル開始レジスタ m (SSm)</li> <li>・シリアル・チャネル停止レジスタ m (STm)</li> <li>・シリアル出力許可ステータス・レジスタ m (SOEm)</li> <li>・シリアル出力レジスタ m (SOm)</li> <li>・シリアル出力レベル・レジスタ m (SOLm)</li> <li>・シリアル・スタンバイ・コントロール・レジスタ m (SSCm)</li> <li>・入力切り替え制御レジスタ (ISC)</li> <li>・ノイズ・フィルタ許可レジスタ 0 (NFEN0)</li> </ul> <p>&lt;各チャネル部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・シリアル・データ・レジスタ mn (SDRmn)</li> <li>・シリアル・モード・レジスタ mn (SMRmn)</li> <li>・シリアル通信動作設定レジスタ mn (SCRmn)</li> <li>・シリアル・ステータス・レジスタ mn (SSRmn)</li> <li>・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)</li> </ul> <ul style="list-style-type: none"> <li>・ポート入力モード・レジスタ 0, 1, 4, 5, 8, 14 (PIM0, PIM1, PIM4, PIM5, PIM8, PIM14)</li> <li>・ポート出力モード・レジスタ 0, 1, 4, 5, 7-9, 14 (POM0, POM1, POM4, POM5, POM7-POM9, POM14)</li> <li>・ポート・モード・コントロール A, T, E・レジスタ 0, 3, 14 (PMCAxx, PMCTxx, PMCEx)</li> <li>・ポート・モード・レジスタ 0, 1, 3-5, 7-9, 14 (PM0, PM1, PM3-PM5, PM7-PM9, PM14)</li> <li>・ポート・レジスタ 0, 1, 3-5, 7-9, 14 (P0, P1, P3-P5, P7-P9, P14)</li> <li>・ポート・ファンクション出力許可レジスタ (PFOE1)</li> <li>・UARTループバック選択レジスタ (ULBS)</li> </ul>

(注、備考は次ページに続きます)

- 注1.** シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- 30～64ピン製品でmn = 00, 01の場合 : 下位9ビット
  - 80～128ピン製品でmn = 00, 01, 10, 11の場合 : 下位9ビット
  - 上記以外の場合 : 下位8ビット
- 注2.** シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。
- CSIp通信時 : SIOp (CSIpデータ・レジスタ)
  - UARTq受信時 : RXDq (UARTq受信データ・レジスタ)
  - UARTq送信時 : TXDq (UARTq送信データ・レジスタ)
  - IICr通信時 : SIOr (IICrデータ・レジスタ)
- 備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

図 15 - 1 にシリアル・アレイ・ユニット 0 のブロック図を示します。

図 15 - 1 シリアル・アレイ・ユニット 0 のブロック図

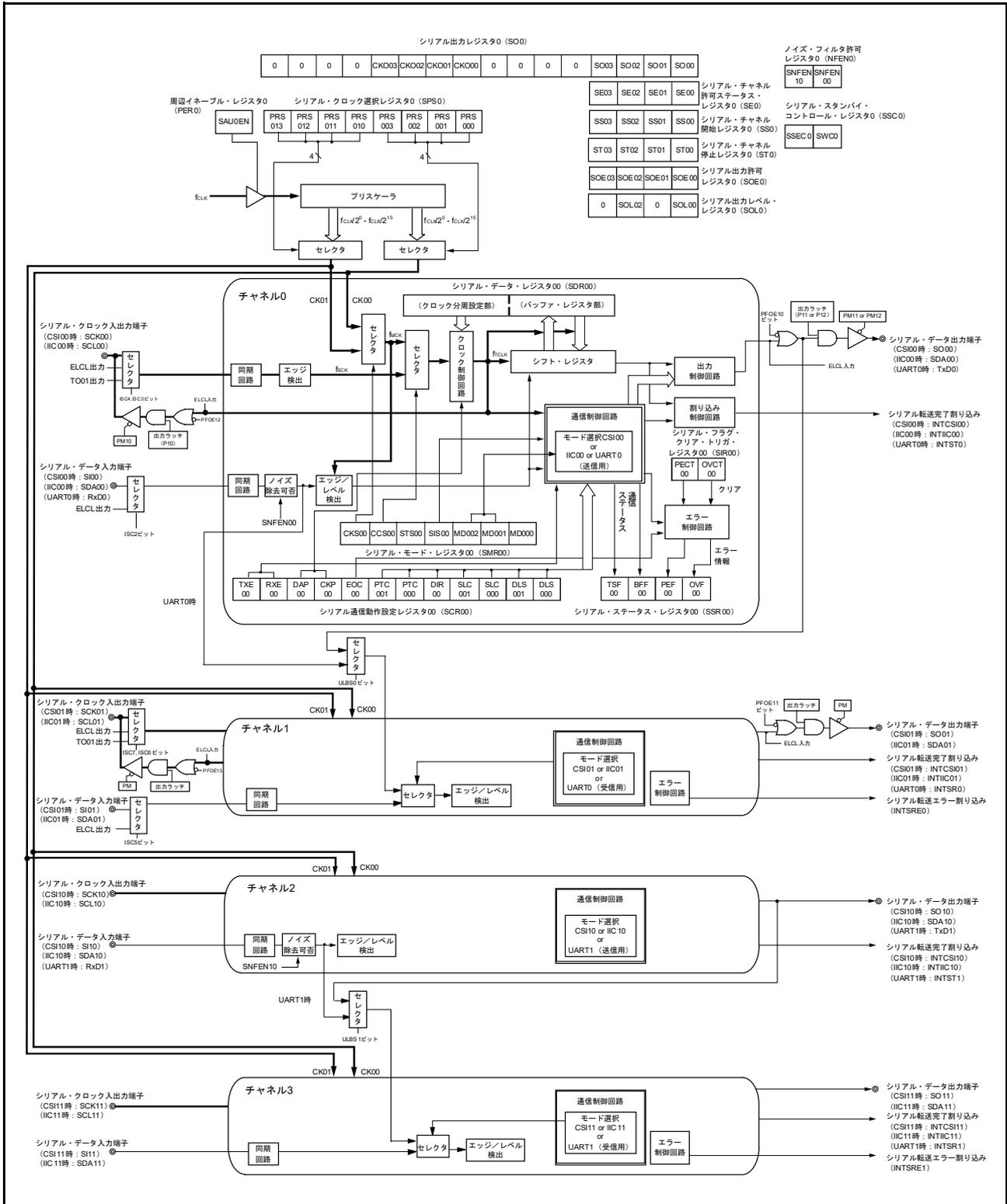
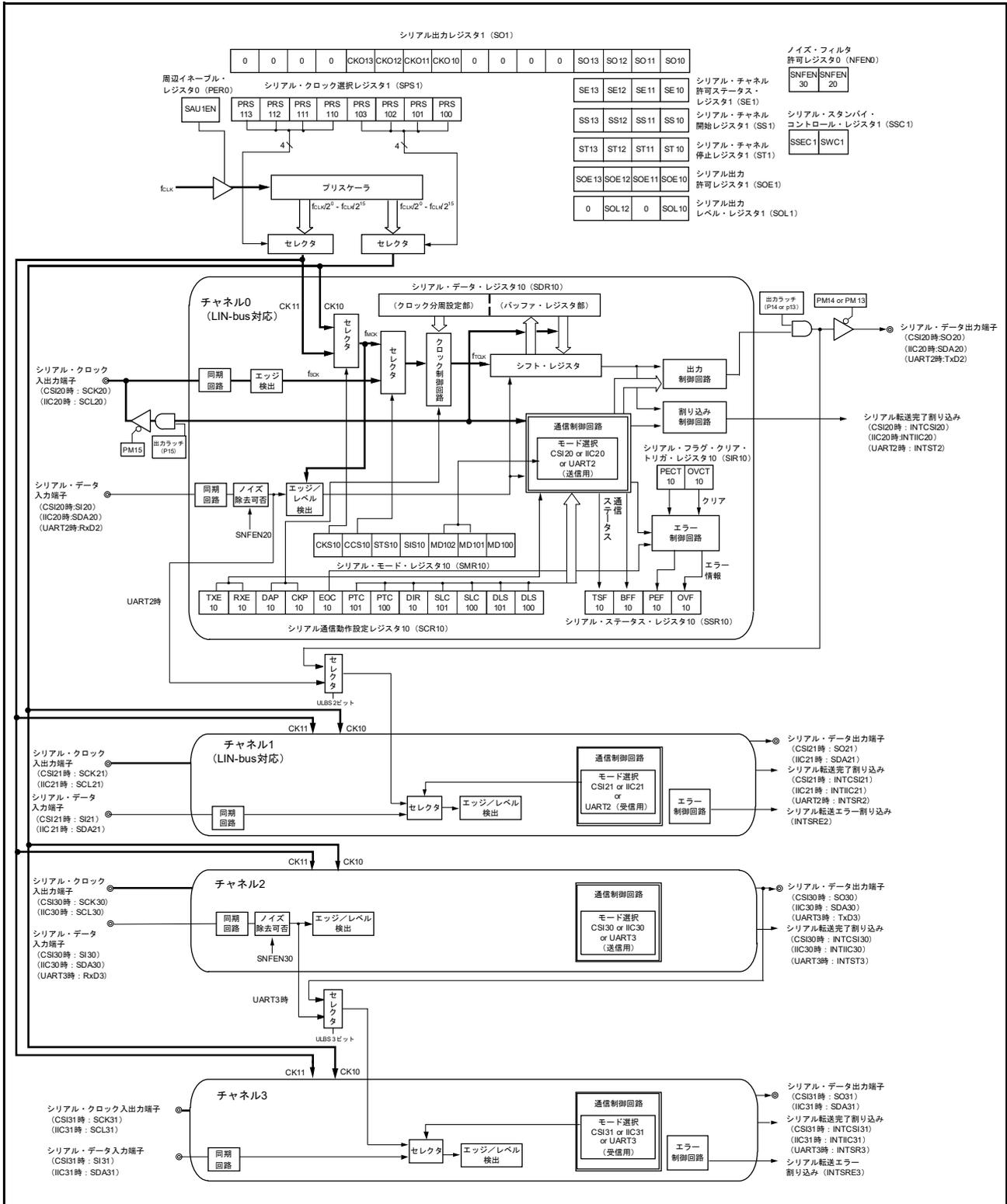


図 15-2 にシリアル・アレイ・ユニット 1 のブロック図を示します。

図 15-2 シリアル・アレイ・ユニット 1 のブロック図



### 15.2.1 シフト・レジスタ

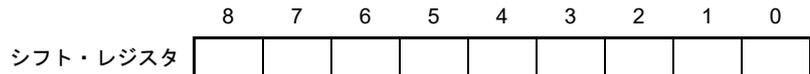
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット0-8）を使用します<sup>注1</sup>。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビットを使用します。



### 15.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビット

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ（16ビット）です。

ビット 8-0（下位 9ビット）<sup>注1</sup>、またはビット 7-0（下位 8ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9の部分は動作クロック (fMCK) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

下位 8/9 ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット 0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- 7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- 8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- 9ビット・データ長（SDRmnレジスタのビット0-8に格納）<sup>注1</sup>

SDRmn レジスタは 16 ビット単位でリード/ライト可能です。

また SDRmn レジスタの下位 8/9 ビットは、通信方式により、次の SFR 名称で 8 ビット単位でリード/ライト可能<sup>注2</sup>です。

- CSIp通信時 : SIOp (CSIpデータ・レジスタ)
- UARTq受信時 : RXDq (UARTq受信データ・レジスタ)
- UARTq送信時 : TXDq (UARTq送信データ・レジスタ)
- IICr通信時 : SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmn レジスタは 0000H になります。

**注1.** 9ビット・データ長は、以下のUARTのみ対応しています。

- 30～64ピン製品 : UART0
- 80～128ピン製品 : UART0, UART2

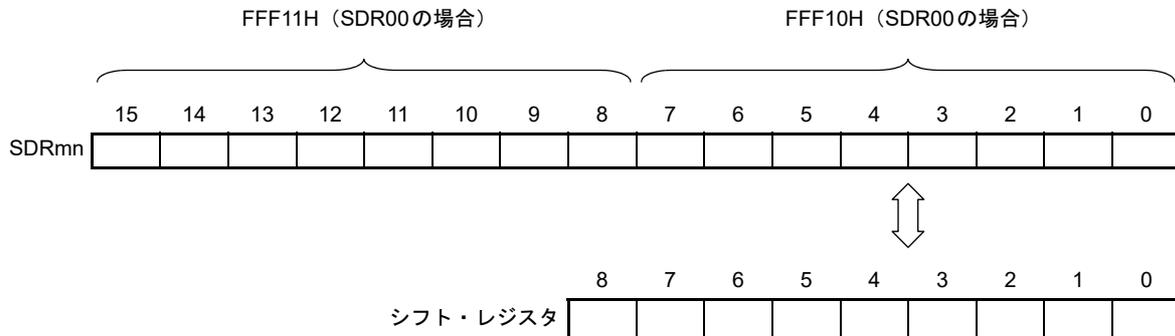
**注2.** 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令による SDRmn[7:0] の書き換えは禁止です (SDRmn[15:9] がすべてクリア (0) されます)。

**備考1.** 受信完了後、ビット0-8内でデータ長を超える部分のビットには、0が格納されます。

**備考2.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

図15-3 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01, 10, 11) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)  
 FFF48H, FFF49H (SDR10)<sup>注</sup>, FFF4AH, FFF4BH (SDR11)<sup>注</sup>  
 リセット時: 0000H  
 R/W属性 : R/W

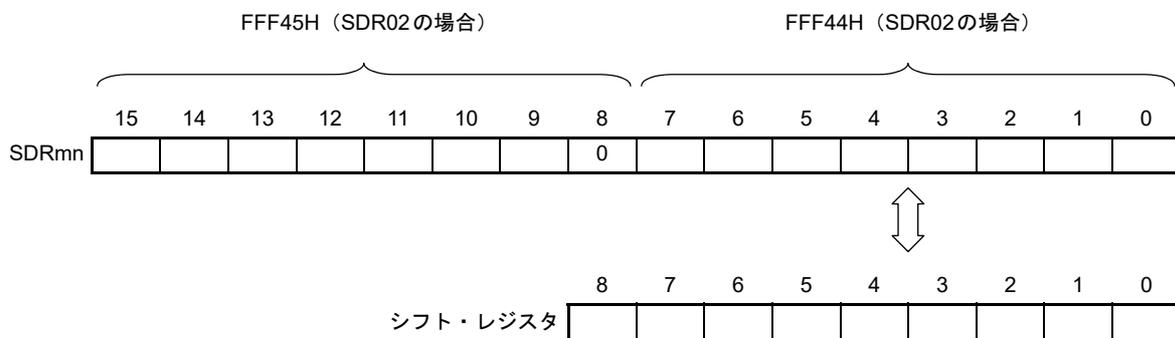


**注** 80～128ピン製品

**備考** SDRmnレジスタの上位7ビットの機能については、15.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図15-4 シリアル・データ・レジスタ mn (SDRmn) (mn = 02, 03, 10, 11, 12, 13) のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),  
 FFF48H, FFF49H (SDR10)<sup>注1</sup>, FFF4AH, FFF4BH (SDR11)<sup>注1</sup>  
 FFF14H, FFF15H (SDR12)<sup>注2</sup>, FFF16H, FFF17H (SDR13)<sup>注2</sup>  
 リセット時: 0000H  
 R/W属性 : R/W



**注1.** 30～64ピン製品

**注2.** 80～128ピン製品

**注意** ビット8は、必ず0を設定してください。

**備考** SDRmnレジスタの上位7ビットの機能については、15.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

## 15.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- シリアル・クロック選択レジスタm (SPSm)
- シリアル・モード・レジスタmn (SMRmn)
- シリアル通信動作設定レジスタmn (SCRmn)
- シリアル・データ・レジスタmn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- シリアル・ステータス・レジスタmn (SSRmn)
- シリアル・チャンネル開始レジスタm (SSm)
- シリアル・チャンネル停止レジスタm (STm)
- シリアル・チャンネル許可ステータス・レジスタm (SEm)
- シリアル出力許可レジスタm (SOEm)
- シリアル出力レジスタm (SOm)
- シリアル出力レベル・レジスタm (SOLm)
- シリアル・スタンバイ・コントロール・レジスタm (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- UARTループバック選択レジスタ (ULBS)

**備考1.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

**備考2.** x = 0, 1, 5, 6; xx = 0, 1, 3-9, 12, 14

ただし、PIM6, 9、POM6、PMCA4-9、PMCT1, 4, 8, 9, 12, 14、PMCE3, 4, 7-9, 12, 14は搭載していません。

### 15.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは00Hになります。

図15-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCWEN	IICA1EN 注1	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN 注2	TAU0EN
SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御							
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmで使用するSFRをリードした場合は00Hまたは0000Hが読めます。							
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可							

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

(注意は次ページに続きます)

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます (入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ0, 1, 4, 5, 8, 14 (PIM0,PIM1, PIM4, PIM5, PIM8, PIM14)、ポート出力モード・レジスタ0, 1, 4, 5, 7-9, 14 (POM0, POM1,POM4, POM5, POM7-POM9, POM14)、ポート・モード・コントロールA・レジスタ0, 3, 14 (PMCA0, PMCA3, PMCA14)、ポート・モード・コントロールT・レジスタ0, 3 (PMCT0, PMCT3)、ポート・モード・コントロールE・レジスタ0 (PMCE0)、ポート・モード・レジスタ0, 1, 3-5, 7-9, 14 (PM0, PM1, PM3-PM5, PM7-PM9,PM14)、ポート・レジスタ0, 1, 3-5, 7-9, 14 (P0, P1, P3-P5, P7-P9, P14) は除く)。

- ・ポート・ファンクション出力許可レジスタ1(PFOE1)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

注意2. 次のビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

### 15.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。  
 PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。  
 シリアル・アレイ・ユニット0 をリセットする場合は、ビット2 (SAU0RES) を1に設定してください。  
 シリアル・アレイ・ユニット1 をリセットする場合は、ビット3 (SAU1RES) を1に設定してください。  
 PRR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、PRR0 レジスタは00Hになります。

図15-6 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H  
 リセット時: 00H  
 R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR0	0	IICA1RES 注1	ADCRES	IICA0RES	SAU1RES	SAU0RES	TAU1RES 注2	TAU0RES
SAUmRES	シリアル・アレイ・ユニットmのリセット制御							
0	シリアル・アレイ・ユニットmのリセット解除							
1	シリアル・アレイ・ユニットmはリセット状態 ・シリアル・アレイ・ユニットmで使用するSFRが初期化されます。							

注1. 44～128ピン製品のみ  
 注2. 80～128ピン製品のみ

注意1. ビット7には、必ず0を設定してください。  
 注意2. 次の各ビットには必ず0を設定してください。  
 30, 32, 36, 40ピン製品 : ビット6, 1  
 44, 48, 52, 64ピン製品 : ビット1

### 15.3.3 シリアル・クロック選択レジスタ m (SPSm)

SPSm レジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSm レジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSm レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSm レジスタは16ビット・メモリ操作命令で設定します。

またSPSm レジスタの下位8ビットは、SPSmL で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSm レジスタは0000Hになります。

図15-7 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1)<sup>注</sup>

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	
SPSm	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00	
	動作クロック (CKmk) の選択 <sup>注</sup>								
PRSmk3	PRSmk2	PRSmk1	PRSmk0		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 <sup>4</sup>	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 <sup>5</sup>	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 <sup>6</sup>	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 <sup>7</sup>	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 <sup>8</sup>	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 <sup>9</sup>	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 <sup>10</sup>	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	fCLK/2 <sup>11</sup>	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 <sup>12</sup>	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	fCLK/2 <sup>13</sup>	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	fCLK/2 <sup>14</sup>	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 <sup>15</sup>	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

**注** シリアル・アレイ・ユニット (SAU) 動作中にfCLKで選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAUの動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

(注意、備考は次ページに続きます)

**注意** ビット15-8には、必ず0を設定してください。

**備考1.** fCLK : CPU／周辺ハードウェア・クロック周波数

**備考2.** m : ユニット番号 (m = 0, 1)

**備考3.** k = 0, 1

### 15.3.4 シリアル・モード・レジスタ mn (SMRmn)

SMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (fmck) の選択、シリアル・クロック (fsck) 入力の使用可否、スタート・トリガ設定、動作モード (簡易 SPI/CSI, UART, 簡易 I<sup>2</sup>C) 設定、割り込み要因の選択を行います。また UART モード時のみ、受信データのレベル反転の設定を行います。

SMRmn レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただし、MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmn レジスタは 0020H になります。

図 15 - 8 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03),  
F0150H, F0151H (SMR10) -F0156H, F0157H (SMR13)<sup>注1</sup>

リセット時: 0020H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn <sup>注2</sup>
	7	6	5	4	3	2	1	0
	0	SISmn0 <sup>注2</sup>	1	0	0	MDmn2	MDmn1	MDmn0
CKSmn	チャンネル n の動作クロック (fmck) の選択							
0	SPSm レジスタで設定した動作クロック CKm0							
1	SPSm レジスタで設定した動作クロック CKm1							
動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCSmn ビットと SDRmn レジスタの上位 7 ビットの設定により、転送クロック (ftCLK) を生成します。								
CCSmn	チャンネル n の転送クロック (ftCLK) の選択							
0	CKSmn ビットで指定した動作クロック fmck の分周クロック							
1	SCKp 端子からの入力クロック fsck (簡易 SPI/CSI モードのスレーブ転送)							
転送クロック ftCLK は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0 の場合は、SDRmn レジスタの上位 7 ビットで動作クロック (fmck) の分周設定を行います。								
STSmn <sup>注2</sup>	スタート・トリガ要因の選択							
0	ソフトウェア・トリガのみ有効 (簡易 SPI/CSI, UART 送信, 簡易 I <sup>2</sup> C 時に選択)							
1	RxDq 端子の有効エッジ (UART 受信時に選択)							
SSm レジスタに 1 を設定後、上記の要因が満たされてから転送開始となります。								

図15-8 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (2/2)

SIsmn0 <sup>注2</sup>	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MDmn2	MDmn1	チャンネルnの動作モードの設定
0	0	簡易SPI (CSI) モード
0	1	UARTモード
1	0	簡易I <sup>2</sup> Cモード
1	1	設定禁止

MDmn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

**注1.** SMR00-SMR03, SMR10, SMR11 : 全製品  
SMR12, SMR13 : 80~128ピン製品

**注2.** SMR01, SMR03, SMR11, SMR13レジスタのみ

**注意** ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

### 15.3.5 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネル n の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmn レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SCRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmn レジスタは 0087H になります。

図 15 - 9 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03),  
F0158H, F0159H (SCR10) -F015EH, F015FH (SCR13)<sup>注1</sup>

リセット時: 0087H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0
	7	6	5	4	3	2	1	0
	DIRmn	0	SLCmn1 <sup>注2</sup>	SLCmn0	0	1	DLSmn1 <sup>注3</sup>	DLSmn0

TXEmn	RXEmn	チャンネル n の動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易 SPI (CSI) モードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UART モード, 簡易 I<sup>2</sup>C モード時には、必ず DAPmn, CKPmn = 0, 0 に設定してください。

EOCmn	エラー割り込み信号 (INTSREx (x = 0-3)) のマスク制御
0	エラー割り込み INTSREx の発生を禁止する (INTSRx が発生する)
1	エラー割り込み INTSREx の発生を許可する (エラー発生時、INTSRx は発生しない)

簡易 SPI (CSI) モード、簡易 I<sup>2</sup>C モード、UART 送信時には、EOCmn = 0 に設定してください<sup>注4</sup>。

図 15 - 9 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (2/2)

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 <sup>注5</sup>	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI) モード, 簡易I<sup>2</sup>Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIRmn	簡易SPI (CSI)、UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

簡易I<sup>2</sup>Cモード時には、必ずDIRmn = 0に設定してください。

SLCmn1 注2	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。  
 UART受信時、簡易I<sup>2</sup>Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。  
 簡易SPI (CSI) モード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。  
 UART送信時は、1ビット (SLCmn1, SLCmn0 = 0, 1) または2ビット (SLCmn1, SLCmn0 = 1, 0) に設定してください。

DLSmn1 注3	DLSmn0	簡易SPI (CSI)、UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)
上記以外		設定禁止

簡易I<sup>2</sup>Cモード時には、必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

(注、注意、備考は次ページに続きます)

- 注1.** SCR00-SCR03, SCR10, SCR11 : 全製品  
SCR12, SCR13 : 80~128ピン製品
- 注2.** SCR00, SCR02, SCR10, SCR12レジスタのみ
- 注3.** SCR00, SCR01レジスタと、80~128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。
- 注4.** CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSRExが発生する場合があります。
- 注5.** データの内容にかかわらず必ず0が付加されます
- 注意** ビット11, 6, 3には、必ず0を設定してください (SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。
- 備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

### 15.3.6 シリアル・データ・レジスタ mn (SDRmn)

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ (16 ビット) です。

SDR00, SDR01, SDR10<sup>注1</sup>, SDR11<sup>注1</sup> のビット 8-0 (下位 9 ビット)、または SDR02, SDR03, SDR10<sup>注2</sup>, SDR11<sup>注2</sup>, SDR12, SDR13 のビット 7-0 (下位 8 ビット) は、送受信バッファ・レジスタとして機能し、ビット 15-9 (上位 7 ビット) の部分は動作クロック (fmck) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを 0 に設定した場合は、動作クロックをこの SDRmn レジスタのビット 15-9 (上位 7 ビット) で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットを 1 に設定した場合は、SDR00, SDR01, SDR10<sup>注1</sup>, SDR11<sup>注1</sup> のビット 15-9 (上位 7 ビット) に "0000000B" を設定してください。SCKp 端子からの入力クロック fsck (簡易 SPI/CSI モードのスレーブ転送) が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位 8/9 ビット設定します。

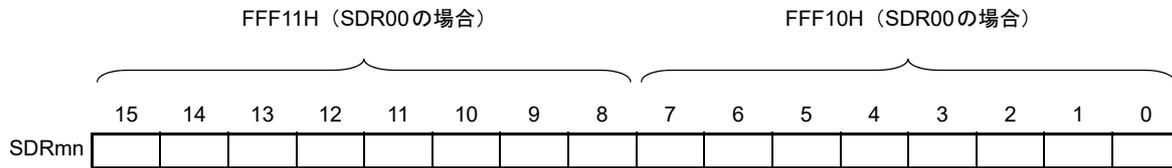
SDRmn レジスタは 16 ビット単位でリード/ライト可能です。

ただし、上位 7 ビットへの書き込みおよび読み出しは動作停止状態 (SEmn = 0) のときのみ有効です。動作中 (SEmn = 1) に SDRmn レジスタに書き込みを行ったときは、下位 8/9 ビットのみ値が書き込まれます。動作中に SDRmn レジスタの読み出しを行った場合、上位 7 ビットは常に 0 が読み出されます。

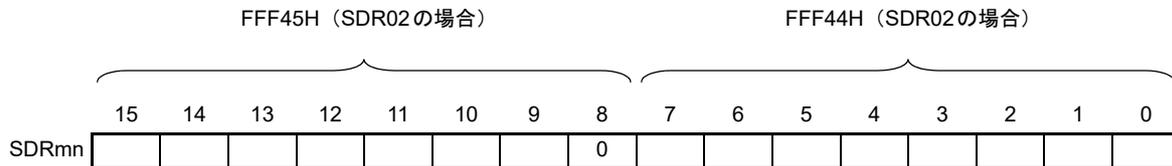
リセット信号の発生により、SDRmn レジスタは 0000H になります。

図15-10 シリアル・データ・レジスタ mn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)  
 FFF48H, FFF49H (SDR10)<sup>注1</sup>, FFF4AH, FFF4BH (SDR11)<sup>注1</sup>  
 リセット時: 0000H  
 R/W属性 : R/W



アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)  
 FFF48H, FFF49H (SDR10)<sup>注2</sup>, FFF4AH, FFF4BH (SDR11)<sup>注2</sup>  
 FFF14H, FFF15H (SDR12)<sup>注1</sup>, FFF16H, FFF17H (SDR13)<sup>注1</sup>  
 リセット時: 0000H  
 R/W属性 : R/W



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	fMCK/2
0	0	0	0	0	0	1	fMCK/4
0	0	0	0	0	1	0	fMCK/6
0	0	0	0	0	1	1	fMCK/8
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
1	1	1	1	1	1	0	fMCK/254
1	1	1	1	1	1	1	fMCK/256

注1. 80～128ピン製品

注2. 30～64ピン製品

注意1. SDR02, SDR03, SDR12, SDR13と、30～64ピン製品のSDR10, SDR11レジスタのビット8は、必ず0を設定してください。

注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

注意3. 簡易I<sup>2</sup>C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

注意4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。

備考1. SDRmnレジスタの下位8/9ビットの機能については、15.2 シリアル・アレイ・ユニットの構成を参照してください。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

### 15.3.7 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネル n の各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を 1 にセットすると、シリアル・ステータス・レジスタ mn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFMn) が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐ SIRmn レジスタもクリアされます。

SIRmn レジスタは、16 ビット・メモリ操作命令で設定します。

また SIRmn レジスタの下位 8 ビットは、SIRmnL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmn レジスタは 0000H になります。

図 15 - 11 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) -F010EH, F010FH (SIR03),  
F0148H, F0149H (SIR10) -F014EH, F014FH (SIR13)<sup>注1</sup>

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SIRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	FECTmn 注2	PECTmn	OVCTmn
FECTmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmnレジスタのFEFmnビットを0にクリアする							
PECTmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmnレジスタのPEFmnビットを0にクリアする							
OVCTmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmnレジスタのOVFMnビットを0にクリアする							

注1. SIR00-SIR03, SIR10, SIR11 : 全製品

SIR12, SIR13 : 80~128ピン製品

注2. SIR01, SIR03, SIR11, SIR13レジスタのみ

注意 ビット15-3 (SIR00, SIR02, SIR10, SIR12レジスタの場合は、ビット15-2) には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

備考2. SIRmnレジスタの読み出し値は常に0000Hとなります。

### 15.3.8 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmn レジスタは、チャンネル n の通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。

また SSRmn レジスタの下位 8 ビットは、SSRmnL で 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmn レジスタは 0000H になります。

図 15 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03),  
F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13)<sup>注1</sup>

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SSRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	TSFmn	BFFmn	0	0	FEFmn 注2	PEFmn	OVFmn
TSFmn	チャンネルnの通信状態表示フラグ							
0	通信動作停止状態または通信動作待機状態							
1	通信動作状態							
<クリア条件>								
<ul style="list-style-type: none"> <li>STmレジスタのSTmnビットに1を設定時（通信停止状態）、もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態）</li> <li>通信動作が終了時</li> </ul>								
<セット条件>								
<ul style="list-style-type: none"> <li>通信動作を開始時</li> </ul>								
BFFmn	チャンネルnのバッファ・レジスタ状態表示フラグ							
0	有効なデータがSDRmnレジスタに格納されていない							
1	有効なデータがSDRmnレジスタに格納されている							
<クリア条件>								
<ul style="list-style-type: none"> <li>送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき</li> <li>受信時においてSDRmnレジスタから受信データの読み出しが終了したとき</li> <li>STmレジスタのSTmnビットに1を設定時（通信停止状態）、SSmレジスタのSSmnビットに1を設定時（通信許可状態）。</li> </ul>								
<セット条件>								
<ul style="list-style-type: none"> <li>SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信、送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき</li> <li>SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき</li> <li>受信エラー時</li> </ul>								

図15-12 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

FEFmn <sup>注2</sup>	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART 受信時)
<クリア条件> ・ SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・ UART 受信完了時に、ストップ・ビットが検出されないとき	
PEFmn	チャンネルnのパリティ/ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生 (UART 受信時)、またはACK未検出発生 (I <sup>2</sup> C送信時)
<クリア条件> ・ SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・ UART 受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・ I <sup>2</sup> C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	
OVFmn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・ SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信、送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・ 簡易SPI (CSI) モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注1. SSR00-SSR03, SSR10, SSR11 : 全製品  
 SSR12, SSR13 : 80~128ピン製品

注2. SSR01, SSR03, SSR11, SSR13レジスタのみ

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

注意2. SNOOZEモード (SWCm = 1) で簡易SPI (CSI) の受信動作を行う場合、OVFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

### 15.3.9 シリアル・チャンネル開始レジスタ m (SSm)

SSm レジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に 1 を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 1 にセット (動作許可状態) されます。SSmn ビットはトリガ・ビットなので、SEmn = 1 になるとすぐ SSmn ビットはクリアされます。

SSm レジスタは、16 ビット・メモリ操作命令で設定します。

また SSm レジスタの下位 8 ビットは、SSmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSm レジスタは 0000H になります。

図 15 - 13 シリアル・チャンネル開始レジスタ m (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SS0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SS03	SS02	SS01	SS00

アドレス : F0162H, F0163H (SS1)<sup>注</sup>

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SS1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SS13	SS12	SS11	SS10
SSmn	チャンネルnの動作開始トリガ							
0	トリガ動作せず							
1	SEmnビットに1をセットし、通信待機状態に遷移する <sup>注</sup>							

**注** 通信動作中に SSmn = 1 を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFMn フラグは状態を保持します。

**注意1.** SS0 レジスタのビット15-4、30～64ピン製品のSS1レジスタのビット15-2、80～128ピン製品のSS1レジスタのビット15-4には、必ず0を設定してください。

**注意2.** UART受信の場合は、SCRmnレジスタのRXEmnビットを1に設定後に、fmckの4クロック以上間隔をあけてからSSmn = 1を設定してください。

**備考1.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

**備考2.** SSm レジスタの読み出し値は常に0000Hとなります。

### 15.3.10 シリアル・チャンネル停止レジスタ m (STm)

STm レジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に 1 を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 0 にクリア (動作停止状態) されます。STmn ビットはトリガ・ビットなので、SEmn = 0 になるとすぐ STmn ビットはクリアされます。

STm レジスタは、16 ビット・メモリ操作命令で設定します。

また STm レジスタの下位 8 ビットは、STmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STm レジスタは 0000H になります。

図 15 - 14 シリアル・チャンネル停止レジスタ m (STm) のフォーマット

アドレス : F0124H, F0125H (ST0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
ST0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	ST03	ST02	ST01	ST00

アドレス : F0164H, F0165H (ST1)<sup>注</sup>

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
ST1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	ST13	ST12	ST11	ST10
STmn	チャンネルnの動作停止トリガ							
0	トリガ動作せず							
1	SEmnビットを0にクリアし、通信動作を停止する <sup>注</sup>							

**注** 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFMnフラグは状態を保持します。

**注意** ST0レジスタのビット15-4、30～64ピン製品のST1レジスタのビット15-2、80～128ピン製品のST1レジスタのビット15-4には、必ず0を設定してください。

**備考1.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

**備考2.** STmレジスタの読み出し値は常に0000Hとなります。

### 15.3.11 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEm レジスタは、各チャンネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm) の各ビットに 1 を書き込むと、その対応ビットが 1 にセットされます。シリアル・チャンネル停止レジスタ m (STm) の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の CKOmn ビット (チャンネル n のシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネル n は、SOm レジスタの CKOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEm レジスタは、16 ビット・メモリ操作命令で読み出します。

また SEm レジスタの下位 8 ビットは、SEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEm レジスタは 0000H になります。

図 15-15 シリアル・チャンネル許可ステータス・レジスタ m (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SE0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SE03	SE02	SE01	SE00

アドレス : F0160H, F0161H (SE1)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SE1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SE13	SE12	SE11	SE10

SEmn	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

### 15.3.12 シリアル出力許可レジスタ m (SOEm)

SOEm レジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の SOmn ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SOm レジスタの SOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEm レジスタは、16 ビット・メモリ操作命令で設定します。

また SOEm レジスタの下位 8 ビットは、SOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEm レジスタは 0000H になります。

図 15-16 シリアル出力許可レジスタ m (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOE0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SOE03	SOE02	SOE01	SOE00

アドレス : F016AH, F016BH (SOE1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOE1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SOE13	SOE12	SOE11	SOE10
SOEmn	チャンネルnのシリアル出力許可/停止							
0	シリアル通信動作による出力停止							
1	シリアル通信動作による出力許可							

**注意** SOE0 レジスタのビット15-4, 30~64ピン製品のSOE1 レジスタのビット15-2, 80~128ピン製品のSOE1 レジスタのビット15-4には、必ず0を設定してください。

**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

## 15.3.13 シリアル出力レジスタ m (SOm)

SOm レジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタの SOmn ビットの値が、チャンネル n のシリアル・データ出力端子から出力されます。

このレジスタの CKOmn ビットの値が、チャンネル n のシリアル・クロック出力端子から出力されます。

このレジスタの SOmn ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタの CKOmn ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当する CKOmn, SOmn ビットに 1 を設定してください。

SOm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOm レジスタは 0F0FH になります。

図 15-17 シリアル出力レジスタ m (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0)

リセット時: 0F0FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO0	0	0	0	0	CKO03	CKO02	CKO01	CKO00
	7	6	5	4	3	2	1	0
	0	0	0	0	SO03	SO02	SO01	SO00

アドレス : F0168H, F0169H (SO1)

リセット時: 0F0FH注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	CKO13	CKO12	CKO11	CKO10
	7	6	5	4	3	2	1	0
	0	0	0	0	SO13	SO12	SO11	SO10
CKOmn	チャンネルnのシリアル・クロック出力							
0	シリアル・クロック出力値が0							
1	シリアル・クロック出力値が1							
SOmn	チャンネルnのシリアル・データ出力							
0	シリアル・データ出力値が0							
1	シリアル・データ出力値が1							

(注、注意、備考は次ページに続きます)

**注** 30～64ピン製品は、リセット時：0303Hになります。

**注意** SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。

30～64ピン製品のSO1レジスタのビット15-10, 7-2, 80～128ピン製品のSO1レジスタのビット15-12, 7-4には、必ず0を設定してください。

**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

### 15.3.14 シリアル出力レベル・レジスタ m (SOLm)

SOLm レジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI (CSI) モード、簡易 I<sup>2</sup>C モード時は、必ず対応するビットに 0 を設定してください。

このレジスタによる各チャンネル n の反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時は SOLmn ビットの値がそのまま出力されます。

SOLm レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SOLm レジスタは、16 ビット・メモリ操作命令で設定します。

また SOLm レジスタの下位 8 ビットは、SOLmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLm レジスタは 0000H になります。

図 15 - 18 シリアル出力レベル・レジスタ m (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOL0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	SOL02	0	SOL00

アドレス : F0174H, F0175H (SOL1)

リセット時: 0000H

R/W属性 : R/W

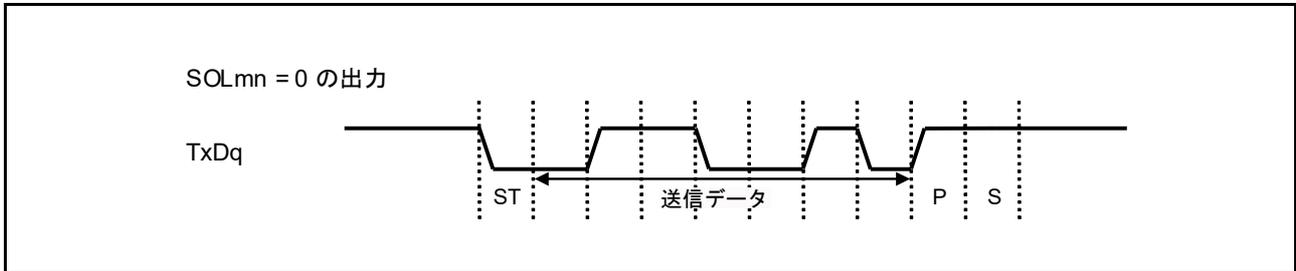
略号	15	14	13	12	11	10	9	8
SOL1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	SOL12	0	SOL10
SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択							
0	通信データは、そのまま出力されます。							
1	通信データは、反転して出力されます。							

**注意** SOL0レジスタのビット15-3, 1、30～64ピン製品のSOL1レジスタのビット15-1、80～128ピン製品のSOL1レジスタのビット15-3, 1には、必ず0を設定してください。

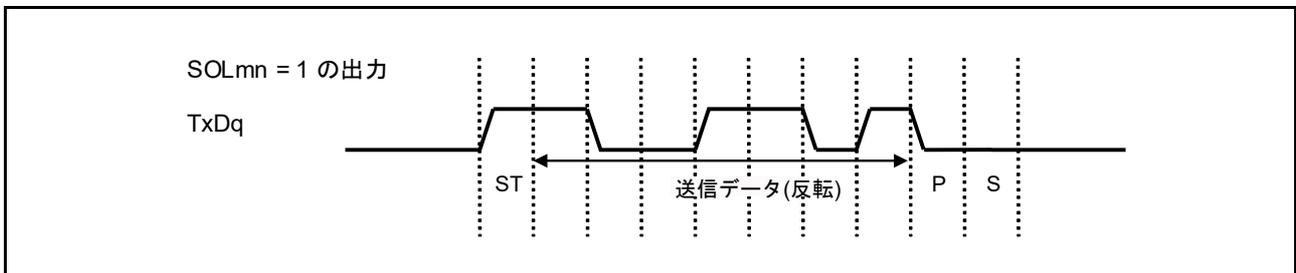
UART 送信時、送信データのレベル反転例を図 15 - 19 に示します。

図 15 - 19 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

### 15.3.15 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00、UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSC1<sup>注</sup>レジスタは、CSI20、UART2 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSCm レジスタは、16 ビット・メモリ操作命令で設定します。

また SSCm レジスタの下位 8 ビットは、SSCmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCm レジスタは 0000H になります。

**注意** SNOOZEモード時の最大転送レートは、次のようになります。

- CSI00, CSI20の場合 : ~1 Mbps
- UART0, UART2の場合 : ~115.2 kbps (FWKUP = 1, fCLK = fIH(32 MHz)設定時)

図15-20 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) のフォーマット

アドレス : F0138H, F0139H (SSC0), F0178H, F0179H (SSC1)<sup>注</sup>

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SSCm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可/停止の選択
0	エラー割り込み (INTSRE0/INTSRE2) 発生許可
1	エラー割り込み (INTSRE0/INTSRE2) 発生停止

• SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1のときのみ、SSECmビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。

• SSECm, SWCm = 1, 0は設定禁止です。

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

• STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI) /UARTの受信動作を行います (SNOOZEモード)。

• SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

• SNOOZEモードを使用する場合でも、通常動作モード時はSWCmビットを0に設定し、STOPモードへ移行する直前にSWCmビットを1に変更してください。

またSTOPモードから通常動作モードへ復帰後、必ずSWCmビットを0に変更してください。

**注** 80~128ピン製品のみ

表15 - 2 SNOOZEモードでUART受信したときの割り込み

EOCmn ビット	SSECm ビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

### 15.3.16 入力切り替え制御レジスタ (ISC)

ISC レジスタの ISC1, ISC0 ビットは、UART2 で LIN-bus 通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ISC4-ISC2 ビットは、CSI00 のシリアル・データ入力ソース、シリアル・クロック入力ソースを選択するために使用します。

ISC7-ISC5 ビットは、CSI01 のシリアル・データ入力ソース、シリアル・クロック入力ソースを選択するために使用します。

ビット 0 に 1 を設定すると、シリアル・データ入力 (RxD2) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウェイクアップ信号を INTP0 割り込みで検出できます。

ビット 1 に 1 を設定すると、シリアル・データ入力 (RxD2) 端子の入力信号がタイマ入力として選択されます。これによって、ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ビット 2 に 1 を設定すると、CSI00 のシリアル・データ入力ソースに ELCL の出力信号を選択できます。

ビット 4, 3 の設定によって、CSI00 のシリアル・クロック入力ソースに SCK00 端子入力、ELCL の出力信号、TO01 出力信号を選択できます。

ビット 5 に 1 を設定すると、CSI01 のシリアル・データ入力ソースに ELCL の出力信号を選択できます。

ビット 7, 6 の設定によって、CSI01 のシリアル・クロック入力ソースに SCK01 端子入力、ELCL の出力信号、TO01 出力信号を選択できます。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISC レジスタは 00H になります。

図 15-21 入力切り替え制御レジスタ (ISC) のフォーマット (1/2)

アドレス : F0073H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0
	ISC7	ISC6	CSI01のシリアル・クロック入力ソース切り替え <sup>注1</sup>					
	0	0	SCK01端子の入力信号 (通常動作)					
	0	1	ELCLの出力信号					
	1	0	TO01の出力信号					
	1	1	設定禁止					
	ISC5	CSI01のシリアル・データ入力ソース切り替え <sup>注2</sup>						
	0	SI01端子の入力信号 (通常動作)						
	1	ELCLの出力信号						

図15-21 入力切り替え制御レジスタ (ISC) のフォーマット (2/2)

ISC4	ISC3	CSI00のシリアル・クロック入力ソース切り替え <sup>注3</sup>
0	0	SCK00端子の入力信号 (通常動作)
0	1	ELCLの出力信号
1	0	TO01の出力信号
1	1	設定禁止

ISC2	CSI00のシリアル・データ入力切り替え <sup>注4</sup>
0	SI00端子の入力信号 (通常動作)
1	ELCLの出力信号

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD2端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD2端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)

- 注1.** チャンネル1をUARTモードまたは簡易I<sup>2</sup>Cモードに選択している場合は、ISC7ビットとISC6ビットに0を設定してください。
- 注2.** チャンネル1をUARTモードまたは簡易I<sup>2</sup>Cモードに選択している場合は、ISC5ビットに0を設定してください。
- 注3.** チャンネル0をUARTモードまたは簡易I<sup>2</sup>Cモードに選択している場合は、ISC4ビットとISC3ビットに0を設定してください。
- 注4.** チャンネル0をUARTモードまたは簡易I<sup>2</sup>Cモードに選択している場合は、ISC2ビットに0を設定してください。

### 15.3.17 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0 レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易 SPI (CSI)、簡易 I<sup>2</sup>C 通信に使用する端子は、対応するビットに 0 を設定して、ノイズ・フィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います。

NFEN0 レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0 レジスタは 00H になります。

図 15-22 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD3端子として使用するときは、SNFEN30 = 1に設定してください。 RxD3以外の機能として使用するときは、SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。 RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

**注意** 30～64ピン製品のビット7-5, 3, 1, 80～128ピン製品のビット7, 5, 3, 1には、必ず0を設定してください。

### 15.3.18 シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・アレイ・ユニット入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- ポート・ファンクション出力許可レジスタ (PFOEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.4 ポート入力モード・レジスタ (PIMxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx) を参照してください。

SOp, SCKp, SCLr, SDAr, TxD0-3 を兼用する端子をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx) のビットおよびポート・モード・レジスタ (PMxx) のビットに0を、ポート・レジスタ (Pxx) のビットに1を設定してください。

また、対応するポート・ファンクション出力許可レジスタ1 (PFOE1) のビットを1に設定してください。

なお、N-ch オープン・ドレイン出力 (VDD 耐圧<sup>注1</sup> / EVDD 耐圧<sup>注2</sup>) モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ (POMxx) のビットに1を設定してください。異電位 (1.8 V系、2.5 V系、3 V系) で動作している外部デバイスと接続する場合は、4.4.5 入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応を参照してください。

例) P02/ANI17/SO10/TxD1をシリアル・データ出力として使用する場合

- ポート・モード・コントロールA・レジスタ0のPMCA02ビットを0に設定
- ポート・モード・コントロールT・レジスタ0のPMCT02ビットを0に設定
- ポート・モード・コントロールE・レジスタ0のPMCE02ビットを0に設定
- ポート・モード・レジスタ0のPM02ビットを0に設定
- ポート・レジスタ0のP02ビットを1に設定

Slp, SCKp, RxD0-3 を兼用する端子をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。また、ポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx) のビットに0を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

なお、TTL 入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ (PIMxx) のビットに1を設定してください。異電位 (1.8 V系、2.5 V系、3 V系) で動作している外部デバイスと接続する場合は、4.4.5 入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応を参照してください。

例) P03/ANI16/SI10/RxD1/SDA10をシリアル・データ入力として使用する場合

- ポート・モード・コントロールA・レジスタ0のPMCA03ビットを0に設定
- ポート・モード・コントロールT・レジスタ0のPMCT03ビットを0に設定
- ポート・モード・コントロールE・レジスタ0のPMCE03ビットを0に設定
- ポート・モード・レジスタ0のPM03ビットを1に設定
- ポート・レジスタ0のP03ビットを0または1に設定

注1. 30～52ピン製品の場合

注2. 64～128ピン製品の場合

備考1. xx = 0, 1, 3-9, 12, 14

ただし、PIM6, 9, POM6, PMCA4-9, PMCT1, 4, 8, 9, 12, 14, PMCE3, 4, 7-9, 12, 14は搭載していません。

備考2. p = 00, 01, 10, 11, 20, 21, 30, 31; r = 00, 01, 10, 11, 20, 21, 30, 31

### 15.3.19 UARTループバック選択レジスタ (ULBS)

ULBSレジスタは、UARTループバック機能を有効にするレジスタです。UARTチャンネル毎に制御できるビットを持ち、各チャンネルに該当するビットを1に設定することで、UARTループバック機能が選択され、送信シフトレジスタからの出力を受信シフトレジスタにループバックします。

ULBSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、ULBSレジスタは00Hになります。

図15-23 UARTループバック選択レジスタ (ULBS) のフォーマット

アドレス : F0079H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	0	0	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBSn	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART0-3のRxD0-3端子の状態を受信シフトレジスタに入力							
1	送信シフトレジスタの出力を受信シフトレジスタにループバック							

**注意** ビット7, 6には必ず0を設定してください。

**備考** n = 0-5

## 15.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

### 15.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ 0 (PER0) で行います。

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を停止するときは、ビット 2 (SAU0EN) に 0 を設定してください。シリアル・アレイ・ユニット 1 を停止するときは、ビット 3 (SAU1EN) に 0 を設定してください。

図15-24 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定

(a) 周辺イネーブル・レジスタ0 (PER0) : 停止するSAUmのビットのみ0に設定する



注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. SAUmEN = 0 の場合は、シリアル・アレイ・ユニット m の制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート入力モード・レジスタ 0, 1, 4, 5, 8, 14 (PIM0, PIM1, PIM4, PIM5, PIM8, PIM14)
- ポート出力モード・レジスタ 0, 1, 4, 5, 7-9, 14 (POM0, POM1, POM4, POM5, POM7-POM9, POM14)
- ポート・モード・コントロールA・レジスタ 0, 3, 14 (PMCA0, PMCA3, PMCA14)
- ポート・モード・コントロールT・レジスタ 0, 3 (PMCT0, PMCT3)
- ポート・モード・コントロールE・レジスタ 0 (PMCE0)
- ポート・モード・レジスタ 0, 1, 3-5, 7-9, 14 (PM0, PM1, PM3-PM5, PM7-PM9, PM14)
- ポート・レジスタ 0, 1, 3-5, 7-9, 14 (P0, P1, P3-P5, P7-P9, P14)

注意2. 次のビットは必ず0にしてください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

備考 × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

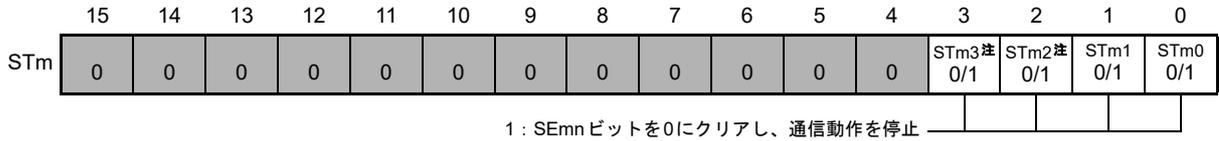
0/1 : ユーザの用途に応じて0または1に設定

### 15.4.2 チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図15-25 チャネルごとに動作停止とする場合の各レジスタの設定

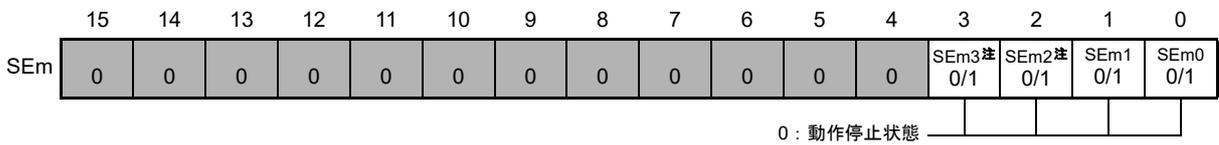
(a) シリアル・チャンネル停止レジスタ m (STm) : 各チャンネルの通信/カウント停止の許可を設定するレジスタ



※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

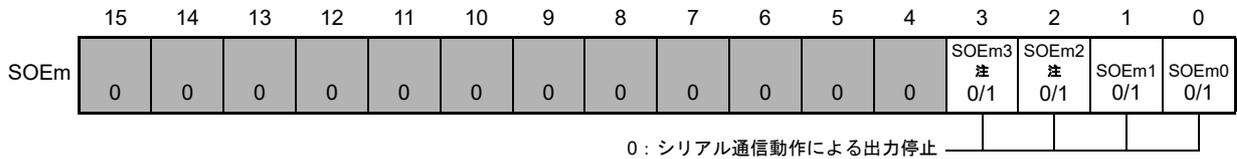
(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm) :

各チャンネルのシリアル送受信動作許可/停止状態が表示されるレジスタ



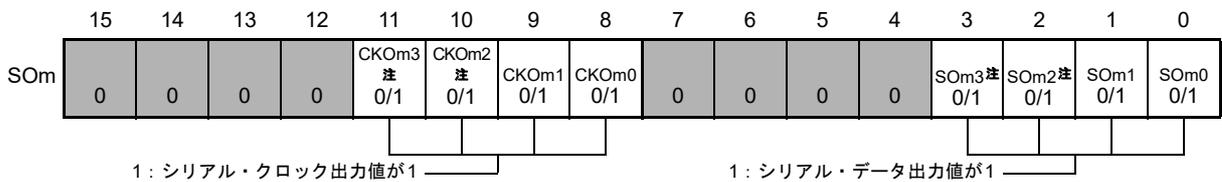
※ SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。  
動作を停止したチャンネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm) : 各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタ



※ シリアル出力を停止したチャンネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ m (SOm) : 各チャンネルのシリアル出力のバッファ・レジスタ



※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに1を設定してください。

注 シリアル・アレイ・ユニット1の場合、80~128ピン製品のみ。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

備考2. ■: 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

## 15.5 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

### [データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

### [クロック制御]

- マスタ/スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)  
Max. fCLK/4  
スレーブ通信時 : Max. fMCK/6

### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

### [エラー検出フラグ]

- オーバラン・エラー

また、以下の簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

- 30~64ピン製品 : CSI00
- 80~128ピン製品 : CSI00, CSI20

**注** SCKサイクル・タイム (tkcy) の特性を満たす範囲内で使用してください。詳細は、**第37章 電気的特性**を参照してください。

**注意** チップセレクト信号を追加する場合は、ポート機能を使用してください。

簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) に対応しているチャンネルは、SAU0 のチャンネル 0-3 と SAU1 のチャンネル 0-3 です。

<30, 32ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	—		—

<36, 40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 64ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 80, 100, 128ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) の通信動作は、以下の7種類があります。

- マスタ送信 (15.5.1 項を参照)
- マスタ受信 (15.5.2 項を参照)
- マスタ送受信 (15.5.3 項を参照)
- スレーブ送信 (15.5.4 項を参照)
- スレーブ受信 (15.5.5 項を参照)
- スレーブ送受信 (15.5.6 項を参照)
- SNOOZEモード機能 (15.5.7 項を参照)

### 15.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO30	SCK31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	なし							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ)、fCLK/4 [Hz] Min. fCLK/(2 × 2 <sup>15</sup> × 128) [Hz] fCLK : システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転							
データ方向	MSB ファーストまたはLSB ファースト							

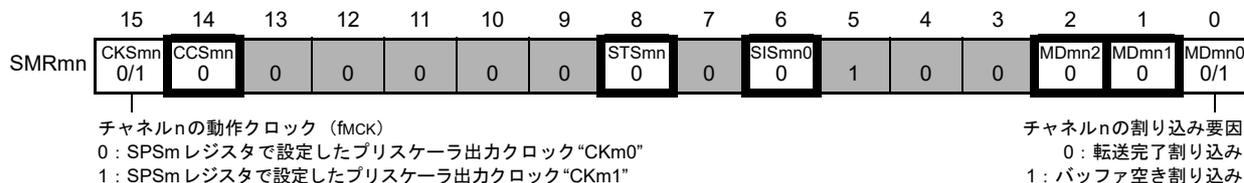
**注** この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲で使用してください。

**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

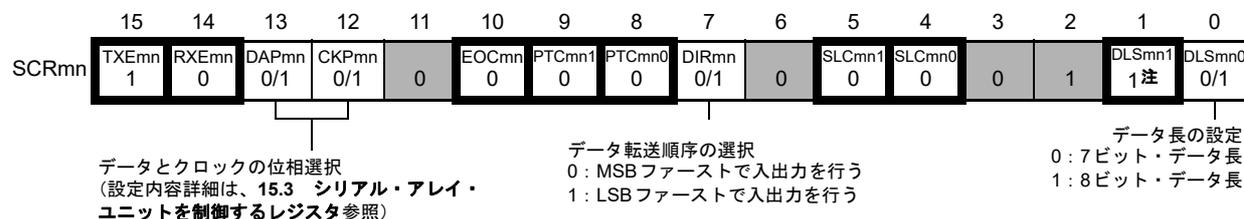
(1) レジスタ設定

図 15 - 26 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ送信時のレジスタ設定内容例

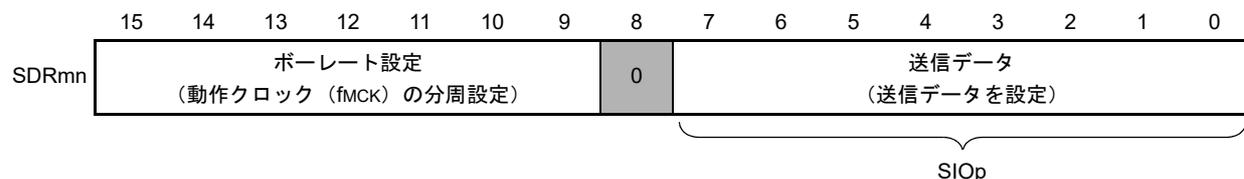
(a) シリアル・モード・レジスタ mn (SMRmn)



(b) シリアル通信動作設定レジスタ mn (SCRmn)



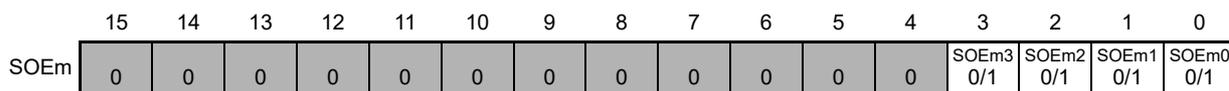
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



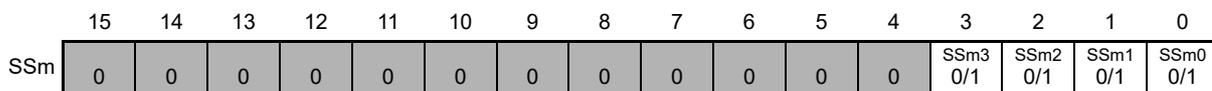
(d) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタと、80~128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

**備考1.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

**備考2.**  : 簡易SPI (CSI) マスタ送信モードでは設定固定  : 設定不可 (初期値を設定)  
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 27 マスタ送信の初期設定手順

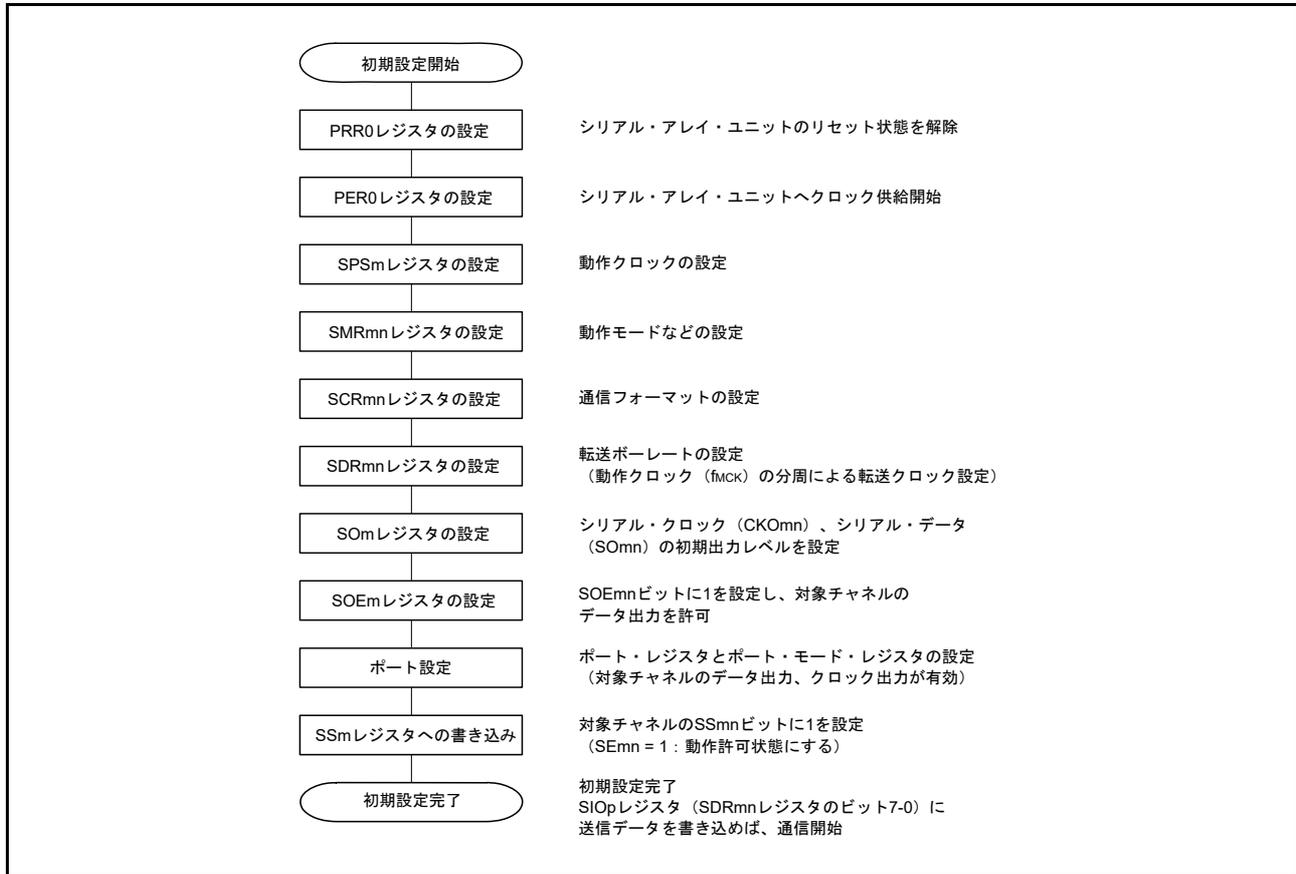


図 15 - 28 マスタ送信の中断手順

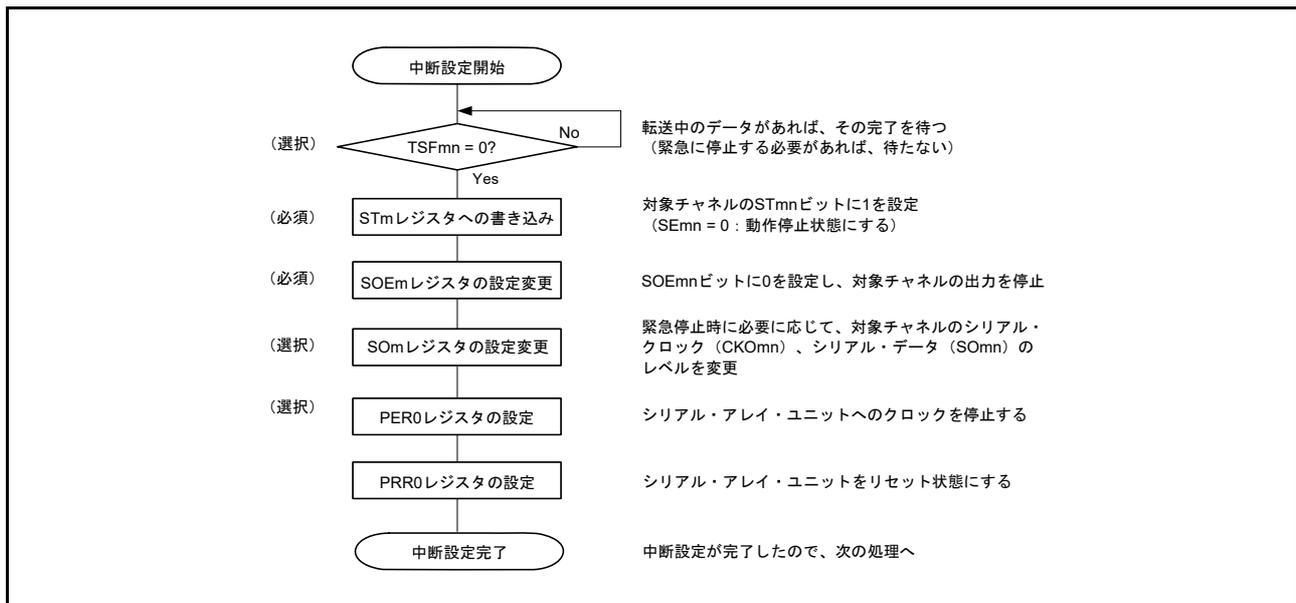
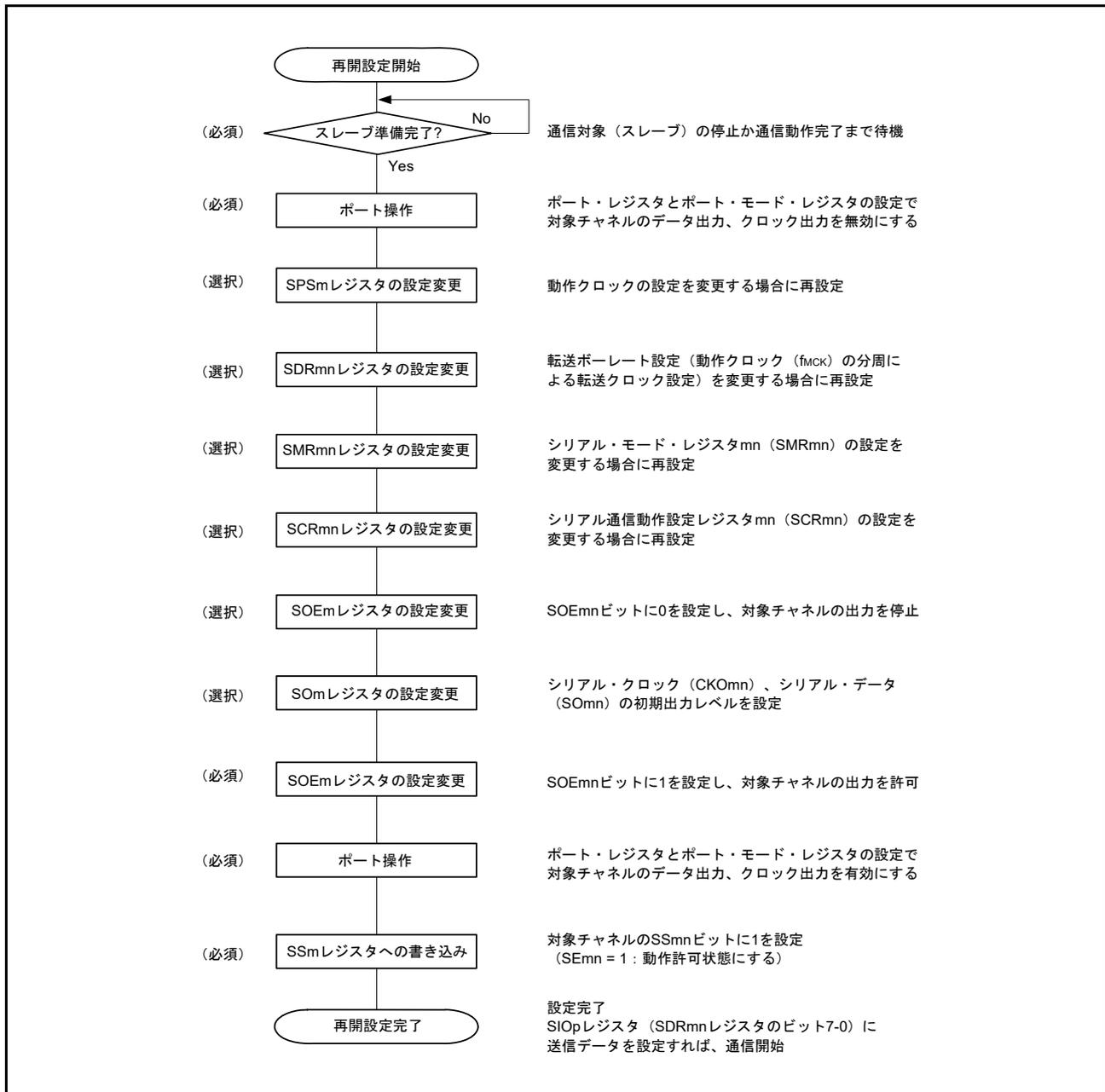


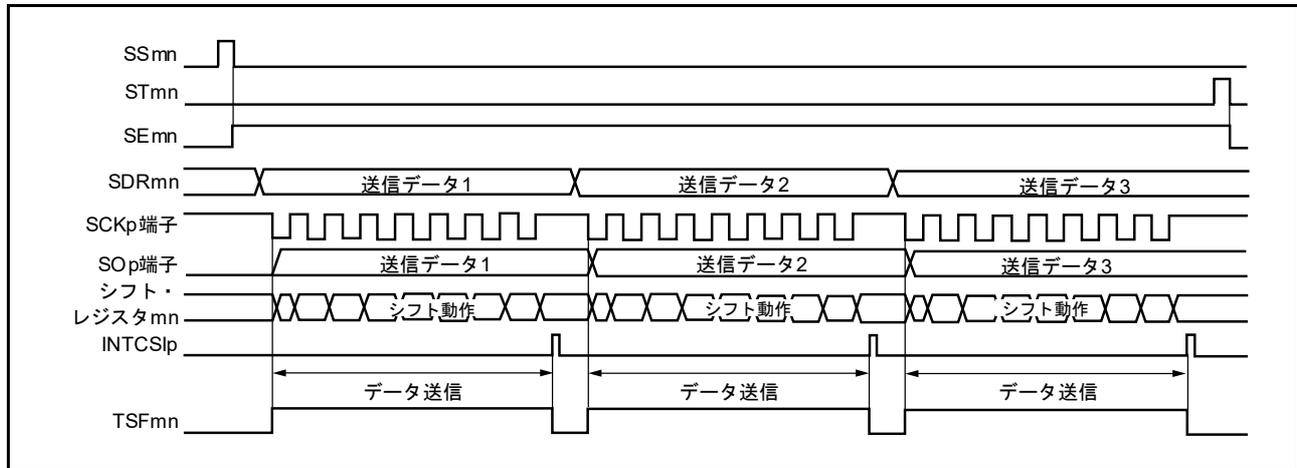
図 15 - 29 マスタ送信の再開設定手順



**備考** 中断設定でPRR0を書き換えてリセット状態にした場合は、通信対象 (スレーブ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

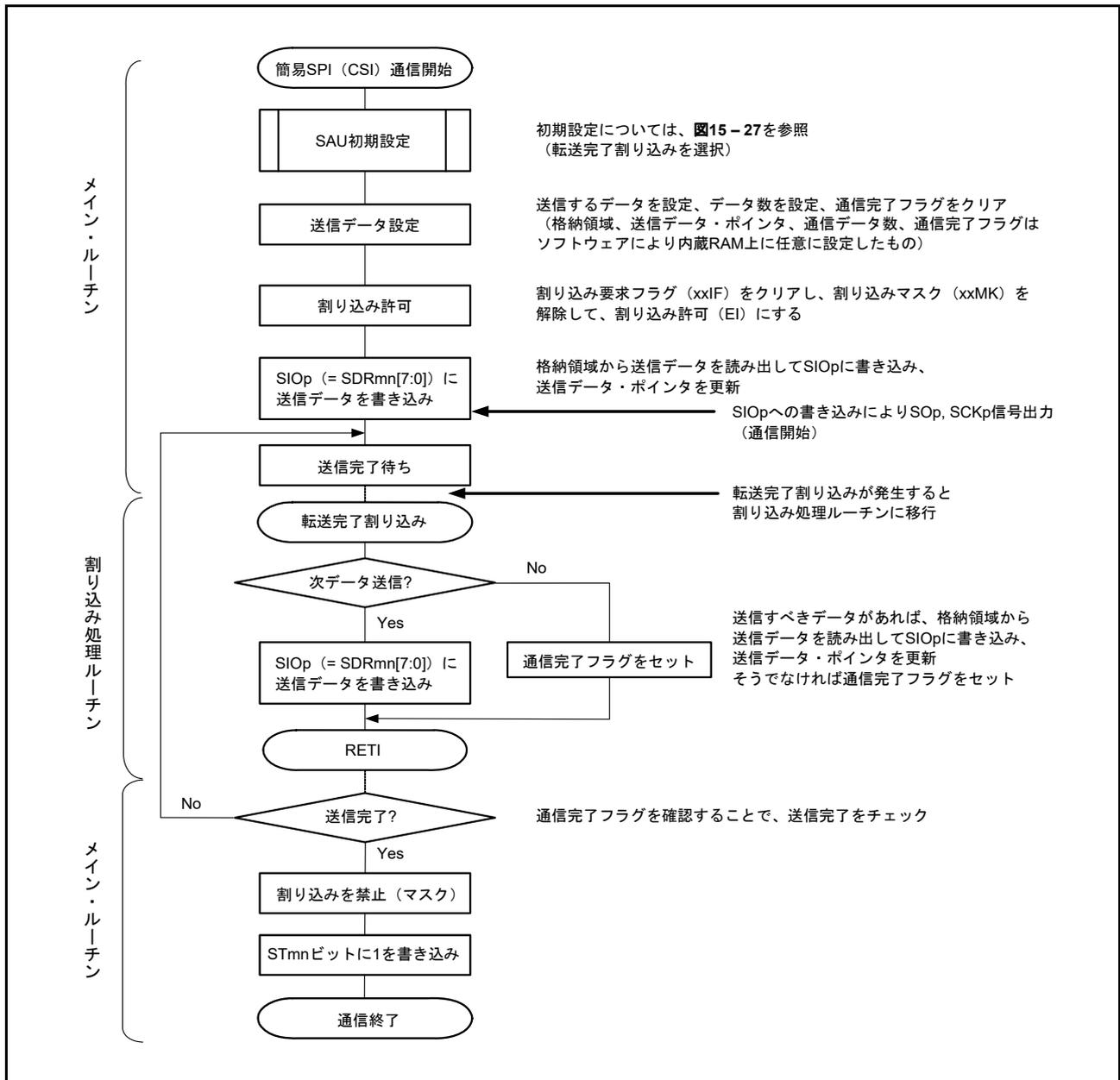
(3) 処理フロー (シングル送信モード時)

図15-30 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



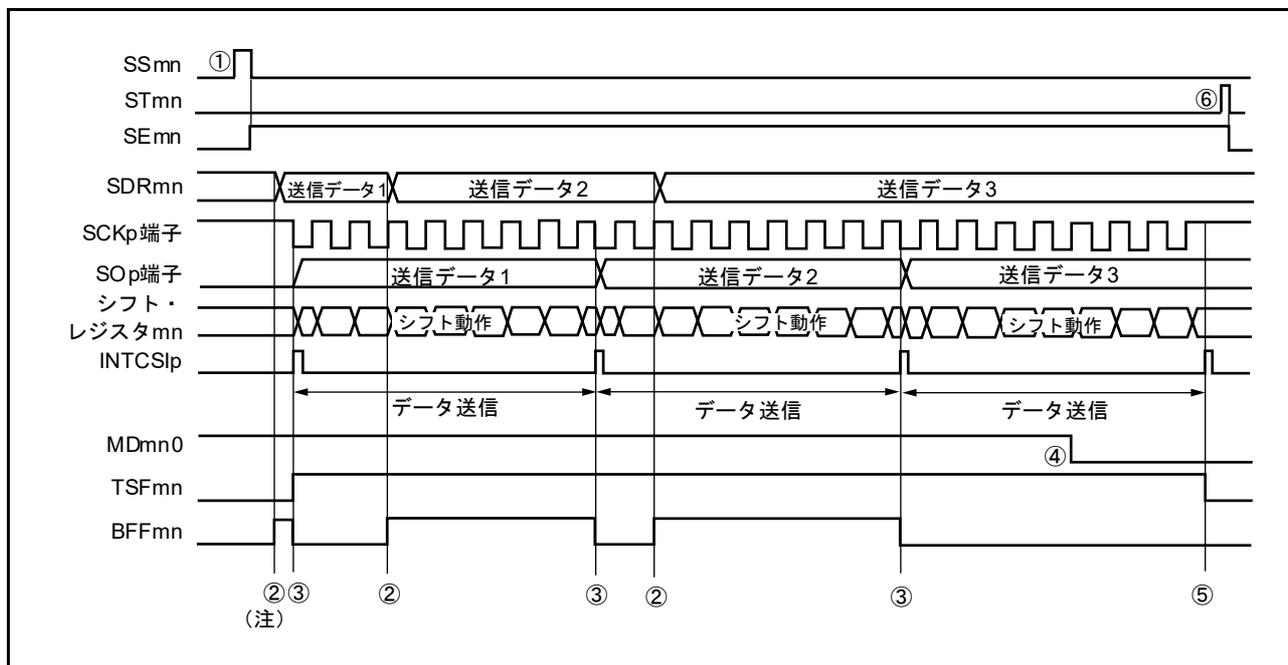
**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
 mn = 00-03, 10-13

図15-31 マスタ送信 (シングル送信モード時) のフロー・チャート



(4) 処理フロー (連続送信モード時)

図15-32 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

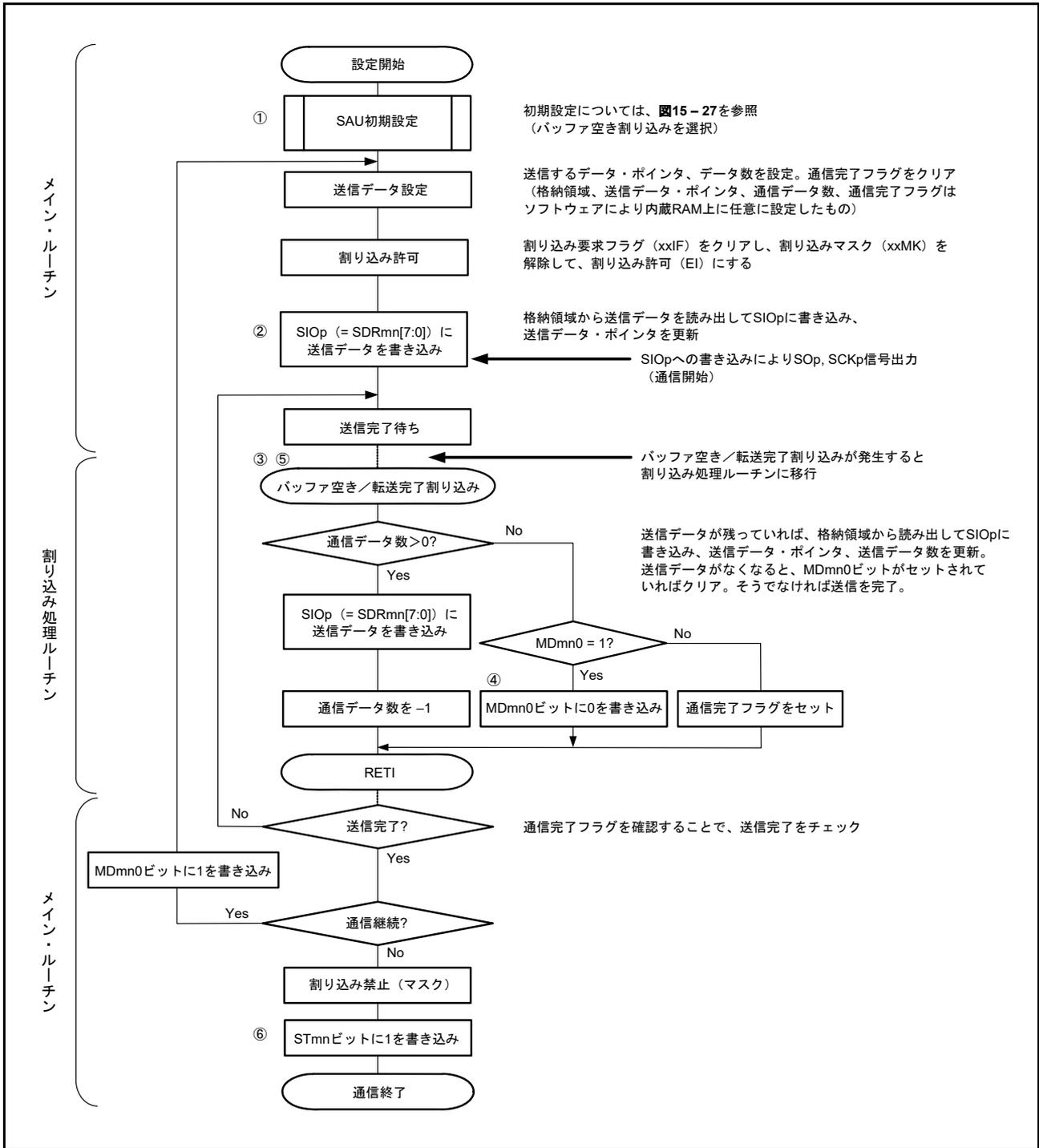


**注** シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

**注意** シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

図15-33 マスタ送信 (連続送信モード時) のフロー・チャート



**備考** 図中の①～⑥は、図15-32 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0) の①～⑥に対応しています。

## 15.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz]（CSI00のみ）、fCLK/4 [Hz] Min. fCLK/(2 × 2 <sup>15</sup> × 128) [Hz] fCLK：システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

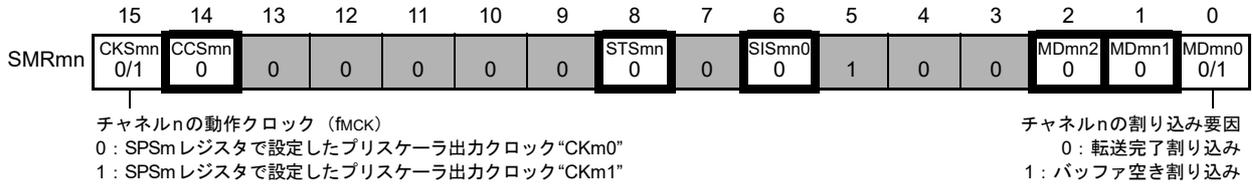
**注** この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

**備考** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

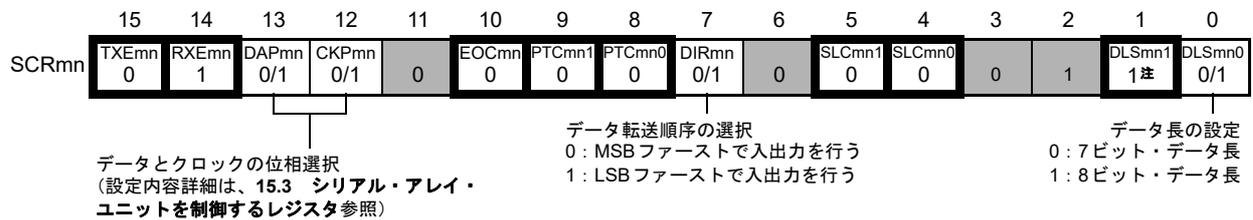
(1) レジスタ設定

図 15 - 34 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例

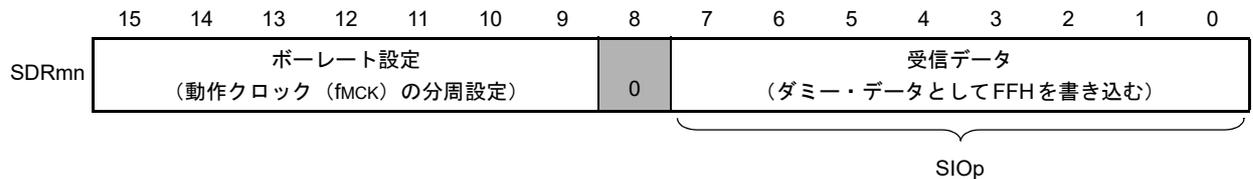
(a) シリアル・モード・レジスタ mn (SMRmn)



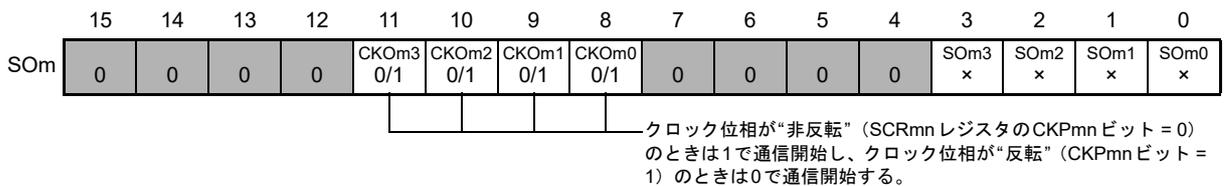
(b) シリアル通信動作設定レジスタ mn (SCRmn)



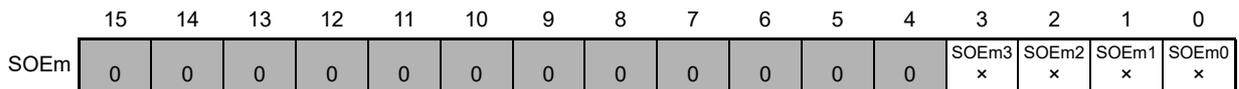
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



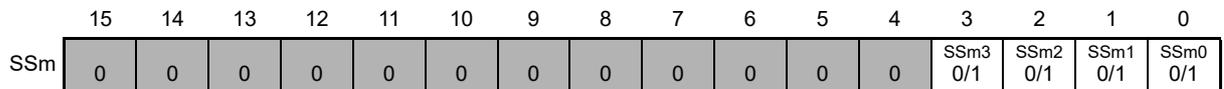
(d) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタと、80~128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

**備考1.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

**備考2.**  : 簡易SPI (CSI) マスタ受信モードでは設定固定  : 設定不可 (初期値を設定)  
× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)  
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 35 マスタ受信の初期設定手順

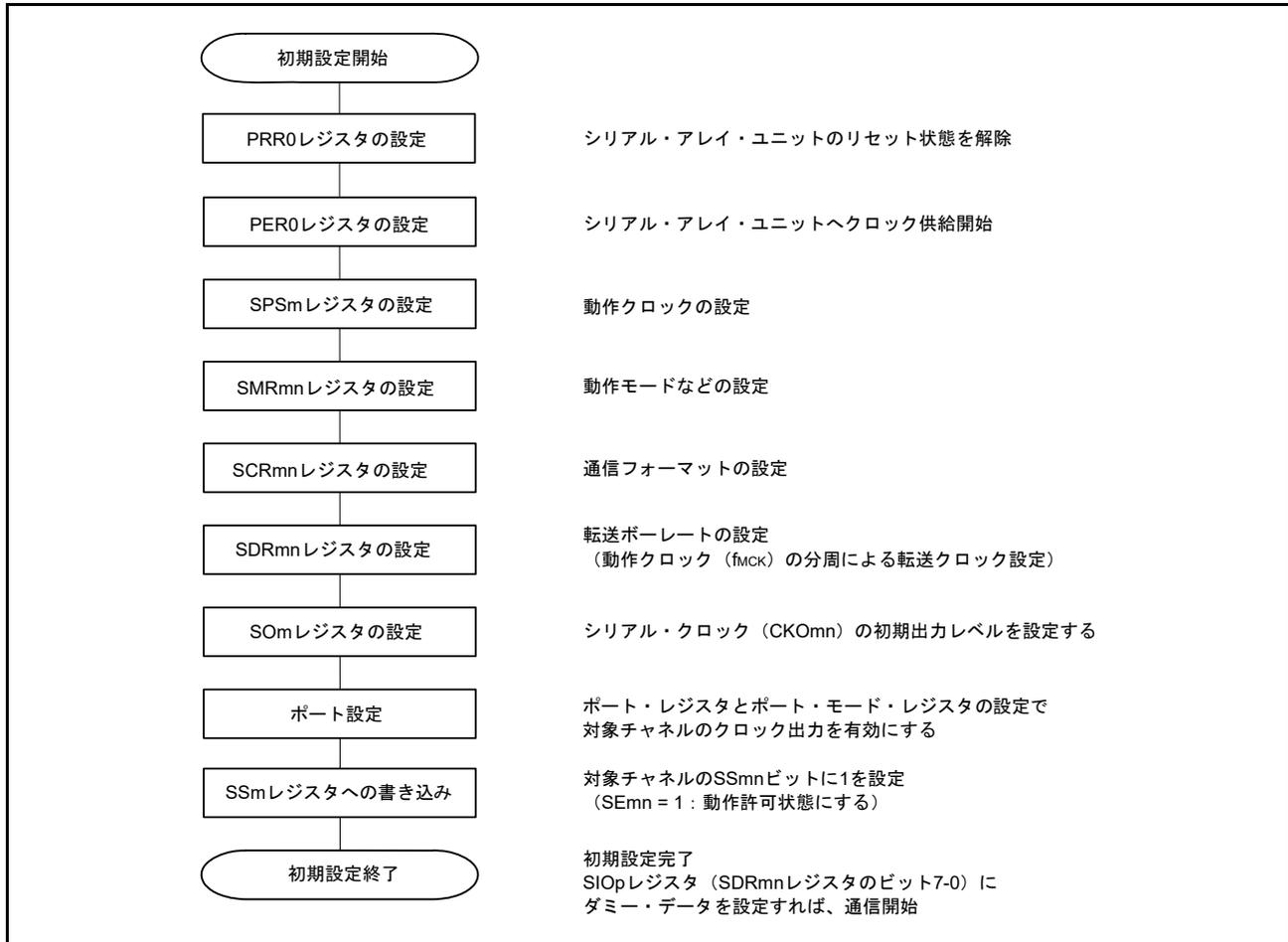


図 15 - 36 マスタ受信の中断手順

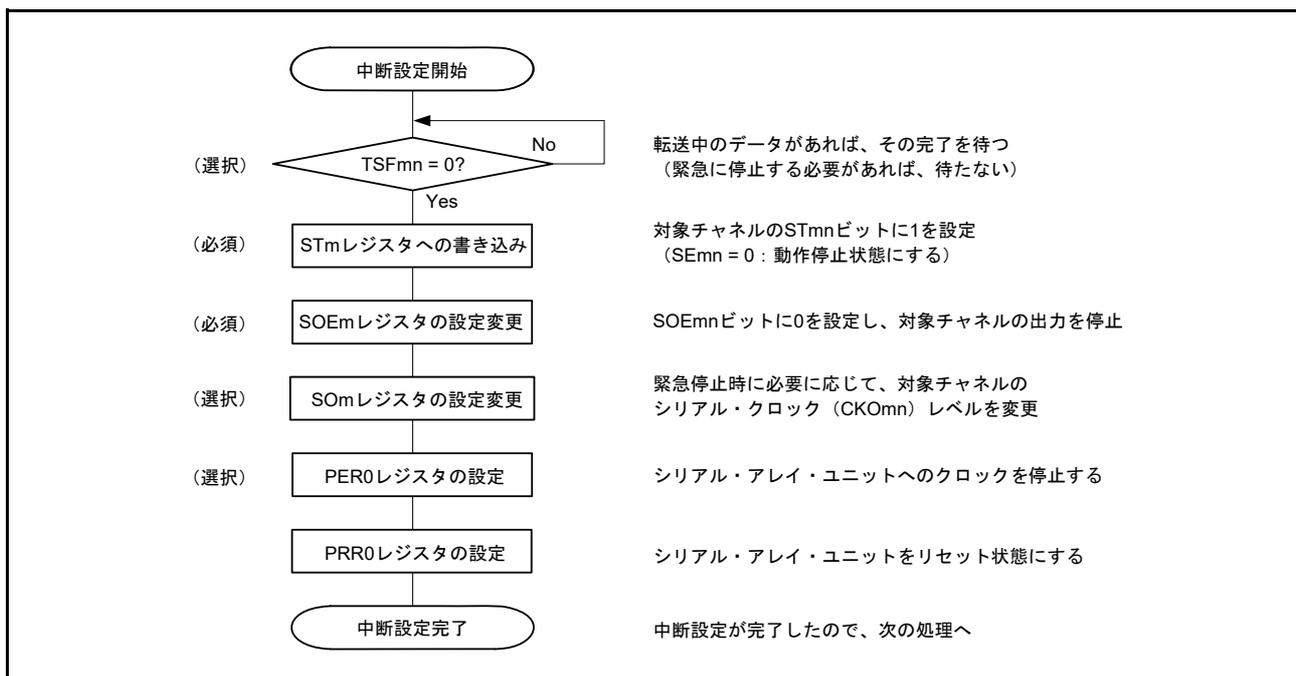
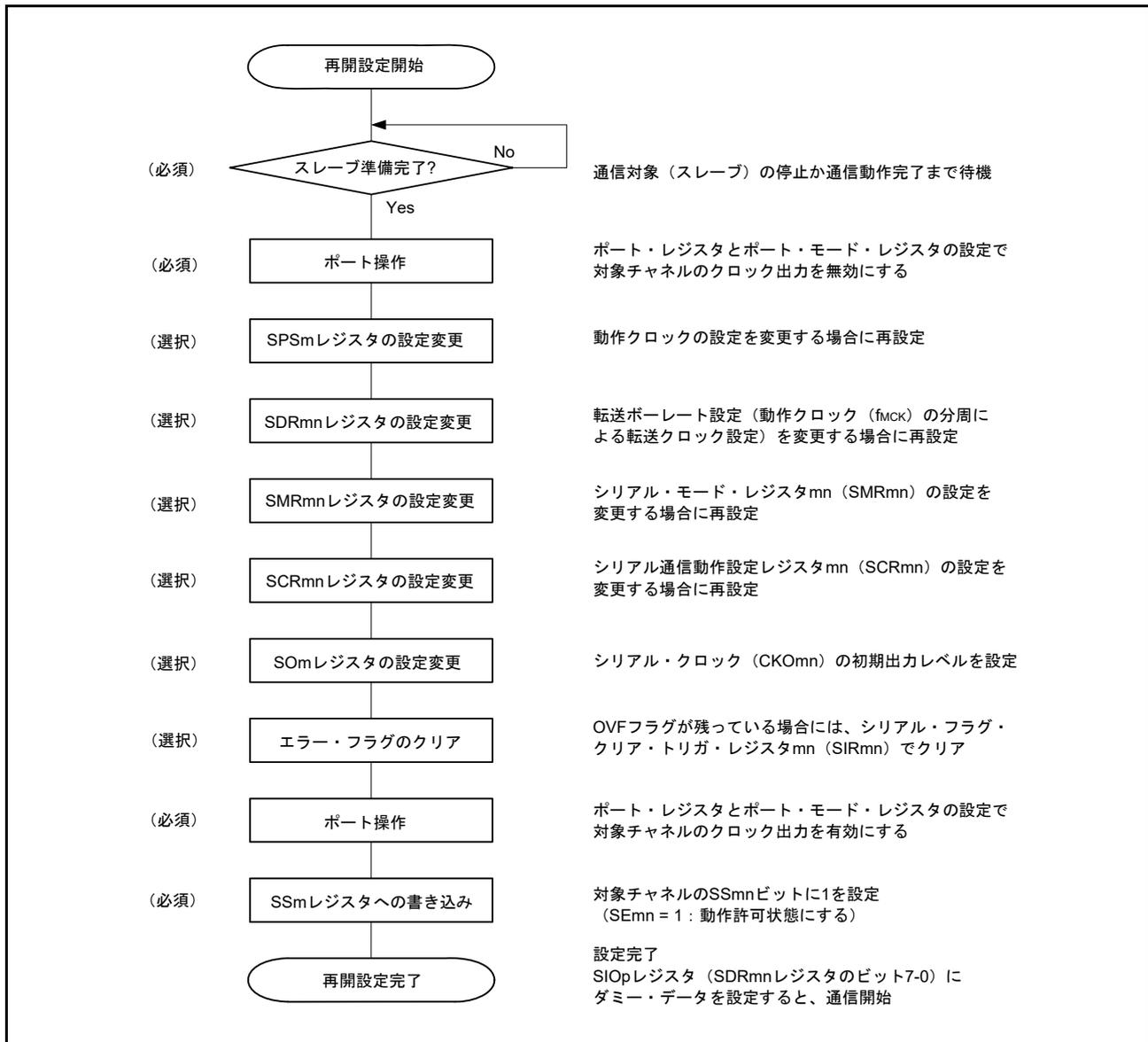


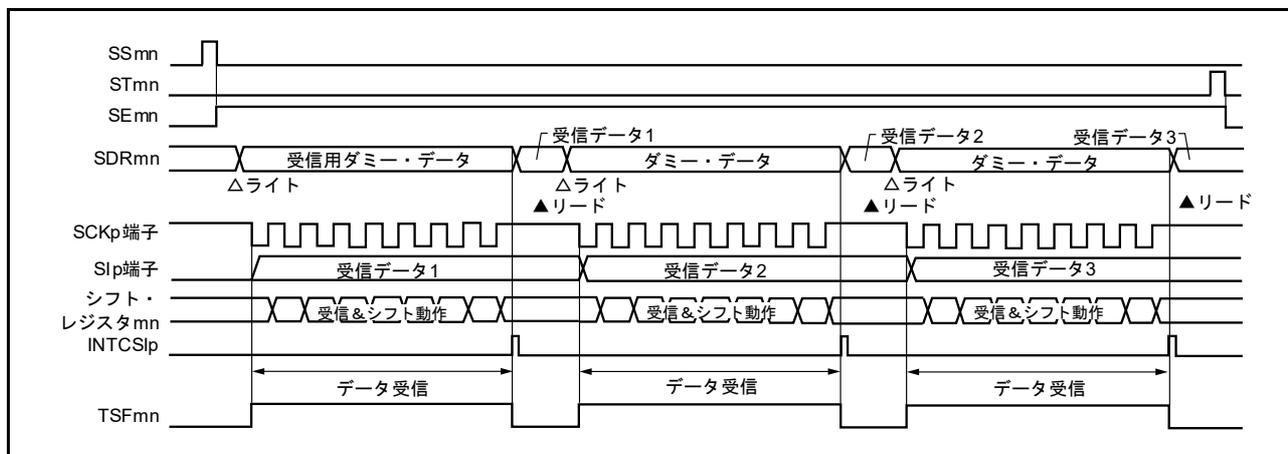
図 15 - 37 マスタ受信の再開設定手順



**備考** 中断設定でPRR0を書き換えてリセット状態にした場合は、通信対象 (スレーブ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

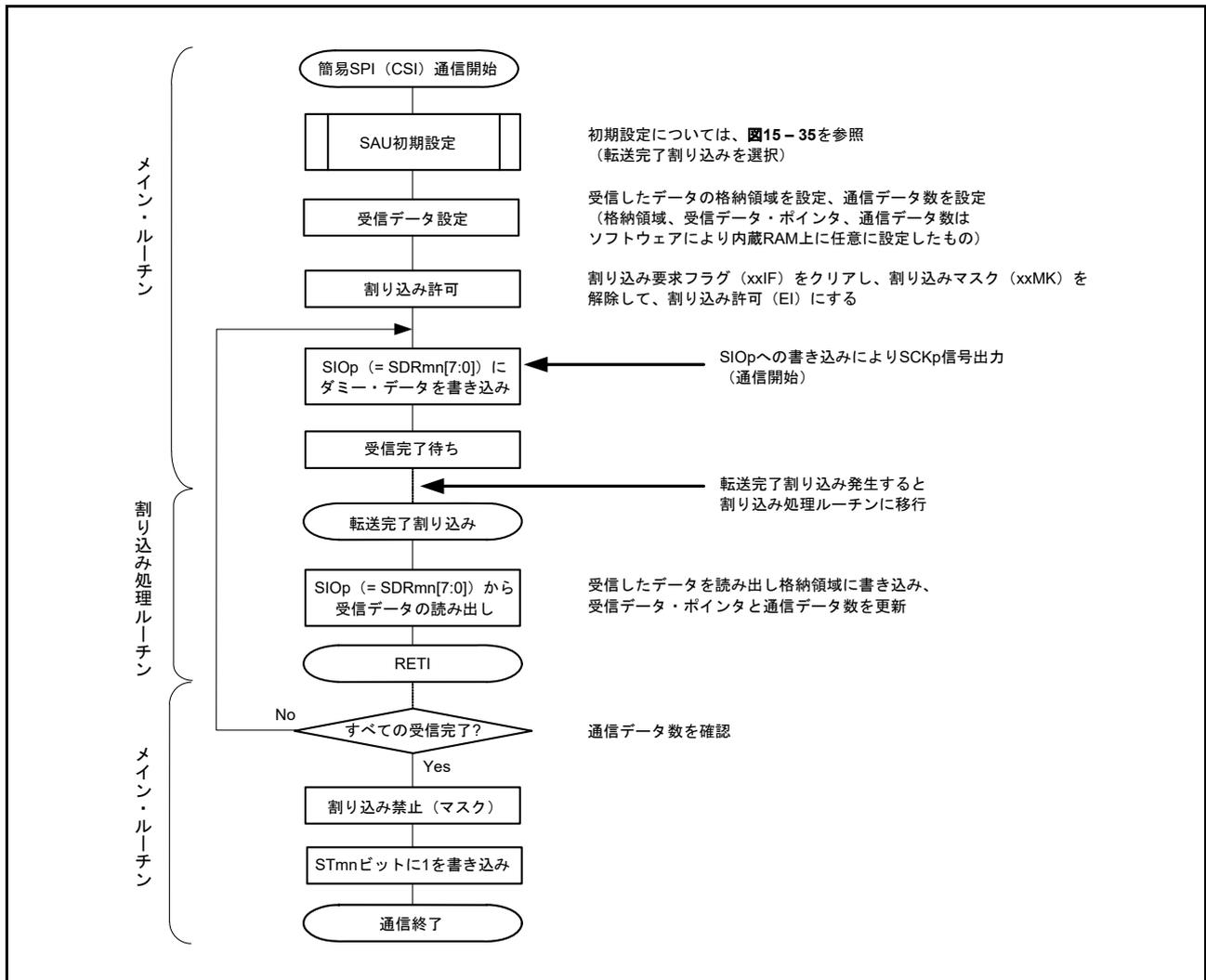
(3) 処理フロー (シングル受信モード時)

図15-38 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



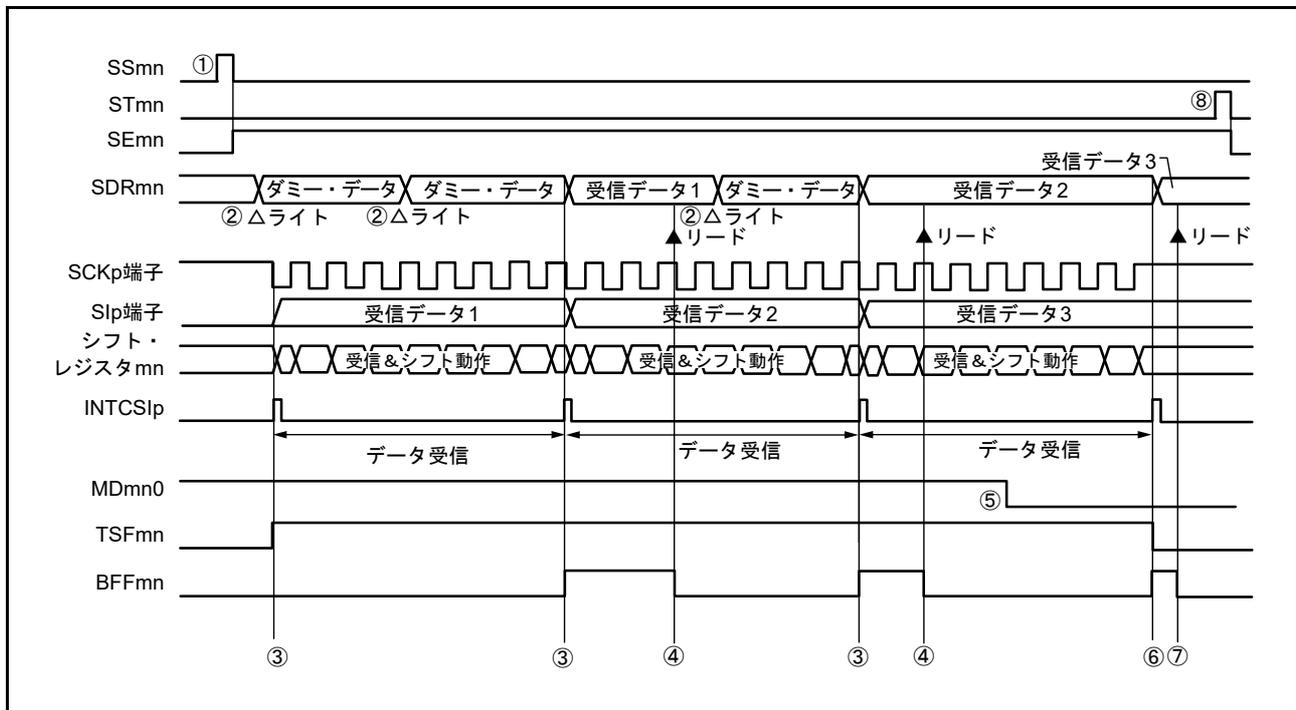
**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

図15-39 マスタ受信 (シングル受信モード時) のフロー・チャート



(4) 処理フロー (連続受信モード時)

図15-40 マスタ受信 (連続受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



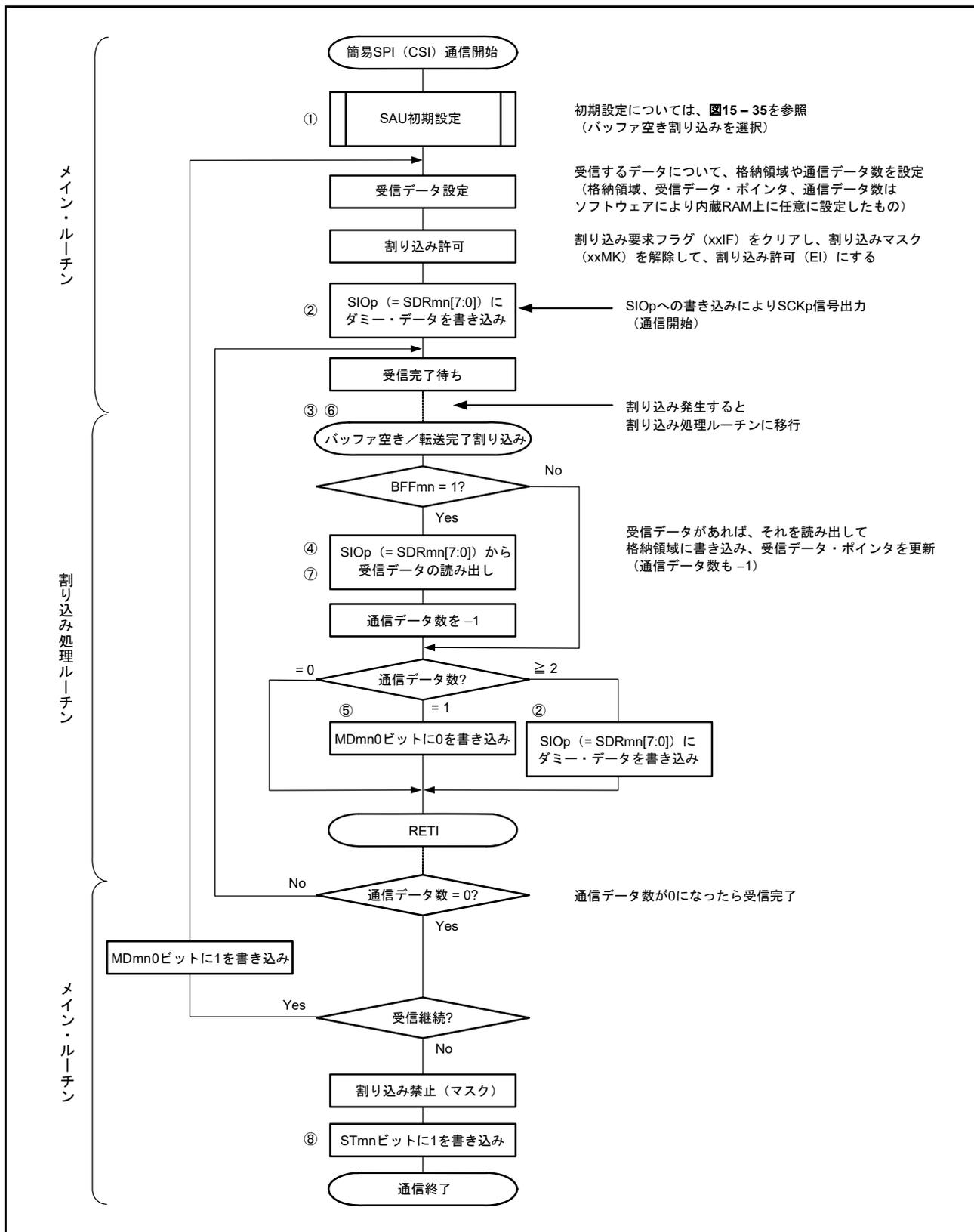
**注意** MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

**備考1.** 図中の①～⑧は、図15-41 マスタ受信 (連続受信モード時) のフロー・チャートの①～⑧に対応しています。

**備考2.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

図15-41 マスタ受信 (連続受信モード時) のフロー・チャート



備考 図中の①~⑧は、**図15-40** マスタ受信 (連続受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①~⑧に対応しています。

### 15.5.3 マスタ送受信

マスタ送受信とは、この RL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ)、fCLK/4 [Hz] Min. fCLK/(2 × 2 <sup>15</sup> × 128) [Hz] fCLK : システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合 : 非反転 ・ CKPmn = 1の場合 : 反転							
データ方向	MSBファーストまたはLSBファースト							

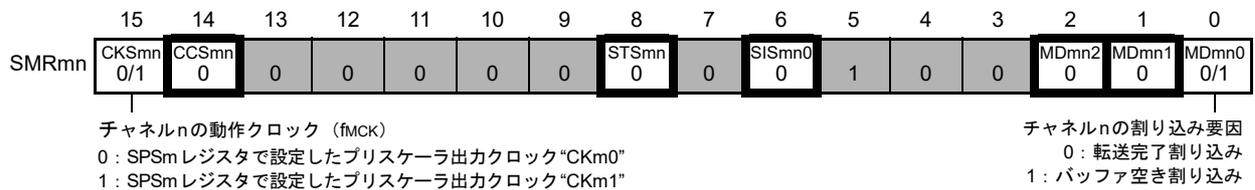
**注** この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

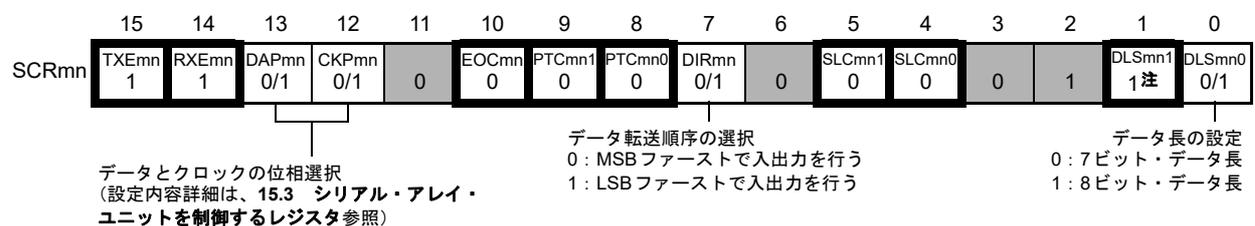
(1) レジスタ設定

図 15 - 42 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ送受信時のレジスタ設定内容例

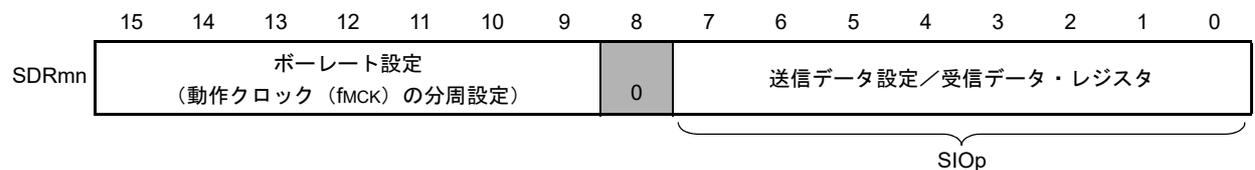
(a) シリアル・モード・レジスタ mn (SMRmn)



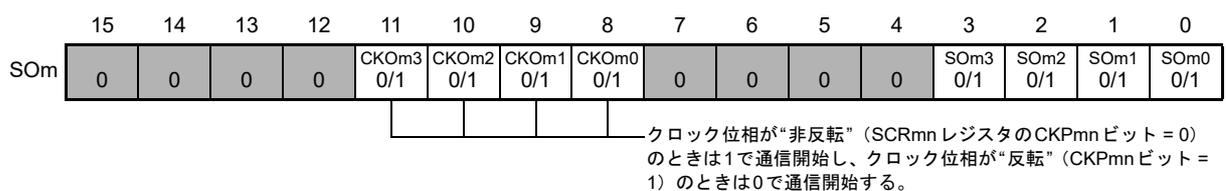
(b) シリアル通信動作設定レジスタ mn (SCRmn)



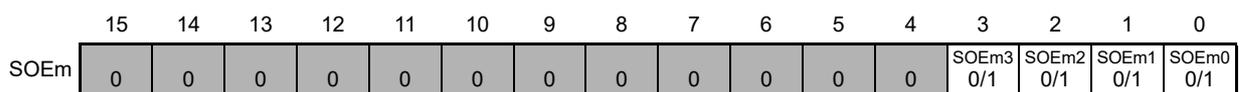
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



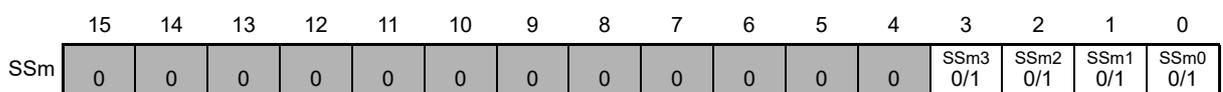
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタと、80~128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

**備考1.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

**備考2.**  : 簡易SPI (CSI) マスタ送受信モードでは設定固定  : 設定不可 (初期値を設定)  
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 43 マスタ送受信の初期設定手順

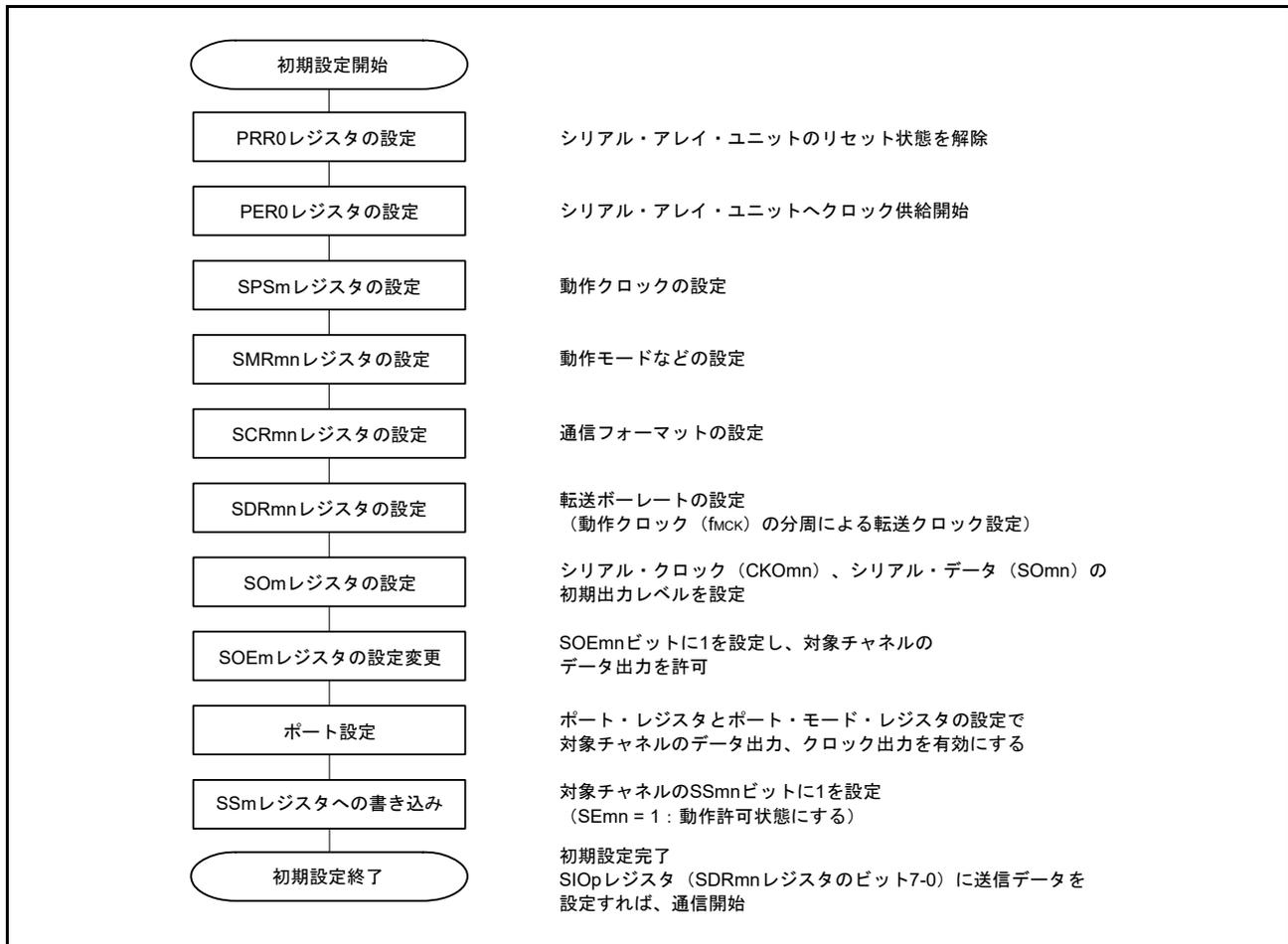


図 15 - 44 マスタ送受信の中断手順

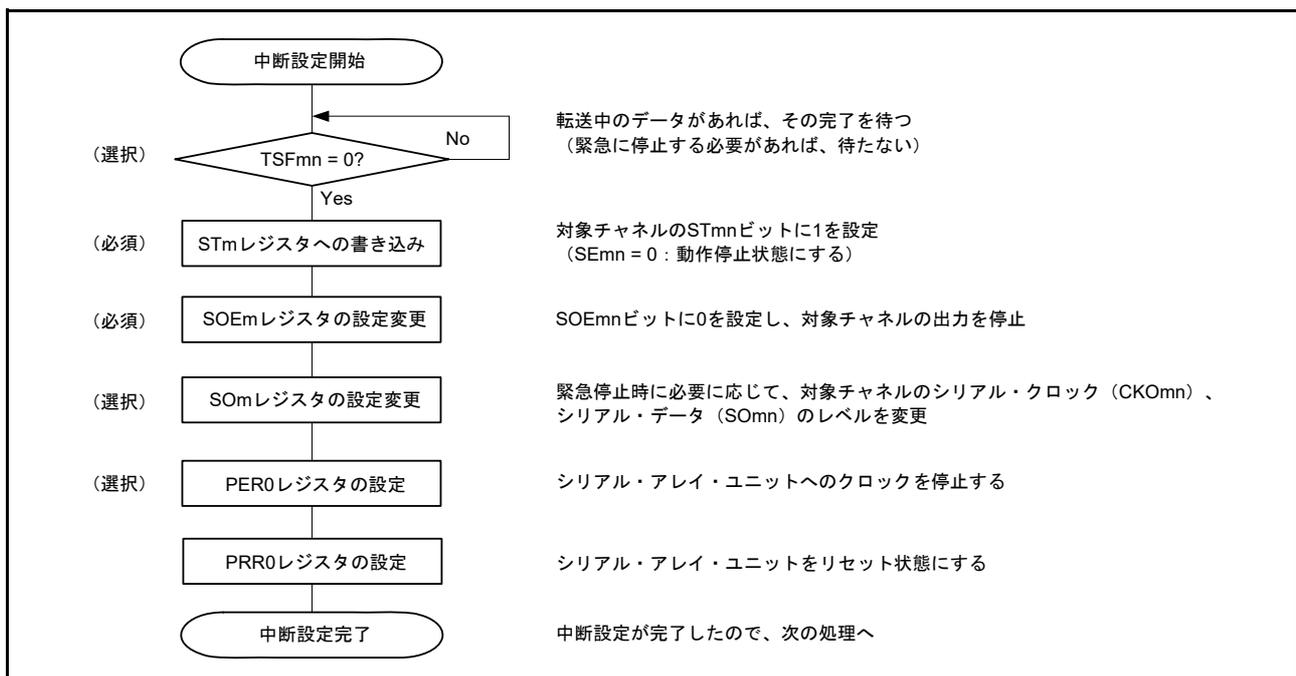
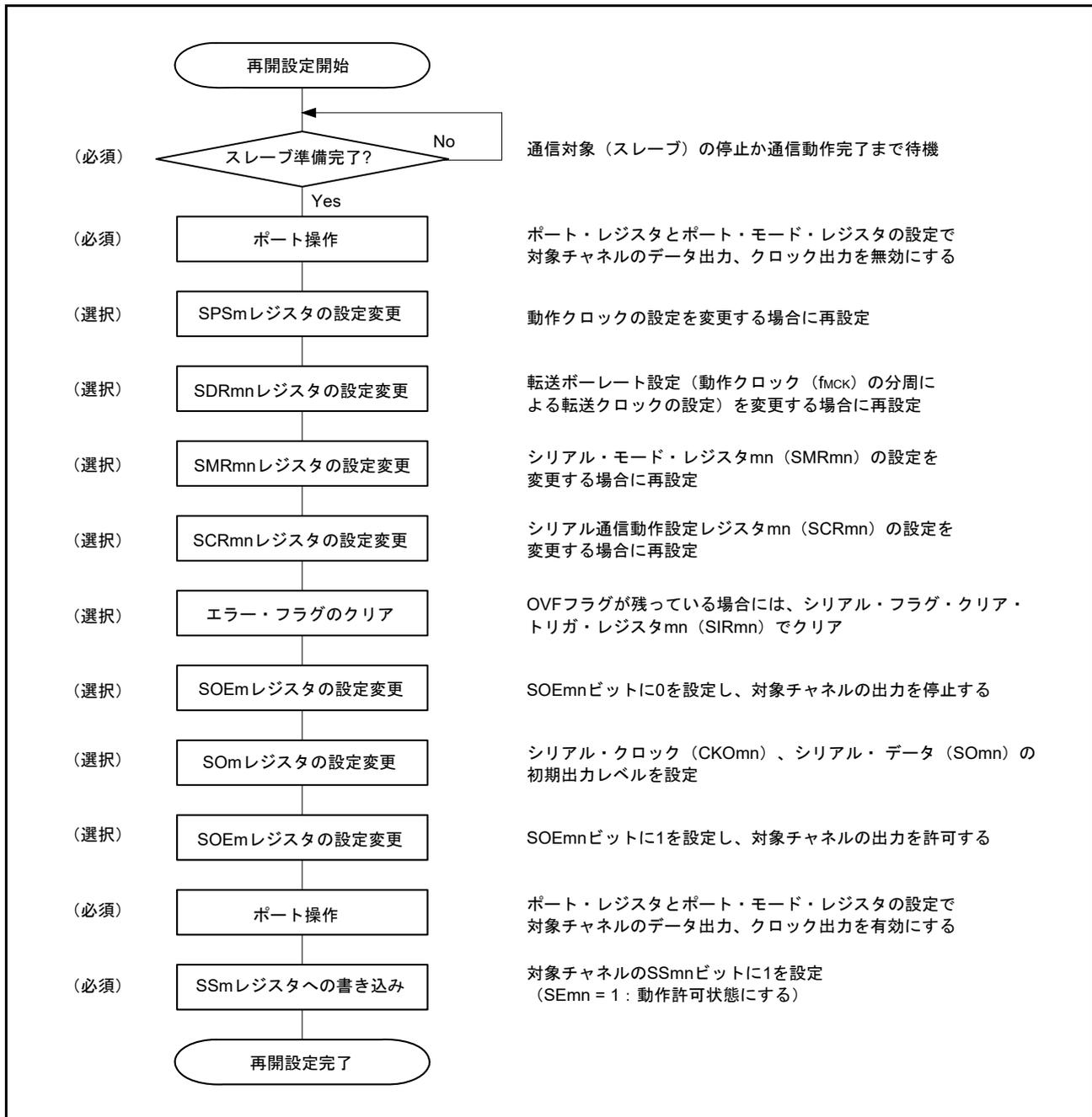
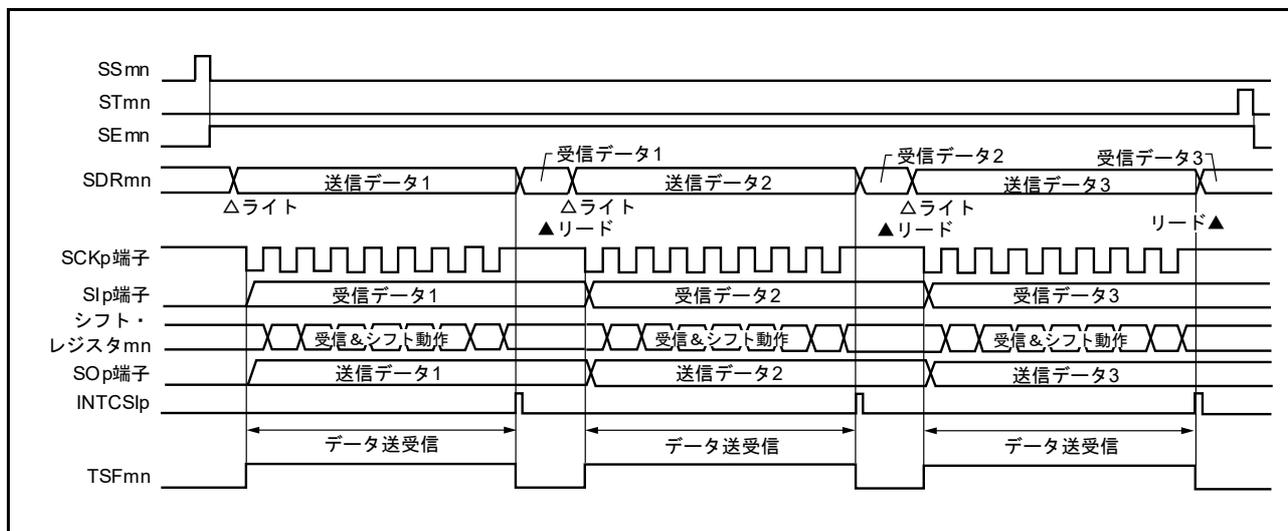


図 15 - 45 マスタ送受信の再開設定手順



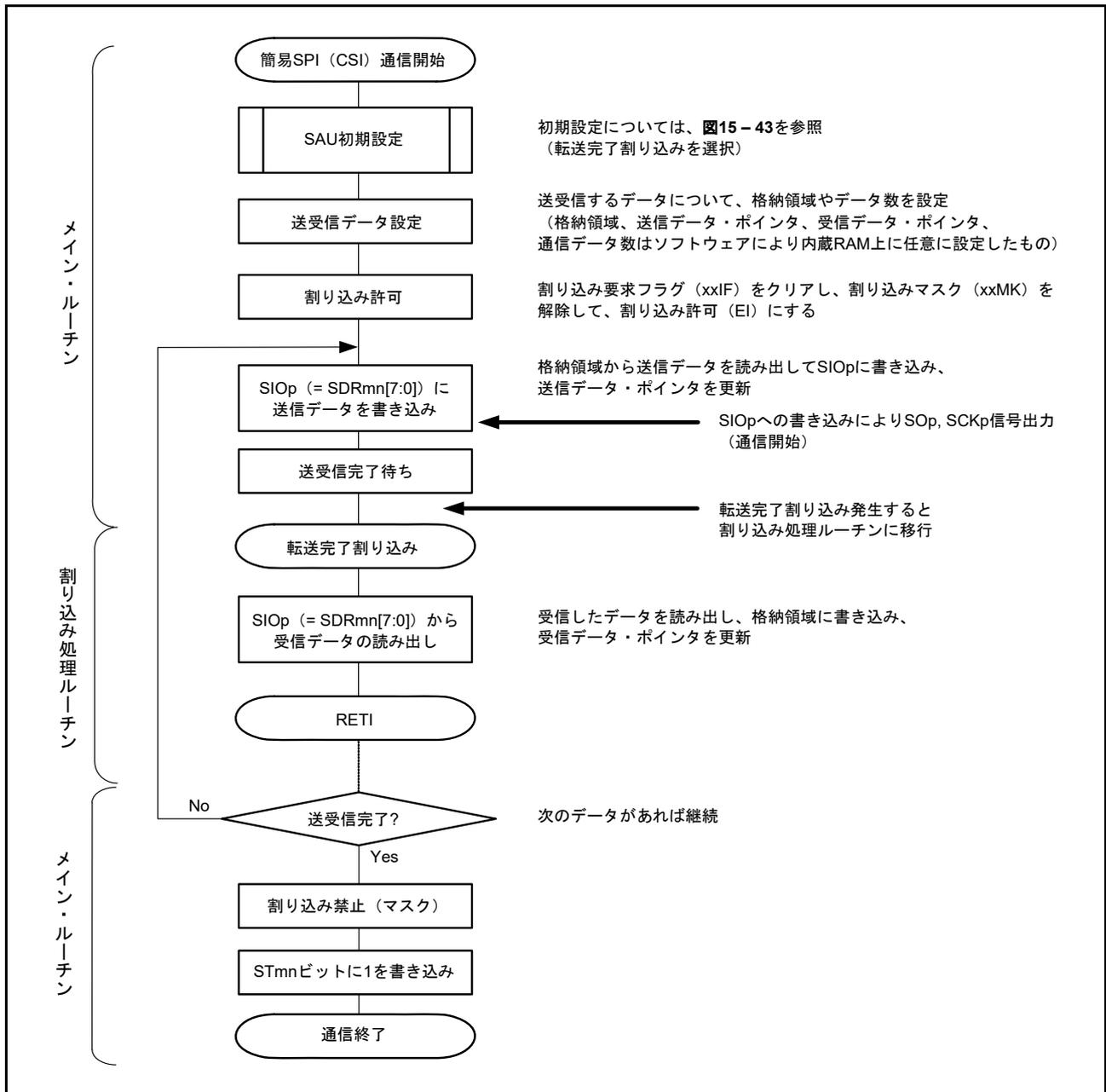
(3) 処理フロー (シングル送受信モード時)

図15-46 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



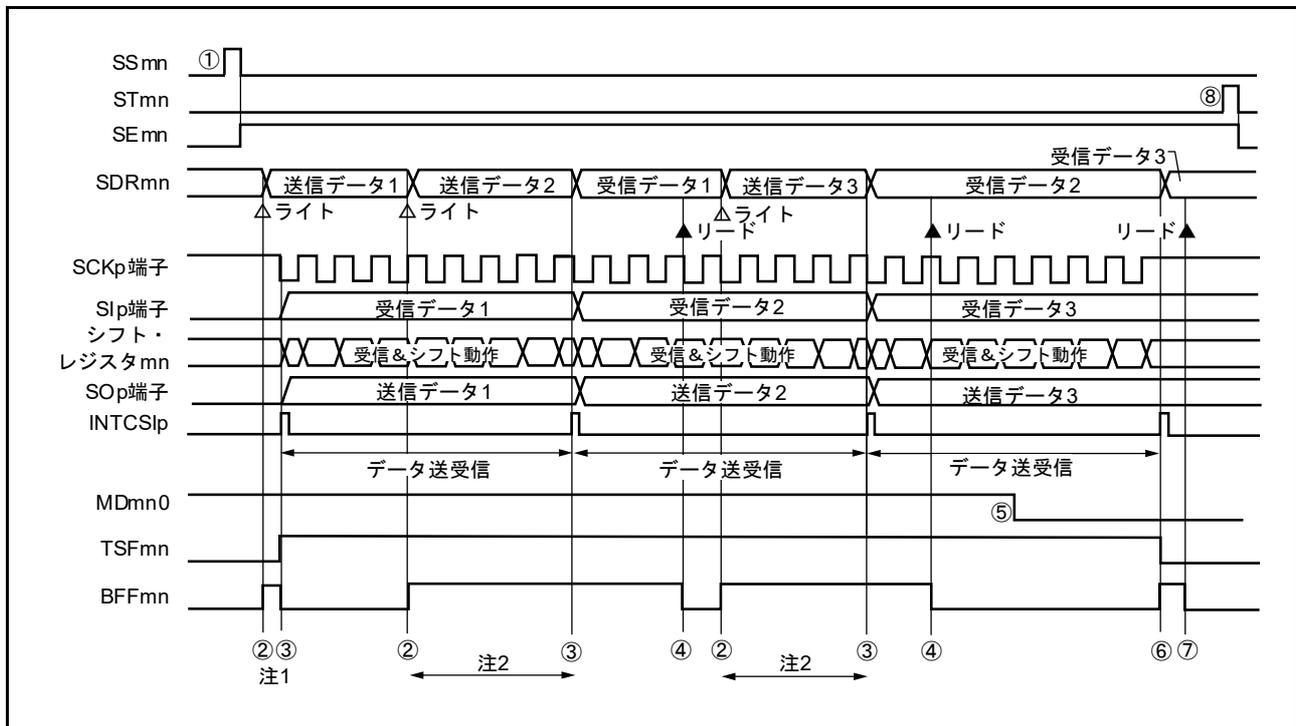
**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
 mn = 00-03, 10-13

図15-47 マスタ送受信 (シングル送受信モード時) のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図15-48 マスタ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



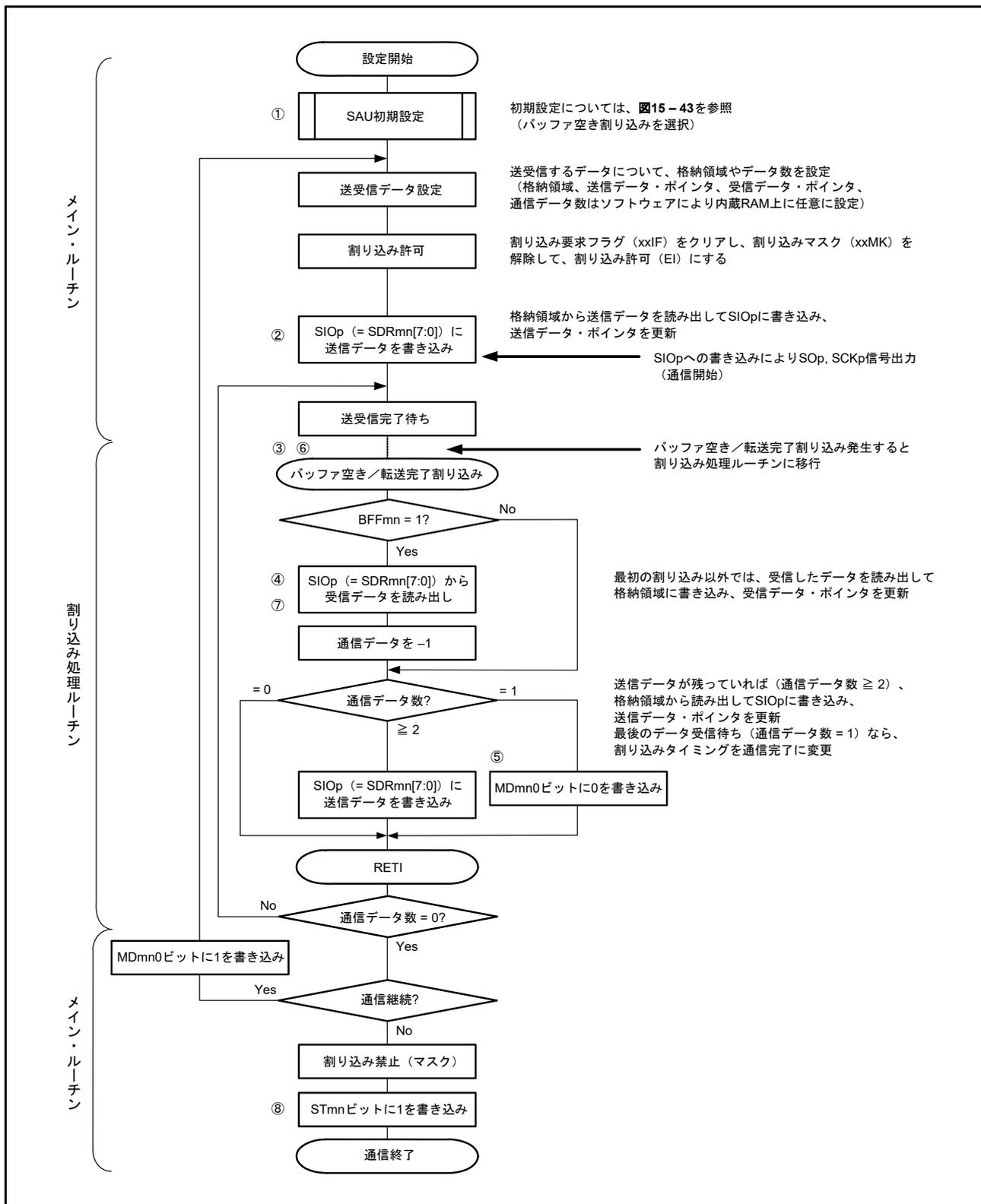
- 注1. シリアル・ステータス・レジスタ mn (SSRmn) のBFFmnビットが1の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 注2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

**注意** シリアル・モード・レジスタ mn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図15-49 マスタ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

図15-49 マスタ送受信 (連続送受信モード時) のフロー・チャート



備考 図中の①~⑧は、図15-48 マスタ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①~⑧に対応しています。

### 15.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO30	SCK31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> <li>• DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始</li> <li>• DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始</li> </ul>							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> <li>• CKPmn = 0の場合：非反転</li> <li>• CKPmn = 1の場合：反転</li> </ul>							
データ方向	MSBファーストまたはLSBファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$  [Hz]となります。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性（第37章 電氣的特性参照）を満たす範囲内で使用してください。

備考1.  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

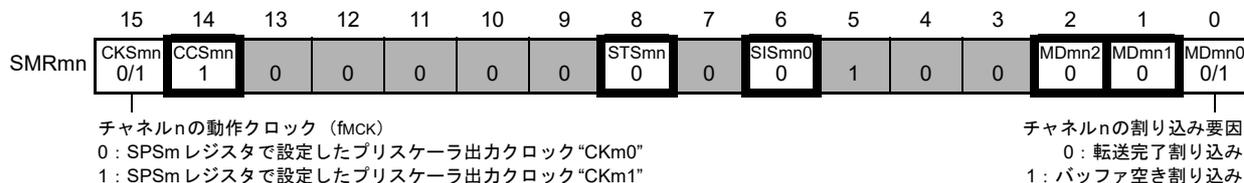
$f_{SCK}$ ：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

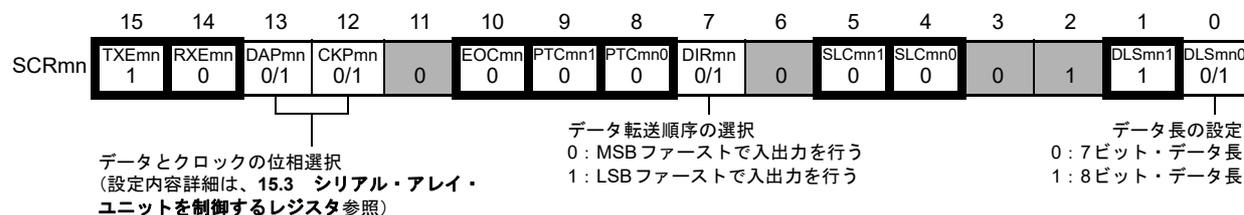
(1) レジスタ設定

図 15 - 50 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のスレーブ送信時のレジスタ設定内容例

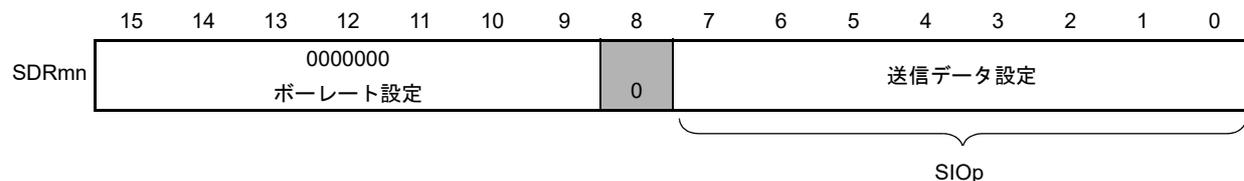
(a) シリアル・モード・レジスタ mn (SMRmn)



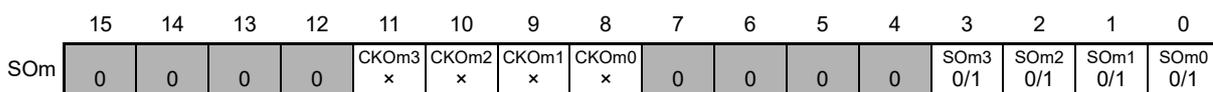
(b) シリアル通信動作設定レジスタ mn (SCRmn)



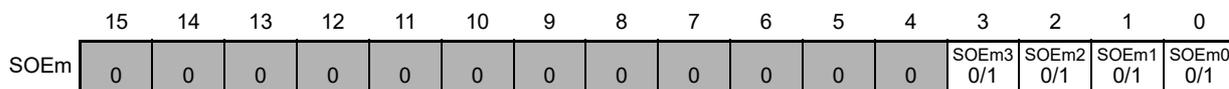
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



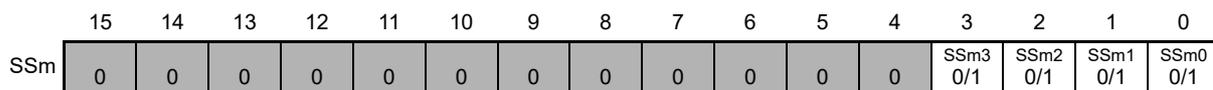
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
 mn = 00-03, 10-13

備考2.  : 簡易SPI (CSI) スレーブ送信モードでは設定固定  : 設定不可 (初期値を設定)  
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)  
 0/1 : ユーザの用途に応じて0または1に設定

## (2) 操作手順

図15-51 スレーブ送信の初期設定手順

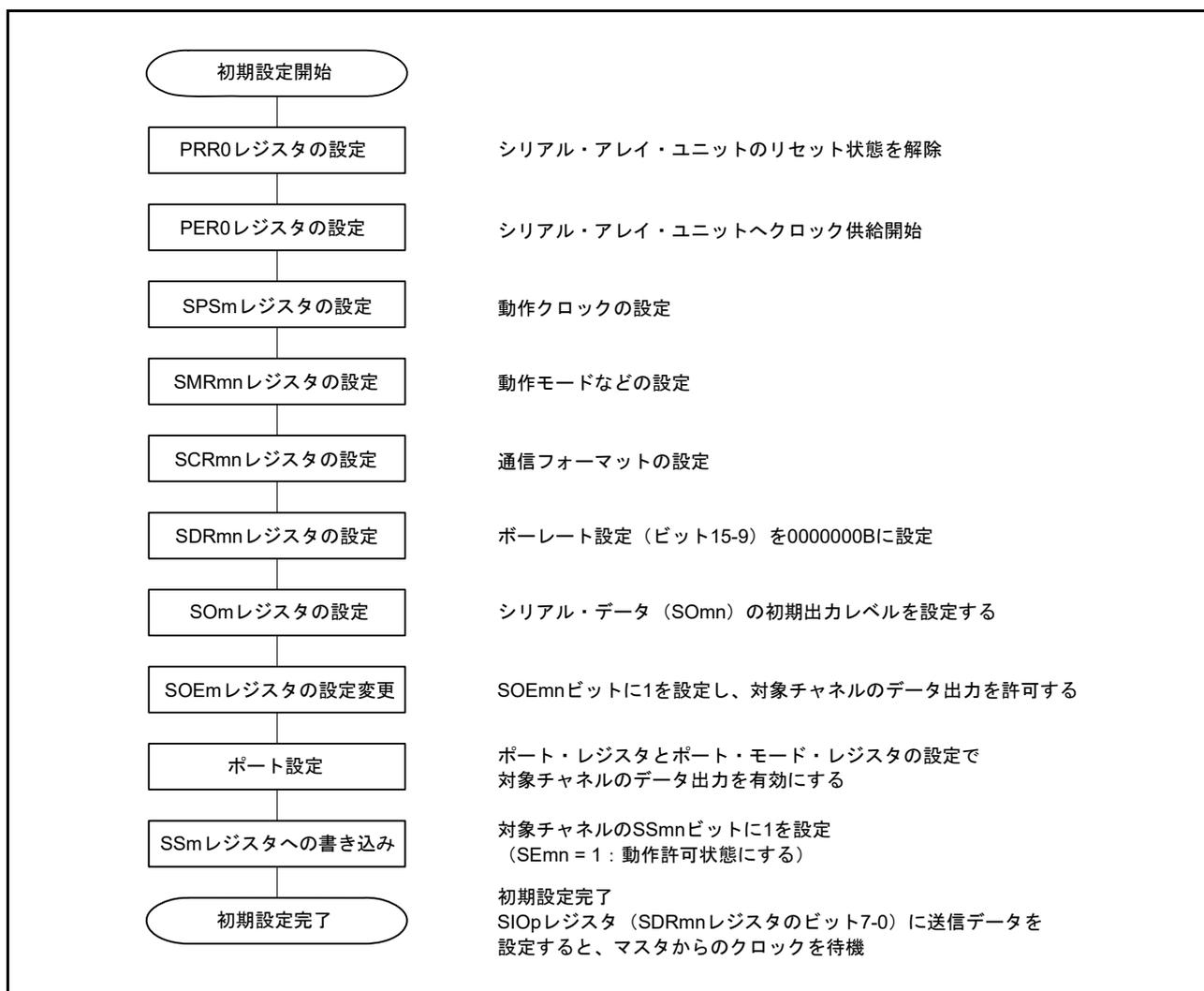


図 15 - 52 スレーブ送信の中断手順

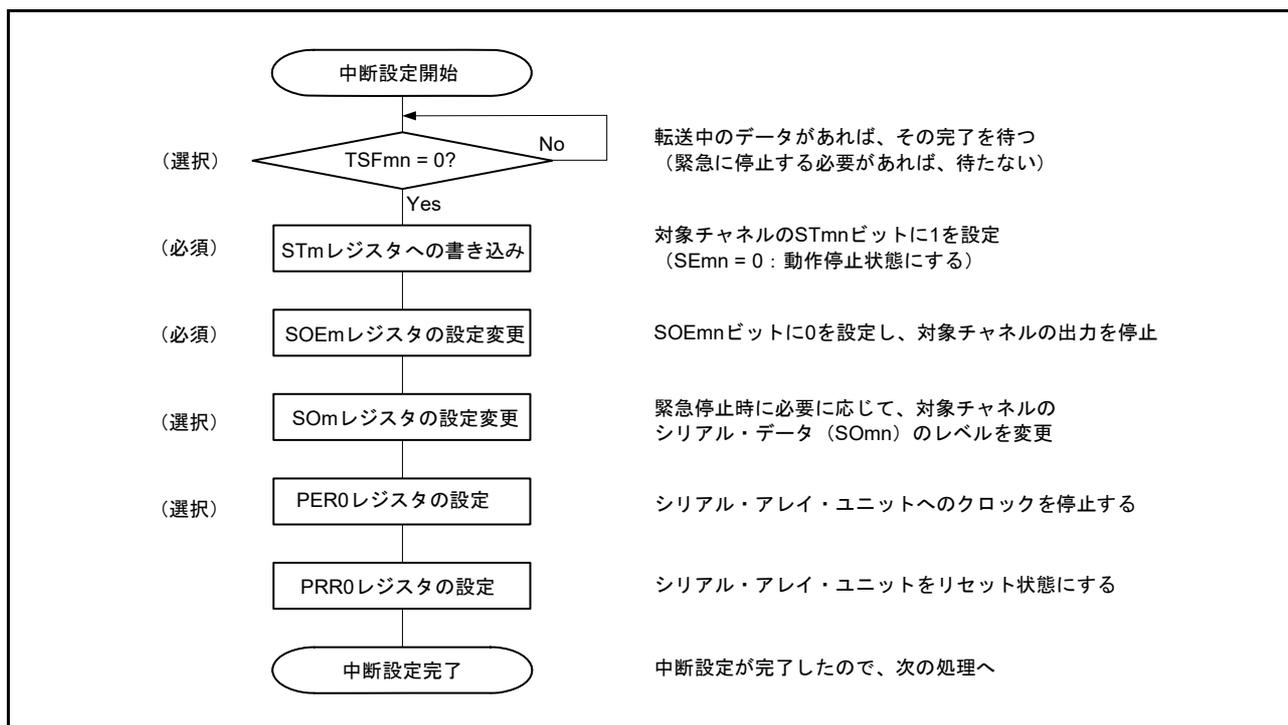
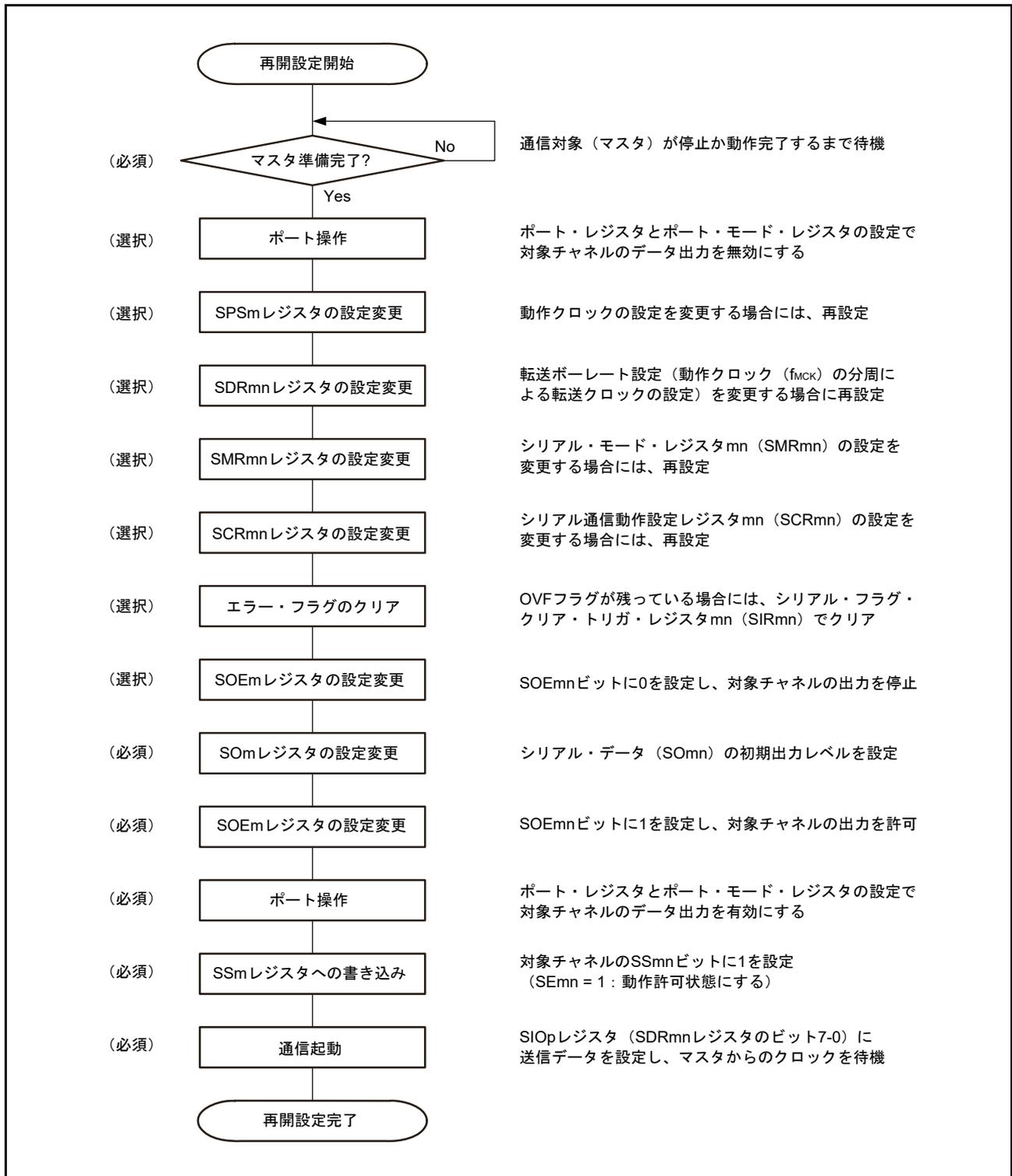


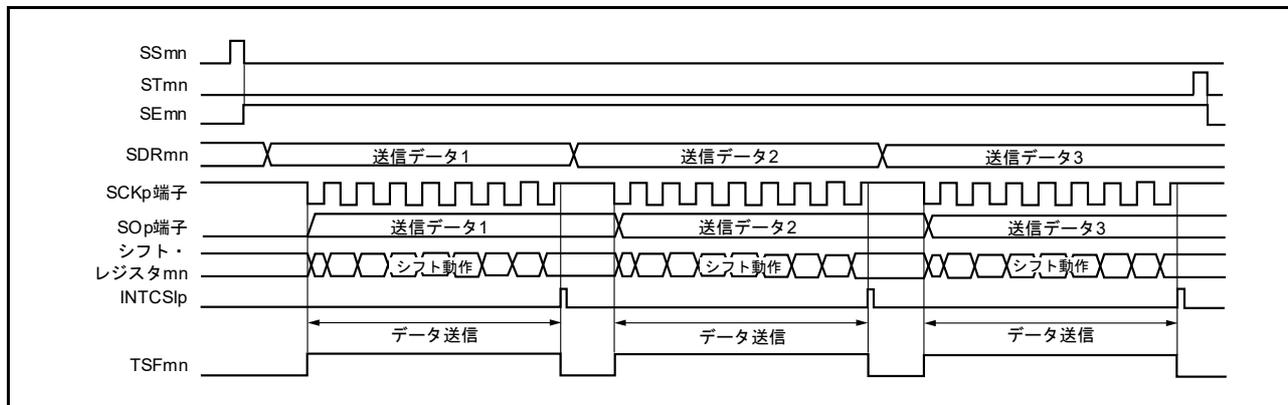
図 15 - 53 スレーブ送信の再開設定手順



**備考** 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

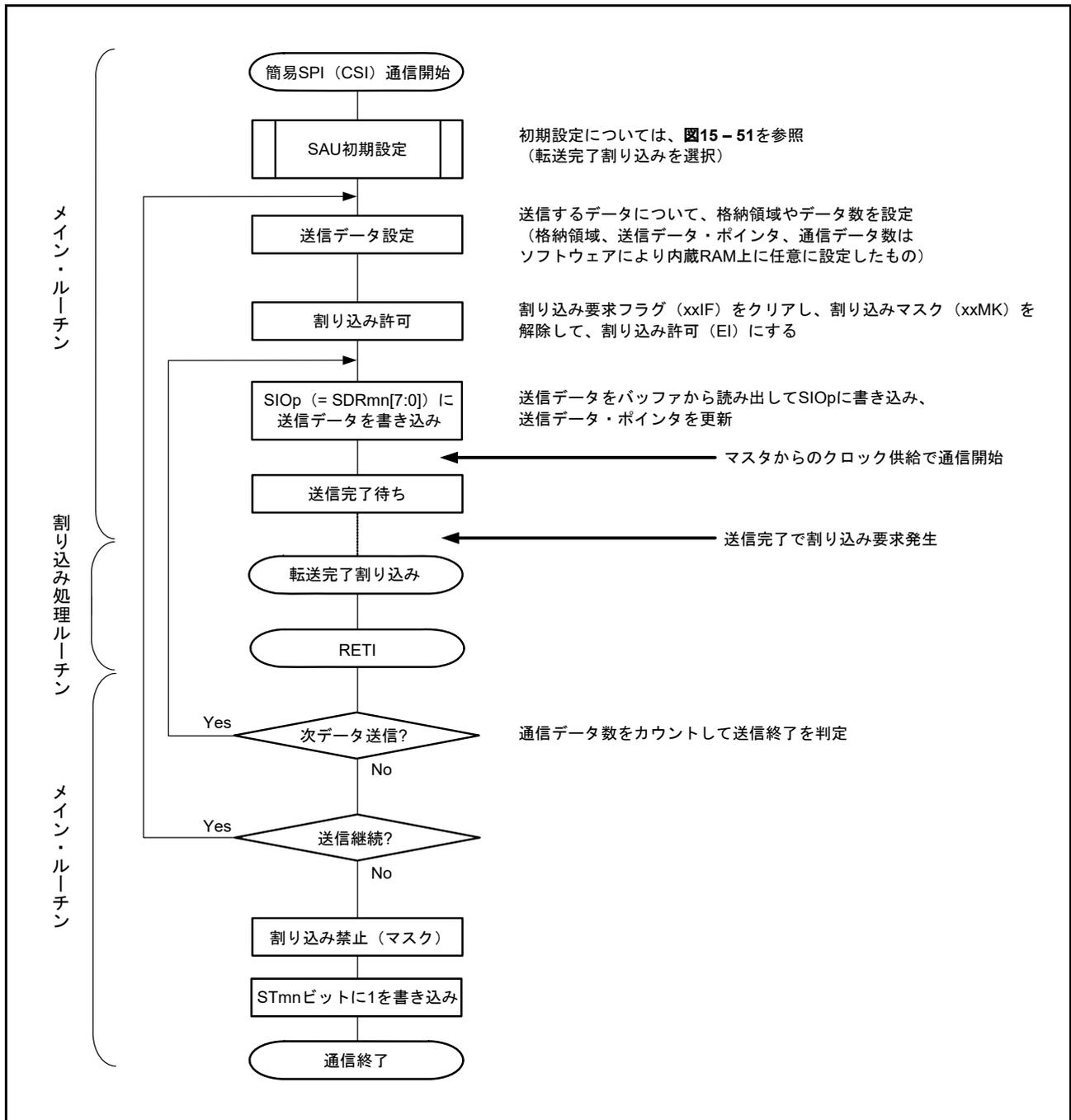
(3) 処理フロー (シングル送信モード時)

図15-54 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



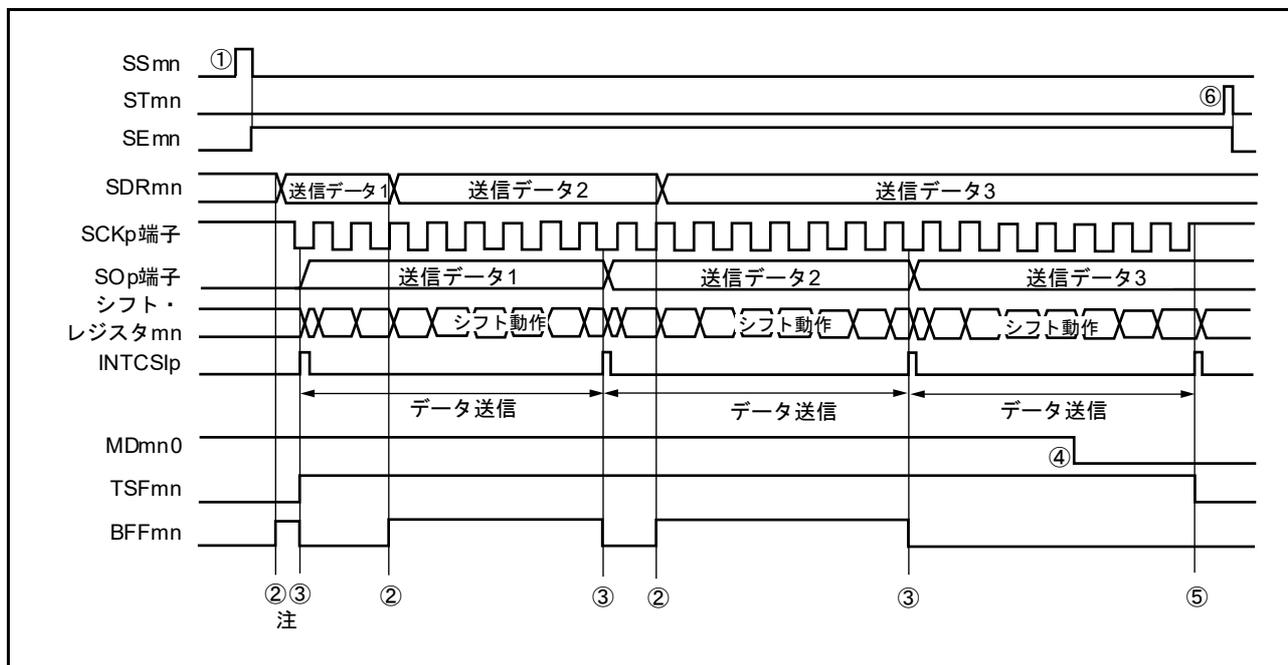
**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
 mn = 00-03, 10-13

図15-55 スレーブ送信 (シングル送信モード時) のフロー・チャート



(4) 処理フロー (連続送信モード時)

図15-56 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

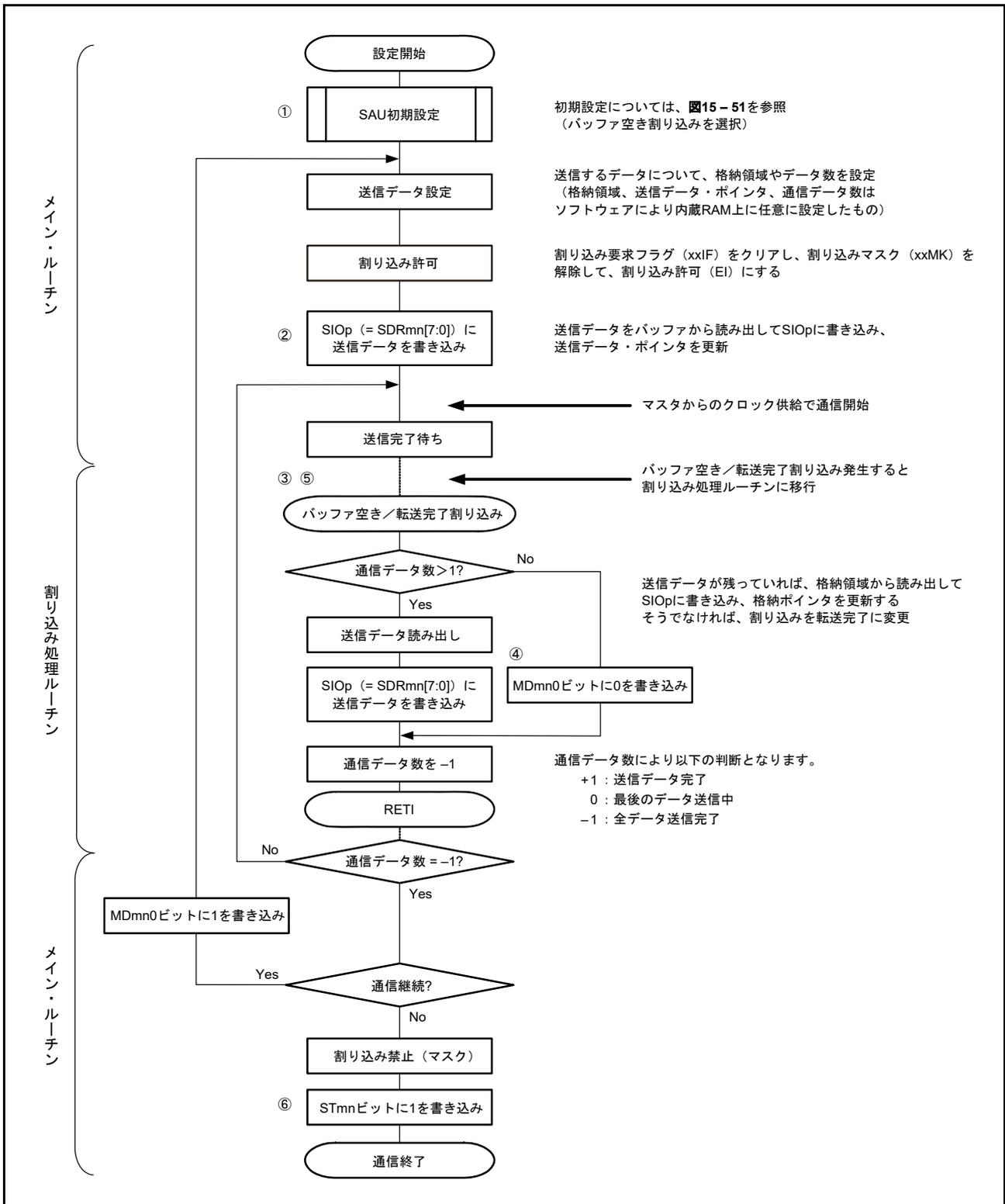


**注** シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

**注意** シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

図15-57 スレーブ送信 (連続送信モード時) のフロー・チャート



備考 図中の①～⑥は、**図15-56** スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑥に対応しています。

## 15.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> <li>• DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始</li> <li>• DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始</li> </ul>							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> <li>• CKPmn = 0の場合：非反転</li> <li>• CKPmn = 1の場合：反転</li> </ul>							
データ方向	MSBファーストまたはLSBファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$  [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考1.  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

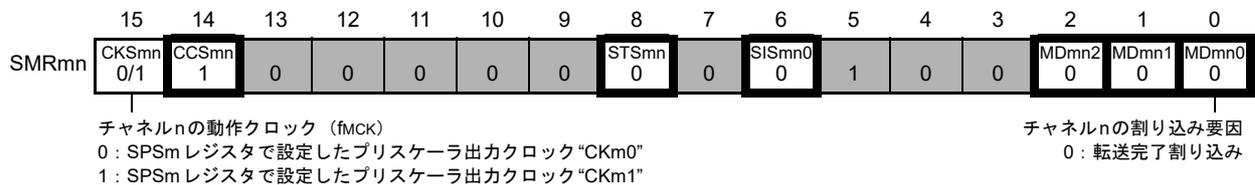
$f_{SCK}$ ：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

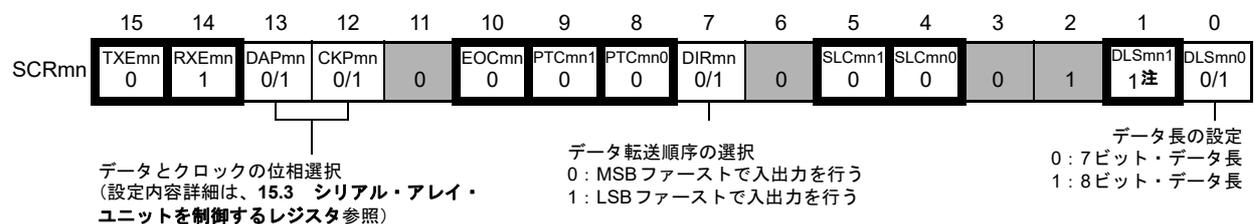
(1) レジスタ設定

図 15-58 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のスレーブ受信時のレジスタ設定内容例

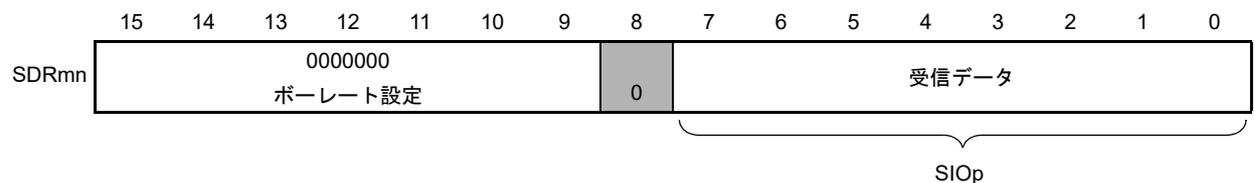
(a) シリアル・モード・レジスタ mn (SMRmn)



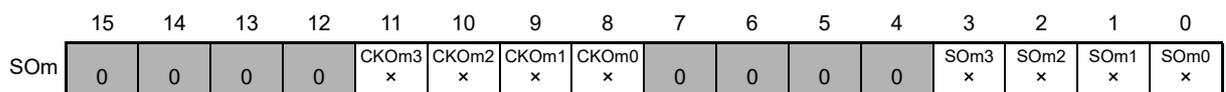
(b) シリアル通信動作設定レジスタ mn (SCRmn)



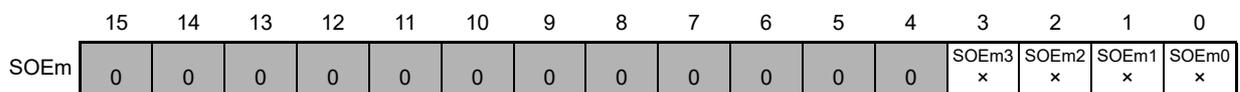
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



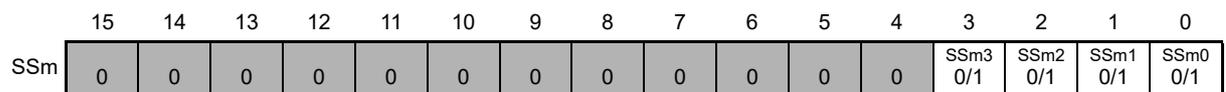
(d) シリアル出力レジスタ m (SOM) : このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタと、80~128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
 mn = 00-03, 10-13

(備考は次ページに続きます)

- 備考2. : スレーブ受信モードでは設定固定      : 設定不可 (初期値を設定)
- ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 59 スレーブ受信の初期設定手順

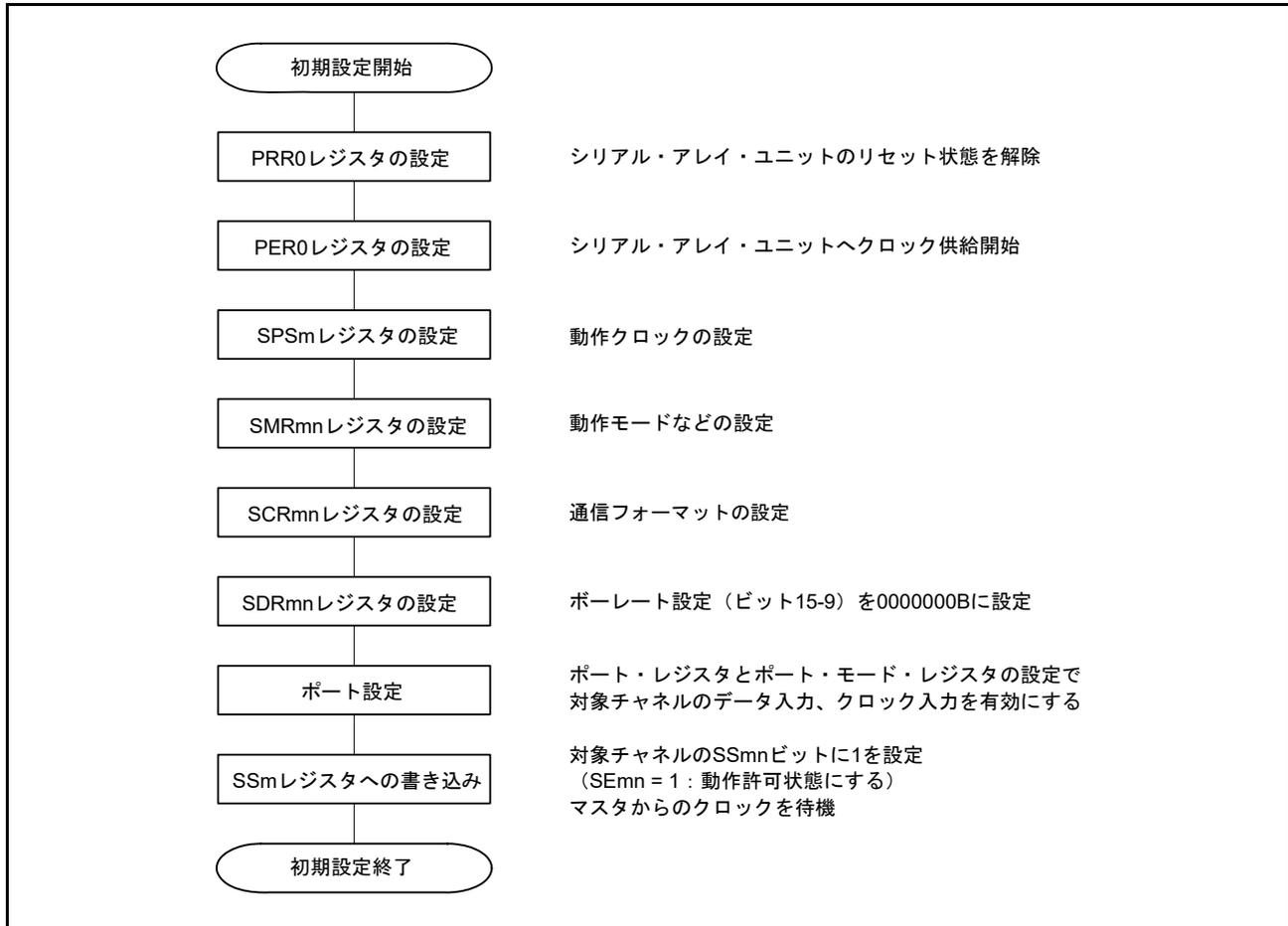


図 15 - 60 スレーブ受信の中断手順

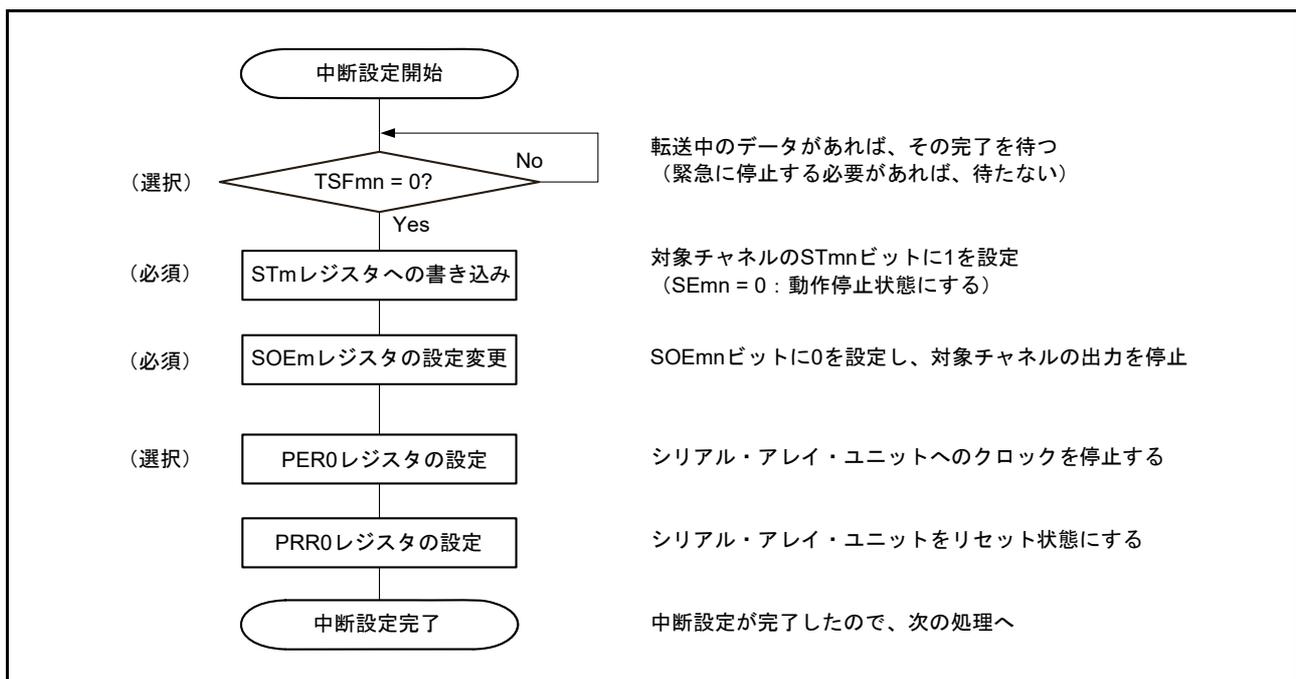
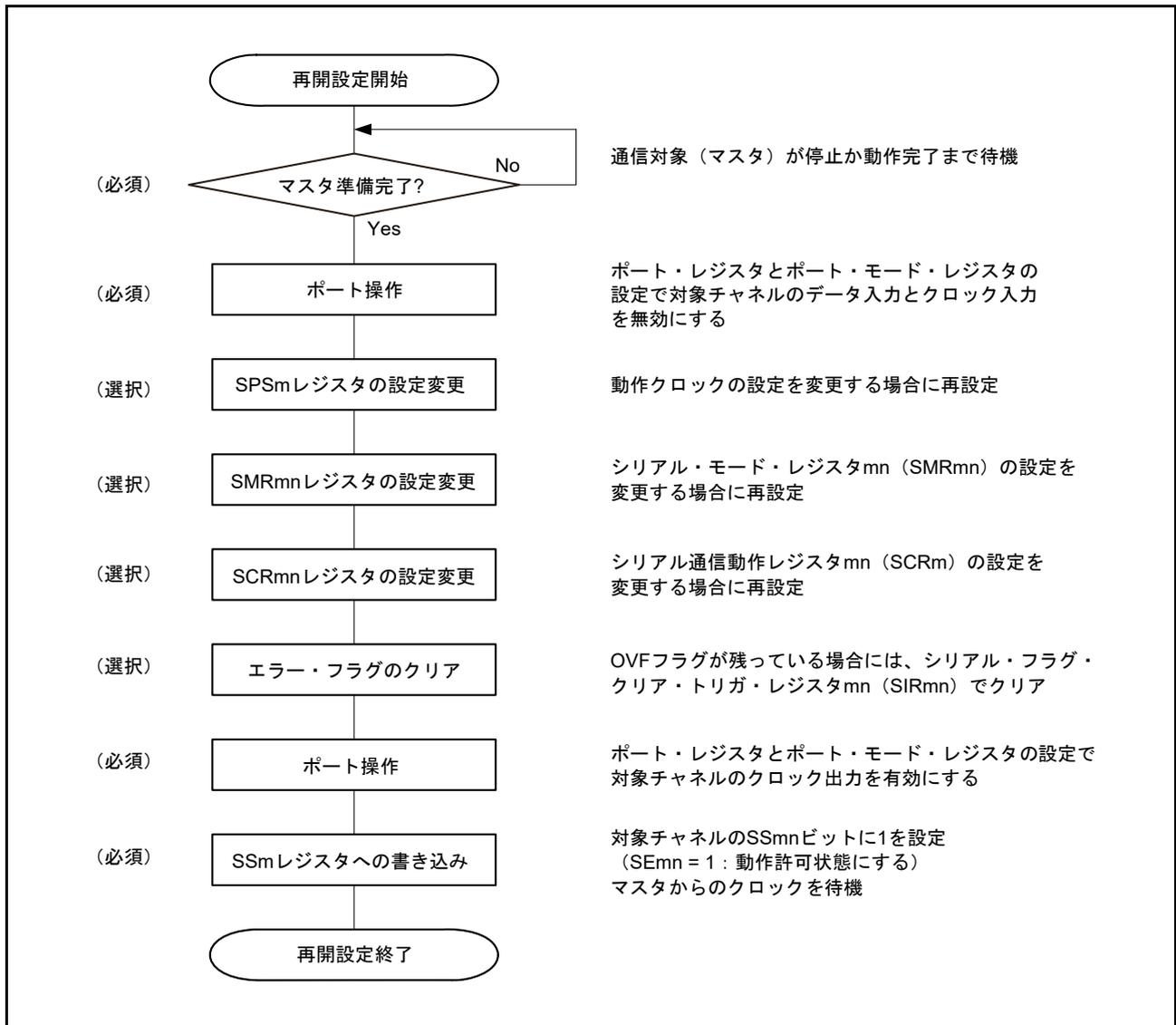


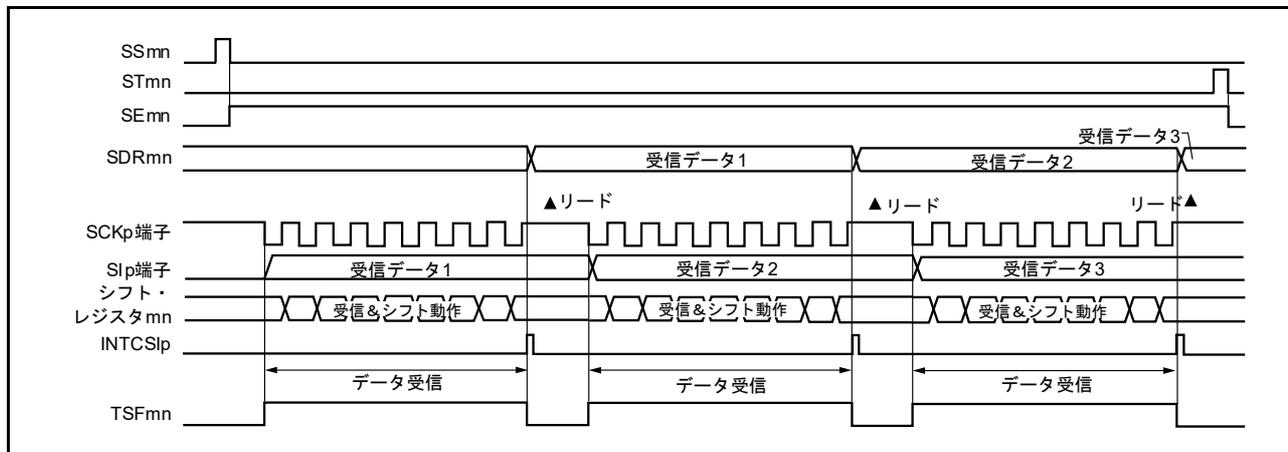
図 15 - 61 スレーブ受信の再開設定手順



**備考** 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

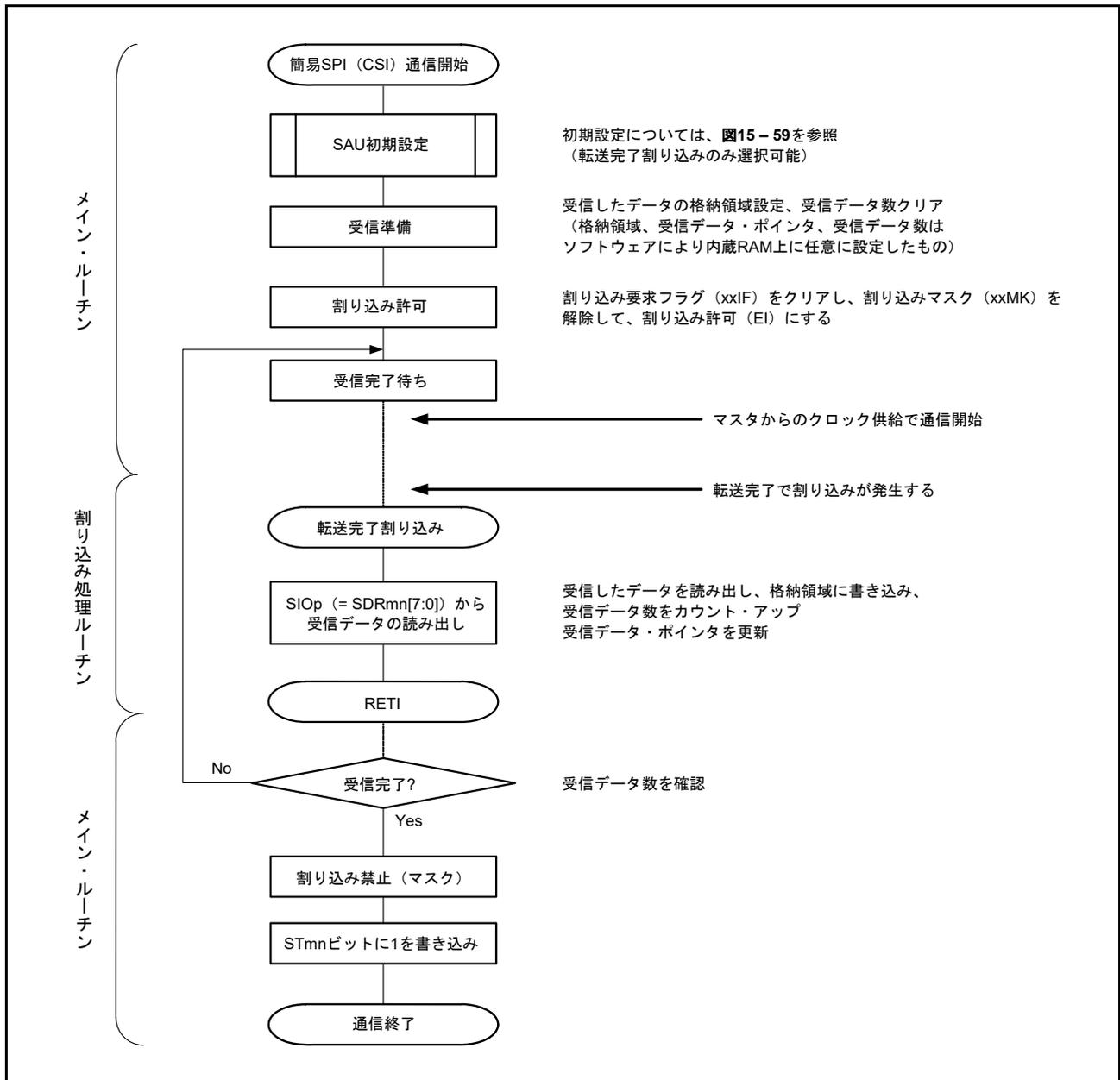
(3) 処理フロー (シングル受信モード時)

図15-62 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

図 15 - 63 スレーブ受信 (シングル受信モード時) のフロー・チャート



## 15.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> <li>• DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始</li> <li>• DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始</li> </ul>							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> <li>• CKPmn = 0の場合：非反転</li> <li>• CKPmn = 1の場合：反転</li> </ul>							
データ方向	MSB ファーストまたはLSB ファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$  [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考1.  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

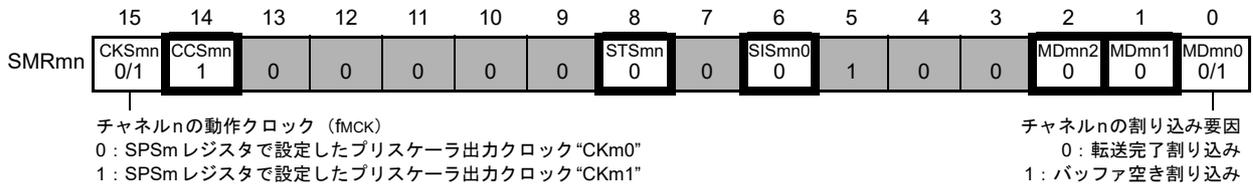
$f_{SCK}$ ：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

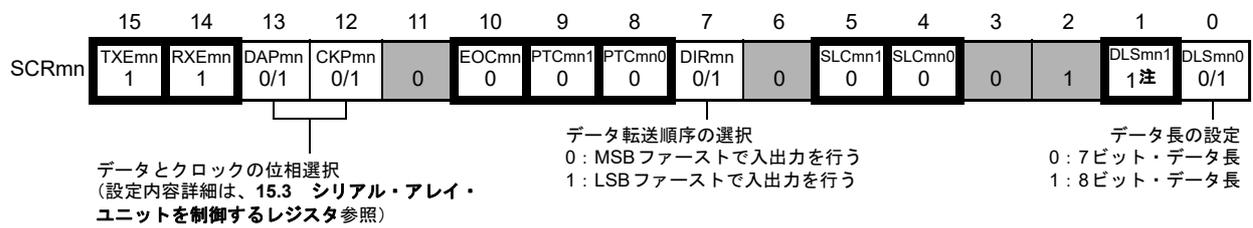
(1) レジスタ設定

図 15 - 64 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のスレーブ送受信時のレジスタ設定内容例

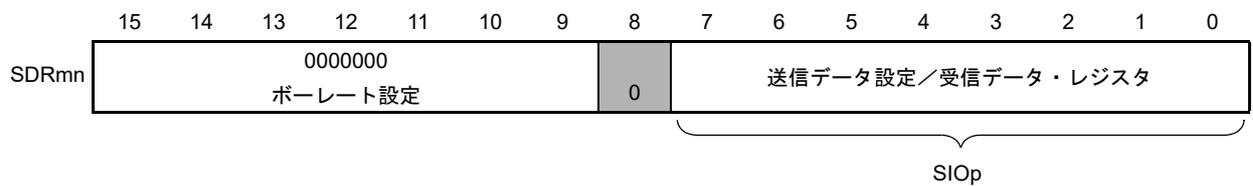
(a) シリアル・モード・レジスタ mn (SMRmn)



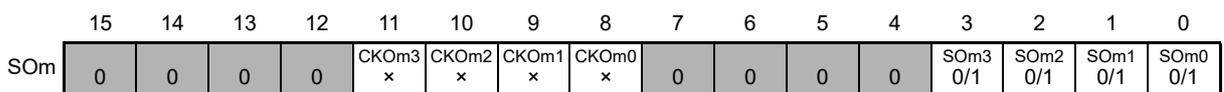
(b) シリアル通信動作設定レジスタ mn (SCRmn)



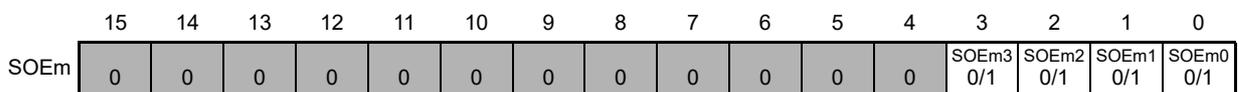
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



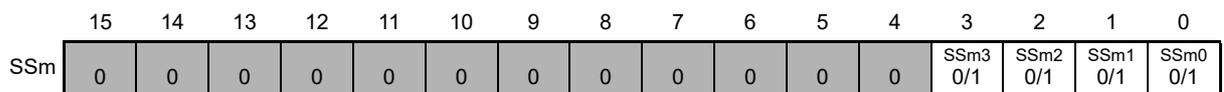
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する



注 SCR00, SCR01レジスタと、80~128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

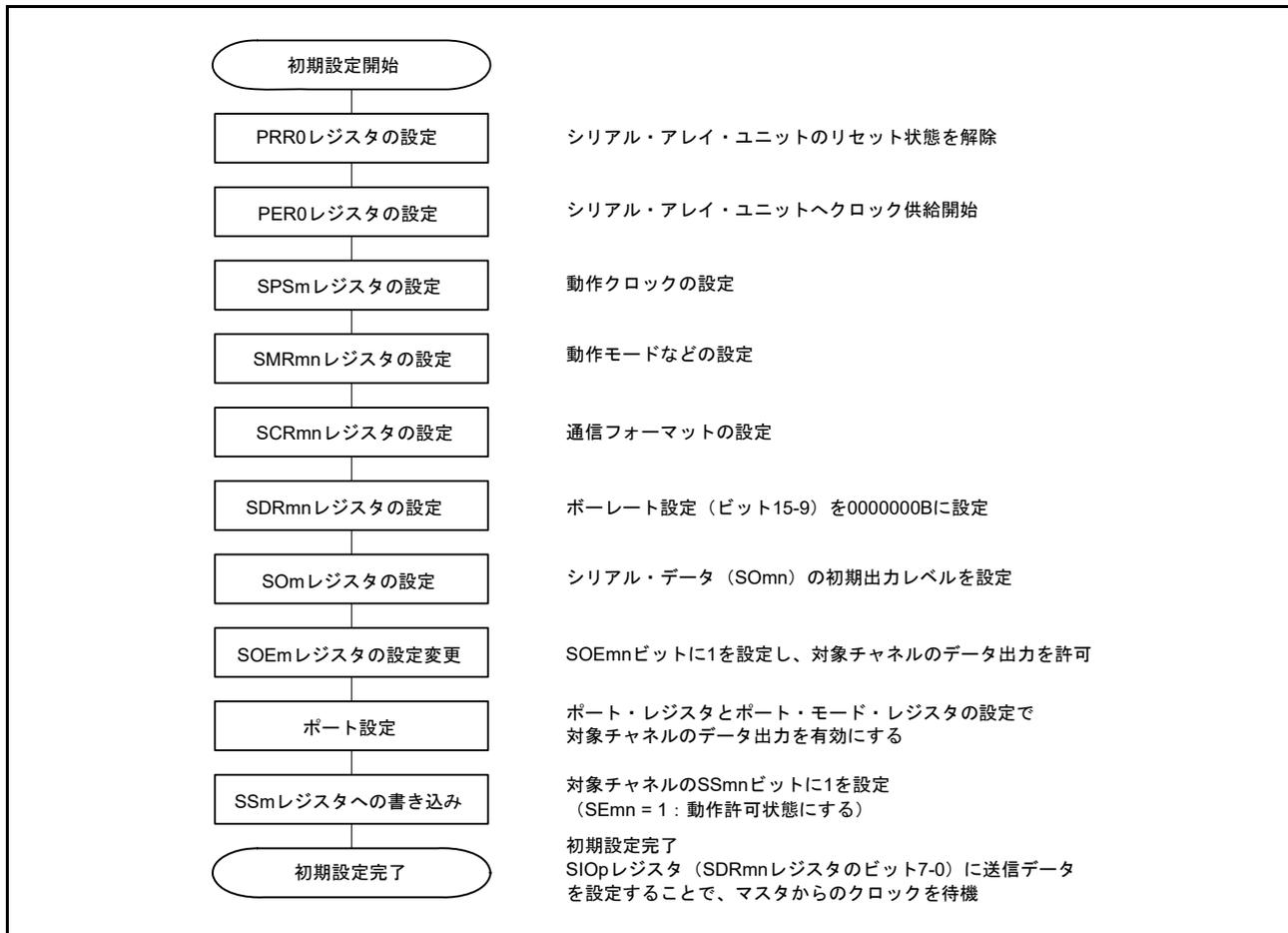
(備考は次ページに続きます)

**備考1.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

**備考2.**  : 簡易SPI (CSI) スレーブ送受信モードでは設定固定  : 設定不可 (初期値を設定)  
× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)  
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 65 スレーブ送受信の初期設定手順



**注意** マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 15 - 66 スレーブ送受信の中断手順

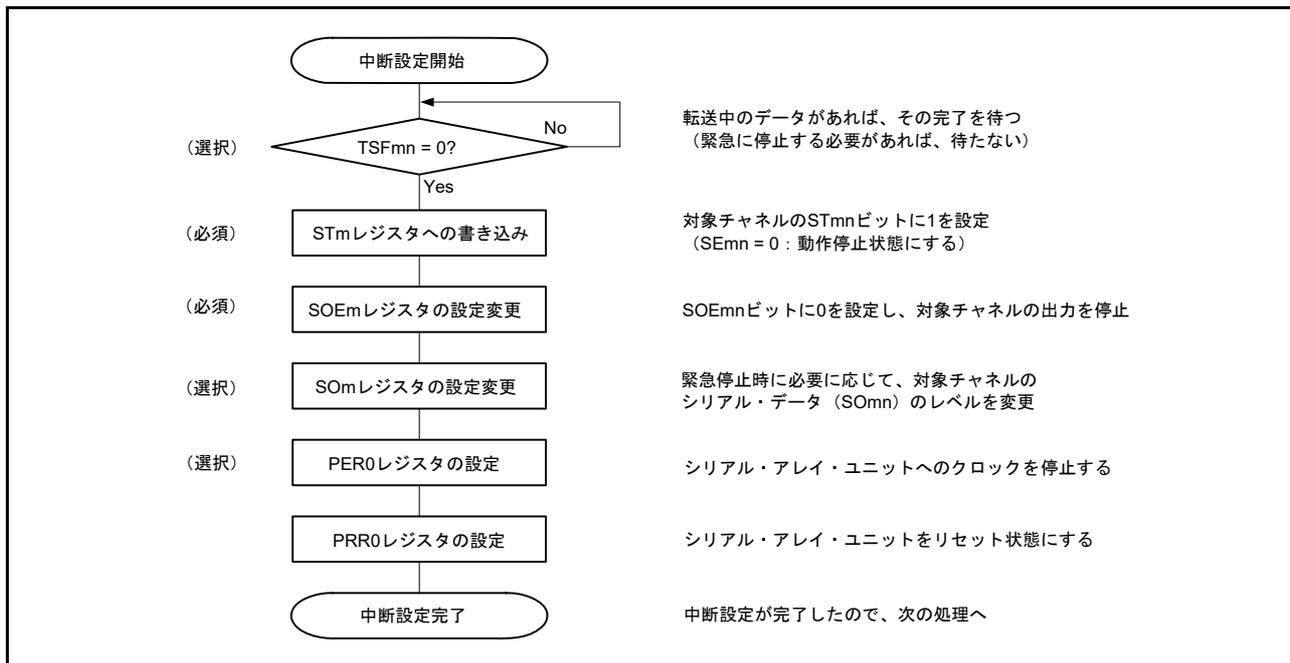
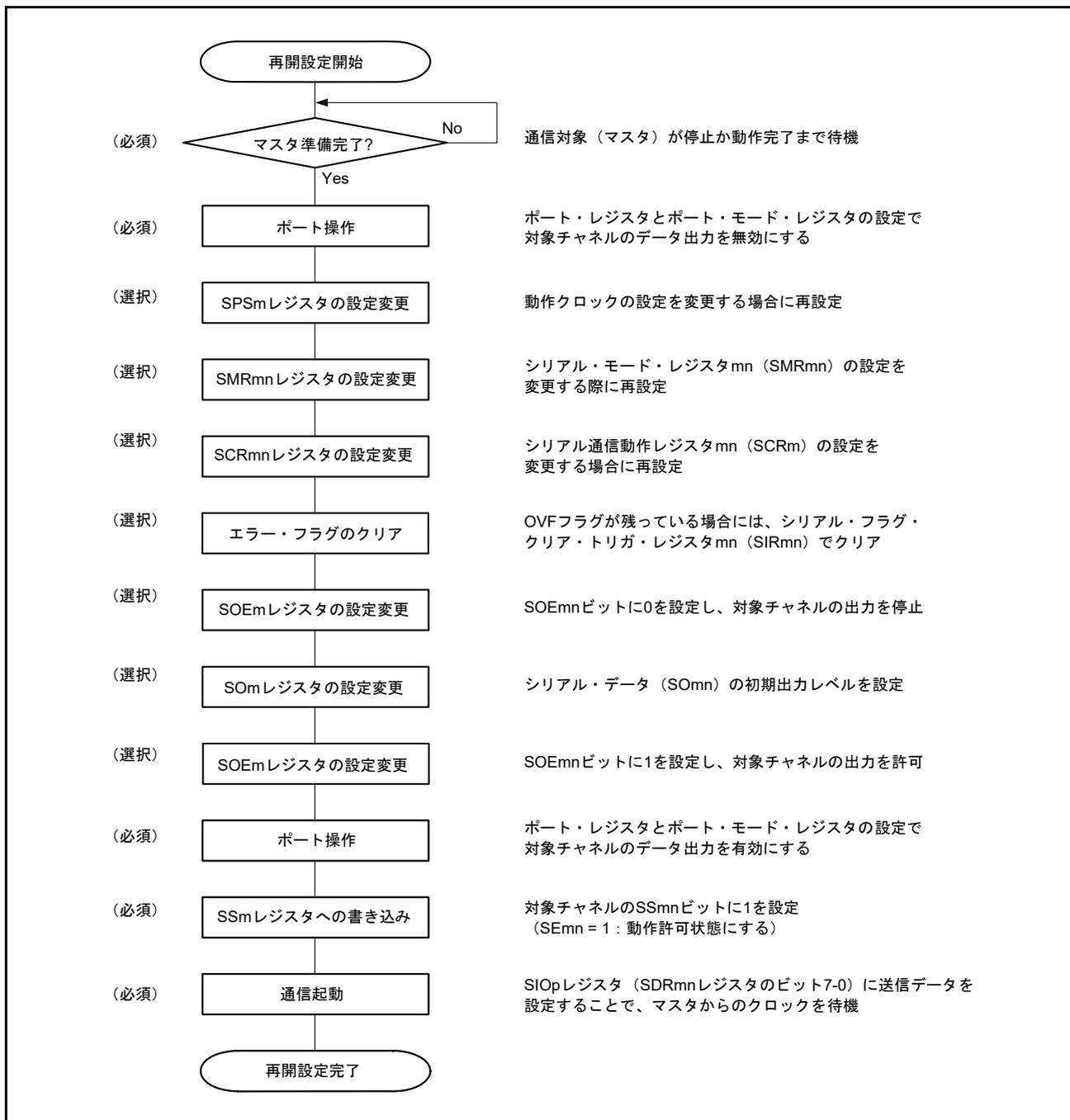


図 15 - 67 スレーブ送受信の再開設定手順

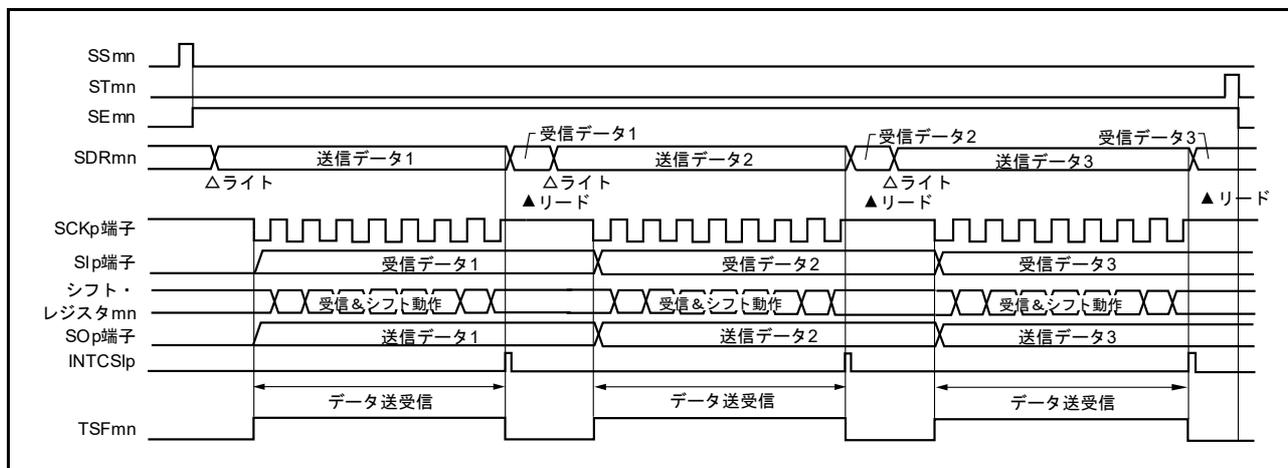


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象 (マスタ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

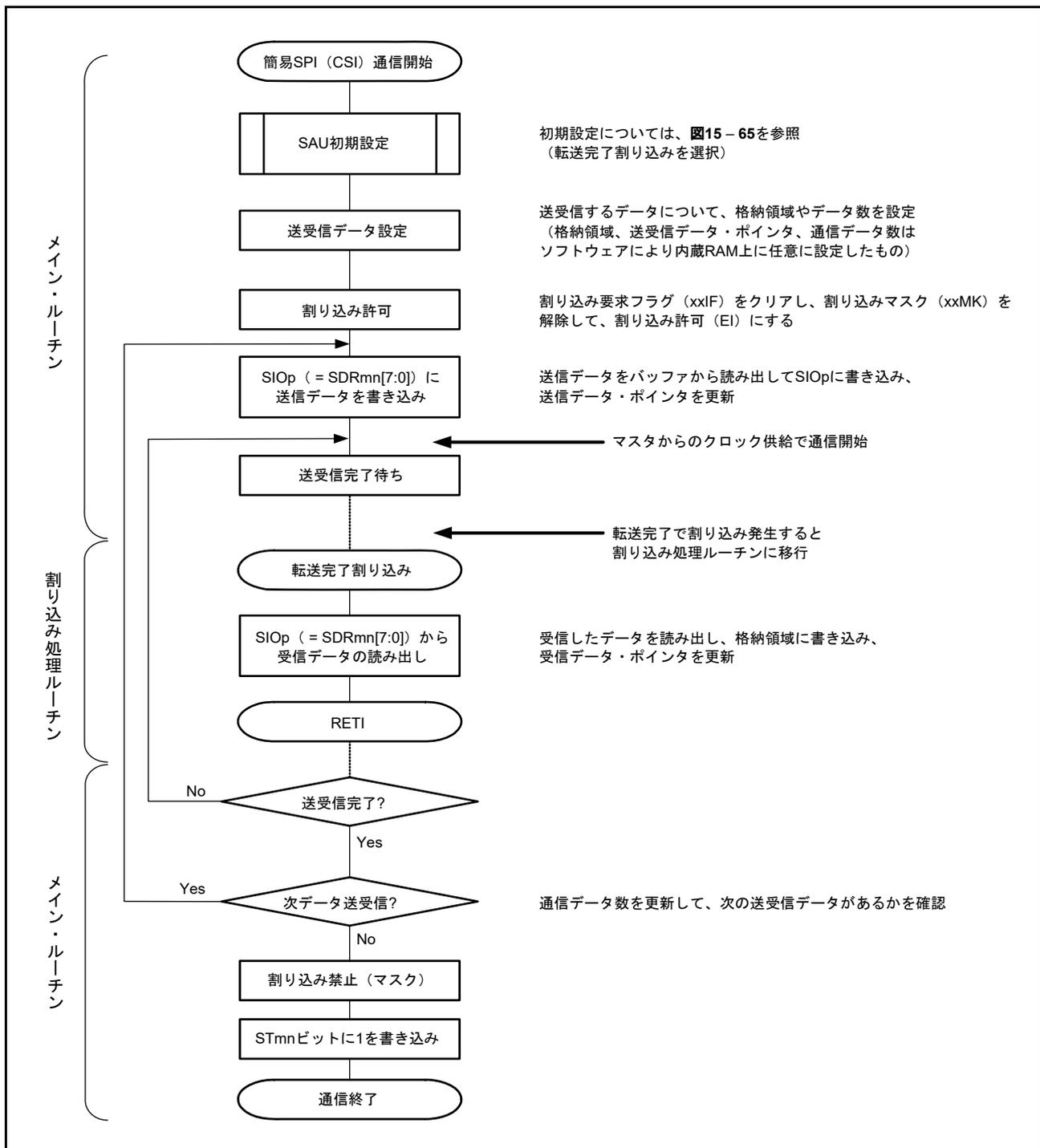
(3) 処理フロー (シングル送受信モード時)

図15-68 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

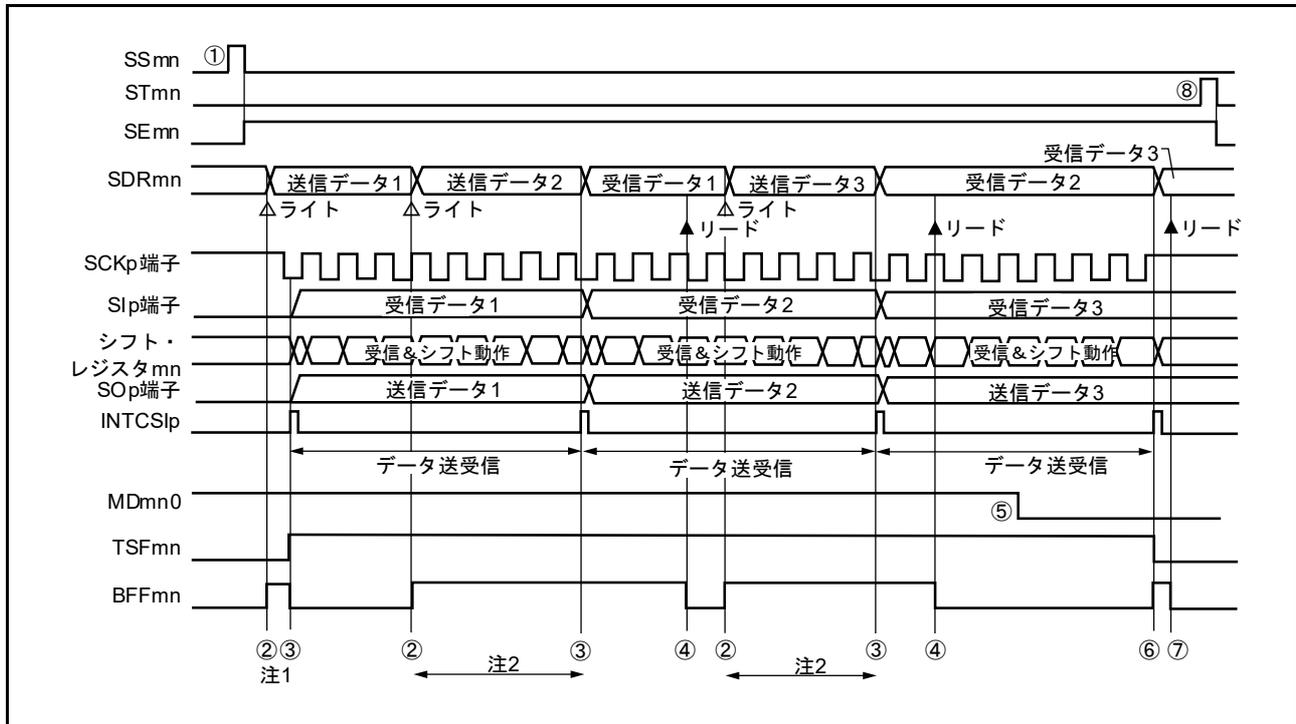
図15-69 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



**注意** マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図15-70 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



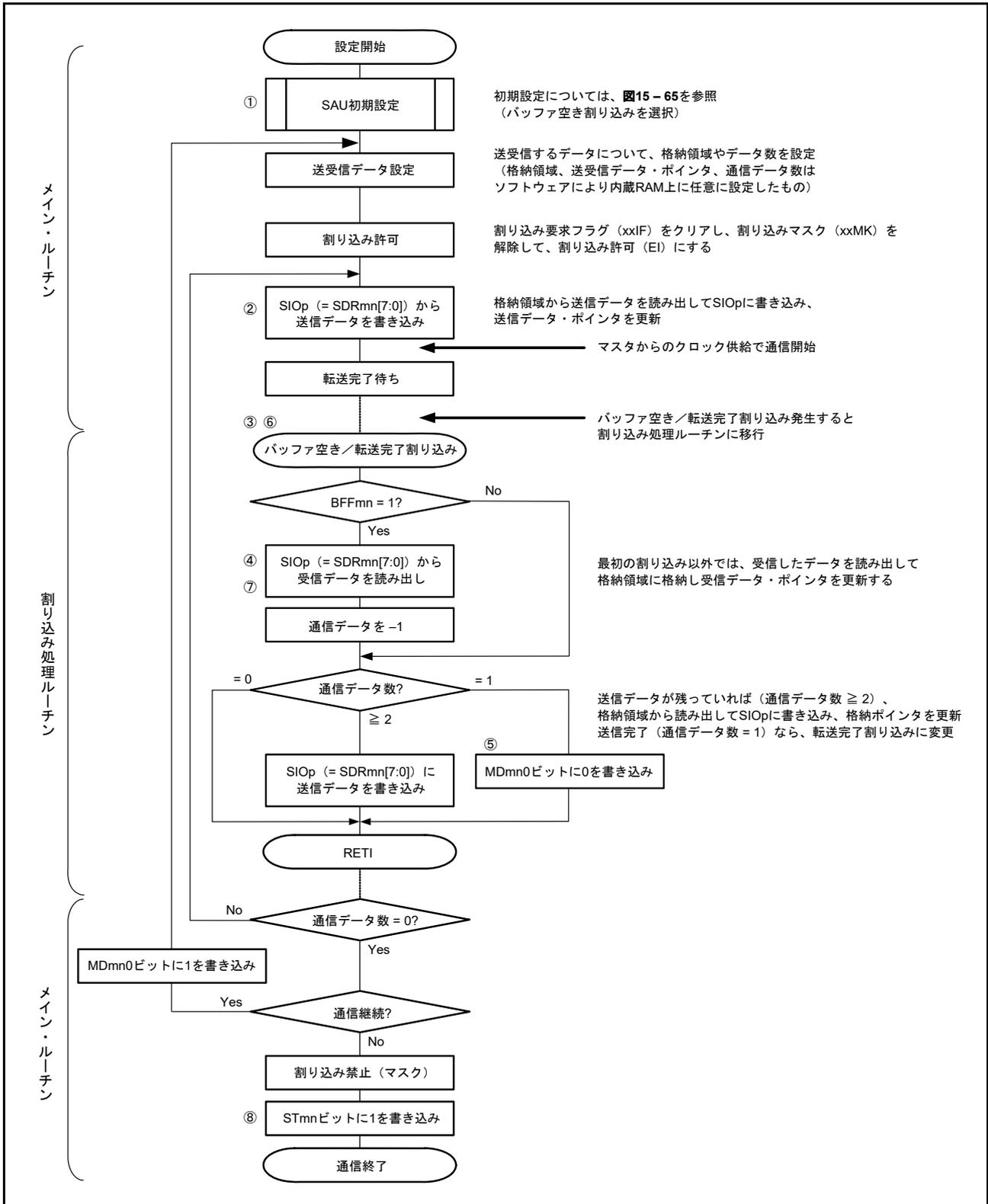
- 注1. シリアル・ステータス・レジスタ mn (SSRmn) のBFFmnビットが1の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

**注意** シリアル・モード・レジスタ mn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

**備考1.** 図中の①～⑧は、図15-71 スレーブ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。

**備考2.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

図15-71 スレーブ送受信 (連続送受信モード時) のフロー・チャート



**注意** マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

**備考** 図中の①~⑧は、**図15-70** スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0) の①~⑧に対応しています。

### 15.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI (CSI) の受信動作をさせるモードです。通常STOPモード時に簡易SPI (CSI) は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI (CSI) の受信動作を行うことができます。SNOOZEモードは、以下の簡易SPI (CSI) のみ設定可能です。

- 30～64ピン製品 : CSI00
- 80～128ピン製品 : CSI00, CSI20

簡易SPI (CSI) をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図15-73、図15-75 SNOOZEモード動作(連続起動)時のフロー・チャートを参照)

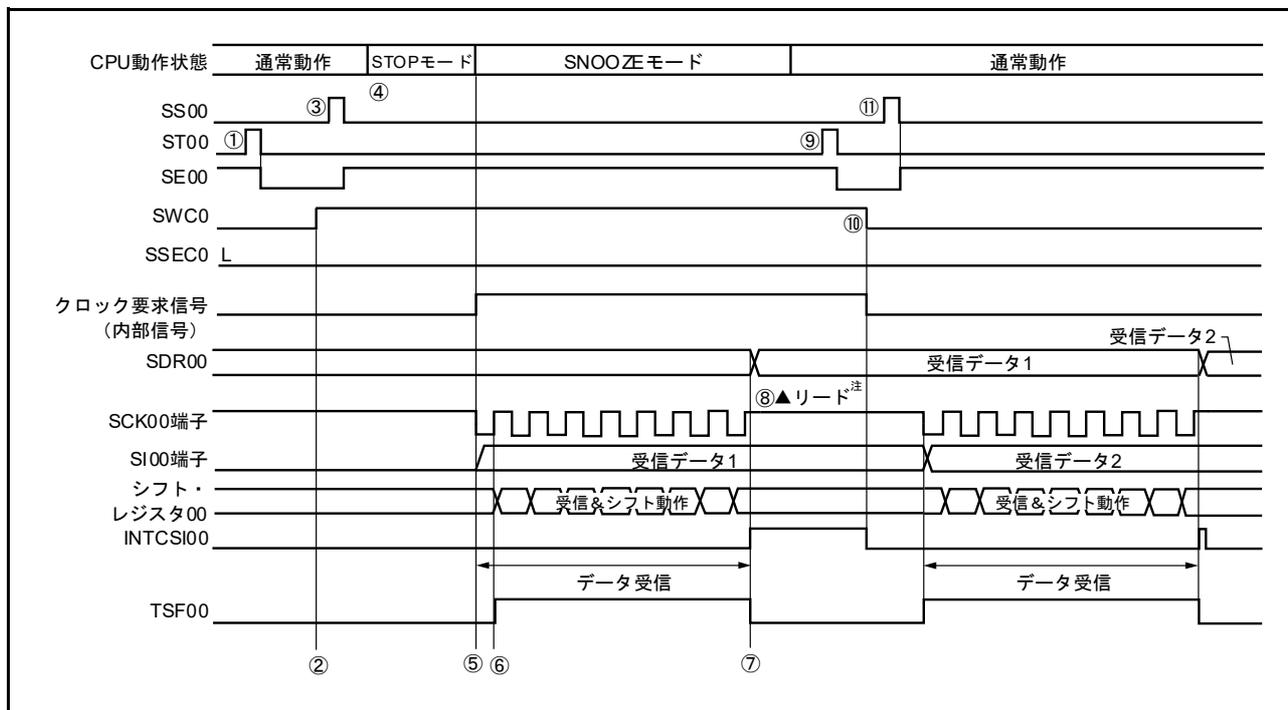
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm0ビットをセット(1)します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

**注意1.** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

**注意2.** SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図15-72 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

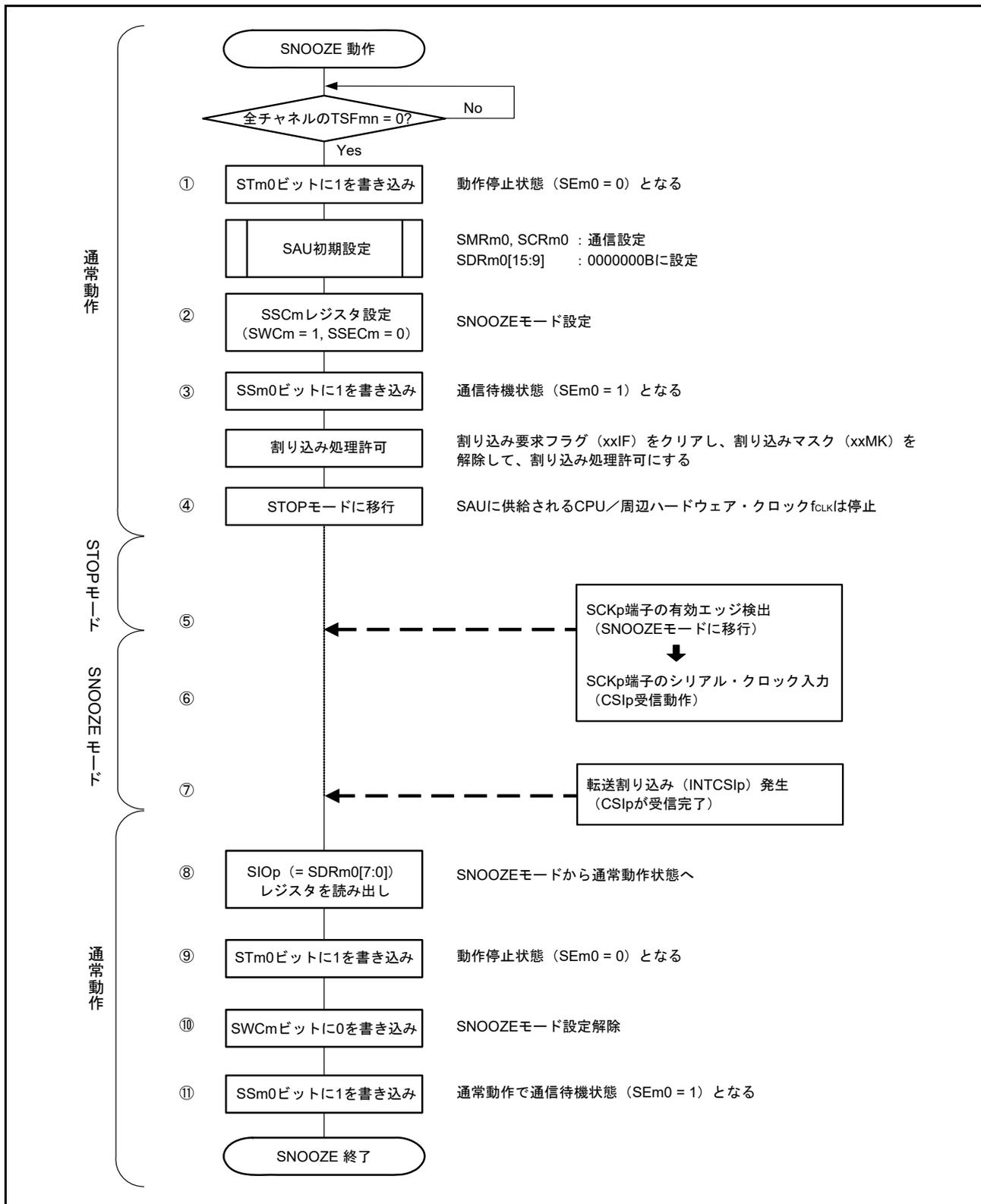
注意2. SWCm = 1のときは、BFFm0, OVFM0フラグは動作しません。

備考1. 図中の①~⑪は、図15-73 SNOOZEモード動作 (1回起動) 時のフロー・チャートの①~⑪に対応しています。

備考2. 30~64ピン製品 : m = 0; p = 00

80~128ピン製品 : m = 0, 1; p = 00, 20

図15-73 SNOOZEモード動作 (1回起動) 時のフロー・チャート



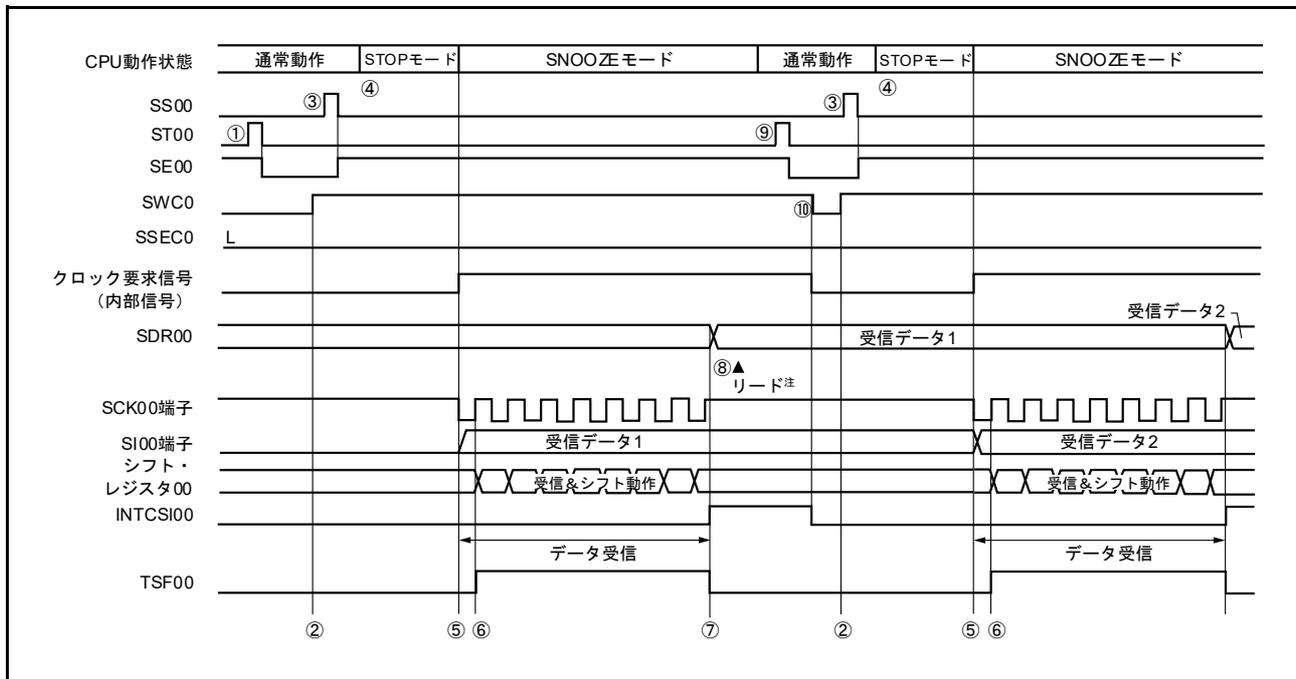
備考1. 図中の①～⑪は、図15-72 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑪に対応しています。

備考2. 30～64ピン製品 : m = 0; p = 00

80～128ピン製品 : m = 0, 1; p = 00, 20

(2) SNOOZEモード動作 (連続起動)

図15-74 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

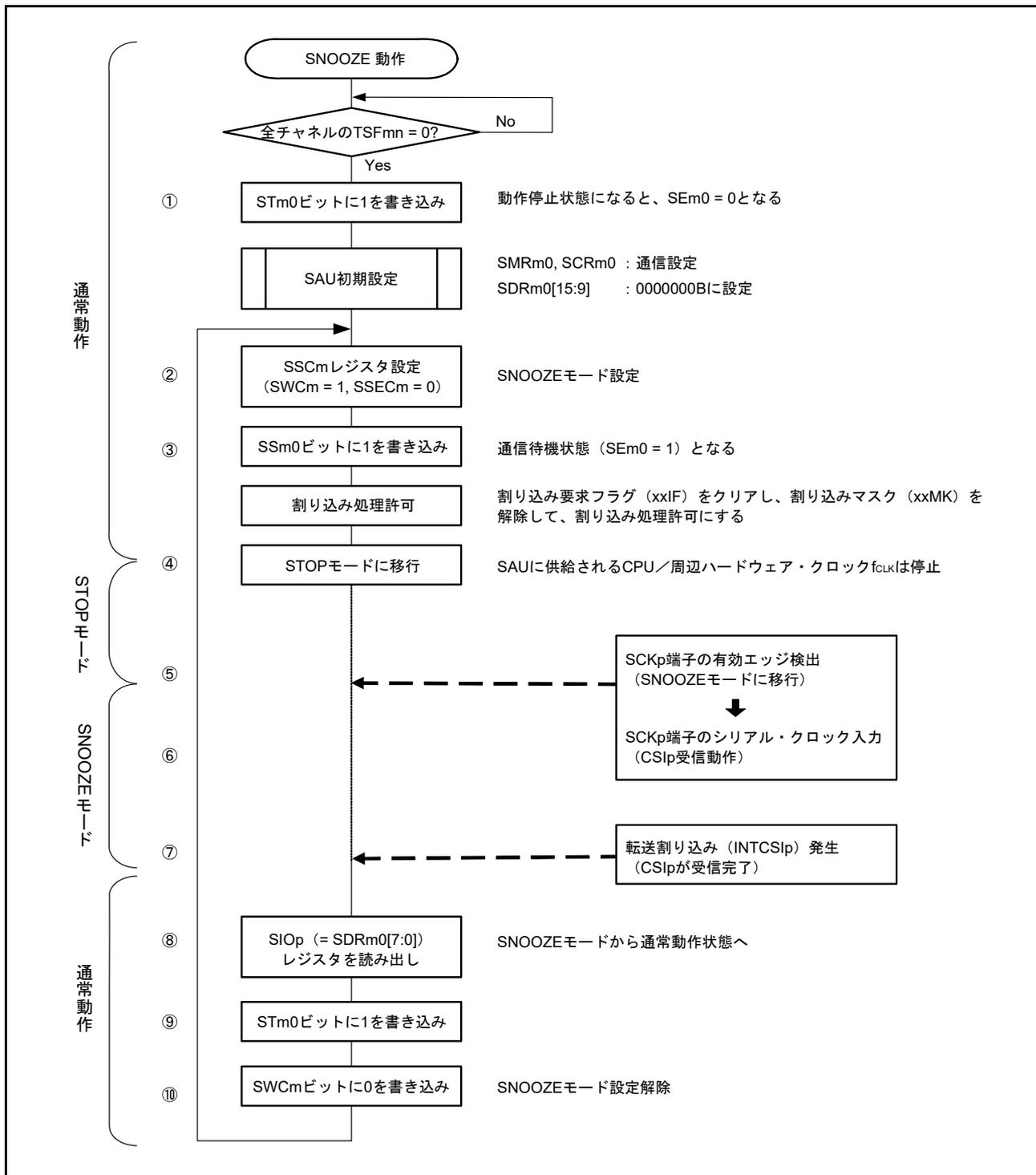
注意2. SWCm = 1のときは、BFFm0、OVFm0フラグは動作しません。

備考1. 図中の①～⑩は、図15-75 SNOOZEモード動作 (連続起動) 時のフロー・チャートの①～⑩に対応しています。

備考2. 30～64ピン製品 : m = 0; p = 00

80～128ピン製品 : m = 0, 1; p = 00, 20

図15-75 SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. 図中の①～⑩は、図15-74 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）の①～⑩に対応しています。

備考2. 30～64ピン製品 : m = 0; p = 00  
 80～128ピン製品 : m = 0, 1; p = 00, 20

## 15.5.8 転送クロック周波数の算出

簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信での転送クロック周波数は下記の計算式にて算出できます。

## (1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{Hz}]$$

## (2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注} [\text{Hz}]$$

**注** ただし、許容最大転送クロック周波数はfMCK/6となります。

**備考** SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn) のビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット15 (CKSmn) で決まります。

表15-3 簡易SPI動作クロックの選択 (1/2)

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時	
0	x	x	x	x	0	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	0	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	0	fCLK/2 <sup>2</sup>	8 MHz
	x	x	x	x	0	0	1	1	0	fCLK/2 <sup>3</sup>	4 MHz
	x	x	x	x	0	1	0	0	0	fCLK/2 <sup>4</sup>	2 MHz
	x	x	x	x	0	1	0	1	0	fCLK/2 <sup>5</sup>	1 MHz
	x	x	x	x	0	1	1	0	0	fCLK/2 <sup>6</sup>	500 kHz
	x	x	x	x	0	1	1	1	0	fCLK/2 <sup>7</sup>	250 kHz
	x	x	x	x	1	0	0	0	0	fCLK/2 <sup>8</sup>	125 kHz
	x	x	x	x	1	0	0	1	0	fCLK/2 <sup>9</sup>	62.5 kHz
	x	x	x	x	1	0	1	0	0	fCLK/2 <sup>10</sup>	31.25 kHz
	x	x	x	x	1	0	1	1	0	fCLK/2 <sup>11</sup>	15.63 kHz
	x	x	x	x	1	1	0	0	0	fCLK/2 <sup>12</sup>	7.81 kHz
	x	x	x	x	1	1	0	1	0	fCLK/2 <sup>13</sup>	3.91 kHz
	x	x	x	x	1	1	1	0	0	fCLK/2 <sup>14</sup>	1.95 kHz
x	x	x	x	1	1	1	1	0	fCLK/2 <sup>15</sup>	977 Hz	

表15-3 簡易SPI動作クロックの選択 (2/2)

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 <sup>2</sup>	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 <sup>3</sup>	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 <sup>4</sup>	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 <sup>5</sup>	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 <sup>6</sup>	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 <sup>7</sup>	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 <sup>8</sup>	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 <sup>9</sup>	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 <sup>10</sup>	31.25 kHz
	1	0	1	1	x	x	x	x	fCLK/2 <sup>11</sup>	15.63 kHz
	1	1	0	0	x	x	x	x	fCLK/2 <sup>12</sup>	7.81 kHz
	1	1	0	1	x	x	x	x	fCLK/2 <sup>13</sup>	3.91 kHz
1	1	1	0	x	x	x	x	fCLK/2 <sup>14</sup>	1.95 kHz	
1	1	1	1	x	x	x	x	fCLK/2 <sup>15</sup>	977 Hz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

備考1. x : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

### 15.5.9 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信時にエラーが発生した場合の処理手順を表15-4に示します。

表15-4 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	→ SSRmnレジスタのBFFmnビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に1をライトする	→ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

**備考** m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

シリアル・アレイ・ユニット0のチャンネル0,1のシリアル・データ出力 (SO00, SO01)、シリアル・クロック出力 (SCK00, SCK01) はロジック&イベント・リンク・コントローラ (ELCL) の入力として選択可能です。ELCLのイベント入力として使用し、SO0m 端子、SCK0m 端子に出力させたくない場合には、ポート・ファンクション出力許可レジスタ0 (PFOE0) の対応するビットを0に設定する必要があります。詳細は **4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx)** を参照してください。

## 15.6 UART (UART0-UART3) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボーレートを使用して)、データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重調歩同期 UART 通信が実現できます。また、UART2 とタイマ・アレイ・ユニット0 (チャネル7) と外部割り込み (INTP0) を組み合わせて LIN-bus にも対応可能です。

### [データ送受信]

- 7, 8, 9ビットのデータ長注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定 (レベルを、反転するかどうかの選択)
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加、ストップ・ビット・チェック機能

### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

### [エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、以下の UART の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

- 30～64ピン製品 : UART0
- 80～128ピン製品 : UART0, UART2

UART2 (ユニット1のチャネル0, 1) は、LIN-bus に対応しています (30～128ピン製品のみ)。

### [LIN-bus機能]

- |  |   |  |
|--|---|--|
| <ul style="list-style-type: none"> <li>• ウェイクアップ信号検出</li> <li>• ブレーク・フィールド (BF) 検出</li> <li>• シンク・フィールド測定、ボーレート算出</li> </ul> | } | 外部割り込み (INTP0)、<br>タイマ・アレイ・ユニット0 (チャネル7) を使用 |
|--|---|--|

**注** 9ビット・データ長は、以下の UART のみ対応しています。

- 30～64ピン製品 : UART0
- 80～128ピン製品 : UART0, UART2

fCLKに中速オンチップ・オシレータ・クロック (fIM) もしくは低速オンチップ・オシレータ・クロック (fIL) を選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) もしくは低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) を使用して発振周波数精度の補正を行ってください。

- UART0では、SAU0のチャンネル0, 1を使用します。
- UART1では、SAU0のチャンネル2, 3を使用します。
- UART2では、SAU1のチャンネル0, 1を使用します。
- UART3では、SAU1のチャンネル2, 3を使用します。

<30, 32ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	—		—

<36, 40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 64ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 80, 100, 128ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

各チャンネルはどれか1つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

**注意** UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信 (15.6.1項を参照)
- UART受信 (15.6.2項を参照)
- LIN送信 (UART2のみ) (15.7.1項を参照)
- LIN受信 (UART2のみ) (15.7.2項を参照)

### 15.6.1 UART送信

UART 送信は、RL78 マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。UART 送信では、その UART に使用する 2 チャンネルのうち、偶数チャンネルの方を使用します。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビットまたは9ビット <sup>注1</sup>			
転送レート <sup>注2</sup>	Max. $f_{MCK}/6$ [bps] (SDR <sub>mn</sub> [15:9] = 2以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> <li>• パリティ・ビットなし</li> <li>• 0パリティ・ビット付加</li> <li>• 偶数パリティ付加</li> <li>• 奇数パリティ付加</li> </ul>			
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> <li>• 1ビット付加</li> <li>• 2ビット付加</li> </ul>			
データ方向	MSB ファーストまたはLSB ファースト			

**注1.** 9ビット・データ長は、以下のUARTのみ対応しています。

- 30～64ピン製品 : UART0
- 80～128ピン製品 : UART0, UART2

**注2.** この条件を満たし、かつ電気的特性の周辺機能特性（**第37章 電気的特性参照**）を満たす範囲内で使用してください。

**備考1.**  $f_{MCK}$  : 対象チャンネルの動作クロック周波数

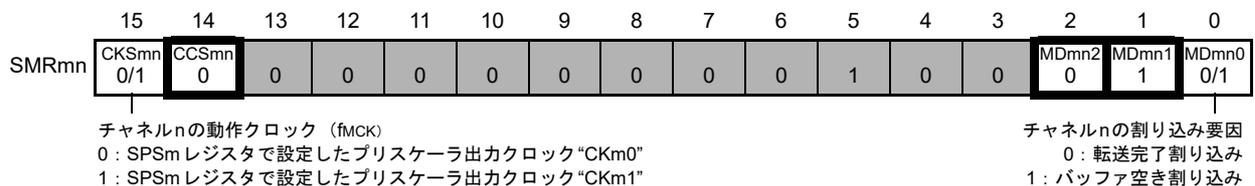
$f_{CLK}$  : システム・クロック周波数

**備考2.**  $m$  : ユニット番号 ( $m = 0, 1$ )  $n$  : チャンネル番号 ( $n = 0, 2$ )、 $mn = 00, 02, 10, 12$

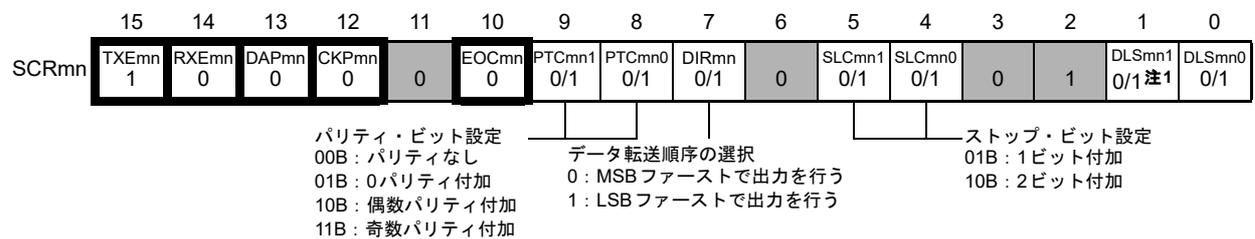
(1) レジスタ設定

図15-76 UART (UART0-UART3) のUART送信時のレジスタ設定内容例

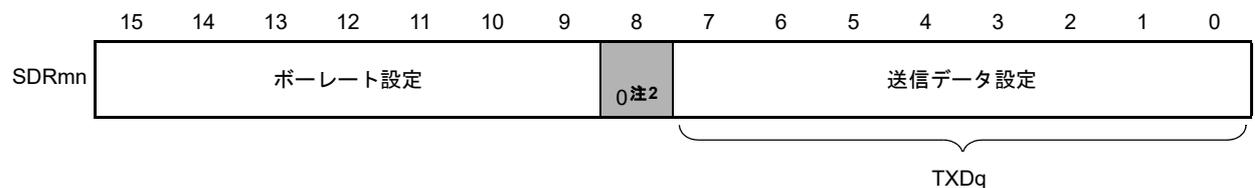
(a) シリアル・モード・レジスタ mn (SMRmn)



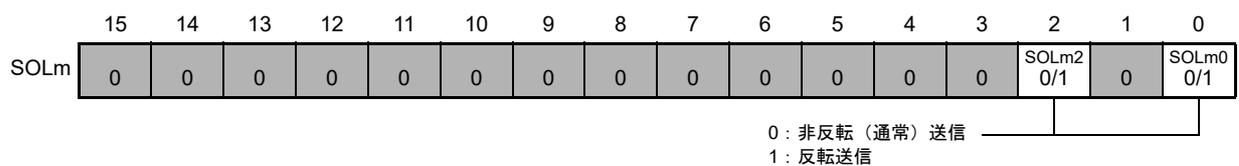
(b) シリアル通信動作設定レジスタ mn (SCRmn)



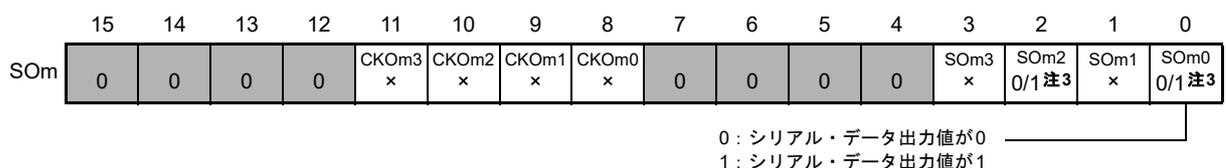
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: TXDq)



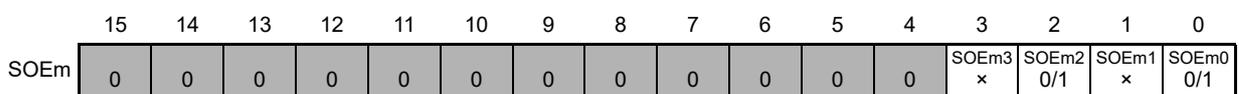
(d) シリアル出力レベル・レジスタ m (SOLm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(f) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1に設定する



(注、備考は次ページに続きます)

(g) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 x	SSm2 0/1	SSm1 x	SSm0 0/1

- 注1.** SCR00レジスタと、80～128ピン製品のSCR10レジスタのみ。その他は1固定になります。
- 注2.** 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。  
9ビット・データ長での通信が行えるのは、以下のUARTのみです。
- ・ 30～64ピン製品 : UART0
  - ・ 80～128ピン製品 : UART0, UART2
- 注3.** 該当するチャンネルのSOLmnビットに0を設定している場合は1に、SOLmnビットに1を設定している場合は0を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

**備考1.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART番号 (q = 0-3)、mn = 00, 02, 10, 12

**備考2.**  : UART送信モードでは設定固定  : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 77 UART 送信の初期設定手順

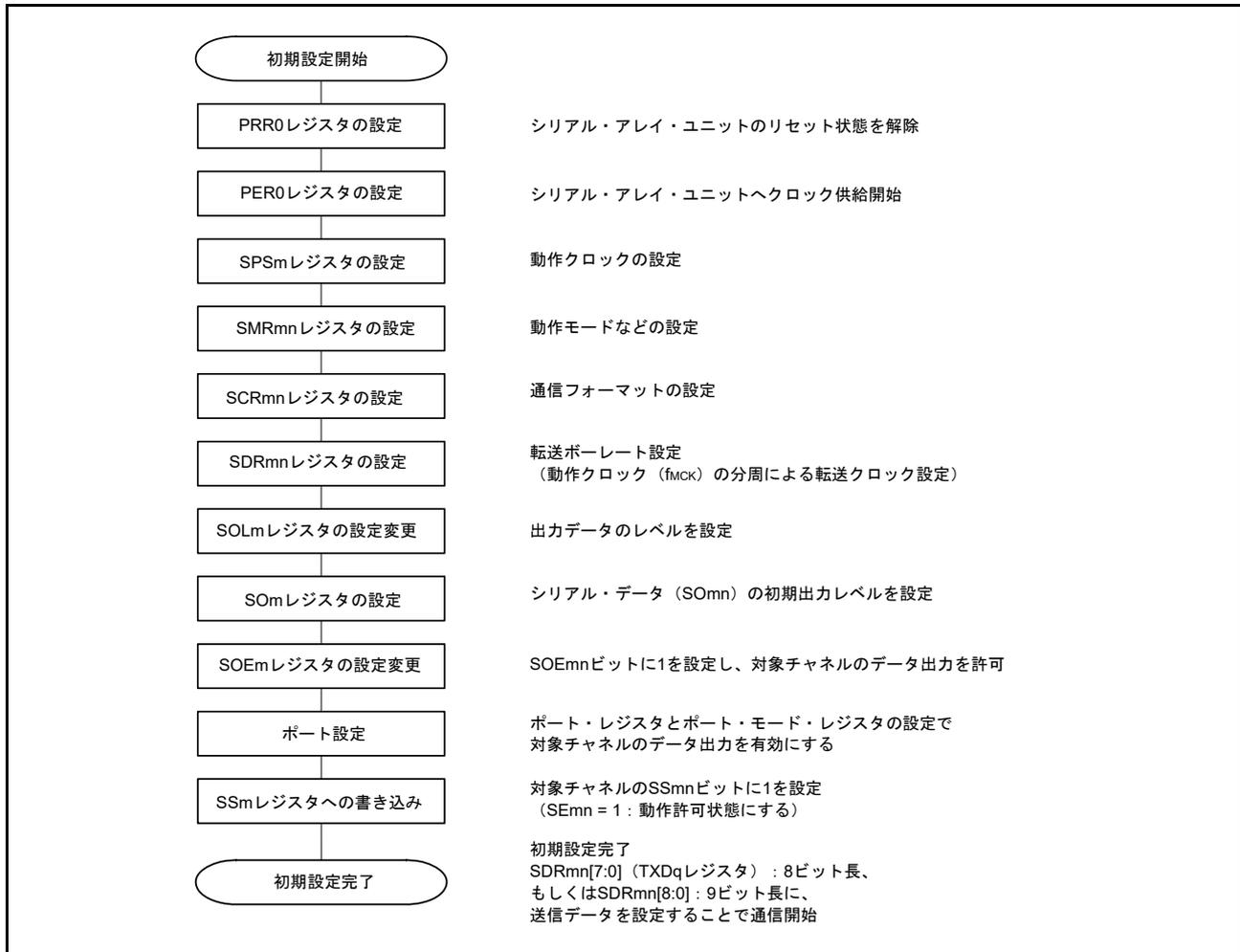


図 15 - 78 UART 送信の中断手順

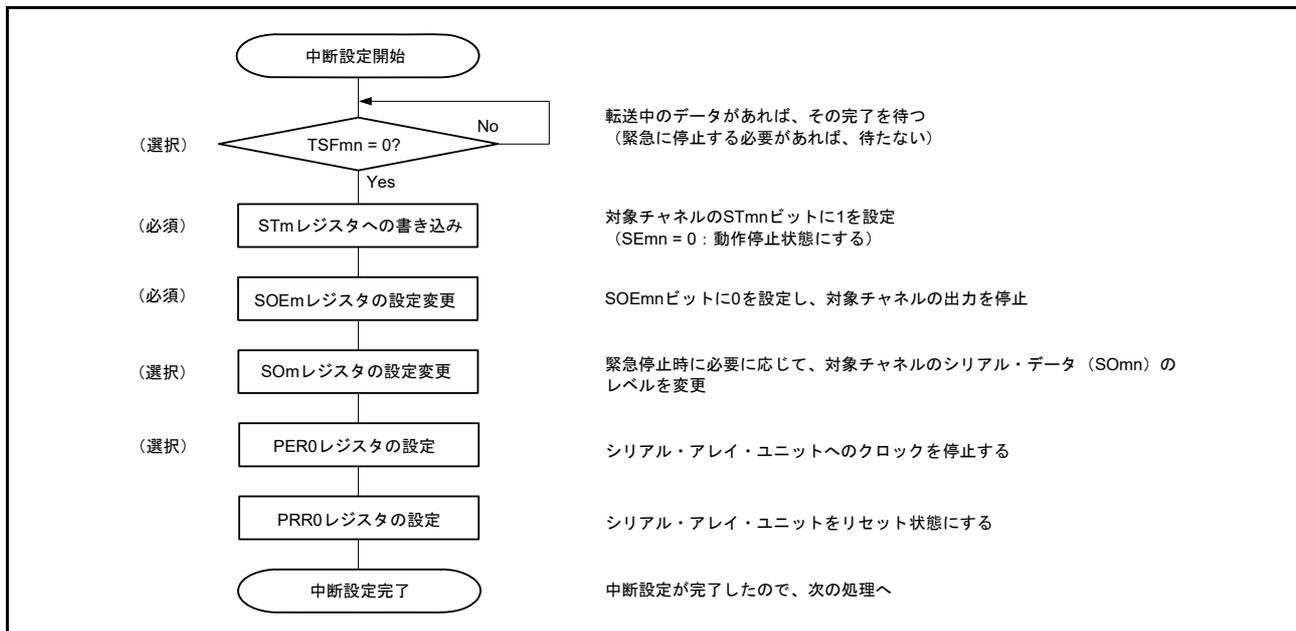
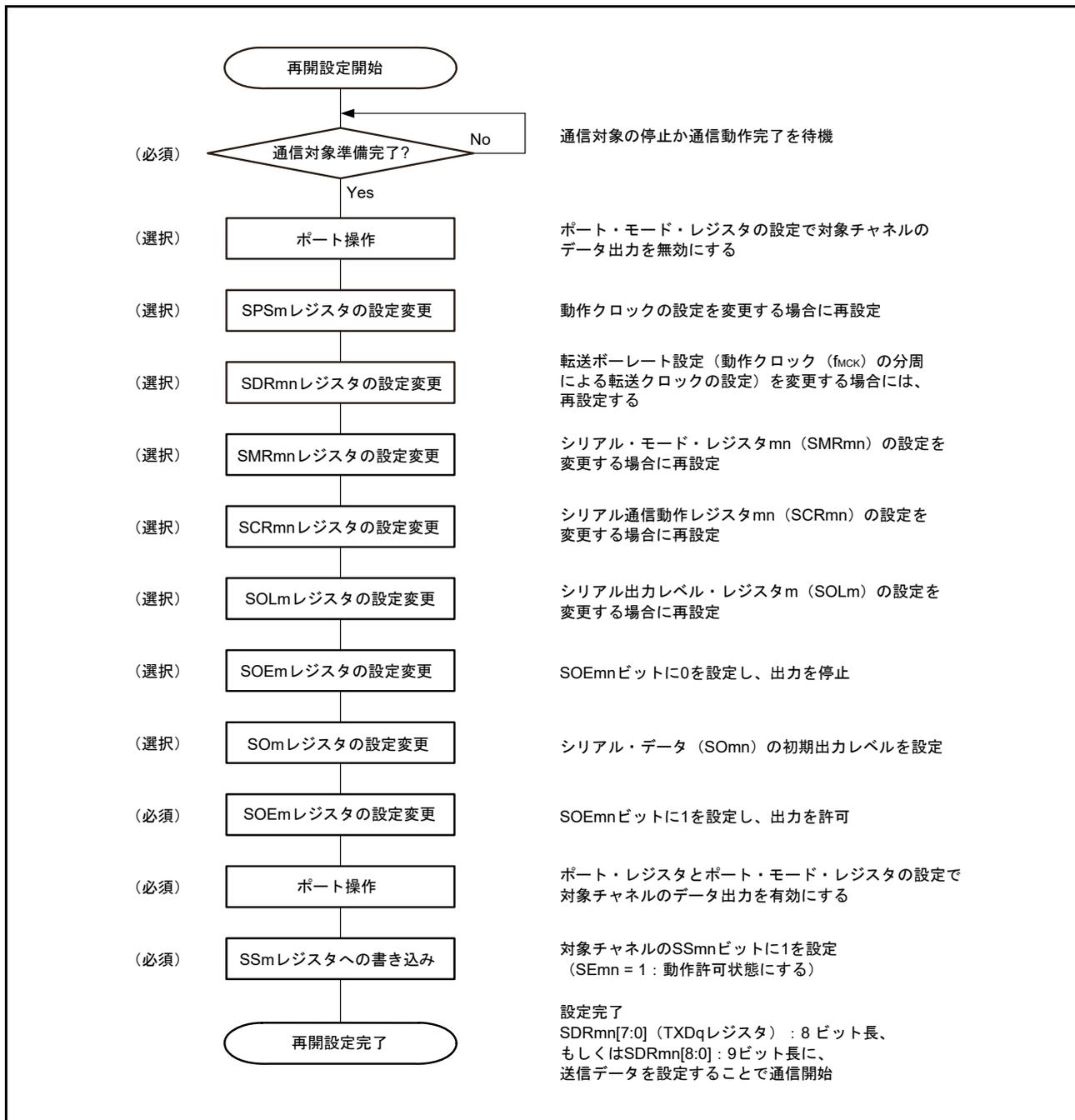


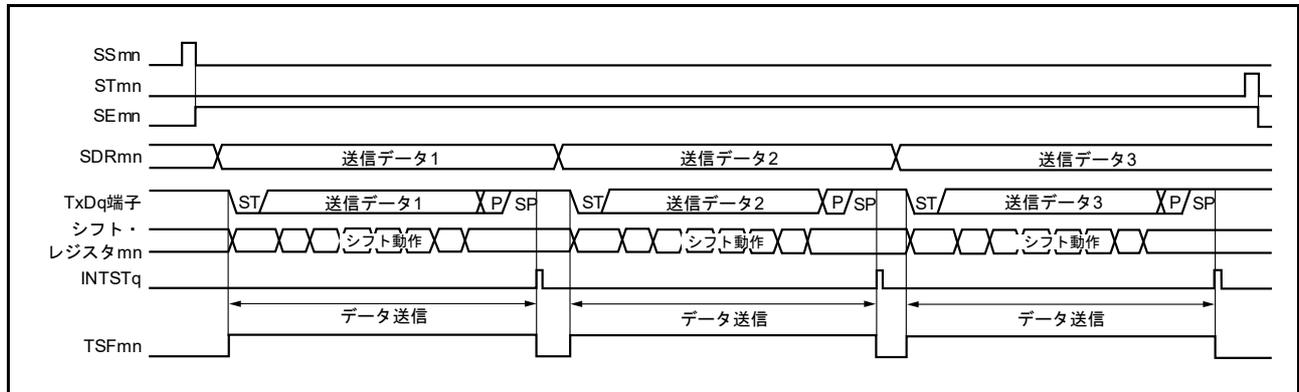
図 15 - 79 UART 送信の再開設定手順



**備考** 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

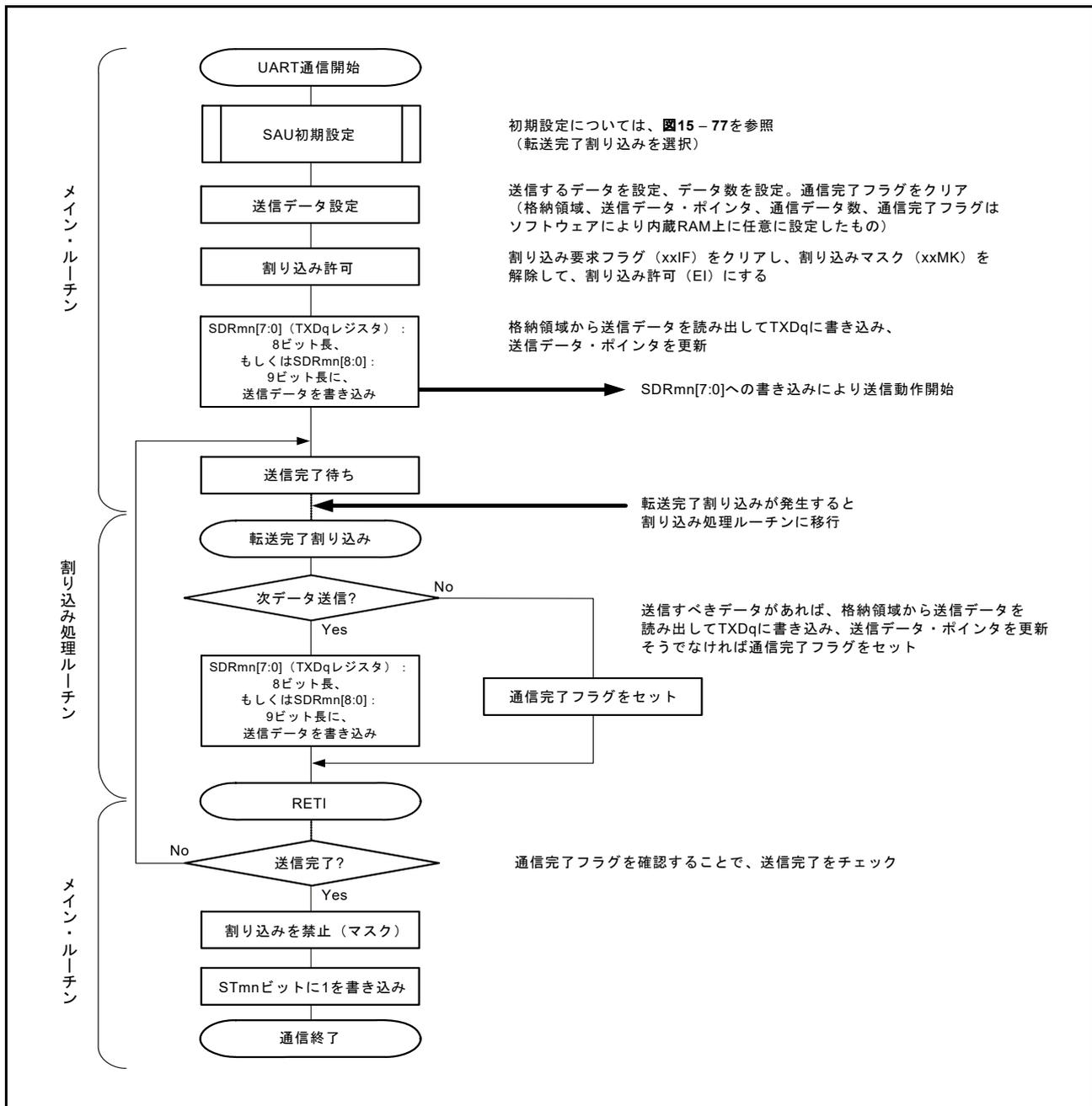
(3) 処理フロー (シングル送信モード時)

図15-80 UART送信 (シングル送信モード時) のタイミング・チャート



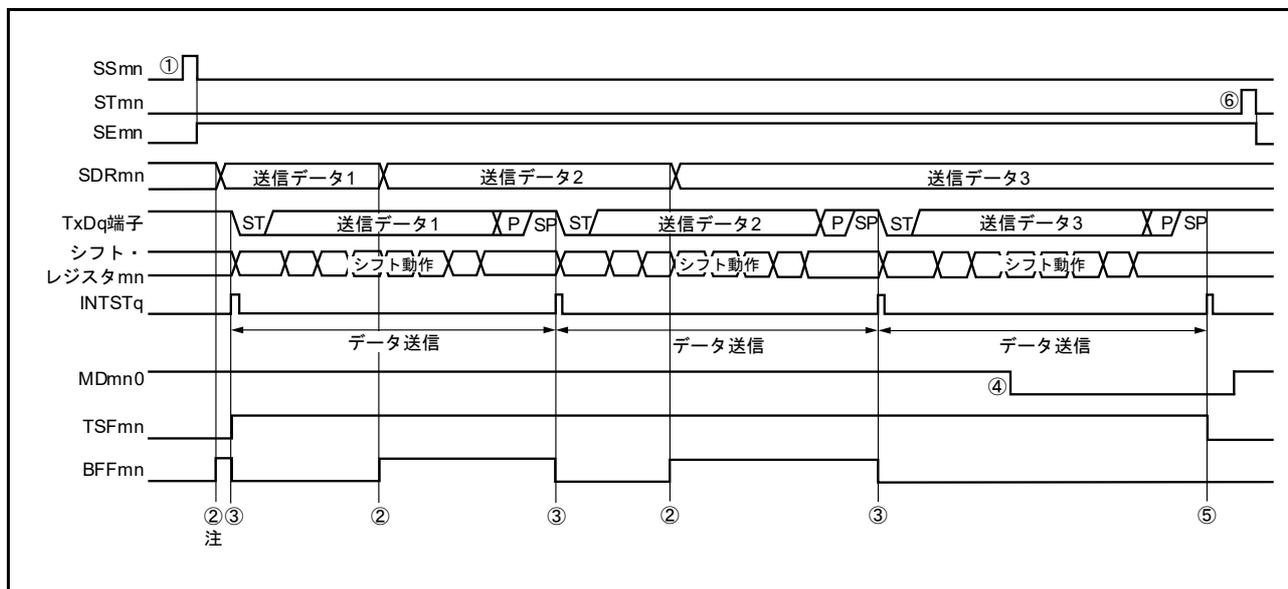
**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3)  
 mn = 00, 02, 10, 12

図15-81 UART送信 (シングル送信モード時) のフロー・チャート



(4) 処理フロー (連続送信モード時)

図15-82 UART送信 (連続送信モード時) のタイミング・チャート

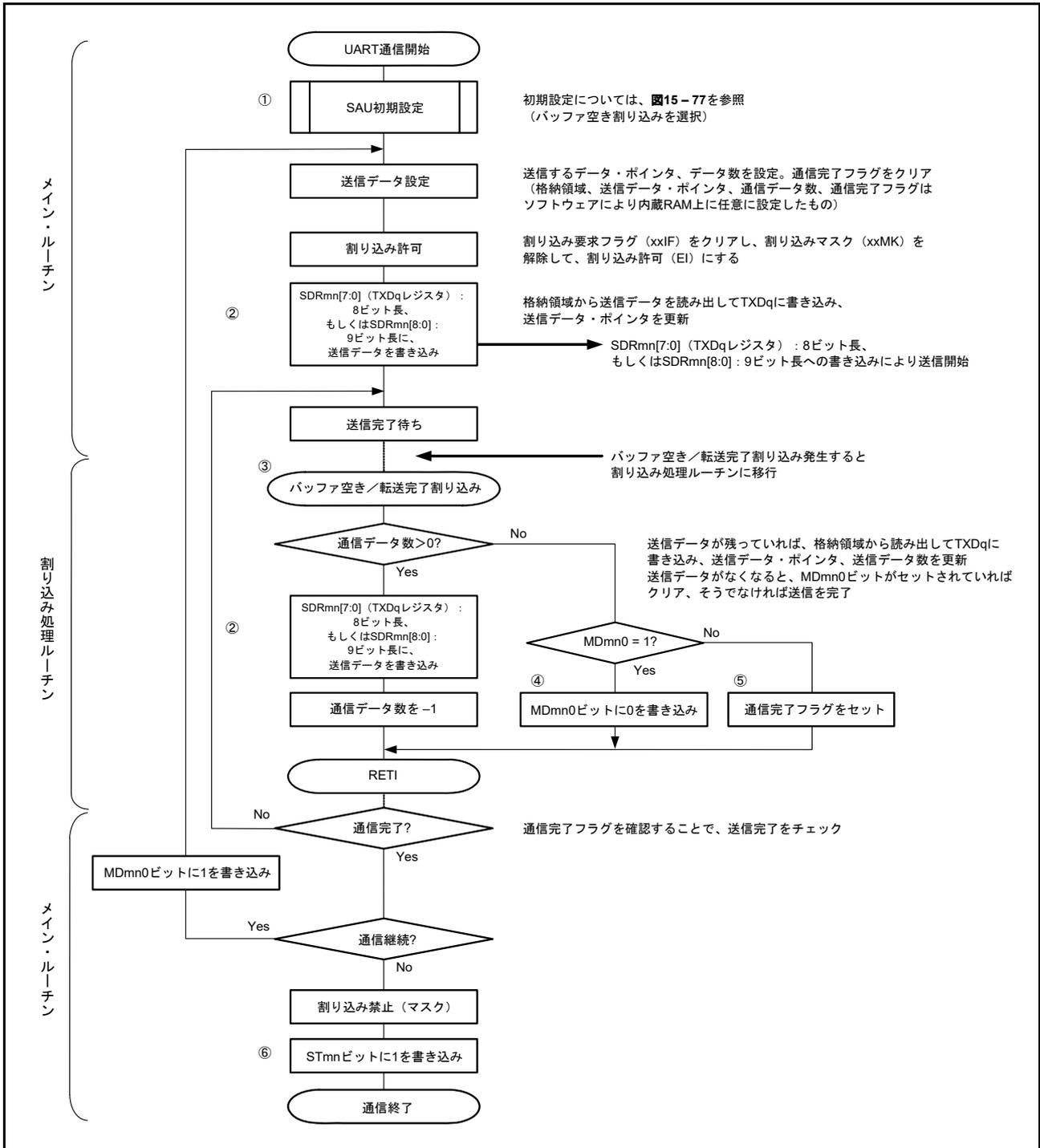


**注** シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

**注意** シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3)  
mn = 00, 02, 10, 12

図15-83 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、図15-82 UART送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

## 15.6.2 UART受信

UART受信は、他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTSR0	INTSR1	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> <li>• フレーミング・エラー検出フラグ (FEFmn)</li> <li>• パリティ・エラー検出フラグ (PEFmn)</li> <li>• オーバラン・エラー検出フラグ (OVFmn)</li> </ul>			
転送データ長	7ビットまたは8ビットまたは9ビット注1			
転送レート注2	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> <li>• パリティ・ビットなし（パリティ・チェックなし）</li> <li>• パリティ判定なし（0パリティ）</li> <li>• 偶数パリティ・チェック</li> <li>• 奇数パリティ・チェック</li> </ul>			
ストップ・ビット	1ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- 30～64ピン製品 : UART0のみ
- 80～128ピン製品 : UART0, UART2のみ

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考1.  $f_{MCK}$  : 対象チャンネルの動作クロック周波数

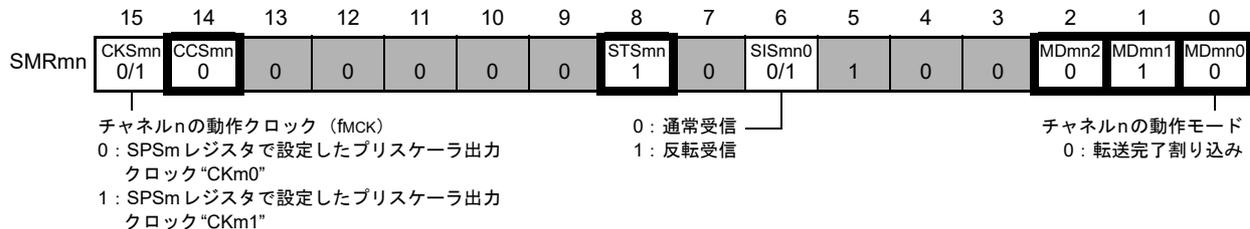
$f_{CLK}$  : システム・クロック周波数

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3)、mn = 01, 03, 11, 13

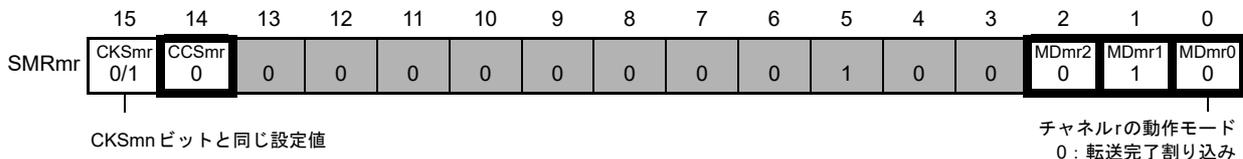
(1) レジスタ設定

図15-84 UART (UART0-UART3) のUART受信時のレジスタ設定内容例

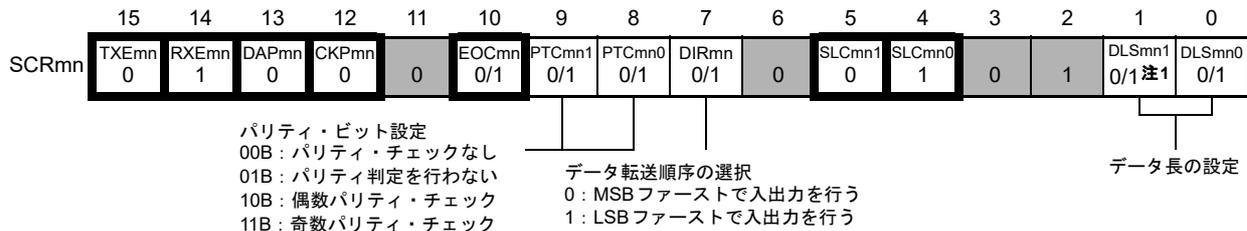
(a) シリアル・モード・レジスタ mn (SMRmn)



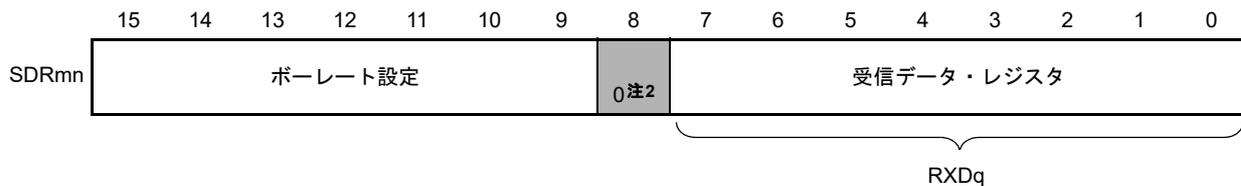
(b) シリアル・モード・レジスタ mr (SMRmr)



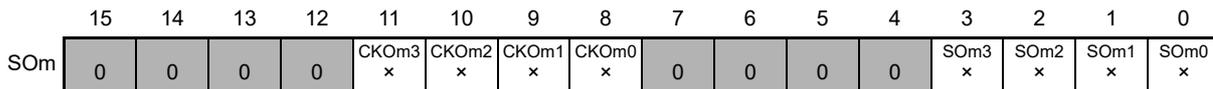
(c) シリアル通信動作設定レジスタ mn (SCRmn)



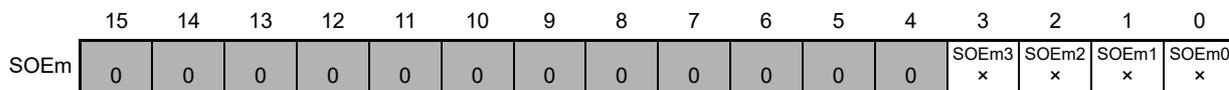
(d) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: RXDq)



(e) シリアル出力レジスタ m (SOm) : このモードでは使用しない



(f) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(注、注意、備考は次ページに続きます)

(g) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

- 注1.** SCR01レジスタと、80～128ピン製品のSCR11レジスタのみ。その他は1固定になります。
- 注2.** 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。  
9ビット・データ長での通信が行えるのは、以下のUARTのみです。
- 30～64ピン製品 : UART0
  - 80～128ピン製品 : UART0, UART2

**注意** UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

**備考1.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3)、mn = 01, 03, 11, 13

r : チャンネル番号 (r = n-1) q : UART番号 (q = 0-3)

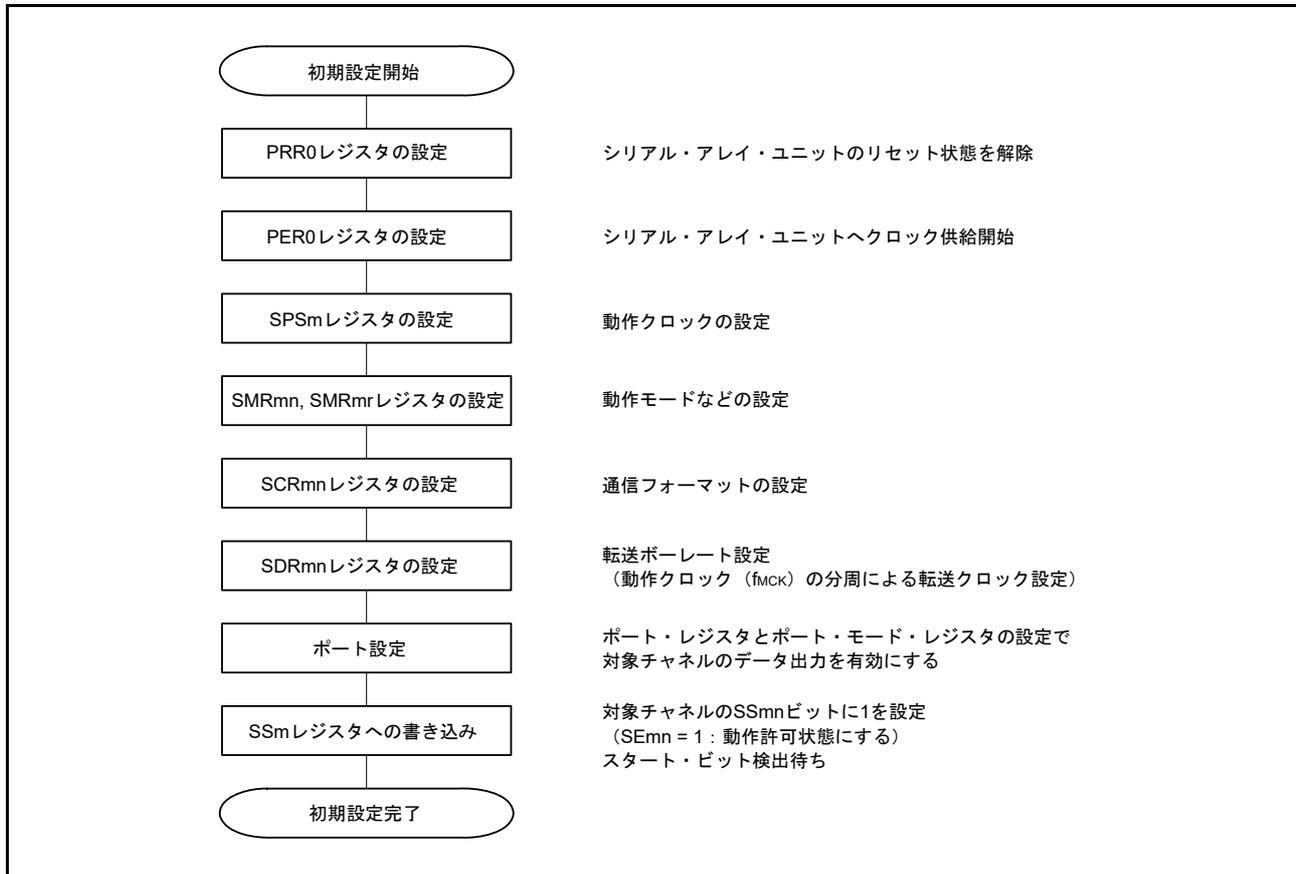
**備考2.**  : UART受信モードでは設定固定  : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 85 UART 受信の初期設定手順



**注意** SCRmnレジスタのRXEmnビットを1に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図 15 - 86 UART 受信の中断手順

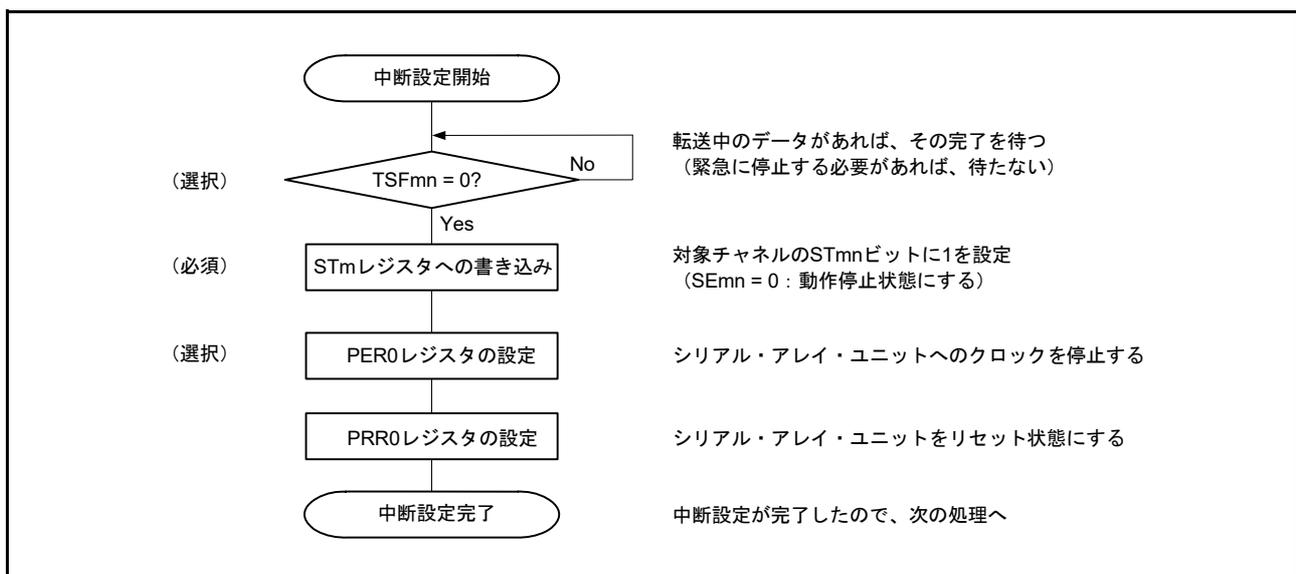
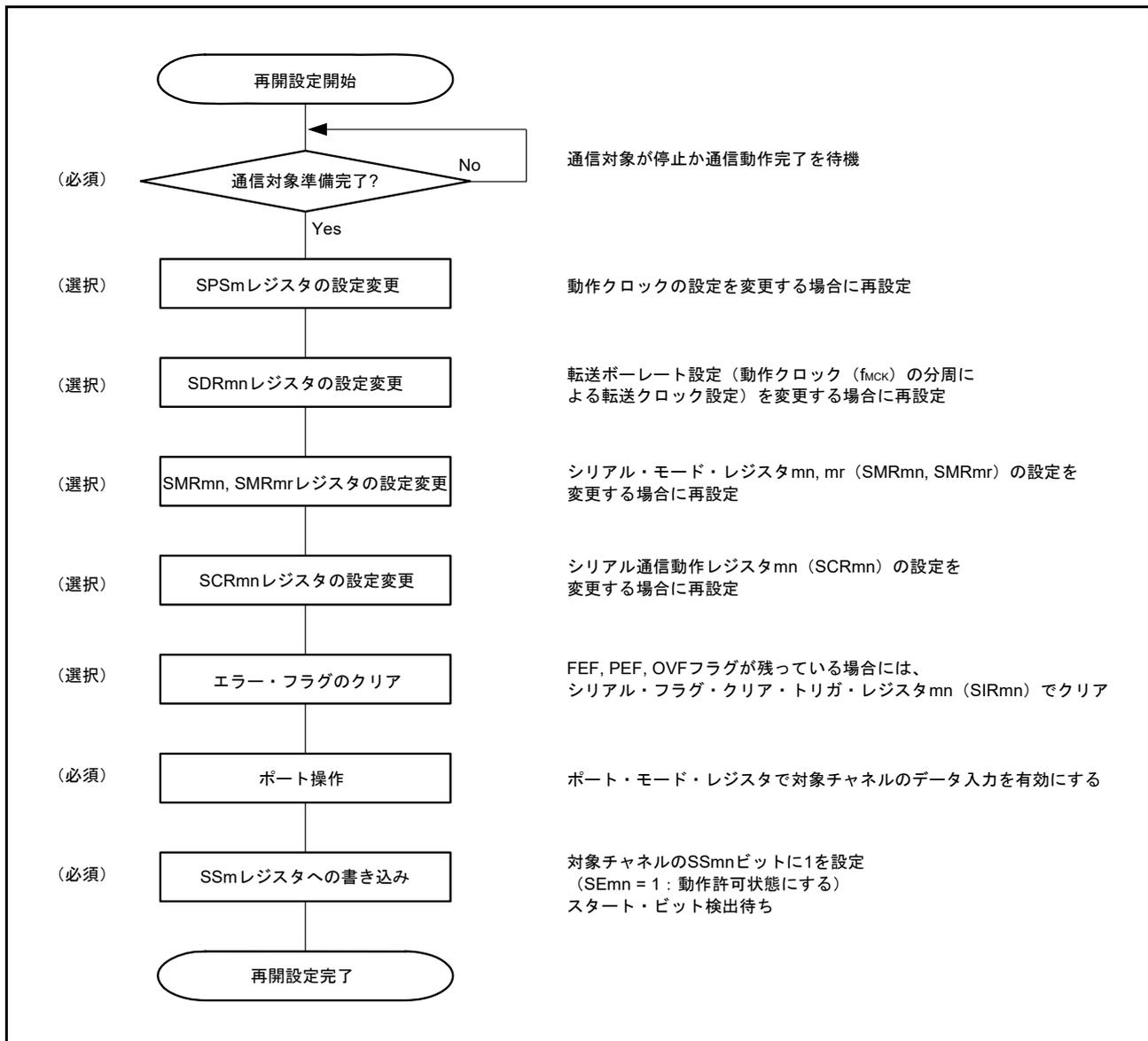


図 15 - 87 UART 受信の再開設定手順

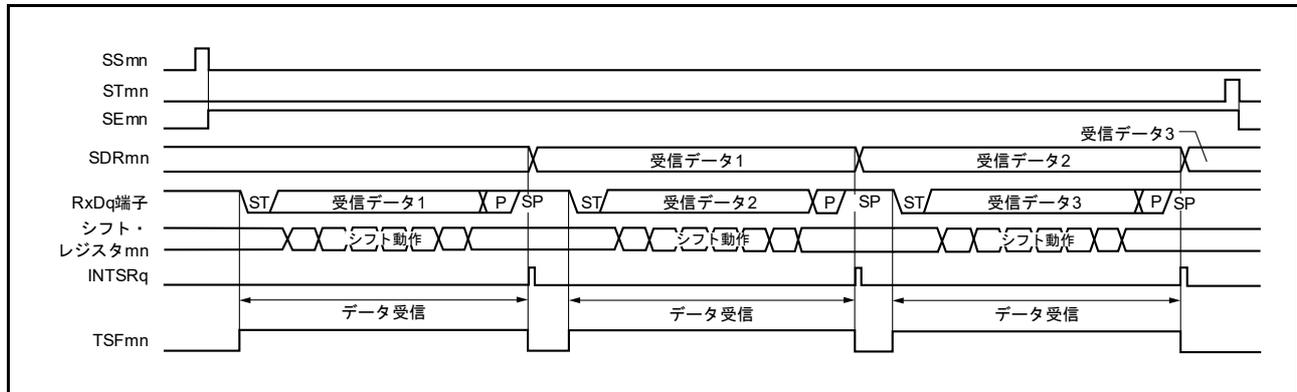


**注意** SCRmn レジスタのRXEmn ビットを1に設定後に、f<sub>MCK</sub>の4クロック以上間隔をあけてからSSmn = 1を設定してください。

**備考** 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

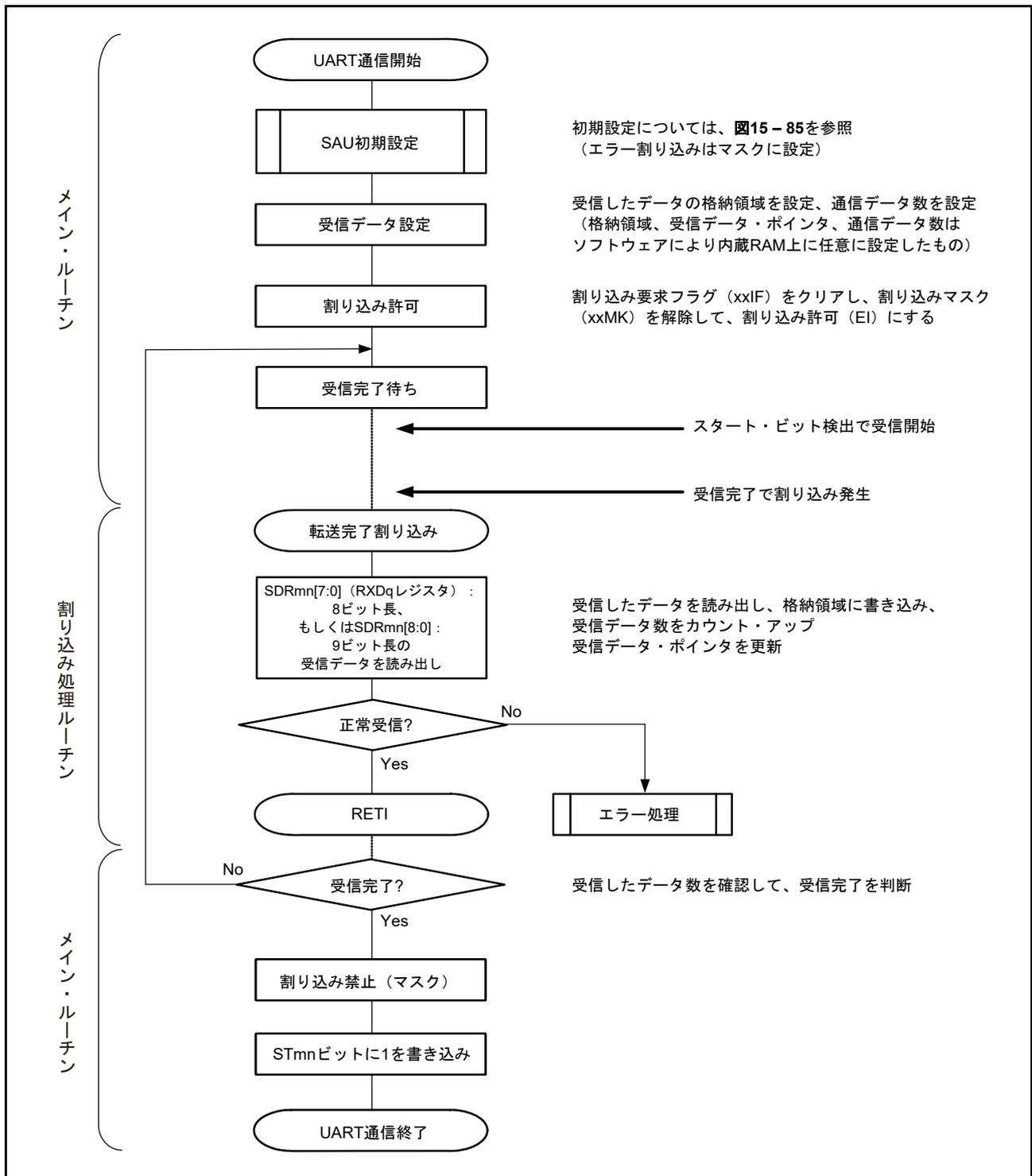
(3) 処理フロー

図15-88 UART受信のタイミング・チャート



**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11, 13  
 r : チャネル番号 (r = n-1) q : UART番号 (q = 0-3)

図15-89 UART受信のフロー・チャート



### 15.6.3 SNOOZEモード機能

STOPモード時に RxDq 端子入力の検出により、UART 受信を動作させるモードです。通常 STOP モード時は UART の通信動作を停止しますが、SNOOZE モード機能を使用することで、CPU を動作させずに UART 受信を行うことができます。

SNOOZE モードは、以下の UART の受信のみ設定可能です。

- 30～64ピン製品 : UART0
- 80～128ピン製品 : UART0, UART2

UARTq を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います。(図 15-92 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0) 時のフロー・チャート、図 15-94 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートを参照)

- SNOOZEモード時は、UART受信ボーレートの設定を通常動作時とは異なる値に変更する必要があります。  
表 15-5、表 15-6 を参照して SPSm レジスタ、SDRmn レジスタのビット 15-9 を設定してください。
- EOCmn ビット、SSECm ビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSREq) の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ m (SSCm) の SWCm ビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタ m (SSm) の SSm1 ビットをセット (1) します。
- STOPモードに移行後、RxDq のスタート・ビット入力を検出すると、UARTq は受信動作を開始します。

**注意1.** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ使用できます。

中速オンチップ・オシレータ・クロックを選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) を使用して発振周波数精度を補正する必要があります。

**注意2.** SNOOZEモードでの最大転送レートは 115.2 kbps (FWKUP = 1, fCLK = fiH (32 MHz) 設定時) です。

FWKUP = 1 設定時は、fCLKに fiH = 32 MHz 以外を設定するのは禁止です。

**注意3.** SWCm = 1 の設定では、STOPモード中に受信開始したときのみ UARTq を使用できます。他の SNOOZEモード機能や割り込みと同時に使用して、次のような STOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm = 1 に設定後、STOPモードに移行する前に受信開始した場合
- 他の SNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm = 0 に戻す前に受信開始した場合

**注意4.** SSECm = 1 の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFmn, FEFmn, OVFMn フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときは、SWCm = 1 に設定する前に PEFmn, FEFmn, OVFMn フラグをクリアし、また、SDRm1 レジスタのビット 7-0 (RxDq) を読み出してください。

**注意5.** RxDq 端子の有効エッジ検出により SNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けると UART 受信が開始されず、SNOOZEモードを継続することがあります。この場合、次の UART 受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表15 - 5 SNOOZEモード時のUART受信ボーレート設定 (高速オンチップ・オシレータ通常起動 (FWKUP = 0) )

ボーレート	高速オンチップ・オシレータ (f <sub>H</sub> )	動作クロック (f <sub>MCK</sub> )	SDRmn [15:9]	最大許容値	最小許容値
4800 bps	32 MHz ±1% <sup>注</sup>	fCLK/2 <sup>5</sup>	106	1.45%	-1.67%
	24 MHz ±1% <sup>注</sup>	fCLK/2 <sup>5</sup>	79	1.77%	-1.37%
9600 bps	32 MHz ±1% <sup>注</sup>	fCLK/2 <sup>4</sup>	106	1.45%	-1.67%
	24 MHz ±1% <sup>注</sup>	fCLK/2 <sup>4</sup>	79	1.77%	-1.37%

表15 - 6 SNOOZEモード時のUART受信ボーレート設定 (高速オンチップ・オシレータ高速起動 (FWKUP = 1) )

ボーレート	高速オンチップ・オシレータ (f <sub>H</sub> )	動作クロック (f <sub>MCK</sub> )	SDRmn [15:9]	最大許容値	最小許容値
4800 bps	32 MHz ±1% <sup>注</sup>	fCLK/2 <sup>5</sup>	106	1.45%	-1.67%
9600 bps		fCLK/2 <sup>4</sup>	106	1.45%	-1.67%
19200 bps		fCLK/2 <sup>3</sup>	106	1.45%	-1.67%
31250 bps		fCLK/2 <sup>3</sup>	65	1.05%	-2.06%
38400 bps		fCLK/2 <sup>2</sup>	106	1.45%	-1.67%
76800 bps		fCLK/2	106	1.45%	-1.67%
115200 bps		fCLK/2	70	1.93%	-1.21%

**注** 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

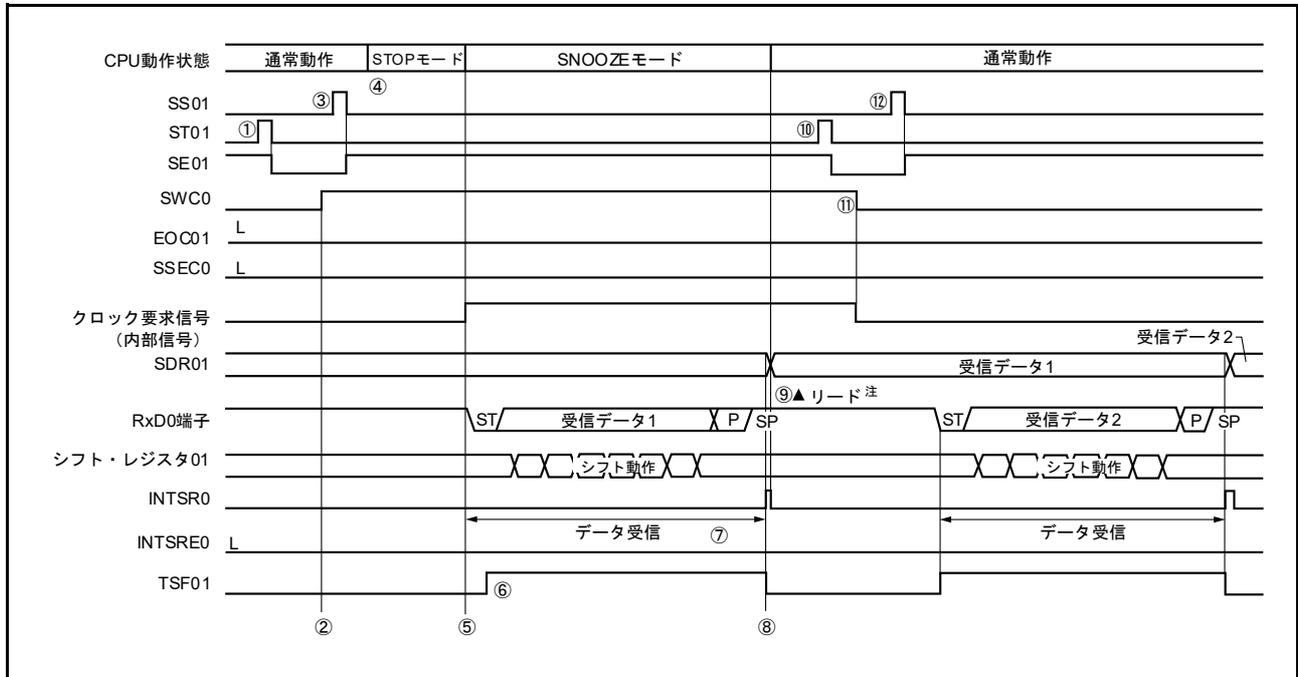
- f<sub>H</sub> ±1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- f<sub>H</sub> ±2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

**備考** 最大許容値、最小許容値は、UART受信時のボーレート許容値です。

(1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図15-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

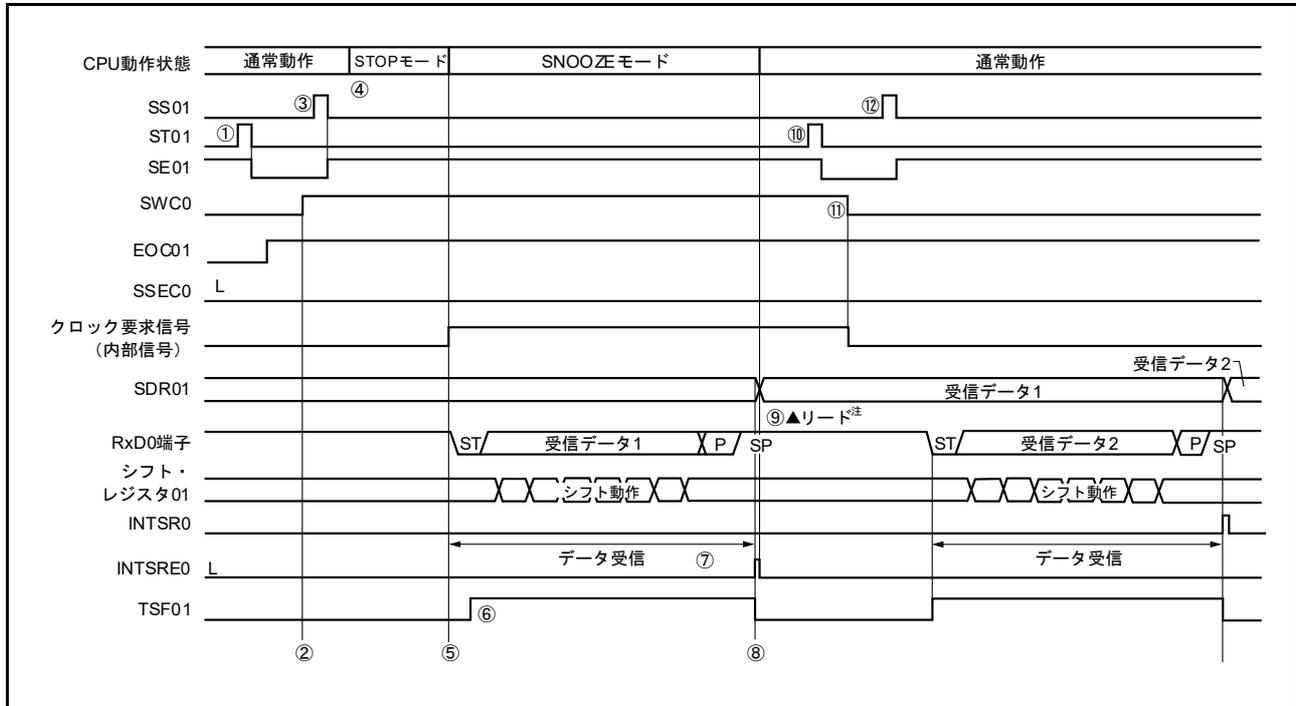
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。  
また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①～⑫は、図15-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1 もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャート①～⑫に対応しています。

備考2. 30～64ピン製品 : m = 0; q = 0  
80～128ピン製品 : m = 0, 1; q = 0, 2

- (2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)  
 EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図15-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



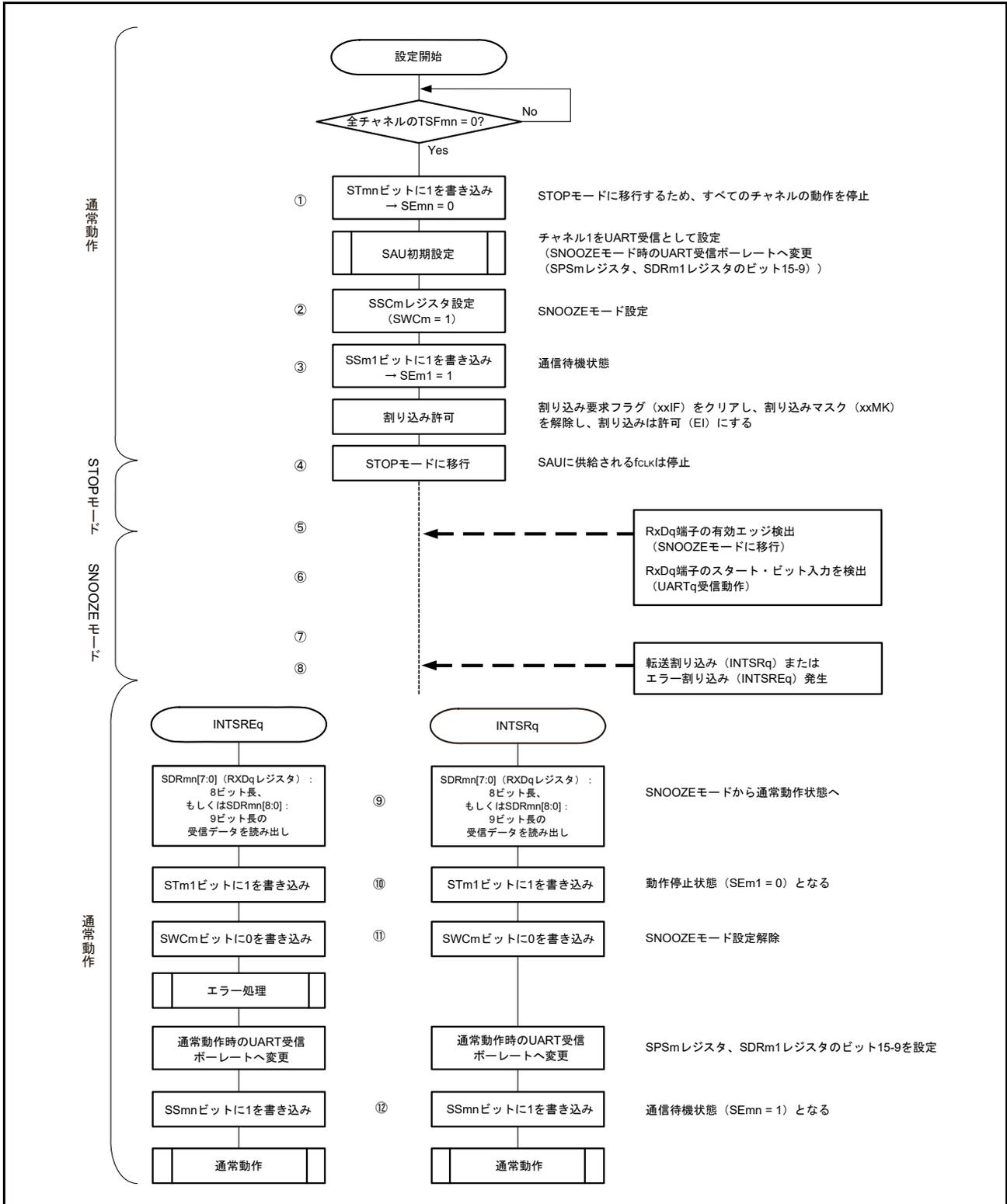
注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。  
 また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図15-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

備考2. 30~64ピン製品 : m = 0; q = 0  
 80~128ピン製品 : m = 0, 1; q = 0, 2

図 15 - 92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0) 時のフロー・チャート



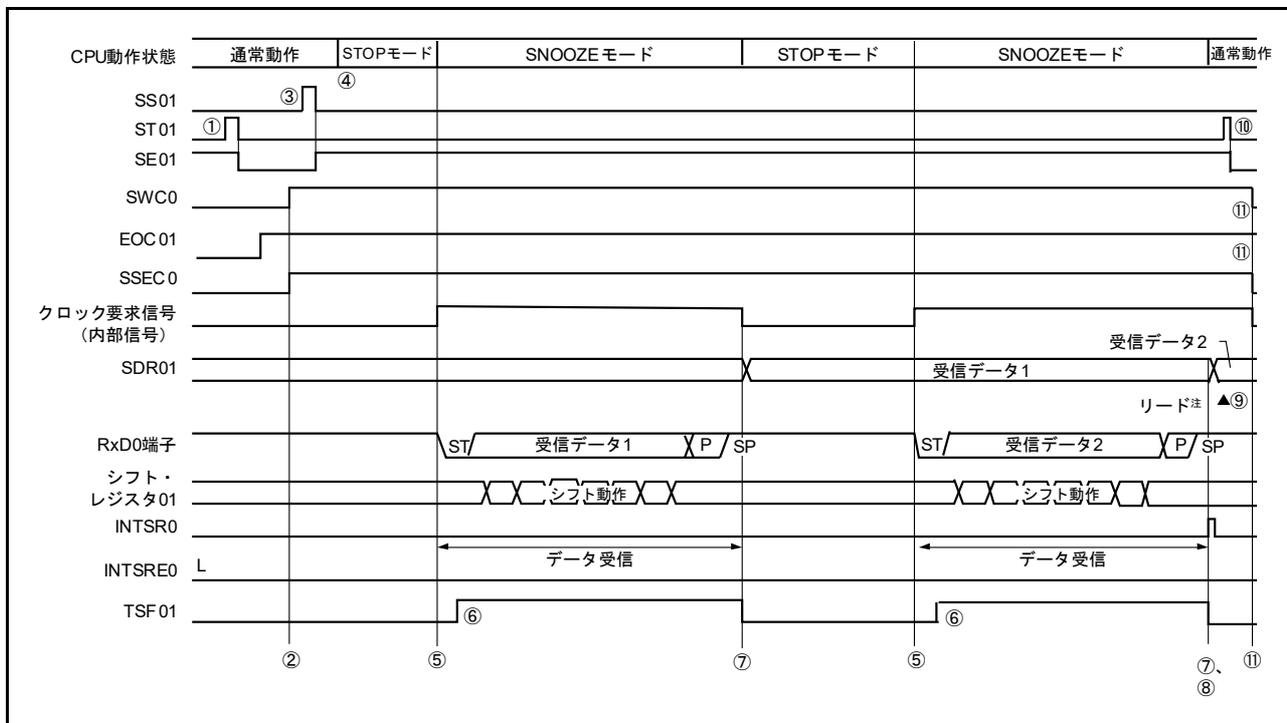
備考1. 図中の①~⑫は、図 15 - 90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図 15 - 91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①~⑫に対応しています。

備考2. 30~64ピン製品 : m = 0; q = 0; n = 0-3

80~128ピン製品 : m = 0, 1; q = 0, 2; n = 0-3

- (3) SNOOZEモード動作 (EOCm1 = 1, SSECm = 1 : エラー割り込み (INTSREq) 発生停止)  
 EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図15-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



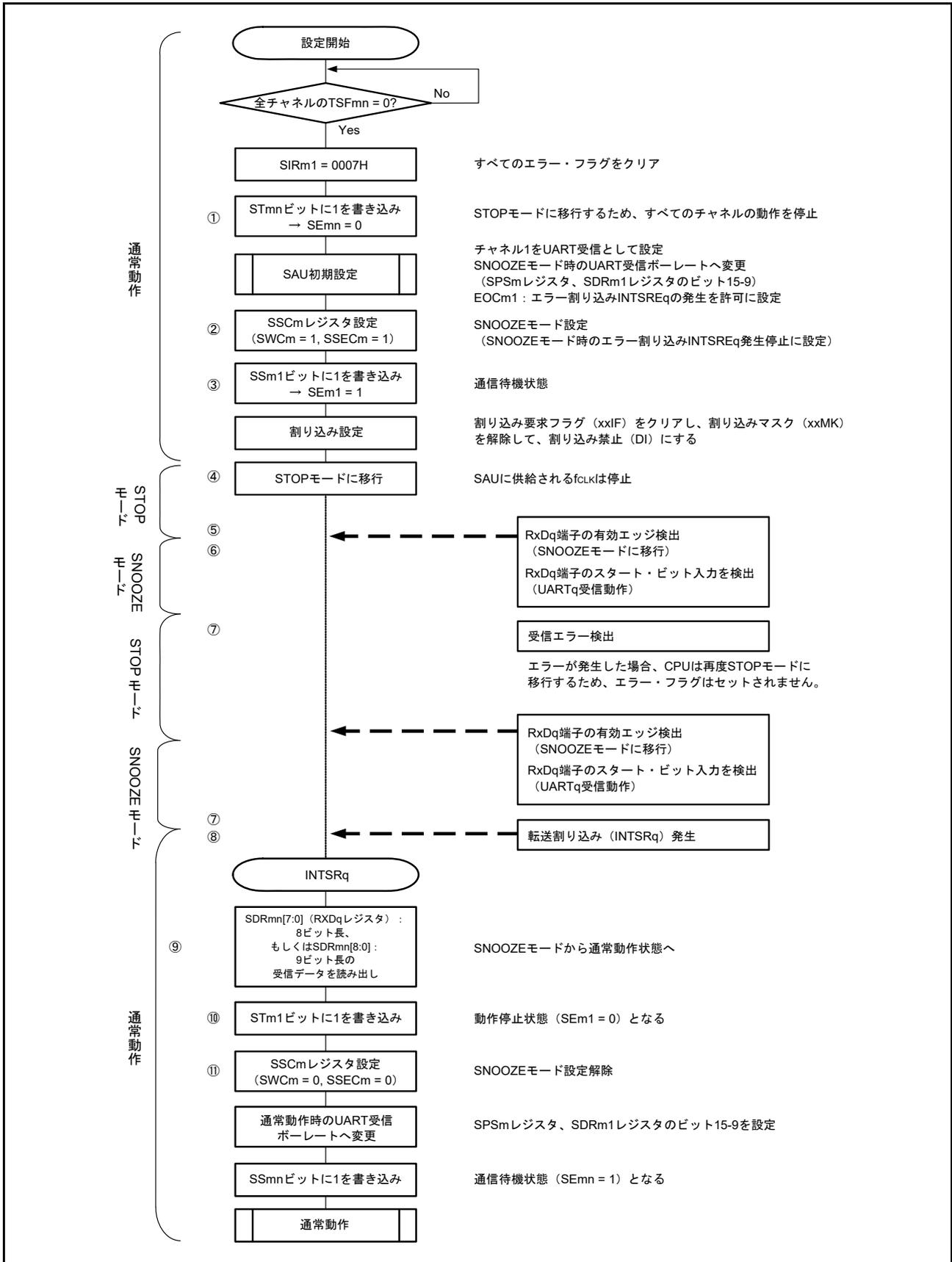
注 SWCm = 1の状態、受信データの読み出しを行ってください。

- 注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。
- 注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①～⑪は、図15-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートの①～⑪に対応しています。

- 備考2. 30～64ピン製品 : m = 0; q = 0  
 80～128ピン製品 : m = 0, 1; q = 0, 2

図 15 - 94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



(注意、備考は次ページに続きます)

**注意** SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出してください。

**備考1.** 図中の①~⑩は、図15-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑩に対応しています。

**備考2.** 30~64ピン製品 : m = 0; q = 0; n = 0-3

80~128ピン製品 : m = 0, 1; q = 0, 2; n = 0-3

#### 15.6.4 ボーレートの算出

(1) ボーレート算出式

UART (UART0-UART3) 通信でのボーレートは下記の計算式にて算出できます。

$$(\text{ボーレート}) = \{ \text{対象チャンネルの動作クロック (fmck) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

**注意** シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

**備考1.** UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので、2-127になります。

**備考2.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

動作クロック (fmck) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット15 (CKSmn ビット) で決まります。

表15-7 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時	
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 <sup>2</sup>	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 <sup>3</sup>	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 <sup>4</sup>	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 <sup>5</sup>	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 <sup>6</sup>	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 <sup>7</sup>	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 <sup>8</sup>	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 <sup>9</sup>	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 <sup>10</sup>	31.25 kHz
	x	x	x	x	1	0	1	1	fCLK/2 <sup>11</sup>	15.63 kHz
	x	x	x	x	1	1	0	0	fCLK/2 <sup>12</sup>	7.81 kHz
	x	x	x	x	1	1	0	1	fCLK/2 <sup>13</sup>	3.91 kHz
	x	x	x	x	1	1	1	0	fCLK/2 <sup>14</sup>	1.95 kHz
x	x	x	x	1	1	1	1	fCLK/2 <sup>15</sup>	977 Hz	
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 <sup>2</sup>	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 <sup>3</sup>	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 <sup>4</sup>	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 <sup>5</sup>	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 <sup>6</sup>	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 <sup>7</sup>	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 <sup>8</sup>	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 <sup>9</sup>	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 <sup>10</sup>	31.25 kHz
	1	0	1	1	x	x	x	x	fCLK/2 <sup>11</sup>	15.63 kHz
	1	1	0	0	x	x	x	x	fCLK/2 <sup>12</sup>	7.81 kHz
	1	1	0	1	x	x	x	x	fCLK/2 <sup>13</sup>	3.91 kHz
	1	1	1	0	x	x	x	x	fCLK/2 <sup>14</sup>	1.95 kHz
1	1	1	1	x	x	x	x	fCLK/2 <sup>15</sup>	977 Hz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。  
(備考は次ページに続きます)

備考1. × : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

## (2) 送信時のボーレート誤差

UART (UART0-UART3) 通信での、送信時のボーレート誤差は、下記の計算式にて算出できます。送信側のボーレートが、受信側の許容ボーレート範囲内に収まるように設定してください。

$$(\text{ボーレート誤差}) = (\text{算出ボーレート値}) \div (\text{目標ボーレート値}) \times 100 - 100 [\%]$$

fCLK = 32 MHz の場合の UART ボーレート設定例を示します。

UART ボーレート (目標ボーレート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボーレート	目標ボーレートとの誤差
300 bps	fCLK/2 <sup>9</sup>	103	300.48 bps	+0.16%
600 bps	fCLK/2 <sup>8</sup>	103	600.96 bps	+0.16%
1200 bps	fCLK/2 <sup>7</sup>	103	1201.92 bps	+0.16%
2400 bps	fCLK/2 <sup>6</sup>	103	2403.85 bps	+0.16%
4800 bps	fCLK/2 <sup>5</sup>	103	4807.69 bps	+0.16%
9600 bps	fCLK/2 <sup>4</sup>	103	9615.38 bps	+0.16%
19200 bps	fCLK/2 <sup>3</sup>	103	19230.8 bps	+0.16%
31250 bps	fCLK/2 <sup>3</sup>	63	31250.0 bps	±0.0%
38400 bps	fCLK/2 <sup>2</sup>	103	38461.5 bps	+0.16%
76800 bps	fCLK/2	103	76923.1 bps	+0.16%
153600 bps	fCLK	103	153846 bps	+0.16%
312500 bps	fCLK	50	313725.5 bps	+0.39%

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)、mn = 00, 02, 10, 12

(3) 受信時のボーレート許容範囲

UART (UART0-UART3) 通信での、受信時のボーレート許容範囲は、下記の計算式にて算出できます。受信側の許容ボーレート範囲に送信側のボーレートが収まるように設定してください。

$$\text{(受信可能な最大ボーレート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ボーレート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボーレート値 (15.6.4 (1) ボーレート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1 データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3), mn = 01, 03, 11, 13

図15-95 受信時の許容ボーレート範囲 (1データ・フレーム長 = 11ビットの場合)

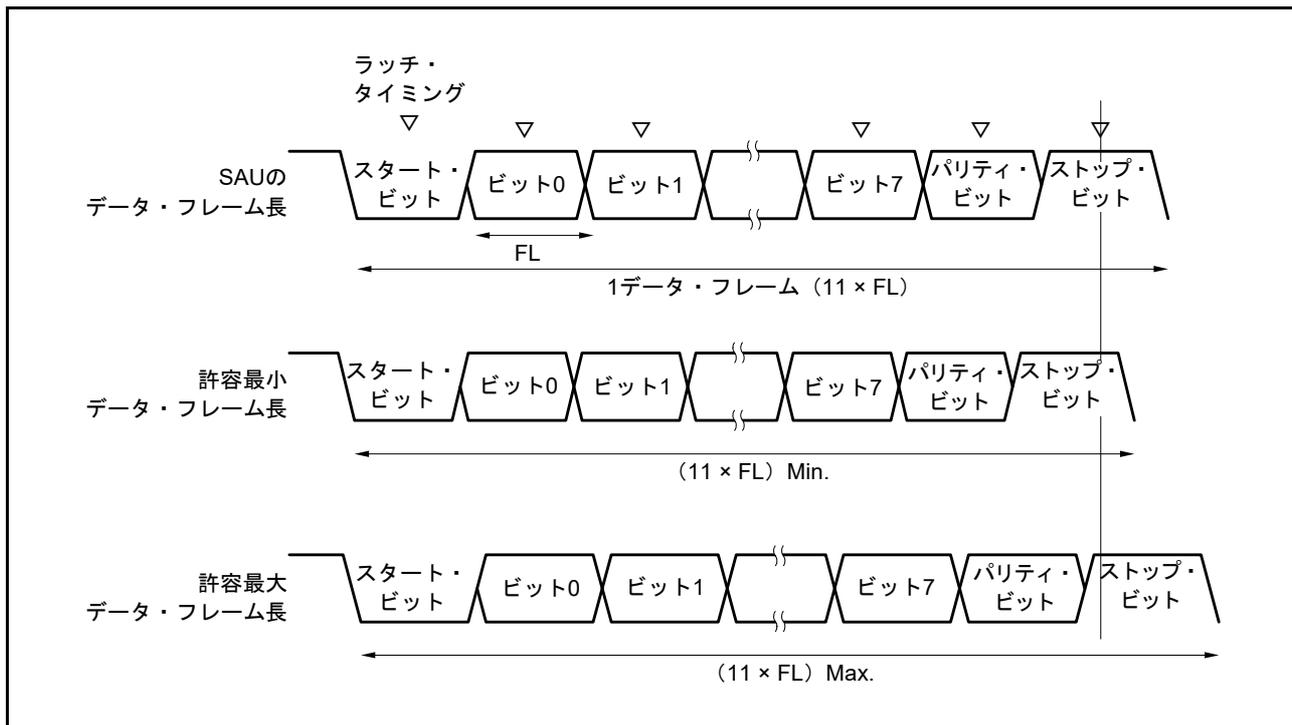


図15-95に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

## 15.6.5 UART (UART0-UART3) 通信時におけるエラー発生時の処理手順

UART (UART0-UART3) 通信時にエラーが発生した場合の処理手順を表 15-8、表 15-9 に示します。

表 15-8 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	→ SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に 1 をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表 15-9 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	→ SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが 0 となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが 1 となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

## 15.7 LIN通信の動作

### 15.7.1 LIN送信

UART 送信のうち、UART2 は LIN 通信に対応しています。

LIN 送信では、ユニット 1 のチャンネル 0 を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	可	不可
対象チャンネル	—	—	SAU1のチャンネル0	—
使用端子	—	—	TxD2	—
割り込み	—	—	INTST2	—
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR10[15:9] = 2以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加			
データ方向	LSBファースト			

**注** この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

**備考**  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

$f_{CLK}$ ：システム・クロック周波数

LIN とは、Local Interconnect Network の略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LIN の通信はシングル・マスタ通信で、1つのマスタに対し最大 15 のスレーブが接続可能です。

LIN のスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらが LIN のネットワークを介して LIN のマスタに接続されます。

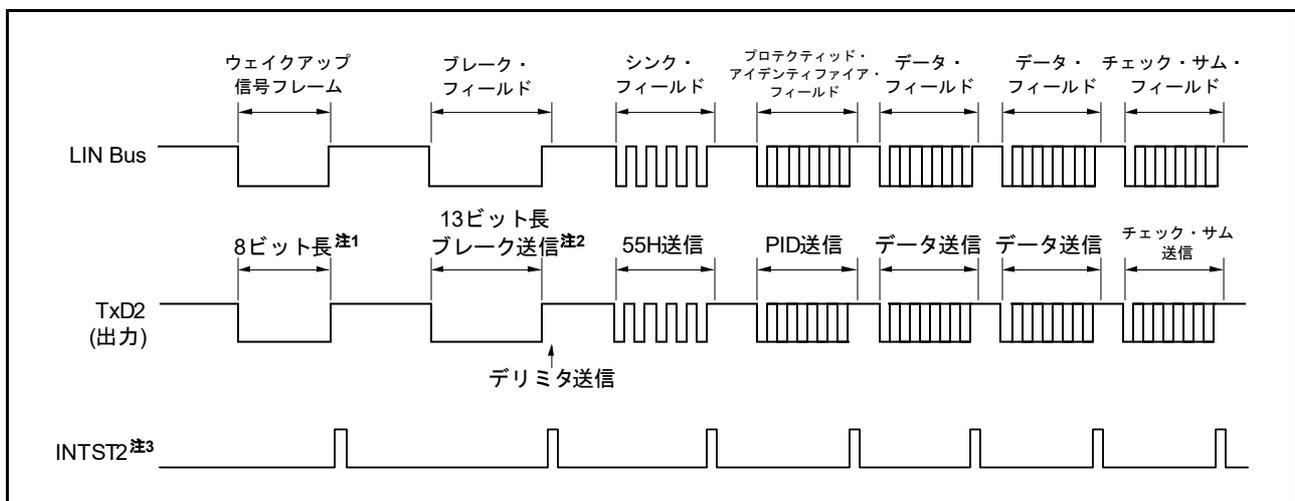
LIN のマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LIN バスはシングル・ワイヤ方式で、ISO9141 に準拠したトランシーバを介して各ノードが接続されます。

LIN のプロトコルでは、マスタはフレームにボーレート情報をつけて送信し、スレーブはこれを受信してマスタとのボーレート誤差を補正します。このため、スレーブのボーレート誤差が±15% 以下であれば、通信可能です。

LIN の送信操作の概略を、図 15 - 96 に示します。

図 15 - 96 LIN の送信操作



注1. ウェイクアップ信号の規定を満たせるようにボーレートを設定し、80Hのデータ送信をすることで対応します。

注2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボーレートをN [bps]とすると、ブレーク・フィールドで使用するボーレートは次のようになります。

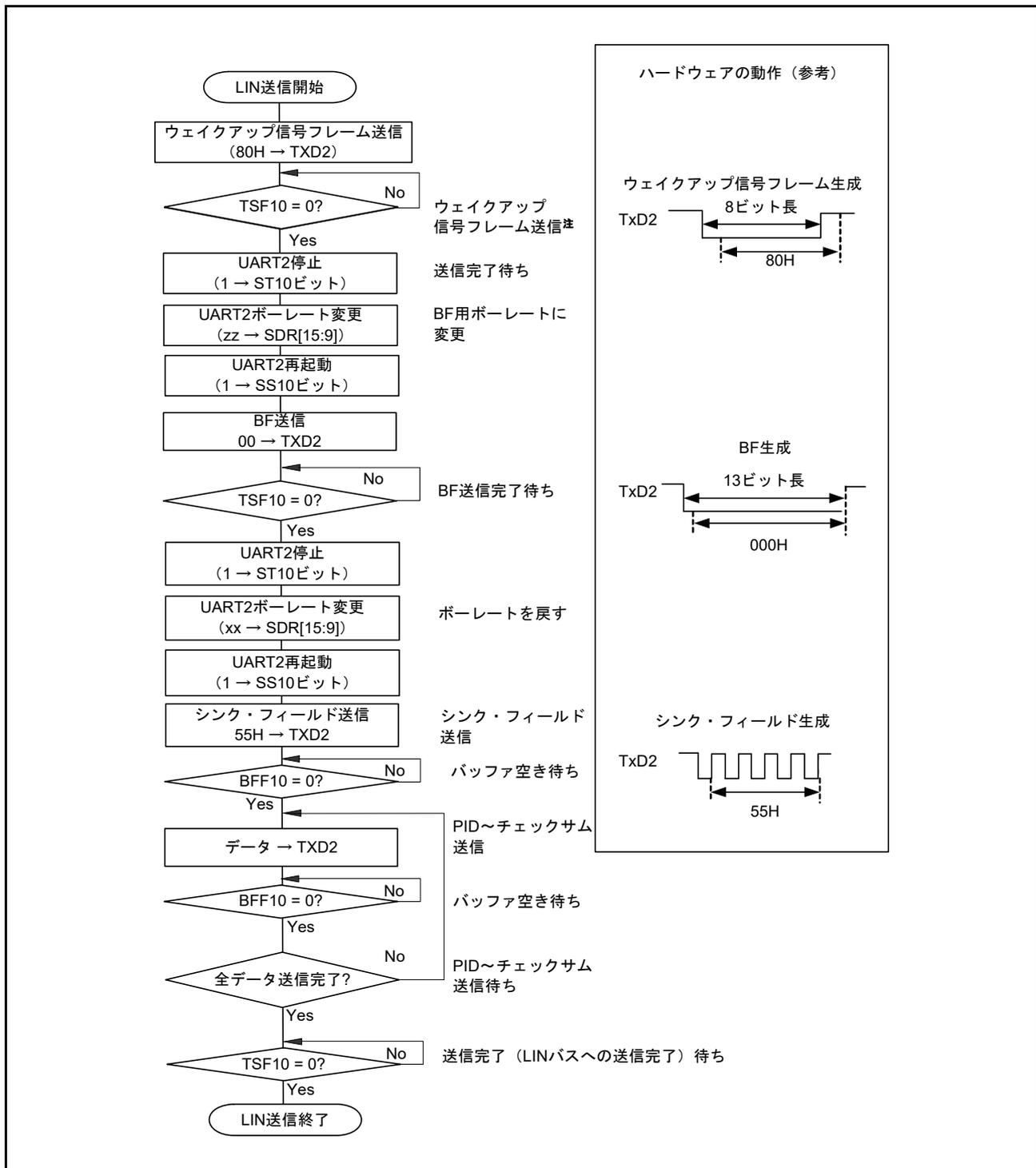
$$(\text{ブレーク・フィールド時のボーレート}) = 9/13 \times N$$

このボーレートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3. 各送信終了時にはINTST2を出力します。またBF送信時もINTST2を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図 15-97 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

## 15.7.2 LIN受信

UART 受信のうち、30, 32, 36, 40, 44, 48, 52, 64, 80, 100, 128 ピン製品の UART2 は LIN 通信に対応しています。  
LIN 受信では、ユニット 1 のチャンネル 1 を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	可	不可
対象チャンネル	—	—	SAU1のチャンネル1	—
使用端子	—	—	RxD2	—
割り込み	—	—	INTSR2	—
	転送完了割り込みのみ (バッファ空き割り込みは設定禁止)			
エラー割り込み	—	—	INTSRE2	—
エラー検出フラグ	<ul style="list-style-type: none"> <li>・ フレーミング・エラー検出フラグ (FEF11)</li> <li>・ オーバラン・エラー検出フラグ (OVF11)</li> </ul>			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR11[15:9] = 2以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力 (デフォルト: ハイ・レベル) 反転出力 (デフォルト: ロウ・レベル)			
パリティ・ビット	パリティ・ビットなし (パリティ・チェックしない)			
ストップ・ビット	1ビット目チェック			
データ方向	LSBファースト			

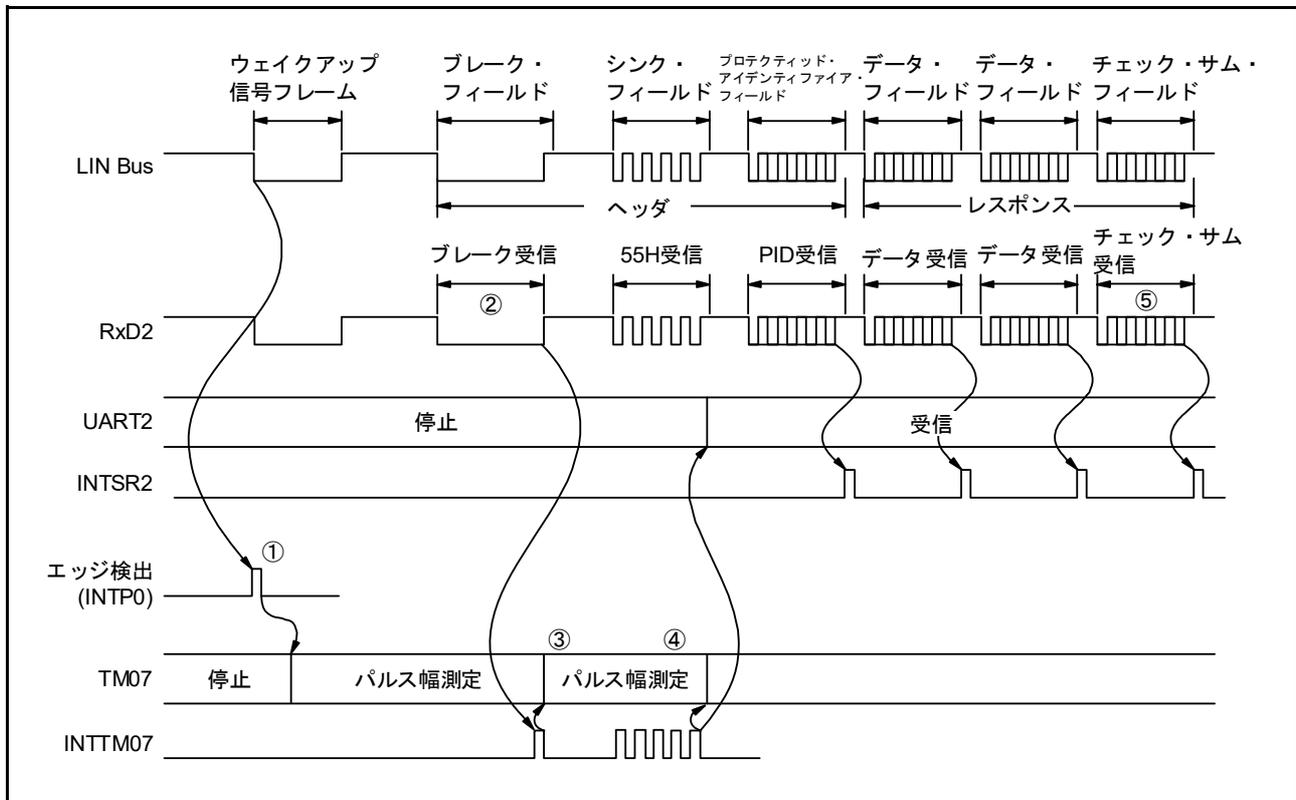
**注** この条件を満たし、かつ電氣的特性の周辺機能特性 (第37章 電氣的特性参照) を満たす範囲内で使用してください。

**備考**  $f_{MCK}$ : 対象チャンネルの動作クロック周波数

$f_{CLK}$ : システム・クロック周波数

LINの受信操作の概略を、図15-98に示します。

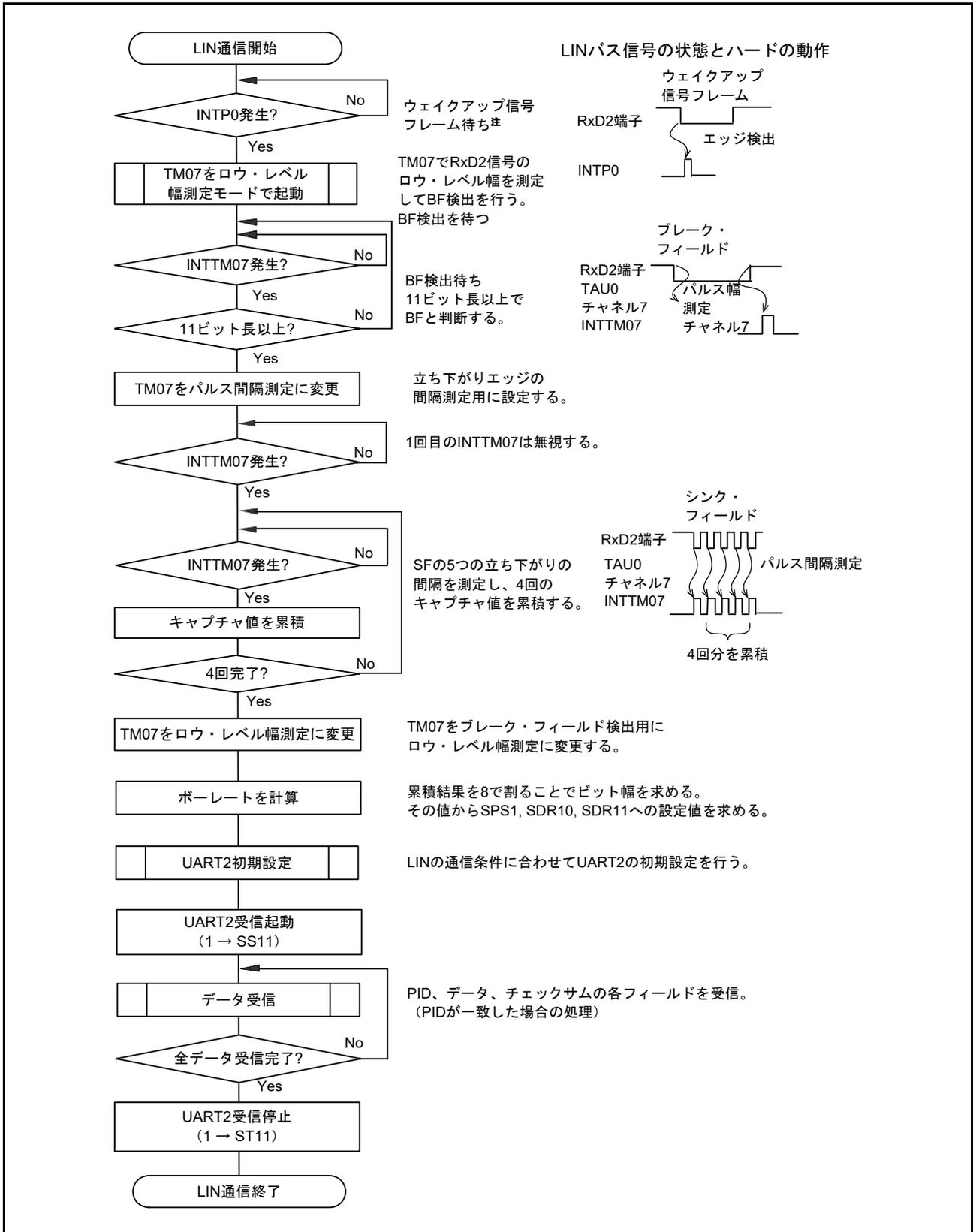
図15-98 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、TM07 を BF のロウ・レベル幅測定のためにパルス幅測定に設定して、BF 受信待ち状態にします。
- ② BF の立ち下がりを検出したら、TM07 はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値から BF 信号かどうかの判定を行います。
- ③ BF 受信を正常終了した場合、TM07 をパルス間隔測定に設定し、シンク・フィールドの RxD2 信号の立ち下がりの間隔を 4 回測定してください (7.8.4 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド (SF) のビット間隔からボーレート誤差を算出します。そして、いったん UART2 を動作停止にしてからボーレートを調整 (再設定) してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後に UART2 を初期化し、再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図 15 - 99 LIN受信のフロー・チャート



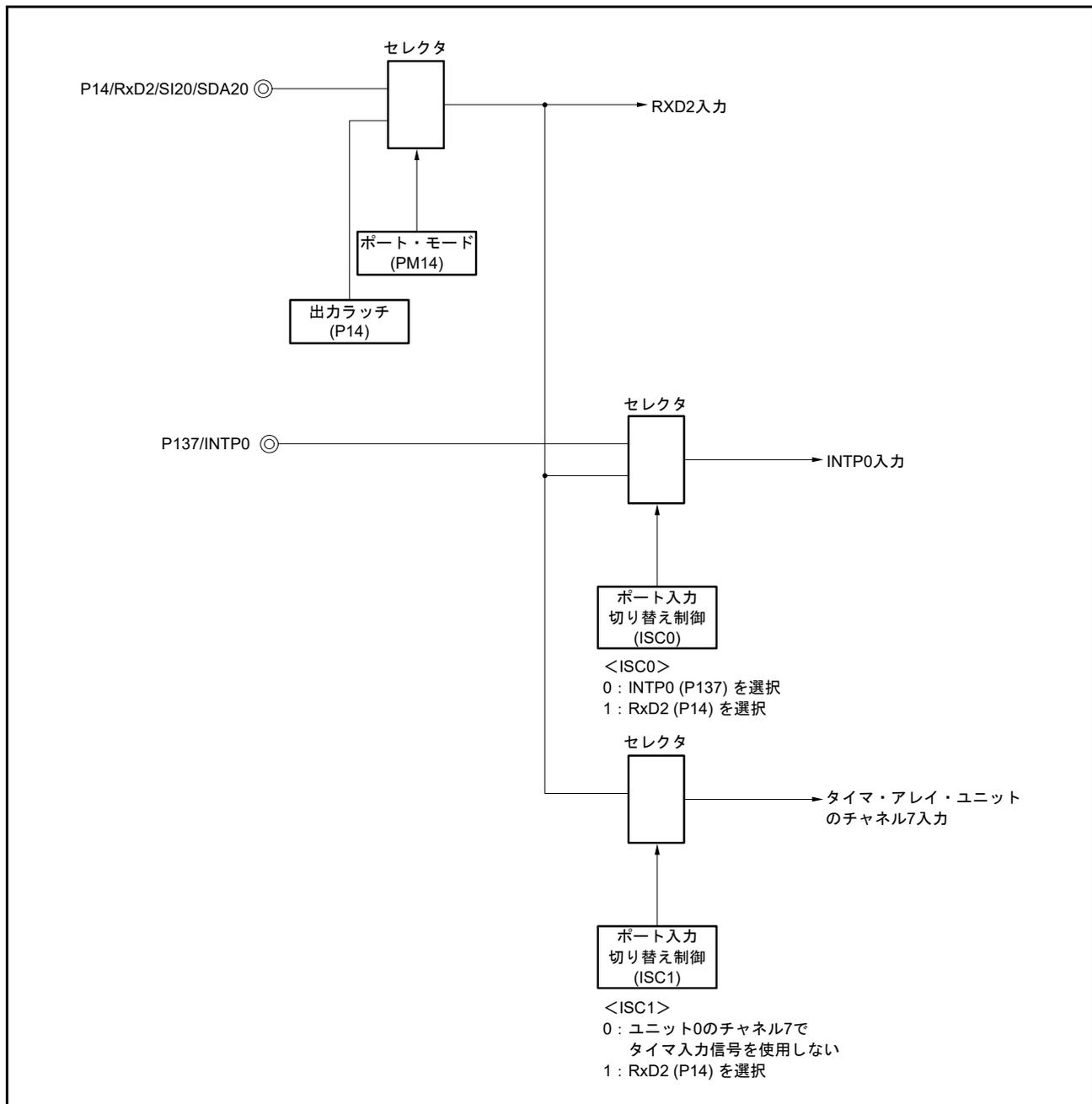
注 スリープ状態でのみ必要となります。

図 15 - 100、図 15 - 101 は LIN の受信操作のポート構成図です。

LIN のマスタから送信されるウェイクアップ信号の受信を、外部割り込み (INTP0) のエッジ検出にて行います。また、LIN のマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット 0 の外部イベント・キャプチャ動作で計測し、ポーレート誤差を算出することができます。

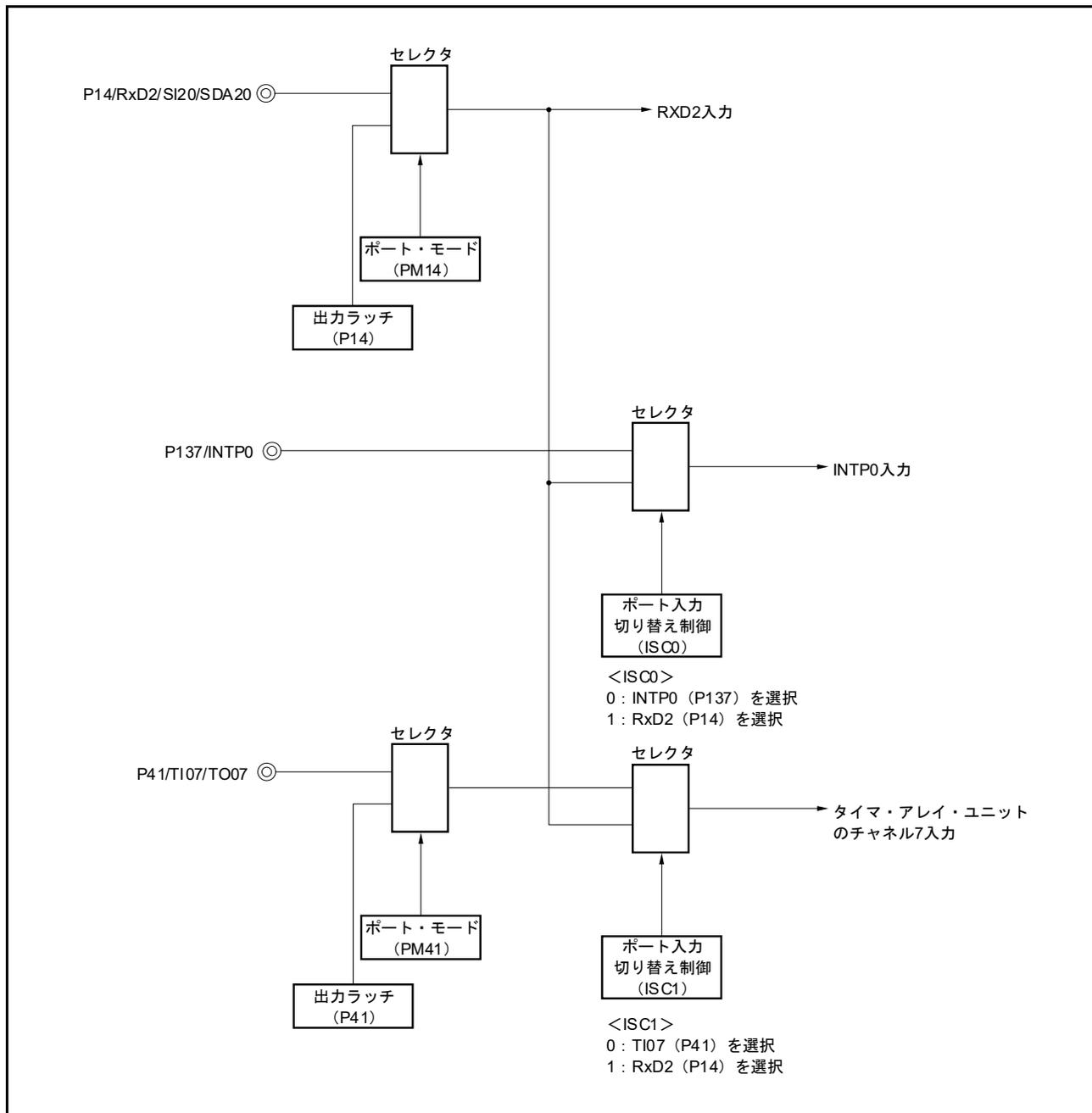
ポート入力切り替え制御 (ISC0/ISC1) により、外部で結線をせずに、受信用ポート入力 (RxD2) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットへ入力することができます。

図 15 - 100 LINの受信操作のポート構成図 (30, 32, 36, 40ピン製品の場合)



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図 15 - 21 参照)

図15 - 101 LINの受信操作のポート構成図 (44, 48, 52, 64ピン製品の場合)



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図15 - 21 参照)

LIN 通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み (INTP0) : ウェイクアップ信号検出  
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- タイマ・アレイ・ユニットのチャンネル7 : ボーレート誤差検出、ブレーク・フィールド (BF) 検出  
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボーレート誤差を検出 (RxD2 入力エッジの間隔をキャプチャ・モードで測定)  
ロウ・レベル幅を測定し、ブレーク・フィールド (BF) かを判定
- シリアル・アレイ・ユニット1 (SAU1) のチャンネル0, 1 (UART2)

## 15.8 簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I<sup>2</sup>C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I<sup>2</sup>C バスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

### [データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK出力機能<sup>注</sup>、ACK検出機能
- 8ビットのデータ長  
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

### [割り込み機能]

- 転送完了割り込み

### [エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

### ※ [簡易 I<sup>2</sup>C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- マルチ・マスタ機能 (アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

**注** 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**15.8.3 (2) 処理フロー**を参照してください。

**備考** m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0-3)、mn = 00-03, 10-13

簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) に対応しているチャンネルは、SAU0 のチャンネル 0-3 と SAU1 のチャンネル 0-3 です。

<30, 32ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	—		—

<36, 40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 64ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21

## &lt; 80, 100, 128ピン製品 &gt;

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

簡易I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) の通信動作は、以下の4種類があります。

- アドレス・フィールド送信 (15.8.1項を参照)
- データ送信 (15.8.2項を参照)
- データ受信 (15.8.3項を参照)
- ストップ・コンディション発生 (15.8.4項を参照)

### 15.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I<sup>2</sup>C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I <sup>2</sup> C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU0のチャンネル3	SAU1のチャンネル0	SAU1のチャンネル1	SAU1のチャンネル2	SAU1のチャンネル3
使用端子	SCL00, SDA00 <sup>注1</sup>	SCL01, SDA01 <sup>注1</sup>	SCL10, SDA10 <sup>注1</sup>	SCL11, SDA11 <sup>注1</sup>	SCL20, SDA20 <sup>注1</sup>	SCL21, SDA21 <sup>注1</sup>	SCL30, SDA30 <sup>注1</sup>	SCL31, SDA31 <sup>注1</sup>
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）							
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）							
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）							
転送レート <sup>注2</sup>	Max.f <sub>MCK</sub> /4 [Hz]（SDRmn[15:9] = 1以上） f <sub>MCK</sub> ：対象チャンネルの動作クロック周波数 ただし、I <sup>2</sup> Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> <li>• Max. 1 MHz（ファースト・モード・プラス）</li> <li>• Max. 400 kHz（ファースト・モード）</li> <li>• Max. 100 kHz（標準モード）</li> </ul>							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK送受信タイミング用）							
データ方向	MSBファースト							

**注1.** 簡易I<sup>2</sup>Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧（30～52ピン製品の場合）／EV<sub>DD</sub>耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧（30～52ピン製品の場合）／EV<sub>DD</sub>耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。

詳細は、**4.4.5 入出力バッファによる異電位（1.8V系、2.5V系、3V系）対応**を参照してください。

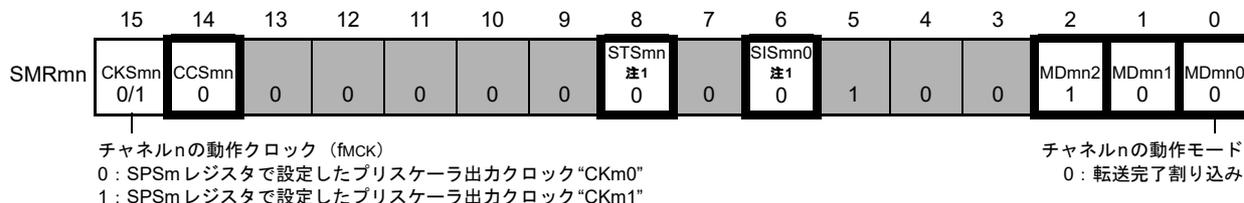
**注2.** この条件を満たし、かつ電氣的特性の周辺機能特性（**第37章 電氣的特性参照**）を満たす範囲内で使用してください。

**備考** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

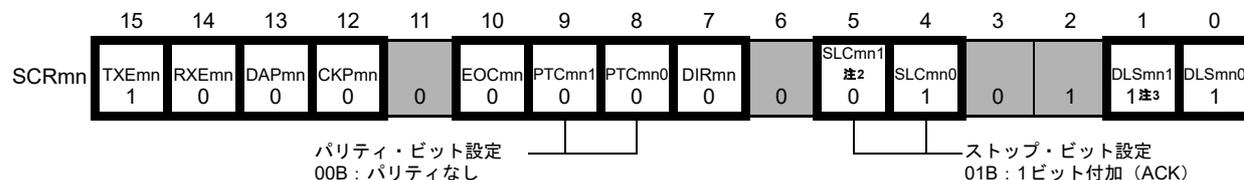
(1) レジスタ設定

図15-102 簡易I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のアドレス・フィールド送信時のレジスタ設定内容例

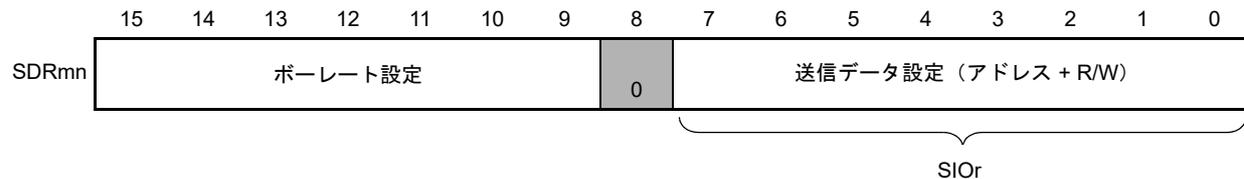
(a) シリアル・モード・レジスタ mn (SMRmn)



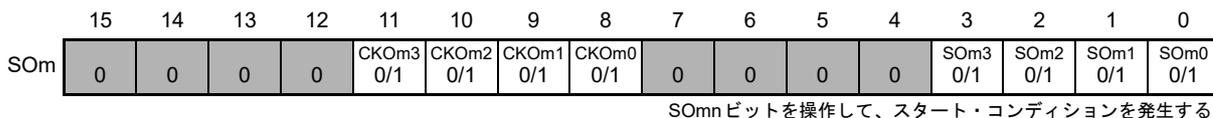
(b) シリアル通信動作設定レジスタ mn (SCRmn)



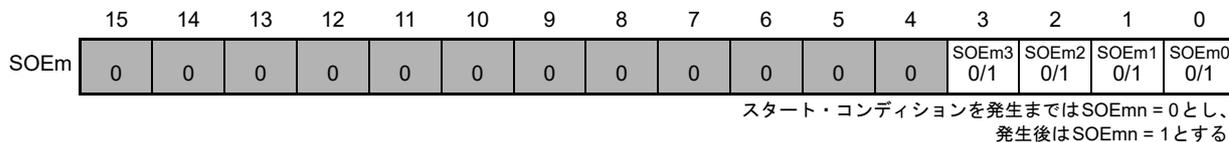
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIO<sub>r</sub>)



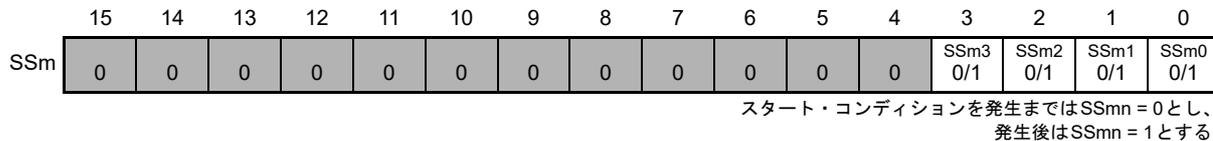
(d) シリアル出力レジスタ m (SOm)



(e) シリアル出力許可レジスタ m (SOEm)



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1に設定する



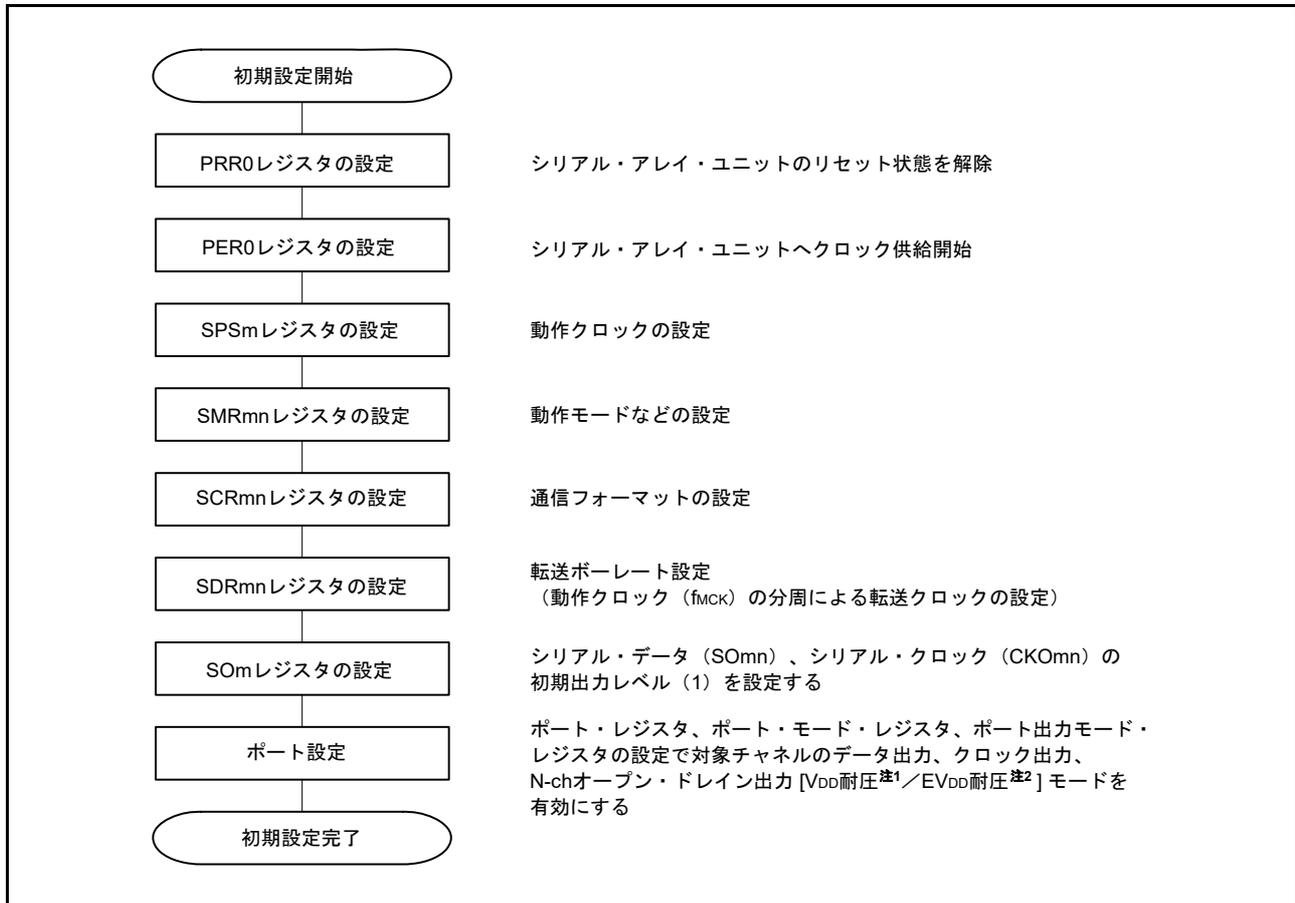
(注、備考は次ページに続きます)

- 注1. SMR00, SMR03, SMR11 SMR13 レジスタのみ  
注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ  
注3. SCR00, SCR01 レジスタと、80～128ピン製品のSCR10, SCR11 レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

備考2.  : IICモードでは設定固定  : 設定不可 (初期値を設定)  
0/1 : ユーザの用途に応じて0または1に設定

## (2) 操作手順

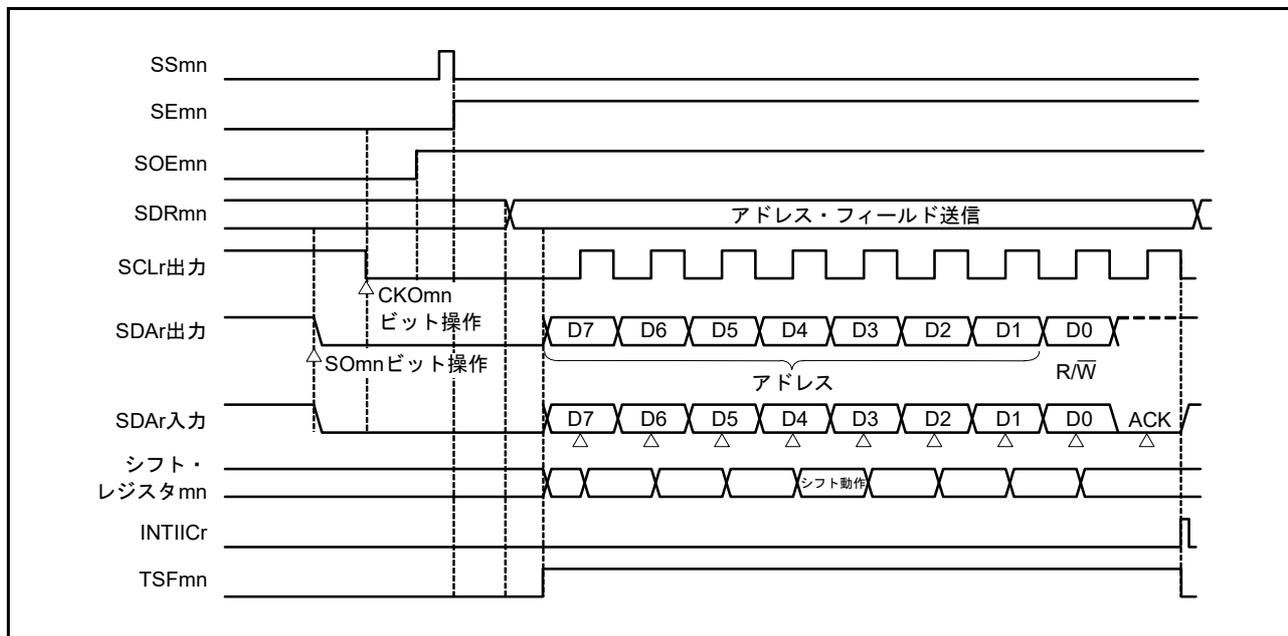
図 15 - 103 簡易 I<sup>2</sup>C アドレス・フィールド送信の初期設定手順

注1. 30～52ピン製品の場合

注2. 64～128ピン製品の場合

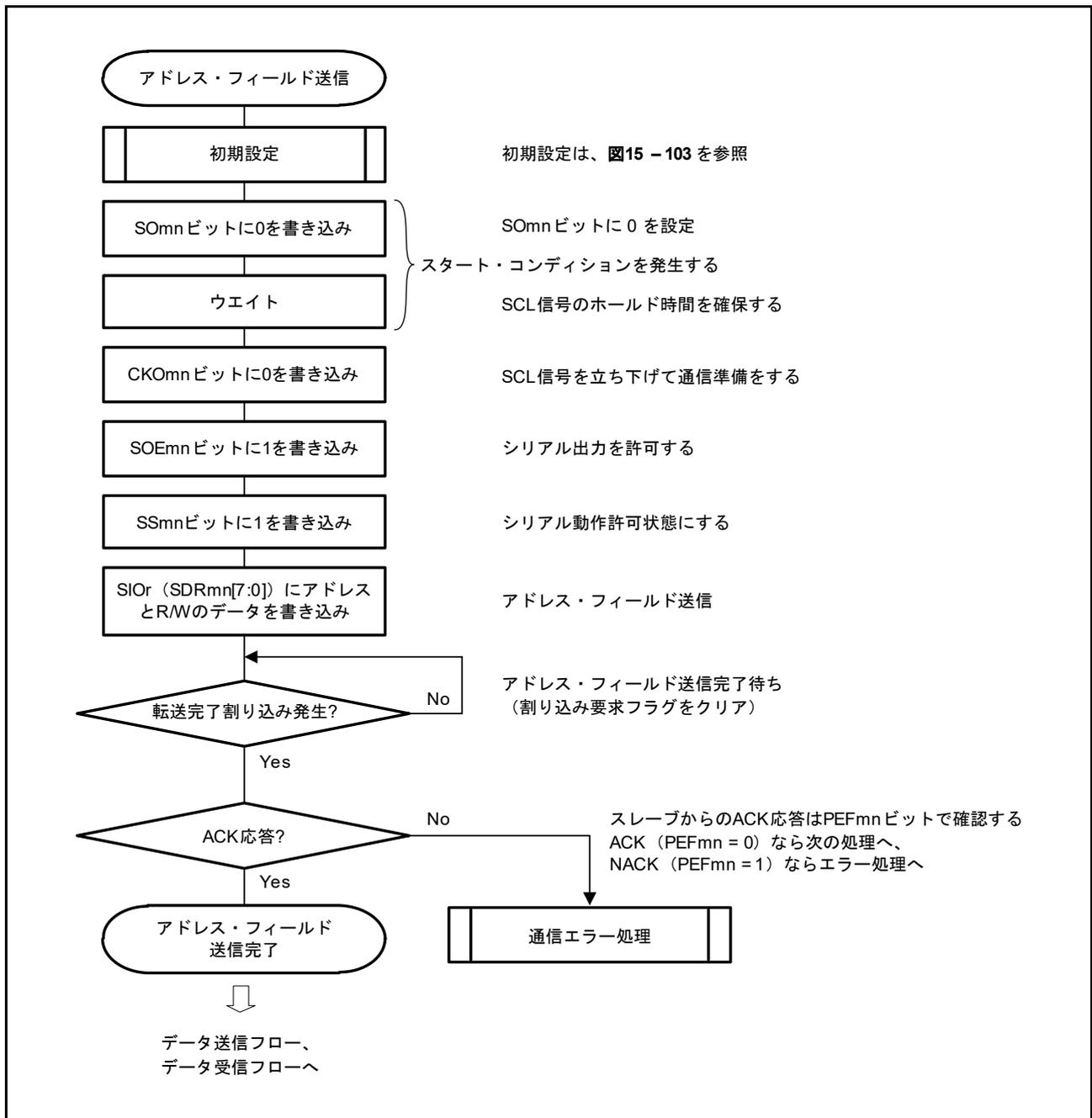
(3) 処理フロー

図15-104 アドレス・フィールド送信のタイミング・チャート



**備考** m : ユニット番号 (m = 0, 1)    n : チャネル番号 (n = 0-3)    r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)  
 mn = 00-03, 10-13

図15 - 105 簡易I<sup>2</sup>Cアドレス・フィールド送信のフロー・チャート



## 15.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I <sup>2</sup> C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCL00, SDA00 <sup>注1</sup>	SCL01, SDA01 <sup>注1</sup>	SCL10, SDA10 <sup>注1</sup>	SCL11, SDA11 <sup>注1</sup>	SCL20, SDA20 <sup>注1</sup>	SCL21, SDA21 <sup>注1</sup>	SCL30, SDA30 <sup>注1</sup>	SCL31, SDA31 <sup>注1</sup>
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
転送完了割り込みのみ（バッファ空き割り込みは選択不可）								
エラー検出フラグ	ACKエラー・フラグ（PEFmn）							
転送データ長	8ビット							
転送レート <sup>注2</sup>	Max.f <sub>MCK</sub> /4 [Hz]（SDRmn[15:9] = 1以上） f <sub>MCK</sub> ：対象チャンネルの動作クロック周波数 ただし、I <sup>2</sup> Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> <li>• Max. 1 MHz（ファースト・モード・プラス）</li> <li>• Max. 400 kHz（ファースト・モード）</li> <li>• Max. 100 kHz（標準モード）</li> </ul>							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK受信タイミング用）							
データ方向	MSBファースト							

**注1.** 簡易I<sup>2</sup>Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧（30～52ピン製品の場合）／EV<sub>DD</sub>耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧（30～52ピン製品の場合）／EV<sub>DD</sub>耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。

詳細は、**4.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

**注2.** この条件を満たし、かつ電氣的特性の周辺機能特性（**第37章 電氣的特性参照**）を満たす範囲内で使用してください。

**備考** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

(1) レジスタ設定

図15-106 簡易I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b) シリアル通信動作設定レジスタ mn (SCRmn) : TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO<sub>r</sub>) :

データ送受信中は下位8ビット (SIO<sub>r</sub>) のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボーレート設定注4							0	送信データ設定							
	SIO <sub>r</sub>															

(d) シリアル出力レジスタ m (SOm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	CKOm2 0/1注5	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 0/1注5	SOm1 0/1注5	SOm0 0/1注5

(e) シリアル出力許可レジスタ m (SOEm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 1	SOEm2 1	SOEm1 1	SOEm0 1

(f) シリアル・チャンネル開始レジスタ m (SSm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注1. SMR01, SMR03, SMR11, SMR13 レジスタのみ

注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ

注3. SCR00, SCR01 レジスタと、80~128ピン製品のSCR10, SCR11 レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

mn = 00-03, 10-13

備考2.  : IICモードでは設定固定  : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図15-107 データ送金のタイミング・チャート

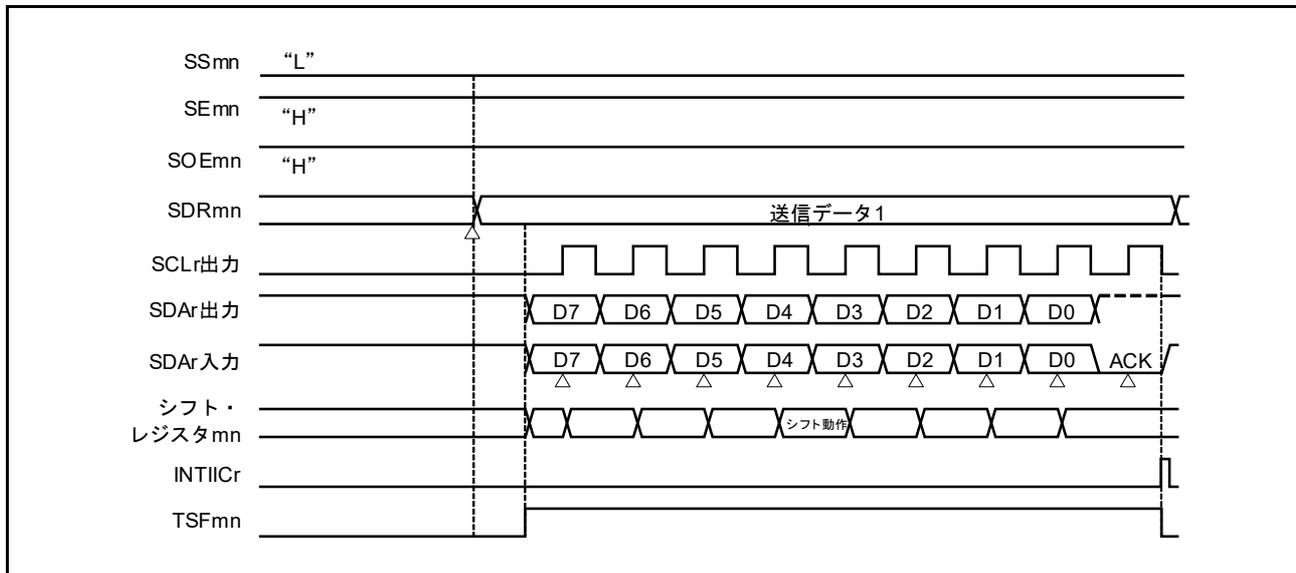
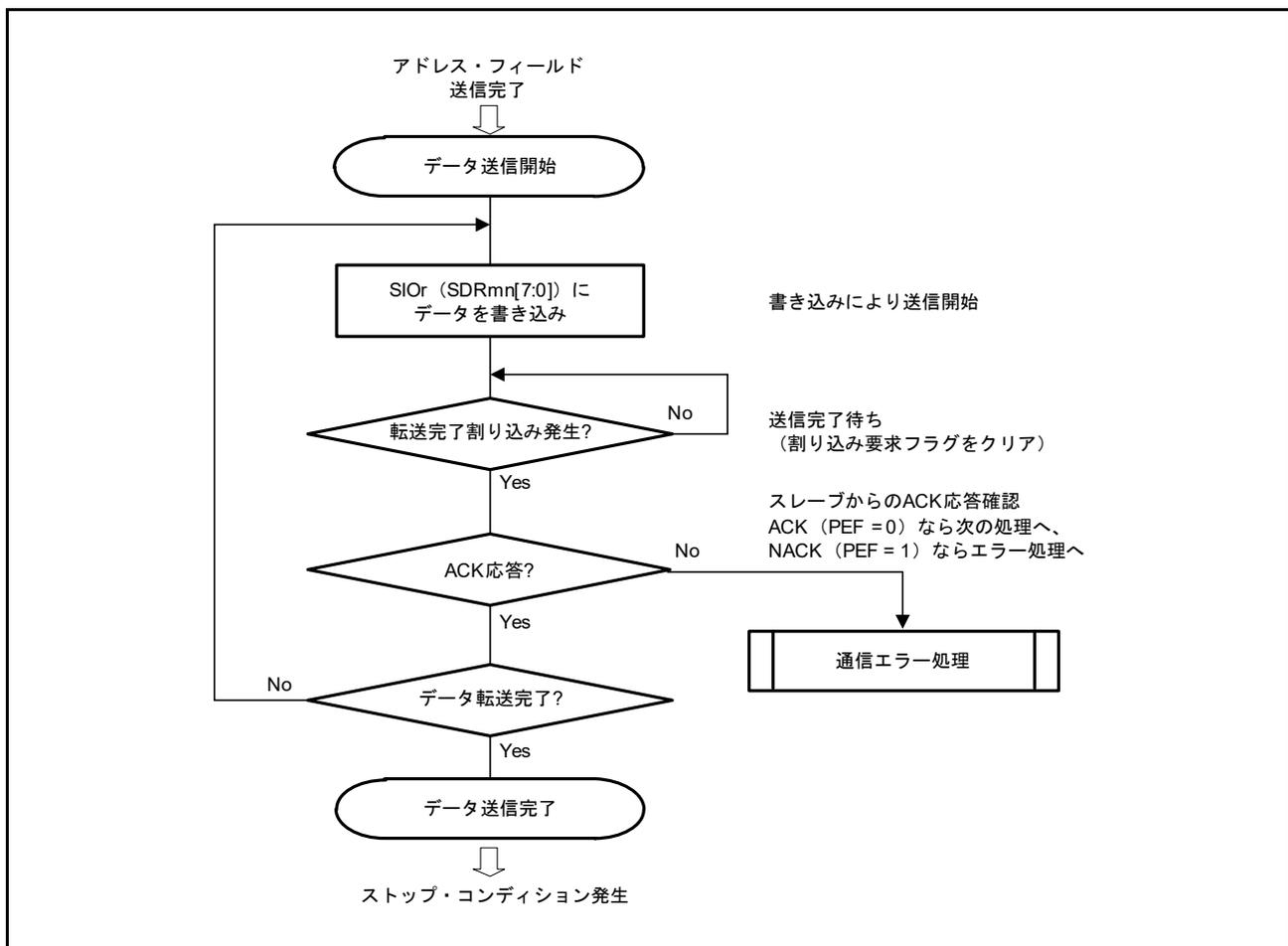


図15-108 簡易I<sup>2</sup>Cデータ送金のフロー・チャート



### 15.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I <sup>2</sup> C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCL00, SDA00 <sup>注1</sup>	SCL01, SDA01 <sup>注1</sup>	SCL10, SDA10 <sup>注1</sup>	SCL11, SDA11 <sup>注1</sup>	SCL20, SDA20 <sup>注1</sup>	SCL21, SDA21 <sup>注1</sup>	SCL30, SDA30 <sup>注1</sup>	SCL31, SDA31 <sup>注1</sup>
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	8ビット							
転送レート <sup>注2</sup>	Max.f <sub>MCK</sub> /4 [Hz]（SDRmn[15:9] = 1以上） f <sub>MCK</sub> ：対象チャンネルの動作クロック周波数 ただし、I <sup>2</sup> Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> <li>• Max. 1 MHz（ファースト・モード・プラス）</li> <li>• Max. 400 kHz（ファースト・モード）</li> <li>• Max. 100 kHz（標準モード）</li> </ul>							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK送信）							
データ方向	MSBファースト							

**注1.** 簡易I<sup>2</sup>Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧（30～52ピン製品の場合）／EV<sub>DD</sub>耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧（30～52ピン製品の場合）／EV<sub>DD</sub>耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。

詳細は、**4.4.5 入出力バッファによる異電位（1.8V系、2.5V系、3V系）対応**を参照してください。

**注2.** この条件を満たし、かつ電氣的特性の周辺機能特性（**第37章 電氣的特性参照**）を満たす範囲内で使用してください。

**備考** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

(1) レジスタ設定

図15-109 簡易I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b) シリアル通信動作設定レジスタ mn (SCRmn) : TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO<sub>r</sub>) :

データ送受信中は下位8ビット (SIO<sub>r</sub>) のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボーレート設定注4							0	ダミー送信データ設定 (FFH)							
	SIO <sub>r</sub>															

(d) シリアル出力レジスタ m (SOm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	CKOm2 0/1注5	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 0/1注5	SOm1 0/1注5	SOm0 0/1注5

(e) シリアル出力許可レジスタ m (SOEm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

- 注1. SMR01, SMR03, SMR11, SMR13 レジスタのみ
- 注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ
- 注3. SCR00, SCR01 レジスタと、80~128ピン製品のSCR10, SCR11 レジスタのみ。その他は1固定になります。
- 注4. アドレス・フィールド送信で設定済みなので、設定不要です。
- 注5. 通信動作中は通信データにより値が変わります。

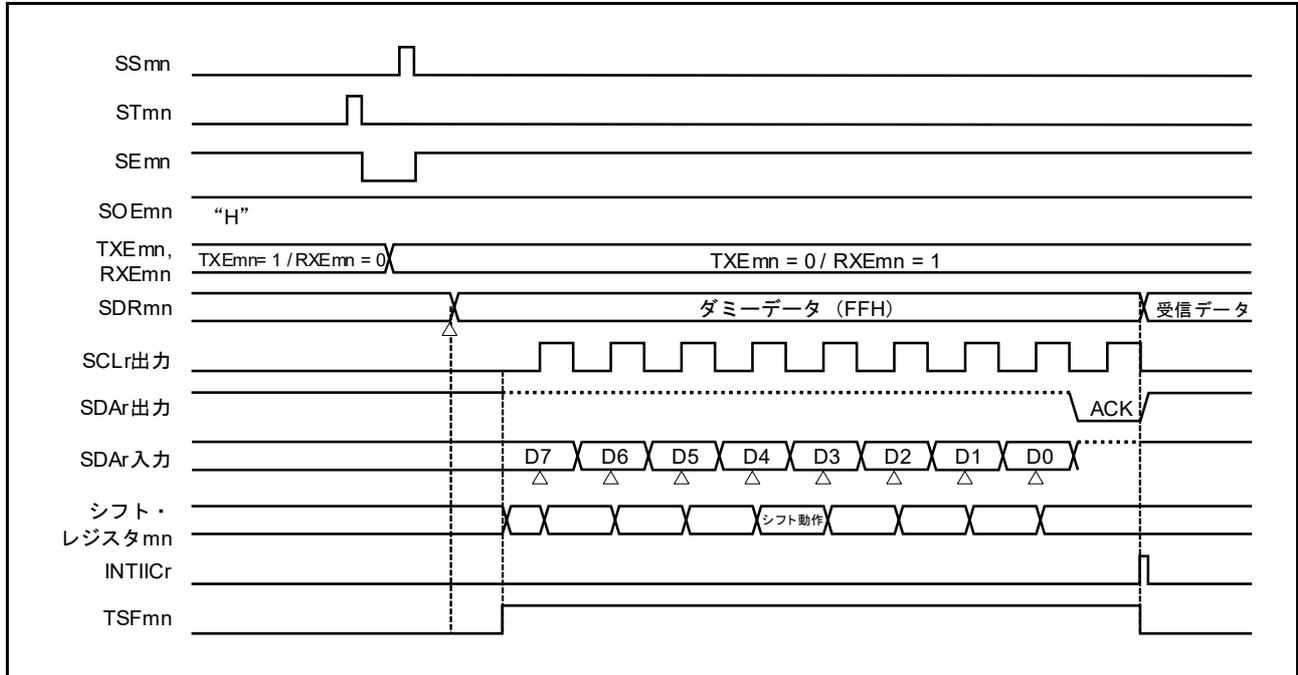
備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

備考2.  : IICモードでは設定固定  : 設定不可 (初期値を設定)  
0/1 : ユーザの用途に応じて0または1に設定

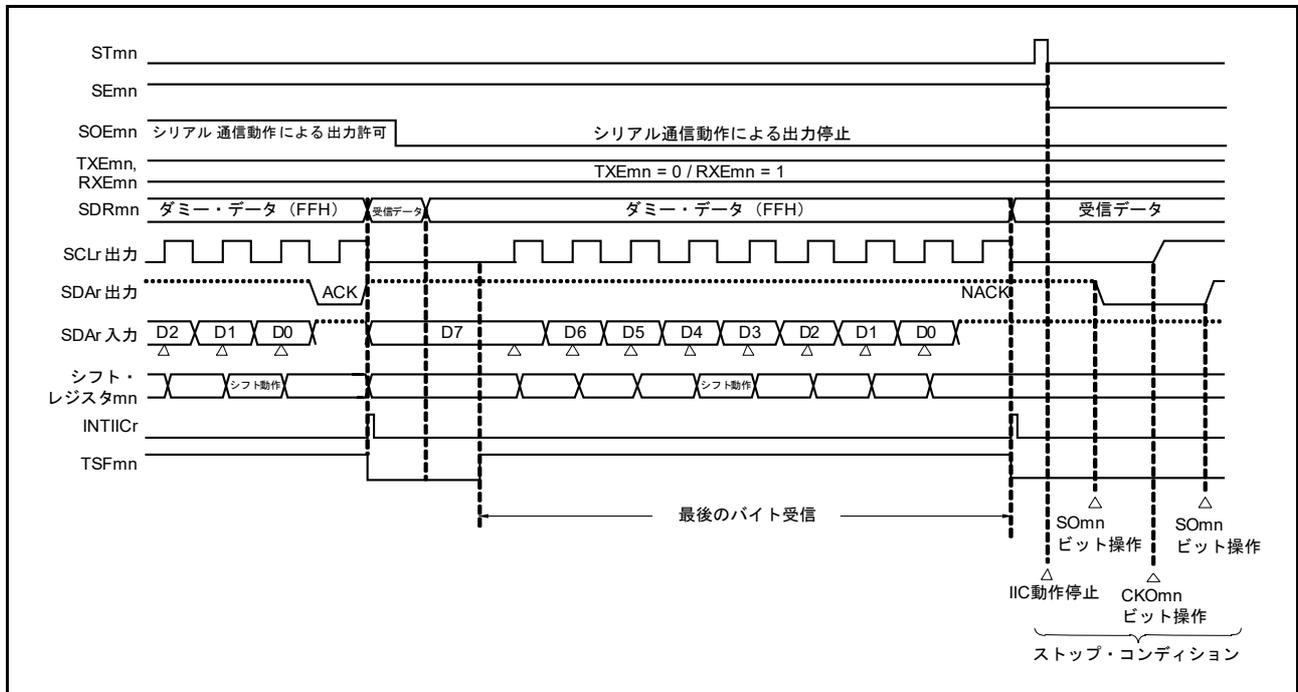
(2) 処理フロー

図15-110 データ受信のタイミング・チャート

(a) データ受信開始時

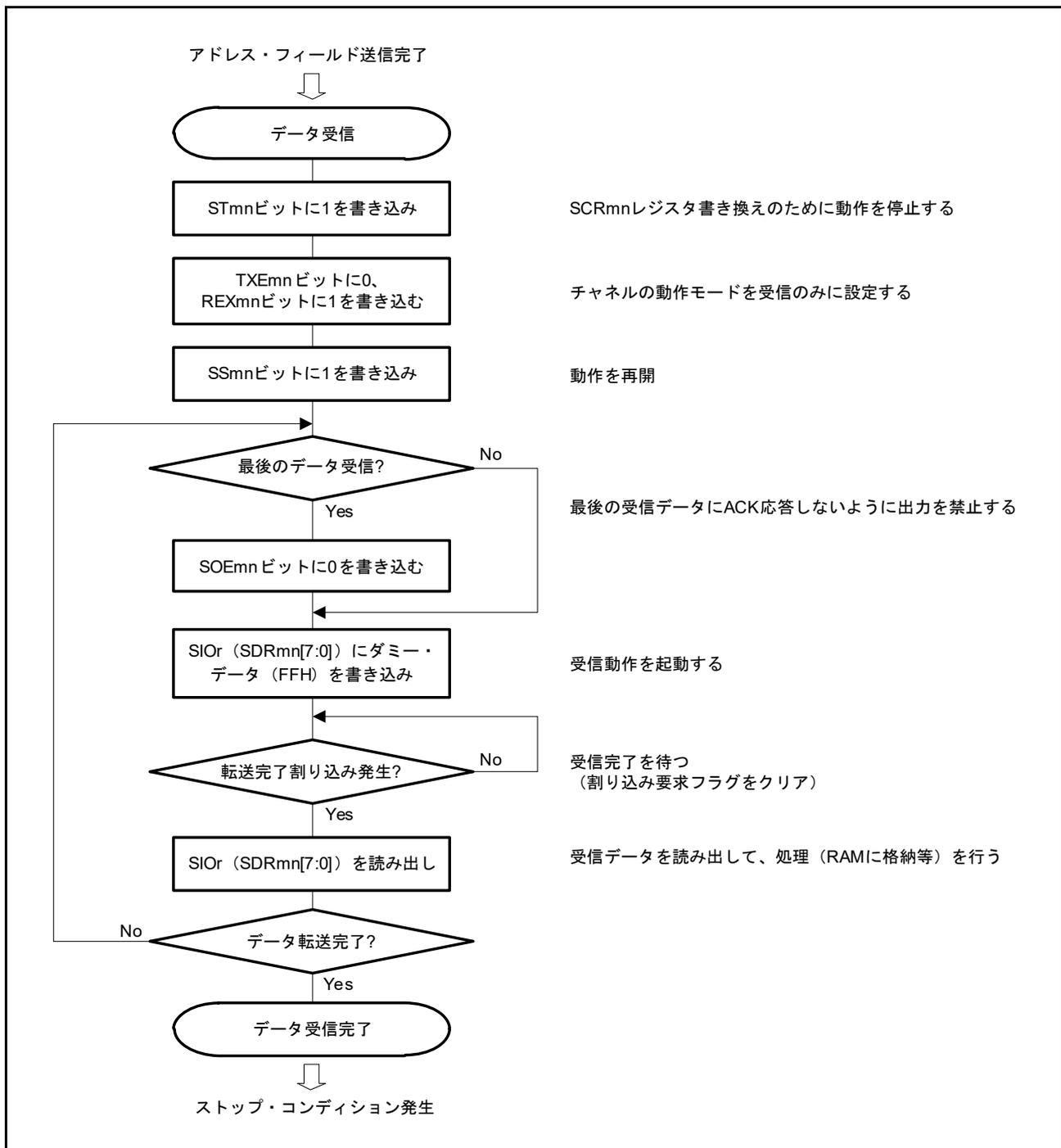


(b) 最終データ受信時



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

図 15 - 111 データ受信のフロー・チャート



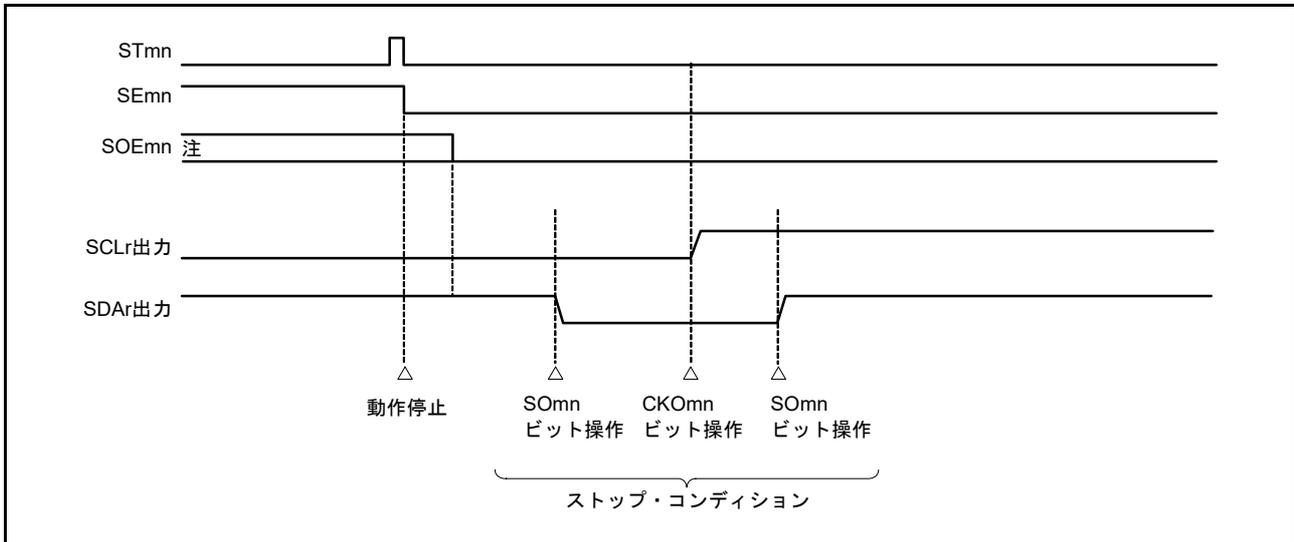
**注意** 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに1を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

### 15.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

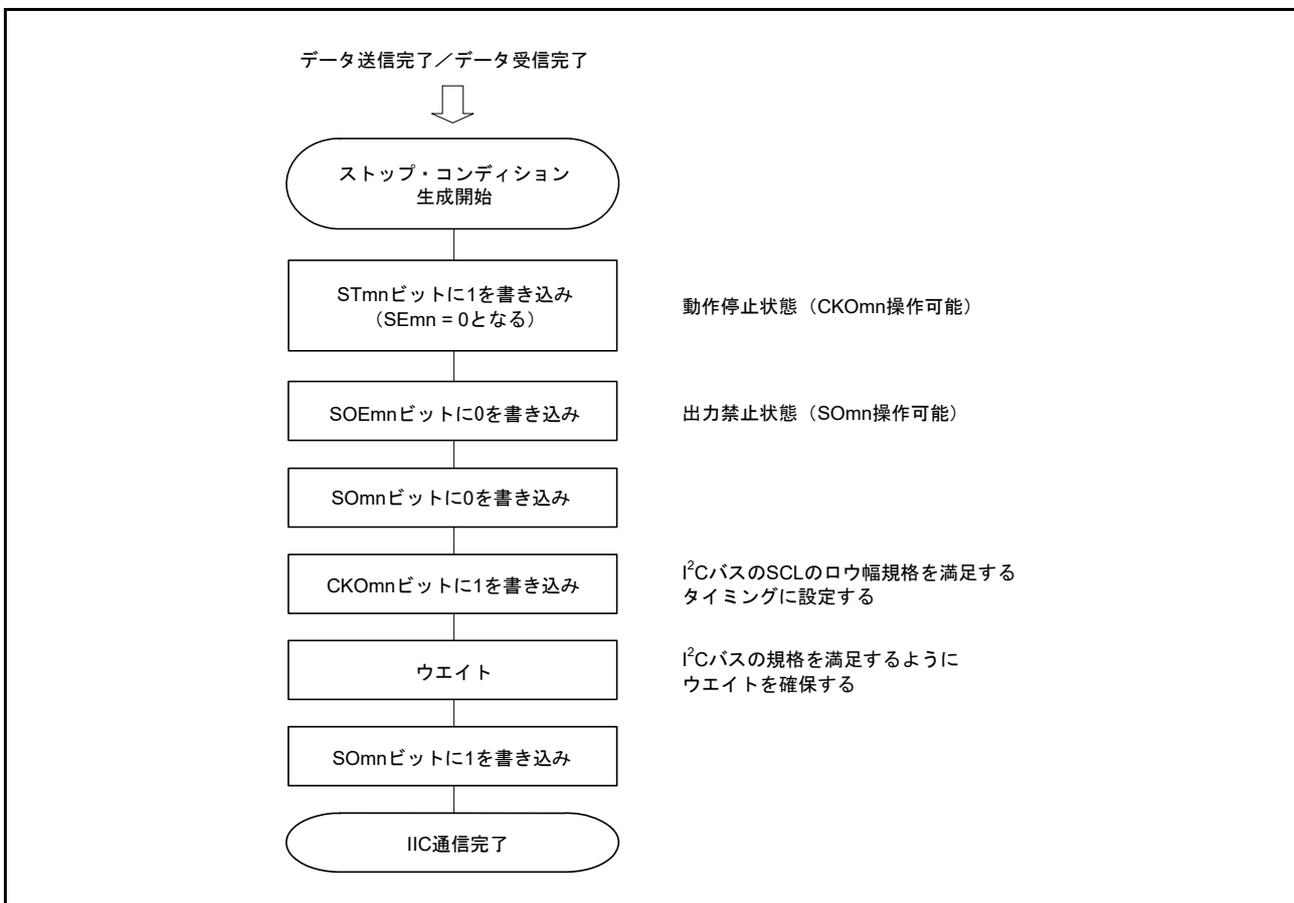
(1) 処理フロー

図15-112 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEmnビットを0に設定しています。

図15-113 ストップ・コンディション発生のフロー・チャート



### 15.8.5 転送レートの算出

簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

**注意** SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易 I<sup>2</sup>C 出力の SCL 信号のデューティ比は 50% です。I<sup>2</sup>C バス規格では、SCL 信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの 400 kbps やファースト・モード・プラスの 1 Mbps に設定すると、SCL 信号出力のロウ・レベル幅が I<sup>2</sup>C バスの規格値より短くなります。

SDRmn[15:9]には、この規格を満足できる値を設定してください。

**備考1.** (SDRmn[15:9]) は、シリアル・データ・レジスタ mn (SDRmn) のビット 15-9 の値 (0000001B-1111111B) なので、1-127 になります。

**備考2.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn ビット) で決まります。

表15-10 簡易I2C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時	
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 <sup>2</sup>	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 <sup>3</sup>	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 <sup>4</sup>	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 <sup>5</sup>	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 <sup>6</sup>	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 <sup>7</sup>	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 <sup>8</sup>	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 <sup>9</sup>	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 <sup>10</sup>	31.25 kHz
x	x	x	x	1	0	1	1	fCLK/2 <sup>11</sup>	15.63 kHz	
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 <sup>2</sup>	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 <sup>3</sup>	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 <sup>4</sup>	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 <sup>5</sup>	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 <sup>6</sup>	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 <sup>7</sup>	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 <sup>8</sup>	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 <sup>9</sup>	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 <sup>10</sup>	31.25 kHz
1	0	1	1	x	x	x	x	fCLK/2 <sup>11</sup>	15.63 kHz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. x : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

fMCK = fCLK = 32 MHz の場合の I<sup>2</sup>C 転送レート設定例を示します。

I <sup>2</sup> C 転送モード (希望転送レート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	79	100 kHz	0.0%
400 kHz	fCLK	41	380 kHz	5.0%注
1 MHz	fCLK	18	0.84 MHz	16.0%注

注 SCL 信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

### 15.8.6 簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時におけるエラー発生時の処理手順

簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時にエラーが発生した場合の処理手順を表 15-11、表 15-12 に示します。

表15-11 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	→ SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に 1 をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表15-12 簡易 I<sup>2</sup>C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが 0 となり、チャンネル n は動作停止状態になる	ACK が返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが 1 となり、チャンネル n は動作許可状態になる	

**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)  
mn = 00-03, 10-13

## 第16章 シリアル・インタフェースIICA (IICA)

シリアル・インタフェースIICAのチャンネル数は、製品によって異なります。

	30, 32, 36, 40ピン	44, 48, 52, 56, 64, 80, 100, 128ピン
シリアル・インタフェースIICAのチャンネル数	1 ch	2 ch

### 16.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I<sup>2</sup>Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1 (IICCTLn1) のWUPnビットにより設定します。

なお、ICCTLn1レジスタのSVADISnビットを1にセットすることで全アドレス一致機能が許可となり、アドレスを受信した際にどのようなアドレスでも一致と判断します。

図16-1に、シリアル・インタフェースIICAのブロック図を示します。

備考 n = 0, 1

図 16 - 1 シリアル・インタフェースIICA0のブロック図

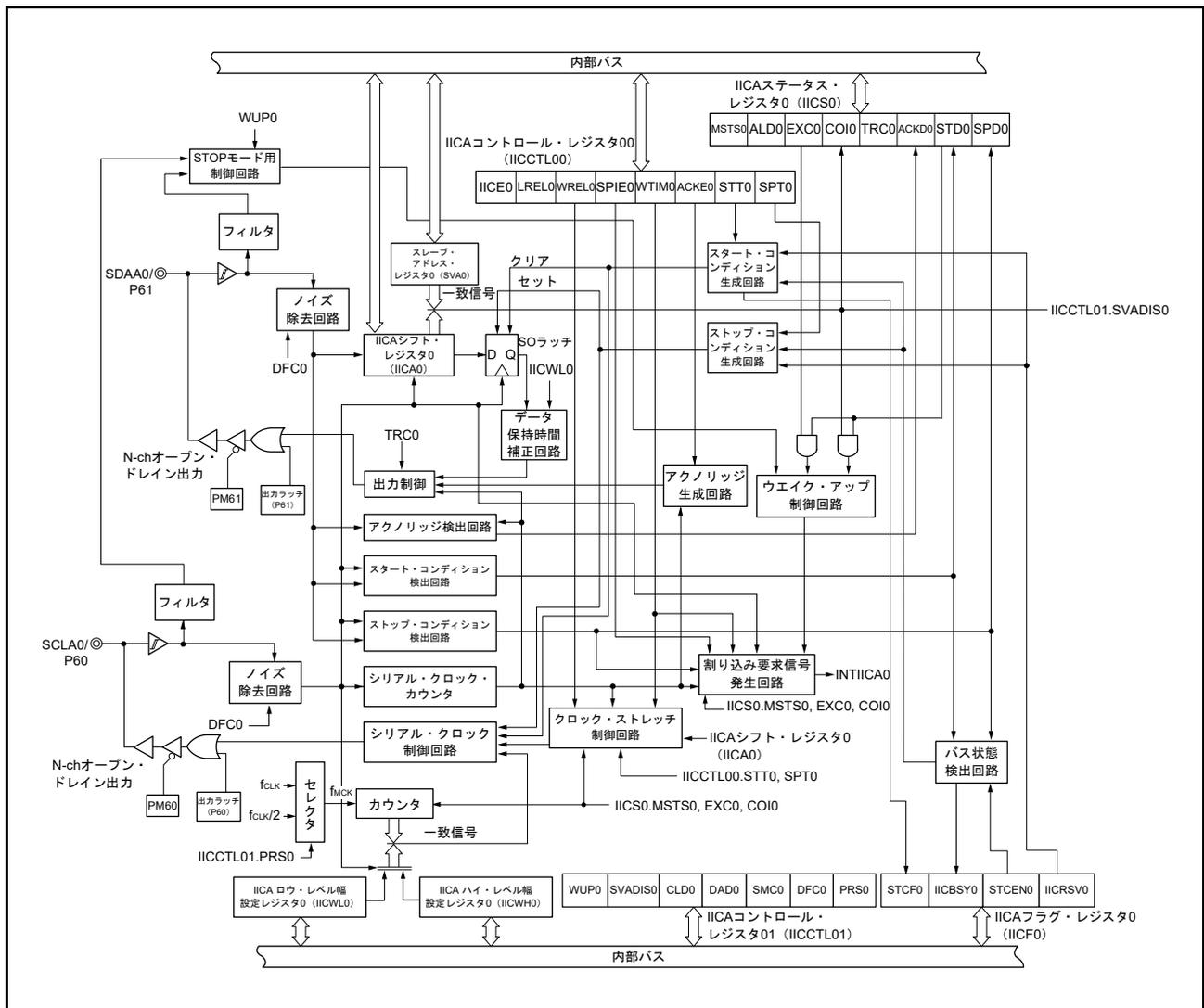
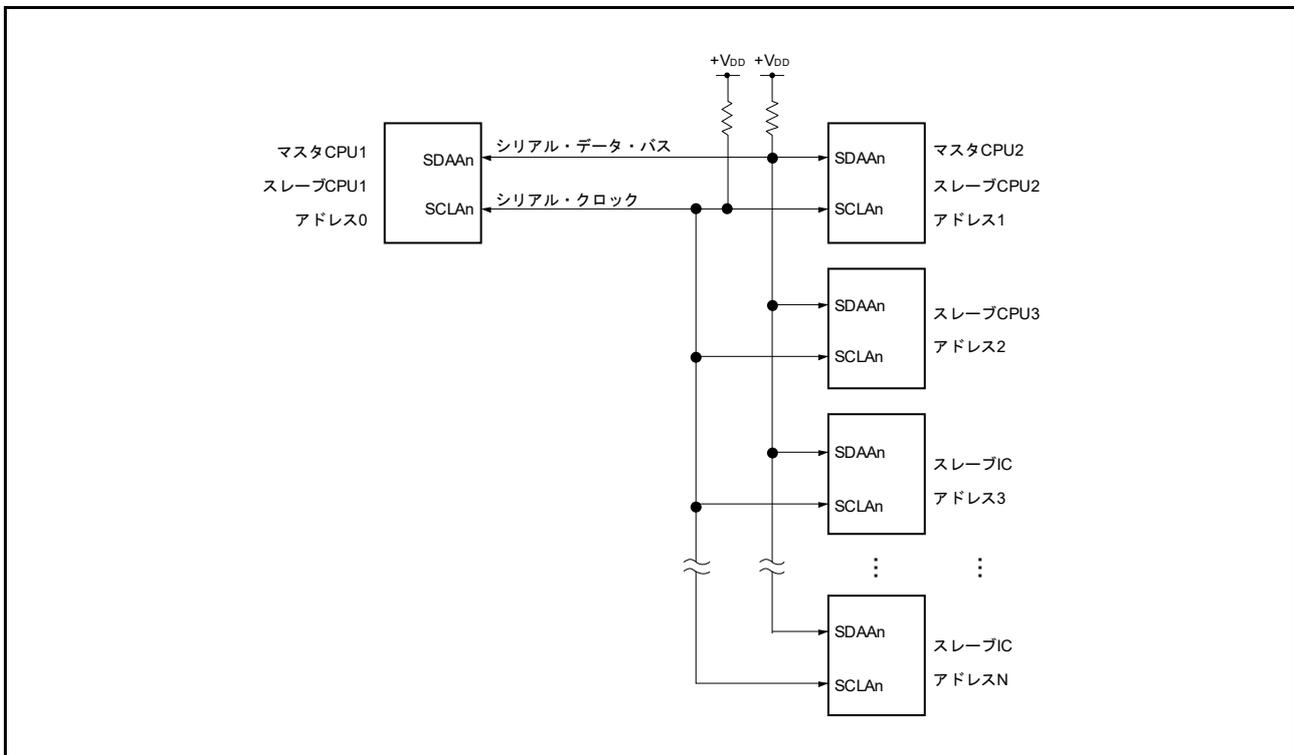


図 16 - 2 にシリアル・バス構成例を示します。

図16-2 I<sup>2</sup>Cバスによるシリアル・バス構成例



備考 n = 0, 1

## 16.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表16-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタn (IICAn) スレーブ・アドレス・レジスタn (SVAn)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) 周辺リセット制御レジスタ0 (PRR0) IICAコントロール・レジスタn0 (IICCTLn0) IICAステータス・レジスタn (IICSn) IICAフラグ・レジスタn (IICFn) IICAコントロール・レジスタn1 (IICCTLn1) IICAロウ・レベル幅設定レジスタn (IICWLn) IICAハイ・レベル幅設定レジスタn (IICWHn) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

備考 n = 0, 1

### (1) IICAシフト・レジスタn (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

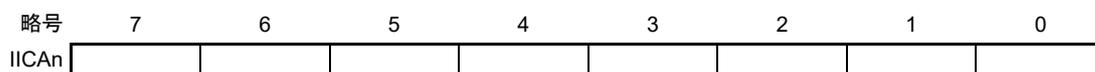
リセット信号の発生により、00Hになります。

図16-3 IICAシフト・レジスタn (IICAn) のフォーマット

アドレス : FFF50H (IICA0), FFF54H (IICA1)

リセット時: 00H

R/W属性 : R/W



注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み/読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STTn) をセット (1) したあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0, 1

## (2) スレーブ・アドレス・レジスタ n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図16-4 スレーブ・アドレス・レジスタ n (SVAn) のフォーマット

アドレス : F0234H (SVA0), F023CH (SVA1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

## (3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

## (4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ n (SVAn) に設定したアドレス値と受信アドレスが一致するか、全アドレス一致機能許可状態でアドレスを受信した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIICAn) を発生させる回路です。

## (5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

## (6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn) の発生を制御します。

I<sup>2</sup>C割り込み要求は、次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

**備考** WTIMnビット : IICA コントロール・レジスタ n0 (IICCTLn0) のビット 3

SPIEnビット : " のビット 4

## (7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

## (8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

## (9) アクノリッジ生成回路、ストップ・コンディション検出回路、スタート・コンディション検出回路、アクノリッジ検出回路

各状態の生成および検出を行います。

**備考** n = 0, 1

## (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

## (11) スタート・コンディション生成回路

STTnビットがセット (1) されるとスタート・コンディションを生成します。

ただし、通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット = 1) 場合には、スタート・コンディション要求は無視し、STCFnビットをセット (1) します。

## (12) ストップ・コンディション生成回路

SPTnビットがセット (1) されるとストップ・コンディションを生成します。

## (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できません。STCENnビットでバス状態検出回路の初期状態を設定してください。

**備考1.** STTnビット : IICA コントロール・レジスタ n0 (IICCTLn0) のビット 1

SPTnビット : " のビット 0

IICRSVnビット : IICA フラグ・レジスタ n (IICFn) のビット 0

IICBSYnビット : " のビット 6

STCFnビット : " のビット 7

STCENnビット : " のビット 1

**備考2.** n = 0, 1

## 16.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- IICAコントロール・レジスタn0 (IICCTLn0)
- IICAステータス・レジスタn (IICSn)
- IICAフラグ・レジスタn (IICFn)
- IICAコントロール・レジスタn1 (IICCTLn1)
- IICAロウ・レベル幅設定レジスタn (IICWLn)
- IICAハイ・レベル幅設定レジスタn (IICWHn)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

**備考1.** n = 0, 1

**備考2.** x = 1, 6; xx = 1, 6

ただし、POM6、PMCA6は搭載していません。

### 16.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICA0 を使用するときは、必ずビット4 (IICA0EN) を1に設定してください。

また、シリアル・インタフェース IICA1 を使用するときは、必ずビット6 (IICA1EN) を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCWEN	IICA1EN 注1	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN 注2	TAU0EN
	IICAnEN	シリアル・インタフェースIICAnの入カクロック供給の制御						
	0	入カクロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・シリアル・インタフェースIICAnで使用するSFRへのリード/ライト可						

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAnEN = 1の状態、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAのレジスタは初期値となり、書き込みは無視されます (ポート・モード・レジスタ6 (PM6)、ポート・レジスタ6 (P6) は除く)。

- ・ IICAコントロール・レジスタn0 (IICCTLn0)
- ・ IICAフラグ・レジスタn (IICFn)
- ・ IICAステータス・レジスタn (IICSn)
- ・ IICAコントロール・レジスタn1 (IICCTLn1)
- ・ IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・ IICAハイ・レベル幅設定レジスタn (IICWHn)
- ・ IICAシフト・レジスタn (IICAn)
- ・ スレーブ・アドレス・レジスタn (SVAn)

注意2. 次のビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

注意3. 各周辺機能が動作許可の状態、PER0 レジスタの対象ビットを切り替えないでください。

PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

備考 n = 0, 1

### 16.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0 レジスタのビット6, 4 (IICA1RES, IICA0RES) で、対応するシリアル・インタフェース IICA1, IICA0 のリセット/リセット解除の制御を行います。

PRR0 レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

図16-6 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR0	0	IICA1RES 注1	ADCRES	IICA0RES	SAU1RES	SAU0RES	TAU1RES 注2	TAU0RES
IICAnRES	シリアル・インタフェースIICAnの周辺リセット制御							
0	シリアル・インタフェースIICAnのリセット解除							
1	シリアル・インタフェースIICAnはリセット状態 ・シリアル・インタフェースIICAnで使用するSFRが初期化されます。							

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. ビット7には、必ず0を設定してください。

注意2. 次の各ビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

備考 n = 0, 1

### 16.3.3 IICAコントロール・レジスタn0 (IICCTLn0)

I<sup>2</sup>Cの動作許可/停止、クロック・ストレッチ・タイミングの設定、その他I<sup>2</sup>Cの動作を設定するレジスタです。

IICCTLn0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEnビットは、IICEn = 0のとき、またはクロック・ストレッチ期間中に設定してください。またIICEnビットを0から1に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

**備考** n = 0, 1

図16-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (1/5)

アドレス : F0230H (IICCTL00), F0238H (IICCTL10)

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
IICEn	I <sup>2</sup> Cの動作許可							
0	動作停止。IICAステータス・レジスタn (IICSn) をリセット <sup>注</sup> 。内部動作も停止。							
1	動作許可。							
このビットのセット (1) は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。								
クリアされる条件 (IICEn = 0)					セットされる条件 (IICEn = 1)			
<ul style="list-style-type: none"> <li>命令によるクリア</li> <li>リセット時</li> </ul>					<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>			

**注** リセットされるのは、IICAステータス・レジスタn (IICA0)、IICAフラグ・レジスタn (IICF0) のSTCFn、IICBSYnビット、IICAコントロール・レジスタn1 (IICCTLn1) レジスタのCLDn、DADnビットです。

**注意** SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1レジスタのDFCn = 1) のときにI<sup>2</sup>Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I<sup>2</sup>Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット (1) してください。

**備考** n = 0, 1

図16-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (2/5)

LRELn 注1,2	通信退避	
0	通常動作。	
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0 (IICCTLn0)、IICAステータス・レジスタn (IICSn) のうち、次のフラグがクリア (0) される。 ・STTn・SPTn・MSTSn・EXCn・COIn・TRCn・ACKDn・STDn	
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。		
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出後、マスタとしての起動</li> <li>・スタート・コンディション後のアドレス一致または拡張コード受信または全アドレス一致機能許可状態でのアドレス受信</li> </ul>		
クリアされる条件 (LRELn = 0)		セットされる条件 (LRELn = 1)
<ul style="list-style-type: none"> <li>・実行後、自動的にクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

WRELn 注1,2	クロック・ストレッチ解除	
0	クロック・ストレッチを解除しない。	
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。	
送信状態 (TRCn = 1) で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット (クロック・ストレッチを解除) した場合、SDAAnラインをハイ・インピーダンス (TRCn = 0) にします。		
クリアされる条件 (WRELn = 0)		セットされる条件 (WRELn = 1)
<ul style="list-style-type: none"> <li>・実行後、自動的にクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

SPIEn注1	ストップ・コンディション検出による割り込み要求発生時の許可/禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタn1 (IICCTLn1) のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIEn = 0)		セットされる条件 (SPIEn = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

注1. IICEn = 0の状態では、このビットの信号は無効になります。

注2. LRELn, WRELnビットの読み出し値は常に0になります。

**注意** SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1レジスタのDFCn = 1) のときにI<sup>2</sup>Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I<sup>2</sup>Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット (1) してください。

備考 n = 0, 1

図16-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (3/5)

WTIMn <sup>注1</sup>	クロック・ストレッチおよび割り込み要求発生時の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 ・マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ ・スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9クロック目の立ち下がりで割り込み要求発生。 ・マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ ・スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし、拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。 全アドレス一致機能許可状態でのアドレス受信時は、8クロック目の立ち下がりでクロック・ストレッチに入ります。		
クリアされる条件 (WTIMn = 0)		セットされる条件 (WTIMn = 1)
・命令によるクリア ・リセット時		・命令によるセット

ACKEn <sup>注1,2</sup>	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件 (ACKEn = 0)		セットされる条件 (ACKEn = 1)
・命令によるクリア ・リセット時		・命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注2. アドレス転送中で、かつ拡張コードでない場合で全アドレス一致機能が停止の場合、設定値は無効です。スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0, 1

図 16 - 7 IICAコントロール・レジスタ n0 (IICCTLn0) のフォーマット (4/5)

STTn <sup>注1,2</sup>	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき (待機状態、IICBSYnが0のとき) :</p> <p>セット (1) すると、スタート・コンディションを生成する (マスタとしての起動)。</p> <p>第三者が通信中のとき :</p> <ul style="list-style-type: none"> <li>通信予約機能許可の場合 (IICRSVn = 0) スタート・コンディション予約フラグとして機能する。セット (1) すると、バスが解放されたあと自動的にスタート・コンディションを生成する。</li> <li>通信予約機能禁止の場合 (IICRSVn = 1) セット (1) してもSTTnビットはクリアされ、STTnクリア・フラグ (STCFn) がセット (1) される。スタート・コンディションは生成しない。</li> </ul> <p>クロック・ストレッチ状態 (マスタ時) :</p> <p>クロック・ストレッチを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> <li>マスタ受信の場合 : 転送中のセット (1) は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット (1) 可能です。</li> <li>マスタ送信の場合 : アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット (1) してください。</li> <li>ストップ・コンディション・トリガ (SPTn) と同時セット (1) することは禁止です。</li> <li>STTnビットをセット (1) 後、クリア条件になる前に再度セット (1) することは禁止です。</li> </ul>	
クリアされる条件 (STTn = 0)	セットされる条件 (STTn = 1)
<ul style="list-style-type: none"> <li>通信予約禁止状態でのSTTnビットのセット (1)</li> <li>アービトラクションに負けたとき</li> <li>マスタでのスタート・コンディション生成</li> <li>LRELn = 1 (通信退避) によるクリア</li> <li>IICEn = 0 (動作停止) のとき</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

注1. IICEn = 0の状態では、このビットの信号は無効になります。

注2. STTnビットの読み出し値は、常に0になります。

備考1. IICRSVn : IICフラグ・レジスタ n (IICFn) のビット0

STCFn : " のビット7

備考2. n = 0, 1

図16-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (5/5)

SPTn <sup>注</sup>	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する (マスタとしての転送終了)。	
セット・タイミングに関する注意 <ul style="list-style-type: none"> <li>マスタ受信の場合：転送中のセット (1) は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット (1) 可能です。</li> <li>マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。</li> <li>スタート・コンディション・トリガ (STTn) と同時にセット (1) することは禁止です。</li> <li>SPTnビットのセット (1) は、マスタのときのみ行ってください。</li> <li>WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット (1) すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット (1) してください。</li> <li>SPTnビットをセット (1) 後、クリア条件になる前に、再度セット (1) することは禁止です。</li> </ul>		
クリアされる条件 (SPTn = 0)		セットされる条件 (SPTn = 1)
<ul style="list-style-type: none"> <li>アービトレーションに負けたとき</li> <li>ストップ・コンディション検出後、自動的にクリア</li> <li>LRELn = 1 (通信回避) によるクリア</li> <li>IICEn = 0 (動作停止) のとき</li> <li>リセット時</li> </ul>		<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタn (IICSn) のビット3 (TRCn) = 1 (送信状態) のとき、9クロック目にIICCTLn0レジスタのビット5 (WRELn) をセット (1) してクロック・ストレッチ解除すると、TRCnビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考1. ビット0 (SPTn) は、データ設定後に読み出すと0になっています。

備考2. n = 0, 1

### 16.3.4 IICAステータス・レジスタ n (IICSn)

I<sup>2</sup>Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1 およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

**注意** STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求信号と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIEn = 1) して割り込み検出後にIICSnレジスタを読み出してください。

**備考** STTn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット1  
 WUPn : IICAコントロール・レジスタ n1 (IICCTLn1) のビット7

図16-8 IICAステータス・レジスタ n (IICSn) のフォーマット (1/4)

アドレス : FFF51H (IICS0), FFF55H (IICS1)  
 リセット時: 00H  
 R/W属性 : R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICSn	MSTS <sub>n</sub>	ALD <sub>n</sub>	EXC <sub>n</sub>	COI <sub>n</sub>	TRC <sub>n</sub>	ACKD <sub>n</sub>	STD <sub>n</sub>	SPD <sub>n</sub>
MSTS <sub>n</sub>	マスタ状態確認フラグ							
0	スレーブ状態または通信待機状態。							
1	マスタ通信状態。							
クリアされる条件 (MSTS <sub>n</sub> = 0)					セットされる条件 (MSTS <sub>n</sub> = 1)			
<ul style="list-style-type: none"> <li>ストップ・コンディション検出時</li> <li>ALD<sub>n</sub> = 1 (アービトレーション負け) のとき</li> <li>LREL<sub>n</sub> = 1 (通信退避) によるクリア</li> <li>IICEn = 1→0 (動作停止) のとき</li> <li>リセット時</li> </ul>					<ul style="list-style-type: none"> <li>スタート・コンディション生成時</li> </ul>			
ALD <sub>n</sub>	アービトレーション負け検出							
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。							
1	アービトレーションに負けた状態。MSTS <sub>n</sub> ビットがクリアされる。							
クリアされる条件 (ALD <sub>n</sub> = 0)					セットされる条件 (ALD <sub>n</sub> = 1)			
<ul style="list-style-type: none"> <li>IICSnレジスタ読み出し後、自動的にクリア注</li> <li>IICEn = 1→0 (動作停止) のとき</li> <li>リセット時</li> </ul>					<ul style="list-style-type: none"> <li>アービトレーションに負けたとき</li> </ul>			

**注** IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnビット使用時は、ほかのビットよりも先にデータをリードしてください。

**備考1.** LREL<sub>n</sub> : IICAコントロール・レジスタ n0 (IICCTLn0) のビット6  
 IICEn : " のビット7

**備考2.** n = 0, 1

図16-8 IICAステータス・レジスタ n (IICSn) のフォーマット (2/4)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。もしくは、全アドレス一致機能が許可状態。	
	クリアされる条件 (EXCn = 0)	セットされる条件 (EXCn = 1)
	<ul style="list-style-type: none"> <li>スタート・コンディション検出時</li> <li>ストップ・コンディション検出時</li> <li>LRELn = 1 (通信退避) によるクリア</li> <li>IICEn = 1→0 (動作停止) のとき</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)</li> <li>全アドレス一致機能許可 (IICCTLn1.SVADISn = 1) 設定がされた状態でアドレスを受信したとき (8クロック目の立ち上がりでセット)</li> </ul>

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。もしくは、全アドレス一致機能が許可状態。	
	クリアされる条件 (COIn = 0)	セットされる条件 (COIn = 1)
	<ul style="list-style-type: none"> <li>スタート・コンディション検出時</li> <li>ストップ・コンディション検出時</li> <li>LRELn = 1 (通信退避) によるクリア</li> <li>IICEn = 1→0 (動作停止) のとき</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ n (SVAn)) と一致したとき (8クロック目の立ち上がりでセット)</li> <li>全アドレス一致機能許可 (IICCTLn1.SVADISn = 1) 設定時に、アドレス受信したとき。(8クロック目の立ち上がりでセット)</li> </ul>

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット6  
IICEn : // のビット7

備考2. n = 0, 1

図16-8 IICAステータス・レジスタn (IICSn) のフォーマット (3/4)

TRCn	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
	クリアされる条件 (TRCn = 0)	セットされる条件 (TRCn = 1)
	<マスタ、スレーブ共通> <ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LRELn = 1 (通信退避) によるクリア</li> <li>・IICEn = 1→0 (動作停止) のとき</li> <li>・WRELn = 1 (クロック・ストレッチ解除) によるクリア注</li> <li>・ALDn = 0→1 (アービトレーション負け) のとき</li> <li>・リセット時</li> <li>・通信不参加の場合 (MSTSn, EXCn, COIn = 0)</li> </ul> <マスタの場合> <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に1を出力したとき</li> </ul> <スレーブの場合> <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・1バイト目のLSB (転送方向指定ビット) に0を入力したとき</li> </ul>	<マスタの場合> <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> <li>・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に0 (マスタ送信) を出力したとき</li> </ul> <スレーブの場合> <ul style="list-style-type: none"> <li>・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に1 (スレーブ送信) が入力されたとき</li> </ul>

**注** IICAステータス・レジスタn (IICSn) のビット3 (TRCn) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) をセット (1) してクロック・ストレッチを解除すると、TRCnビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

**備考1.** LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6  
 IICEn : " のビット7

**備考2.** n = 0, 1

図16-8 IICAステータス・レジスタ n (IICSn) のフォーマット (4/4)

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKDn = 0)		セットされる条件 (ACKDn = 1)
<ul style="list-style-type: none"> <li>• ストップ・コンディション検出時</li> <li>• 次のバイトの1クロック目の立ち上がり時</li> <li>• LRELn = 1 (通信退避) によるクリア</li> <li>• IICEn = 1→0 (動作停止) のとき</li> <li>• リセット時</li> </ul>		<ul style="list-style-type: none"> <li>• SCLAnラインの9クロック目の立ち上がり時に SDAAnラインがロウ・レベルであったとき</li> </ul>
STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		セットされる条件 (STDn = 1)
<ul style="list-style-type: none"> <li>• ストップ・コンディション検出時</li> <li>• アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>• LRELn = 1 (通信退避) によるクリア</li> <li>• IICEn = 1→0 (動作停止) のとき</li> <li>• リセット時</li> </ul>		<ul style="list-style-type: none"> <li>• スタート・コンディション検出時</li> </ul>
SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPDn = 0)		セットされる条件 (SPDn = 1)
<ul style="list-style-type: none"> <li>• このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>• WUPn = 1→0のとき</li> <li>• IICEn = 1→0 (動作停止) のとき</li> <li>• リセット時</li> </ul>		<ul style="list-style-type: none"> <li>• ストップ・コンディション検出時</li> </ul>

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット6

IICEn : " のビット7

備考2. n = 0, 1

### 16.3.5 IICAフラグ・レジスタ n (IICFn)

I<sup>2</sup>Cの動作モードの設定と、I<sup>2</sup>Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ (STCFn)、I<sup>2</sup>Cバス状態フラグ (IICBSYn) は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn, STCENnビットはI<sup>2</sup>Cが動作禁止 (IICAコントロール・レジスタ n0 (IICCTLn0) のビット7 (IICEn) = 0) のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図16-9 IICAフラグ・レジスタ n (IICFn) のフォーマット (1/2)

アドレス : FFF52H (IICF0), FFF56H (IICF1)

リセット時: 00H

R/W属性 : R/W注

略号	<7>	<6>	5	4	3	2	<1>	<0>	
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn	
STCFn	STTnクリア・フラグ								
0	スタート・コンディション発行。								
1	スタート・コンディション発行できず、STTnフラグ・クリア。								
クリアされる条件 (STCFn = 0)				セットされる条件 (STCFn = 1)					
<ul style="list-style-type: none"> <li>• STTn = 1によるクリア</li> <li>• IICEn = 0 (動作停止) のとき</li> <li>• リセット時</li> </ul>				<ul style="list-style-type: none"> <li>• 通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、STTnビットがクリア (0) されたとき</li> </ul>					
IICBSYn	I <sup>2</sup> Cバス状態フラグ								
0	バス解放状態 (STCENn = 1時の通信初期状態)。								
1	バス通信状態 (STCENn = 0時の通信初期状態)。								
クリアされる条件 (IICBSYn = 0)				セットされる条件 (IICBSYn = 1)					
<ul style="list-style-type: none"> <li>• ストップ・コンディション検出時</li> <li>• IICEn = 0 (動作停止) のとき</li> <li>• リセット時</li> </ul>				<ul style="list-style-type: none"> <li>• スタート・コンディション検出時</li> <li>• STCENn = 0時のIICEnビットのセット</li> </ul>					
STCENn	初期スタート許可トリガ								
0	動作許可 (IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。								
1	動作許可 (IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。								
クリアされる条件 (STCENn = 0)				セットされる条件 (STCENn = 1)					
<ul style="list-style-type: none"> <li>• 命令によるクリア</li> <li>• スタート・コンディション検出時</li> <li>• リセット時</li> </ul>				<ul style="list-style-type: none"> <li>• 命令によるセット</li> </ul>					

図16-9 IICAフラグ・レジスタn (IICFn) のフォーマット (2/2)

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
	クリアされる条件 (IICRSVn = 0)	セットされる条件 (IICRSVn = 1)
	<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>

注 ビット7, 6はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (STTn = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

IICEn : " のビット7

備考2. n = 0, 1

### 16.3.6 IICAコントロール・レジスタn1 (IICCTLn1)

I<sup>2</sup>Cの動作モードの設定やSCLAn, SDAAn 端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn、DADn ビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPn ビットを除き I<sup>2</sup>C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、00H になります。

図 16 - 10 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (1/3)

アドレス : F0231H (IICCTL01), F0239H (IICCTL11)

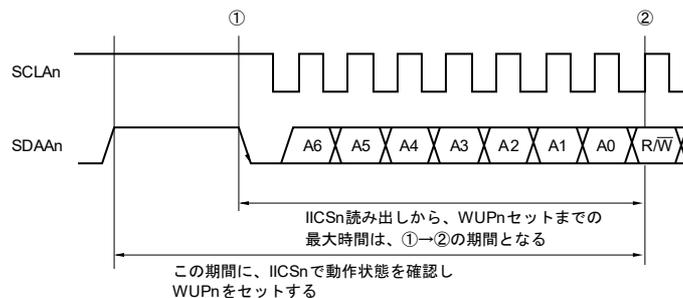
リセット時: 00H

R/W属性 : R/W注1

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
IICCTLn1	WUPn	SVADISn	CLDn	DADn	SMCn	DFCn	0	PRSn
WUPn	アドレス一致ウエイク・アップの制御							
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止							
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可							
WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット (1) してfMCKの3クロック以上経過後にSTOP命令を実行してください (図 16 - 22 WUPn = 1を設定する場合のフロー参照)。 アドレス一致、または全アドレス一致機能許可状態でのアドレス受信後、または拡張コード受信後はWUPnビットをクリア (0) してください。WUPnビットをクリア (0) することで、その後の通信に参加することができます (クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア (0) したあとに行う必要があります)。 WUPn = 1の状態における、アドレス一致および全アドレス一致機能許可状態でのアドレス受信時および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。								
クリアされる条件 (WUPn = 0)					セットされる条件 (WUPn = 1)			
・命令によるクリア (アドレス一致もしくは全アドレス一致機能許可状態でのアドレス受信後もしくは拡張コード受信後)					・命令によるセット (MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加であること) のとき) 注2			

注1. ビット5, 4はRead Onlyです。

注2. 次に示す期間に、IICAステータス・レジスタn (IICCSn) の状態を確認しセットする必要があります。



備考 n = 0, 1

図 16 - 10 IICAコントロール・レジスタ n1 (IICCTLn1) のフォーマット (2/3)

SVADISn	アドレス一致無効フラグ	
0	全アドレス一致機能停止	
1	全アドレス一致機能許可	
SVADISn = 1でIICAはすべてのアドレスに対してアドレス一致とみなし、また、拡張コード受信動作と同じ動作を行います。 そのため、IICSn.COIn = 1 かつ IICSn.EXCn = 1 の状態となります。 拡張コード受信に関しては、 <b>16.5.11 拡張コード</b> を参照。		
CLDn	SCLAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件 (CLDn = 0)		セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> <li>• SCLAn端子がロウ・レベルのとき</li> <li>• IICEn = 0 (動作停止) のとき</li> <li>• リセット時</li> </ul>		<ul style="list-style-type: none"> <li>• SCLAn端子がハイ・レベルのとき</li> </ul>
DADn	SDAAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DADn = 0)		セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> <li>• SDAAn端子がロウ・レベルのとき</li> <li>• IICEn = 0 (動作停止) のとき</li> <li>• リセット時</li> </ul>		<ul style="list-style-type: none"> <li>• SDAAn端子がハイ・レベルのとき</li> </ul>
SMCn	動作モードの切り替え	
0	標準モードで動作 (最大転送レート: 100 kbps)	
1	ファースト・モード (最大転送レート: 400 kbps) またはファースト・モード・プラス (最大転送レート: 1 Mbps) で動作	

注意1. IICA動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。

fCLKが20 MHzを超える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に1を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。

シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

備考1. IICEn: IICAコントロール・レジスタ n0 (IICCTLn0) のビット7

備考2. n = 0, 1

図16-10 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (3/3)

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは、ノイズ除去のために使用します。 DFCnビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。	
PRSn	IICA動作クロック (fMCK) の制御
0	fCLKを選択 ( $1\text{ MHz} \leq f_{\text{CLK}} \leq 20\text{ MHz}$ )
1	fCLK/2を選択 ( $20\text{ MHz} < f_{\text{CLK}}$ )

**注意1.** IICA動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。

fCLKが20 MHzを超える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に1を設定してください。

**注意2.** 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。

シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

**備考1.** IICEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット7

**備考2.** n = 0, 1

### 16.3.7 IICAロウ・レベル幅設定レジスタ n (IICWLn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLow) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I<sup>2</sup>C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWLn レジスタの設定方法については、**16.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法を参照してください。**

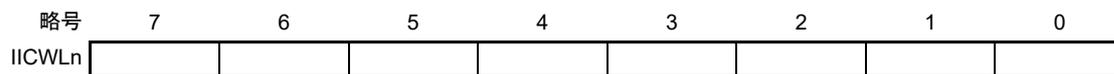
また、データ・ホールド時間は IICWLn レジスタで設定した時間の 1/4 になります。

図 16 - 11 IICAロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット

アドレス : F0232H (IICWL0), F023AH (IICWL1)

リセット時: FFH

R/W属性 : R/W



### 16.3.8 IICAハイ・レベル幅設定レジスタ n (IICWHn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I<sup>2</sup>C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

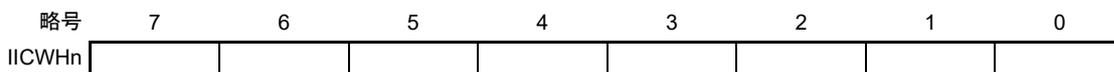
リセット信号の発生により、FFH になります。

図 16 - 12 IICAハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット

アドレス : F0233H (IICWH0), F023BH (IICWH1)

リセット時: FFH

R/W属性 : R/W



**備考1.** マスタ側の転送クロックの設定方法は**16.4.2 (1)**を、スレーブ側のIICWLn, IICWHnレジスタの設定方法は、**16.4.2 (2)**を参照してください。

**備考2.** n = 0, 1

### 16.3.9 IICA入出力端子と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース IICA 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCEx) を参照してください。

SCLA0 を兼用する端子をクロック入出力、SDAA0 を兼用する端子をシリアル・データ入出力として使用するときは、PM60, PM61 ビットに 0、P60, P61 ビットに 0、PMCE60, PMCE61 ビットに 0 を設定してください。

IICEn (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7) が 0 の場合、P60/SCLA0 端子および P61/SDAA0 端子はロウ・レベル出力 (固定) となるため、出力モードへの切り替えは、IICEn ビットに 1 を設定してから行ってください。

**備考** xx = 1, 6

ただし、POM6、PMCA6は搭載していません。

## 16.4 I<sup>2</sup>Cバス・モードの機能

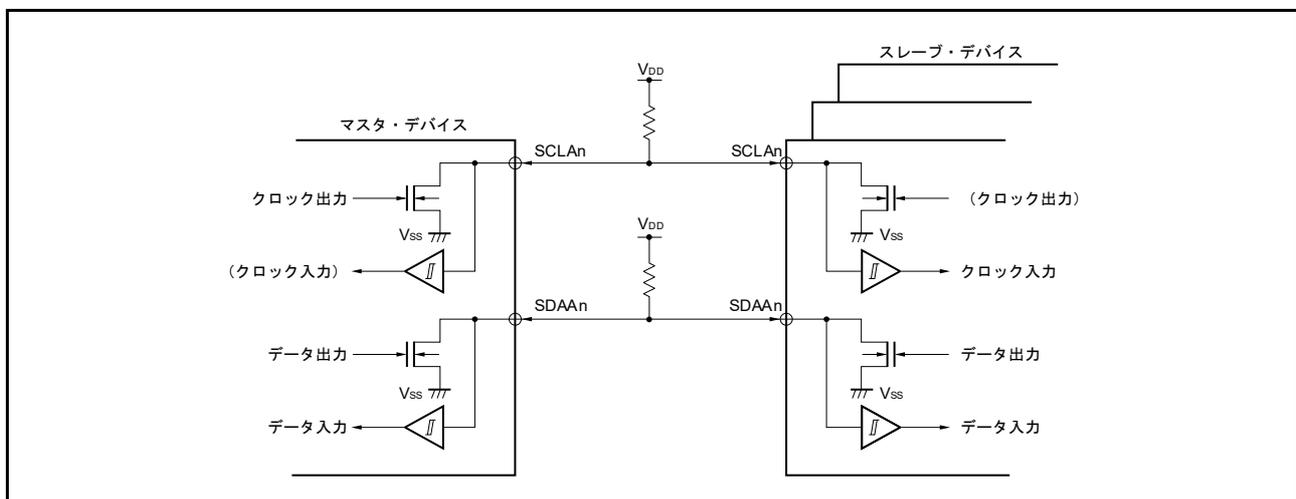
### 16.4.1 端子構成

シリアル・クロック端子 (SCLAn) と、シリアル・データ・バス端子 (SDAAn) の構成は、次のようになっています。

- (1) SCLAn : シリアル・クロックを入出力するための端子。  
 マスタ、スレーブともに、出力はN-ch オープン・ドレイン。入力はシュミット入力。
- (2) SDAAn : シリアル・データの入出力兼用端子。  
 マスタ、スレーブともに、出力はN-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-ch オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図16-13 端子構成図



備考 n = 0, 1

## 16.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法

## (1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left( \frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

- 標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left( \frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

- ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left( \frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

## (2) スレーブ側のIICWLn, IICWHnレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

$$IICWLn = 1.3 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (1.2 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

- 標準モード時

$$IICWLn = 4.7 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (5.3 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

- ファースト・モード・プラス時

$$IICWLn = 0.50 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (0.50 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

**注意1.** IICA動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。fCLKが20 MHzを超える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に1を設定してください。

転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

**注意2.** ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

(備考は次ページに続きます)

**備考1.** SDAAn, SCLAn信号の立ち上がり時間 ( $t_R$ ) と立ち下がり時間 ( $t_F$ ) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

**備考2.** IICWLn : IICA ロウ・レベル幅設定レジスタ n

IICWHn : IICA ハイ・レベル幅設定レジスタ n

$t_F$  : SDAAn, SCLAn 信号の立ち下がり時間

$t_R$  : SDAAn, SCLAn 信号の立ち上がり時間

$f_{MCK}$  : IICA 動作クロック周波数

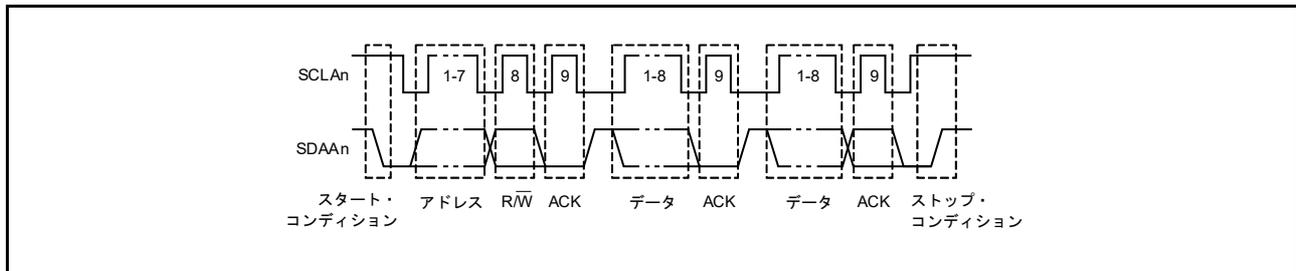
**備考3.** n = 0, 1

## 16.5 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図16-14に示します。

図16-14 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

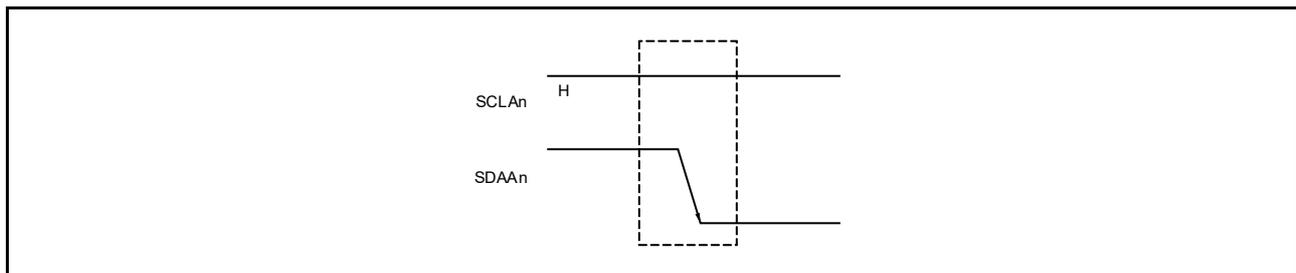
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が出力します)。

シリアル・クロック (SCLAn) は、マスタが出力し続けます。ただし、スレーブは SCLAn 端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

### 16.5.1 スタート・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn 端子、SDAAn 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図16-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPDn : IICA ステータス・レジスタ n (IICSn) のビット 0 = 1) のときに IICA コントロール・レジスタ n0 (IICCTLn0) のビット 1 (STTn) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSn レジスタのビット 1 (STDn) がセット (1) されます。

**備考** n = 0, 1

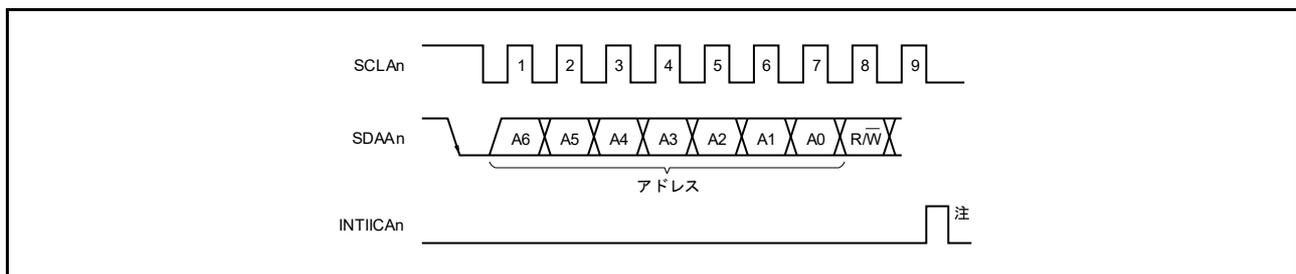
## 16.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ  $n$  (SVAn) と一致しているかを調べます。このとき、7ビット・データと SVAn レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図16-16 アドレス



**注** スレーブ動作時に、全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと **16.5.3 転送方向指定** に説明する転送方向を合わせて8ビットとして IICA シフト・レジスタ  $n$  (IICAn) に書き込むと出力します。また、受信したアドレスは IICAn レジスタに書き込まれます。

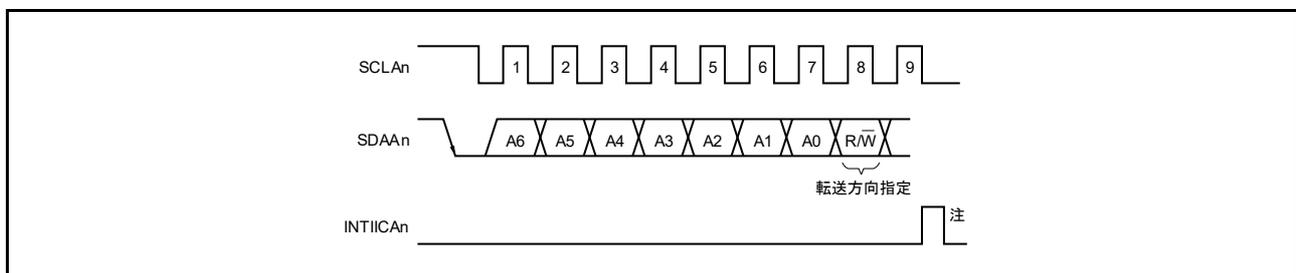
なお、スレーブのアドレスは、IICAn レジスタの上位7ビットに割り当てられます。

## 16.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図16-17 転送方向指定



**注** スレーブ動作時に全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

**備考**  $n = 0, 1$

### 16.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICA ステータス・レジスタ n (IICSn) のビット 2 (ACKDn) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

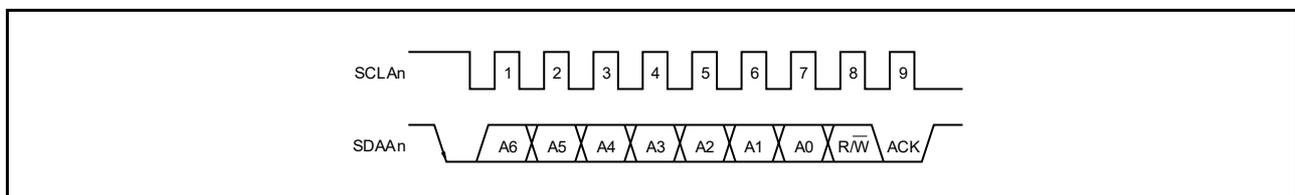
アクノリッジ生成は、受信側が9クロック目に SDAAn ラインをロウ・レベルにすることによって行われます (正常受信)。

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 2 (ACKEn) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7 ビットのアдрес情報に続く 8 ビット目のデータにより IICSn レジスタのビット 3 (TRCn) が設定されます。受信 (TRCn = 0) の場合は、通常、ACKEn ビットをセット (1) してください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEn ビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないように ACKEn ビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図16-18 アクノリッジ



自局アドレス受信時は、ACKEn ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時もしくは全アドレス一致機能許可状態でのアドレス受信時は、あらかじめ ACKEn ビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- 8クロック・クロック・ストレッチ選択時 (IICCTLn0 レジスタのビット 3 (WTIMn) = 0) :  
クロック・ストレッチ解除を行う前に ACKEn ビットをセット (1) することによって、SCLAn 端子の 8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・クロック・ストレッチ選択時 (IICCTLn0 レジスタのビット 3 (WTIMn) = 1) :  
あらかじめ ACKEn ビットをセット (1) することによって、アクノリッジを生成します。

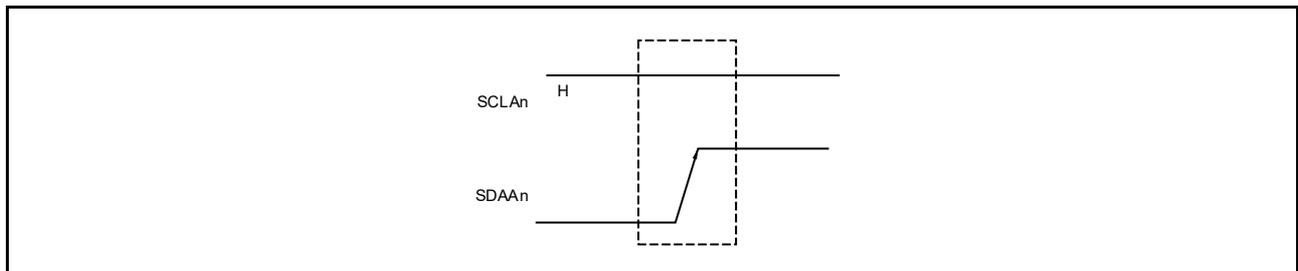
**備考** n = 0, 1

### 16.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図 16 - 19 ストップ・コンディション



ストップ・コンディションは、IICA コントロール・レジスタ n0 (IICCTLn0) のビット 0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出すると IICA ステータス・レジスタ n (IICSn) のビット 0 (SPDn) がセット (1) され、IICCTLn0 レジスタのビット 4 (SPIEn) がセット (1) されている場合には INTIICAn が発生します。

**備考** n = 0, 1

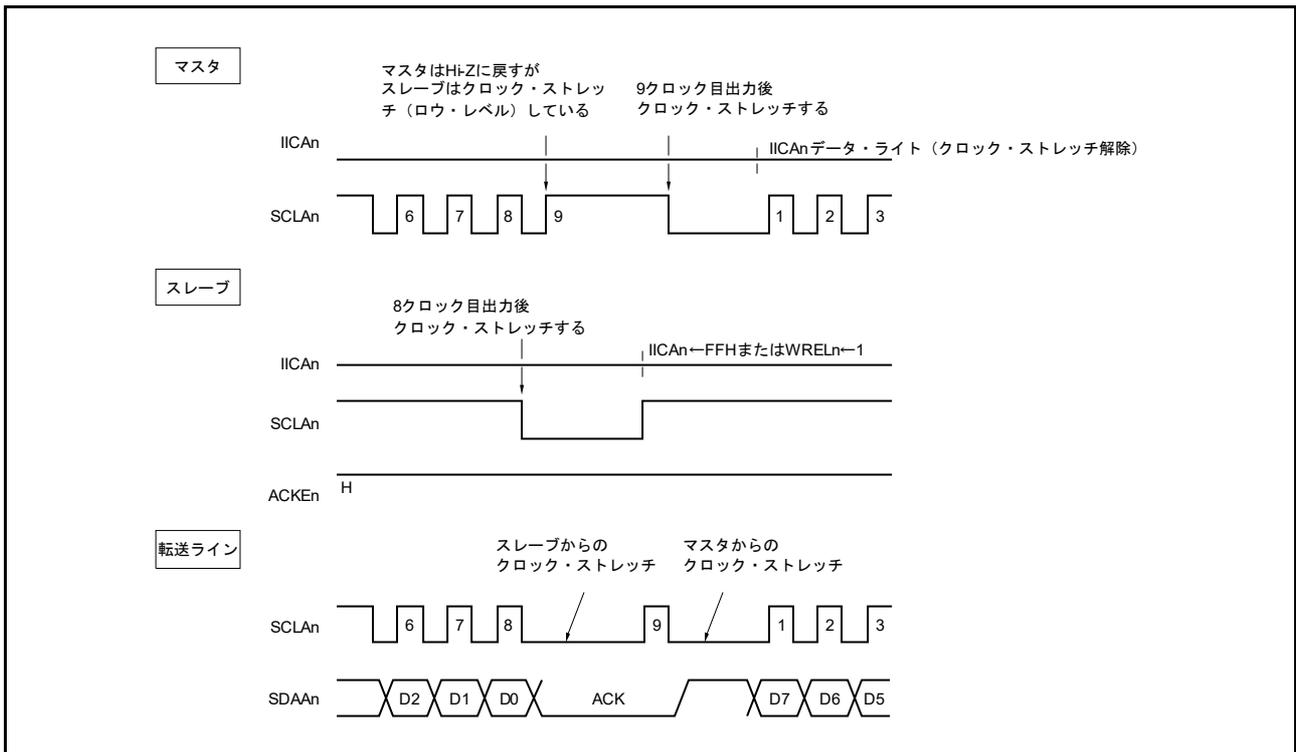
### 16.5.6 クロック・ストレッチ

クロック・ストレッチによって、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn 端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図 16 - 20 クロック・ストレッチ (1/2)

- (1) マスタは9クロック・クロック・ストレッチ、スレーブは8クロック・クロック・ストレッチ時  
(マスタ：送信、スレーブ：受信、ACKEn = 1)

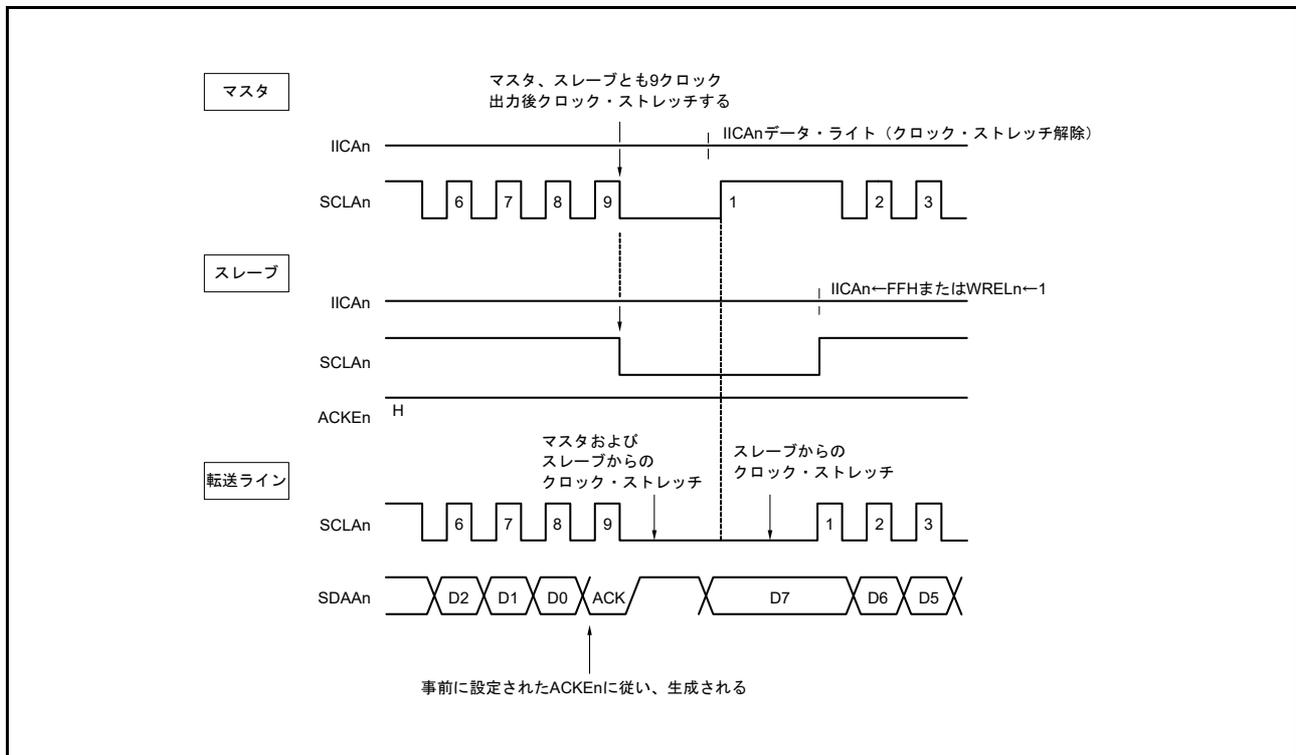


備考 n = 0, 1

図16-20 クロック・ストレッチ (2/2)

(2) マスタ、スレーブとも9クロック・クロック・ストレッチ時

(マスタ：送信、スレーブ：受信、ACKEn = 1)



**備考** ACKEn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット2  
 WRELn : " のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0) のビット3 (WTIMn) の設定により自動的に発生します。通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタ n (IICAn) にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- IICCTLn0レジスタのビット1 (STTn) = 1
- IICCTLn0レジスタのビット0 (SPTn) = 1

**備考** n = 0, 1

### 16.5.7 クロック・ストレッチ解除方法

I<sup>2</sup>C では、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn) へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成) 注
- IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成) 注

これらのクロック・ストレッチ解除処理を実行した場合、IICA はクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ (アドレスを含む) を送信する場合には、IICAn レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0 レジスタのビット5 (WRELn) をセット (1) してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0 レジスタのビット1 (STTn) をセット (1) してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0 レジスタのビット0 (SPTn) をセット (1) してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELn ビットにセット (1) によるクロック・ストレッチ解除後、IICAn レジスタへのデータ書き込みを実施した場合には、SDAAn ラインの変化タイミングと IICAn レジスタへの書き込みタイミングの競合により、SDAAn ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEn ビットをクリア (0) すると通信を停止するので、クロック・ストレッチを解除できます。

I<sup>2</sup>C バスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0 レジスタのビット6 (LRELn) をセット (1) すると通信から退避するので、クロック・ストレッチを解除できます。

**注** マスタのみ

**注意** WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

**備考** n = 0, 1

### 16.5.8 割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット3 (WTIMn) の設定で、表 16-2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表16-2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	g注1,2	g注2	g注2	9	8	8
1	g注1,2	g注2	g注2	9	9	9

- 注1.** スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。  
また、このとき、IICCTLn0レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信もしくは全アドレス一致機能許可状態でのアドレスを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。  
ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。
- 注2.** スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ全アドレス一致機能停止時で、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

**備考** 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

#### (1) アドレス送受信時

- スレーブ動作時：WTIMn ビットにかかわらず、上記の注1、注2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- マスタ動作時：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

#### (2) データ受信時

- マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

#### (3) データ送信時

- マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

#### (4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- IICA シフト・レジスタ n (IICAn) へのデータ書き込み
- IICA コントロール・レジスタ n0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成) 注
- IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成) 注

8クロック・クロック・ストレッチ選択 (WTIMn = 0) 時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

#### (5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

(注、備考は次ページに続きます)

**注** マスタのみ。

**備考** n = 0, 1

### 16.5.9 アドレスの一致検出方法

I<sup>2</sup>C バス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn) に設定したアドレスが一致したとき、もしくは全アドレス一致機能許可状態 (IICCTLn1.SVADISn = 1) でのアドレス受信、または拡張コードを受信した場合だけ、INTIICAn 割り込み要求信号が発生します。

### 16.5.10 エラーの検出

I<sup>2</sup>C バス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスの IICA シフト・レジスタ n (IICAn) にも取り込まれるため、送信開始前と送信終了後の IICA データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

**備考** n = 0, 1

## 16.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセット (1) し、8クロック目の立ち下がりで割り込み要求信号 (INTIICAn) を発生します。また、全アドレス一致機能許可時にアドレスを受信した場合も、拡張コード受信と判断します。スレーブ・アドレス・レジスタ n (SVAn) に格納された自局アドレスには影響しません。
- (2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合や、全アドレス一致機能許可状態でアドレスを受信した場合は、次のようになります。ただし、割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。
- 上位4ビット・データ的一致 or 全アドレス一致機能許可: EXCn = 1
  - 7ビット・データ的一致 or 全アドレス一致機能許可 : COIn = 1

**備考** EXCn : IICA ステータス・レジスタ n (IICSn) のビット 5  
COIn :                    “                    ”                    のビット 4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合もしくは全アドレス一致機能許可状態でのアドレス受信時は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ n0 (IICCTLn0) のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表16-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0 0 0 0 0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1 0 x x	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1 1 1 1 0 x x	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

**備考1.** 上記以外の拡張コードについては、NXP社発行のI<sup>2</sup>Cバスの仕様書を参照してください。

**備考2.** n = 0, 1

### 16.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STDn = 1 になる前に STTn = 1 にしたとき)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

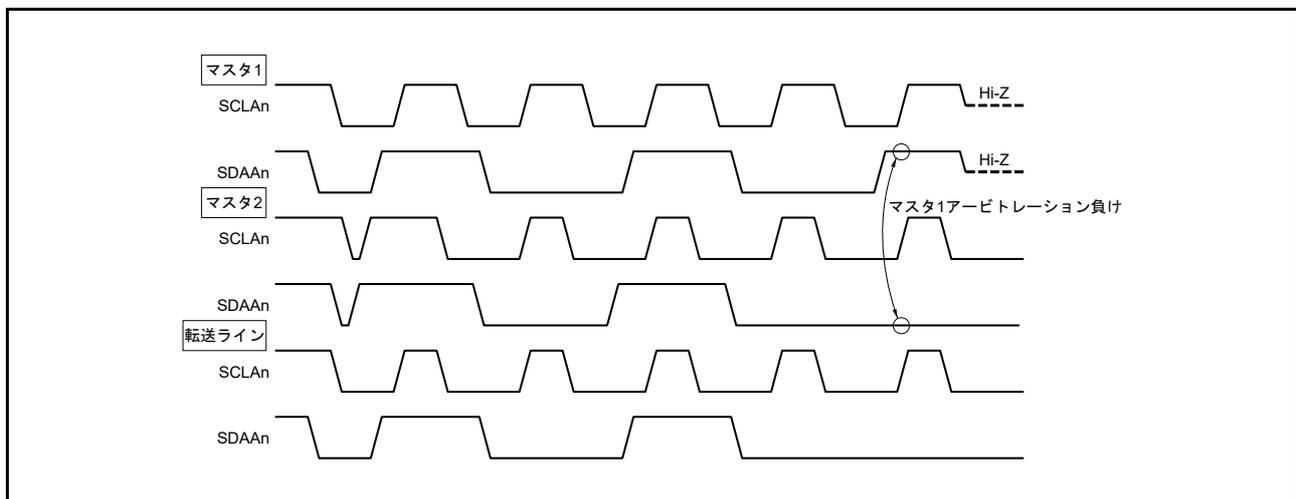
アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICA ステータス・レジスタ n (IICSn) のアービトレーション負けフラグ (ALDn) をセット (1) し、SCLAn, SDAAn ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング (8 または 9 クロック目、ストップ・コンディション検出など) で、ソフトウェアで ALDn = 1 になっていることで検出します。

割り込み要求発生タイミングについては、**16.5.8 割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御**を参照してください。

**備考** STDn : IICA ステータス・レジスタ n (IICSn) のビット 1  
STTn : IICA コントロール・レジスタ n0 (IICCTLn0) のビット 1

図 16-21 アービトレーション・タイミング例



**備考** n = 0, 1

表16-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) <sup>注2</sup>
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) <sup>注2</sup>
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

**注1.** WTIMnビット (IICAコントロール・レジスタ n0 (IICCTLn0) のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時、および全アドレス一致機能許可状態でのアドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

**注2.** アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

**備考1.** SPIEn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット4

**備考2.** n = 0, 1

### 16.5.13 ウェイク・アップ機能

I<sup>2</sup>Cのスレーブ機能で、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生する機能です。

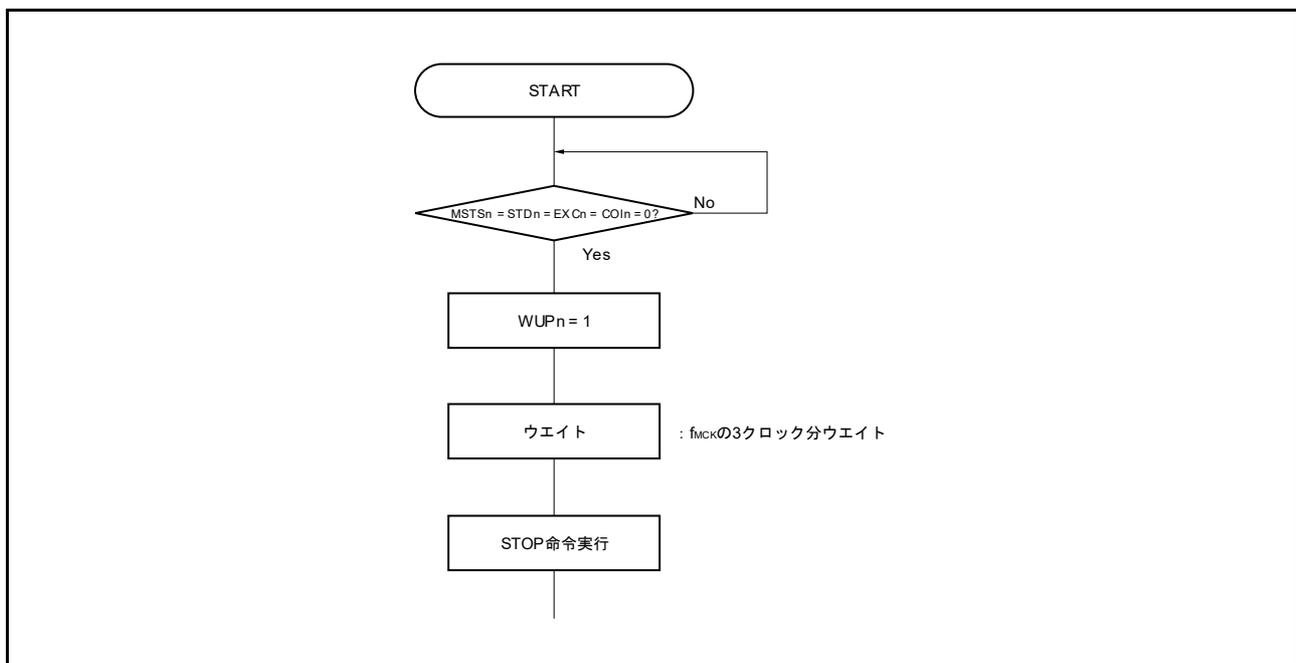
全アドレス一致機能停止状態で、アドレスが一致しないときは不要な INTIICAn 信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1 に設定してください。動作クロックに関係なくアドレス受信を行うことができます。この場合も、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生します。この割り込み発生後に命令で WUPn ビットをクリア (0) することで通常動作に戻ります。

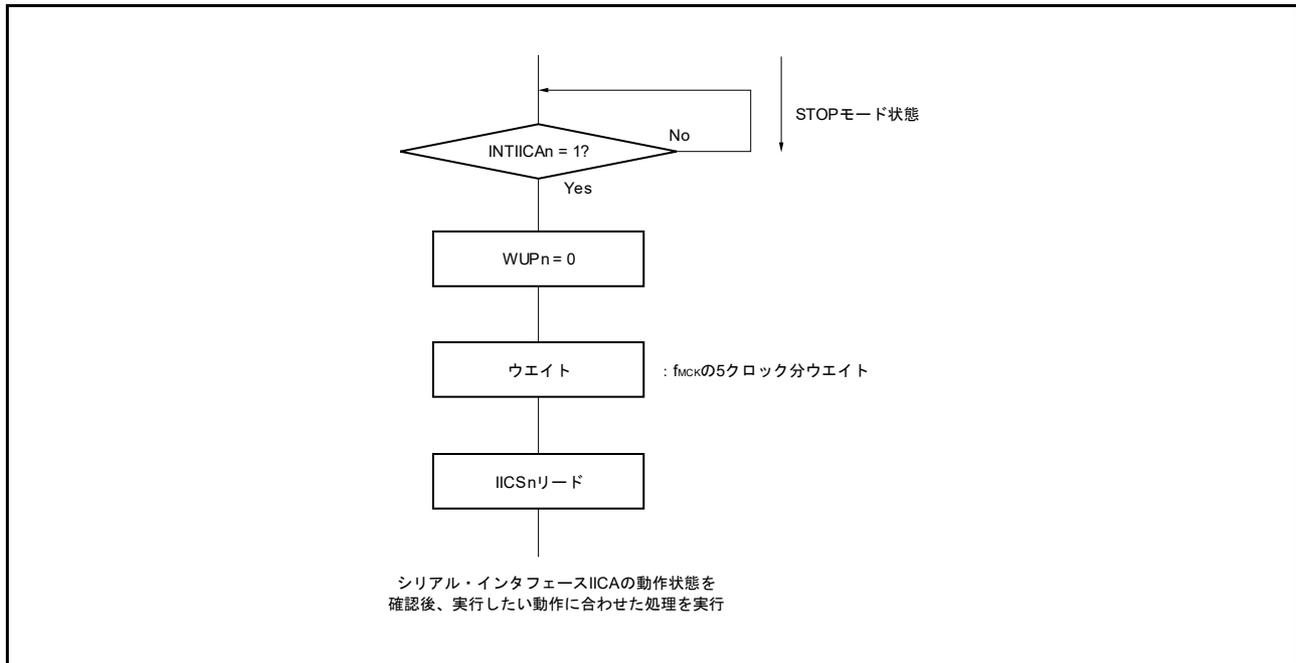
WUPn = 1 に設定する場合のフローを図 16 - 22 に、アドレス一致 (もしくは全アドレス一致機能許可) により WUPn = 0 に設定する場合のフローを図 16 - 23 に示します。

図 16 - 22 WUPn = 1 を設定する場合のフロー



備考 n = 0, 1

図16-23 アドレス一致（もしくは全アドレス一致機能許可）によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）

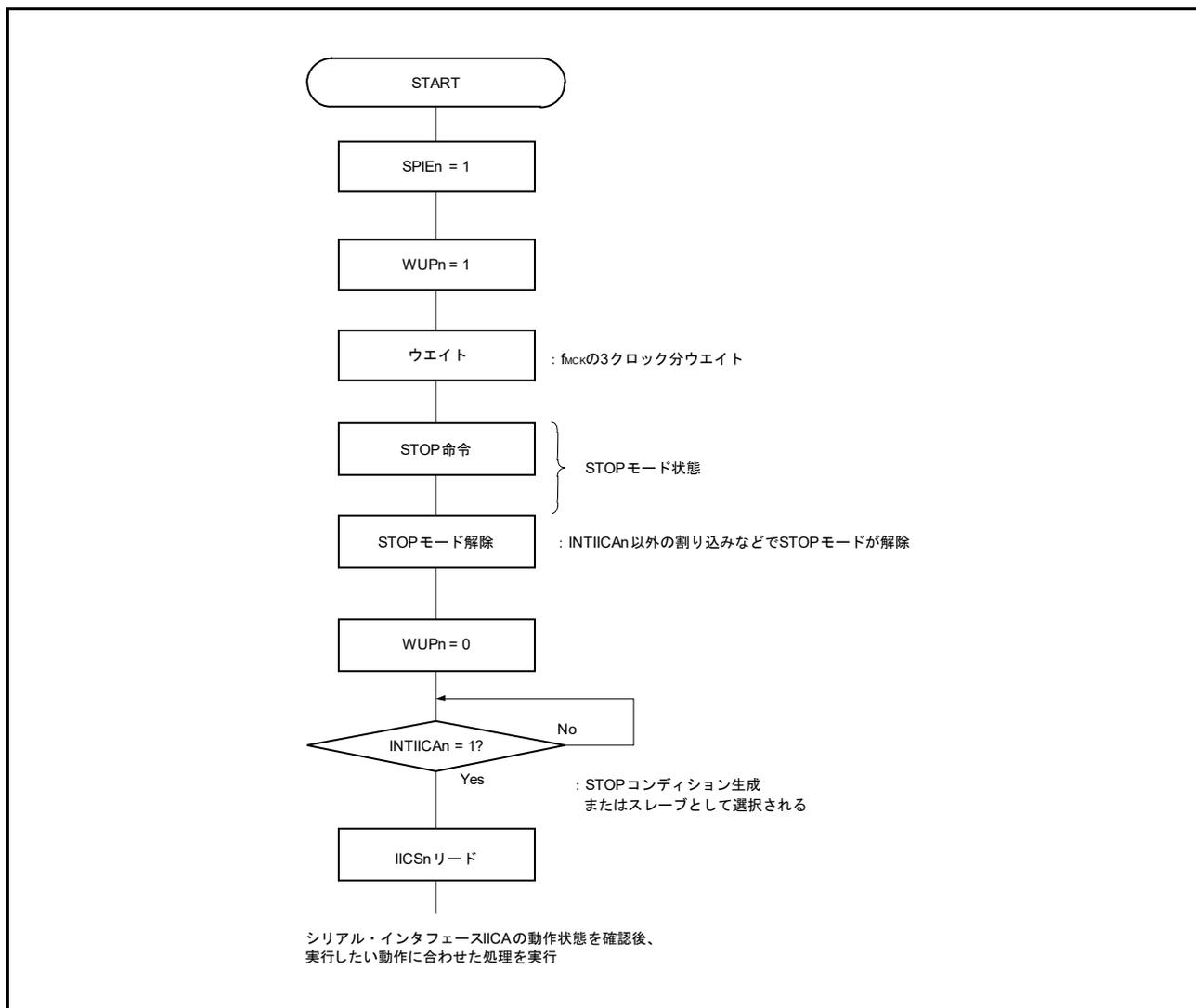


また、シリアル・インタフェース IICA からの割り込み要求信号（INTIICAn）以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- 次のIIC通信をマスタとして動作させる場合：図16-24のフロー
- 次のIIC通信をスレーブとして動作させる場合：
  - INTIICAn割り込みで復帰した場合：図16-23のフローと同じになります。
  - INTIICAn割り込み以外の割り込みで復帰した場合：INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0, 1

図16-24 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考 n = 0, 1

## 16.5.14 通信予約

## (1) 通信予約機能許可の場合 (IICA フラグ・レジスタ n (IICFn) のビット 0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICA コントロール・レジスタ n0 (IICCTLn0) のビット 6 (LRELn) = 1 で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTLn0 レジスタのビット 1 (STTn) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0 レジスタのビット 4 (SPIEn) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICA シフト・レジスタ n (IICAn) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAn レジスタに書き込まれたデータは、無効です。

STTn ビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき : スタート・コンディション生成
- バスが解放されていないとき (待機状態): 通信予約

通信予約として動作するかどうかは、STTn ビットをセット (1) し、ウェイト時間をとったあと、MSTS<sub>n</sub> ビット (IICA ステータス・レジスタ n (IICSn) のビット 7) で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

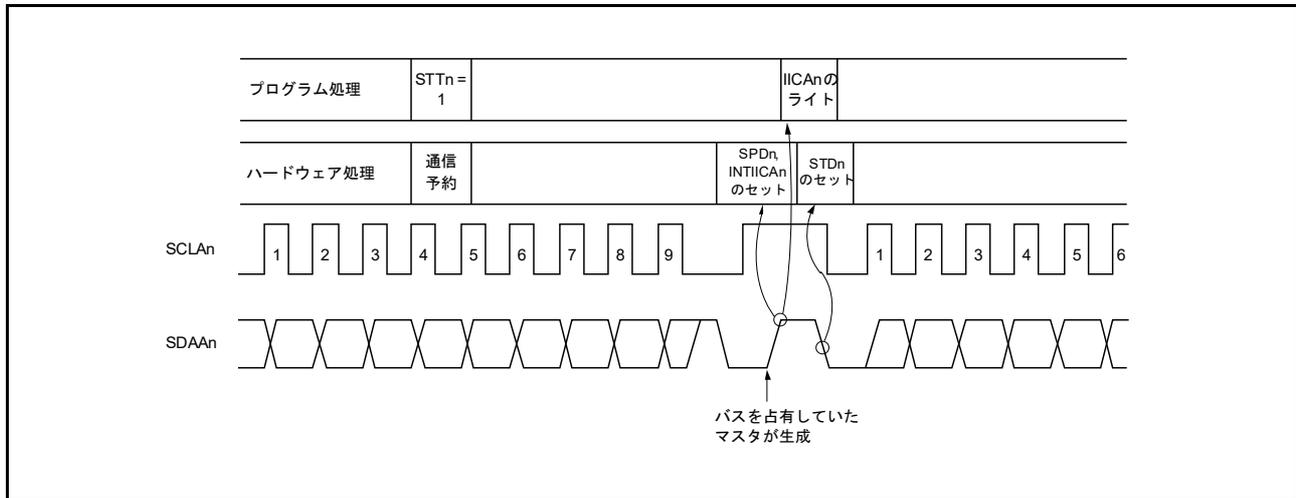
$$\text{STTn} = 1 \text{ から MSTS}_n \text{ フラグ確認までのウェイト時間 :} \\ (\text{IICWLn の設定値} + \text{IICWHn の設定値} + 4) / \text{fMCK} + \text{tf} \times 2$$

- 備考1.** IICWLn : IICA ロウ・レベル幅設定レジスタ n  
 IICWHn : IICA ハイ・レベル幅設定レジスタ n  
 tf : SDAAn, SCLAn 信号の立ち下がり時間  
 fMCK : IICA 動作クロック周波数

**備考2.** n = 0, 1

通信予約のタイミングを図16-25に示します。

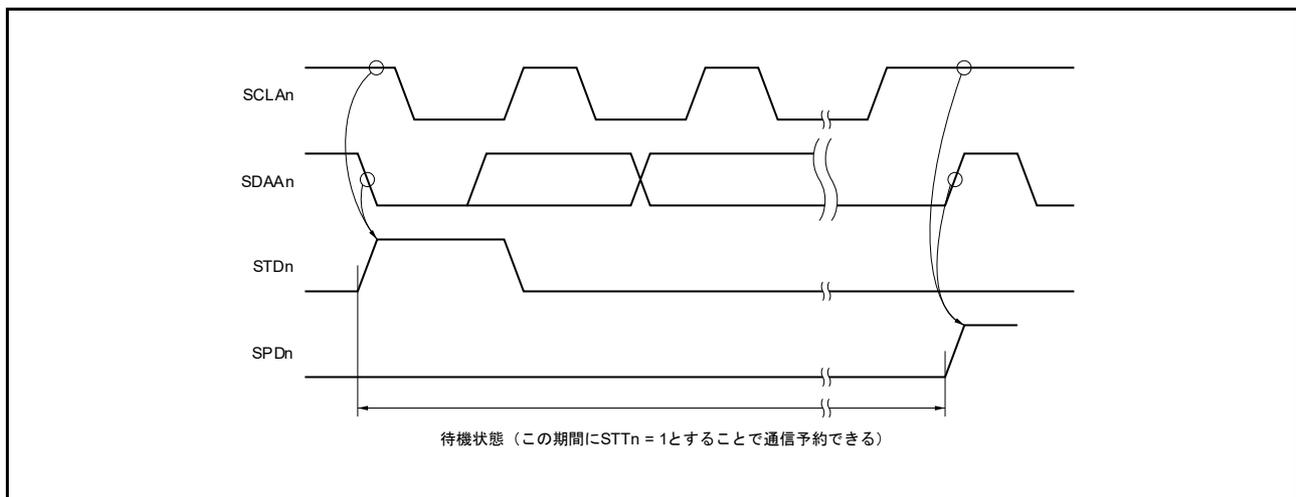
図16-25 通信予約のタイミング



- 備考**
- IICAn : IICAシフト・レジスタ n
  - STTn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット1
  - STDn : IICAステータス・レジスタ n (IICSn) のビット1
  - SPDn : " のビット0

通信予約は図16-26に示すタイミングで受け付けられます。IICAステータス・レジスタ n (IICSn) のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ n0 (IICCTLn0) のビット1 (STTn) = 1で通信予約をします。

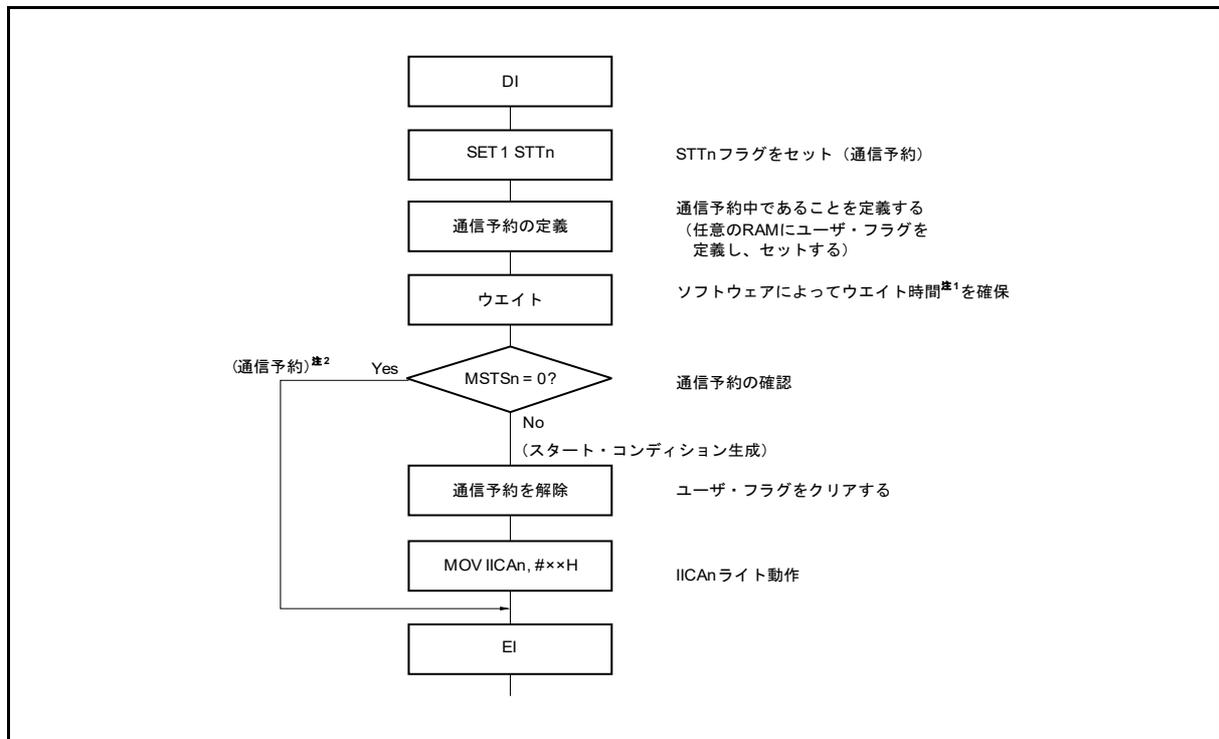
図16-26 通信予約受け付けタイミング



- 備考** n = 0, 1

図16-27に通信予約の手順を示します。

図16-27 通信予約の手順



注1. ウエイト時間は次のようになります。

$$(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / fMCK + tF \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ n (IICAn) への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット1

MSTSn : IICAステータス・レジスタ n (IICSn) のビット7

IICAn : IICAシフト・レジスタ n

IICWLn : IICAロウ・レベル幅設定レジスタ n

IICWHn : IICAハイ・レベル幅設定レジスタ n

tF : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0, 1

## (2) 通信予約機能禁止の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFnレジスタのビット7) で確認できます。STTn = 1としてからSTCFnがセット (1) されるまでfMCKの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

**備考** n = 0, 1

## 16.5.15 その他の注意事項

## (1) STCENn = 0の場合

I<sup>2</sup>C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ n1 (IICCTLn1) を設定する
- ② IICAコントロール・レジスタ n0 (IICCTLn0) のビット7 (IICEn) をセット (1) する
- ③ IICCTLn0レジスタのビット0 (SPTn) をセット (1) する

## (2) STCENn = 1の場合

I<sup>2</sup>C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI<sup>2</sup>C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I<sup>2</sup>C動作を許可して通信に途中参加すると、IICAのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合や全アドレス一致機能が許可状態の場合は、アクノリッジを返し、他者との間のI<sup>2</sup>C通信を妨害してしまいます。これを回避するために、次の順番でIICAを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn) をセット (1) し、I<sup>2</sup>Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICEnビットをセット (1) してから、fMCKの4~72クロック中) に、IICCTLn0レジスタのビット6 (LRELn) をセット (1) にし、強制的に検出を無効とする

## (4) STTn, SPTnビット (IICCTLn0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

## (5) 送信予約をした場合には、SPIEnビット (IICCTLn0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ n (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット (IICAステータス・レジスタ n (IICSn) のビット7) を検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 n = 0, 1

### 16.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I<sup>2</sup>Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI<sup>2</sup>Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I<sup>2</sup>Cバスのスレーブとして使用する場合の例を示します。

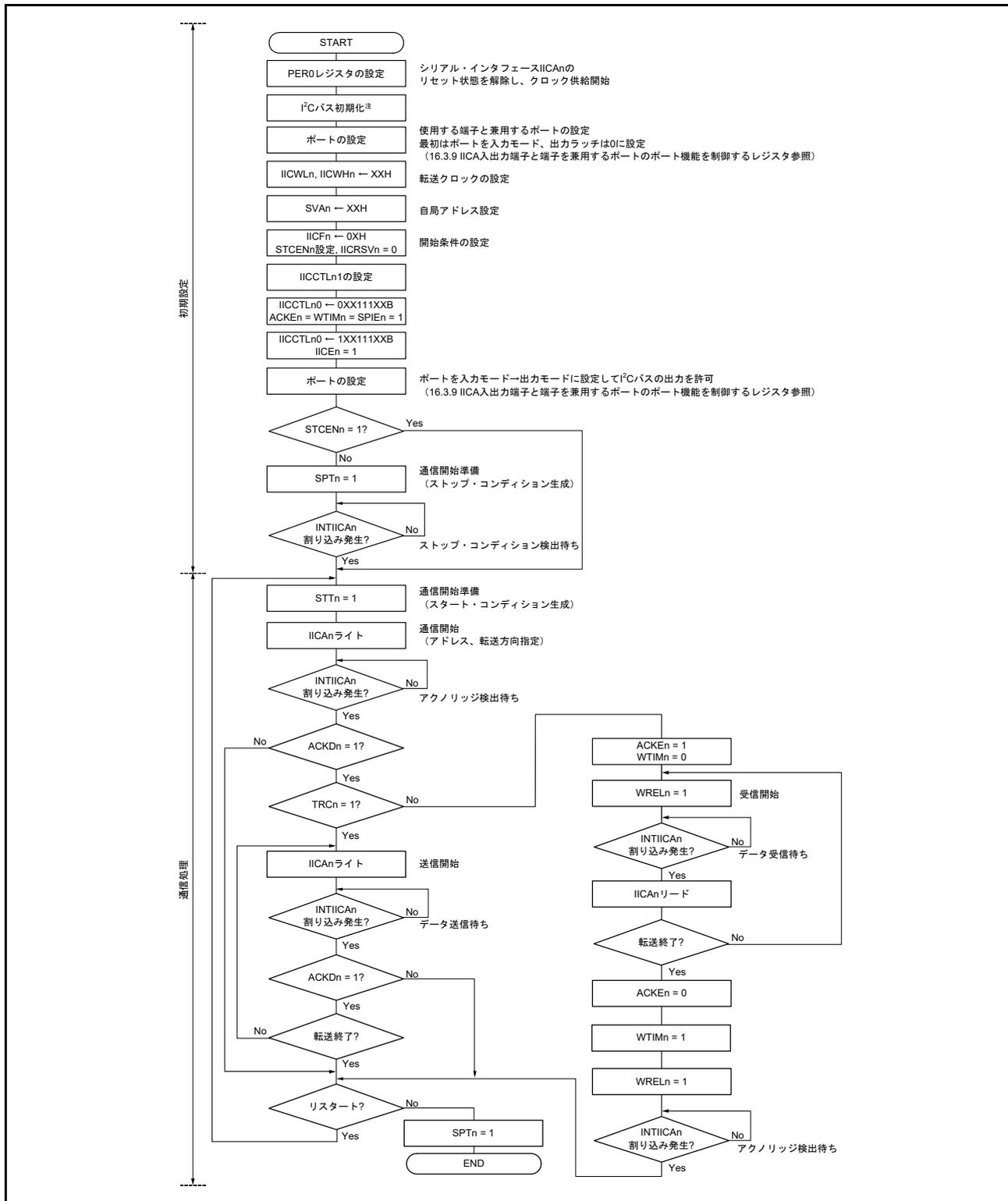
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

**備考** n = 0, 1

(1) シングルマスタ・システムでのマスタ動作

図16-28 シングルマスタ・システムでのマスタ動作



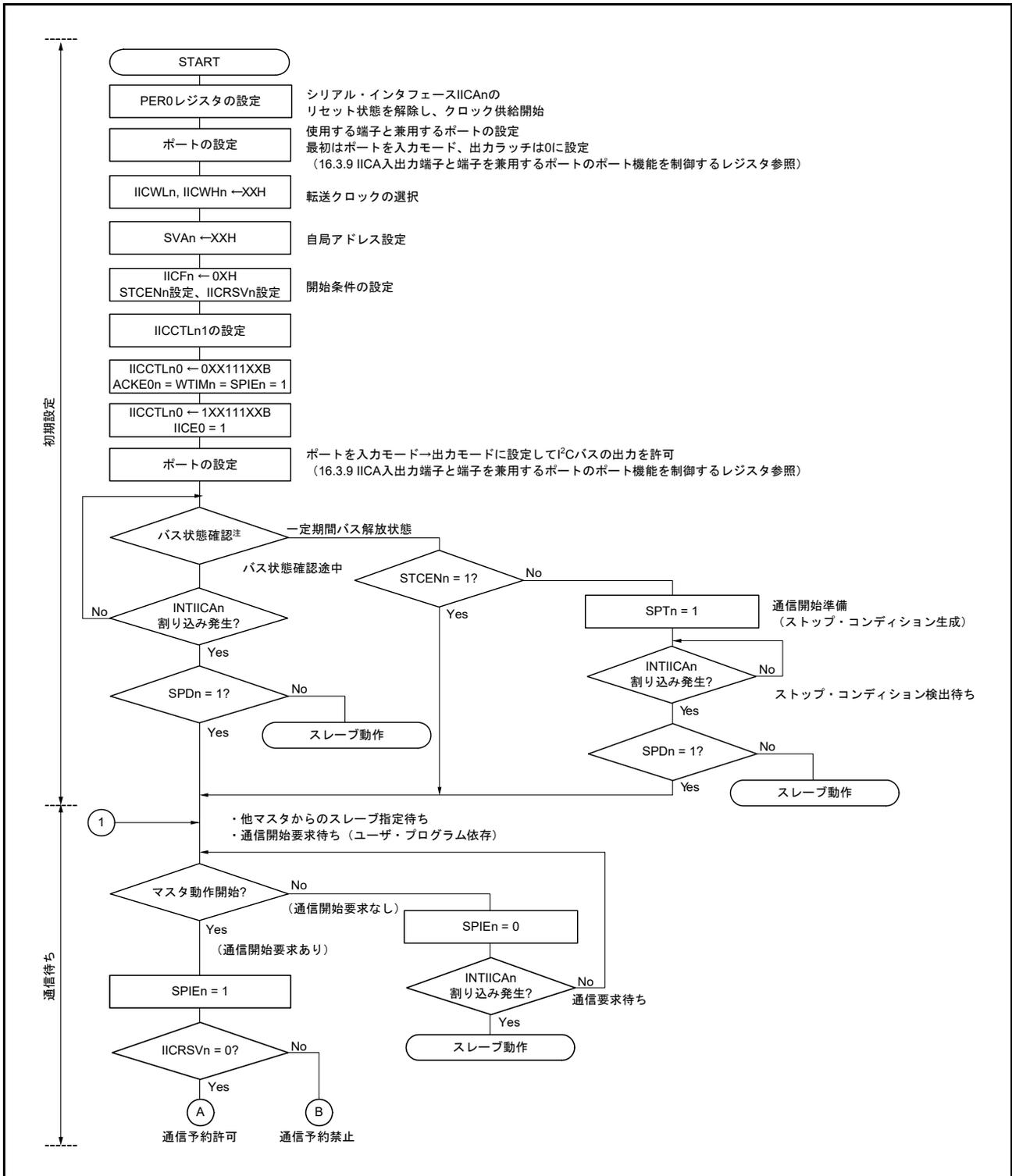
**注** 通信している製品の仕様に準拠し、I<sup>2</sup>Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

**備考1.** 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

**備考2.** n = 0, 1

(2) マルチマスタ・システムでのマスタ動作

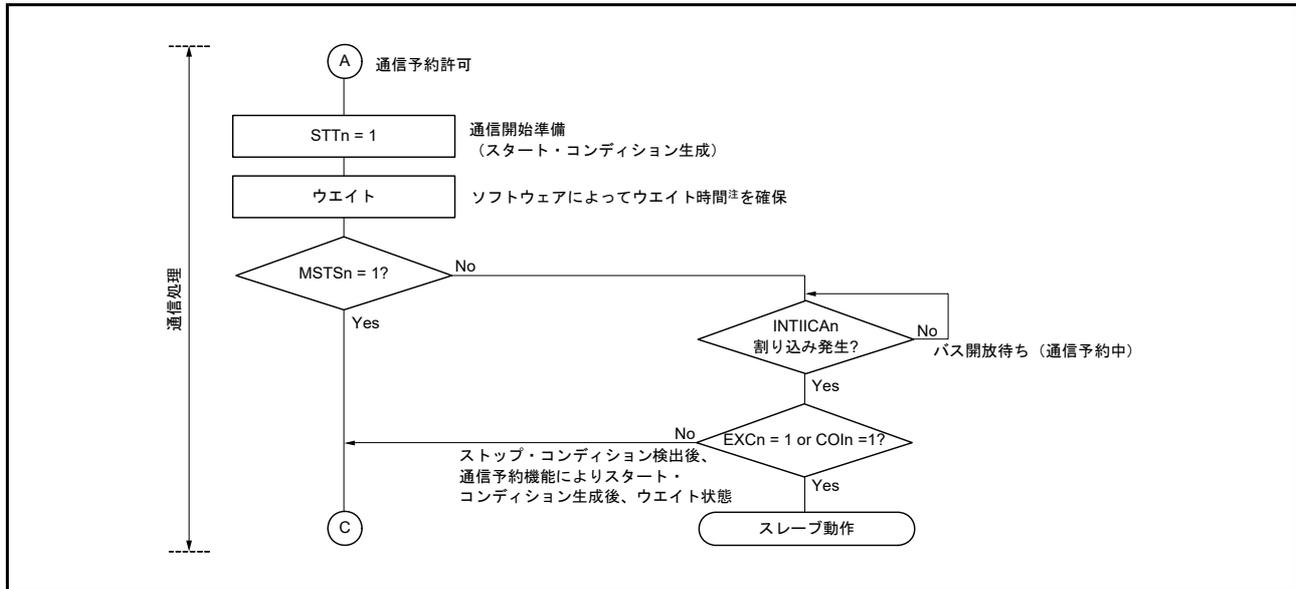
図16-29 マルチマスタ・システムでのマスタ動作 (1/3)



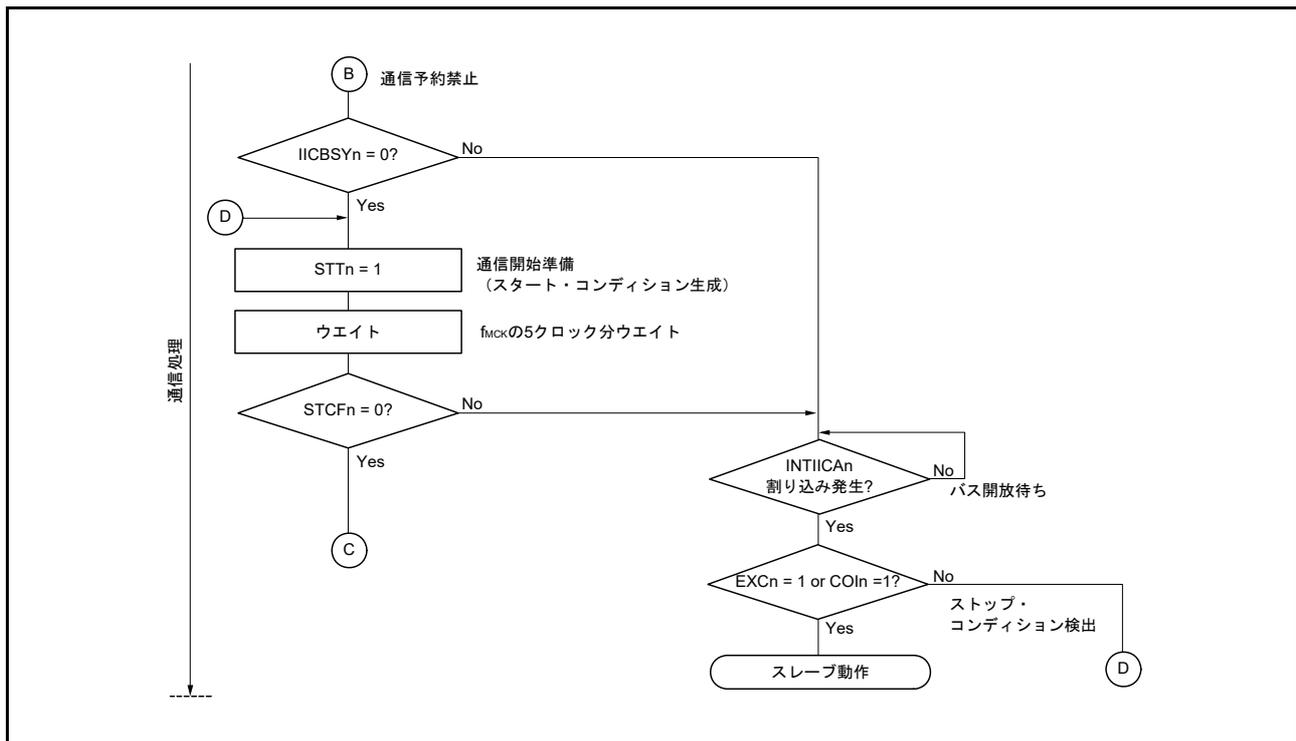
**注** 一定期間 (たとえば1フレーム分)、バス解放状態 (CLDnビット = 1, DADnビット = 1) であることを確認してください。定時的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I<sup>2</sup>Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) するか判断してください。

**備考** n = 0, 1

図 16 - 29 マルチマスタ・システムでのマスタ動作 (2/3)



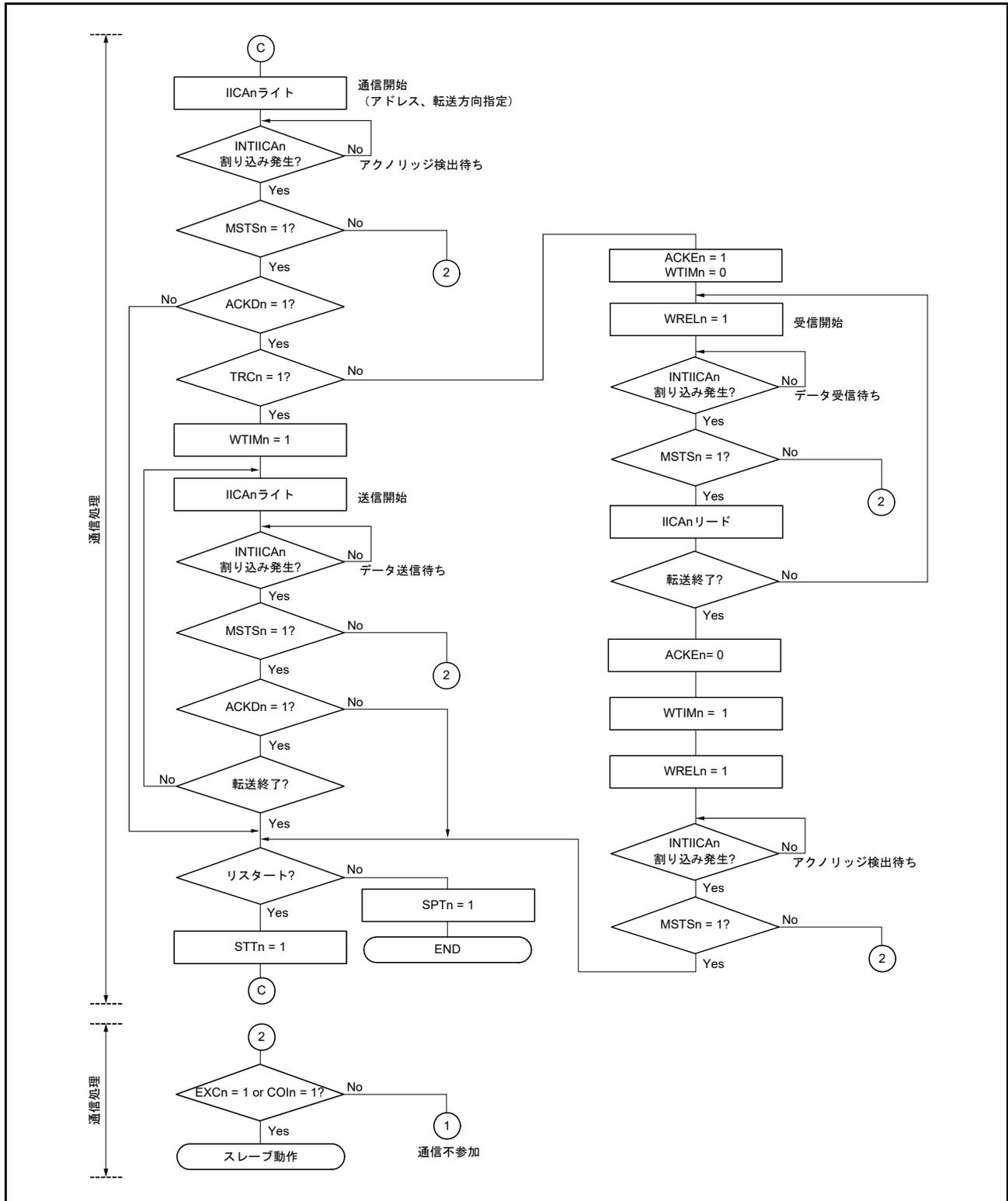
注 ウェイト時間は次のようになります。  
 $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_F \times 2$



備考1. IICWLn : IICAロウ・レベル幅設定レジスタ n  
 IICWHn : IICAハイ・レベル幅設定レジスタ n  
 tF : SDAAn, SCLAn信号の立ち下がり時間  
 fMCK : IICA動作クロック周波数

備考2. n = 0, 1

図16-29 マルチマスタ・システムでのマスタ動作 (3/3)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTS<sub>n</sub>ビットをリードし、アービトレーション結果を確認してください。

備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn割り込み発生ごとにIICAステータス・レジスタ<sub>n</sub> (IICSn)、IICAフラグ・レジスタ<sub>n</sub> (IICFn) でステータスを確認して次に行う処理を決定してください。

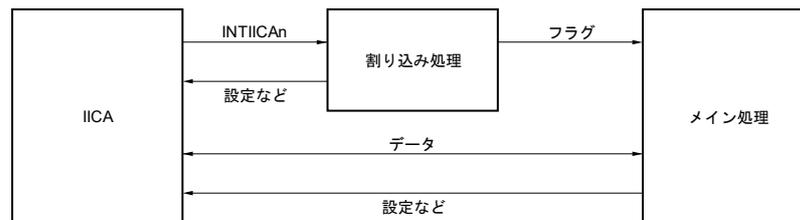
備考4. n = 0, 1

## (3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、全アドレス一致機能は無効状態で、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

## ① 通信モード・フラグ

次の2つの通信状態を示します。

- クリア・モード：データ通信を行っていない状態
- 通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

## ② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

## ③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

**備考** n = 0, 1

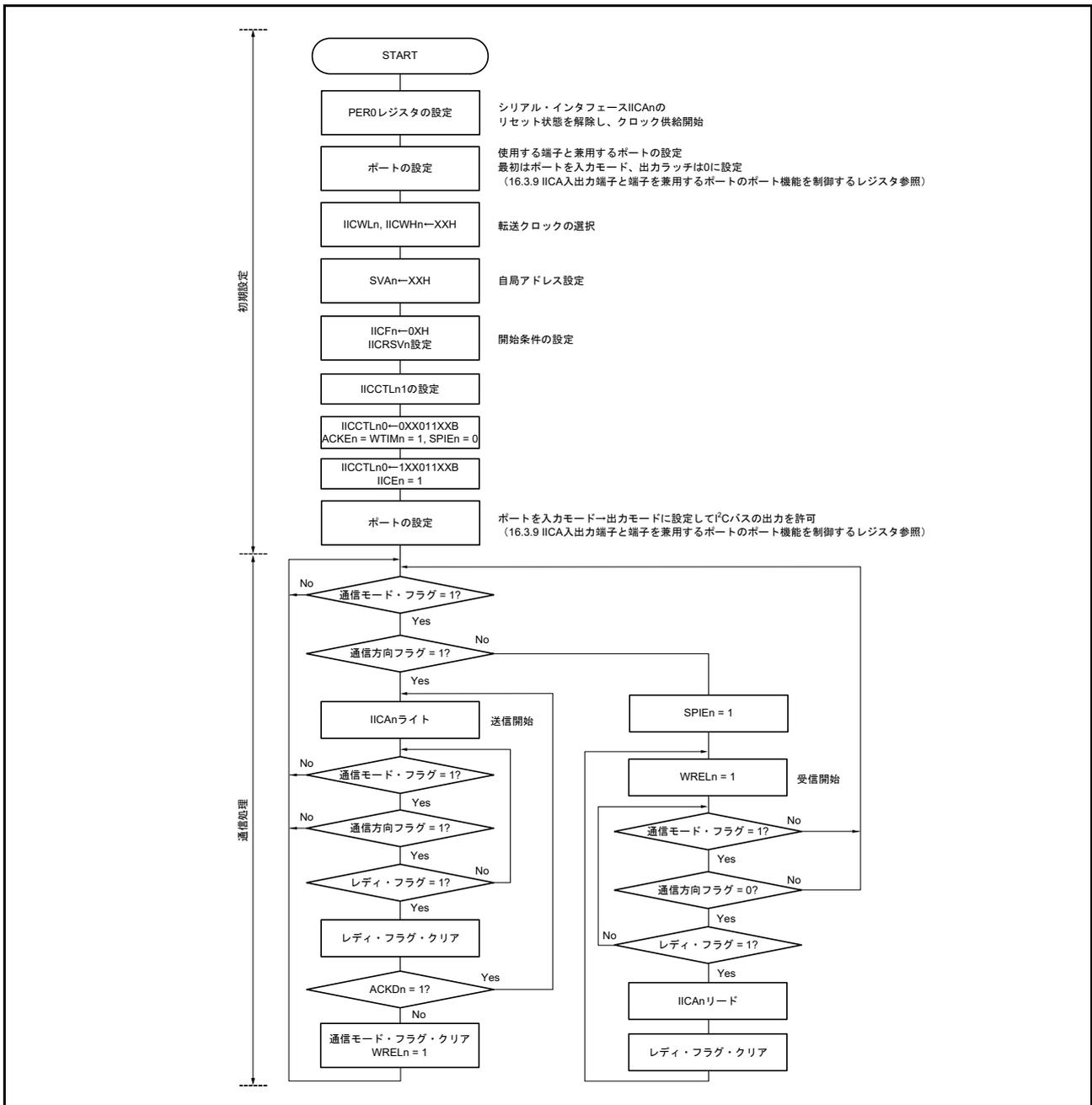
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図16-30 スレーブ動作手順 (1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

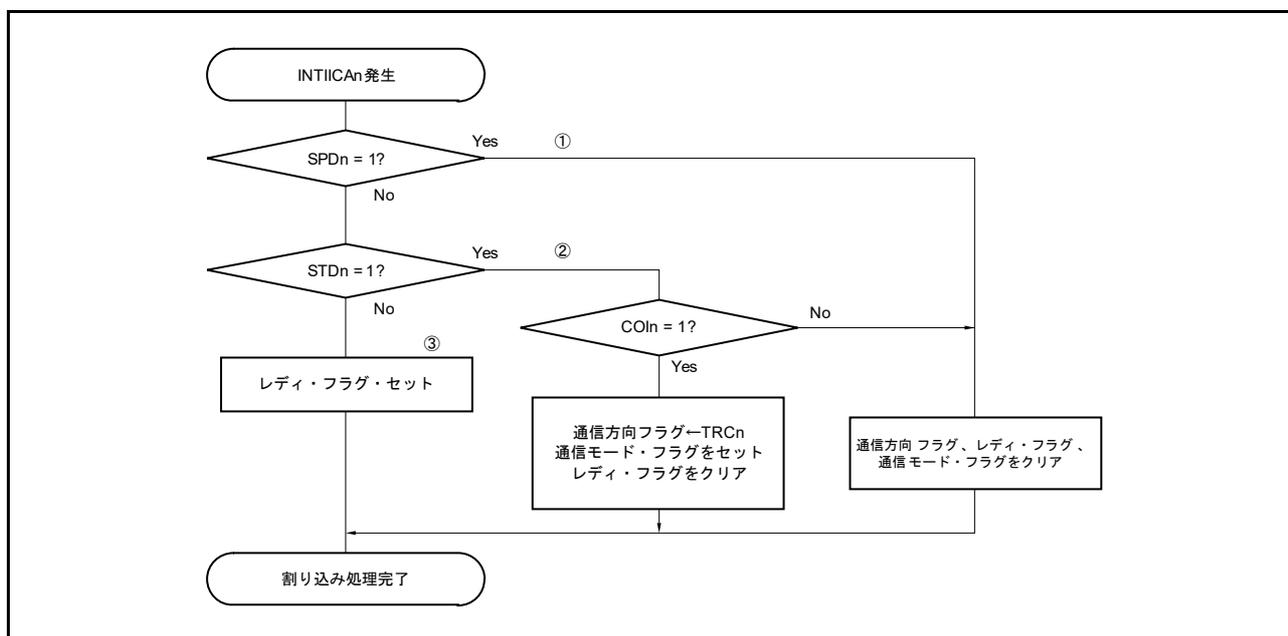
備考2. n = 0, 1

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは全アドレス一致機能は無効状態で、拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。  
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I<sup>2</sup>Cバスはウェイト状態のまま、割り込みから戻ります。

**備考** 上述の①～③は、**図16-31 スレーブ動作手順 (2)** の①～③と対応しています。

図16-31 スレーブ動作手順 (2)



**備考** n = 0, 1

### 16.5.17 I<sup>2</sup>C 割り込み要求信号 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n (IICSn) の値を示します。

**備考1.** ST : スタート・コンディション  
AD6-AD0 : アドレス  
R/W : 転送方向指定  
ACK : アクノリッジ  
D7-D0 : データ  
SP : ストップ・コンディション

**備考2.** n = 0, 1

## (1) マスタ動作

## (a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

## (i) WTIMn = 0 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×000B

▲3 : IICSn = 1000×000B (WTIMnビットをセット (1)) 注

▲4 : IICSn = 1000××00B (SPTnビットをセット (1))

Δ5 : IICSn = 00000001B

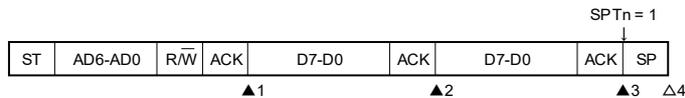
注 ストップ・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

## (ii) WTIMn = 1 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×100B

▲3 : IICSn = 1000××00B (SPTnビットをセット (1))

Δ4 : IICSn = 00000001B

備考 ▲ 必ず発生

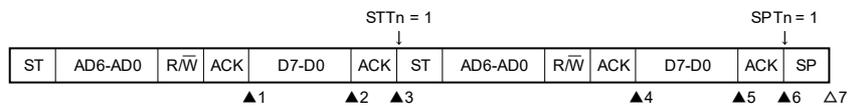
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

## (b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

## (i) WTIMn = 0 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×000B (WTIMnビットをセット (1) 注1)

▲3 : IICSn = 1000××00B (WTIMnビットをクリア (0) 注2、STTnビットをセット (1))

▲4 : IICSn = 1000×110B

▲5 : IICSn = 1000×000B (WTIMnビットをセット (1) 注3)

▲6 : IICSn = 1000××00B (SPTnビットをセット (1))

△7 : IICSn = 00000001B

**注1.** スタート・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

**注2.** 設定を元に戻すために、WTIMnビットをクリア (0) してください。

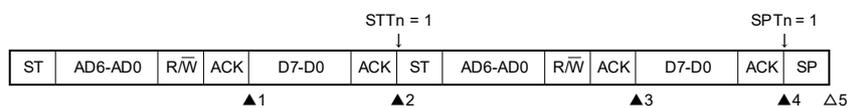
**注3.** ストップ・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

**備考** ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

## (ii) WTIMn = 1 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000××00B (STTnビットをセット (1))

▲3 : IICSn = 1000×110B

▲4 : IICSn = 1000××00B (SPTnビットをセット (1))

△5 : IICSn = 00000001B

**備考** ▲ 必ず発生

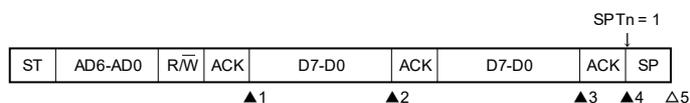
△ SPIEn = 1 のときだけ発生

× 任意

**備考** n = 0, 1

## (c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

## (i) WTIMn = 0 のとき



▲1 : IICSn = 1010×110B

▲2 : IICSn = 1010×000B

▲3 : IICSn = 1010×000B (WTIMnビットをセット (1) 注)

▲4 : IICSn = 1010××00B (SPTnビットをセット (1))

Δ5 : IICSn = 00000001B

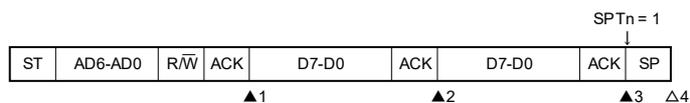
**注** ストップ・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

**備考** ▲ 必ず発生

Δ SPIEn = 1 のときだけ発生

× 任意

## (ii) WTIMn = 1 のとき



▲1 : IICSn = 1010×110B

▲2 : IICSn = 1010×100B

▲3 : IICSn = 1010××00B (SPTnビットをセット (1))

Δ4 : IICSn = 00000001B

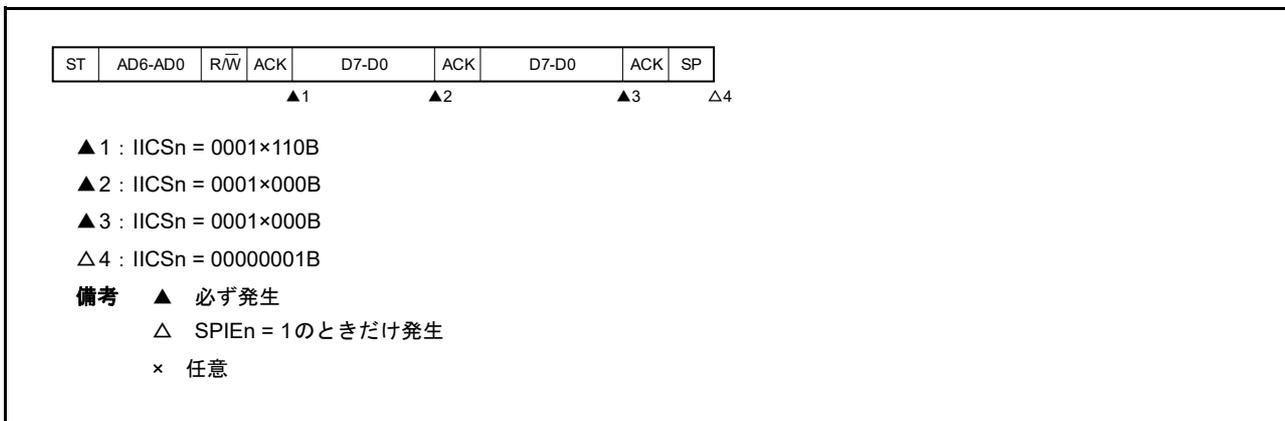
**備考** ▲ 必ず発生

Δ SPIEn = 1 のときだけ発生

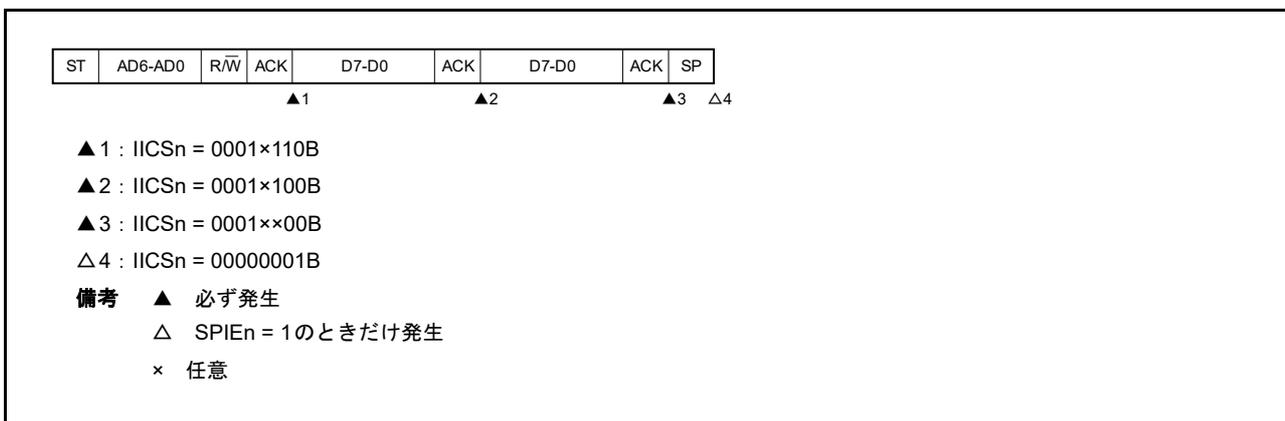
× 任意

**備考** n = 0, 1

- (2) スレーブ動作 (スレーブ・アドレス受信時)
  - (a) Start ~ Address ~ Data ~ Data ~ Stop
    - (i) WTIMn = 0 のとき



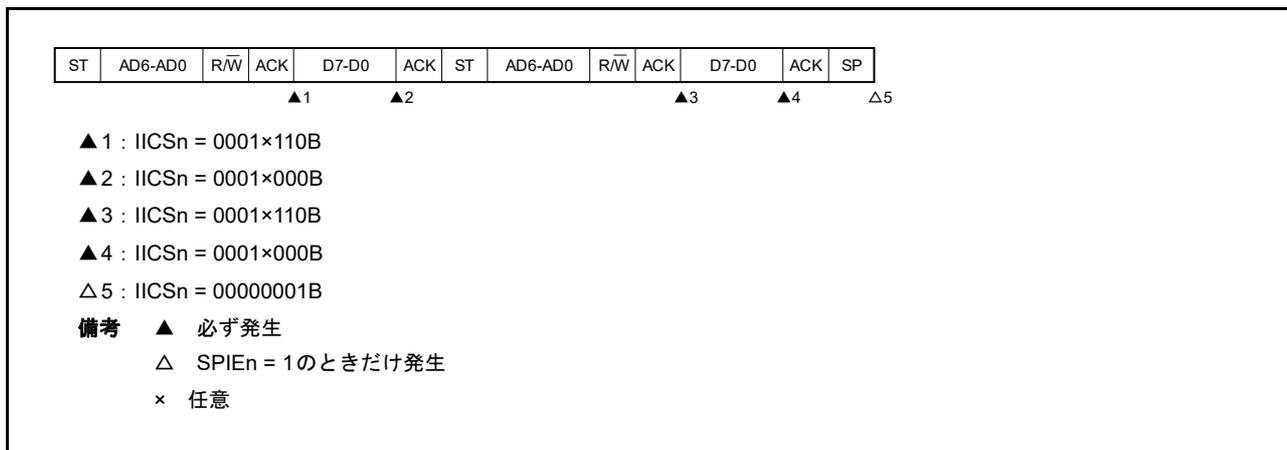
- (ii) WTIMn = 1 のとき



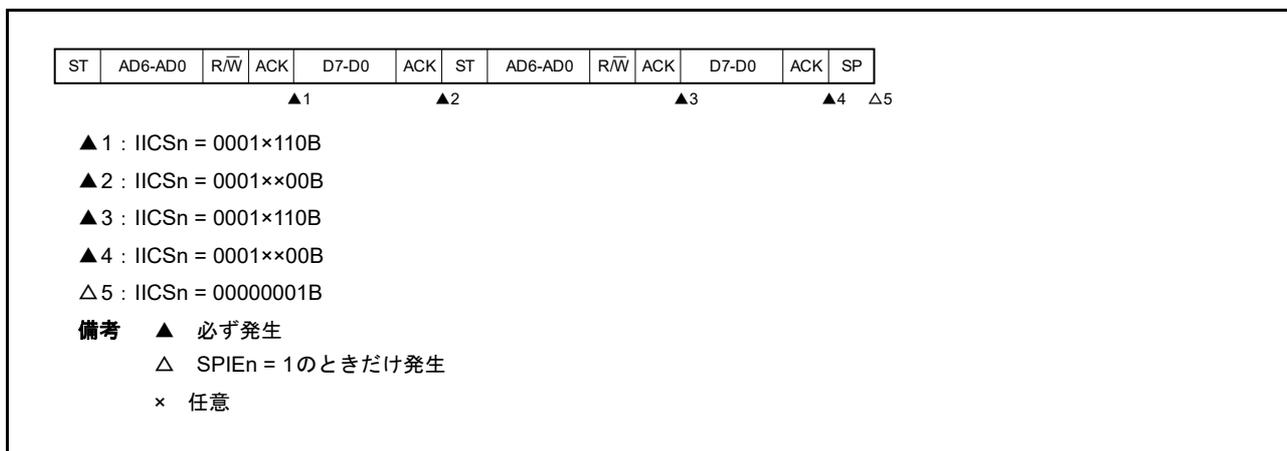
**備考** n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



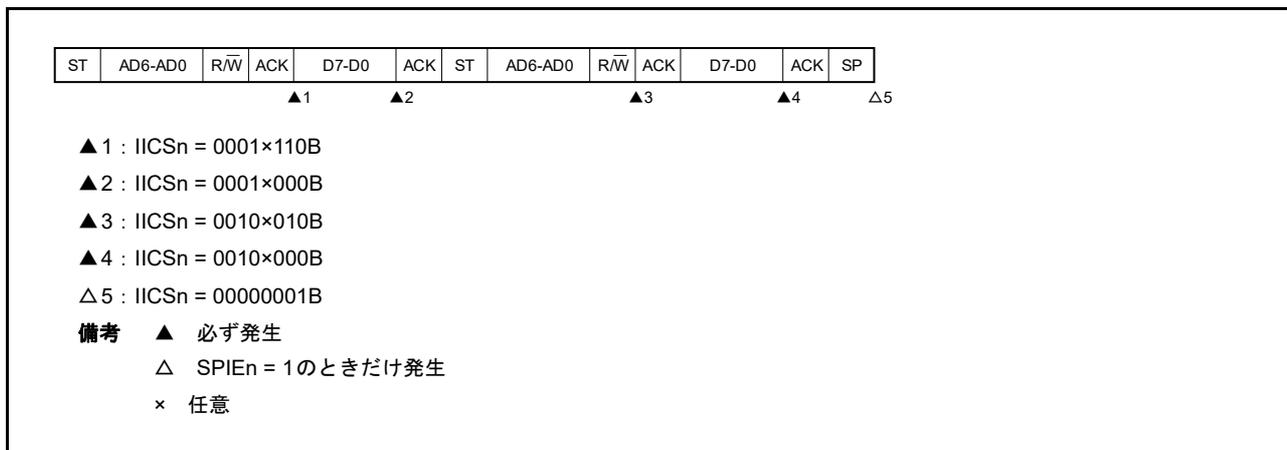
(ii) WTIMn = 1 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



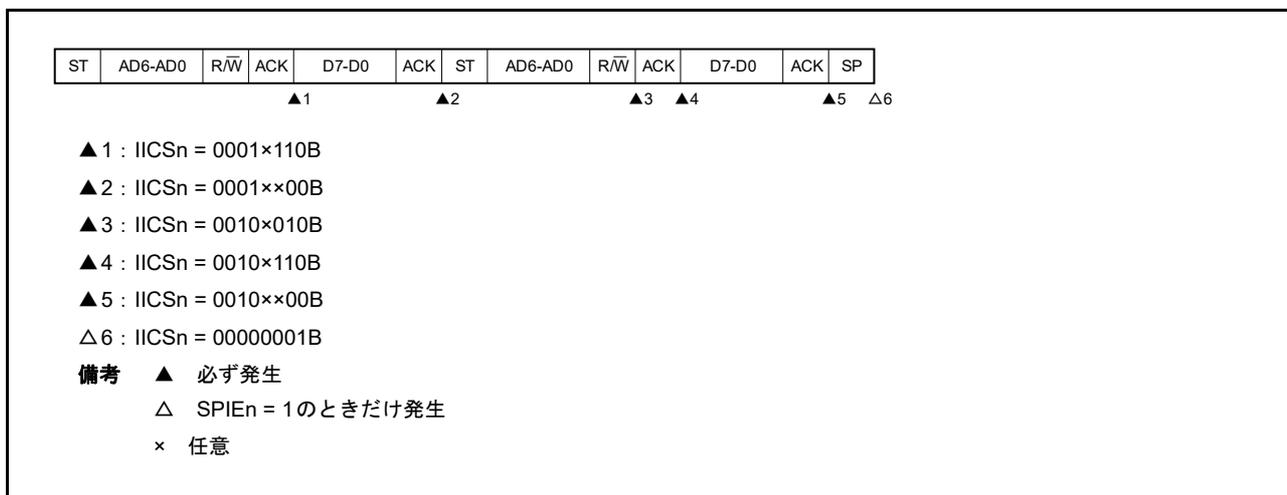
**備考** n = 0, 1

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能停止))



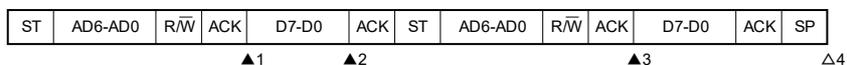
(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能停止))



**備考** n = 0, 1

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 00000×10B

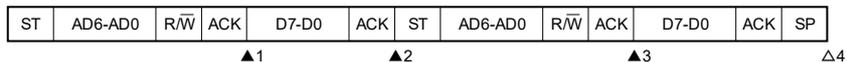
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001××00B

▲3 : IICSn = 00000×10B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

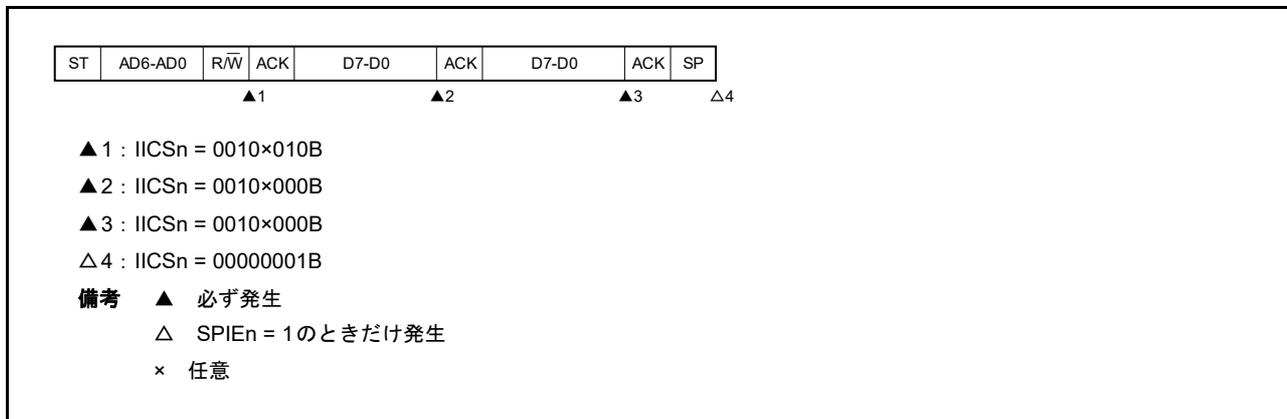
備考 n = 0, 1

(3) スレーブ動作 (拡張コード受信時、全アドレス一致機能停止)

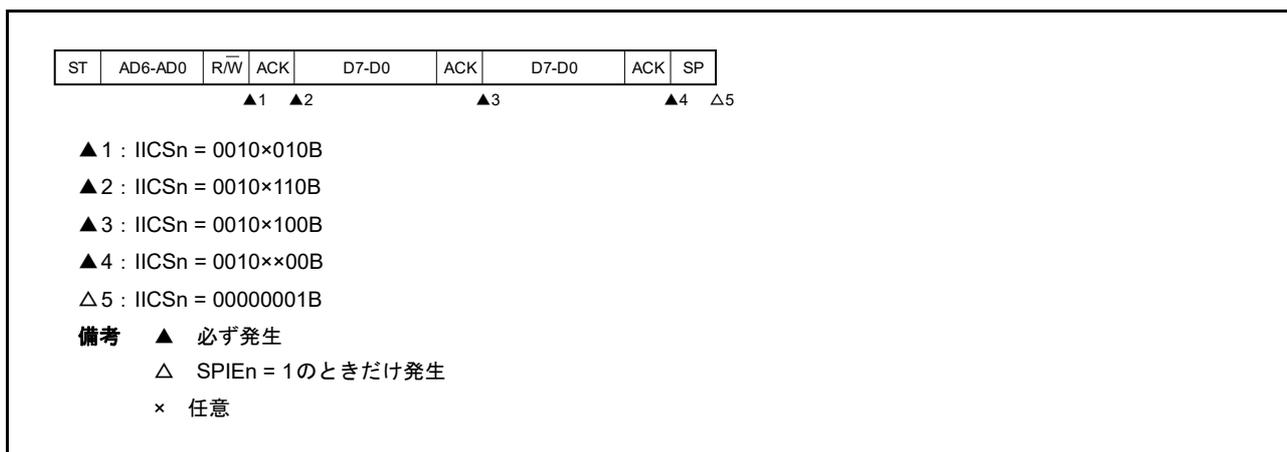
拡張コード受信時は、常に通信に参加しています。

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



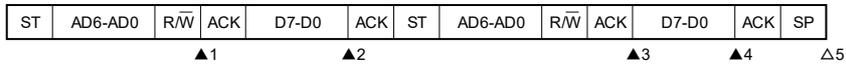
(ii) WTIMn = 1 のとき



**備考** n = 0, 1

## (b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×000B

▲3 : IICSn = 0001×110B

▲4 : IICSn = 0001×000B

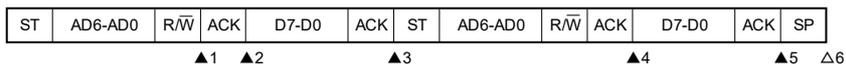
△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×110B

▲3 : IICSn = 0010××00B

▲4 : IICSn = 0001×110B

▲5 : IICSn = 0001××00B

△6 : IICSn = 00000001B

備考 ▲ 必ず発生

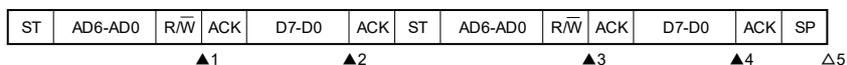
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

## (c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、拡張コード受信、全アドレス一致機能停止)

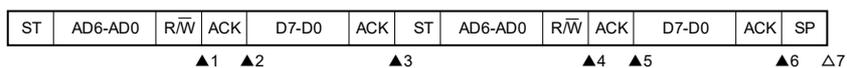
▲1 : IICS<sub>n</sub> = 0010×010B▲2 : IICS<sub>n</sub> = 0010×000B▲3 : IICS<sub>n</sub> = 0010×010B▲4 : IICS<sub>n</sub> = 0010×000B△5 : IICS<sub>n</sub> = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、拡張コード受信、全アドレス一致機能停止)

▲1 : IICS<sub>n</sub> = 0010×010B▲2 : IICS<sub>n</sub> = 0010×110B▲3 : IICS<sub>n</sub> = 0010××00B▲4 : IICS<sub>n</sub> = 0010×010B▲5 : IICS<sub>n</sub> = 0010×110B▲6 : IICS<sub>n</sub> = 0010××00B△7 : IICS<sub>n</sub> = 00000001B

備考 ▲ 必ず発生

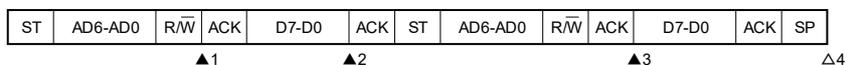
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×000B

▲3 : IICSn = 00000×10B

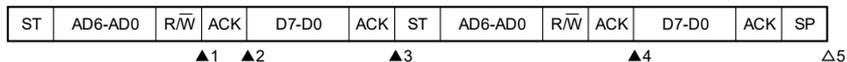
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×110B

▲3 : IICSn = 0010××00B

▲4 : IICSn = 00000×10B

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

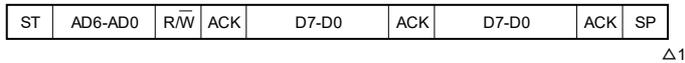
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

## (4) 通信不参加の動作

## (a) Start ~ Code ~ Data ~ Data ~ Stop



△1 : IICSn = 00000001B

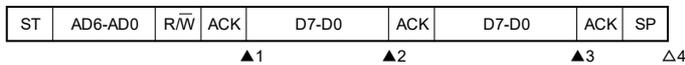
備考 △ SPIEn = 1のときだけ発生

## (5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

## (a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

## (i) WTIMn = 0のとき



▲1 : IICSn = 0101×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 0001×000B

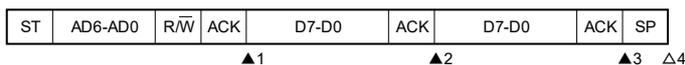
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

## (ii) WTIMn = 1のとき



▲1 : IICSn = 0101×110B

▲2 : IICSn = 0001×100B

▲3 : IICSn = 0001××00B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

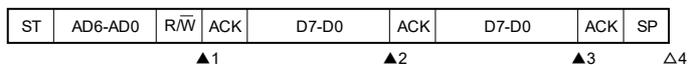
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合 (全アドレス一致機能停止)

(i) WTIMn = 0 のとき

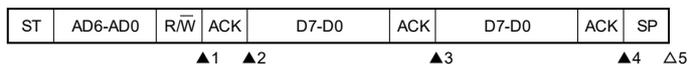
▲1 : IICS<sub>n</sub> = 0110×010B▲2 : IICS<sub>n</sub> = 0010×000B▲3 : IICS<sub>n</sub> = 0010×000B△4 : IICS<sub>n</sub> = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき

▲1 : IICS<sub>n</sub> = 0110×010B▲2 : IICS<sub>n</sub> = 0010×110B▲3 : IICS<sub>n</sub> = 0010×100B▲4 : IICS<sub>n</sub> = 0010××00B△5 : IICS<sub>n</sub> = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

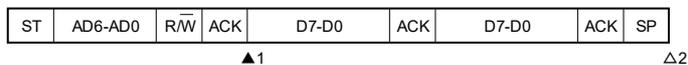
× 任意

備考 n = 0, 1

## (6) アービトレーション負けの動作 (アービトレーション負けのあと、不参加)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

## (a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIMn = 1 のとき)



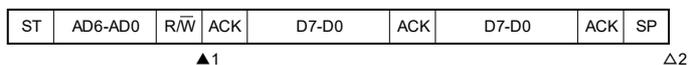
▲1 : IICSn = 01000110B

△2 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

## (b) 拡張コード送信中にアービトレーションに負けた場合 (全アドレス一致機能停止)



▲1 : IICSn = 0110×010B

ソフトウェアで LRELn = 1 を設定

△2 : IICSn = 00000001B

備考 ▲ 必ず発生

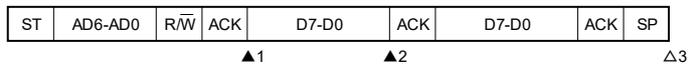
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



▲1 : IICSn = 10001110B

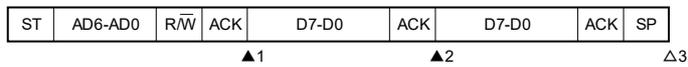
▲2 : IICSn = 01000000B

△3 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

(ii) WTIMn = 1 のとき



▲1 : IICSn = 10001110B

▲2 : IICSn = 01000100B

△3 : IICSn = 00000001B

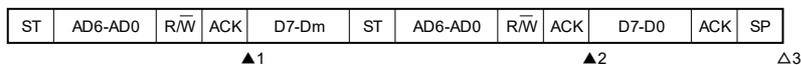
備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

備考 n = 0, 1

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVAn不一致、全アドレス一致機能停止)



▲1 : IICSn = 1000×110B

▲2 : IICSn = 01000110B

△3 : IICSn = 00000001B

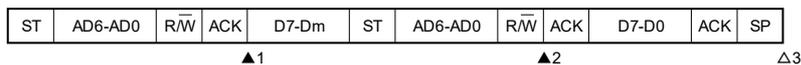
**備考** ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

m = 6-0

(ii) 拡張コード (全アドレス一致機能停止)



▲1 : IICSn = 1000×110B

▲2 : IICSn = 01100010B

ソフトウェアでLRELn = 1を設定

△3 : IICSn = 00000001B

**備考** ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICSn = 10000110B

△2 : IICSn = 01000001B

**備考** ▲ 必ず発生

△ SPIEn = 1のときだけ発生

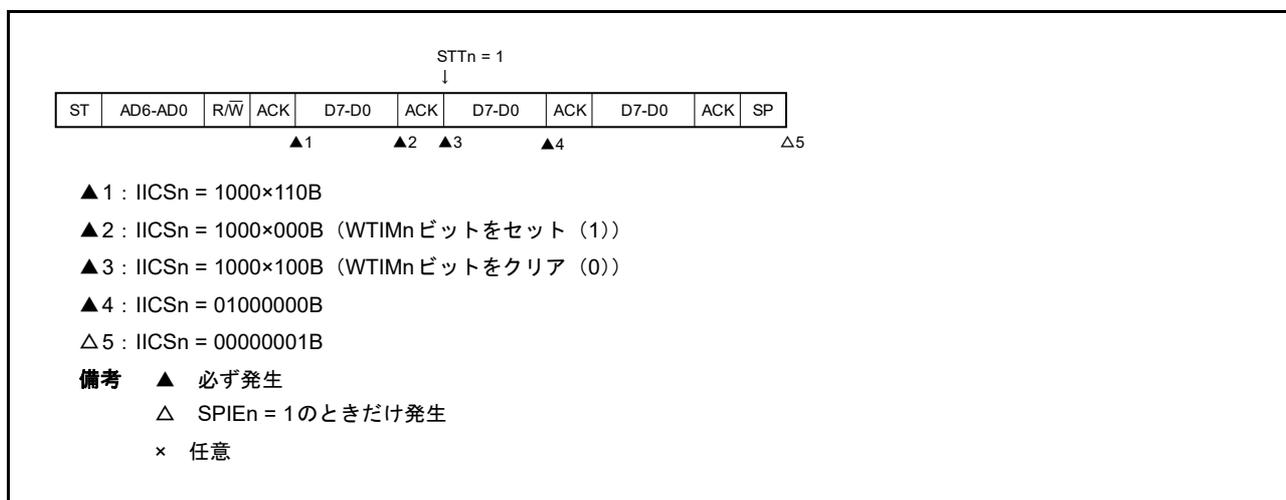
× 任意

m = 6-0

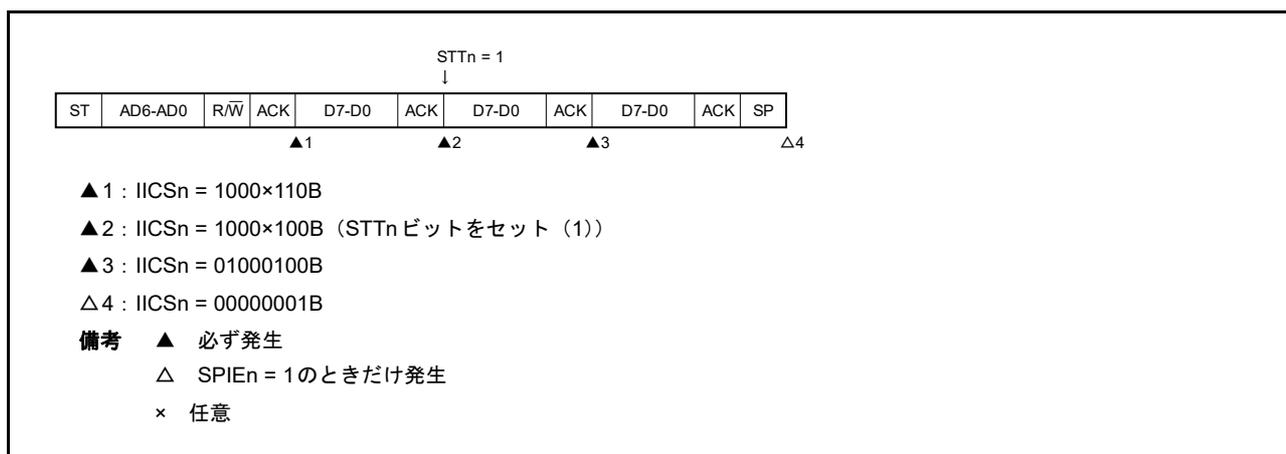
**備考** n = 0, 1

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



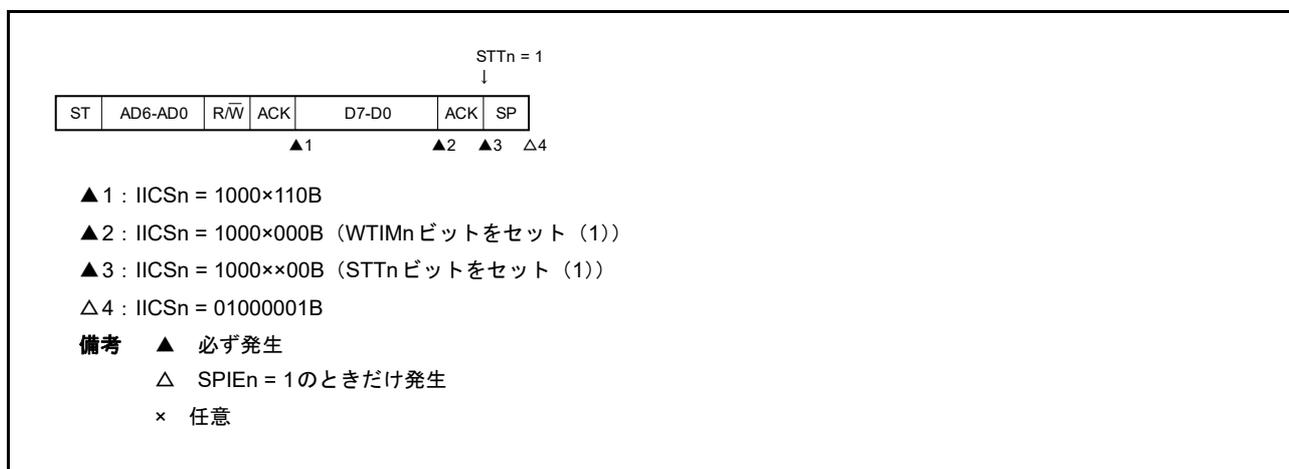
(ii) WTIMn = 1 のとき



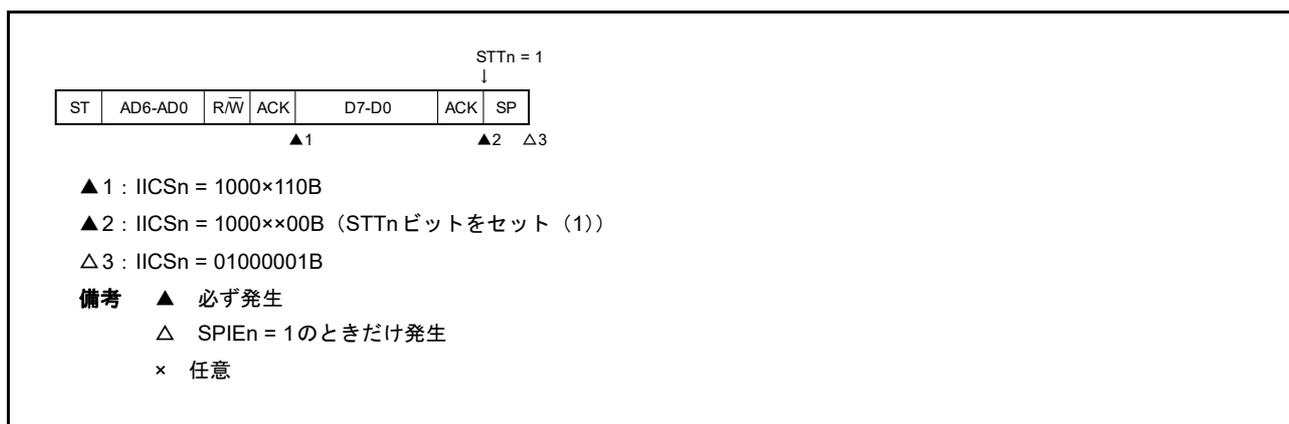
**備考** n = 0, 1

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



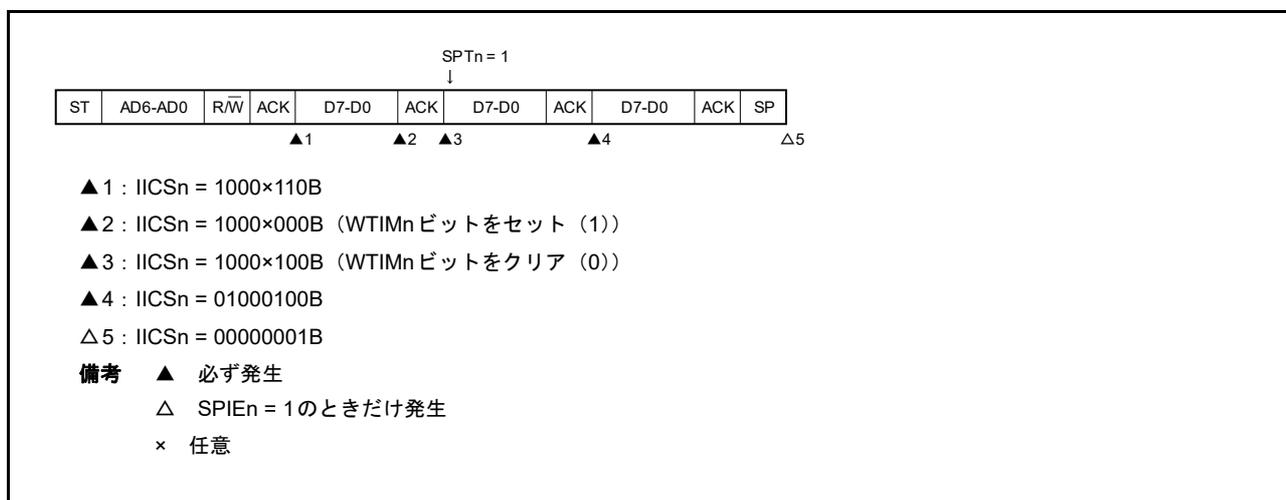
(ii) WTIMn = 1 のとき



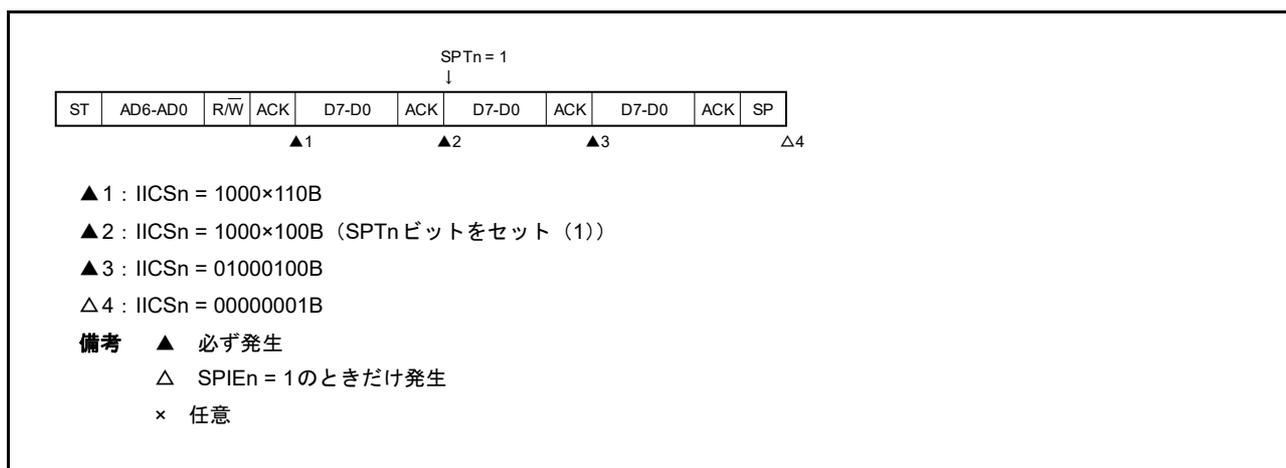
**備考** n = 0, 1

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



**備考** n = 0, 1

## 16.6 タイミング・チャート

I<sup>2</sup>C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す TRCn ビット (IICA ステータス・レジスタ n (IICSn) のビット 3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図 16 - 32、図 16 - 33 に示します。

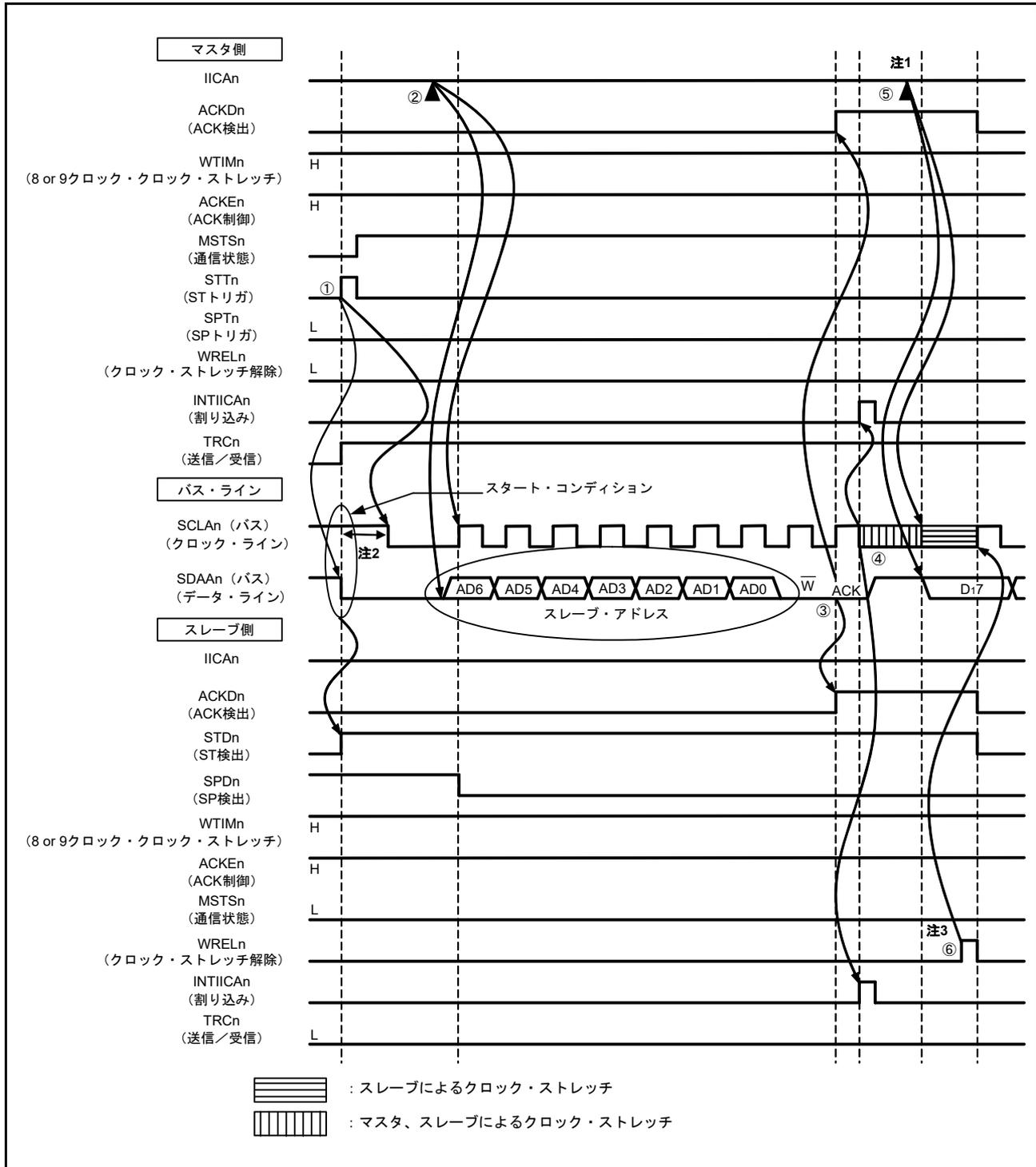
シリアル・クロック (SCLAn) の立ち下がりに同期して IICA シフト・レジスタ n (IICAn) のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

本節で示すタイミング・チャートは、全アドレス一致機能は停止状態です。

**備考** n = 0, 1

図16-32 マスタスレーブ通信例 (マスタ:9クロック、スレーブ:9クロックでクロック・ストレッチ選択) (1/4)  
 (1) スタート・コンディション~アドレス~データ



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図 16 - 32 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット (STTn = 1) されると、バス・データ・ライン (SDAAn) が立ち下がり、スタート・コンディション (SCLAn = 1 で SDAAn = 1 → 0) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTSn = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLAn = 0) , 通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ n (IICAn) にアドレス + W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します注。
- ⑤ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

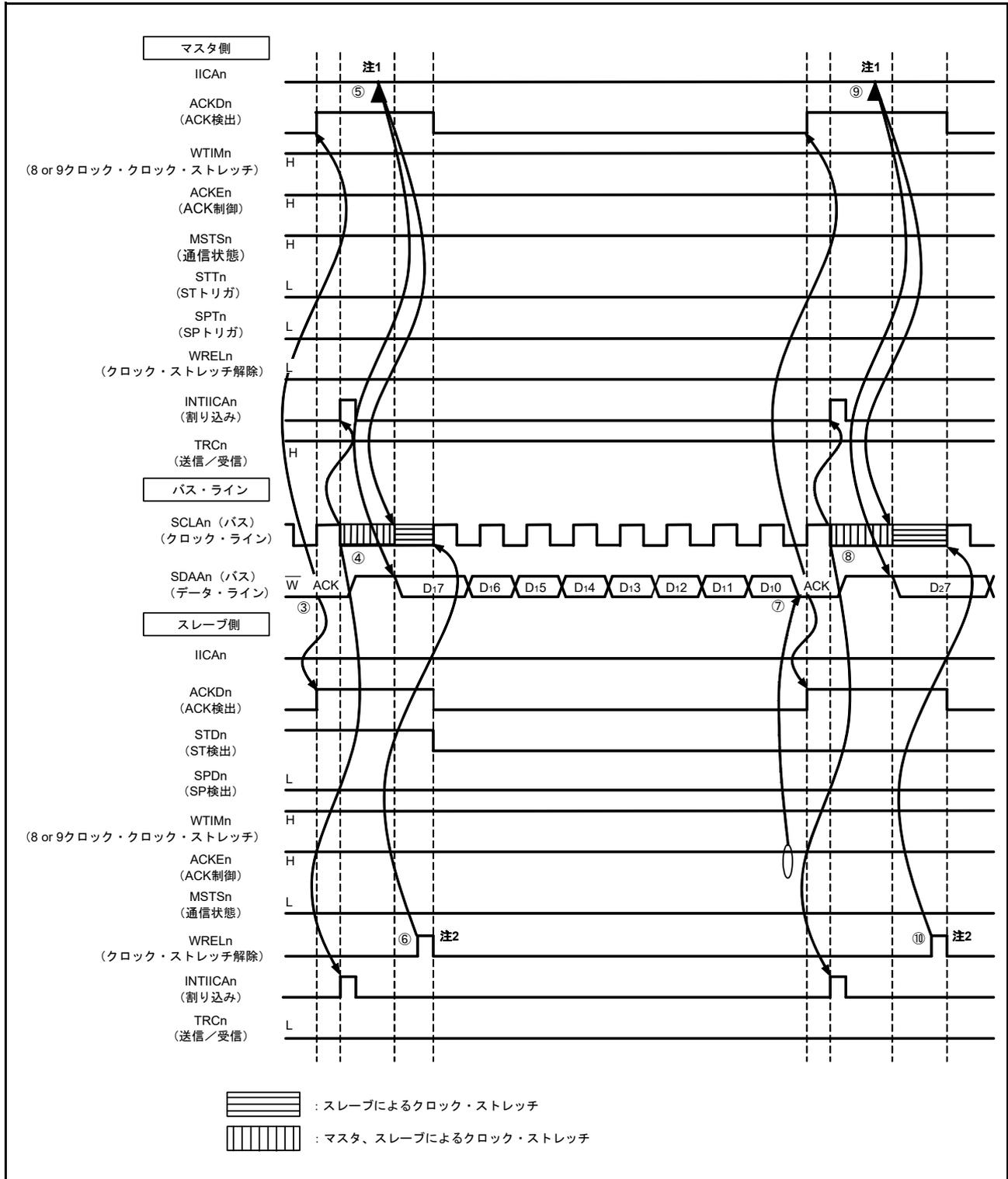
**注** 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが (NACK : SDAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。  
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

**備考 1.** 図 16 - 32 の①～⑥は、I<sup>2</sup>C バスによるデータ通信の一連の操作手順です。

- |                                     |         |
|-------------------------------------|---------|
| 図 16 - 32 (1) スタート・コンディション～アドレス～データ | : 手順①～⑥ |
| 図 16 - 32 (2) アドレス～データ～データ          | : 手順③～⑩ |
| 図 16 - 32 (3) データ～データ～ストップ・コンディション  | : 手順⑦～⑮ |

**備考 2.** n = 0, 1

図16-32 マスタスレーブ通信例 (マスタ:9クロック、スレーブ:9クロックでクロック・ストレッチ選択) (2/4)  
 (2) アドレス~データ~データ



- 注1.** マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
- 注2.** スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図 16 - 32 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します注。
- ⑤ マスタ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

**注** 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。  
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

**備考1.** 図 16 - 32 の①～⑫は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

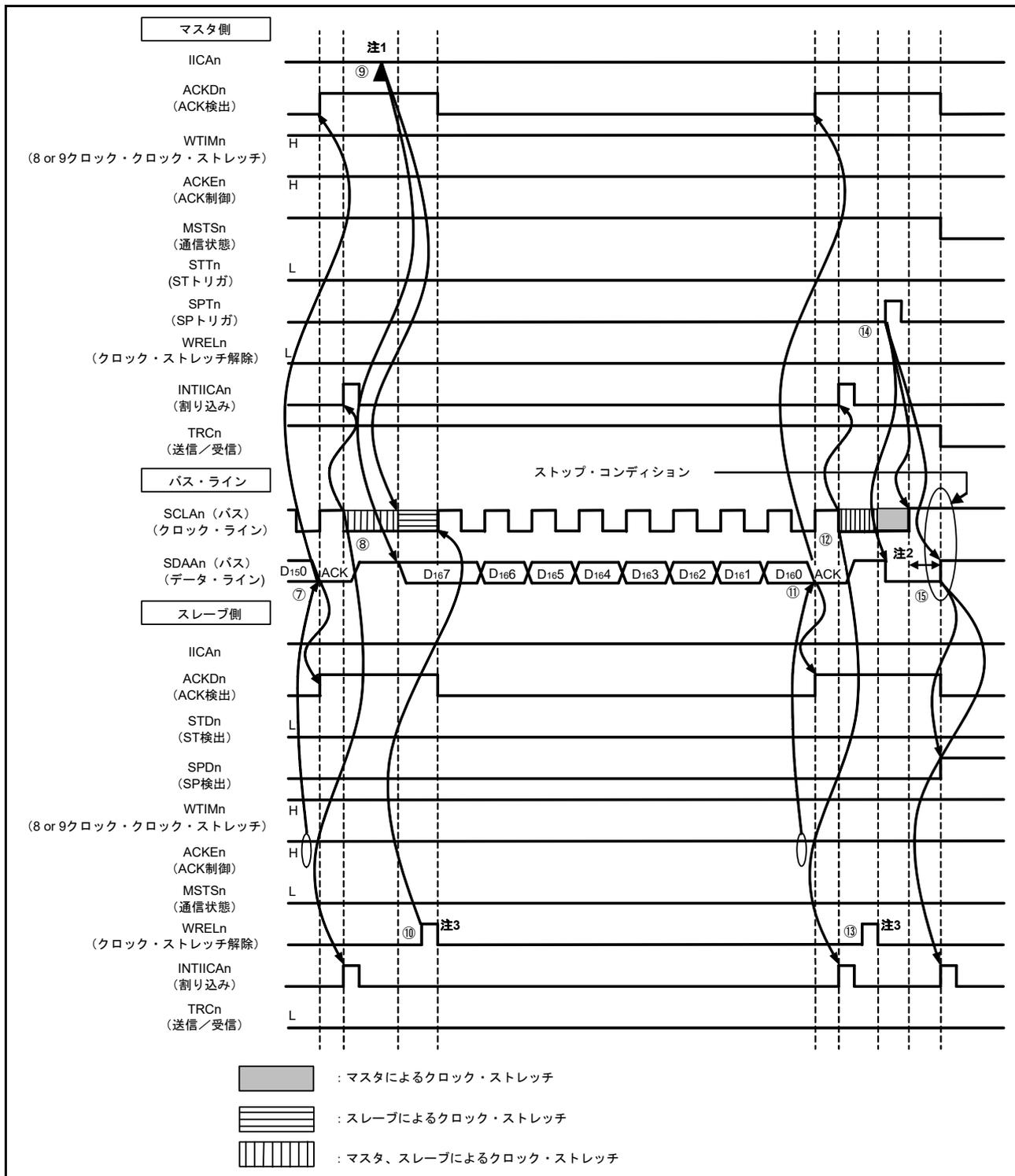
図 16 - 32 (1) スタート・コンディション～アドレス～データ : 手順①～⑥

図 16 - 32 (2) アドレス～データ～データ : 手順③～⑩

図 16 - 32 (3) データ～データ～ストップ・コンディション : 手順⑦～⑫

**備考2.** n = 0, 1

図16-32 マスタスレーブ通信例 (マスタ:9クロック、スレーブ:9クロックでクロック・ストレッチ選択) (3/4)  
 (3) データ~データ~ストップ・コンディション



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
  - 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
  - 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 備考 n = 0, 1

図 16 - 32 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑧ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKEn = 1) のハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑫ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、バス・クロック・ラインがセット (SCLAn = 1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAAn = 1) されることでストップ・コンディション (SCLAn = 1 で SDAAn = 0 → 1) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考1. 図 16 - 32 の①～⑮は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

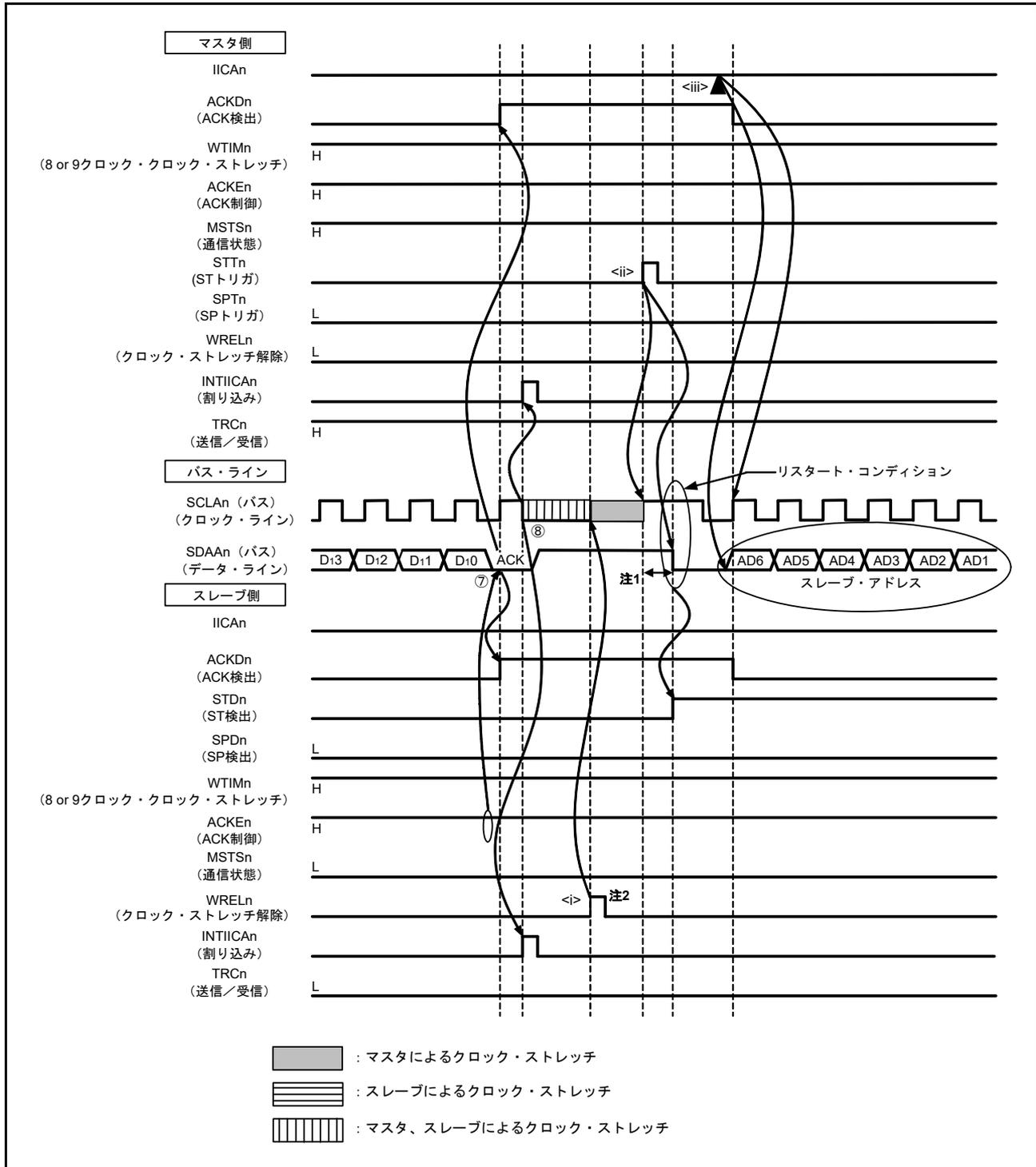
図 16 - 32 (1) スタート・コンディション～アドレス～データ : 手順①～⑥

図 16 - 32 (2) アドレス～データ～データ : 手順③～⑩

図 16 - 32 (3) データ～データ～ストップ・コンディション : 手順⑦～⑮

備考2. n = 0, 1

図16-32 マスタスレーブ通信例 (マスタ:9クロック、スレーブ:9クロックでクロック・ストレッチ選択) (4/4)  
 (4) データ~リスタート・コンディション~アドレス



- 注1. リスタート・コンディションの発行後、SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図 16 - 32 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦、⑧の動作後、<i> ~ <iii> の動作を行います。それにより、手順③のデータの送信手順に戻ります。

⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。

⑧ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。

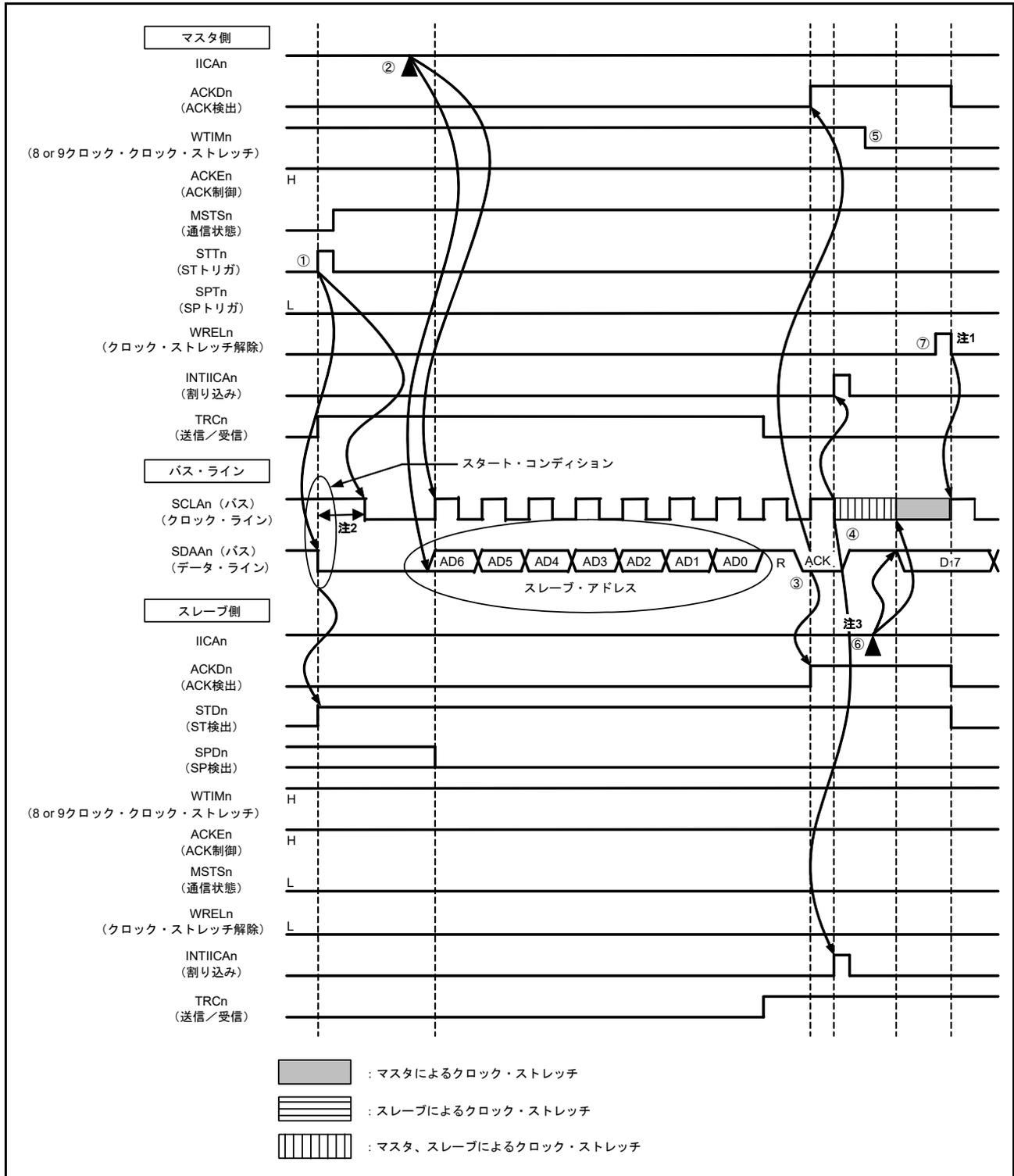
<i> スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。

<ii> マスタ側で再度スタート・コンディション・トリガがセット (STTn = 1) されると、バス・クロック・ラインが立ち上がり (SCLAn = 1)、リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAAn = 0) が立ち下がり、スタート・コンディション (SCLAn = 1 で SDAAn = 1 → 0) が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLAn = 0)、通信準備が完了となります。

<iii> マスタ側がIICAシフト・レジスタ n (IICAn) にアドレス + R/W (送信) を書き込むと、スレーブ・アドレスが送信されます。

**備考** n = 0, 1

図16-33 スレーブ→マスタ通信例 (マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択) (1/3)  
 (1) スタート・コンディション～アドレス～データ



- 注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
  - 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
  - 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
- 備考 n = 0, 1

図 16 - 33 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット (STTn = 1) されると、バス・データ・ライン (SDAAn) が立ち下がり、スタート・コンディション (SCLAn = 1 で SDAAn = 1 → 0) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTSn = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLAn = 0)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ n (IICAn) にアドレス + R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを 8 クロック目に (WTIMn = 0) に変更します。
- ⑥ スレーブ側が IICAn レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。  
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 16 - 33 の①～⑱は、I<sup>2</sup>C バスによるデータ通信の一連の操作手順です。

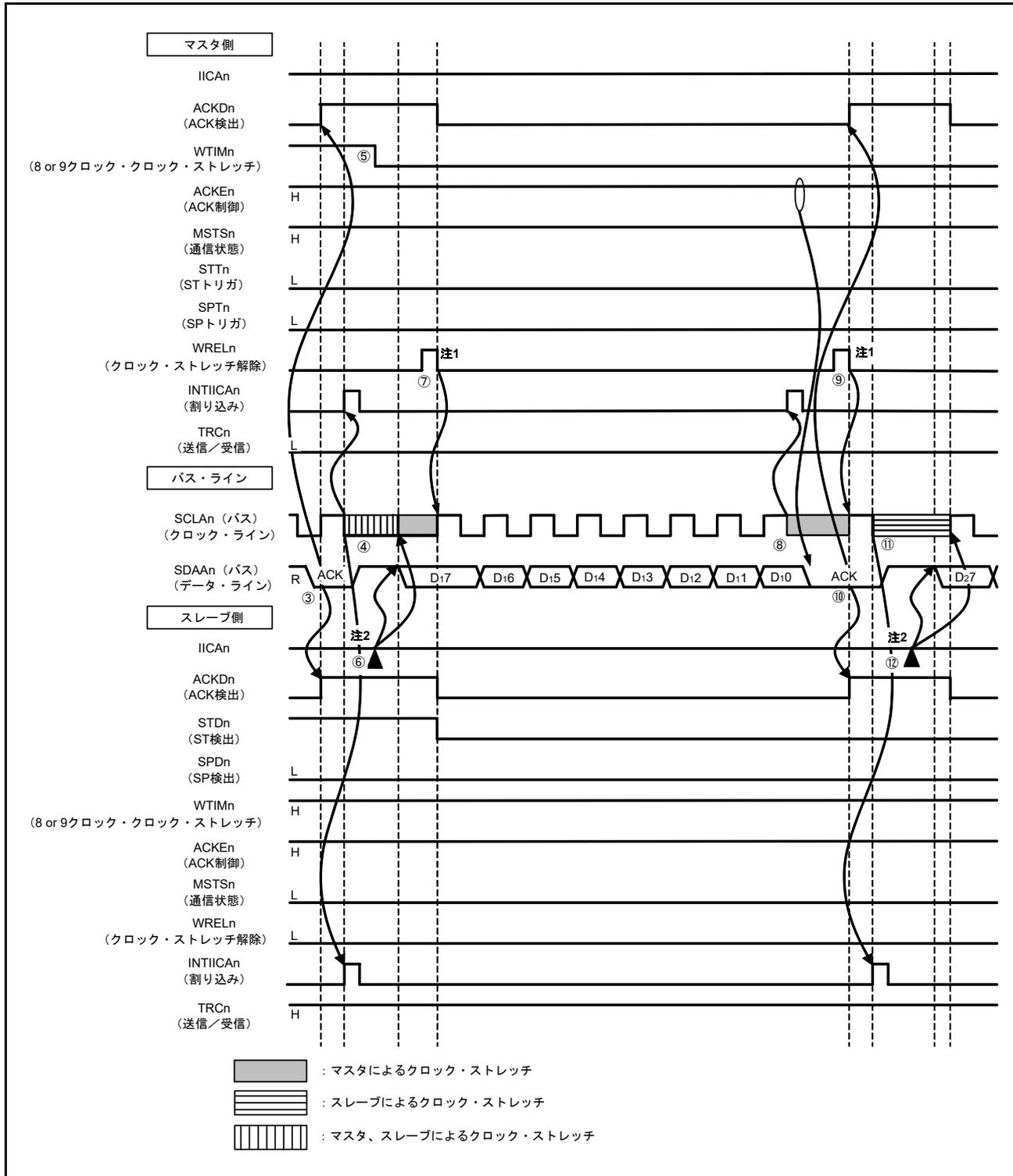
図 16 - 33 (1) スタート・コンディション～アドレス～データ : 手順①～⑦

図 16 - 33 (2) アドレス～データ～データ : 手順③～⑫

図 16 - 33 (3) データ～データ～ストップ・コンディション : 手順⑧～⑱

備考 2. n = 0, 1

図16-33 スレーブ→マスタ通信例 (マスタ: 8クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (2/3)  
 (2) アドレス~データ~データ



- 注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考 n = 0, 1

図 16 - 33 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレス自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを 8 クロック目に (WTIMn = 0) に変更します。
- ⑥ スレーブ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。
- ⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側 ACKEn = 1 なのでハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKDn = 1) されます。
- ⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側が IICAn レジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。  
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 16 - 33 の①～⑱は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図 16 - 33 (1) スタート・コンディション～アドレス～データ : 手順①～⑦

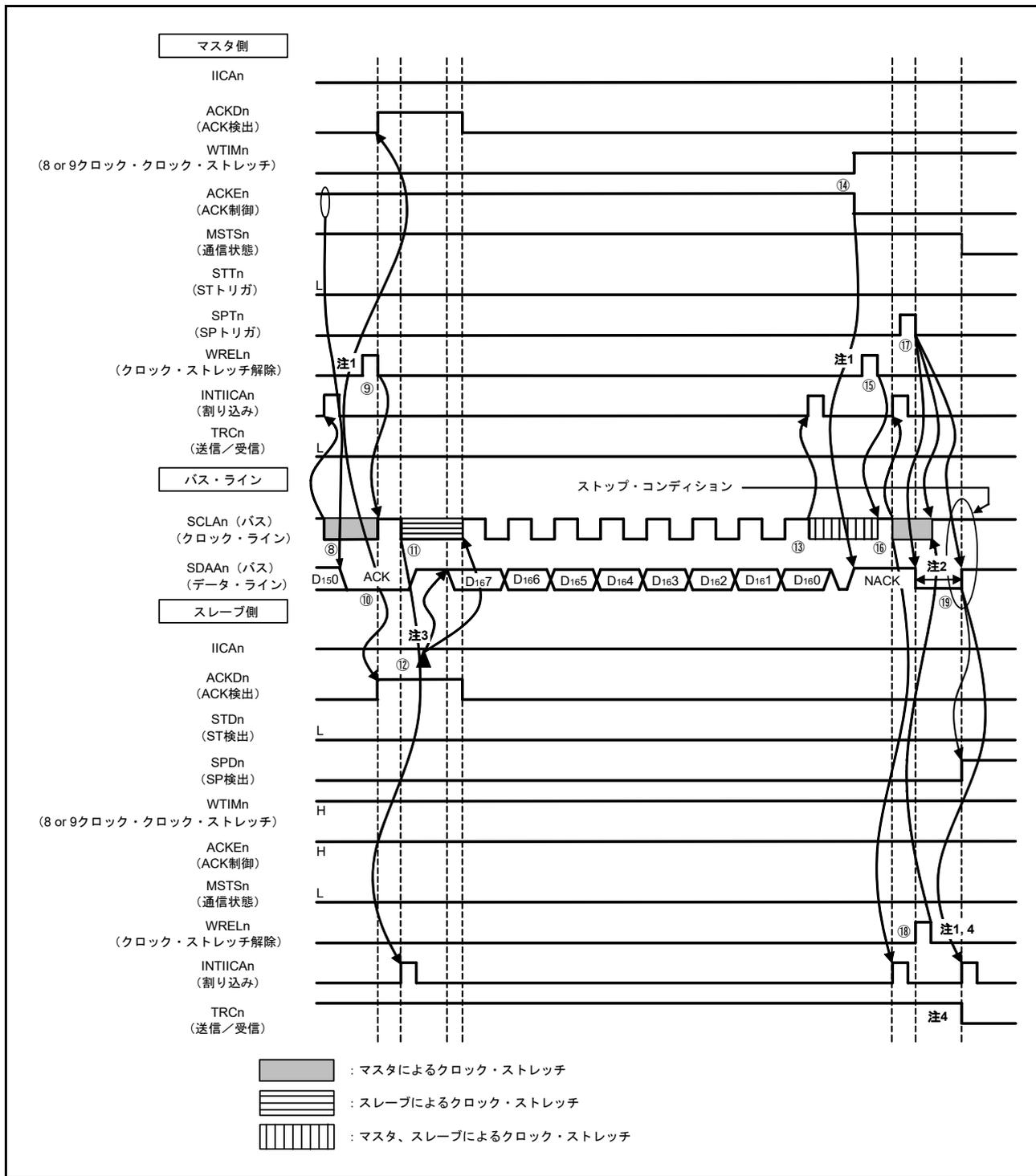
図 16 - 33 (2) アドレス～データ～データ : 手順③～⑫

図 16 - 33 (3) データ～データ～ストップ・コンディション : 手順⑧～⑱

備考 2. n = 0, 1

図16-33 スレーブ→マスタ通信例 (マスタ : 8→9クロック、スレーブ : 9クロックでクロック・ストレッチ選択)  
(3/3)

(3) データ~データ~ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
  - 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
  - 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
  - 注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。
- 備考 n = 0, 1

図 16 - 33 (3) データ～データ～ストップ・コンディションの⑧～⑱の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側は ACKEn = 0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかります。ACK 制御 (ACKEn = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAAn = 0) となります。
- ⑭ マスタ側は NACK 応答に設定 (ACKEn = 0) し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ (WTIMn = 1) に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除 (WRELn = 1) すると、スレーブ側は9クロック目の立ち上がりで NACK を検出 (ACKDn = 0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されるまで待機します。
- ⑱ スレーブ側は NACK を確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除 (WRELn = 1) します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット (SCLAn = 1) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAAn = 1) してストップ・コンディション (SCLAn = 1 で SDAAn = 0 → 1) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考1. 図 16 - 33 の①～⑱は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図 16 - 33 (1) スタート・コンディション～アドレス～データ : 手順①～⑦

図 16 - 33 (2) アドレス～データ～データ : 手順③～⑫

図 16 - 33 (3) データ～データ～ストップ・コンディション : 手順⑧～⑱

備考2. n = 0, 1

## 第17章 シリアル・インタフェース UARTA (UARTA)

シリアル・インタフェース UARTA のチャンネル数は、製品によって異なります。

	30, 32 ピン	36, 40 ピン	44, 48, 52, 64, 80, 100, 128 ピン
チャンネル	—	1 ch	2 ch

### 17.1 概要

シリアル・インタフェース UARTAn ( $n = 0, 1$ ) には、次の2種類のモードがあります。

- (1) 動作停止モード  
シリアル通信を行わないときに使用するモードです。消費電力を低減できます。
- (2) UARTモード  
連続送信機能対応のUARTモードです。機能の概要を次に示します。

UARTAn は非同期通信です。以下に機能概要を示します。

- 最大転送速度：153.6 kbps
- 送受信は2端子構成  
TxDAn：送信データ出力端子  
RxDAn：受信データ入力端子
- 転送データのキャラクタ長は、5ビット／7ビット／8ビット可変
- 専用の8ビット・ポーレート・ジェネレータ内蔵で任意のポーレートの設定が可能
- 送信動作と受信動作は独立して動作可能（全二重動作）
- MSB/LSB ファースト転送選択可能
- 通信論理レベル反転制御が可能
- 送信クロック出力が可能（CLKAn）
- CPU／周辺ハードウェア・クロック（fCLK）と同期せずに独自に動作クロックを選択可能。

**備考** n：ユニット番号（ $n = 0, 1$ ）

図 17 - 1 に UARTAn のブロック図を、表 17 - 1 に UARTAn の端子構成を示します。

図 17 - 1 UARTAn のブロック図

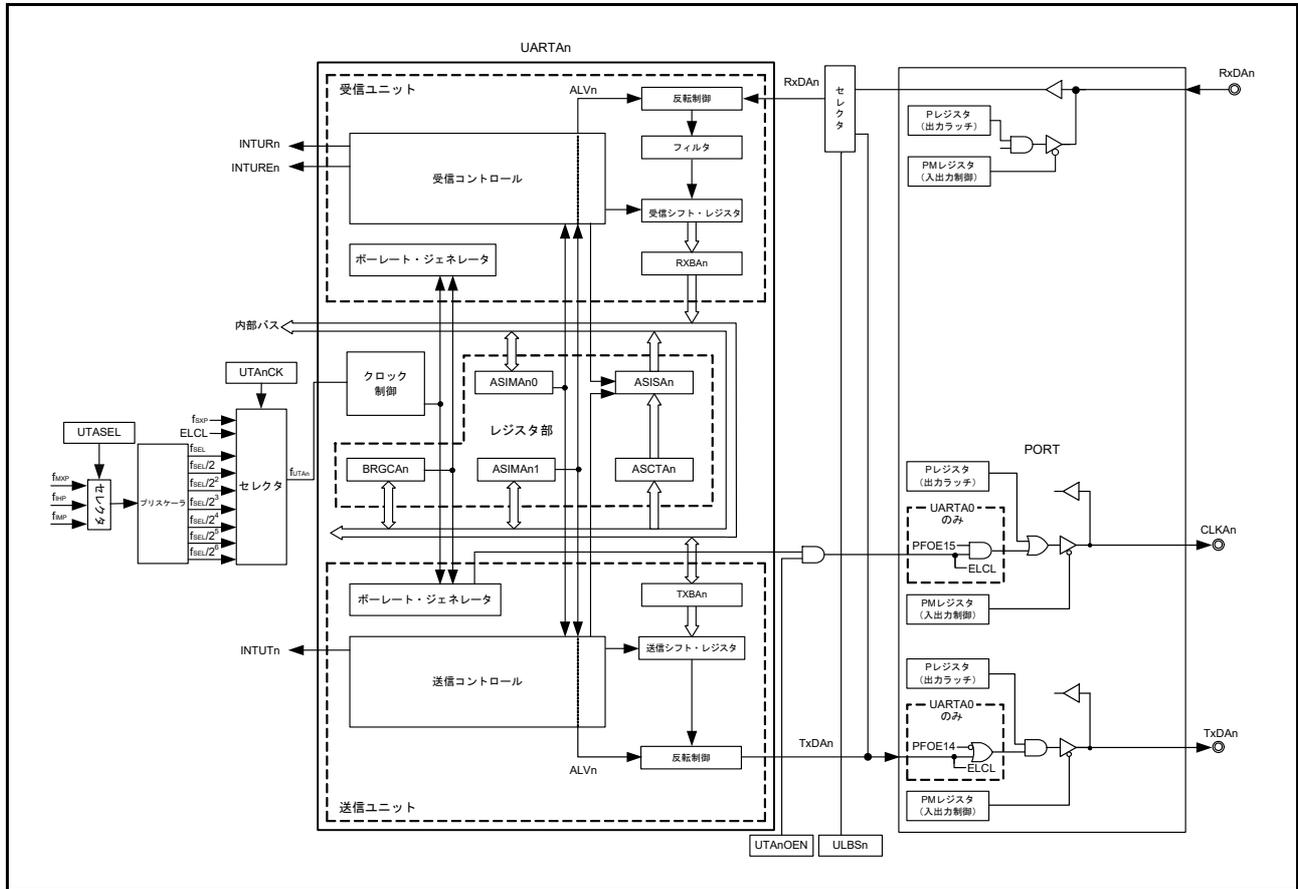


表 17 - 1 UARTAnの端子構成端 (n = 0, 1)

端子名	入出力	機能
RxDA[n]	入力	シリアル・データ入力信号
TxDA[n]	出力	シリアル・データ出力信号
CLKA[n]	出力	シリアル・クロック出力信号

- 備考**
- fMXP : 高速周辺クロック周波数
  - fIHP : 高速オンチップ・オシレータ周辺クロック周波数
  - fIMP : 中速オンチップ・オシレータ周辺クロック周波数
  - fSXP : 低速周辺クロック周波数
  - fSEL : UARTA分周選択クロック
  - fUTAn : UARTAn動作クロック
  - ELCL : ELCLからのイベント入力

## 17.2 シリアル・インタフェースUARTAを制御するレジスタ

シリアル・インタフェースUARTAを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 送信バッファ・レジスタ (TXBAn) (n = 0, 1)
- 受信バッファ・レジスタ (RXBAn) (n = 0, 1)
- 動作モード設定レジスタ0 (ASIMAn0) (n = 0, 1)
- 動作モード設定レジスタ1 (ASIMAn1) (n = 0, 1)
- ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) (n = 0, 1)
- ステータス・レジスタ (ASISAn) (n = 0, 1)
- ステータス・クリア・トリガ・レジスタ (ASCTAn) (n = 0, 1)
- UARTAクロック選択レジスタ0 (UTA0CK)
- UARTAクロック選択レジスタ1 (UTA1CK)
- UARTループバック選択レジスタ (ULBS)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・ファンクション出力許可レジスタ (PFOEx)

**備考** x = 1; xx = 0, 3, 4, 7, 8, 12, 14

ただし、PIM12、PMCA4, 7, 8、PMCT4, 8, 12, 14は搭載していません。

### 17.2.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

UARTA<sub>0,1</sub> を使用する場合は、必ずビット2 (UTAEN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1 レジスタは00Hになります。

図17-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
	UTAEN	シリアル・インタフェースUARTAnの入カクロック供給の制御						
	0	入カクロック供給停止 ・シリアル・インタフェースUARTAnで使用するSFRへのライト不可 ・シリアル・インタフェースUARTAnで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・シリアル・インタフェースUARTAnで使用するSFRへのリード／ライト可						

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意1. UARTAnを使用する際には、必ず最初にUTAEN = 1の設定を行ってください。UTAEN = 0の場合は、UARTAnの制御レジスタへの書き込みは無視されます。

注意2. 次のビットには必ず0を設定してください。

30ピン製品：ビット2, 1

32ピン製品：ビット2

### 17.2.2 送信バッファ・レジスタ (TXBAn) (n = 0, 1)

TXBAn レジスタは、送信データを設定するバッファ・レジスタです。  
 TXBAn レジスタに送信データを書き込むことにより、送信動作が開始されます。  
 TXBAn レジスタは、8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、FFHになります。

図 17 - 3 送信バッファ・レジスタ (TXBAn) のフォーマット

アドレス : F0300H(TXBA0), F0308H(TXBA1)  
 リセット時: FFH  
 R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TXBAn								

ビット 7-0	機能
—	<ul style="list-style-type: none"> <li>• キャラクタ長を8ビット指定した場合： 送信データはTXBAnのビット7-0が転送されます。</li> <li>• キャラクタ長を7ビット指定した場合： MSB/LSBファーストどちらの設定でも送信データはTXBAnのビット6-0が転送され、ビット7は無効になります。</li> <li>• キャラクタ長を5ビット指定した場合： MSB/LSBファーストどちらの設定でも送信データはTXBAnのビット4-0が転送され、ビット7-5は無効になります。</li> </ul>

- 注意1.** ASISAn レジスタのTXBFAnが1のとき、TXBAnレジスタに送信データを書き込まないでください。
- 注意2.** ASIMAn0 レジスタのTXEAnを1に設定したあと、UARTAn動作クロック (fUTAn) の1クロック以上の期間を待ってから、TXBAnレジスタに最初の送信データを設定してください。TXEAnに1を設定したあと、UARTAn動作クロックの1クロックを待たずに送信データを設定した場合はUARTAn動作クロックで1クロック送信開始が遅れます。

**備考** TXBAnレジスタから転送されたデータをシリアル・データとしてTxDAn端子から送信します。TXBAnレジスタからのデータ転送は、最初の送信時ではTXBAnレジスタの書き込み直後、連続送信時では1フレーム送信後の転送完了割り込み発生直前のタイミングで転送されます。  
 送信シフト・レジスタはプログラムで直接操作できません。

### 17.2.3 受信バッファ・レジスタ (RXBAn) (n = 0, 1)

RXBAn レジスタは、受信シフト・レジスタで変換したパラレル・データを格納するためのレジスタです。データを1バイト受信するごとに受信シフト・レジスタ<sup>注</sup>から新たな受信データが転送されます。

RXBAn レジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、FFHになります。

**注** RxDAn端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。  
受信シフト・レジスタはプログラムで直接操作できません。

図17-4 受信バッファ・レジスタ (RXBAn) のフォーマット

アドレス : F0301H(RXBA0), F0309H(RXBA1)

リセット時: FFH

R/W属性 : R

略号	7	6	5	4	3	2	1	0
RXBAn								
ビット 7-0	機能							
—	<ul style="list-style-type: none"> <li>• キャラクタ長を8ビット指定した場合： 受信データは本レジスタのビット7-0に転送されます。</li> <li>• キャラクタ長を7ビット指定した場合： MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット6-0に転送され、 ビット7は必ず0になります。</li> <li>• キャラクタ長を5ビット指定した場合： MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット4-0に転送され、 ビット7-5は必ず0になります。</li> </ul>							

**注意** オーバラン・エラー (OVEAn) が発生した場合、そのときの受信データはRXBAnレジスタには格納されません。

## 17.2.4 動作モード設定レジスタ0 (ASIMAn0) (n = 0, 1)

シリアル・インタフェースUARTAnのシリアル通信動作を制御する8ビット・レジスタです。  
ASIMAn0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、01Hになります。

図17-5 動作モード設定レジスタ0 (ASIMAn0) のフォーマット

アドレス : F0302H(ASIMA00), F030AH(ASIMA10)

リセット時: 01H

R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
ASIMAn0	UARTAENn	TXEAn	RXEAn	0	0	0	ISSMAAn	ISRMAAn
UARTAENn	UART動作許可							
注1								
0	UART動作クロック動作禁止、内部回路をリセット注2							
1	UART動作クロック動作許可							
TXEAn	送信許可							
0	送信動作禁止 (送信回路をリセットする)							
1	送信動作許可							
RXEAn	受信許可							
0	受信動作禁止 (受信回路をリセットする)							
1	受信動作許可							
ISSMAAn	送信割り込みモード選択							
0	送信転送完了時、INTUTn割り込みを発生							
1	送信バッファ空き時にINTUTn割り込みを発生 (連続送信用)							
ISRMAAn	受信割り込みモード選択							
0	受信エラー発生時、INTUREn割り込みを発生 (INTURnは発生しない)							
1	受信エラー発生時、INTURn割り込みを発生 (INTUREnは発生しない)							

注1. UARTAENn = 0 にすると、ALVnビットの値によってTxDAn端子の出力レベル、RxDAn端子からの入力レベルは、次のようになります。

- ALVn = 0時は、TxDAn端子の出力はハイ・レベルとなります。
- ALVn = 1時は、TxDAn端子の出力はロウ・レベルとなります。

注2. UARTAENn = 0でリセットされるレジスタはASISAnレジスタ、RXBAnレジスタです。

注意1. ビット4, 3, 2には、必ず0を設定してください。

注意2. 送信開始するときはUARTAENn = 1にしてから、TXEAn = 1としてください。

送信停止するときはTXEAn = 0にしてからUARTAENn = 0にしてください。

(注意は次ページに続きます)

- 注意3. 受信開始するときはUARTAENn = 1にしてから、RXEAn = 1としてください。  
受信停止するときはRXEAn = 0にしてからUARTAENn = 0としてください。
- 注意4. UARTAENn = 1→RXEAn = 1を設定する場合、次のようにしてください。
- ALVn = 0時は、RxDAn端子にハイ・レベルが入力された状態で実施してください。  
ロウ・レベル状態でUARTAENn = 1→RXEAn = 1と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。
  - ALVn = 1時は、RxDAn端子にロウ・レベルが入力された状態で実施してください。  
ハイ・レベル状態でUARTAENn = 1→RXEAn = 1と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。
- 注意5. TXEAnビットとRXEAnビットは、UARTAn動作クロック (fUTAn) により同期化されています。再度送信動作、または受信動作を許可する場合はTXEAn = 0またはRXEAn = 0に設定してからUARTAn動作クロックの2クロック以降にTXEAn = 1またはRXEAn = 1を設定してください。UARTAn動作クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- 注意6. TXEAn = 1に設定後、UARTAn動作クロック (fUTAn) 1クロック以上まってから、TXBAnレジスタに送信データを設定してください。
- 注意7. ISRMAAnビットを書き換えるときは、RXEAn = 0にしてから行ってください。

## 17.2.5 動作モード設定レジスタ1 (ASIMAn1) (n = 0, 1)

シリアル・インタフェースUARTAnのシリアル通信動作を制御する8ビット・レジスタです。  
ASIMAn1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
ASIMAn1レジスタはTXEAn = 0かつRXEAn = 0の状態書き換えてください。  
リセット信号の発生により、1AHになります。

図17-6 動作モード設定レジスタ1 (ASIMAn1) のフォーマット

アドレス : F0303H(ASIMA01), F030BH(ASIMA11)

リセット時: 1AH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ASIMAn1	0	PSn1	PSn0	CLn1	CLn0	SLn	DIRn	ALVn
		PSn1	PSn0	送受信パリティ・ビット指定1、送受信パリティ・ビット指定0				
				送信動作		受信動作		
		0	0	パリティ・ビットを出力しない		パリティなしで受信		
		0	1	0パリティを出力		0パリティとして受信 <sup>注</sup>		
		1	0	奇数パリティを出力		奇数パリティとして判定		
		1	1	偶数パリティを出力		偶数パリティとして判定		
		CLn1	CLn0	送受信キャラクタ長指定1、送受信キャラクタ長指定0				
		0	0	データのキャラクタ長 = 5ビット				
		0	1	設定禁止				
		1	0	データのキャラクタ長 = 7ビット				
		1	1	データのキャラクタ長 = 8ビット				
		SLn	送信ストップ・ビット長指定					
		0	ストップ・ビット長 = 1ビット					
		1	ストップ・ビット長 = 2ビット					
		DIRn	送受信転送順序指定					
		0	MSBファースト転送					
		1	LSBファースト転送					
		ALVn	送受信レベル指定					
		0	正論理 (待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル、ストップ・ビット = ハイ・レベル)					
		1	負論理 (待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル、ストップ・ビット = ロウ・レベル)					

**注** 「0パリティとして受信」を設定した場合、パリティ判定を行いません。したがって、PEAn (ASISAnレジスタ) はセットされないため、受信エラー割り込みも発生しません。

**注意1.** ASIMAn1レジスタを書き換えるときは、TXEAnビットとRXEAnビットを両方ともクリア (0) してから行ってください。

**注意2.** 受信は常に“ストップ・ビット長 = 1”として動作します。SLnビットの設定値の影響は受けません。

17.2.6 ボーレート・ジェネレータ・コントロール・レジスタ (BRGCA<sub>n</sub>) (n = 0, 1)

シリアル・インタフェース UARTA<sub>n</sub> の 8 ビット・カウンタの分周値を設定するレジスタです。  
BRGCA<sub>n</sub> レジスタは、8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、FFH になります。

図17-7 ボーレート・ジェネレータ・コントロール・レジスタ (BRGCA<sub>n</sub>) のフォーマット

アドレス : F0304H(BRGCA0), F030CH(BRGCA1)

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
BRGCA <sub>n</sub>								
ビット 7-0	機能							
—	UARTのボーレート（シリアル転送スピード）を制御する。 設定値の詳細は表17-2を参照							

**注意** BRGCA<sub>n</sub> レジスタはTXEA<sub>n</sub> = 0、RXEA<sub>n</sub> = 0時（送受信動作停止時）に書き換えてください。

表17-2 BRGCA<sub>n</sub>の設定値

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	k	8ビット・カウンタ出力クロック選択
0	0	0	0	0	0	0	X	X	設定禁止
0	0	0	0	0	0	1	0	2	fUTA <sub>n</sub> /2
0	0	0	0	0	0	1	1	3	fUTA <sub>n</sub> /3
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	fUTA <sub>n</sub> /252
1	1	1	1	1	1	0	1	253	fUTA <sub>n</sub> /253
1	1	1	1	1	1	1	0	254	fUTA <sub>n</sub> /254
1	1	1	1	1	1	1	1	255	fUTA <sub>n</sub> /255

**注意** 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボーレート値になります。

**備考1.** k : BRGCA<sub>n</sub> レジスタで設定した値 (k = 2、3、4、5、6、...、255)

**備考2.** X : 任意

ボーレートの設定例については17.3.4 (3) (c) ボーレート設定例を参照してください。

## 17.2.7 ステータス・レジスタ (ASISAn) (n = 0, 1)

シリアル・インタフェースUARTAnの受信終了時のエラー・ステータスおよび送信ステータスを示すレジスタです。3ビットのエラー・フラグ (PEAn, FEAn, OVEAn) と2ビットの送信ステータス・フラグ (TXBFAn, TXSFAn) で構成されています。

ASISAnレジスタは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により、00Hになります。PEAn, FEAn, OVEAnビットは、UARTAENn = 0 または RXEAn = 0 により、初期値になります。また、ASCTAnレジスタへの書き込みによって、それぞれ対応するフラグは初期値になります。TXBFAn, TXSFAnビットはUARTAENn = 0 または TXEAn = 0 により、初期値になります。

図17-8 ステータス・レジスタ (ASISAn) のフォーマット (1/2)

アドレス : F0305H(ASISA0), F030DH(ASISA1)

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
ASISAn	0	0	TXBFAn	TXSFAn	0	PEAn	FEAn	OVEAn
	TXBFAn		送信バッファ・データ・フラグ					
	-		[1になる条件] ・ TXBAnレジスタにデータを書いたとき (TXBAnレジスタにデータが存在するとき) [0になる条件] ・ UARTAENn = 0 または TXEAn = 0 にしたとき ・ 送信シフト・レジスタにデータを転送したとき					
	TXSFAn		送信シフト・レジスタ・データ・フラグ					
	-		[1になる条件] ・ TXBAnレジスタよりデータが転送されたとき (データ送信中のとき) [0になる条件] ・ UARTAENn = 0 または TXEAn = 0 にしたとき ・ 転送完了後に TXBAnレジスタより次のデータ転送がなかったとき					
	PEAn		パリティ・エラー・フラグ					
	-		[1になる条件] ・ 受信時にデータのパリティとパリティ・ビットが一致しないとき [0になる条件] ・ UARTAENn = 0 または RXEAn = 0 にしたとき ・ PECTAnビットへ1を書いたとき					

図 17 - 8 ステータス・レジスタ (ASISAn) のフォーマット (2/2)

FEAn	フレーミング・エラー・フラグ
—	[1になる条件] ・受信時にストップ・ビットが検出されないとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・FECTAn ビットへ1を書いたとき
OVEAn	オーバラン・エラー・フラグ
—	[1になる条件] ・RXBAn レジスタにセットされた受信データを読み出す前に次の受信動作が完了したとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・OVECTAn ビットへ1を書いたとき

注意1. ビット7, 6, 3には、必ず0を設定してください。

注意2. 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBAnレジスタに書き込んだあと、必ずTXBFAnフラグが0であることを確認してから次の送信データ（2バイト目）をTXBAnレジスタに書き込んでください。TXBFAnフラグが1のときにTXBAnレジスタにデータを書き込んだ場合、送信データは不定になります。ただし、ISSMAAn = 1に設定し、バッファ空き割り込みを使用して連続送信を行う場合は、TXBFAnフラグの確認は不要です。

注意3. 連続送信完了時に送信ユニットを初期化（TXEAn = 0）する場合は、転送完了割り込み発生後に、必ずTXSFAnフラグが0であることを確認してから初期化を実行してください。TXSFAnフラグが1のときに初期化を実行した場合、送信データは不定になります。

注意4. PEAnビットの動作は、ASIMAn1レジスタのPSn1、PSn0ビットの設定値により異なります。

注意5. 受信データのストップ・ビットはストップ・ビット長に関係なく最初の1ビットだけをチェックします。

注意6. オーバラン・エラーが発生した場合、次の受信データはRXBAnレジスタには書き込まれず、データは破棄されます。

### 17.2.8 ステータス・クリア・トリガ・レジスタ (ASCTAn) (n = 0, 1)

シリアル・インタフェースUARTAnの受信終了時のエラー・ステータスをクリアするトリガを設定するレジスタです。3ビットのエラー・クリア・トリガ・フラグ (PECTAn, FECTAn, OVECTAn) で構成されています。

ASCTAnレジスタは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で書き込みが可能です。

ASCTAnレジスタの読み出し値は常に00Hになります。

リセット信号の発生により、00Hになります。PECTAn, FECTAn, OVECTAnビットへ1を書き込むことにより、ASISAnレジスタのPEAn, FEAn, OVEAnビットがクリアされます。0を書き込んだビットに対応するエラー・フラグはクリアされません。

図17-9 ステータス・クリア・トリガ・レジスタ (ASCTAn) のフォーマット

アドレス : F0306H(ASCTA0), F030EH(ASCTA1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
ASCTAn	0	0	0	0	0	PECTAn	FECTAn	OVECTAn

PECTAn注	パリティ・エラー・フラグ・クリア・トリガ
0	PEAnフラグをクリアしない (保持)
1	PEAnフラグをクリア

FECTAn注	フレーミング・エラー・フラグ・クリア・トリガ
0	FEAnフラグをクリアしない (保持)
1	FEAnフラグをクリア

OVECTAn注	オーバラン・エラー・フラグ・クリア・トリガ
0	OVEAnフラグをクリアしない (保持)
1	OVEAnフラグをクリア

注 ASCTAnレジスタをリードしたときは、0がリードされます。

注意 エラー・フラグのクリア動作は、トリガ・ビットへ1を書き込み後、次の動作クロック (fUTAn) の立ち上がりで行われます。したがって、トリガ・ビットへ1を書き込み後すぐにASISAnレジスタを読み出した場合、対応するエラー・フラグがクリアされていない場合があります。

### 17.2.9 UARTAクロック選択レジスタ0 (UTA0CK)

UTA0CK レジスタは、UARTAn の動作クロックを選択するレジスタです。UTASEL1,0 ビットで UARTAn の fSEL としてのクロックソースを fMXP, fIH, fIMP から選択し、UTA0CK3-0 ビットで UARTA0 の動作クロックとして fSEL の 1 ~ 64 分周、fSXP、ELCL から選択します。

UTA0OEN ビットを 1 に設定することで UARTA0 クロック出力モードが選択され、CLKA0 端子から UARTA0 の動作クロックを出力します。

UTA0CK レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 17-10 UARTA0クロック選択レジスタ (UTA0CK) のフォーマット

アドレス : F0310H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
UTA0CK	UTA0OEN	0	UTASEL1	UTASEL0	UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0
UTA0OEN 注	UARTA0クロック出力機能の許可							
0	CLKA0出力禁止							
1	CLKA0出力許可							
UTASEL1	UTASEL0	fSEL クロック選択						
0	0	停止						
0	1	fMXP						
1	0	fIH						
1	1	fIMP						
UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0	UARTA0動作クロック選択 (fUTA0)				
0	0	0	0	fSEL				
0	0	0	1	fSEL/2				
0	0	1	0	fSEL/4				
0	0	1	1	fSEL/8				
0	1	0	0	fSEL/16				
0	1	0	1	fSEL/32				
0	1	1	0	fSEL/64				
1	0	0	0	fSXP				
1	0	0	1	ELCL				
上記以外				設定禁止				

注 36~52ピン製品にはCLKA0出力を搭載していないため、0を設定してください。

注意 本レジスタのアクセスは、TXEAn = 0、RXEAn = 0時 (送受信停止時) に行ってください。

(備考は次ページに続きます)

- 備考**
- f<sub>MP</sub> : 高速周辺クロック周波数
  - f<sub>HP</sub> : 高速オンチップ・オシレータ周辺クロック周波数
  - f<sub>MP</sub> : 中速オンチップ・オシレータ周辺クロック周波数
  - f<sub>XP</sub> : 低速周辺クロック周波数
  - f<sub>SEL</sub> : UARTA分周選択クロック
  - ELCL : ELCLからのイベント入力

## 17.2.10 UARTAクロック選択レジスタ1 (UTA1CK)

UTA1CK レジスタは、UARTA1 の動作クロックを選択するレジスタです。UTA1CK3-0 ビットで UARTA1 の動作クロックとして fSEL の 1 ~ 64 分周、fSXP, ELCL から選択します。

UTA1OEN ビットを 1 に設定することで UARTA1 クロック出力モードが選択され、CLKA1 端子から UARTA1 の動作クロックを出力します。

UTA1CK レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 17 - 11 UARTA1動作モードレジスタ (UTA1CK) のフォーマット

アドレス : F0311H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
UTA1CK	UTA1OEN	0	0	0	UTA1CK3	UTA1CK2	UTA1CK1	UTA1CK0

UTA1OEN 注	UARTA1クロック出力機能の許可
0	CLKA1出力禁止
1	CLKA1出力許可

UTA1CK3	UTA1CK2	UTA1CK1	UTA1CK0	UARTA1動作クロック選択 (fUTA1)
0	0	0	0	fSEL
0	0	0	1	fSEL/2
0	0	1	0	fSEL/4
0	0	1	1	fSEL/8
0	1	0	0	fSEL/16
0	1	0	1	fSEL/32
0	1	1	0	fSEL/64
1	0	0	0	fSXP
1	0	0	1	ELCL
上記以外				設定禁止

注 44 ~ 52 ピン製品にはCLKA1出力を搭載していないため、0を設定してください。

注意 本レジスタのアクセスは、TXEAn = 0、RXEAn = 0時 (送受信停止時) に行ってください。

備考 fSXP : 低速周辺クロック  
fSEL : UARTA分周選択クロック  
ELCL : ELCLからのイベント入力

### 17.2.11 UARTループバック選択レジスタ (ULBS)

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネル毎に制御できるビットを持ち、各チャンネルに該当するビットを1に設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、ULBS レジスタは00Hになります。

図17-12 UARTループバック選択レジスタ (ULBS) のフォーマット

アドレス : F0079H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	0	0	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBS5	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA1の RxDA1端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS4	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA0の RxDA0端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

**注意1.** ビット7, 6には必ず0を設定してください。

**注意2.** UARTA0について、ループバック機能を使用する場合は、ポート・ファンクション出力許可レジスタ1 (PFOE1) のPFOE14ビットを1に設定してください。

**備考** RxDA0端子は36～128ピン製品のみ使用可能

RxDA1端子は44～128ピン製品のみ使用可能

## 17.2.12 シリアル・インタフェース入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・ファンクション出力許可レジスタ (PFOEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.4 ポート入力モード・レジスタ (PIMxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx) を参照してください。

TxDA0, 1 を兼用する端子をシリアル・データ出力として使用するときは、ポート・レジスタ (Pxx) に1、ポート・モード・レジスタ (PMxx) に0、ポート・モード・コントロールA・レジスタ (PMCAxx) に0、ポート・モード・コントロールT・レジスタ (PMCTxx) に0を設定してください。

RxDA0, 1 を兼用する端子をシリアル・データ入力として使用するときは、ポート・モード・レジスタ (PMxx) に1、ポート・モード・コントロールT・レジスタ (PMCTxx) に0を設定してください。

CLKA0, 1 を兼用する端子をシリアル・クロック出力として使用するときは、ポート・レジスタ (Pxx) に0、ポート・モード・レジスタ (PMxx) に0、ポート・モード・コントロールT・レジスタ (PMCTxx) に0を設定してください。

**備考** xx = 0, 3, 4, 7, 8, 12, 14

ただし、PIM12、PMCA4, 7, 8、PMCT4, 8, 12, 14は搭載していません。

## 17.3 動作説明

UARTAn は、次の2種類のモードがあります。

- 動作停止モード
- UARTモード

### 17.3.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIMAn0 レジスタのビット7, 6, 5 (UARTAENn, TXEAn, RXEAn) に0を設定してください。

上記設定ではバス・クロックが停止しません。完全に停止させるためには上記設定後 PER1 レジスタの UTAEN ビットに0を設定してください。

### 17.3.2 UARTモード

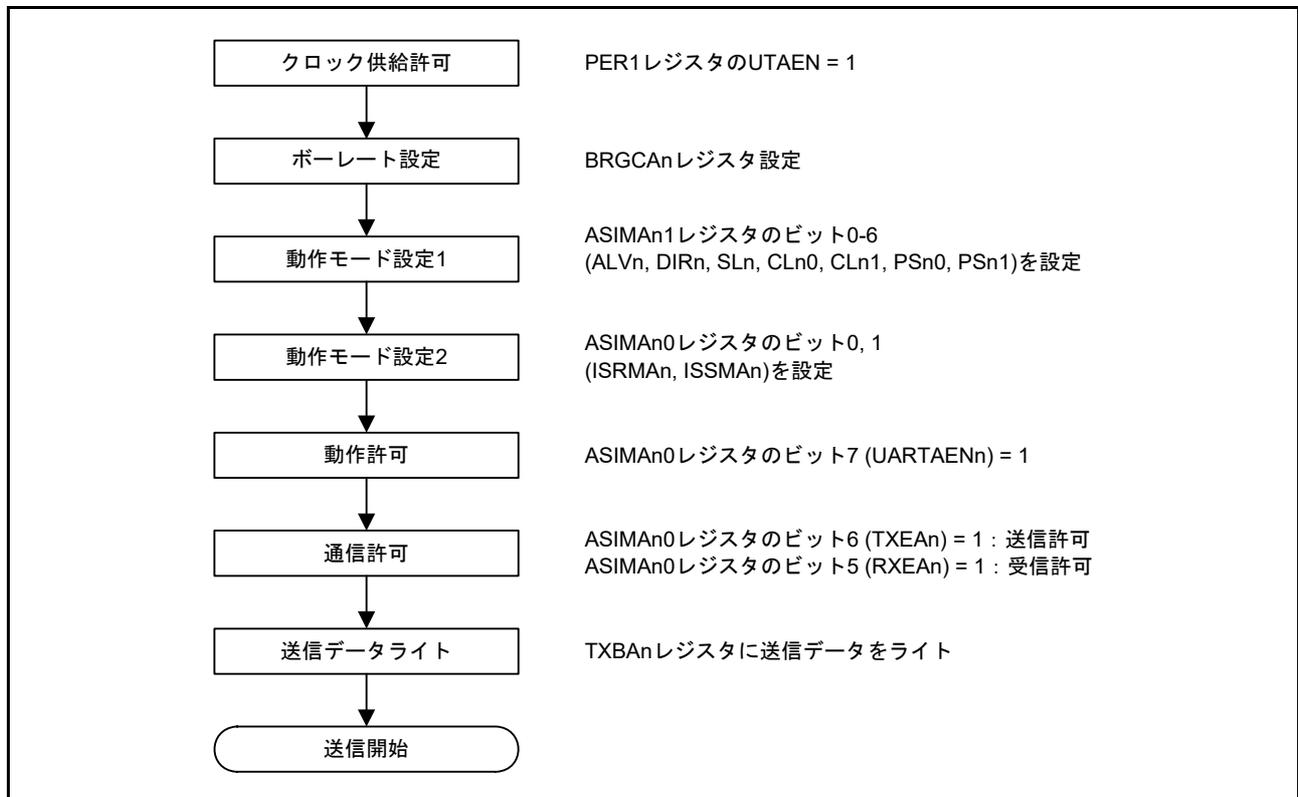
スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボーレート・ジェネレータを内蔵しており、広範囲な任意のボーレートで通信できます。

## (1) 通信手順

図17-13に通信手順フローを示します。

図17-13 通信手順フロー



**注意** 受信機能を使用する場合はポート・モード・レジスタでポートを入力モードに設定してください。  
送信機能を使用する場合はポート・モード・レジスタでポートを出力モードに設定し、ポート・レジスタで1を出力してください。

シリアル・データ出力端子を兼用するポート (P83/TxDA0<sup>注1</sup>) をシリアル・データ出力として使用するとき、ポートに対応するポート・モード・レジスタ (PMxx) のビットに0を、ポート・レジスタ (Pxx) のビットに1を設定してください。

シリアル・クロック出力端子を兼用するポート (P85/CLKA0<sup>注1</sup>) をシリアル・クロック出力として使用するとき、ポートに対応するポート・モード・レジスタ (PMxx) のビットに0を、ポート・レジスタ (Pxx) のビットに0を設定してください。

なお、N-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧<sup>注2</sup>/EV<sub>DD</sub>耐圧<sup>注3</sup>) モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ (POMxx) のビットに1を設定してください。異電位 (1.8V系、2.5V系、3V系) で動作している外部デバイスと接続する場合は、**4.4.5 入出力バッファによる異電位 (1.8V系、2.5V系、3V系) 対応**を参照してください。

例) P83/TxDA0などをシリアル・データ出力として使用する場合<sup>注1</sup>

- ポート・モード・レジスタ8のPM83ビットを0に設定
- ポート・レジスタ8のP83ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P84/RxDA0<sup>注1</sup>など) をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ (PIMxx) のビットに1を設定してください。異電位 (1.8 V系、2.5 V系、3 V系) で動作している外部デバイスと接続する場合は、**4.4.5 入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応**を参照してください。

例) P84/RxDA0をシリアル・データ入力として使用する場合<sup>注1</sup>

- ポート・モード・レジスタ8のPM84ビットを1に設定
- ポート・レジスタ8のP84ビットを0または1に設定

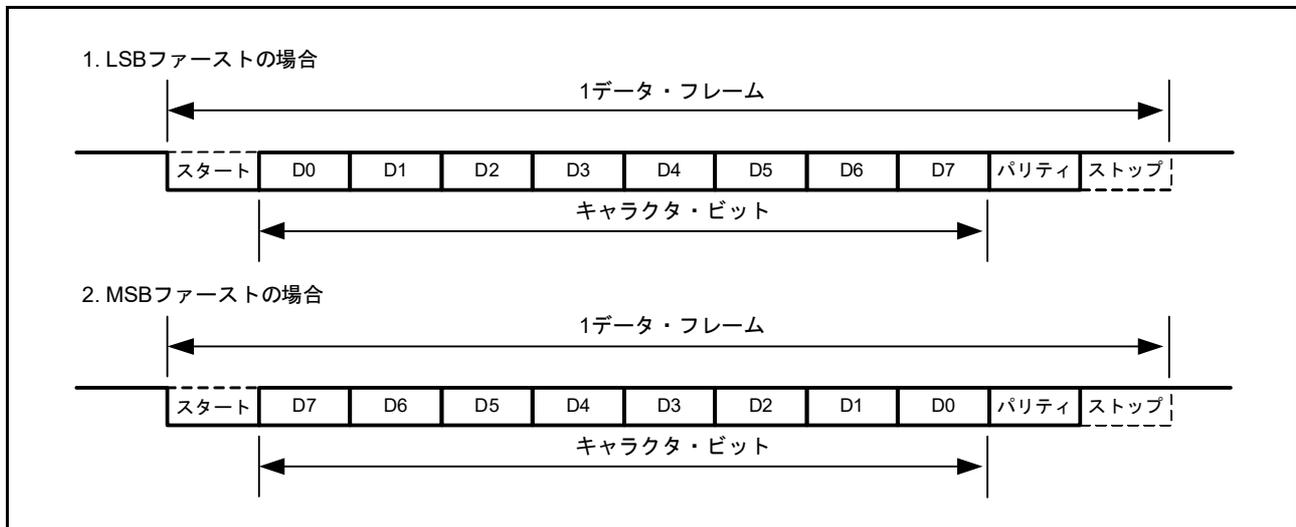
**注1.** 100～128ピン製品の場合

**注2.** 30～52ピン製品の場合

**注3.** 64～128ピン製品の場合

- (2) 送信／受信データ・フォーマットと波形例  
UARTAnの通信データ・フォーマットについて以下に説明します。  
図17-14にデータ・フォーマットを示します。

図17-14 送受信データ・フォーマット



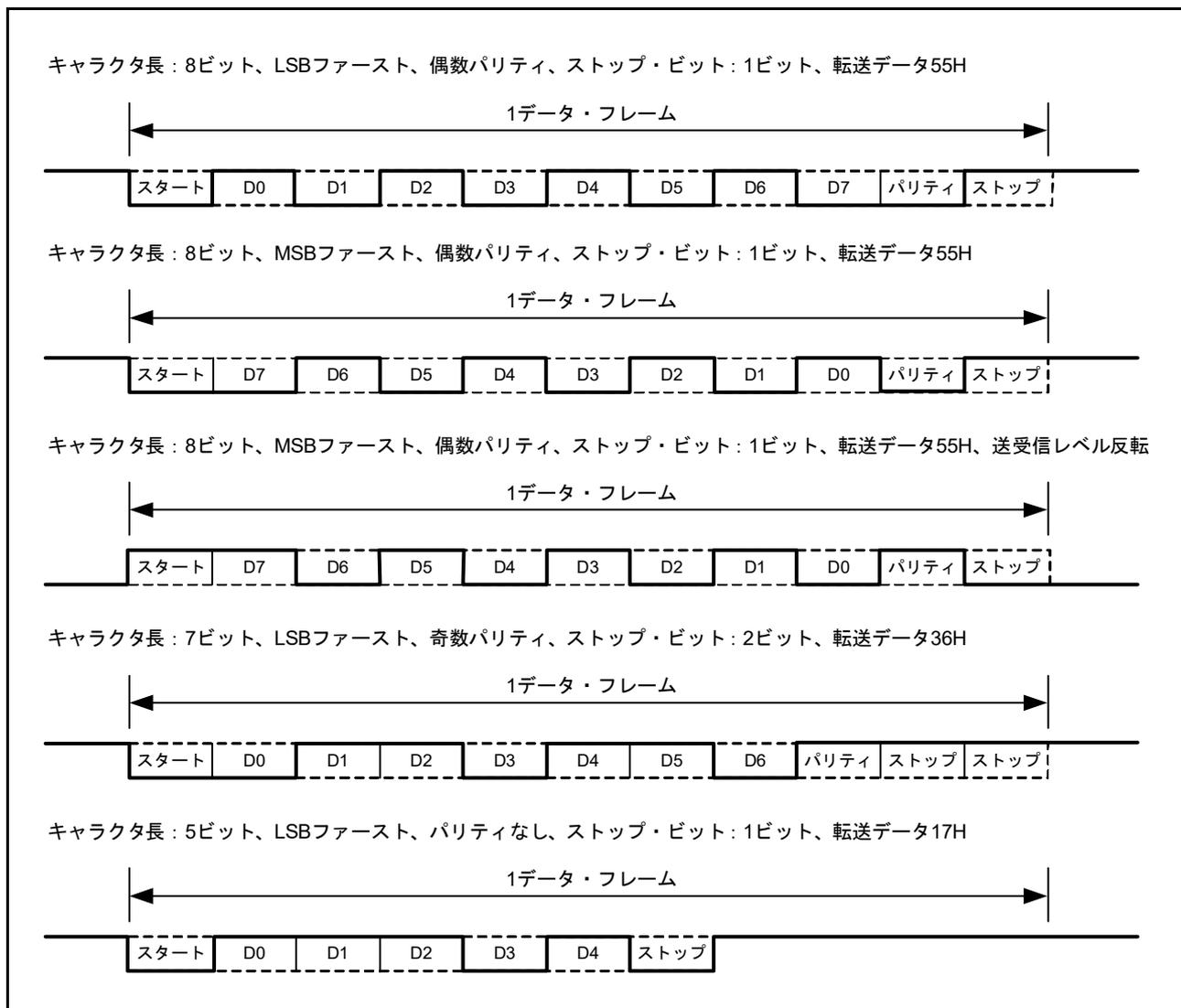
1データ・フレームは次に示すビットで構成されています。

- スタート・ビット : 1ビット
- キャラクタ長 : 5ビット／7ビット／8ビット
- パリティ・ビット : 偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ストップ・ビット : 1ビット／2ビット

1データ・フレーム内のキャラクタビット長の指定、パリティ選択、ストップ・ビット長の指定、転送方向 (LSB/MSB) の指定、TxDA<sub>n</sub>端子の通常出力／反転出力の指定はASIMAn1レジスタによって行います。

図17-15に送受信データの波形例を示します。

図17-15 送受信データの波形例



## (3) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

## (a) 偶数パリティ

## • 送信時

パリティ・ビットを含めた送信データ中の、値が1のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が1のビット数が奇数個 : 1

送信データ中に、値が1のビット数が偶数個 : 0

## • 受信時

パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

## (b) 奇数パリティ

## • 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる1のビット数を奇数個になるように制御します。

送信データ中に、値が1のビット数が奇数個 : 0

送信データ中に、値が1のビット数が偶数個 : 1

## • 受信時

パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

## (c) 0パリティ

送信時には、送信データによらずパリティ・ビットを0にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーが発生しません。

## (d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

## (4) 通常送信

動作モードレジスタ0 (ASIMAn0) のビット7 (UARTAENn) をセット (1) し、次にASIMAn0レジスタのビット6 (TXEAn) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ (TXBAn) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXBAnレジスタ内のデータは送信シフト・レジスタに転送されます。その後、送信データが送信シフト・レジスタより転送方向指定に従って順次、TxDAn端子に出力されます。送信が完了すると、ASIMAn0レジスタで設定したパリティ・ビット、ストップ・ビットが付加され、転送完了割り込み要求信号 (INTUTn) が発生します。

次に送信するデータをTXBAnレジスタに書き込むまで、送信動作は中断します。

転送完了割り込み要求信号 (INTUTn) のタイミングを図17-16に示します。INTUTnは以下のタイミングで出力されます。

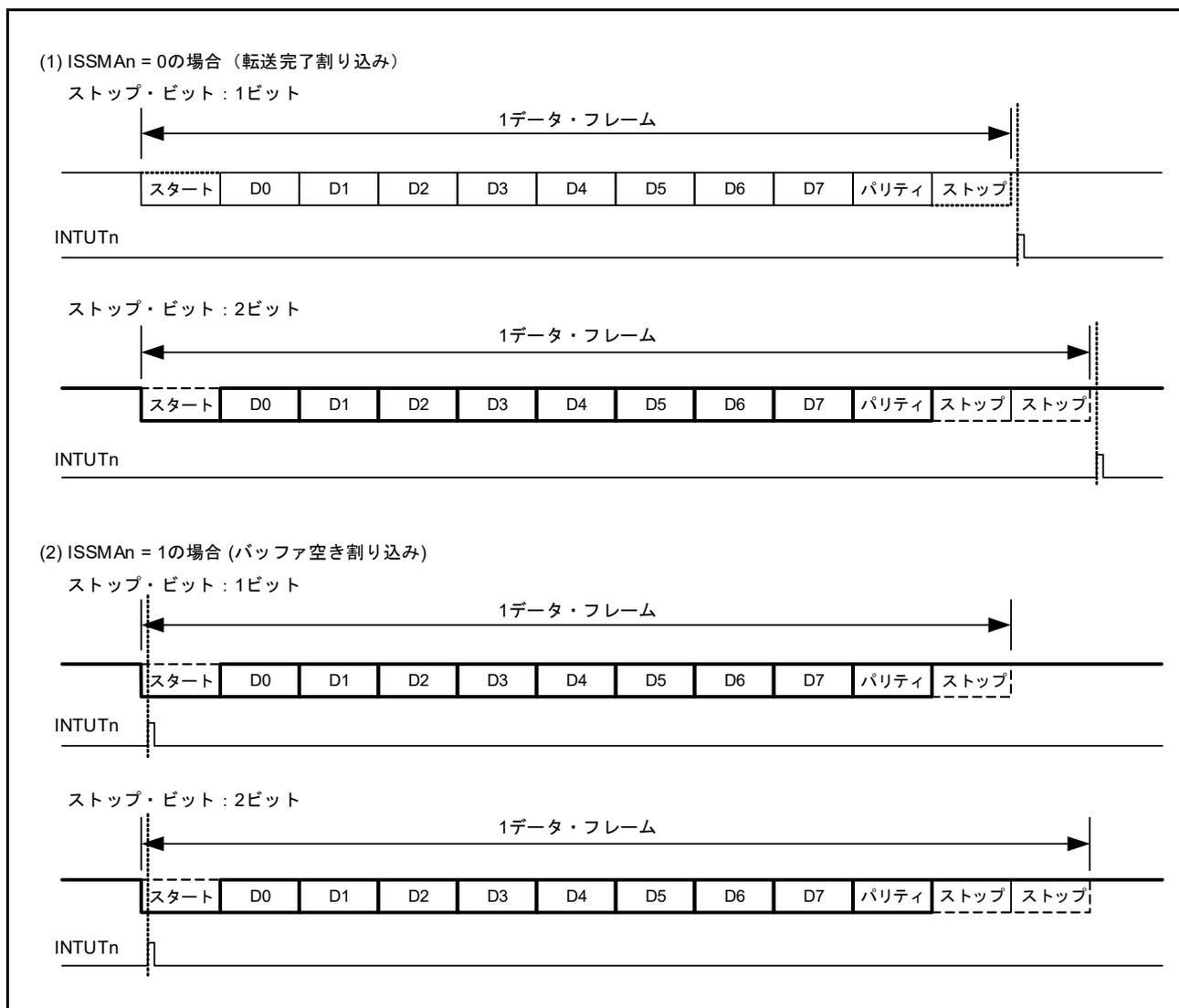
## (a) ISSMAn = 0 (INTUTnは転送完了割り込み) の場合

INTUTn は最後のストップ・ビット出力後に出力されます。

## (b) ISSMAn = 1 (INTUTnはバッファ空き割り込み) の場合

スタート・ビット出力時に出力されます。

図 17 - 16 割り込み出力タイミング



## (5) 連続送信

UARTAnでは連続送信を実現するために送信バッファ・レジスタ (TXBAn) と送信シフト・レジスタを分離しています。

送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ (TXBAn) へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。なお、連続送信をする場合、バッファ空き割り込みが発生してから、TXBAnレジスタへデータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

最大クロック数 = 転送長  $\times$   $2K - (2K + 3)$

K : BRGCAnで設定した値 (k = 2, 3, 4, 5, 6, ..., 255)

以下に最大クロック数の算出例を示します。

BRGCAnレジスタに02H (K = 2)

スタート・ビット : 1ビット、キャラクタ長 : 8ビット、パリティあり、ストップ・ビット : 1ビットの場合

最大クロック数 = 転送長  $\times$   $2K - (2K + 3) = 11 \times 2 \times 2 - (2 \times 2 + 3) = 37$

(UARTAn動作クロック (fUTAn) で37クロック以内の書き込み完了が必要)

連続送信手順には以下にあげる2つの方法があります。

## (a) ポーリングによる連続転送

ステータス・レジスタ (ASISAn) のビット5 (TXBFAn) である送信バッファ・データ・フラグとビット4 (TXSFAn) である送信シフト・レジスタ・データ・フラグのポーリングにより、連続送信を実現する方法です。

また、本方法で実現する場合、動作モード設定レジスタ0 (ASIMAn0) のビット1 (ISSMAn) は、0に設定してください。

- 連続送信開始、連続送信実行中

連続送信開始時は、最初 (1バイト目) のデータを送信バッファ・レジスタ (TXBAn) に書き込んだ後、送信バッファ・データ・フラグ (TXBFAn) が、0であることを確認して、次 (2バイト目) のデータを送信バッファ・レジスタ (TXBAn) に書き込んでください。同様に続くデータもTXBFAnフラグが0であることを確認して、データを送信バッファ・レジスタ (TXBAn) に書き込んでください。

TXBFAn	連続送信開始時のTXBAnへの書き込み可否判断用フラグ
0	書き込み可
1	書き込み不可

**注意** 連続送信可否は、TXBFAnフラグのみで判断してください。TXSFAnフラグと組み合わせで判断しないでください。

• 連続送信完了

連続送信で必要数の送信データをTXBAnレジスタに書き込んだ後、送信シフト・レジスタとTXBAnレジスタのデータを送信すると連続送信は完了します。連続送信の完了は送信シフト・レジスタ・データ・フラグ (TXSFAn) の値で確認できます。

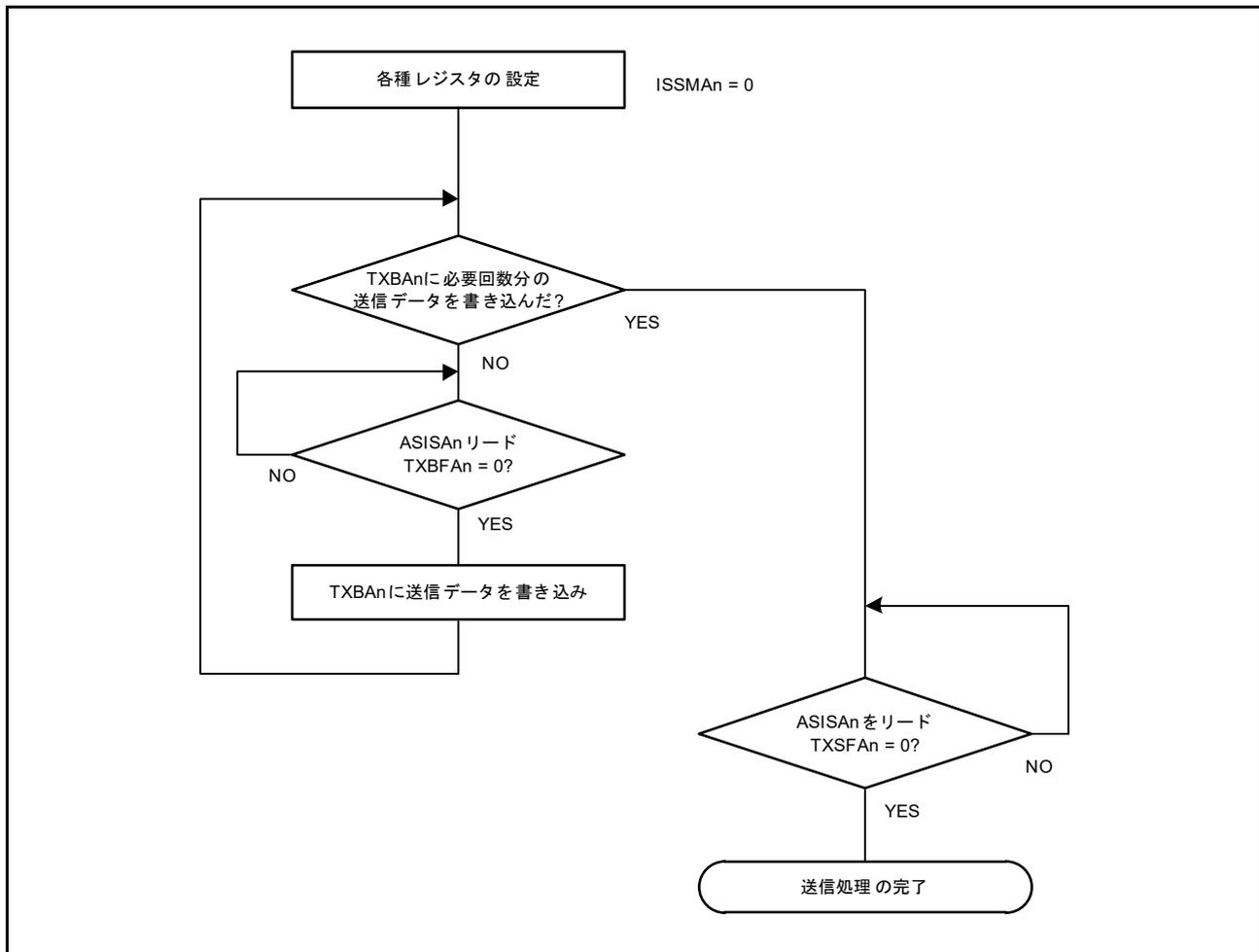
TXSFAn	送信実行中の確認用フラグ
0	送信が完了
1	送信中

注意1. 連続送信完了時に送信ユニットを初期化する場合、転送完了割り込み後にTXSFAnフラグが0であることを確認して初期化を実行してください。

注意2. 連続送信は、1データ・フレーム送信後のINTUTn割り込み処理を実行する前に次の送信が完了する可能性があります。対策として、送信データ数をカウントできるプログラムを組み込むことと、TXSFAnフラグを参照することで検出できます。

図17-17にポーリングによる連続送信処理フロー例を示します。

図17-17 ポーリングによる連続送信処理フロー例



## (b) 割り込みによる連続転送

割り込み (INTUTn) を使用して、連続送信を実現する方法です。

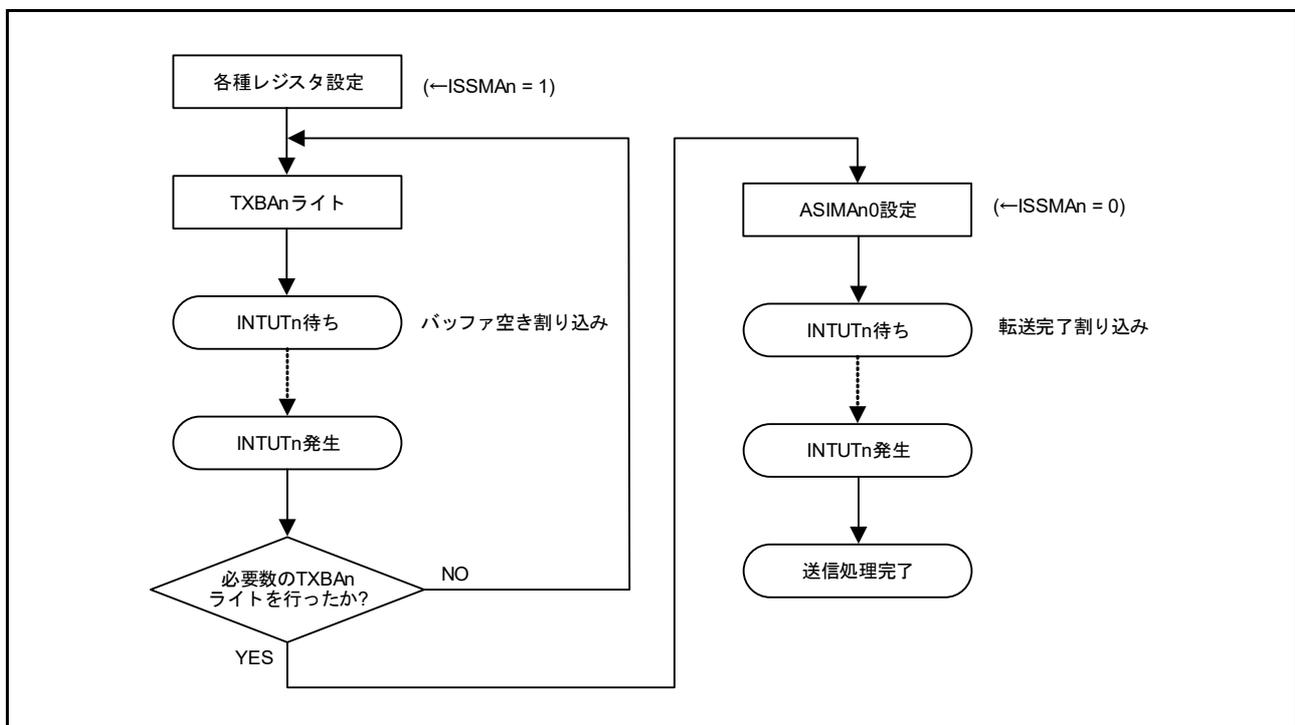
動作モード設定レジスタ0 (ASIMAn0) のビット1 (ISSMAn) を1に設定することにより、送信バッファレジスタ (TXBAn) から送信シフト・レジスタに転送されたタイミングで割り込みを発生させることができます。

これにより、バッファ空き割り込みの発生で、TXBAnレジスタへデータを書き込むことで連続送信が可能となります。

また、連続送信終了時は、最後の送信データをTXBAnレジスタにライトした後に、ISSMAnビットを0に設定することにより、転送完了割り込みを発生させることが可能です。

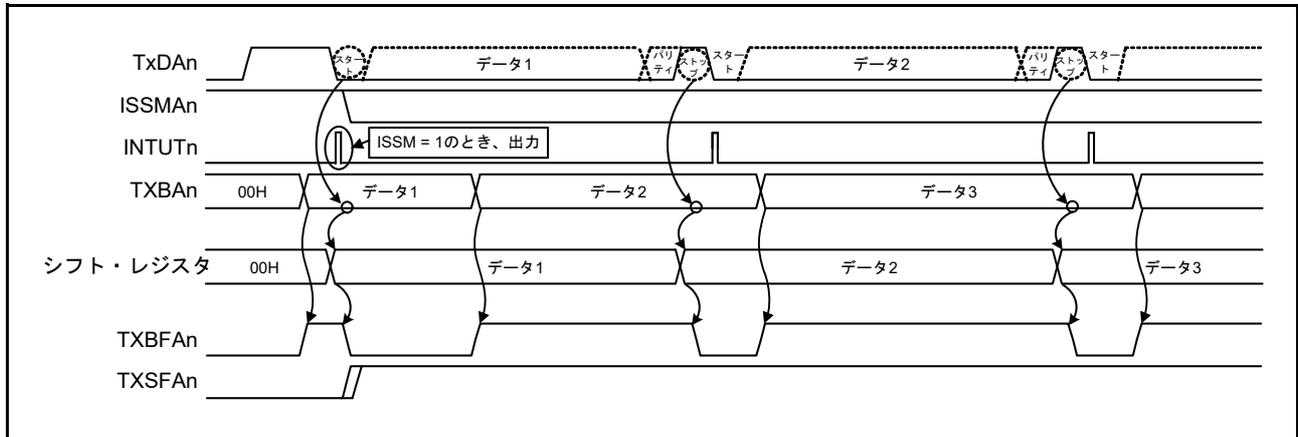
図17-18に割り込みによる連続送信処理フロー例を示します。

図17-18 割り込みによる連続送信処理フロー例



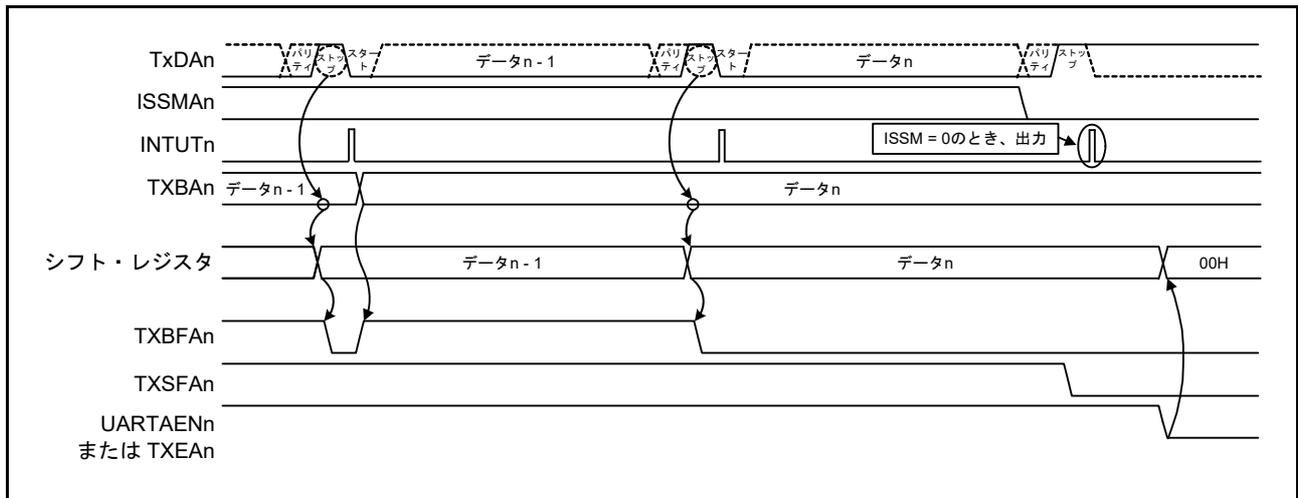
連続送信を開始する際のタイミングを図17-19に、連続送信を終了する際のタイミングを図17-20に示します。

図17-19 連続送信開始タイミング



**注意** ASISAnレジスタをリードした場合、TXBFA[n]、TXSFA[n] = 1, 1の期間が存在します。  
したがって、書き込み可否の判断はTXBFA[n]ビットの1ビットのみで行ってください。

図17-20 連続送信終了タイミング



## (6) 通常受信

動作モードレジスタ0 (ASIMAn0) のビット7 (UARTAENn) に1を設定し、次にASIMAn0レジスタのビット5 (RXEAn) に1を設定すると受信許可状態となり、RxDAn端子入力のサンプリングを行います。

ALVn = 0の場合、RxDAn端子入力の立ち下がりを検出すると、ボーレート・ジェネレータの8ビットカウンタがカウントを開始し、ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング (図17-21の▽印に相当) した結果、RxDAn端子がロウ・レベルであれば、スタート・ビットと認識します。

また、ALVn = 1の場合、RxDAn端子入力の立ち上がりを検出すると、ボーレート・ジェネレータの8ビットカウンタがカウントを開始し、ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング (図17-21の▽印に相当) した結果、RxDAn端子がハイ・レベルであれば、スタート・ビットと認識します。

図17-21に受信動作のタイミング図を示します。

スタート・ビットを検出したら、受信動作を開始し、設定されたボーレートに合わせて、シリアル・データを順次、受信シフト・レジスタに格納していきます。ストップ・ビットを受信したら、転送完了割り込み (INTURn) を発生すると同時に、受信シフト・レジスタのデータは受信バッファ・レジスタ (RXBAn) に書き込まれます。

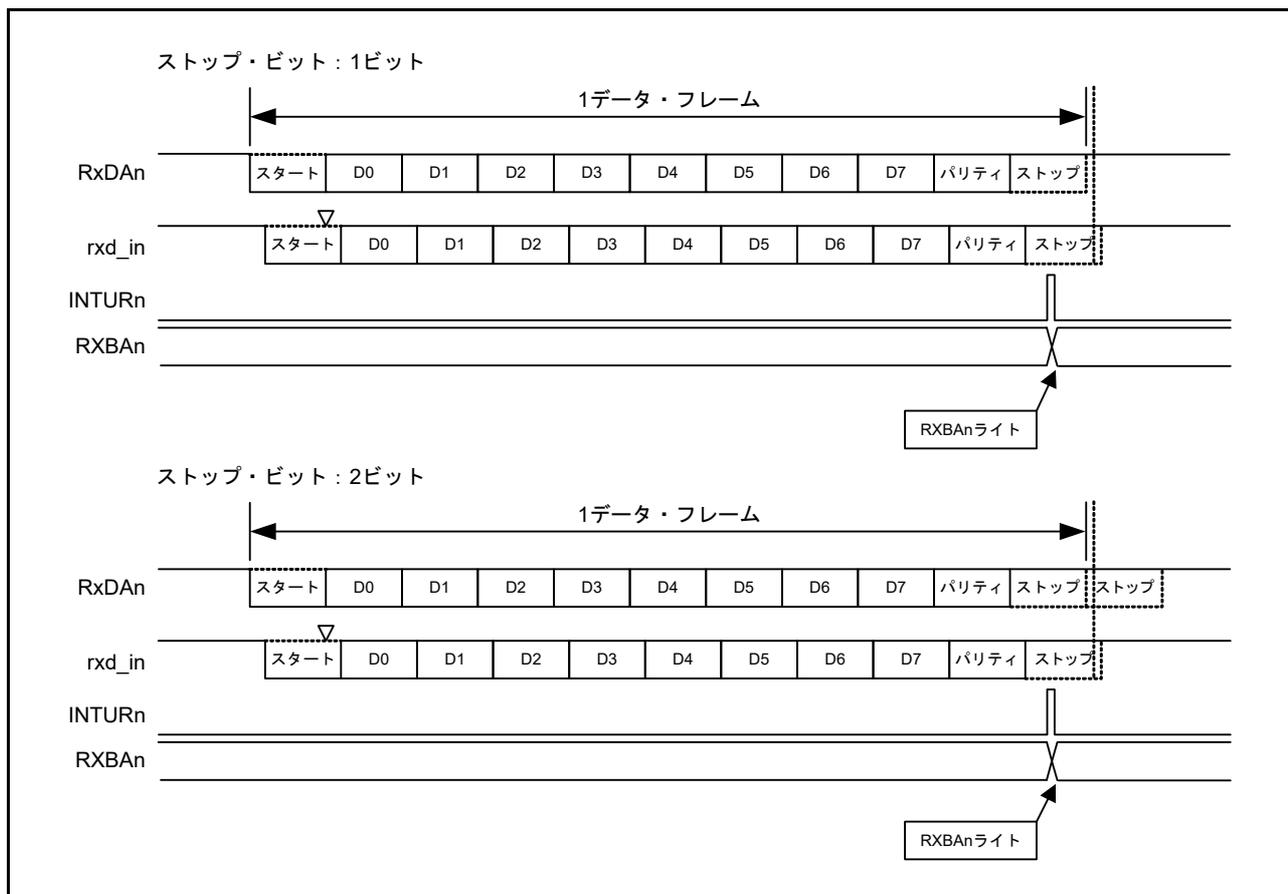
ただし、オーバラン・エラー (OVEAn) が発生した場合、発生時の受信データはRXBAnに書き込みません。受信途中に、パリティ・エラー (PEAn)、フレーミング・エラー (FEAn) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にISRMAAnビットで設定した受信エラー割り込み (INTURn/INTUREn) を発生します。

受信エラーが発生した場合はステータス・レジスタ (ASISAn) を読み出したあと、受信バッファ・レジスタ (RXBAn) を読み出し、エラー・フラグをクリアしてください。

受信バッファ・レジスタ (RXBAn) を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が継続します。

受信は常にストップ・ビット長 = 1として動作します。そのため2ビット目のストップ・ビットは無視されません。

図 17 - 21 UART受信動作タイミング



**備考1.** rxd\_inは、ノイズ・フィルタによりRXDをラッチした内部信号です。  
(RxDA[n]よりUART動作クロックで最大3クロック遅延します。)

**備考2.** 図のINTURの出カタイミングは一例です。  
BRGCAnレジスタの設定によりRxDA[n]との相対的なタイミングは変化します。

## (7) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。

エラー発生時にはステータス・レジスタ (ASISAn) にエラー・フラグがセットされ、受信エラー割り込み要求信号 (INTURnまたはINTUREn) を発生します。

受信エラー割り込み処理ルーチンでステータス・レジスタ (ASISAn) の内容を読み出すことで、エラー・フラグの判別を行うことが可能です。

ステータス・クリア・トリガ・レジスタ (ASCTAn) へ1を設定することによりステータス・レジスタ (ASISAn) の内容はクリア (0) されます。

表17-3に受信エラー要因を示します。

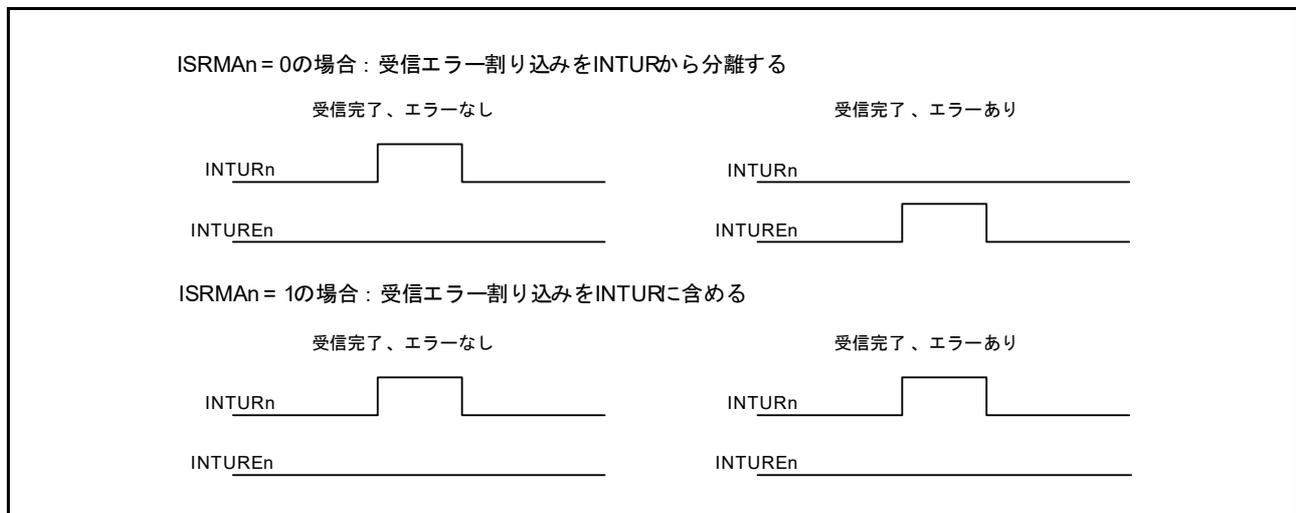
表17-3 受信エラー要因

エラー・フラグ	受信エラー	要因
PEAn	パリティ・エラー	受信データと受信パリティが一致しない
FEAn	フレーミング・エラー	ストップ・ビットが検出されない
OVEAn	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了した

動作モードレジスタ0 (ASIMAn0) のビット0 (ISRMAN) に0を設定することにより、受信エラー割り込みをINTURnと分離し、INTUREnとして発生させることができます。

図17-22にISRMANビットによる割り込み出力波形を示します。

図17-22 ISRMANビットによる割り込み出力波形



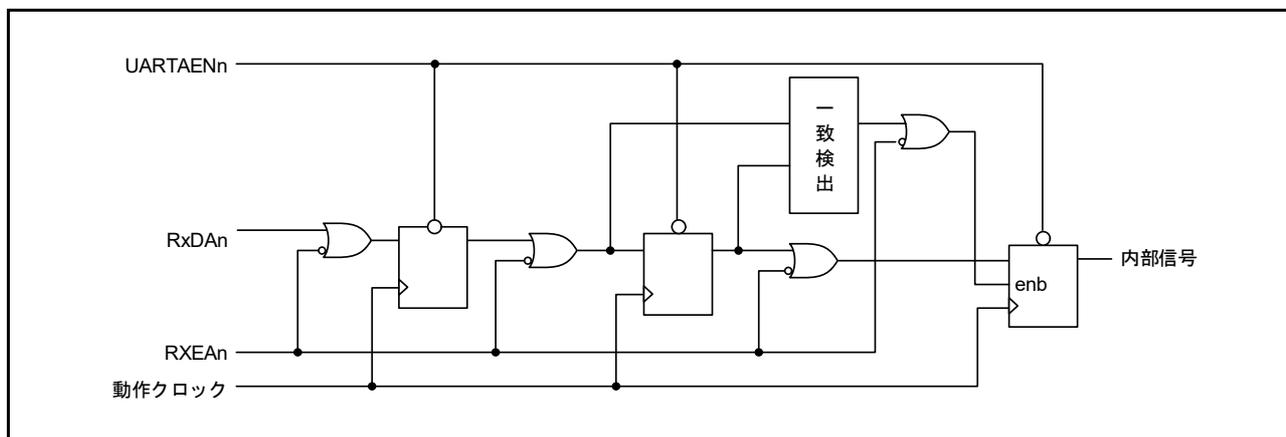
### 17.3.3 受信データのノイズ・フィルタ

受信データ (RxDAn) をサンプリングし、2回一致したらレベルが確定したとみなします。

回路構成上、受信データは最大3動作クロック遅れます。

図17-23にノイズ・フィルタ回路を示します。

図17-23 ノイズ・フィルタ



注意1. ALVn = 0 (待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル) の場合、受信データ (RxDAn) の初期値をハイ・レベルとする必要があります。

注意2. ALVn = 1 (待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル) の場合、受信データ (RxDAn) の初期値をロウ・レベルとする必要があります。

### 17.3.4 ボーレート・ジェネレータ

ボーレート・ジェネレータは、8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

#### (1) ボーレート・ジェネレータの構成

##### (a) UARTAn動作クロック

動作モードレジスタ0 (ASIMAn0) のビット7 (UARTAENn) = 1 のとき、UARTAn動作クロック (fUTAn) を各モジュールに供給します。UARTAENn = 0 のときは、UARTn動作クロックはロウ・レベルに固定となります。

##### (b) 送信用カウンタ

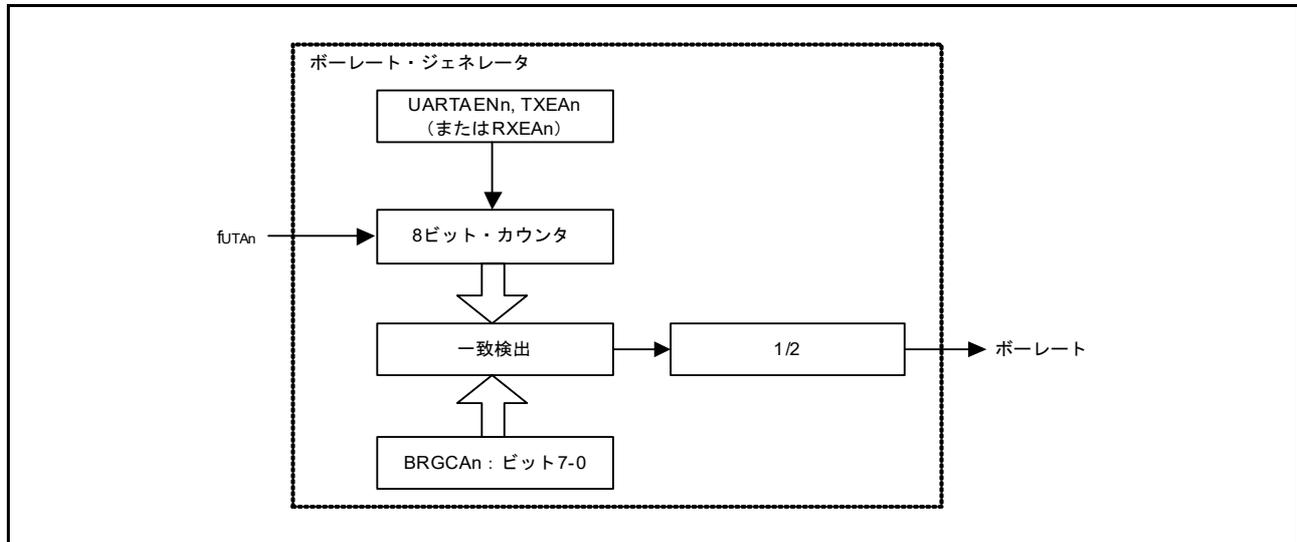
動作モード・レジスタ0 (ASIMAn0) のビット7 (UARTAENn) = 0 またはビット6 (TXEAn) = 0 のときはクリア (0) の状態で動作を停止します。UARTAENn = 1 かつ TXEAn = 1 でカウントをスタートします。最初の送信では送信バッファ・レジスタ (TXBAn) への書き込みでカウンタを0にクリアします。連続送信の場合は1フレーム・データの送信完了で、再びカウンタを0にクリアします。次の送信データがなかった場合、カウンタは0にクリアされず、UARTAENn ビットまたはTXEAn ビットが0にクリアされるまでカウント動作をそのまま続けます。ASIMAn0 レジスタのUARTAENn = 0 またはTXEAn = 0 のときは00Hの状態では動作を停止します。

##### (c) 受信用カウンタ

動作モードレジスタ0 (ASIMAn0) のビット7 (UARTAENn) = 0 またはビット5 (RXEAn) = 0 のときは0にクリアされた状態で動作を停止します。スタート・ビット検出によりカウントをスタートします。1フレーム受信後は次のスタート・ビット検出まで動作を停止します。ASIMAn0 レジスタのUARTAENn = 0 またはRXEAn = 0 のときは00Hの状態では動作を停止します。

図17-24にボーレート・ジェネレータ構成を示します。

図17-24 ボーレート・ジェネレータ構成



(2) シリアルクロックの生成

ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) の設定により、生成するシリアルクロックを設定できます。

8ビットカウンタへの入力クロックを、BRGCAnレジスタのビット7-0により、8ビットカウンタの分周値 ( $f_{UTA}/2-f_{UTA}/255$ ) を設定できます。

(3) ボーレートの算出

(a) ボーレート計算式

ボーレートは次の式によって求められます。

$$\text{ボーレート} = f_{UTAn} \div (2 \times k) \text{ [bps]}$$

$f_{UTAn}$ : 動作クロックの周波数

$k$ : BRGCAnレジスタのビット7-0で設定した値 ( $k = 2, 3, 4, \dots, 255$ )

(b) ボーレートの誤差

ボーレート誤差は次の式によって求められます。

$$\text{誤差} = \left[ \frac{\text{実際のボーレート (誤差のあるボーレート)}}{\text{希望するボーレート (正常なボーレート)}} - 1 \right] \times 100 \text{ [%]}$$

**注意1.** 送信時のボーレート誤差は、受信先の許容誤差以内に設定してください。

**注意2.** 受信時のボーレート誤差は、受信時の許容ボーレート誤差範囲を満たすように設定してください。

受信時の許容ボーレート誤差については17.3.4 (2) (d) 受信時の許容ボーレート範囲で説明します。

(c) ボーレート設定例

表17-4 ボーレート・ジェネレータ設定データ (1/4)

目標 ボーレート	f <sub>HP</sub> = 32 MHz動作時 (UTASEL1-UTASEL0 = 10B)													
	分周なし (UTAnCK3- UTAnCK0 = 0000B)		2分周 (UTAnCK3- UTAnCK0 = 0001B)		4分周 (UTAnCK3- UTAnCK0 = 0010B)		8分周 (UTAnCK3- UTAnCK0 = 0011B)		16分周 (UTAnCK3- UTAnCK0 = 0100B)		32分周 (UTAnCK3- UTAnCK0 = 0101B)		64分周 (UTAnCK3- UTAnCK0 = 0110B)	
	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%
4800 bps	使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%
9600 bps	使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%
19200 bps	使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
38400 bps	使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可	
76800 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可	
115200 bps	139	-0.08%	69	0.64%	35	-0.79%	17	2.12%	使用不可		使用不可		使用不可	
153600 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可	

備考 k : ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) のビット7-0で設定した値  
 (k = 2、3、4、...、255)  
 n : ユニット番号 (n = 0, 1)

表17-4 ボーレート・ジェネレータ設定データ (2/4)

目標 ボーレート	fIMP = 4 MHz動作時 (UTASEL1-UTASEL0 = 11B)													
	分周なし (UTAnCK3- UTAnCK0 = 0000B)		2分周 (UTAnCK3- UTAnCK0 = 0001B)		4分周 (UTAnCK3- UTAnCK0 = 0010B)		8分周 (UTAnCK3- UTAnCK0 = 0011B)		16分周 (UTAnCK3- UTAnCK0 = 0100B)		32分周 (UTAnCK3- UTAnCK0 = 0101B)		64分周 (UTAnCK3- UTAnCK0 = 0110B)	
	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		156	0.16%
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%
600 bps	使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%
1200 bps	使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%
2400 bps	使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
4800 bps	使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可	
9600 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可	
19200 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可	
38400 bps	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可		使用不可	
76800 bps	26	0.16%	13	0.16%	使用不可		使用不可		使用不可		使用不可		使用不可	
115200 bps	17	2.12%	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
153600 bps	13	0.16%	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	

**備考** k : ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) のビット7-0で設定した値  
 (k = 2、3、4、...、255)  
 n : ユニット番号 (n = 0, 1)

表17-4 ボーレート・ジェネレータ設定データ (3/4)

目標 ボーレート	f <sub>MXP</sub> = 20 MHz動作時 (UTASEL1-UTASEL0 = 01B)													
	分周なし (UTAnCK3- UTAnCK0 = 0000B)		2分周 (UTAnCK3- UTAnCK0 = 0001B)		4分周 (UTAnCK3- UTAnCK0 = 0010B)		8分周 (UTAnCK3- UTAnCK0 = 0011B)		16分周 (UTAnCK3- UTAnCK0 = 0100B)		32分周 (UTAnCK3- UTAnCK0 = 0101B)		64分周 (UTAnCK3- UTAnCK0 = 0110B)	
	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差	k値	目標 ボーレート との誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%
4800 bps	使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	-1.36%
9600 bps	使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%
19200 bps	使用不可		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%
38400 bps	255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%
76800 bps	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可	
115200 bps	87	-0.22%	43	0.94%	22	-1.36%	11	-1.36%	使用不可		使用不可		使用不可	
153600 bps	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可		使用不可	

備考 k : ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) のビット7-0で設定した値  
 (k = 2、3、4、...、255)  
 n : ユニット番号 (n = 0, 1)

表17-4 ボーレート・ジェネレータ設定データ (4/4)

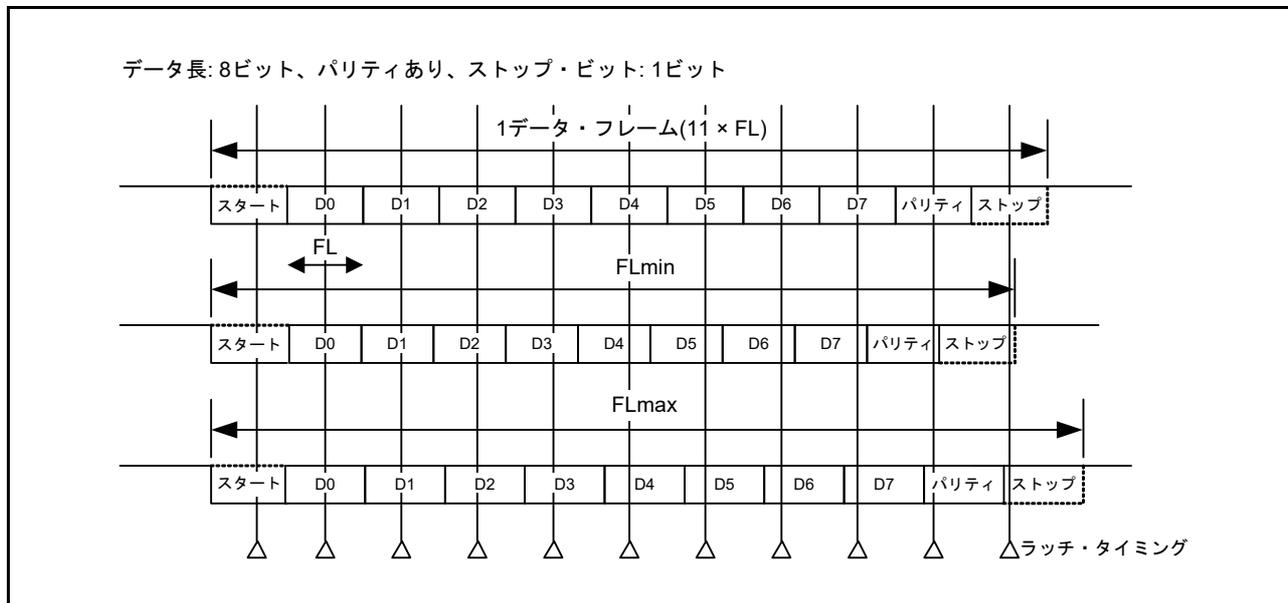
目標ボーレート	f <sub>SXP</sub> = 32.768 kHz 動作時 (UTAnCK3-UTAnCK0 = 1000B)		ELCL = 32 MHz 動作時 (UTAnCK3-UTAnCK0 = 1001B)	
	k値	目標ボーレートとの誤差	k値	目標ボーレートとの誤差
200 bps	82	-0.10%	使用不可	
300 bps	55	-0.70%	使用不可	
600 bps	27	-1.14%	使用不可	
1200 bps	14	-2.48%	使用不可	
2400 bps	7	-2.48%	使用不可	
4800 bps	使用不可		使用不可	
9600 bps	使用不可		使用不可	
19200 bps	使用不可		使用不可	
38400 bps	使用不可		使用不可	
76800 bps	使用不可		208	0.16%
115200 bps	使用不可		139	-0.08%
153600 bps	使用不可		104	0.16%

**備考** k : ボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) のビット7-0で設定した値  
(k = 2、3、4、...、255)  
n : ユニット番号 (n = 0, 1)

(d) 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを図17-25に示します。

図17-25 受信時の許容ボーレート範囲



**注意** 受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定が必要です。

スタート・ビット検出後はボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。これを11ビット受信に当てはめると理論上、次のようになります。

- 1ビット・データ長とボーレートの関係

$$FL = (\text{Brate})^{-1}$$

Brate : UARTのボーレート

k : BRGCAnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージンは1クロック

- 許容最小データ・フレーム長 (FLmin)

$$FL_{\min} = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$$

- 受信可能な送信先の最大ボーレート (BRmax)

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+1} \text{Brate}$$

- 許容最大データ・フレーム長 (FLmax)

$$FL_{\max} = \frac{21k+1}{20k} FL \times 11$$

- 受信可能な送信先の最小ボーレート (BRmin)

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-1} \text{Brate}$$

前述の最小/最大ボーレート値の算出式から求めたUARTと送信先とのボーレートの許容誤差を表17-5に示します。

表17-5 許容最大/最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.32%	-2.43%
4	+3.52%	-3.61%
8	+4.14%	-4.19%
20	+4.51%	-4.53%
50	+4.66%	-4.67%
100	+4.71%	-4.71%
255	+4.74%	-4.74%

**備考1.** 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

**備考2.** k : BRGCAnレジスタの設定値

## 17.4 使用時の注意事項

### 17.4.1 RxDAn端子のPORT設定手順

ALVn = 0 (待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル) の場合は、受信データ (RxDAn) の初期値はハイ・レベルとする必要があります。

また、ALVn = 1 (待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル) の場合は、受信データ (RxDAn) の初期値はロウ・レベルとする必要があります。

そのためUARTAENn ビットを1にする前にPORTの設定を行う必要があります。

### 17.4.2 シリアル・インタフェース

UARTA0のシリアル・データ出力 (TxDA0)、シリアル・クロック出力 (CLKA0) はロジック&イベント・リンク・コントローラ (ELCL) の入力として選択可能です。ELCLの入力として使用する場合は、TxDA0端子、CLKA0端子に出力しないようポート・ファンクション出力許可レジスタ1 (PFOE1) の対応するビットを0に設定する必要があります。詳細は4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx) を参照してください。

### 17.4.3 UARTAn動作クロック (fUTAn) 選択時の注意事項

fUTAnに中速オンチップ・オシレータ周辺クロック (fIMP) を選択している場合、中速オンチップ・オシレータの発振周波数の精度が原因で正しく通信できない場合があります。中速オンチップ・オシレータは、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) を使用して発振周波数精度の補正を行ってください。

fUTAnに低速周辺クロック (fSXP) 選択し、かつfSXPに低速オンチップ・オシレータ周辺クロック (fIL) を選択している場合、低速オンチップ・オシレータの発振周波数精度が原因で正しく通信できない場合があります。低速オンチップ・オシレータは、低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) を使用して発振周波数精度の補正を行ってください。

## 第18章 リモコン信号受信機能 (REMC)

リモコン信号受信機能は、32～128ピン製品に搭載しています。

### 18.1 リモコン受信機能

リモコン信号受信機能は、リモコン信号などの外部パルス入力信号のパルス幅や周期を検査し、データを受信することができます。表18-1にリモコン信号受信機能の仕様、図18-1にリモコン信号受信機能のブロック図を示します。

表18-1 リモコン信号受信機能の仕様

項目	内容
搭載ユニット数	1 ch
外部パルス入力	RINO
動作クロック	低速周辺クロック (fsXP) タイマ割り込み (INTTM06)
検査パターン	ヘッダ・パターン データ0パターン データ1パターン 特殊データ・パターン
受信バッファ	8バイト (64ビット)
コンペアビット数	1～16ビット
割り込み要求信号	INTREMC
割り込み要因	ヘッダ・パターン一致 <sup>注1</sup> コンペア一致 <sup>注1</sup> データ受信完了 <sup>注1</sup> 特殊データ・パターン一致 <sup>注1</sup> データ0またはデータ1パターン一致 受信バッファ・フル 受信エラー
機能選択	入力信号反転 デジタル・フィルタ (3度または2度一致) <sup>注2</sup> パターン・エンド設定
消費電力低減機能	PER1.REMCENビットの設定でクロック供給停止が可能 REMC割り込み要求信号により、SNOOZEモードから通常動作モードに移行可能

**注1.** 複数の割り込み要因からノーマル割り込み (OR条件) とシーケンシャル割り込み (AND条件) を選択可能です。

**注2.** デジタル・フィルタのサンプリング・クロックは、REMCON1.CSRCビットで選択した動作クロック、またはfsXPです。SNOOZEモードへの移行を許可する場合は、デジタル・フィルタのサンプリング・クロックとして低速周辺クロック (fsXP) を選択してください。

図 18 - 1 リモコン信号受信機能のブロック図

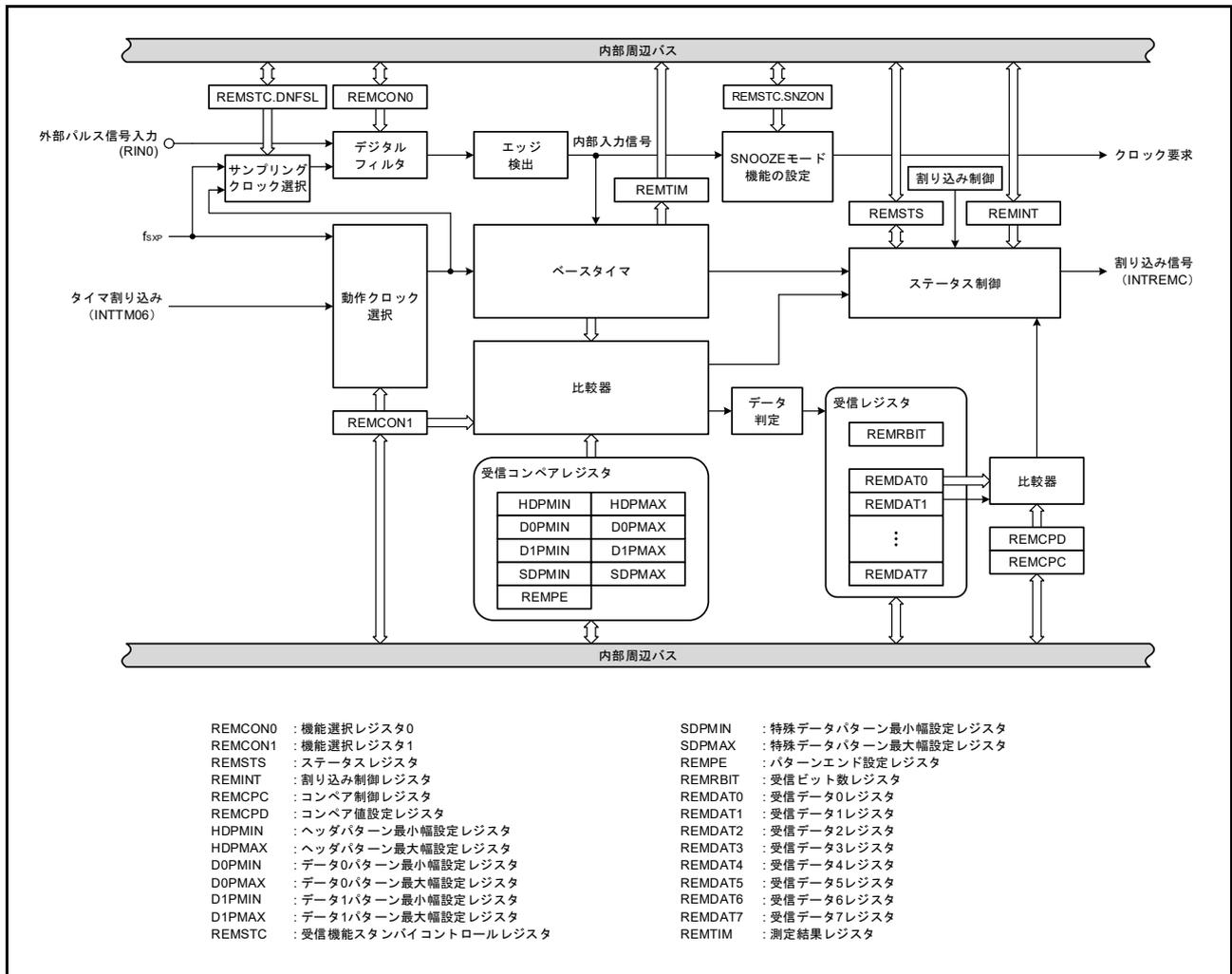


表 18 - 2 にリモコン信号受信機能で使用する入力端子を示します。

表 18 - 2 リモコン信号受信機能の入出力端子

端子名	入出力	機能
RIN0	入力	外部パルス信号入力

## 18.2 リモコン信号受信機能を制御するレジスタ

リモコン信号受信機能を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- 機能選択レジスタ0 (REMCN0)
- 機能選択レジスタ1 (REMCN1)
- ステータスレジスタ (REMSTS)
- 割り込み制御レジスタ (REMINT)
- コンペア制御レジスタ (REMCPC)
- コンペア値設定レジスタ (REMCPCD)
- ヘッド・パターン最小幅設定レジスタ (HDPMIN)
- ヘッド・パターン最大幅設定レジスタ (HDPMAX)
- データ0パターン最小幅設定レジスタ (D0PMIN)
- データ0パターン最大幅設定レジスタ (D0PMAX)
- データ1パターン最小幅設定レジスタ (D1PMIN)
- データ1パターン最大幅設定レジスタ (D1PMAX)
- 特殊データ・パターン最小幅設定レジスタ (SDPMIN)
- 特殊データ・パターン最大幅設定レジスタ (SDPMAX)
- パターン・エンド設定レジスタ (REMPE)
- 受信機能スタンバイ・コントロール・レジスタ (REMSTC)
- 受信ビット数レジスタ (REMRBIT)
- 受信データ0レジスタ (REMDAT0)
- 受信データjレジスタ (REMDATj) (j = 1-7)
- 測定結果レジスタ (REMTIM)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

**備考** xx = 7

### 18.2.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リモコン信号受信機能を使用する場合は、必ずビット1 (REMCEN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1 レジスタは00Hになります。

図18-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
	REMCEN	リモコン信号受信機能の入カクロック供給の制御						
	0	入カクロック供給停止 <ul style="list-style-type: none"> <li>・リモコン信号受信機能で使用するSFRへのライト不可</li> <li>・リモコン信号受信機能で使用するSFRをリードした場合は00Hまたは0000Hが読めます。</li> </ul>						
	1	入カクロック供給 <ul style="list-style-type: none"> <li>・リモコン信号受信機能で使用するSFRへのリード/ライト可</li> </ul>						

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意 次のビットには必ず0を設定してください。

30ピン製品 : ビット2, 1

32ピン製品 : ビット2

## 18.2.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。  
 PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。  
 リモコン信号受信機能をリセットする場合は、ビット1 (REMCRES) を1に設定してください。  
 PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、PRR1 レジスタは00Hになります。

図18-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	REMCRES 注	CTSURES
REMCRES	リモコン信号受信機能のリセット制御							
0	リモコン信号受信機能のリセット解除							
1	リモコン信号受信機能のリセット状態 ・リモコン信号受信機能で使用するSFRが初期化されます。							

注 32～128ピン製品のみ

注意1. ビット3, 2には必ず0を設定してください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品: ビット1

### 18.2.3 機能選択レジスタ0 (REMCON0)

REMCON0 レジスタは、リモコン信号受信機能の動作状況や入力信号のレベルを表示するフラグを持ち、また入力信号の反転制御やデジタル・フィルタの制御、受信エラー取り込み動作の選択をおこなうレジスタです。

REMCON0 レジスタは、動作中 (REMCON1.EN = 1 のとき) の書き換えは禁止です。

REMCON0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、REMCON0 レジスタは 00H になります。

図 18-4 機能選択レジスタ0 (REMCON0) のフォーマット (1/2)

アドレス : F0640H

リセット時: 00H

R/W属性 : R/W<sup>注1</sup>

略号	7	6	5	4	<3>	2	1	<0>
REMCON0	0	FILSEL 注2	0	EC 注2	INFLG 注3	FIL 注2	INV 注2	ENFLG 注3
FILSEL <sup>注2</sup>	デジタル・フィルタ機能選択ビット							
0	3度一致デジタル・フィルタ							
1	2度一致デジタル・フィルタ							
EC <sup>注2</sup>	受信エラー取り込み動作選択ビット							
0	エラーパターン受信後のデータを取り込む							
1	エラーパターン受信後のデータを取り込まない							
エラーパターンを受信した後の REMRBIT, REMDATj レジスタ (j = 0-7) への取り込み動作が設定できます。								
INFLG <sup>注3</sup>	入力信号フラグ							
0	リモコン信号受信機能の内部入力信号がロウ・レベル							
1	リモコン信号受信機能の内部入力信号がハイ・レベル							
リモコン信号受信機能の内部入力信号のレベルが確認できます。リモコン信号受信機能の内部入力信号の確認できるレベルは INV ビットおよび FIL ビットで設定した結果です。								
FIL <sup>注2</sup>	デジタル・フィルタ有効無効設定ビット							
0	3度または2度一致デジタル・フィルタ無効							
1	3度または2度一致デジタル・フィルタ有効							
デジタル・フィルタの有効 / 無効を選択します。								
INV <sup>注2</sup>	入力信号反転ビット							
0	反転なし							
1	反転あり							

図18-4 機能選択レジスタ0 (REMC0) のフォーマット (2/2)

ENFLG <sup>注3</sup>	リモコンステータスフラグ
0	停止
1	動作中

リモコン信号受信機能が動作停止中か動作中か確認できます。  
REMC0.EN ビットへの書き込み後、動作クロック 0 ~ 1 クロック後に変化します。

**注1.** ビット3, 0はRead Onlyです。

**注2.** ビットの書き換えはREMC0.ENビットとREMC0.ENFLGフラグがともに0 (REMC停止) のときに実施してください。

**注3.** REMC0.ENビットを0にすると、0になります。

### 18.2.4 機能選択レジスタ 1 (REMCN1)

REMCN1 レジスタは、動作クロックや受信モード、割り込みモードなどリモコン信号受信機能の動作条件を設定するレジスタです。

REMCN1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、REMCN1 レジスタは 00H になります。

図 18 - 5 機能選択レジスタ 1 (REMCN1) のフォーマット (1/2)

アドレス : F0641H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	1	0
REMCN1	0	0	CSRC 注1	0	INTMD 注1	EN	TYP[1:0] 注2	

CSRC注1	動作クロック選択ビット
0	低速周辺クロック (fsXP)
1	タイマ割り込み (INTTM06) タイマ・アレイ・ユニット0 チャンネル6 をインターバル・タイマ・モードで動作させてください。
リモコン信号受信機能の動作クロックを選択するビットです。	

INTMD注1	割り込みモード選択ビット
0	ノーマル割り込みモード (OR条件)
1	シーケンシャル割り込みモード (AND条件)
割り込みモードを選択できます。 ノーマル割り込みモードは、割り込み制御レジスタ (REMINT) で割り込み許可1 に設定した要因のOR条件で割り込みを発生します。 シーケンシャル割り込みモードは、コンペアー一致、データ受信完了、ヘッダ・パターン一致および特殊データ・パターン一致の要因で、REMINT レジスタの割り込み許可ビットが1のすべての割り込み発生条件が成立した場合に割り込み (INTREMC) を発生します。	

EN	リモコン制御ビット
0	動作停止
1	動作許可
REMC の動作許可、停止を制御するビットです。 動作が開始または停止したかどうかは、REMCN0.ENFLG フラグで確認してください。	

図18-5 機能選択レジスタ1 (REMC0N1) のフォーマット (2/2)

TYP[1:0]注2		受信モード選択ビット
0	0	フォーマットA
0	1	フォーマットB
1	0	フォーマットC
1	1	設定禁止

リモコン信号波形を取り込むフォーマットが選択できます。  
各フォーマットの詳細は18.3.3 パターン設定を参照してください。

- 注1. ビットの書き換えはREMC0N1.ENビットとREMC0N0.ENFLGフラグがともに0 (REMC停止) のときに実施してください。
- 注2. REMC0N1.ENビット、またはREMC0N0.ENFLGフラグが1 (REMC動作) のときにTYP[1:0]ビットを書き換える場合、1ビットずつ値を変更してください。

### 18.2.5 ステータスレジスタ (REMSTS)

REMSTS レジスタは、リモコン信号受信機能の受信状況、エラー発生状況を表示するレジスタです。  
REMSTS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、REMSTS レジスタは00Hになります。

図18-6 ステータスレジスタ (REMSTS) のフォーマット (1/3)

アドレス : F0642H  
リセット時: 00H  
R/W属性 : R/W<sup>注1,2</sup>

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
REMSTS	SDFLG	D1FLG	D0FLG	HDFLG	BFULFLG 注2	DRFLG	REFLG	CPFLG
SDFLG	特殊データ・パターン一致フラグ							
0	不一致							
1	一致							
<クリア条件> ・DRFLG フラグが0 から1 になるとき (次のフレームの受信開始) ・REFLG フラグが0 から1 になるとき ・表18-3 測定結果とフラグの関係を参照 <セット条件> ・表18-3 測定結果とフラグの関係を参照								
D1FLG	データ1パターン一致フラグ							
0	不一致							
1	一致							
<クリア条件> ・DRFLG フラグが0 から1 になるとき (次のフレームの受信開始) ・REFLG フラグが0 から1 になるとき ・表18-3 測定結果とフラグの関係を参照 <セット条件> ・表18-3 測定結果とフラグの関係を参照								
D0FLG	データ0パターン一致フラグ							
0	不一致							
1	一致							
<クリア条件> ・DRFLG フラグが0 から1 になるとき (次のフレームの受信開始) ・REFLG フラグが0 から1 になるとき ・表18-3 測定結果とフラグの関係を参照 <セット条件> ・表18-3 測定結果とフラグの関係を参照								

図18-6 ステータスレジスタ (REMSTS) のフォーマット (2/3)

HDFLG	ヘッダ・パターン一致フラグ
0	不一致
1	一致
<クリア条件> <ul style="list-style-type: none"> <li>DRFLG フラグが0 から1 になるとき (次のフレームの受信開始)</li> <li>REFLG フラグが0 から1 になるとき</li> <li>表18-3 測定結果とフラグの関係を参照</li> </ul> <セット条件> <ul style="list-style-type: none"> <li>表18-3 測定結果とフラグの関係を参照</li> </ul>	
BFULFLG 注2	受信バッファ・フル・フラグ
0	受信バッファ空き
1	受信ビットフル (64ビット受信)
<クリア条件> <ul style="list-style-type: none"> <li>HDFLG フラグが0 から1 になるとき</li> <li>DRFLG フラグが0 から1 になるとき (次のフレームの受信開始)</li> <li>BFULFLG フラグに0 を書き込んだ後、動作クロックの1～2 サイクル後に0 になる</li> </ul> <セット条件> <ul style="list-style-type: none"> <li>REMRBIT レジスタの値が“64” になるとき</li> </ul>	
DRFLG	データ受信フラグ
0	データ待ち
1	データ受信
リモコン信号の受信状態を示します。 <クリア条件> <ul style="list-style-type: none"> <li>ベース・タイマの値がHDPMAX, D0PMAX, D1PMAX, SDPMAX, REMPE レジスタのどの値よりも大きい (ベース・タイマの値がこれらのレジスタの値よりも大きくなると、動作クロックの1 サイクル後に0 になる)</li> </ul> <セット条件> <ul style="list-style-type: none"> <li>REMC 内部入力信号の立ち上がりエッジ (REMC0N0.INV ビットが0 の場合)</li> </ul>	

図18-6 ステータスレジスタ (REMSTS) のフォーマット (3/3)

REFLG	受信エラーフラグ
0	エラー発生なし
1	エラー発生あり

受信エラーが発生したことを示します。REMCN1.TYP[1:0] ビットの設定によりセット条件が異なります。

<クリア条件>

- ・ヘッダ・パターンを検出したとき
- ・DRFLG フラグが0 から1 になるとき (次のフレームの受信開始)

<セット条件>

REMCN1.TYP[1:0] ビットが“00B” (フォーマットA) の場合

- ・ヘッダ・パターン受信前に、データ0 パターン、データ1 パターン、特殊データ・パターンを検出したとき
- ・入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダ・パターン、データ0 パターン、データ1 パターン、特殊データ・パターンのいずれでもなかったとき (REMCN0.INV ビットが0 の場合)
- ・データ受信完了 (DRFLG フラグが1 から0 になるタイミング) と新しい入力信号の変化が競合したとき

REMCN1.TYP[1:0] ビットが“01B” (フォーマットB) の場合

- ・ヘッダ・パターン受信前に、データ0 パターン、データ1 パターン、特殊データ・パターンを検出したとき
- ・入力信号の立ち下がりから立ち下がりまでの幅が、データ0 パターン、データ1 パターン、特殊データ・パターンのいずれでもなかったとき (REMCN0.INV ビットが0 の場合)
- ・データ受信完了 (DRFLG フラグが1 から0 になるタイミング) と新しい入力信号の変化が競合したとき

REMCN1.TYP[1:0] ビットが“10B” (フォーマットC) の場合

- ・入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダ・パターン、データ0 パターン、データ1 パターン、特殊データ・パターンのいずれでもなかったとき (REMCN0.INV ビットが0 の場合)
- ・データ受信完了 (DRFLG フラグが1 から0 になるタイミング) と新しい入力信号の変化が競合したとき

CPFLG	コンペアー一致フラグ
0	不一致
1	一致

REMCPC.CPN[3:0] ビットで指定されたREMCPCD レジスタの値とREMDAT1, 0 レジスタに格納するデータの比較結果を示すフラグです。

<クリア条件>

- ・DRFLG フラグが0 から1 になるとき (次のフレームの受信開始)
- ・HDFLG フラグが0 から1 になるとき

<セット条件>

- ・REMCPCD レジスタとREMDAT1, 0 レジスタに格納する値が一致するとき (REMCPC.CPN[3:0] ビットの設定値をn とすると、REMCPCD レジスタのビットn-0 と、REMDAT1, 0 レジスタのビットn-0 が一致)

注1. ビット7-4, 2-0はRead Onlyです。

注2. ビット3はフラグをクリアするための0 を書くことのみ可能です。ただし、書き込みタイミングがREMCN0.INFLG フラグの切り替わり時の場合、不定となる場合があります。

注意1. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、18.4.5 レジスタ読み出し手順を参照してください。

注意2. REMCN1.EN ビットを0 にすると、このレジスタは“00H” になります。

表18-3 測定結果とフラグの関係

REMTIMレジスタの内容 (計測結果) と 各レジスタとの比較結果	フラグの内容			
	HDFLG	D0FLG	D1FLG	SDFLG
HDPMIN以上 HDPMAX以下	1	0	0	0
D0PMIN以上 D0PMAX以下	0	1注	0	0
D1PMIN以上 D1PMAX以下	0	0	1注	0
SDPMIN以上 SDPMAX以下	0	0	0	1注
上記以外	0	0	0	0

注 REMCON1.TYP[1:0] ビットが“00B” または“01B” の場合、ヘッダ・パターン検出より前なら、D0FLG, D1FLG, SDFLG フラグは変化しません。

## 18.2.6 割り込み制御レジスタ (REMINT)

REMINT レジスタは、各割り込み発生許可／禁止を選択するレジスタです。

REMINT レジスタは、動作中の書き換えは禁止です。書き換えは REMCON1.EN ビットと REMCON0.ENFLG フラグがともに 0 (REMC 停止) のときに実施してください。

REMINT レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、REMINT レジスタは 00H になります。

図 18-7 割り込み制御レジスタ (REMINT) のフォーマット

アドレス : F0643H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	<1>	<0>
REMINT	SDINT	0	DINT 注	HDINT	BFULINT	DRINT 注	REINT	CPINT
	SDINT	特殊データ・パターン一致割り込み許可ビット						
	0	禁止						
	1	許可						
	DINT注	データ0パターンまたはデータ1パターン一致割り込み許可ビット						
	0	禁止						
	1	許可						
	HDINT	ヘッダ・パターン一致割り込み許可ビット						
	0	禁止						
	1	許可						
	BFULINT	受信バッファ・フル割り込み許可ビット						
	0	禁止						
	1	許可						
	DRINT注	データ受信中断割り込み許可ビット						
	0	禁止						
	1	許可						
	REINT	受信エラー割り込み許可ビット						
	0	禁止						
	1	許可						
	CPINT	コンペアー一致割り込み許可ビット						
	0	禁止						
	1	許可						

注 本ビットはREMC動作中 (REMCN1.EN = 1 のとき) に書き換えが可能です。

### 18.2.7 コンペア制御レジスタ (REMCPD)

REMCPD レジスタは、コンペア機能を使用時に REMCPD レジスタの値と REMDAT1,0 レジスタに格納するデータを比較するビット数を指定するレジスタです。

REMCPD レジスタは、動作中の書き換えは禁止です。書き換えは REMCON1.EN ビットと REMCON0.ENFLG フラグがともに 0 (REMC 停止) のときに実施してください。

REMCPD レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、REMCPD レジスタは 00H になります。

図 18 - 8 コンペア制御レジスタ (REMCPD) のフォーマット

アドレス : F0645H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
REMCPD	0	0	0	0	CPN[3:0]			
CPN[3:0]				コンペアビット数指定ビット				
0	0	0	0	REMCPD レジスタのビット0 と、REMDAT0 レジスタのビット0 を比較				
0	0	0	1	REMCPD レジスタのビット1,0 と、REMDAT0 レジスタのビット1,0 を比較				
⋮								
0	1	1	1	REMCPD レジスタのビット7-0 と、REMDAT0 レジスタのビット7-0 を比較				
⋮								
1	0	0	1	REMCPD レジスタのビット9-0と、REMDAT1 レジスタのビット1,0、REMDAT0 レジスタのビット7-0を比較				
⋮								
1	1	1	1	REMCPD レジスタのビット15-0と、REMDAT1 レジスタのビット7-0、REMDAT0 レジスタのビット7-0を比較				
CPN[3:0] ビットの設定値をnとすると、ビットn-0 を比較します								

### 18.2.8 コンペア値設定レジスタ (REMCPD)

REMCPD レジスタは、コンペア機能使用時に REMDAT1, 0 レジスタの内容と比較する値を設定するレジスタです。REMCPD.CPN[3:0] ビットで比較するビット数を設定できます。

REMCPD レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。

REMCPD レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、REMCPD レジスタは 0000H になります。

図18-9 コンペア値設定レジスタ (REMCPD) のフォーマット

アドレス : F0646H, F0647H

リセット時: 0000H

R/W属性 : R/W



### 18.2.9 ヘッダ・パターン最小幅設定レジスタ (HDPMIN)

HDPMIN レジスタは、ヘッダ・パターンの最小幅を設定するレジスタです。設定範囲は“000H”-“7FFH”です。

エッジ発生時のベース・タイマの値が HDPMIN 以上、HDPMAX 以下のときヘッダ・パターンとして検出します。

HDPMIN レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。

HDPMIN レジスタは、16 ビット・メモリ操作命令で設定します。

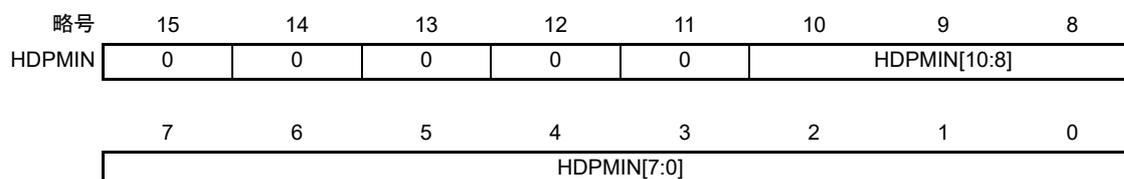
リセット信号の発生により、HDPMIN レジスタは 0000H になります。

図18-10 ヘッダ・パターン最小幅設定レジスタ (HDPMIN) のフォーマット

アドレス : F0648H, F0649H

リセット時: 0000H

R/W属性 : R/W



### 18.2.10 ヘッダ・パターン最大幅設定レジスタ (HDPMAX)

HDPMAX レジスタは、ヘッダ・パターンの最大幅を設定するレジスタです。設定範囲は“000H”-“7FFH”です。エッジ発生時のベース・タイマの値が HDMIN 以上、HDMAX 以下のときヘッダ・パターンとして検出します。HDPMAX レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。HDPMAX レジスタは、16 ビット・メモリ操作命令で設定します。リセット信号の発生により、HDPMAX レジスタは 0000H になります。

図18-11 ヘッダ・パターン最大幅設定レジスタ (HDPMAX) のフォーマット

アドレス : F064AH, F064BH  
 リセット時: 0000H  
 R/W属性 : R/W

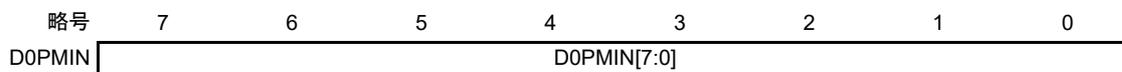


### 18.2.11 データ0パターン最小幅設定レジスタ (D0PMIN)

D0PMIN レジスタは、データ0パターンの最小幅を設定するレジスタです。設定範囲は“00H”-“FFH”です。エッジ発生時のベース・タイマの値が D0PMIN 以上、D0PMAX 以下のときデータ0パターンとして検出します。D0PMIN レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。D0PMIN レジスタは、8 ビット・メモリ操作命令で設定します。リセット信号の発生により、D0PMIN レジスタは 00H になります。

図18-12 データ0パターン最小幅設定レジスタ (D0PMIN) のフォーマット

アドレス : F064CH  
 リセット時: 00H  
 R/W属性 : R/W



### 18.2.12 データ0パターン最大幅設定レジスタ (D0PMAX)

D0PMAX レジスタは、データ0パターンの最大幅を設定するレジスタです。設定範囲は“00H”-“FFH”です。

エッジ発生時のベース・タイマの値が D0PMIN 以上、D0PMAX 以下のときデータ0パターンとして検出します。

D0PMAX レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。

D0PMAX レジスタは、8ビット・メモリ操作命令で設定します。

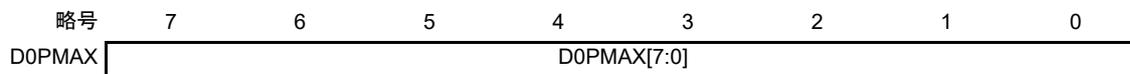
リセット信号の発生により、D0PMAX レジスタは 00H になります。

図18-13 データ0パターン最大幅設定レジスタ (D0PMAX) のフォーマット

アドレス : F064DH

リセット時: 00H

R/W属性 : R/W



### 18.2.13 データ1パターン最小幅設定レジスタ (D1PMIN)

D1PMIN レジスタは、データ1パターンの最小幅を設定するレジスタです。設定範囲は“00H”-“FFH”です。

エッジ発生時のベース・タイマの値が D1PMIN 以上、D1PMAX 以下のときデータ1パターンとして検出します。

D1PMIN レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。

D1PMIN レジスタは、8ビット・メモリ操作命令で設定します。

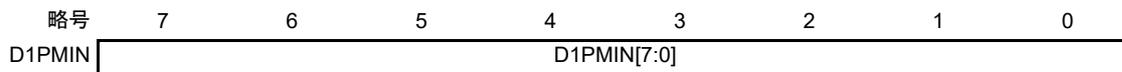
リセット信号の発生により、D1PMIN レジスタは 00H になります。

図18-14 データ1パターン最小幅設定レジスタ (D1PMIN) のフォーマット

アドレス : F064EH

リセット時: 00H

R/W属性 : R/W



### 18.2.14 データ1パターン最大幅設定レジスタ (D1PMAX)

D1PMAX レジスタは、データ1パターンの最大幅を設定するレジスタです。設定範囲は“00H”-“FFH”です。

エッジ発生時のベース・タイマの値が D1PMIN 以上、D1PMAX 以下のときデータ1パターンとして検出します。

D1PMAX レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。

D1PMAX レジスタは、8ビット・メモリ操作命令で設定します。

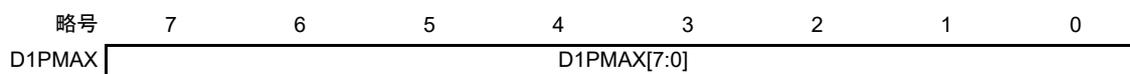
リセット信号の発生により、D1PMAX レジスタは 00H になります。

図18-15 データ1パターン最大幅設定レジスタ (D1PMAX) のフォーマット

アドレス : F064FH

リセット時: 00H

R/W属性 : R/W



### 18.2.15 特殊データ・パターン最小幅設定レジスタ (SDPMIN)

SDPMIN レジスタは、特殊データ・パターンの最小幅を設定するレジスタです。設定範囲は“000H”-“7FFH”です。

エッジ発生時のベース・タイマの値が SDPMIN 以上、SDPMAX 以下のとき特殊データ・パターンとして検出します。

SDPMIN レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。

SDPMIN レジスタは、16ビット・メモリ操作命令で設定します。

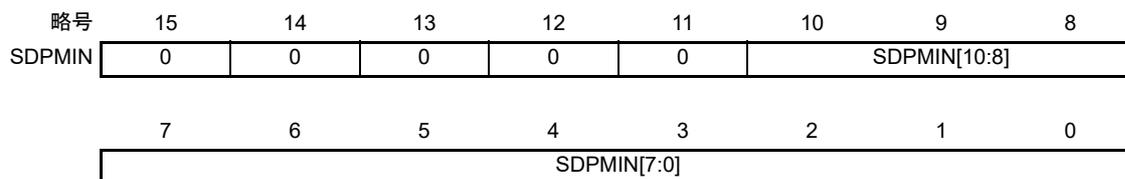
リセット信号の発生により、SDPMIN レジスタは 0000H になります。

図18-16 特殊データ・パターン最小幅設定レジスタ (SDPMIN) のフォーマット

アドレス : F0650H, F0651H

リセット時: 0000H

R/W属性 : R/W

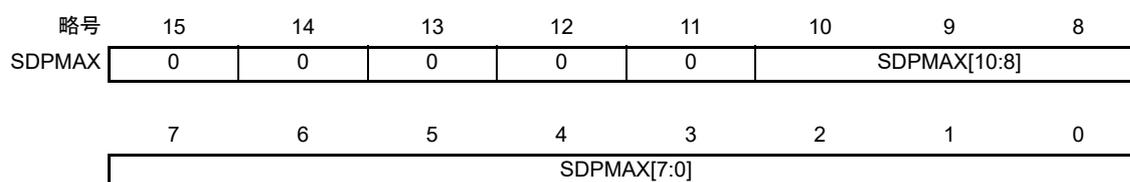


### 18.2.16 特殊データ・パターン最大幅設定レジスタ (SDPMAX)

SDPMAX レジスタは、特殊データ・パターンの最大幅を設定するレジスタです。設定範囲は“000H”-“7FFH”です。  
 エッジ発生時のベース・タイマの値が SDPMIN 以上、SDPMAX 以下のとき特殊データ・パターンとして検出します。  
 SDPMAX レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。  
 SDPMAX レジスタは、16 ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、SDPMAX レジスタは 0000H になります。

図18-17 特殊データ・パターン最大幅設定レジスタ (SDPMAX) のフォーマット

アドレス : F0652H, F0653H  
 リセット時: 0000H  
 R/W属性 : R/W

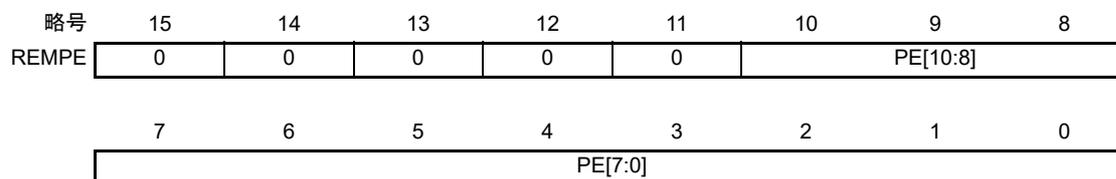


### 18.2.17 パターン・エンド設定レジスタ (REMPE)

REMPE レジスタは、パターン・エンドの幅を設定するレジスタです。設定範囲は“000H”-“7FFH”です。  
 REMSTS.DRFLG フラグが、1 から 0 になるタイミングを設定できます。  
 REMPE レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。  
 REMPE レジスタは、16 ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、REMPE レジスタは 0000H になります。

図18-18 パターン・エンド設定レジスタ (REMPE) のフォーマット

アドレス : F0654H, F0655H  
 リセット時: 0000H  
 R/W属性 : R/W



### 18.2.18 受信機能スタンバイ・コントロール・レジスタ (REMSTC)

REMSTC レジスタは、リモコン信号受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御およびデジタル・フィルタのサンプリング・クロックを選択するレジスタです。

REMSTC レジスタは、動作中 (REMCN1.EN = 1 のとき) の書き換えは禁止です。

REMSTC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、REMSTC レジスタは 00H になります。

図 18 - 19 受信機能スタンバイ・コントロール・レジスタ (REMSTC) のフォーマット

アドレス : F0656H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
REMSTC	0	0	0	0	0	0	DNFSL 注	SNZON 注

DNFSL注	デジタル・フィルタ・クロック選択ビット
0	REMC動作クロックでサンプリング
1	fSXPでサンプリング
デジタル・フィルタのサンプリング・クロックを選択するビットです。SNZON ビットを1 (STOPモードからSNOOZEモードへの移行を許可) にする場合は、DNFSL ビットを1にしてください。	

SNZON注	SNOOZEモード動作制御ビット
0	STOPモードからSNOOZEモードへの移行禁止
1	STOPモードからSNOOZEモードへの移行許可
<ul style="list-style-type: none"> <li>STOPモード中にRIN0端子の入力レベルが変化したとき、STOPモードを解除し、CPUを動作させることなく、リモコン受信動作を行います (SNOOZEモード)。</li> <li>REMC動作クロックにタイマ割り込み (INTTM06) を選択した場合のみ使用します。この場合、タイマ・アレイ・ユニット0チャンネル6のカウンタ・クロックはSNOOZEモードで動作可能なクロックを選択してください。</li> <li>SNOOZEモードを使用する場合には、STOPモードに移行する前に、タイマ・アレイ・ユニット0チャンネル6をインターバル・タイマ・モードに設定し、カウンタ動作許可にしてください。</li> <li>SNOOZEモードを使用する場合でも、SNOOZEモードから復帰した後、SNZONビットを0にしてください。再びSTOPモードへ移行するときにSNZONビットを1にしてください。</li> <li>SNZONビットを1にする場合は、REMCN0.FIL ビットを1 (デジタル・フィルタ有効) に、DNFSL ビットを1 (fSXPでサンプリング) にしてください。</li> <li>コンペアー一致割り込み、ヘッダ・パターン一致割り込み等でSTOPモードから復帰した後、SNZON ビットを0にしてください。</li> </ul>	

注 REMCN1.EN ビットと REMCN0.ENFLG フラグがともに0 (REMC停止) のとき、1にしてください。

### 18.2.19 受信ビット数レジスタ (REMRBIT)

REMRBIT レジスタは、受信ビット数を表示するレジスタです。

REMRBIT レジスタは、REMCN1.EN = 0 のときは、すべて初期化されます。

REMRBIT レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、REMRBIT レジスタは 00H になります。

図 18 - 20 受信ビット数レジスタ (REMRBIT) のフォーマット

アドレス : F0657H

リセット時: 00H

R/W属性 : R/W<sup>注1,2</sup>

略号	7	6	5	4	3	2	1	<0>
REMRBIT	0 <sup>注1</sup>	RBIT[6:1] <sup>注2</sup>						RBIT[0]
	RBIT[6:0]		受信ビット数確認ビット					
<p>検出したデータ0パターンまたはデータ1パターンの数をカウントし、格納するバッファのビット位置を示します。</p> <ul style="list-style-type: none"> <li>• “64” (“40H”) を超えると1に戻ります。</li> <li>• ヘッダ・パターン、特殊データ・パターンはカウントしません。</li> <li>• REMCON0.EC ビットが1でエラーを検出した場合、データ0パターンまたはデータ1パターンを検出してもカウントアップしません。</li> <li>• REMSTS.DRFLG フラグが0から1になるとき、REMRBIT レジスタは0になります。</li> <li>• REMSTS.HDFLG フラグが0から1になるとき、REMRBIT レジスタは0になります。</li> </ul> <p>REMRBIT.RBIT[0] ビットに0を書き込んだ場合、動作クロックの1~2 サイクル後にREMRBIT レジスタの値が“00H”になります。</p>								

**注1.** ビット7のRead値は不定です。Write時は0をWriteしてください。

**注2.** ビット6-1はRead onlyです。

**注意** データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、18.4.5 レジスタ読み出し手順を参照してください。

### 18.2.20 受信データ0レジスタ (REMDAT0)

REMDAT0 レジスタは、受信データを格納するレジスタです。

REMDAT0 レジスタは、REMCN1.EN = 0 のときは、すべて初期化されます。

REMDAT0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

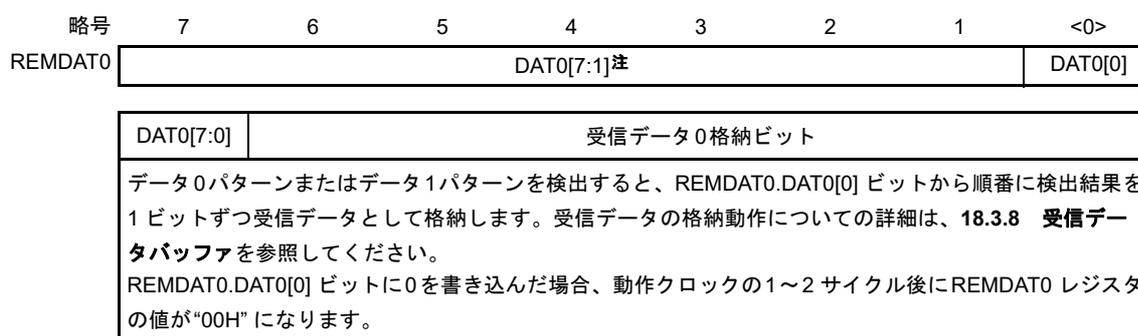
リセット信号の発生により、REMDAT0 レジスタは 00H になります。

図 18 - 21 受信データ0レジスタ (REMDAT0) のフォーマット

アドレス : F0658H

リセット時: 00H

R/W属性 : R/W注



**注** ビット7-1はRead onlyです。

**注意** データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、**18.4.5 レジスタ読み出し手順**を参照してください。

### 18.2.21 受信データjレジスタ (REMDATj) (j = 1-7)

REMDATj レジスタは、受信データを格納するレジスタです。

REMDATj レジスタは、REMCN1.EN = 0 のときは、すべて初期化されます。

REMDATj レジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、REMDATj レジスタは 00H になります。

図 18 - 22 受信データjレジスタ (REMDATj) のフォーマット

アドレス : F0659H-F065FH

リセット時: 00H

R/W属性 : R



**注意** データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、**18.4.5 レジスタ読み出し手順**を参照してください。

## 18.2.22 測定結果レジスタ (REMTIM)

REMTIM レジスタは、各パターン幅の測定結果を表示するレジスタです。

REMTIM レジスタは、REMCN1.EN = 0 のときは、すべて初期化されます。

REMTIM レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、REMTIM レジスタは 0000H になります。

図 18-23 測定結果レジスタ (REMTIM) のフォーマット

アドレス : F0660H, F0661H

リセット時: 0000H

R/W属性 : R



**注意** データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、18.4.5 レジスタ読み出し手順を参照してください。

## 18.2.23 リモコン信号入力と端子を兼用するポートのポート機能を制御するレジスタ

リモコン信号入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx) を参照してください。

RIN0 を兼用する端子を外部パルス信号入力として使用するときは、PMCT70 ビットに 0、PM70 ビットに 1 を設定してください。

**備考** xx = 7

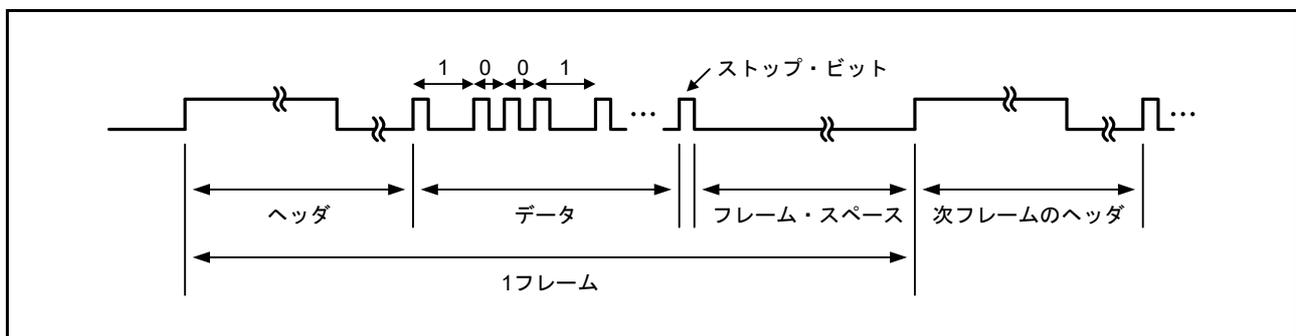
## 18.3 動作説明

### 18.3.1 REMC動作の概要

リモコン信号例を図 18 - 24 に示します。リモコン信号は、ヘッダから始まり、その後データが続きます。このヘッダは、その後に続くデータ部分とは波形が異なるため、ヘッダとデータとを区別することができます。データ部分には、カスタム・コードやデータ・コードを含んでおり、ビットの長さで 0、1 を区別します。ストップ・ビットの後は、信号変化のないフレームスペース期間が続き、1 フレームが形成されます。

REMC では、内蔵するベース・タイマにより外部入力信号のエッジ - エッジ間の時間を計測し、その計測結果からリモコン信号のパターン検出、データの取り込みを行います。

図 18 - 24 リモコン信号例



### 18.3.2 初期設定

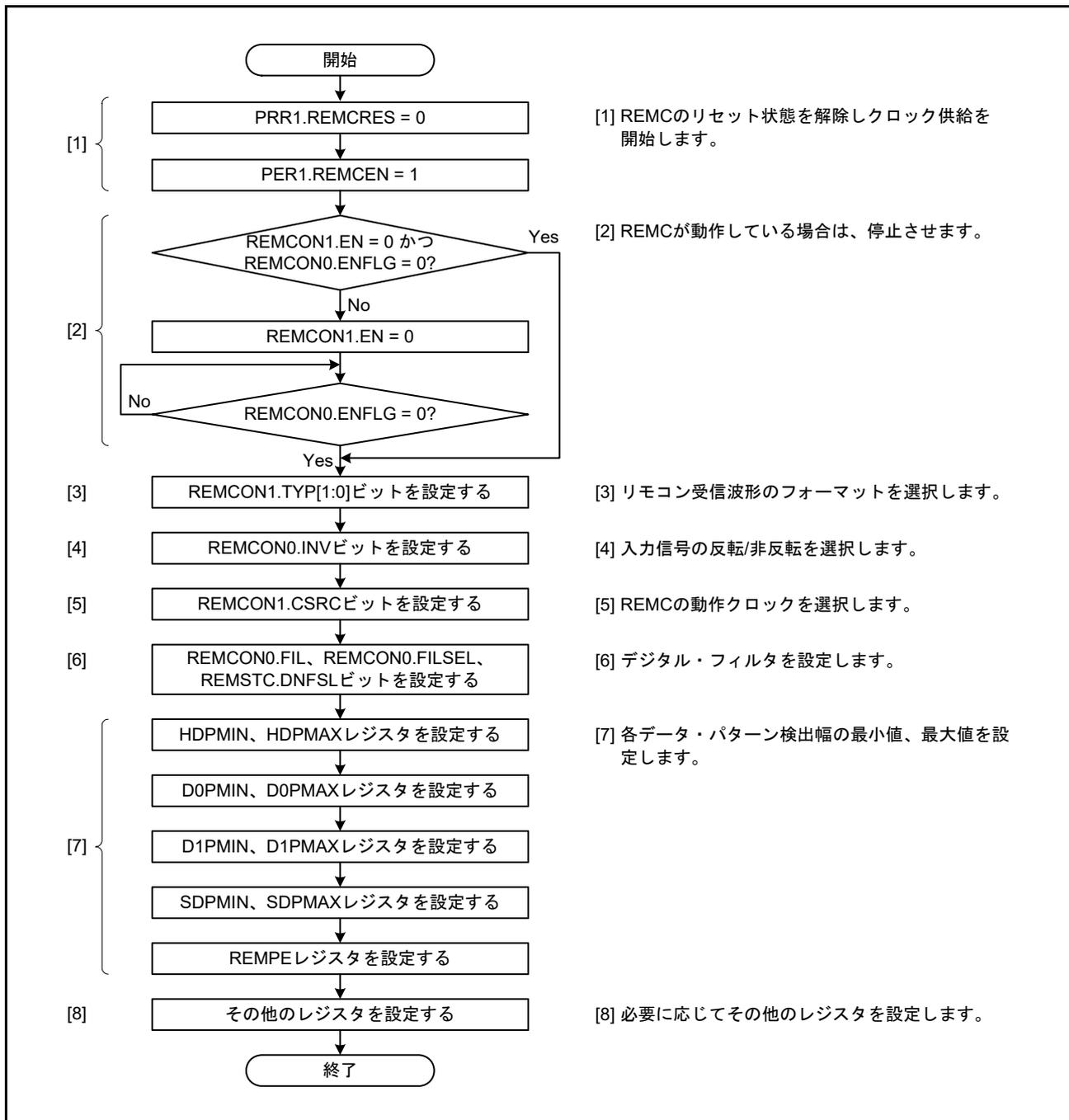
リモコン信号を受信するときは、図 18 - 25 の手順に従って REMC の初期設定をしてください。

REMC が動作中だった場合は、REMCN1.EN ビットを 0 にすると REMCON0.ENFLG フラグが 0 になり、REMC の動作が停止します。

REMCN0.ENFLG フラグが 0 の状態で、REMCN1.TYP[1:0] ビットによるリモコン受信波形のフォーマット設定、REMCN0.INV ビットによる入力信号の反転制御、REMCN1.CSRC ビットによる動作クロック選択、REMCN0.FIL、FILSEL ビット、REMSTC.DNFSL ビットによるデジタル・フィルタの設定を行います。また、HDPMIN、HDPMAX、D0PMIN、D0PMAX、D1PMIN、D1PMAX、SDPMIN、SDPMAX、REMPE レジスタに各データ・パターンの検出幅を設定します。REMINT レジスタによる割り込み許可や REMCPC、REMCPCD レジスタによるコンペア機能の設定など、その他の設定は必要に応じて実施してください。

必要なレジスタの設定が終了したら、REMCN1.EN ビットを 1 にして REMC を動作させてください。

図 18 - 25 REMCの初期設定フロー例



### 18.3.3 パターン設定

REMCN1.TYP[1:0] ビットを設定することでリモコン信号受信波形を取り込むフォーマットを設定できます。  
REMCN1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例を図 18 - 26、図 18 - 27 に示します。

#### REMCN1.TYP[1:0] ビットが“00B” (フォーマット A) の場合

内部入力信号の立ち上がり時にヘッダ・パターン設定値と測定結果を判定します。  
ヘッダ・パターンを受信した場合、内部入力信号の立ち上がり時にデータ0パターン設定値、データ1パターン設定値、特殊データ・パターン設定値と計測結果を判定します。

#### REMCN1.TYP[1:0] ビットが“01B” (フォーマット B) の場合

内部入力信号の立ち下がり時にヘッダ・パターン設定値と測定結果を判定します。  
ヘッダ・パターンを受信した場合、内部入力信号の立ち下がり時にデータ0パターン設定値、データ1パターン設定値、特殊データ・パターン設定値と計測結果を判定します。  
ヘッダ・パターンは1フレームで1回検出します。

#### REMCN1.TYP[1:0] ビットが“10B” (フォーマット C) の場合

内部入力信号の立ち上がり時にヘッダ・パターン設定値、データ0パターン設定値、データ1パターン設定値、特殊データ・パターン設定値と計測結果を判定します。

図18-26 REMCON1.TYP[1:0]ビットの設定により取り込めるリモコン信号受信波形の例 (REMCN0.INV = 0の場合)

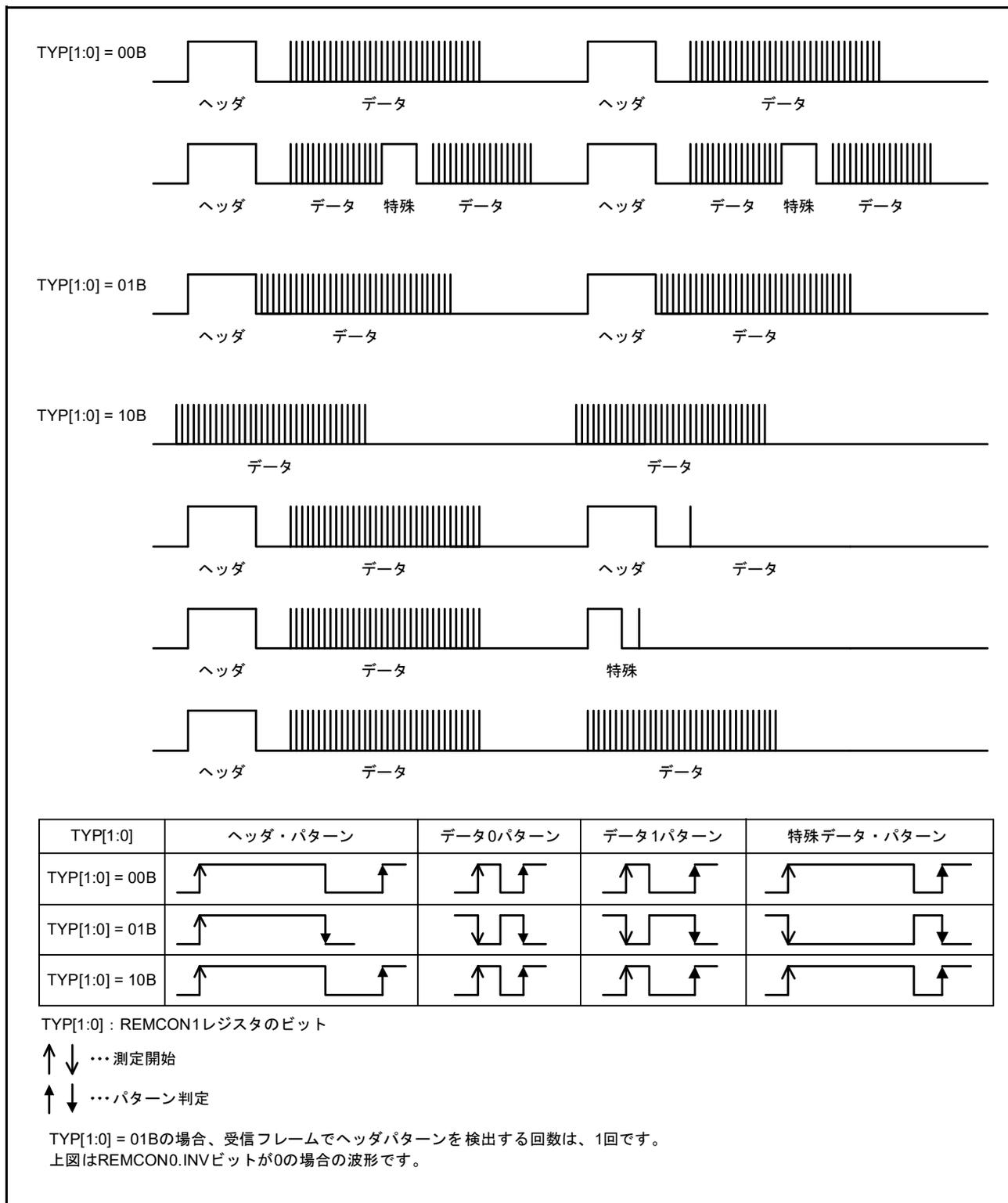
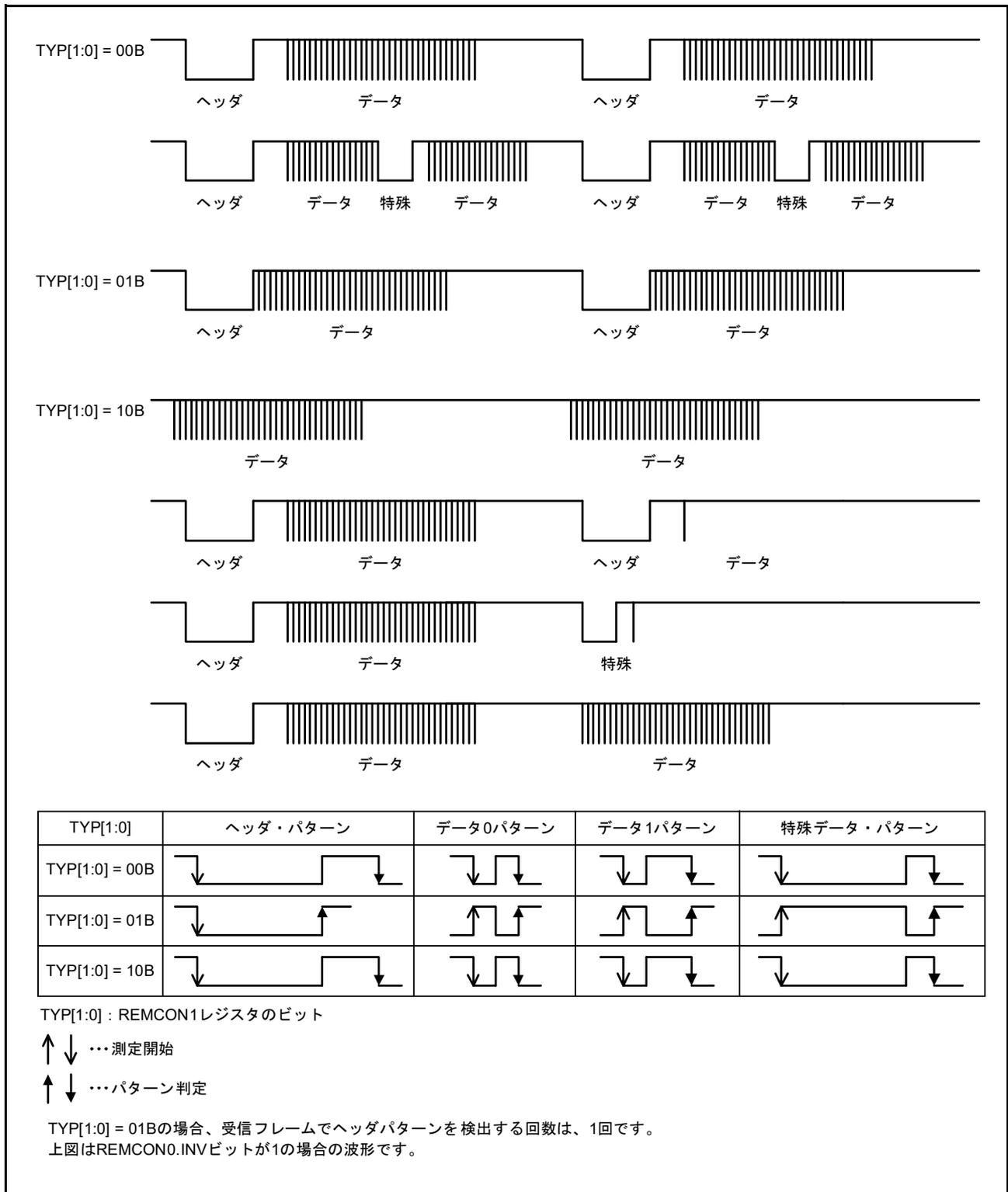


図18-27 REMCON1.TYP[1:0]ビットの設定により取り込めるリモコン信号受信波形の例  
(REMCN0.INV = 1の場合)



### 18.3.4 動作クロック

REMC は動作クロックとして、低速周辺クロック (fsXP) とタイマ割り込み (INTTM06) のいずれかを選択して使用することができます。REMC 動作クロックにタイマ割り込み (INTTM06) を選択した場合、STOP モード中にリモコン信号を受信するためには、SNOOZE モードへ移行する必要があります。STOP モードから SNOOZE モードへの移行を許可にする場合は、デジタル・フィルタのクロックとして低速周辺クロック (fsXP) を選択してください。

また、REMC 動作クロックとして、タイマ割り込み (INTTM06) を選択する場合、タイマ・アレイ・ユニット 0 チャネル 6 の動作クロック設定については、**第7章 タイマ・アレイ・ユニット (TAU)** を参照してください。

REMC 動作クロックに低速周辺クロック (fsXP) を選択した場合は、STOP モード中にリモコン信号を受信可能です。低速周辺クロック (fsXP) に低速オンチップ・オシレータ・クロック (fil) を選択した場合は、必要に応じて低速オンチップ・オシレータの発振周波数精度を補正してください。

各動作クロックの供給方法について説明します。

#### 18.3.4.1 REMC 動作クロックとして fsXP を使用する場合

REMC 動作クロックとして低速周辺クロック (fsXP) を使用する場合のフローを説明します。

- (a) 低速周辺クロック (fsXP) として低速オンチップ・オシレータ (fil) を使用する場合  
サブシステム・クロック供給モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) を 1 に設定し、REMCON1.CSRC ビットを 0 に設定すると、REMC 動作クロックとして低速オンチップ・オシレータ・クロック (fil) が供給されます。**6.1 クロック発生回路の機能**を参照してください。
- (b) 低速周辺クロック (fsXP) としてサブシステム・クロック X (fsX) を使用する場合  
サブシステム・クロック供給モード制御レジスタ (OSMC) のビット 7, 4 (RTCLPC, WUTMMCK0) を 0 に設定し、クロック動作モード制御レジスタ (CMC) のビット 5, 4 (EXCLKS, OSCSELS) でサブシステム・クロックの動作モードを設定し、クロック動作ステータス制御レジスタ (CSC) のビット 6 (XTSTOP) を 0 に設定しサブシステム・クロックの発振を開始します。その後、タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトし、REMCON1.CSRC ビットを 0 に設定すると、REMC 動作クロックとしてサブシステム・クロック X (fsX) が供給されます。サブシステム・クロック設定については、**6.6.3 XT1 発振回路の設定例**を参照してください。

#### 18.3.4.2 REMC 動作クロックとして INTTM06 を使用する場合

RECOM1.CSRC ビットを 1 に設定すると、REMC 動作クロックとしてタイマ割り込み (INTTM06) が供給されます。タイマ・アレイ・ユニット 0 チャネル 6 は、インターバル・タイマ・モードで動作させてください。

タイマ・アレイ・ユニット 0 の動作については、**第7章 タイマ・アレイ・ユニット (TAU)** を参照してください。

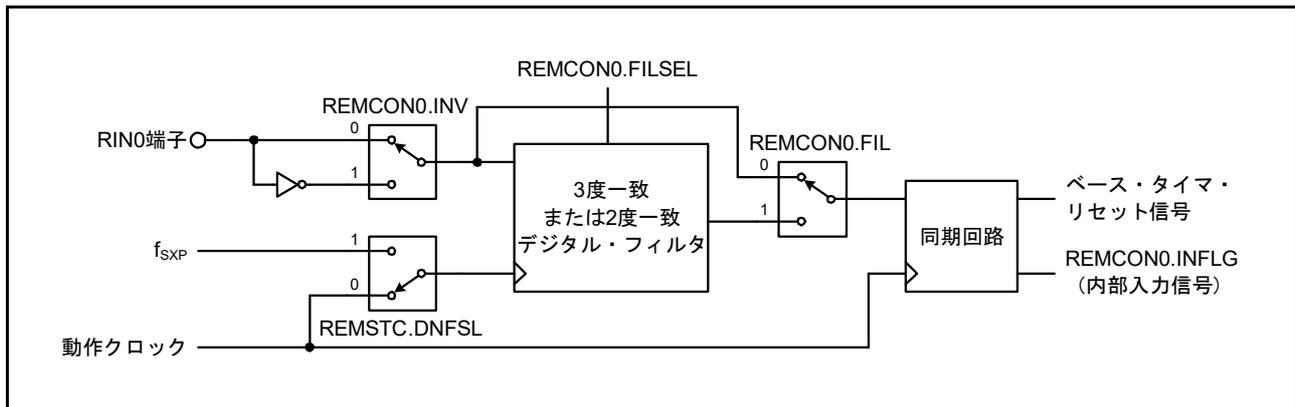
### 18.3.5 RIN0入力

RIN0 入力では、以下の選択ができます。

- 入力極性
- デジタル・フィルタ

図 18 - 28 に RIN0 内部入力信号生成を示します。

図 18 - 28 RIN0 内部入力信号生成



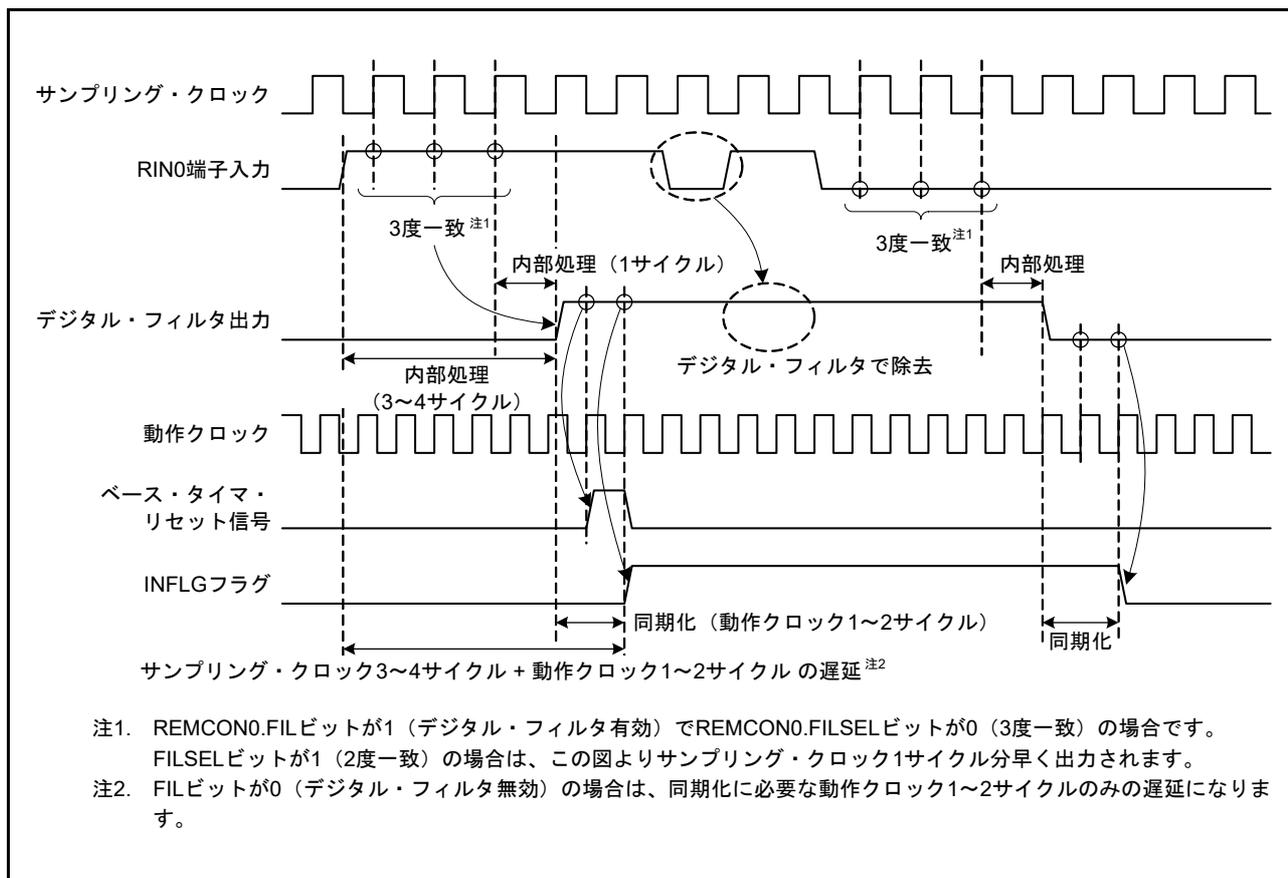
RIN0 端子の入力極性を反転できます。REMC0.INV ビットで選択してください。

REMC0.FIL ビットが 1 (デジタル・フィルタ有効) の場合は、RIN0 端子の入力が  $k$  度 ( $k=3$  または  $2$ 、REMC0.FILSEL ビットでの選択値) 続けて一致したとき、そのレベルを内部回路に伝えます。これにより、サンプリング・クロックの  $k$  サイクル分までのノイズを除去できます。デジタル・フィルタのサンプリング・クロックは、REMC0.DNFSL ビットの設定により、REMC 動作クロックまたは  $f_{SXP}$  のいずれかを選択できます。

REMC0.SNZON ビットを 1 (STOP モードから SNOOZE モードへの移行許可) にするときは、REMC0.FIL ビットを 1 (デジタル・フィルタ有効)、REMC0.DNFSL ビットを 1 (サンプリング・クロックは  $f_{SXP}$ ) にしてください。

なお、RIN0 端子の入力は、動作クロックに同期して内部回路に REMC0.INFLG フラグ (入力信号フラグ) とベース・タイマ・リセット信号として伝わります。ベース・タイマ・リセット信号とは内部ベース・タイマを REMC0.TYP[1:0] ビットの設定に応じたパターン検出にて初期化する信号です。RIN0 端子入力に変化してからこれらの信号を生成するまでには、内部処理による遅延があります。図 18 - 29 に RIN0 入力のデジタル・フィルタ動作を示します。

図18-29 RIN0入力のデジタル・フィルタ動作



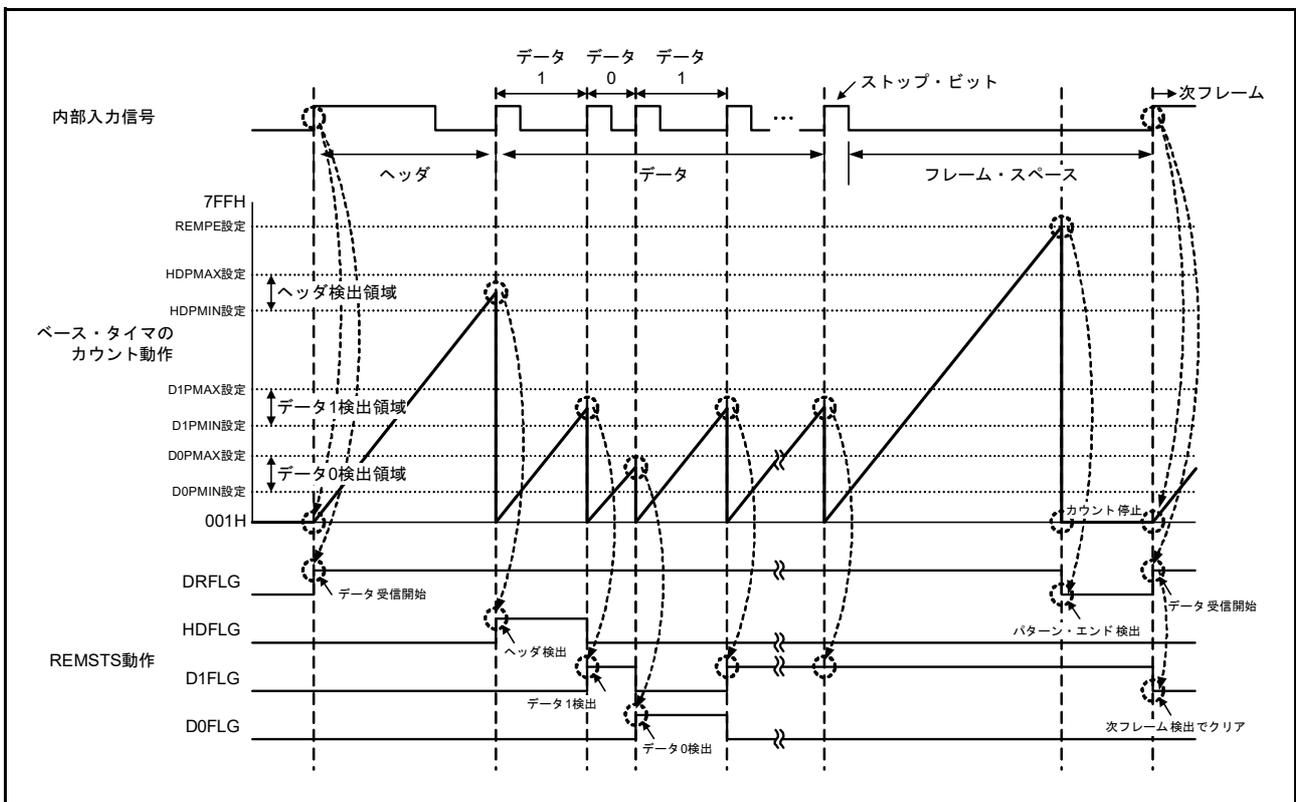
### 18.3.6 パターン検出

REMC は以下のパターンを検出する機能があります。

- ヘッダ・パターン
- データ0パターン
- データ1パターン
- 特殊データ・パターン

REMC が内蔵するベース・タイマにより、外部入力信号のエッジ - エッジ間の時間を計測し、計測結果がどのパターンと一致するかを判定することで、リモコン信号の検出、データの取り込みを行います。各パターンの判定幅については、それぞれのパターン設定レジスタで任意に設定できます。図 18 - 30 に REMC の動作波形を示します。

図 18 - 30 REMCの動作波形



### 18.3.6.1 ヘッダ・パターン検出

ヘッダ・パターンの最小幅を HDPMIN レジスタに、最大幅を HDPMAX レジスタに設定することで、ヘッダ・パターンが検出できます。

ヘッダ・パターンの最小幅、最大幅は、「 $1 < \text{HDPMIN レジスタの値} \leq \text{HDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}_n = \frac{\text{ヘッダ・パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

ヘッダ・パターンを使用しない場合、HDPMIN レジスタ、HDPMAX レジスタは“000H”にしてください。

ヘッダ・パターンの設定値は、データ0パターン、データ1パターン、特殊データ・パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0] ビットが“00B”、“01B”の場合、

ヘッダ・パターンを検出する前に、データ0パターン、データ1パターンまたは特殊データ・パターンを検出すると次のようになります。

- REMSTS.REFLG フラグが1 (エラー発生) になる
- REMSTS.D0FLG, REMSTS.D1FLG, REMSTS.SDFLG フラグは変化しない
- REMDAT0-REMDAT7 レジスタは変化しない

REMCN1.TYP[1:0] ビットが、“01B”の場合、

ヘッダ・パターンを検出する回数は、DRFLG フラグが1の間に1回になります。

### 18.3.6.2 データ0パターン検出

データ0パターンの最小幅を D0PMIN レジスタに、最大幅を D0PMAX レジスタに設定することで、データ0パターンが検出できます。

データ0パターンの最小幅、最大幅は、「 $1 < \text{D0PMIN レジスタの値} \leq \text{D0PMAX レジスタの値}$ 」にしてください。

$$\text{設定値}_n = \frac{\text{データ0パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ0パターンを使用しない場合、D0PMIN, D0PMAX レジスタは“00H”にしてください。

データ0パターンの設定値は、ヘッダ・パターン、データ1パターン、特殊データ・パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0] ビットが“00B”、“01B”の場合、

ヘッダ・パターンを検出する前に、データ0パターン、またはデータ1パターンを検出すると次のようになります。

- REMSTS.REFLG フラグが1 (エラー発生) になる
- REMSTS.D0FLG, REMSTS.D1FLG, REMSTS.SDFLG フラグは変化しない
- REMDAT0-REMDAT7 レジスタは変化しない

### 18.3.6.3 データ1パターン検出

データ1パターンの最小幅を D1PMIN レジスタに、最大幅を D1PMAX レジスタに設定することで、データ1パターンが検出できます。

データ1パターンの最小幅、最大幅は、「 $1 < \text{D1PMIN レジスタの値} \leq \text{D1PMAX レジスタの値}$ 」にしてください。

$$\text{設定値}_n = \frac{\text{データ"1"パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ1パターンを使用しない場合、D1PMIN, D1PMAX レジスタは“00H”にしてください。

データ1パターンの設定値は、ヘッダ・パターン、データ0パターン、特殊データ・パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0] ビットが“00B”、“01B”の場合、

ヘッダ・パターンを検出する前に、データ0パターン、またはデータ1パターンを検出すると次のようになります。

- REMSTS.REFLGビットが1 (エラー発生) になる
- REMSTS.D0FLG, REMSTS.D1FLG, REMSTS.SDFLG フラグは変化しない
- REMDAT0-REMDAT7 レジスタは変化しない

### 18.3.6.4 特殊データ・パターン検出

特殊データ・パターンの最小幅を SDPMIN レジスタに、最大幅を SDPMAX レジスタに設定することで特殊データ・パターンが検出できます。

特殊データ・パターンの最小幅、最大幅は、「 $1 < \text{SDPMIN レジスタの値} \leq \text{SDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}_n = \frac{\text{特殊データ・パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

特殊データ・パターンを使用しない場合、SDPMIN, SDPMAX レジスタは“000H”にしてください。

特殊データ・パターンの設定値は、ヘッダ・パターン、データ0パターン、データ1パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0] ビットが“00B”、“01B”の場合、

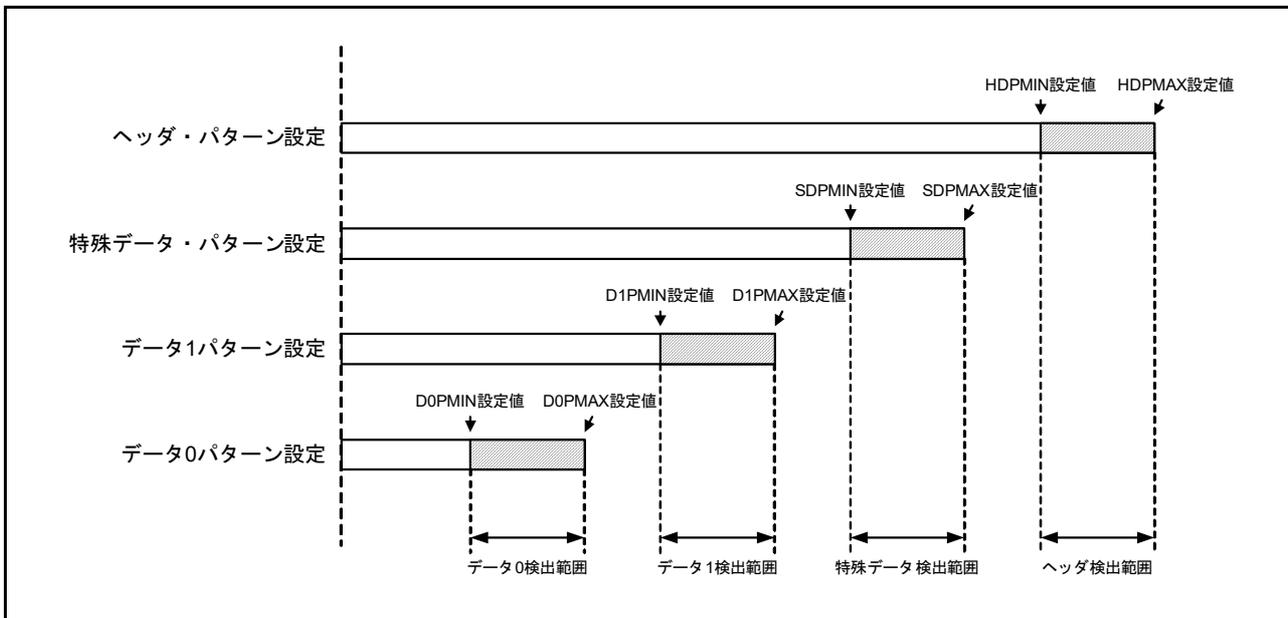
ヘッダ・パターンを認識する前に、特殊データ・パターンを検出すると次のようになります。

- REMSTS.REFLG フラグが1 (エラー発生) になる
- REMSTS.SDFLG フラグは変化しない
- REMDAT0-REMDAT7 レジスタは変化しない

### 18.3.6.5 パターン設定レジスタの設定例

ヘッダ・パターン、データ0パターン、データ1パターン、特殊データ・パターンのパターン設定レジスタについて、各パターンの最小値から最大値までの範囲は、**図 18 - 31**に示すように、他のパターンの最小値から最大値までと重複しない値に設定してください。

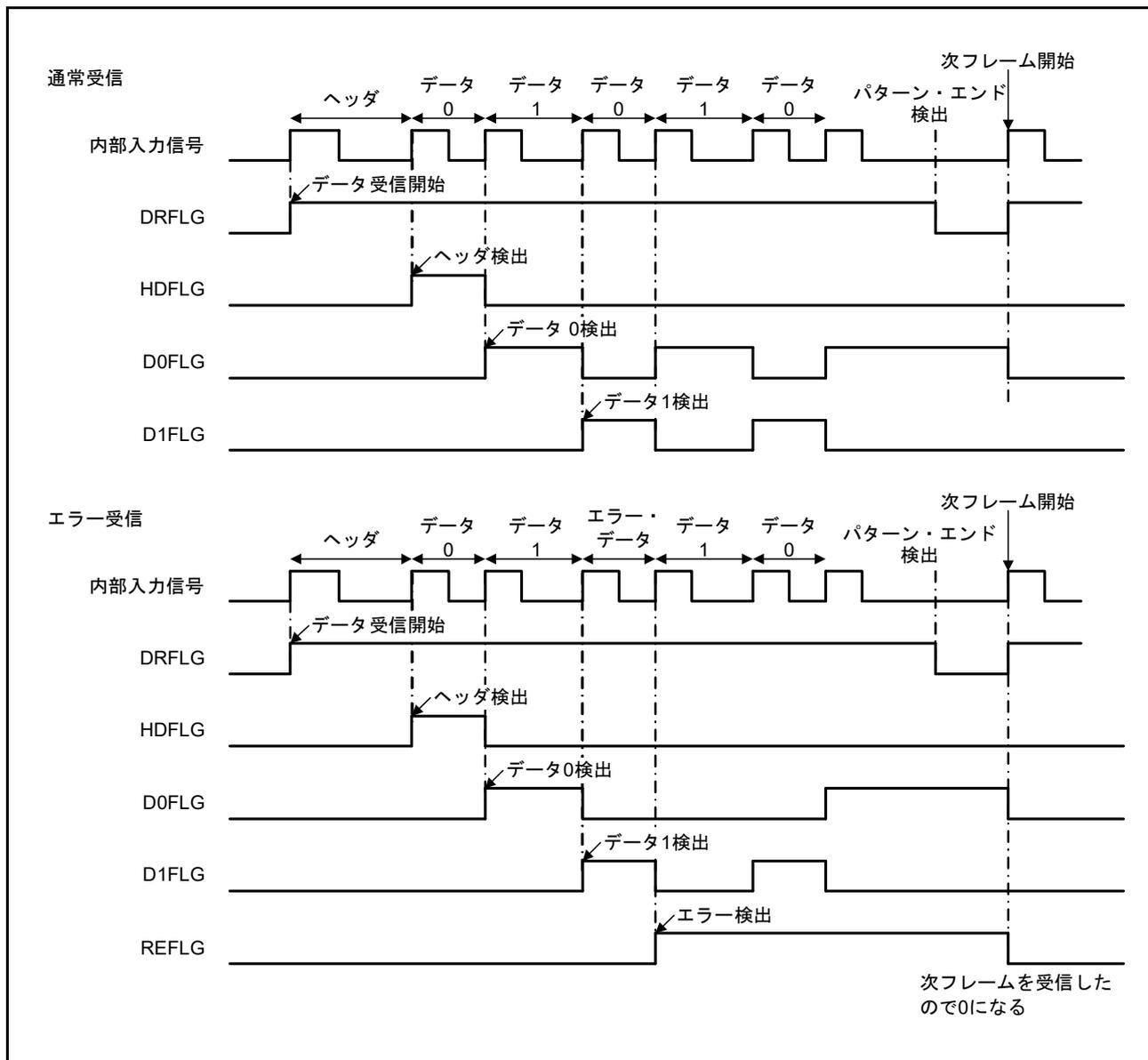
図 18 - 31 パターン設定レジスタの設定例



### 18.3.6.6 パターン検出によるステータスフラグ更新動作

検出したパターンについては、ヘッダ・パターン一致フラグ (REMSTS.HDFLG)、データ0パターン一致フラグ (REMSTS.D0FLG)、データ1パターン一致フラグ (REMSTS.D1FLG)、特殊データ・パターン一致フラグ (REMSTS.SDFLG) にて確認できます。これらのフラグは異なるパターンを検出したらクリアされます。ヘッダ・パターン、データ0パターン、データ1パターン、特殊データ・パターン以外を検出した場合、エラーパターンとして検出されます。これは受信エラーフラグ (REMSTS.REFLG) にて確認できます。受信エラーフラグに関しては、次のフレーム受信時にクリアされます。パターン検出、ならびにフラグ動作例を**図 18 - 32**に示します。

図18-32 フラグ動作例



### 18.3.7 パターン・エンド

REMSTS.DRFLG フラグが0になるタイミングを設定できます。

REMPE レジスタを設定する場合は、

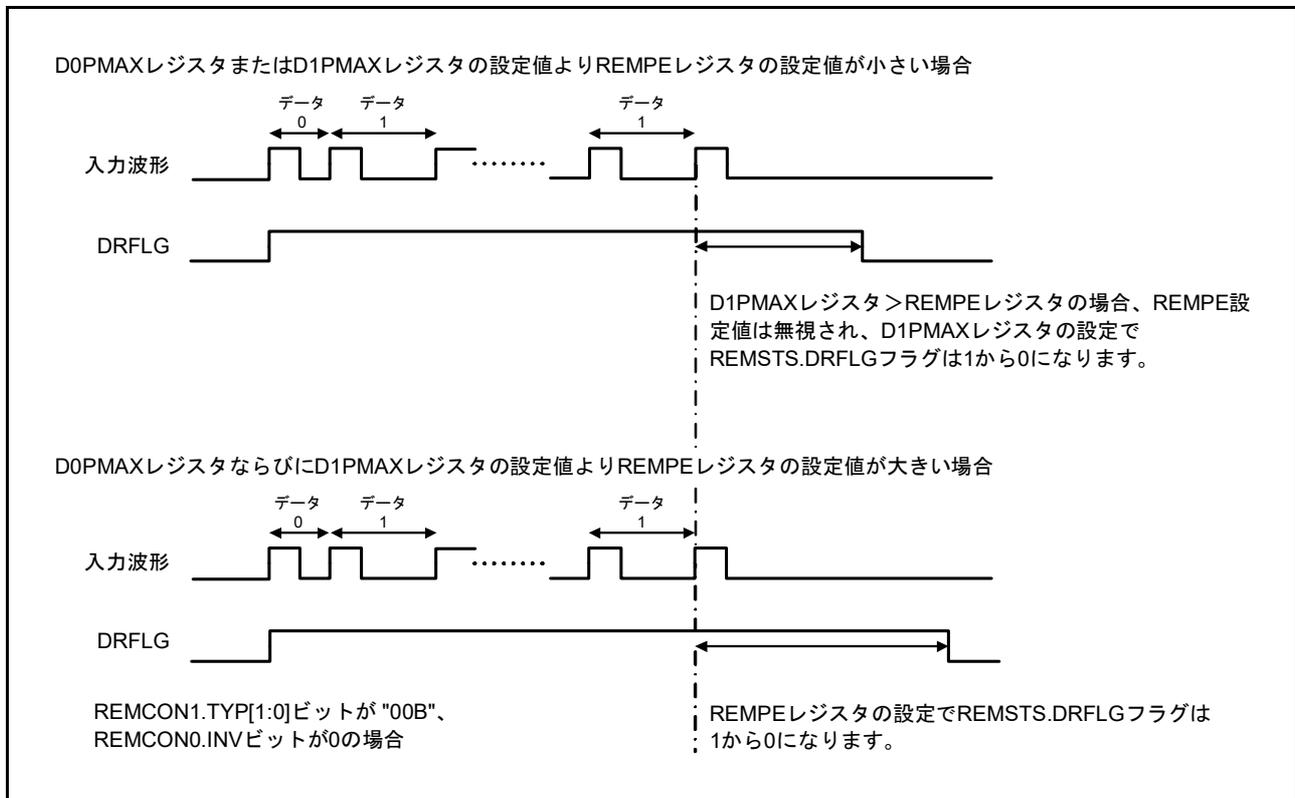
REMPEの値 > HDPMAX, D0PMAX, D1PMAX, SDPMAXの値  
となるようにしてください。

REMPEの値  $\leq$  HDPMAX, D0PMAX, D1PMAX, SDPMAXの値

となる場合、REMPEレジスタでREMSTS.DRFLGフラグが0になるタイミングを設定できません。この場合、HDPMAX, D0PMAX, D1PMAX, SDPMAXレジスタの内、最も大きい値に設定されたタイミングでデータ受信完了となります。

図18-33に、それぞれのパターン・エンド設定時のデータ受信完了フラグ動作について説明します。

図18-33 パターン・エンド設定時のデータ受信完了フラグ動作説明



### 18.3.8 受信データバッファ

受信データjレジスタ (REMDATj) (j=0-7) は、受信したデータを格納する8バイト (64ビット) のバッファです。データ0パターンまたはデータ1パターンを検出すると、**図18-34**に示すように REMDAT0.DAT0[0] ビットから順番に検出結果を格納します。同時に REMRBIT レジスタはカウントアップされるため、REMRBIT レジスタを読み出すことで現在の受信ビット数を知ることができます。受信ビット数とデータ格納場所の関係は**表18-4**を参照してください。なお、REMDATj、REMRBIT レジスタはヘッダ・パターン、特殊データ・パターンを受信しても変化しません。また、REMDATj、REMRBIT レジスタについては、データ更新と読み出しが重なった場合、不定値を読み出すことがあります。

図18-34 受信データバッファ動作

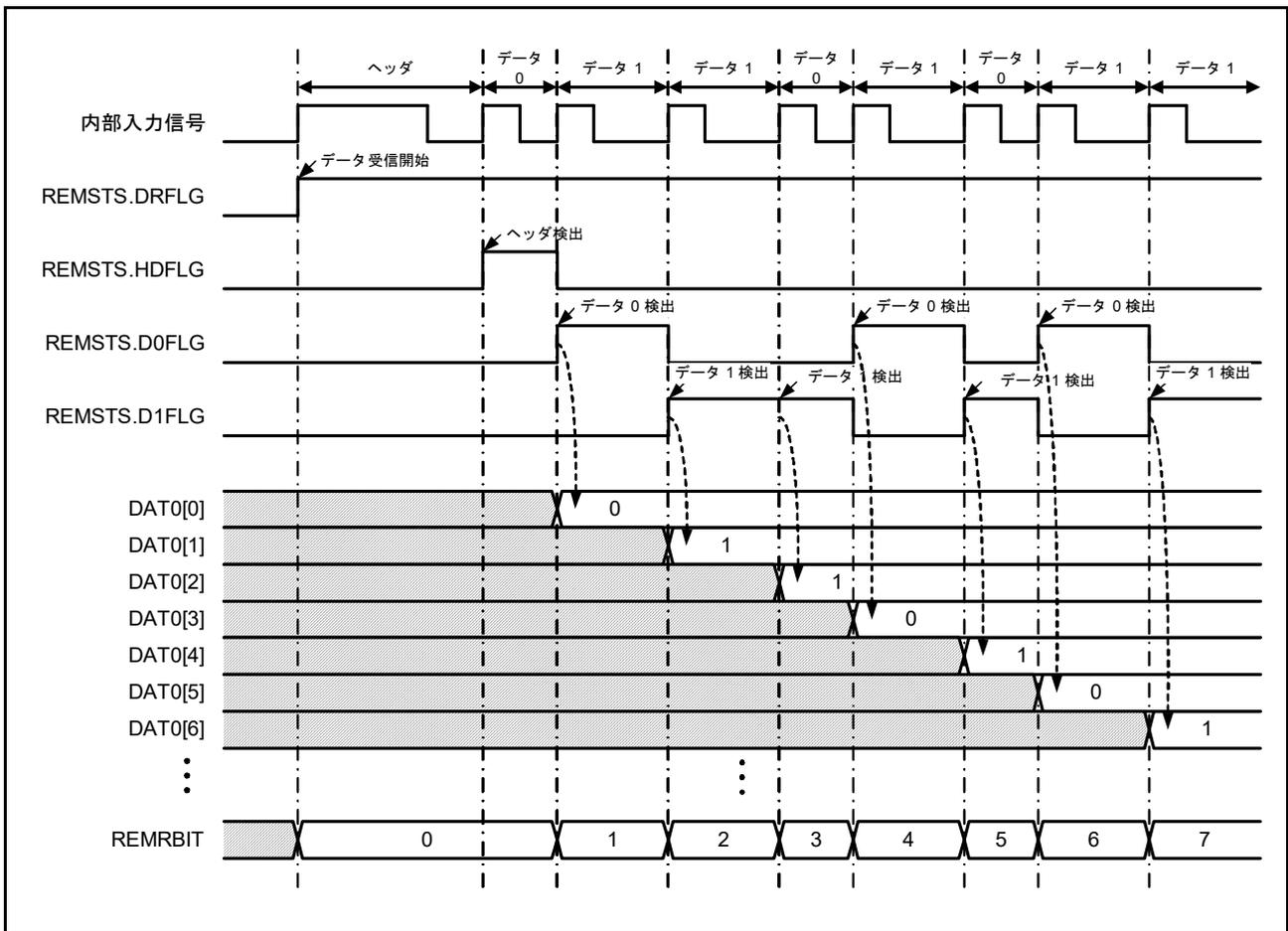


表18-4 受信ビット数とデータ格納場所の関係

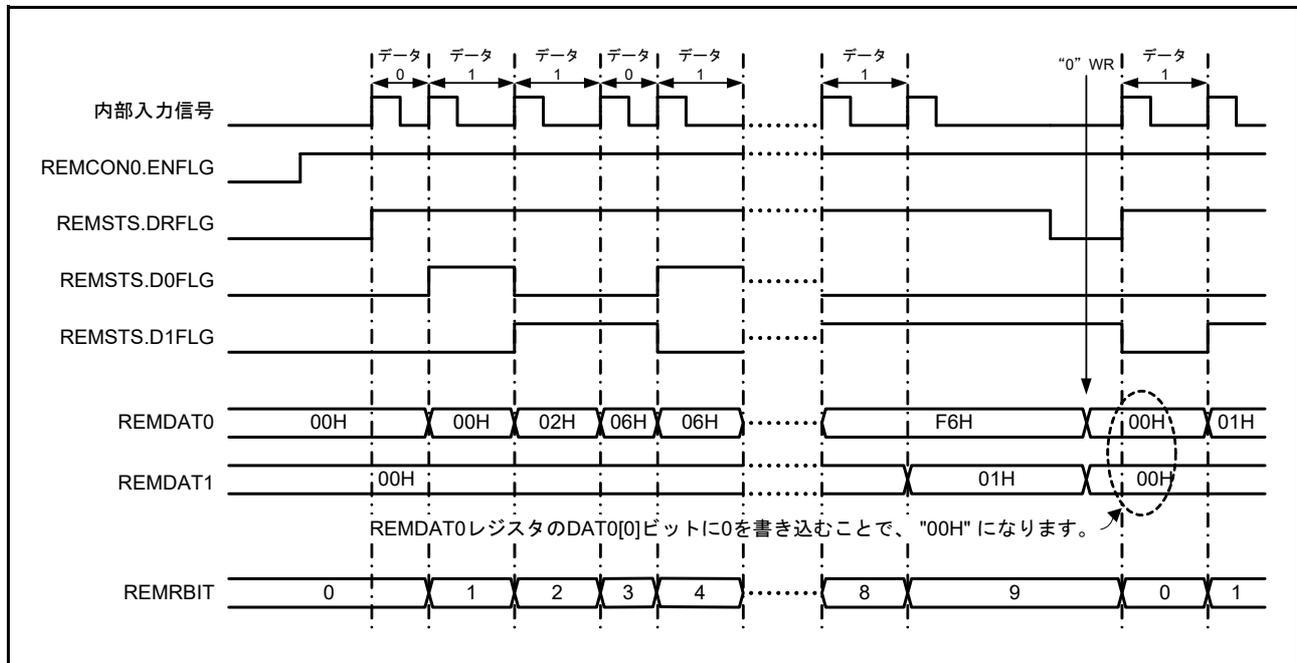
受信ビット数	格納場所	
	レジスタ名	ビット名
1	REMDAT0	DAT0[0]
2		DAT0[1]
3		DAT0[2]
4		DAT0[3]
5		DAT0[4]
6		DAT0[5]
7		DAT0[6]
8		DAT0[7]
9	REMDAT1	DAT1[0]
10		DAT1[1]
11		DAT1[2]
12		DAT1[3]
13		DAT1[4]
14		DAT1[5]
15		DAT1[6]
16		DAT1[7]
17	REMDAT2	DAT2[0]
18		DAT2[1]
19		DAT2[2]
20		DAT2[3]
21		DAT2[4]
22		DAT2[5]
23		DAT2[6]
24		DAT2[7]
25	REMDAT3	DAT3[0]
26		DAT3[1]
27		DAT3[2]
28		DAT3[3]
29		DAT3[4]
30		DAT3[5]
31		DAT3[6]
32		DAT3[7]

受信ビット数	格納場所	
	レジスタ名	ビット名
33	REMDAT4	DAT4[0]
34		DAT4[1]
35		DAT4[2]
36		DAT4[3]
37		DAT4[4]
38		DAT4[5]
39		DAT4[6]
40		DAT4[7]
41	REMDAT5	DAT5[0]
42		DAT5[1]
43		DAT5[2]
44		DAT5[3]
45		DAT5[4]
46		DAT5[5]
47		DAT5[6]
48		DAT5[7]
49	REMDAT6	DAT6[0]
50		DAT6[1]
51		DAT6[2]
52		DAT6[3]
53		DAT6[4]
54		DAT6[5]
55		DAT6[6]
56		DAT6[7]
57	REMDAT7	DAT7[0]
58		DAT7[1]
59		DAT7[2]
60		DAT7[3]
61		DAT7[4]
62		DAT7[5]
63		DAT7[6]
64		DAT7[7]

注意 65ビット目以降は、1ビット目から順に上書きされます。

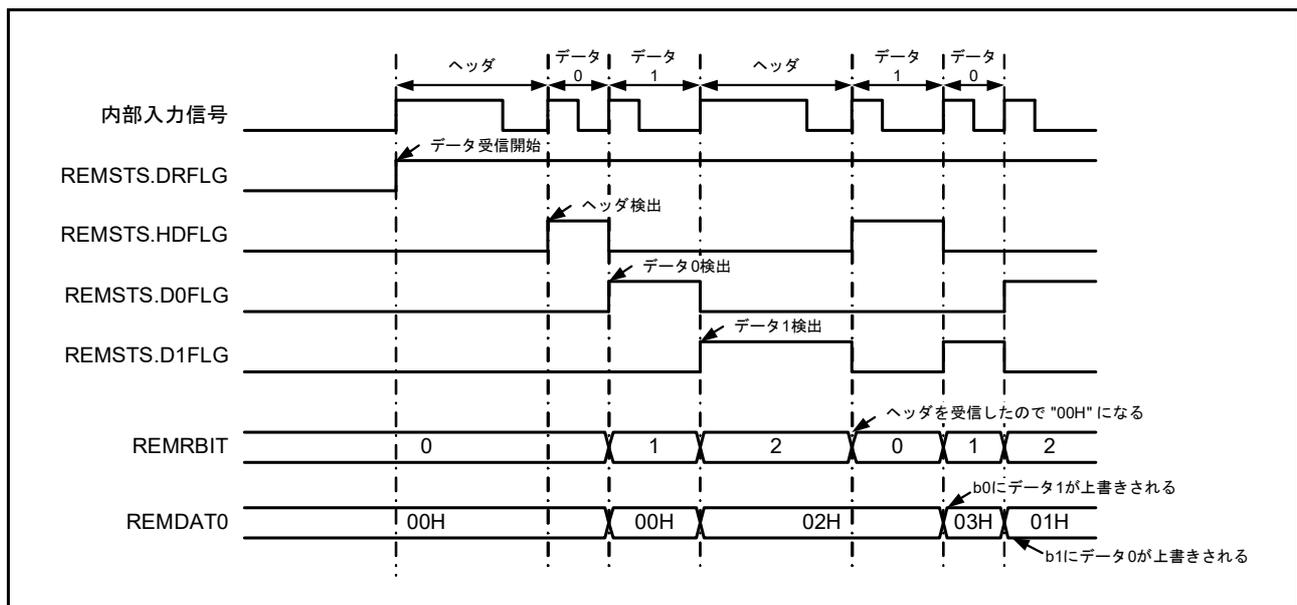
REMDAT0.DAT0[0] ビットに 0 を書き込んだ場合、動作クロックの 1 ~ 2 サイクル後に REMDAT0-7 レジスタの値が "00H" になります。REMDAT0 レジスタに "00H" を書き込んだ際の REMDATj/REMRBIT レジスタの動作説明を **図 18 - 35** に示します。

図 18 - 35 REMDATj/REMRBIT レジスタ動作説明 (REMDAT0 レジスタに "00H" 書き込み)



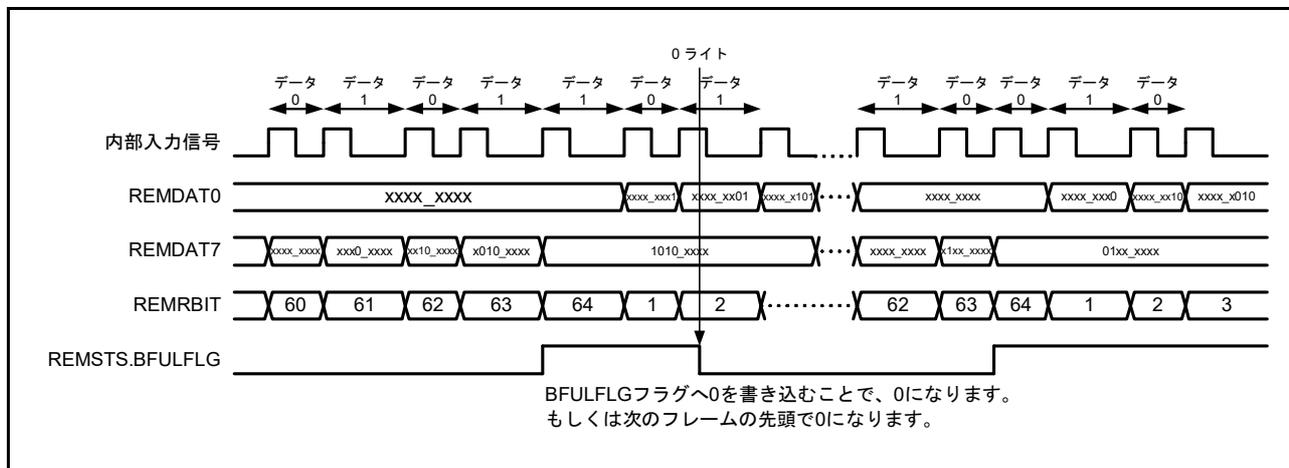
REMRBIT.RBIT[0] ビットに 0 を書き込んだ場合、動作クロックの 1 ~ 2 サイクル後に REMRBIT レジスタの値が "00H" になります。また、REMCN1.TYP[1:0] ビットが "00B"、"01B" の場合、データ受信中にヘッダ・パターンを検出すると、REMRBIT レジスタは "00H" に初期化され、以降の受信データは REMDAT0.DAT0[0] ビットから順番に上書きされます。 **図 18 - 36** にデータ受信中のヘッダ・パターン検出動作を示します。

図 18 - 36 データ受信中のヘッダ・パターン検出動作



データが64ビットを超えると1ビット目のデータから順次上書きします。REMSTS.BFULFLG フラグが1のときのREMRBITレジスタの動作説明を図18-37に示します。

図18-37 REMRBITレジスタ動作説明 (REMSTS.BFULFLG フラグが1になるとき)



### 18.3.9 コンペア機能

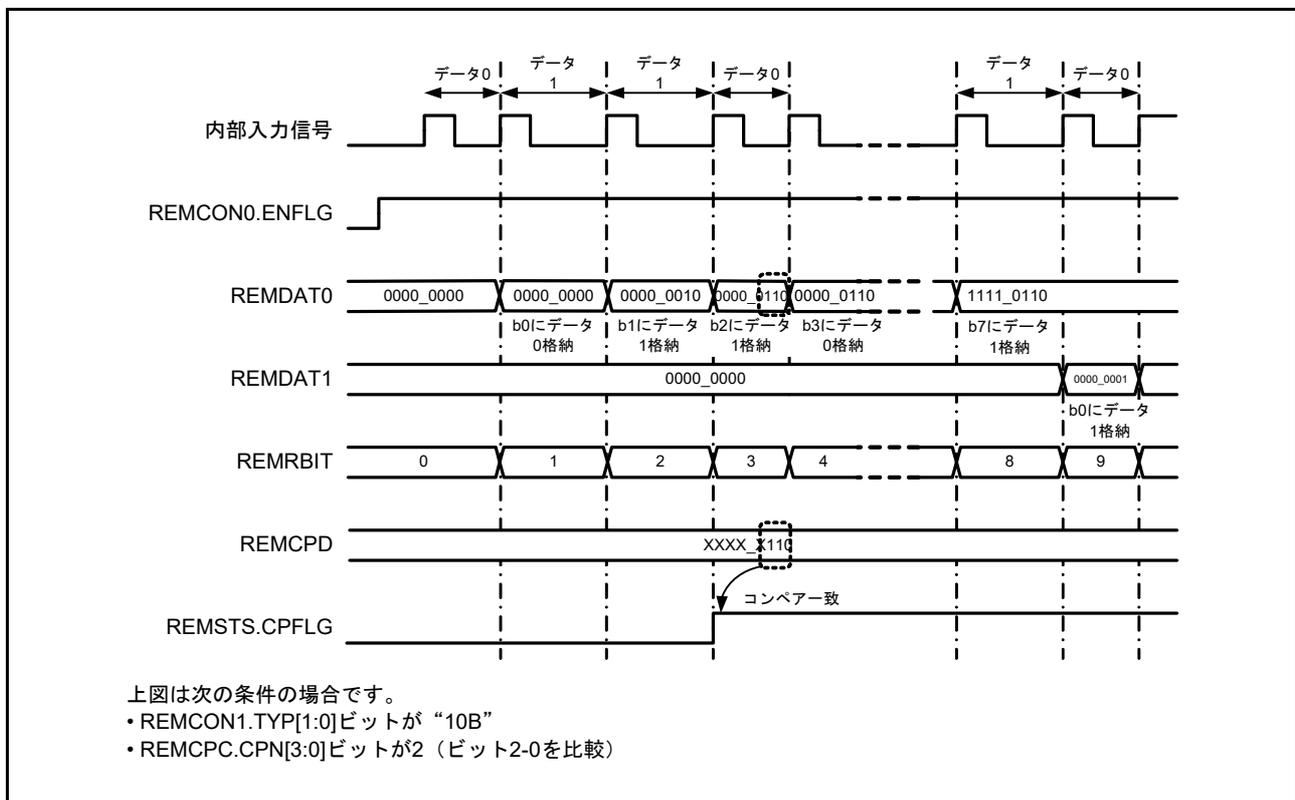
REMCPCD レジスタと REMDAT1,0 レジスタの内容を比較します。その結果、リモコン信号の最初の 1～16 ビットが特定の値であることを検出できます。図 18-38 に受信バッファとコンペア機能の動作タイミングを示します。

コンペア機能を使用する場合は以下に示すようにレジスタを設定してください。

- REMCPCD.CPN[3:0] ビットで比較するビットを選択  
(設定値を n とすると、ビット n-0 を比較。n: 0-15)
- REMCPCD レジスタに比較データを設定  
REMRBIT レジスタが REMCPCD.CPN[3:0] ビットで設定したビットになるとき、REMCPCD レジスタと REMDAT1,0 レジスタの比較結果が一致すると REMSTS.CPFLG フラグが 1 (コンペアー致) になります。

64 ビット以上の受信で REMRBIT レジスタが REMCPCD.CPN[3:0] ビットで設定したビットになるとき、REMCPCD レジスタと REMDAT1,0 レジスタの比較結果が一致しても REMSTS.CPFLG フラグは 1 (コンペアー致) になりません。

図 18-38 受信バッファとコンペア機能



### 18.3.10 エラーパターン受信

データ受信中にエラーパターンを検出した場合、REMCN0.EC ビットの設定により、以降の動作が異なります。

REMCN0.EC ビットを 0 にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 18 - 39 に示します。REMCN0.EC ビットが 0 でエラーを検出した場合、エラー検出時のデータ取り込みは行いませんが、以降のデータ 0 パターンまたはデータ 1 パターン検出でデータを取り込みます。

REMCN0.EC ビットを 1 にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 18 - 40 に示します。REMCN0.EC ビットが 1 でエラーを検出した場合、それ以降のデータ 0 パターンまたはデータ 1 パターンを検出しても、REMRBIT レジスタおよび REMDAT0-7 レジスタの値を更新しません。いったん REMSTS.DRFLG がクリアされ、データ受信が完了した後、再度データ受信が開始した場合、REMSTS.REFLG はクリアされ、データ取り込みが行われます。

図 18 - 39 エラー検出時の REMDAT0、REMRBIT レジスタ動作説明 (REMCN0.EC ビット = 0)

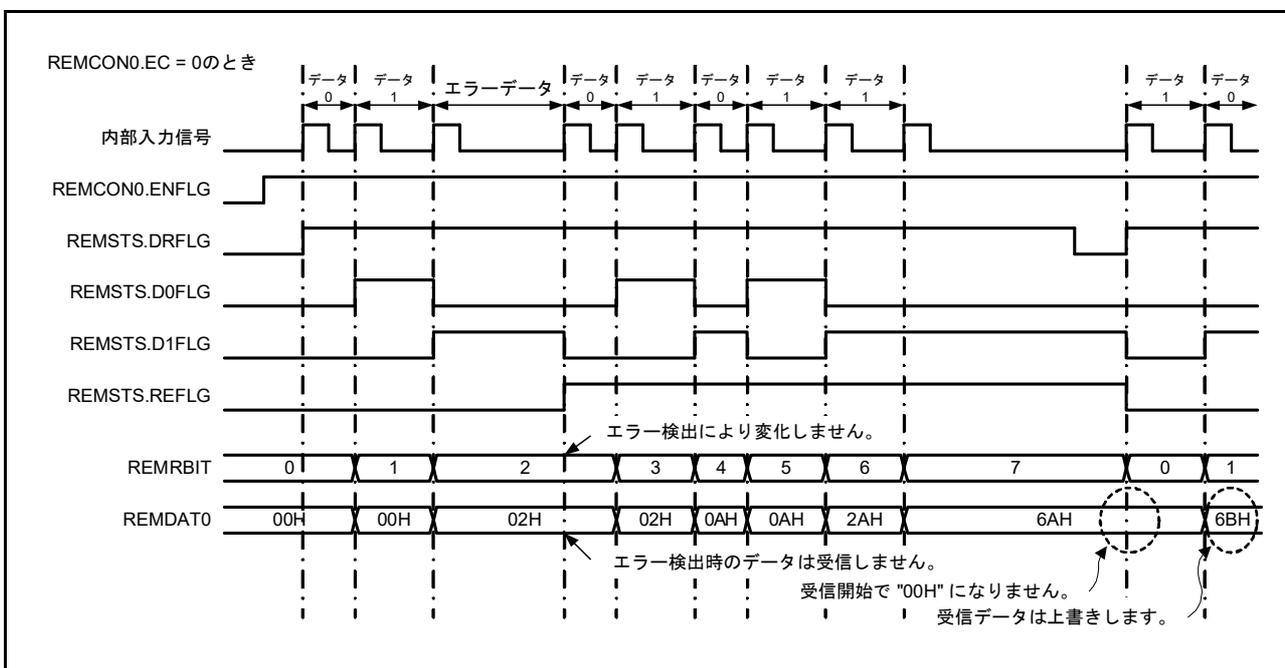
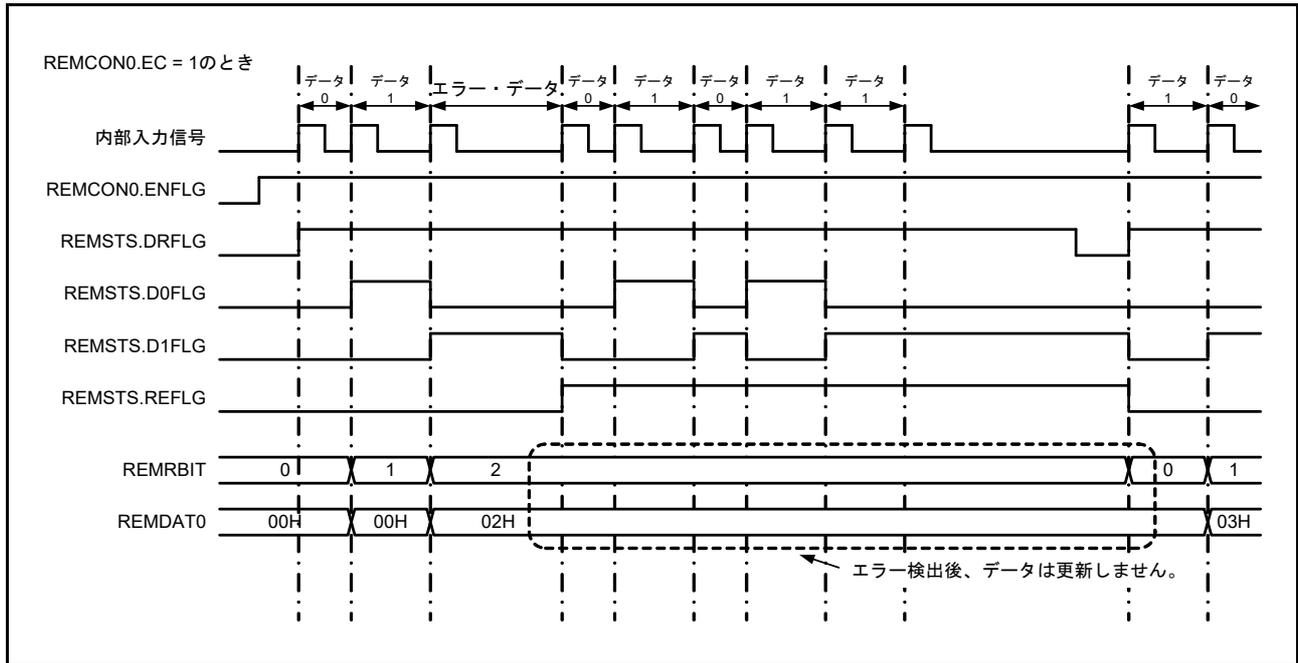


図18-40 エラー検出時のREMDAT0、REMRBITレジスタ動作説明 (REMCN0.ECビット=1)

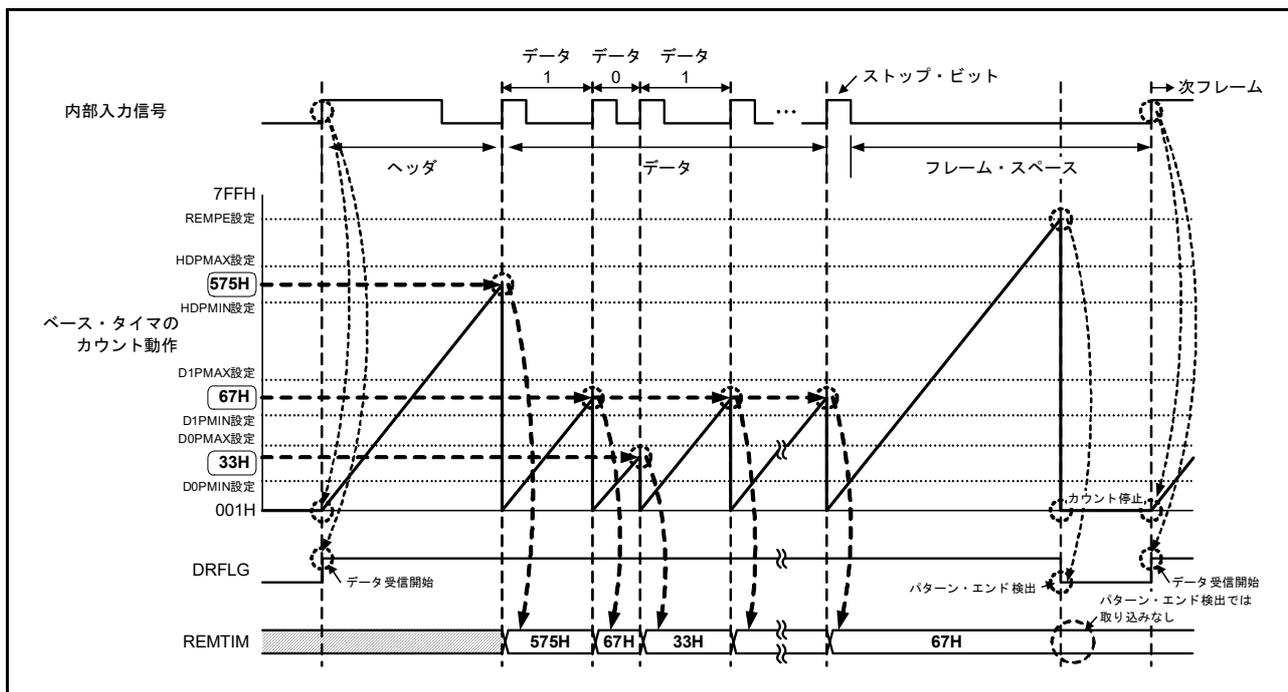


### 18.3.11 パターン検出時のベース・タイマ値格納

測定結果レジスタ (REMTIM) には、以下のパターンを検出したときのベース・タイマの値が格納されます。これにより、各パターン幅を測定することができます。測定機能の動作例を図 18 - 41 に示します。

- ヘッダ・パターン
- データ0パターン
- データ1パターン
- 特殊データ・パターン
- 上記以外のデータ・パターン (受信エラー)

図 18 - 41 測定機能の動作例



## 18.3.12 割り込み

REMCの割り込み要求には、コンペアー一致、受信エラー、データ受信完了、受信バッファ・フル、ヘッダ・パターン一致、データ0パターンまたはデータ1パターン一致、特殊データ・パターン一致割り込みがあります。これらの割り込み要求の発生条件と選択した割り込みモードの発生条件が成立すると、割り込み要求が出力されます。

割り込みモードには、ノーマル割り込みモード (OR 条件) とシーケンシャル割り込みモード (AND 条件) があり、REMCON1.INTMD ビットで選択できます。ノーマル割り込みモードは、REMINT レジスタの割り込み許可ビットが1のいずれかの割り込み発生条件が成立すると割り込み要求信号 (INTREMC) を発生します。シーケンシャル割り込みモードは、コンペアー一致、データ受信完了、ヘッダ・パターン一致および特殊データ・パターン一致の要因で、REMINT レジスタの割り込み許可ビットが1のすべての割り込み発生条件が成立した場合に割り込み (INTREMC) を発生します。

表 18 - 5 に REMC の割り込み要因を示します。割り込み制御の詳細は第 21 章 割り込み機能を参照してください。

表18 - 5 REMCの割り込み要因

割り込み要因	割り込み要求発生条件	割り込みステータス・フラグ	割り込み許可ビット
コンペアー一致	REMSTS.CPFLG フラグが0から1になるとき	REMSTS.CPFLG	REMINT.CPINT
受信エラー	REMSTS.REFLG フラグが0から1になるとき (受信エラーを検出したとき)	REMSTS.REFLG	REMINT.REINT
データ受信完了	REMSTS.DRFLG フラグが1から0になるとき	REMSTS.DRFLG	REMINT.DRINT
受信バッファ・フル	REMSTS.BFULFLG フラグが0から1になるとき	REMSTS.BFULFLG	REMINT.BFULINT
ヘッダ・パターン一致	REMSTS.HDFLG フラグが0から1になるとき (ヘッダ・パターンを検出したとき)	REMSTS.HDFLG	REMINT.HDINT
データ0パターンまたはデータ1パターン一致	<ul style="list-style-type: none"> <li>• REMSTS.D0FLG フラグが0から1になるとき (データ0パターンを検出したとき)</li> <li>• REMSTS.D1FLG フラグが0から1になるとき (データ1パターンを検出したとき)</li> </ul>	REMSTS.D0FLG, REMSTS.D1FLG	REMINT.DINT
特殊データ・パターン一致	REMSTS.SDFLG フラグが0から1になるとき (特殊データ・パターンを検出したとき)	REMSTS.SDFLG	REMINT.SDINT

### 18.3.13 SNOOZEモード機能

STOPモード時にRIN0端子入力のレベル変化の検出によりリモコンのデータ受信動作をさせるモードです。REMC動作クロックにタイマ割り込み (INTTM06) を選択した場合、通常STOPモード時にREMC受信動作は停止しますが、このモードを使うことで、RIN0端子入力のレベル変化の検出によってCPUを動作させずにリモコンのデータ受信ができます。

SNOOZEモードは、REMC動作クロックにタイマ割り込み (INTTM06) を選択した場合のみ使用できます。この場合、タイマ・アレイ・ユニット0チャンネル6のカウント・クロックとなるCPU/周辺ハードウェア・クロックはSNOOZEモードで動作可能なクロックを選択してください。

REMCをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。

- STOPモードに移行する直前に各レジスタの初期設定を行います。SNOOZEモードでリモコンのデータ受信動作をさせる場合には、REMCN0.FILビットを1 (デジタル・フィルタ有効) に、REMSTC.DNFSLビットを1 (fsXPでサンプリング) にしてください。
- 初期設定完了後、REMSTC.SNZONビットを1にしてから、REMCN1.ENビットを1にしてください。
- STOPモードに移行後、RIN0端子入力の有効エッジを検出すると、SNOOZEモードへ移行します。REMC動作クロックとしてタイマ割り込み (INTTM06) 入力することにより、REMCは受信動作を開始します。
- コンペアー一致割り込み、ヘッダ・パターン一致割り込み等、REMINTレジスタで設定した割り込み要因発生により通常動作モードに復帰した後、SNZONビットを0にしてください。

**注意** SNOOZEモードは、タイマ・アレイ・ユニット0チャンネル6のカウント・クロックに高速オンチップ・オシレータ・クロック (fih) または、中速オンチップ・オシレータ・クロック (fim) を選択している場合のみ設定可能です。

**備考** 動作クロックに低速周辺クロック (fsXP) を選択している場合は、STOPモード時でもリモコンのデータ受信動作ができます。

SNOOZE モードから通常動作モードへの復帰条件は、割り込みモードの関係を表 18 - 6 に示します。

表18 - 6 割り込みモードとSNOOZEモードからの遷移

	ノーマル割り込みモード	シーケンシャル割り込みモード
選択可能な割り込み要因	ヘッダ・パターン一致 コンペアー一致 データ受信完了 特殊データ・パターン一致 データ0 またはデータ1 パターン一致 受信バッファ・フル 受信エラー	ヘッダ・パターン一致 コンペアー一致 特殊データ・パターン一致 データ受信完了 データ0 またはデータ1 パターン一致注 受信バッファ・フル注 受信エラー注
SNOOZE →通常動作モード復帰条件	<ul style="list-style-type: none"> <li>REMINTで割り込み許可に設定した、以下いずれかの割り込みが発生 ヘッダ・パターン一致 コンペアー一致 特殊データ・パターン一致 データ受信完了 データ0 またはデータ1 パターン一致 受信バッファ・フル 受信エラー</li> </ul>	<ul style="list-style-type: none"> <li>以下要因のうち、REMINTで割り込み許可にした割り込みがすべて発生 ヘッダ・パターン一致 コンペアー一致 特殊データ・パターン一致 データ受信完了</li> <li>または</li> <li>REMINTで割り込み許可に設定した、以下いずれかの割り込みが発生 データ0 またはデータ1 パターン一致 受信バッファ・フル 受信エラー</li> </ul>
SNOOZE →STOP遷移条件	データ受信完了割り込み無効で、許可設定したいずれの割り込みも発生せず、データ受信完了	データ受信完了割り込み無効で、許可設定した割り込みすべてが発生せず、データ受信完了

注 シーケンシャル割り込みモードにおけるAND条件の要因には含まず、ノーマル割り込みモードと同様にOR条件で割り込みが発生します。

図18-42 コンペア不一致でのSNOOZEモード継続

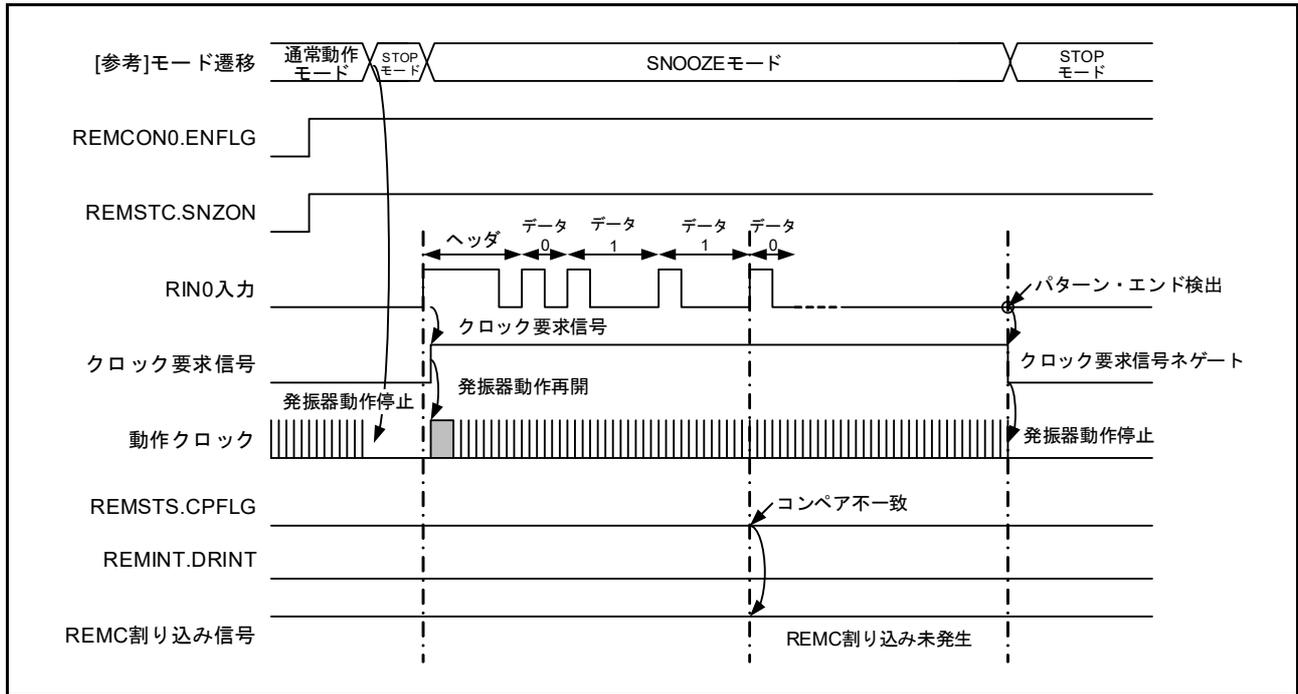


図18-43 コンペア一致での通常動作モード復帰

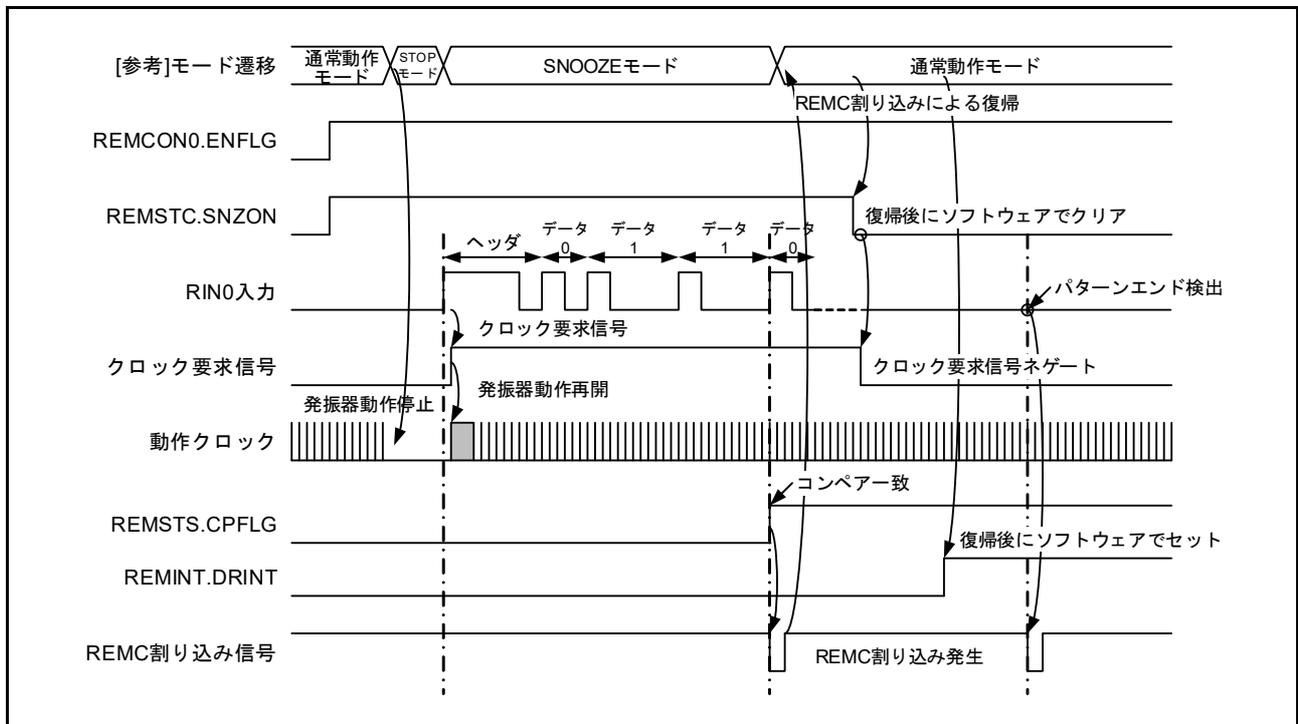
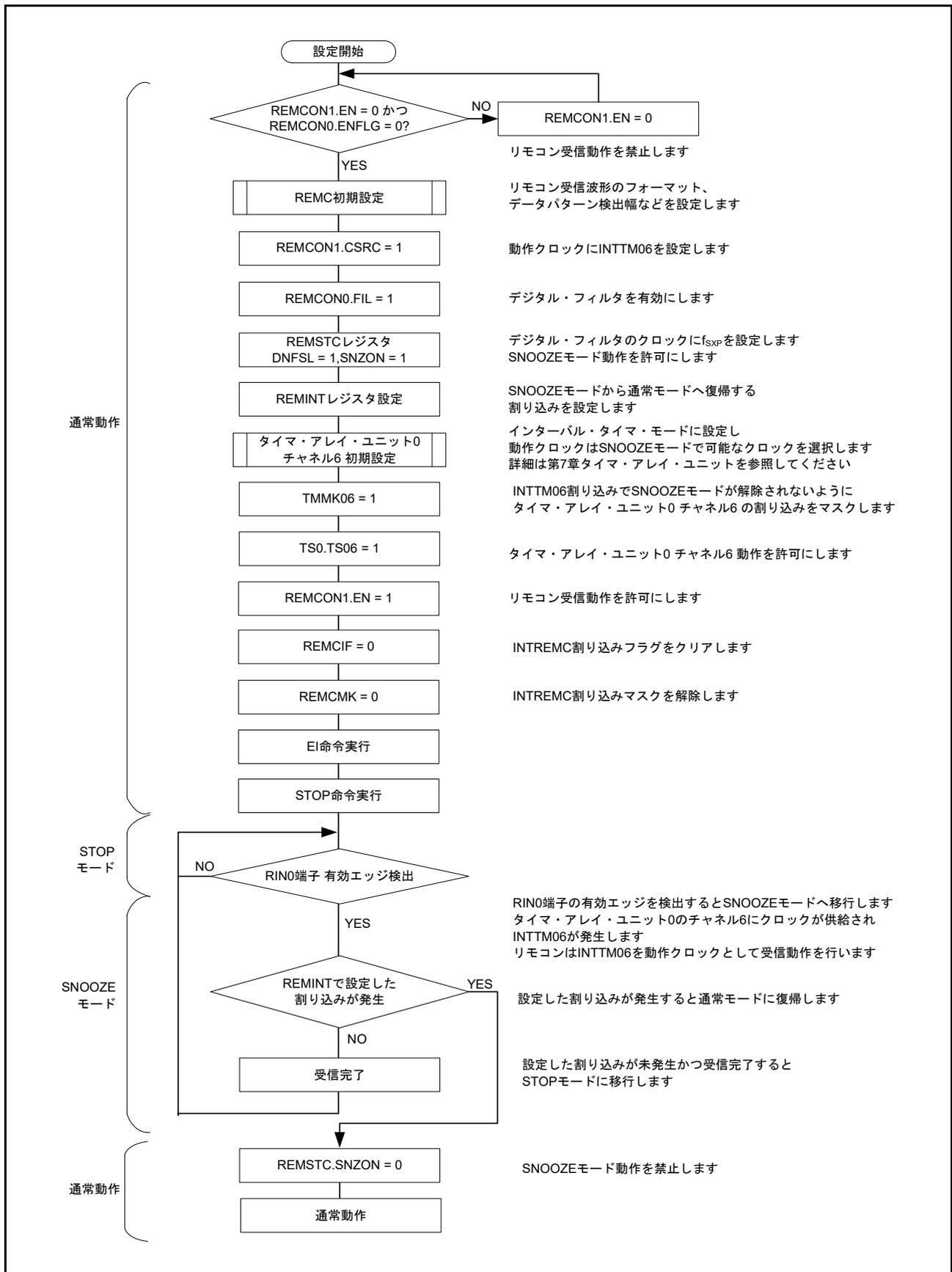


図 18 - 44 SNOOZEモード設定のフロー・チャートの例



## 18.4 使用時の注意事項

### 18.4.1 リモコン信号受信機能の動作開始時のレジスタアクセス

REMCON1.EN ビットは、リモコン信号受信機能の動作開始または停止を制御するビットです。REMCON0.ENFLG フラグは動作の開始・停止したことを示すフラグです。REMCON1.EN ビットを1 (動作許可) にすると REMC 回路が動作を開始し、REMCON0.ENFLG フラグが1になるまで、最大で動作クロックの0~1サイクルかかります。この間、REMCON0.ENFLG フラグを除く REMC 関連レジスタ (18.2.1 ~ 18.2.22 に示したレジスタ) をアクセスしないでください。

### 18.4.2 レジスタ変更タイミング

以下のレジスタは REMCON1.EN ビットと、REMCON0.ENFLG フラグがともに0 (REMC 停止) のときに変更してください。

- REMCON0 レジスタ
- REMCON1 レジスタ (ビット0-2を除く)
- REMINT レジスタ (ビット2, 5を除く)
- REMCPC レジスタ
- REMCPD レジスタ
- ヘッダ・パターン、データ0パターン、データ1パターン、特殊データ・パターンのパターン幅設定レジスタ
- パターン・エンド設定レジスタ
- REMSTC レジスタ

REMCON1.EN ビット、または REMCON0.ENFLG フラグが1 (REMC 動作) のときに REMCON1.TYP[1:0] ビットを書き換える場合、1ビットごとに値を変更してください。また REMCON0.INFLG フラグの切り替わり時に本ビットを書き換えるとリモコン信号受信機能に取り込まれる信号は不定となる場合があります。

REMDAT0, REMRBIT レジスタのビット0もしくは REMSTS.BFULFLG フラグに0を書き込んだ後に、再度同一ビットに0を書き込む際には動作クロック2サイクル間は書き込まないでください。REMCON0.INFLG フラグの切り替わり時に0を書き込んだ場合は、REMDATj, REMRBIT レジスタ、REMSTS.BFULFLG フラグは不定となる場合があります。

### 18.4.3 RIN0入力制御

REMCON0.FILSEL、FIL、INV ビットを書き換えた場合、デジタル・フィルタのサンプリング・クロックの3サイクルの間、リモコン信号受信機能に取り込まれる信号は不定です。

### 18.4.4 動作クロックの変更

REMCON1.CSRC ビットを書き換えた場合、REMCON0, REMCON1, REMINT, REMCPC, REMCPD, REMPE レジスタ、ヘッダ・パターン、データ0パターン、データ1パターン、特殊データ・パターン幅設定レジスタを再度設定してください。

### 18.4.5 レジスタ読み出し手順

次のレジスタのデータが変化するタイミングで読み出すと、不定値を読み出すことがあります。

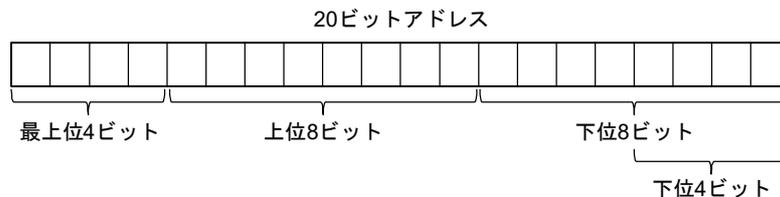
REMCON0, REMSTS レジスタの各フラグ (REMSTS.DRFLG フラグ除く)、REMTIM, REMDAT0-REMDAT7, REMRBIT レジスタ

このタイミングを避けるため、これらのレジスタは以下に示す方法で読み出してください。

- 割り込みを使用する方法  
REMINT.DRINT ビットを1 (データ受信完了割り込み許可) にしておき、REMC 割り込みルーチン内で読み出す
- プログラムで監視する方法1  
REMINT.DRINT ビットを1 (データ受信完了割り込み許可) にしておき、プログラムでREMCIF フラグを監視し、1 (割り込み要求発生) になったら読み出す
- プログラムで監視する方法2
  1. REMSTS.DRFLG フラグを監視する
  2. REMSTS.DRFLG フラグが1になったら、0になるまで監視する
  3. REMSTS.DRFLG フラグが0になったら、必要な内容を読み出す

## 第19章 データ・トランスファ・コントローラ (DTC)

本章の説明で記載されているアドレスの上位8ビットとは下記のとおり、20ビットアドレスのビット(15-8)になります。



また、本章の説明の中で、特に指定がない場合、アドレスの最上位4ビットはすべて1 (FxxxxH) になります。

### 19.1 DTCの機能

データ・トランスファ・コントローラ (DTC) は、CPU を使わずにメモリとメモリの間でデータを転送する機能です。DTC は周辺機能割り込みによって起動し、データ転送します。DTC は CPU と同じデータ・バスを使用し、DTC のバス使用権は CPU よりも優先されます。

表 19 - 1 に DTC の仕様を示します。

表 19 - 1 DTCの仕様 (1/2)

項目		仕様
起動要因		30 要因 (30, 32 ピン製品) / 32 要因 (36 ピン製品) / 33 要因 (40 ピン製品) / 35 要因 (44 ピン製品) / 36 要因 (48, 52 ピン製品) / 37 要因 (64 ピン製品) / 39 要因 (80, 100, 128 ピン製品)
配置可能なコントロール・データ		24 通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間 (F0000H-FFFFFFH) ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ (SFR)、RAM 領域 (汎用レジスタを除く) 注1、ミラー領域注2、データ・フラッシュ・メモリ領域注2、拡張特殊機能レジスタ (2nd SFR)
	デスティネーション	特殊機能レジスタ (SFR)、RAM 領域 (汎用レジスタを除く)、拡張特殊機能レジスタ (2nd SFR)
最大転送回数	ノーマル・モード	256 回
	リピート・モード	255 回
最大転送ブロック・サイズ	ノーマル・モード (8ビット転送)	256 バイト
	ノーマル・モード (16ビット転送)	512 バイト
	リピート・モード	255 バイト
転送単位		8ビット / 16ビット
転送モード	ノーマル・モード	DTCCTJレジスタが1から0になる転送で終了する
	リピート・モード	DTCCTJレジスタが1から0になる転送終了後、リピート・エリアのアドレスを初期化し、DTRLJレジスタの値がDTCCTJレジスタへリロードして転送を継続する

表19-1 DTCの仕様 (2/2)

項目		仕様
アドレス制御	ノーマル・モード	固定、または加算
	リピート・モード	リピート・エリアでないアドレスを固定、または加算
起動要因優先度		表19-3 DTC起動要因とベクタ・アドレス参照
割り込み要求	ノーマル・モード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピート・モード	DTCCRjレジスタのRPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0-DTCENi7ビットを1（起動許可）にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマル・モード	DTCENi0-DTCENi7ビットを0（起動禁止）にする DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピート・モード	DTCENi0-DTCENi7ビットを0（起動禁止）にする RPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

**注1.** メモリ電力削減制御レジスタ (PSMCR) により内蔵RAMを待機モードおよびシャットダウン・モードに設定した場合 (RAMSDMD = 1)、内蔵RAMをDTC転送元および転送先にできません。

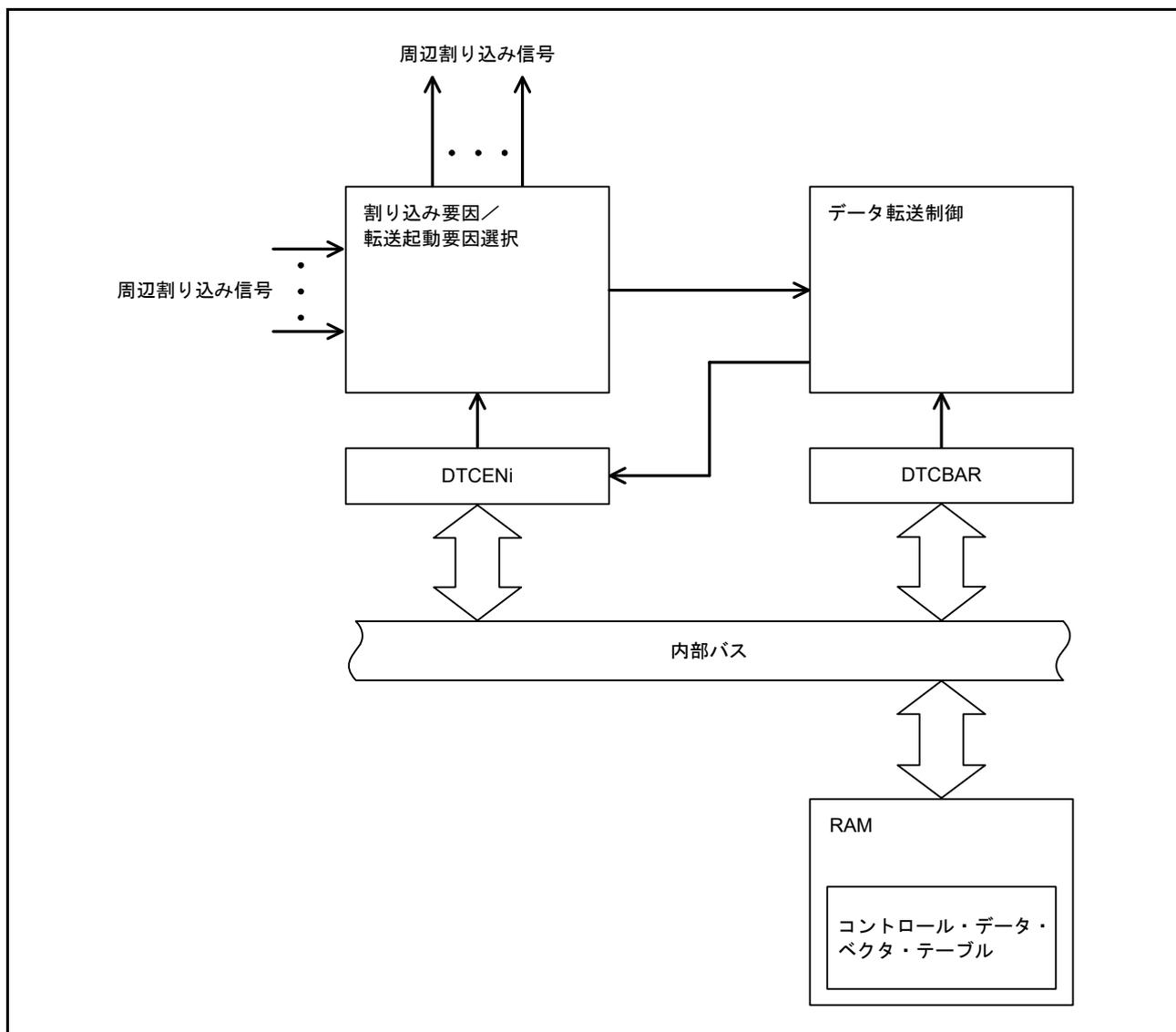
**注2.** HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。  
メモリ電力削減制御レジスタ (PSMCR) により内蔵RAMを待機モードおよびシャットダウン・モードに設定した場合 (RAMSDMD = 1)、内蔵RAMをDTC転送元および転送先にできません。

**備考** i = 0-4, j = 0-23

## 19.2 DTCの構成

図 19 - 1 に DTC のブロック図を示します。

図 19 - 1 DTCのブロック図



備考 i = 0-4

## 19.3 DTCを制御するレジスタ

DTC を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0-4)
- DTCベース・アドレス・レジスタ (DTCBAR)

下記に DTC のコントロール・データを示します。

DTC のコントロール・データは RAM の DTC コントロール・データ領域に配置されます。

DTCBAR レジスタで DTC コントロール・データ領域と、コントロール・データの先頭番地を格納する DTC ベクタ・テーブル領域を含めた 256 バイトの領域を設定します。

- DTC制御レジスタ*j* (DTCCR*j*) (*j* = 0-23)
- DTCブロック・サイズ・レジスタ*j* (DTBLS*j*) (*j* = 0-23)
- DTC転送回数レジスタ*j* (DTCCT*j*) (*j* = 0-23)
- DTC転送回数リロード・レジスタ*j* (DTRL*Dj*) (*j* = 0-23)
- DTCソース・アドレス・レジスタ*j* (DTSAR*j*) (*j* = 0-23)
- DTCデスティネーション・アドレス・レジスタ*j* (DTDAR*j*) (*j* = 0-23)

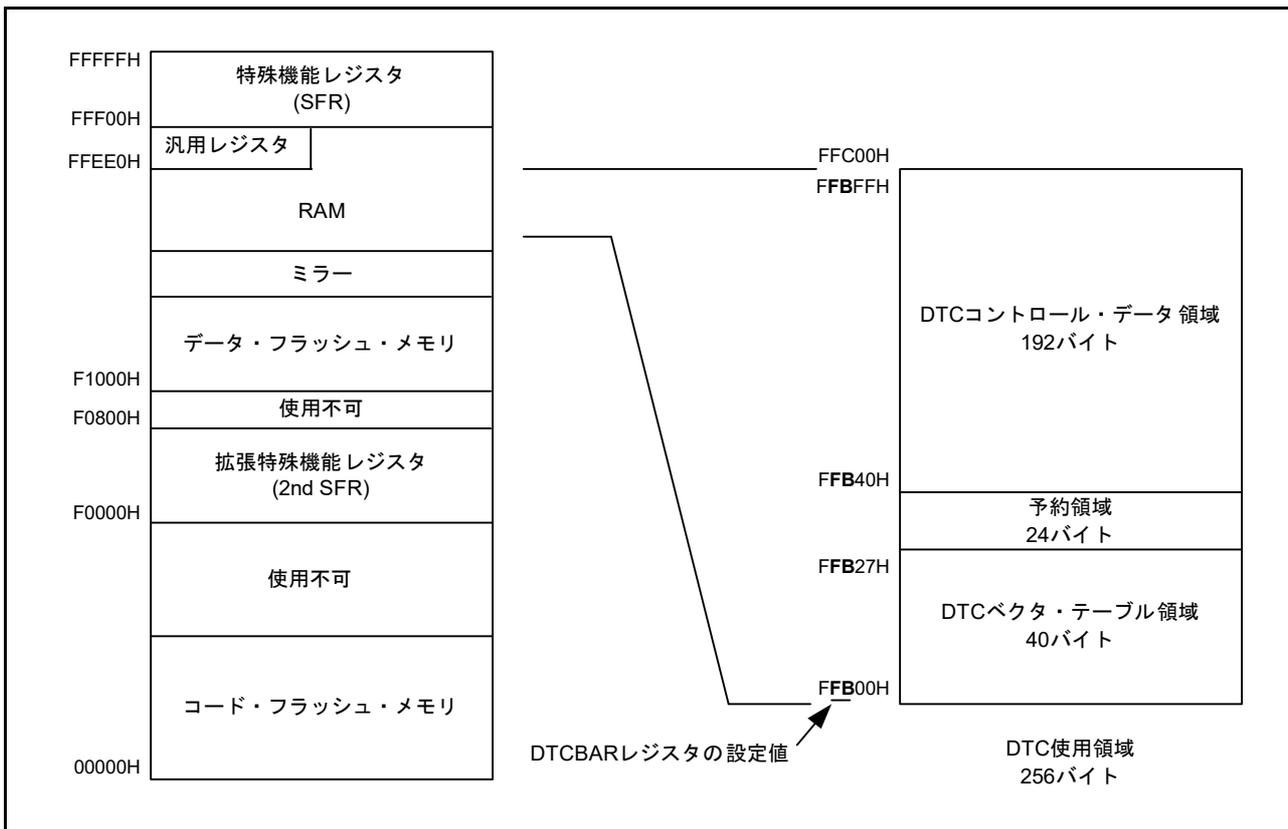
### 19.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCBARレジスタで、DTCのコントロール・データとベクタ・テーブルを配置する256バイトの領域をRAM領域内に設定します。

図19-2にDTCBARレジスタにFBHを設定したときのメモリ・マップ例を示します。

DTCコントロール・データ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図19-2 DTCBARレジスタにFBHを設定したときのメモリ・マップ例



DTCのコントロール・データとベクタ・テーブルを配置できる領域は製品によって異なります。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。
- 注意2. スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。
- 注意3. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。

R7F100GxG (x = A, B, C, E, F, G, J, L, M, P) : FC300H-FC6FFH  
 R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S) : FA300H-FA6FFH  
 R7F100GxL, N (x = F, G, J, L, M, P, S) : F4300H-F46FFH

### 19.3.2 コントロール・データの配置

コントロール・データは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0-23) レジスタの順に配置します。

先頭アドレス 0 ~ 23 の上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因ごとに割り当てられているベクタ・テーブルでそれぞれ設定します。

図 19 - 3 にコントロール・データの配置を示します。

**注意1.** DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応する DTCENi (i = 0-4) の DTCENi0-DTCENi7 ビットが 0 (起動禁止) のときに変更してください。

**注意2.** DTC 転送で DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj をアクセスしないでください。

図 19 - 3 コントロール・データの配置

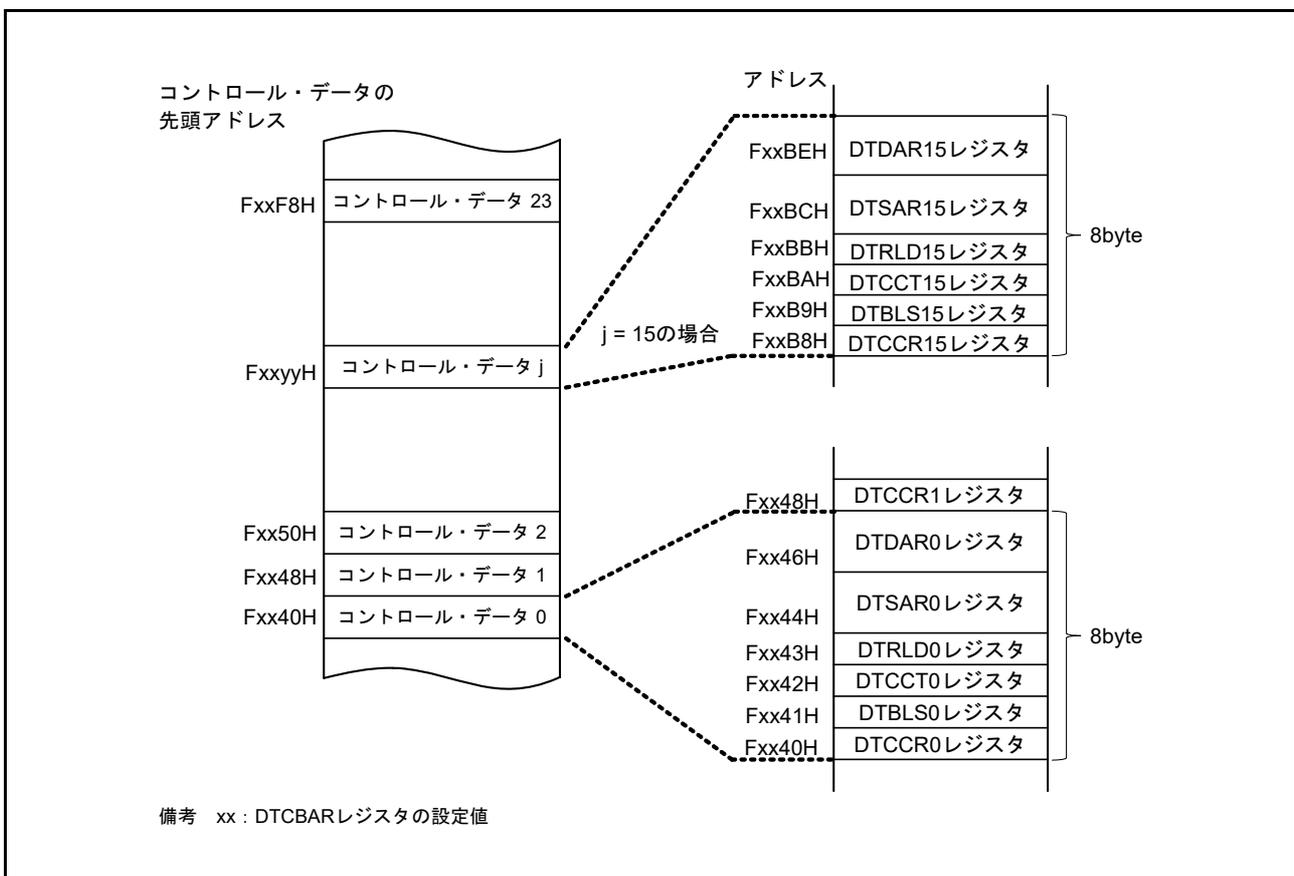


表19-2 コントロール・データの先頭アドレス

j	アドレス
11	Fxx98H
10	Fxx90H
9	Fxx88H
8	Fxx80H
7	Fxx78H
6	Fxx70H
5	Fxx68H
4	Fxx60H
3	Fxx58H
2	Fxx50H
1	Fxx48H
0	Fxx40H

j	アドレス
23	FxxF8H
22	FxxF0H
21	FxxE8H
20	FxxE0H
19	FxxD8H
18	FxxD0H
17	FxxC8H
16	FxxC0H
15	FxxB8H
14	FxxB0H
13	FxxA8H
12	FxxA0H

備考 xx : DTCBARレジスタの設定値

### 19.3.3 ベクタ・テーブル

DTC が起動すると、起動要因ごとに割り当てられているベクタ・テーブルから読み出したデータによりコントロール・データを決定し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。

表 19-3 に DTC 起動要因とベクタ・アドレスを示します。起動要因ごとにベクタ・テーブルが 1 バイトあり、40H から F8H のデータを格納し、24 組のコントロール・データから 1 つを選択します。ベクタ・アドレスの上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因に対応して 00H から 27H までが割り当てられます。

**注意** ベクタ・テーブルに設定する DTC コントロール・データ領域の先頭番地は、対応する DTCENi (i = 0-4) レジスタの DTCENi0-DTCENi7 ビットが 0 (起動禁止) のときに変更してください。

図 19-4 コントロール・データの先頭アドレスとベクタ・テーブル

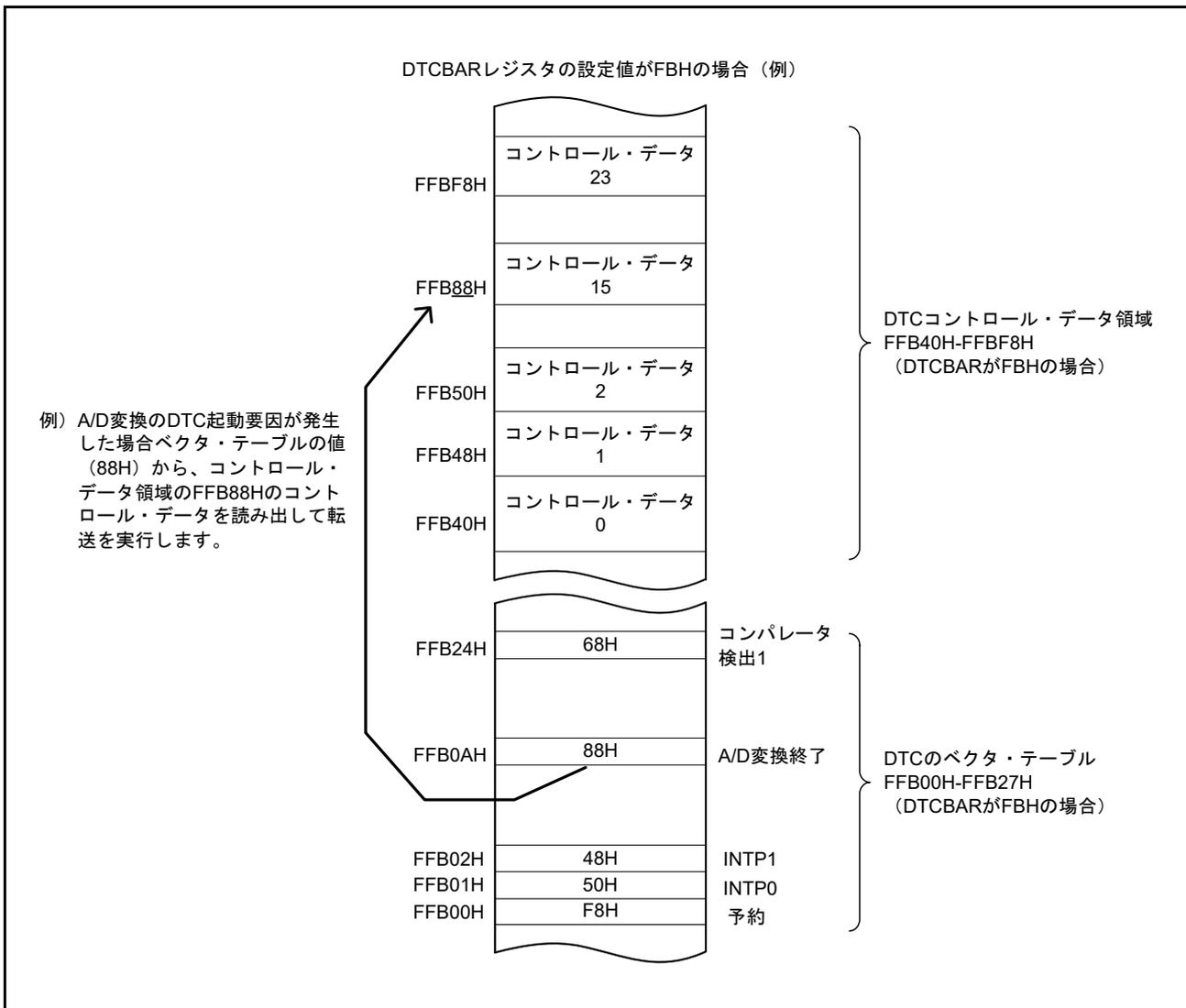


表19-3 DTC起動要因とベクタ・アドレス

DTC起動要因 (割り込み要因発生元)	要因番号	ベクタ・アドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス + 00H	高   低
INTP0	1	DTCBARレジスタの設定アドレス + 01H	
INTP1	2	DTCBARレジスタの設定アドレス + 02H	
INTP2	3	DTCBARレジスタの設定アドレス + 03H	
INTP3	4	DTCBARレジスタの設定アドレス + 04H	
INTP4	5	DTCBARレジスタの設定アドレス + 05H	
INTP5	6	DTCBARレジスタの設定アドレス + 06H	
INTP6 <sup>注1</sup>	7	DTCBARレジスタの設定アドレス + 07H	
INTP7 <sup>注2</sup>	8	DTCBARレジスタの設定アドレス + 08H	
キー入力 <sup>注3</sup>	9	DTCBARレジスタの設定アドレス + 09H	
A/D変換終了	10	DTCBARレジスタの設定アドレス + 0AH	
UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	11	DTCBARレジスタの設定アドレス + 0BH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	12	DTCBARレジスタの設定アドレス + 0CH	
UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	13	DTCBARレジスタの設定アドレス + 0DH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	14	DTCBARレジスタの設定アドレス + 0EH	
UART2受信の転送完了/CSI21の転送完了またはバッファ空き/IIC21の転送完了	15	DTCBARレジスタの設定アドレス + 0FH	
UART2送信の転送完了/CSI20の転送完了またはバッファ空き/IIC20の転送完了	16	DTCBARレジスタの設定アドレス + 10H	
UART3受信の転送完了/CSI31の転送完了またはバッファ空き/IIC31の転送完了 <sup>注4</sup>	17	DTCBARレジスタの設定アドレス + 11H	
UART3送信の転送完了/CSI30の転送完了またはバッファ空き/IIC30の転送完了 <sup>注4</sup>	18	DTCBARレジスタの設定アドレス + 12H	
UARTA0受信の転送完了 <sup>注5</sup>	19	DTCBARレジスタの設定アドレス + 13H	
UARTA0送信の転送完了/バッファ空き <sup>注5</sup>	20	DTCBARレジスタの設定アドレス + 14H	
UARTA1受信の転送完了 <sup>注6</sup>	21	DTCBARレジスタの設定アドレス + 15H	
UARTA1送信の転送完了/バッファ空き <sup>注6</sup>	22	DTCBARレジスタの設定アドレス + 16H	
タイマ・アレイ・ユニット0のチャンネル0のカウント完了またはキャプチャ完了	23	DTCBARレジスタの設定アドレス + 17H	
タイマ・アレイ・ユニット0のチャンネル1のカウント完了またはキャプチャ完了	24	DTCBARレジスタの設定アドレス + 18H	
タイマ・アレイ・ユニット0のチャンネル2のカウント完了またはキャプチャ完了	25	DTCBARレジスタの設定アドレス + 19H	
タイマ・アレイ・ユニット0のチャンネル3のカウント完了またはキャプチャ完了	26	DTCBARレジスタの設定アドレス + 1AH	
タイマ・アレイ・ユニット0のチャンネル4のカウント完了またはキャプチャ完了	27	DTCBARレジスタの設定アドレス + 1BH	
タイマ・アレイ・ユニット0のチャンネル5のカウント完了またはキャプチャ完了	28	DTCBARレジスタの設定アドレス + 1CH	
タイマ・アレイ・ユニット0のチャンネル6のカウント完了またはキャプチャ完了	29	DTCBARレジスタの設定アドレス + 1DH	
タイマ・アレイ・ユニット0のチャンネル7のカウント完了またはキャプチャ完了	30	DTCBARレジスタの設定アドレス + 1EH	
リアルタイムクロックの定周期信号/アラーム一致検出	31	DTCBARレジスタの設定アドレス + 1FH	
32ビット・インターバル・タイマのインターバル信号検出	32	DTCBARレジスタの設定アドレス + 20H	
静電容量式タッチセンサのチャンネル毎の設定レジスタ書き込み要求	33	DTCBARレジスタの設定アドレス + 21H	
静電容量式タッチセンサの測定データ転送要求	34	DTCBARレジスタの設定アドレス + 22H	
コンパレータ検出0	35	DTCBARレジスタの設定アドレス + 23H	
コンパレータ検出1	36	DTCBARレジスタの設定アドレス + 24H	
ロジック&イベント・リンク・コントローラからのイベント出力	37	DTCBARレジスタの設定アドレス + 25H	
SNOOZEモード・シーケンサからのイベント出力	38	DTCBARレジスタの設定アドレス + 26H	
電圧検出 <sup>注7</sup>	39	DTCBARレジスタの設定アドレス + 27H	

**注1.** 48～128ピン製品のみ  
**注2.** 64～128ピン製品のみ  
**注3.** 40～128ピン製品のみ  
**注4.** 80～128ピン製品のみ  
**注5.** 36～128ピン製品のみ  
**注6.** 44～128ピン製品のみ  
**注7.** オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時もしくは電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時

### 19.3.4 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTC を使用する場合は、必ずビット3 (DTCEN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
	DTCEN	DTCの入カクロック供給の制御						
	0	入カクロック供給停止 ・DTCで使用するSFRへのライト不可						
	1	入カクロック供給 ・DTCは動作可						

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意 次のビットには必ず0を設定してください。

30ピン製品 : ビット2, 1

32ピン製品 : ビット2

## 19.3.5 DTC制御レジスタj (DTCCRj) (j = 0-23)

DTCCRj レジスタは、DTCの動作モードを制御します。

図19-6 DTC制御レジスタj (DTCCRj) のフォーマット (1/2)

アドレス : 19.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ	転送データサイズの選択							
0	8ビット							
1	16ビット							
RPTINT	リピート・モード割り込みの許可・禁止							
0	割り込み発生禁止							
1	割り込み発生許可							
MODEビットが0 (ノーマル・モード) のときRPTINTビットの設定は無効です。								
CHNE	チェーン転送の許可・禁止							
0	チェーン転送禁止							
1	チェーン転送許可							
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。								
DAMOD	転送先アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピート・モード) でRPTSELビットが0 (転送先がリピート・エリア) のときDAMODビットの設定は無効です。								
SAMOD	転送元アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピート・モード) でRPTSELビットが1 (転送元がリピート・エリア) のときSAMODビットの設定は無効です。								
RPTSEL	リピート・エリアの選択							
0	転送先がリピート・エリア							
1	転送元がリピート・エリア							
MODEビットが0 (ノーマル・モード) のときRPTSELビットの設定は無効です。								

図19-6 DTC制御レジスタj (DTCCRj) のフォーマット (2/2)

MODE	転送モードの選択
0	ノーマル・モード
1	リピート・モード

**注意** DTC転送でDTCCRjレジスタをアクセスしないでください。

### 19.3.6 DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0-23)

1回の起動で転送されるデータのブロック・サイズを設定します。

図19-7 DTCブロック・サイズ・レジスタj (DTBLSj) のフォーマット

アドレス : 19.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロック・サイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

**注意** DTC転送でDTBLSjレジスタをアクセスしないでください。

### 19.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0-23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図19-8 DTC転送回数レジスタj (DTCCTj) のフォーマット

アドレス : 19.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0
DTCCTj	転送回数							
00H	256回							
01H	1回							
02H	2回							
03H	3回							
.	.							
.	.							
.	.							
FDH	253回							
FEH	254回							
FFH	255回							

**注意** DTC転送でDTCCTjレジスタをアクセスしないでください。

### 19.3.8 DTC転送回数リロード・レジスタj (DTRLDj) (j = 0-23)

レポート・モードで転送回数レジスタの初期値を設定します。レポート・モード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図19-9 DTC転送回数リロード・レジスタj (DTRLDj) のフォーマット

アドレス : 19.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

**注意** DTC転送でDTRLDjレジスタをアクセスしないでください。

### 19.3.9 DTC ソース・アドレス・レジスタj (DTSARj) (j = 0-23)

データ転送時の転送元アドレスを指定します。

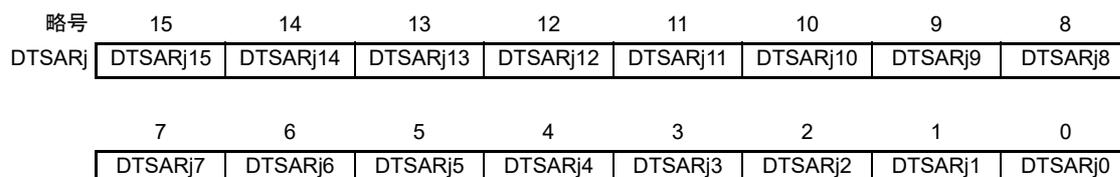
DTCCRj レジスタのSZビットが1 (16ビット転送) のとき、最下位ビットは無視され、偶数番地として扱われます。

図19-10 DTC ソース・アドレス・レジスタj (DTSARj) のフォーマット

アドレス : 19.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W



注意1. 転送元アドレスに汎用レジスタ (FFEE0H-FFEFFH) 空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

### 19.3.10 DTC デスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23)

データ転送時の転送先アドレスを指定します。

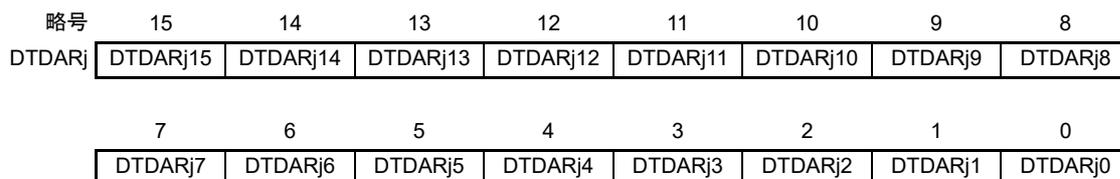
DTCCRj レジスタのSZビットが1 (16ビット転送) のとき、最下位ビットは無視され、偶数番地として扱われます。

図19-11 DTC デスティネーション・アドレス・レジスタj (DTDARj) のフォーマット

アドレス : 19.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W



注意1. 転送先アドレスに汎用レジスタ (FFEE0H-FFEFFH) 空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

19.3.11 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0-4)

各割り込み要因による DTC 起動の許可または禁止を制御する 8 ビットレジスタです。表 19-4 に割り込み要因と DTCENi0-DTCENi7 ビットの対応を示します。

DTCENi レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

**注意1.** DTCENi0-DTCENi7 ビットは、そのビットに対応する起動要因が発生しない箇所に変更してください。

**注意2.** DTC 転送で DTCENi レジスタをアクセスしないでください。

**注意3.** 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには必ず 0 を設定してください。

図 19-12 DTC 起動許可レジスタ*i* (DTCENi) (*i* = 0-4) のフォーマット (1/2)

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), F02EBH (DTCEN3), F02ECH (DTCEN4)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi7	DTC 起動許可 i7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件で DTCENi7 ビットは 0 (起動禁止) になります。	

DTCENi6	DTC 起動許可 i6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件で DTCENi6 ビットは 0 (起動禁止) になります。	

DTCENi5	DTC 起動許可 i5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件で DTCENi5 ビットは 0 (起動禁止) になります。	

DTCENi4	DTC 起動許可 i4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件で DTCENi4 ビットは 0 (起動禁止) になります。	

DTCENi3	DTC 起動許可 i3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件で DTCENi3 ビットは 0 (起動禁止) になります。	

図19 - 12 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0-4) のフォーマット (2/2)

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0 (起動禁止) になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0 (起動禁止) になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0 (起動禁止) になります。	

表19-4 割り込み要因とDTCENi0-DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6 <sup>注1</sup>
DTCEN1	INTP7 <sup>注2</sup>	キー入力 <sup>注3</sup>	A/D変換終了	UART0受信の 転送完了/ CSI01の 転送完了または バッファ空き/ IIC01の転送 完了	UART0送信の 転送完了/ CSI00の 転送完了または バッファ空き/ IIC00の転送 完了	UART1受信の 転送完了/ CSI11の 転送完了または バッファ空き/ IIC11の転送 完了	UART1送信の 転送完了/ CSI10の 転送完了または バッファ空き/ IIC10の転送 完了	UART2受信の 転送完了/ CSI21の 転送完了または バッファ空き/ IIC21の転送 完了
DTCEN2	UART2送信の 転送完了/ CSI20の 転送完了または バッファ空き/ IIC20の転送 完了	UART3受信の 転送完了/ CSI31の 転送完了または バッファ空き/ IIC31の転送 完了 <sup>注4</sup>	UART3送信の 転送完了/ CSI30の 転送完了または バッファ空き/ IIC30の転送 完了 <sup>注4</sup>	UARTA0受信の 転送完了 <sup>注5</sup>	UARTA0送信の 転送完了/ バッファ空き <sup>注5</sup>	UARTA1受信の 転送完了 <sup>注6</sup>	UARTA1送信の 転送完了/ バッファ空き <sup>注6</sup>	タイマ・アレ イ・ユニット0 のチャンネル0の カウント完了ま たはキャプチャ 完了
DTCEN3	タイマ・アレ イ・ユニット0 のチャンネル1の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル2の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル3の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル4の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル5の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル6の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル7の カウント完了ま たはキャプチャ 完了	リアルタイムク ロックの定周期 信号/ アラーム一致 検出
DTCEN4	32ビット・イン ターバル・タイ マのインターバ ル信号検出	静電容量式タッ チセンサのチャ ネル毎の設定レ ジスタ書き込み 要求	静電容量式タッ チセンサの測定 データ転送要求	コンパレータ 検出0	コンパレータ 検出1	ロジック&イベ ント・リンク・ コントローラか らのイベント 出力	SNOOZEモー ド・シーケンサ からのイベント 出力	電圧検出 <sup>注7</sup>

注1. 48～128ピン製品のみ

注2. 64～128ピン製品のみ

注3. 40～128ピン製品のみ

注4. 80～128ピン製品のみ

注5. 36～128ピン製品のみ

注6. 44～128ピン製品のみ

注7. オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時もしくは電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時

注意 機能が割り当てられていないビットには必ず0を設定してください。

備考 i = 0-4

### 19.3.12 DTCベース・アドレス・レジスタ (DTCBAR)

DTCコントロール・データ領域の先頭番地を格納するベクタ・アドレスと、DTCコントロール・データ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

DTCBARレジスタは、8ビット・メモリ操作命令で設定します。

**注意1.** DTCBARレジスタは、すべてのDTC起動要因を起動禁止に設定した状態で変更してください。

**注意2.** DTCBARレジスタを2回以上書き換えしないでください。

**注意3.** DTC転送でDTCBARレジスタをアクセスしないでください。

**注意4.** DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置については、19.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置の注意を参照してください。

図19-13 DTCベース・アドレス・レジスタ (DTCBAR) のフォーマット

アドレス : F02E0H

リセット時: FDH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

## 19.4 DTCの動作

DTC が起動すると、DTC コントロール・データ領域からコントロール・データを読み出し、このコントロール・データに従ってデータ転送を行い、データ転送後のコントロール・データを DTC コントロール・データ領域へ書き戻します。24 組のコントロール・データを DTC コントロール領域へ格納でき、24 通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり、転送サイズは 8 ビット転送と 16 ビット転送があります。また、DTCCTj (j = 0-23) レジスタの CHNE ビットが 1 (チェイン転送許可) のとき、1 つの起動要因に対して複数のコントロール・データを読み出し、連続してデータを転送します (チェイン転送)。

転送元アドレスは 16 ビット長の DTSARj レジスタ、転送先は 16 ビット長の DTDARj レジスタで指定します。DTSARj レジスタと DTDARj レジスタは、データ転送後、コントロール・データに従って加算されるか固定されます。

### 19.4.1 起動要因

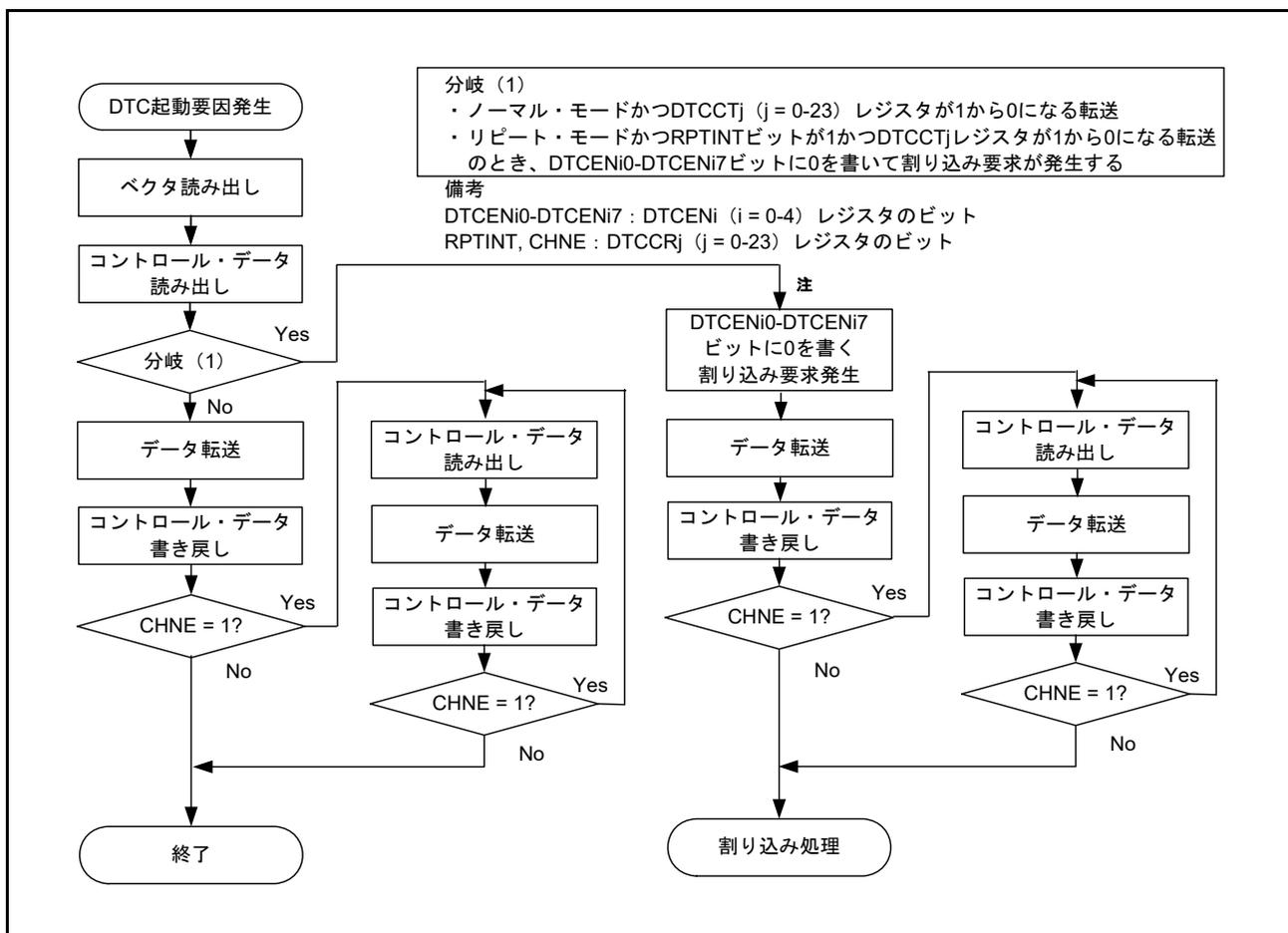
DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0-4) レジスタで選択します。

データ転送（チェーン転送の場合、連続して行う最初の転送）の設定が、

- ノーマル・モードでDTCCTj (j = 0-23) レジスタが0になる転送
- リピート・モードでDTCCRjレジスタのRPTINTビットが1（割り込み発生許可）かつDTCCTjレジスタが0になる転送のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0-DTCENi7ビットを0（起動禁止）にします。

図19-14にDTC内部動作フロー・チャートを示します。

図19-14 DTC内部動作フロー・チャート



注 チェーン転送の許可（CHNEビットが1）の設定により起動されたデータ転送では、DTCENi0-DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

### 19.4.2 ノーマル・モード

1回の起動で、8ビット転送の場合1～256バイト、16ビット転送の場合2～512バイトをデータ転送します。転送回数は1～256回です。DTCCTj (j = 0-23) レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0-4) レジスタの対応するDTCENi0-DTCENi7ビットを0(起動禁止)にします。

表19-5にノーマル・モードでのレジスタ機能を示します。図19-15にノーマル・モードでのデータ転送を示します。

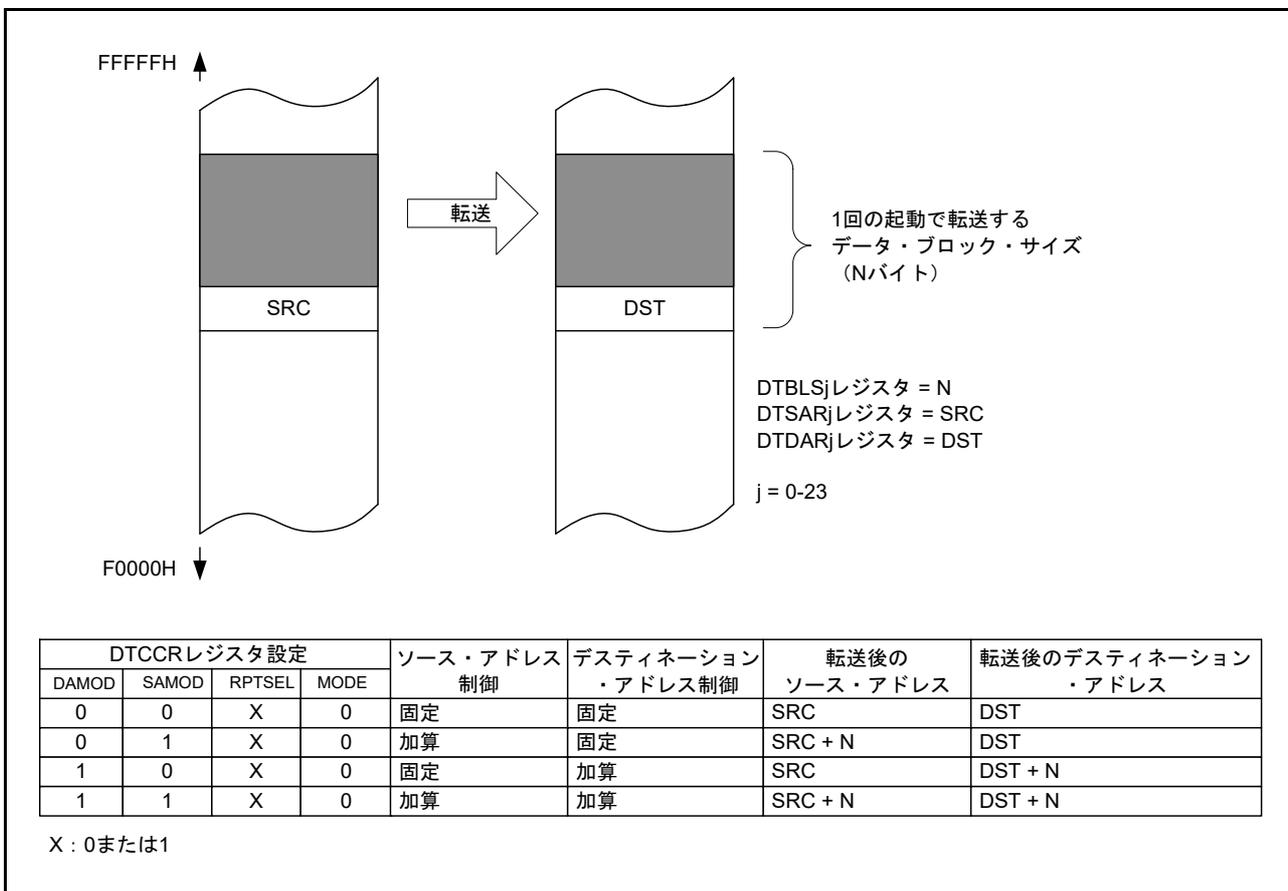
表19-5 ノーマル・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRL Dj	使用しません注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、初期化(00H)してください。

備考 j = 0-23

図19-15 ノーマル・モードでのデータ転送

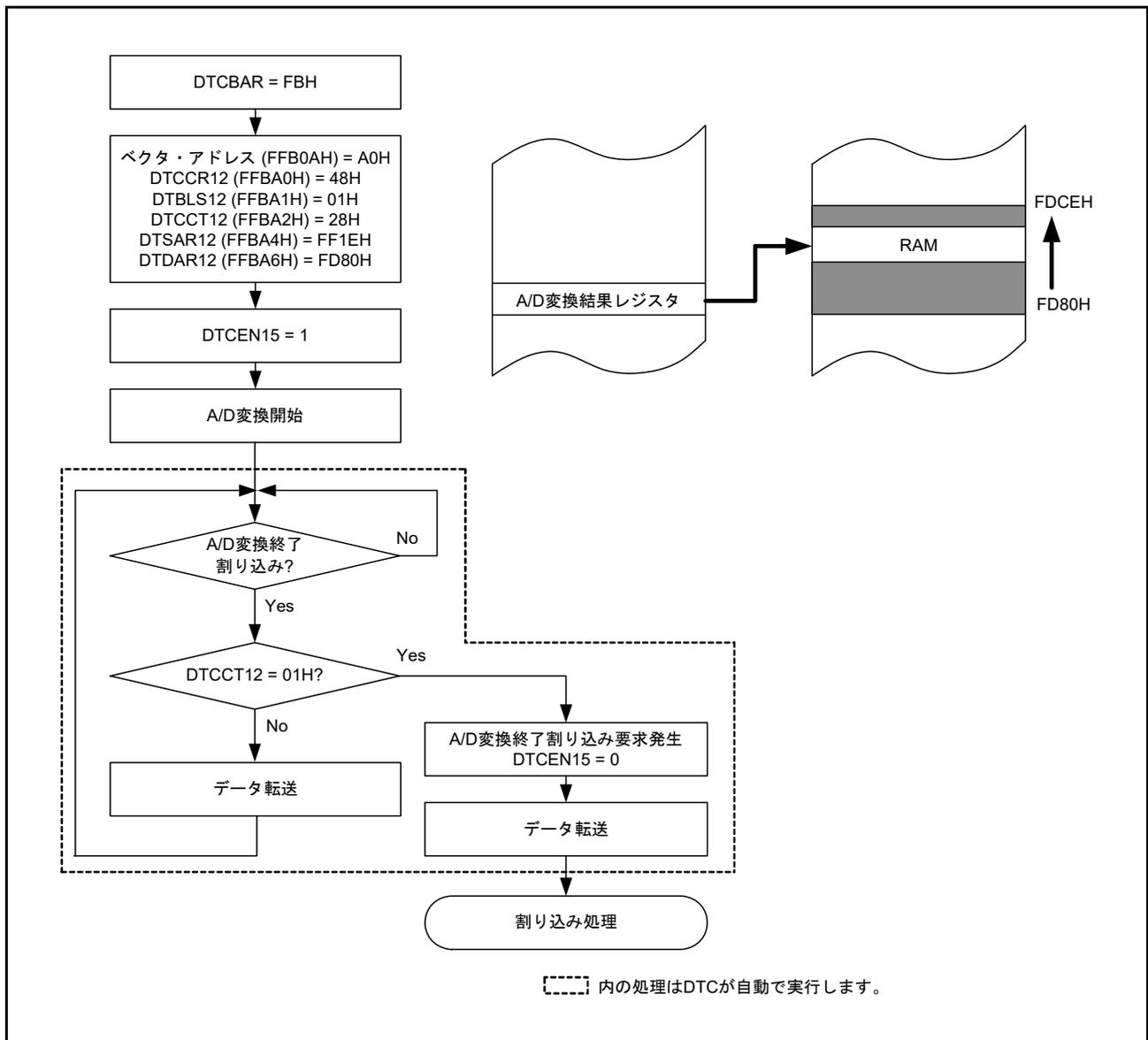


(1) ノーマル・モードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタ・アドレスはFFB0AH、コントロール・データはFFBA0H-FFBA7Hに配置
- A/D変換結果レジスタ (FFF1EH, FFF1FH) の2バイト・データをRAMのFFD80H-FFDCFHの80バイトへ40回転送

図19-16 ノーマル・モードの使用例1：A/D変換結果の連続取り込み



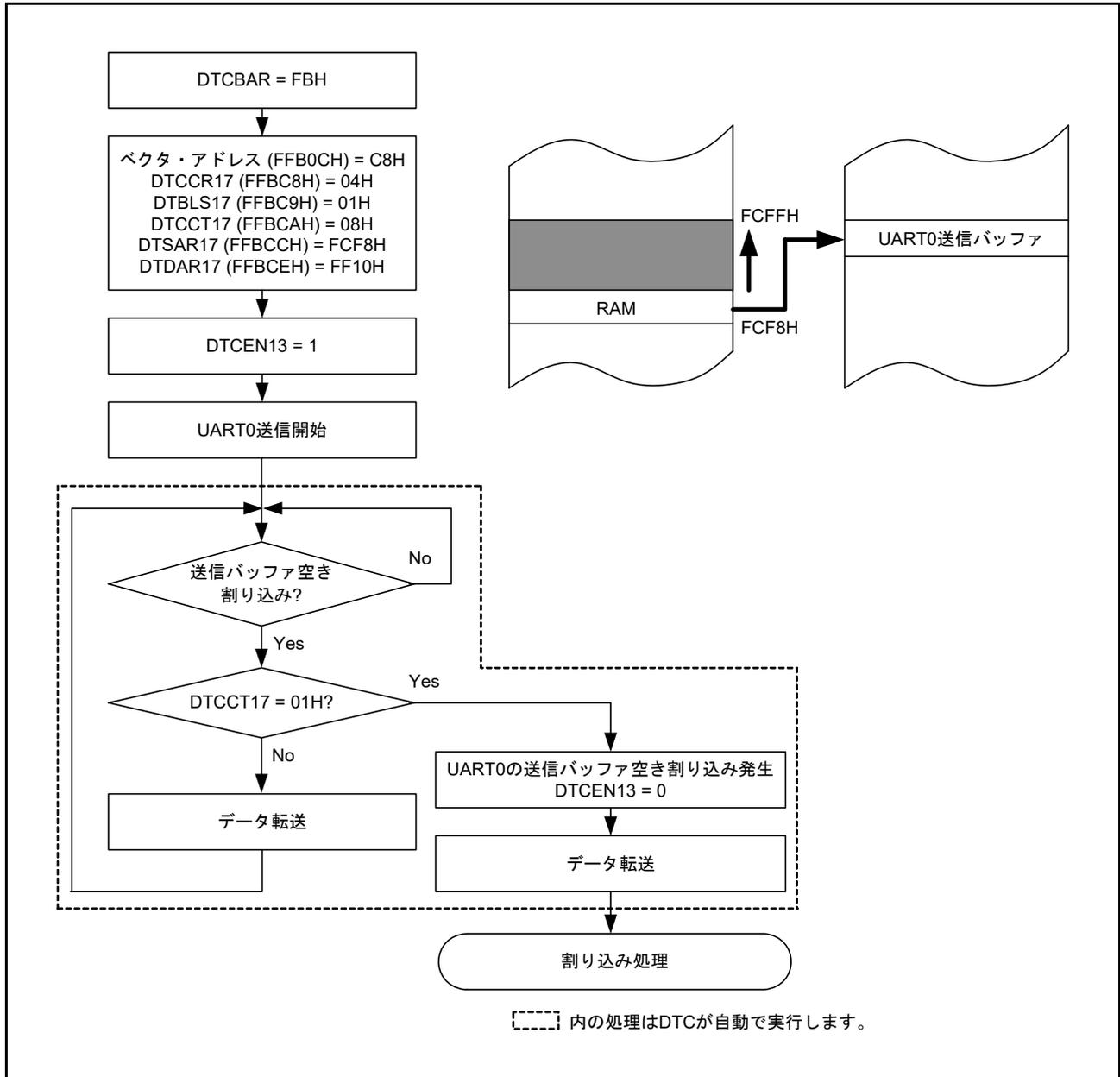
ノーマル・モードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD12レジスタを初期化 (00H) してください。

(2) ノーマル・モードの使用例2：UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタ・アドレスはFFB0CH、コントロール・データはFFBC8H-FFBCFHに配置
- RAMのFFCF8H-FFCFFHの8バイトをUART0の送信バッファ (FFF10H) へ転送

図 19 - 17 ノーマル・モードの使用例2：UART0連続送信



ノーマル・モードのため、DTRLD17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD17レジスタを初期化 (00H) してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

### 19.4.3 リピート・モード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピート・エリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0-23) レジスタおよびリピート・エリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRj レジスタのRPTINTビットが1(割り込み発生許可)でDTCCTj レジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0-4) レジスタの対応するDTCENi0-DTCENi7ビットを0(起動禁止)にします。DTCCRj レジスタのRPTINTビットが0(割り込み発生禁止)の場合は、DTCCTj レジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0-DTCENi7ビットは0になりません。

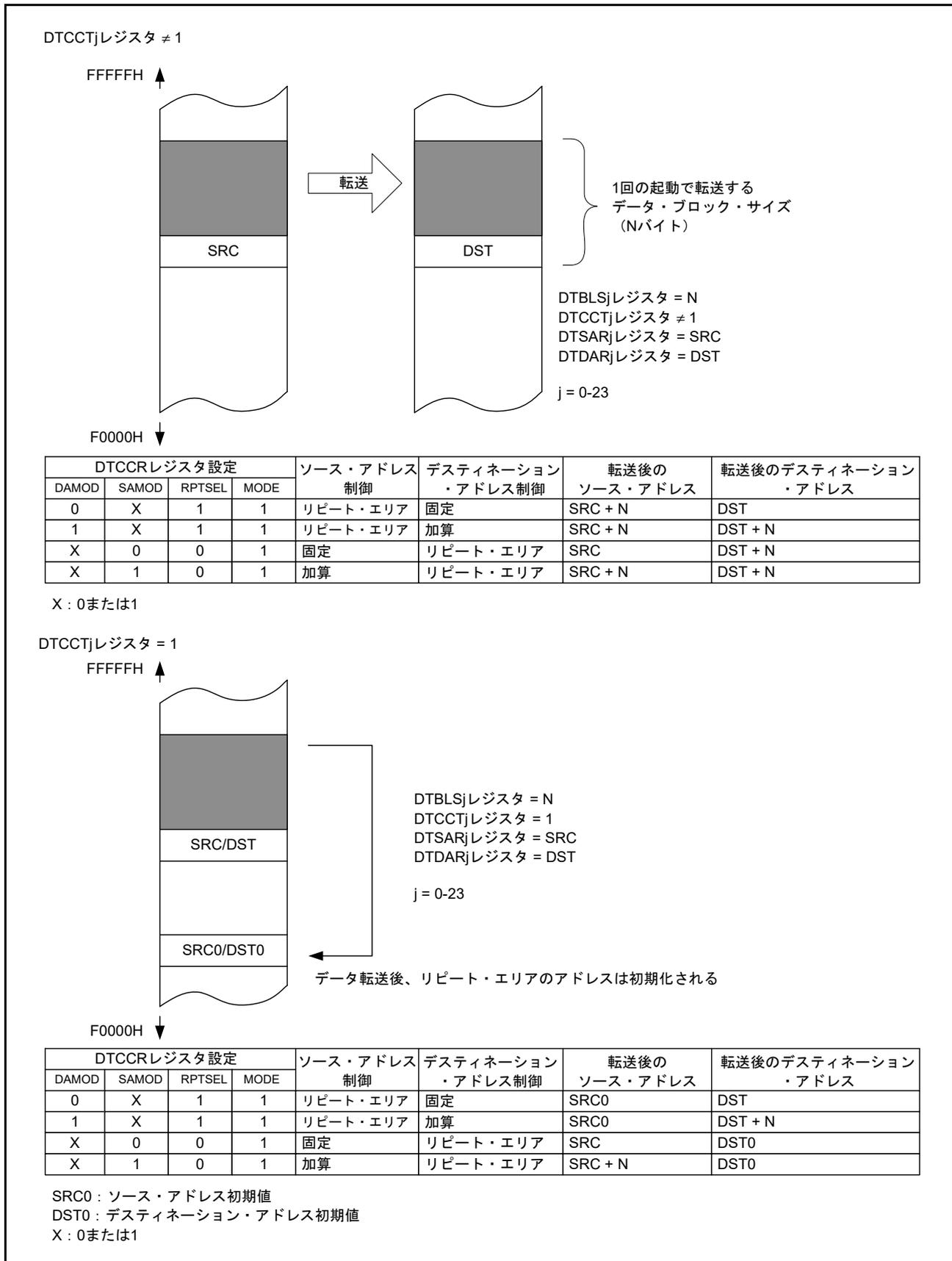
表19-6にリピート・モードでのレジスタ機能を示します。図19-18にリピート・モードでのデータ転送を示します。

表19-6 リピート・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLdj	このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化)
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

備考 j = 0-23

図19-18 リピート・モードでのデータ転送

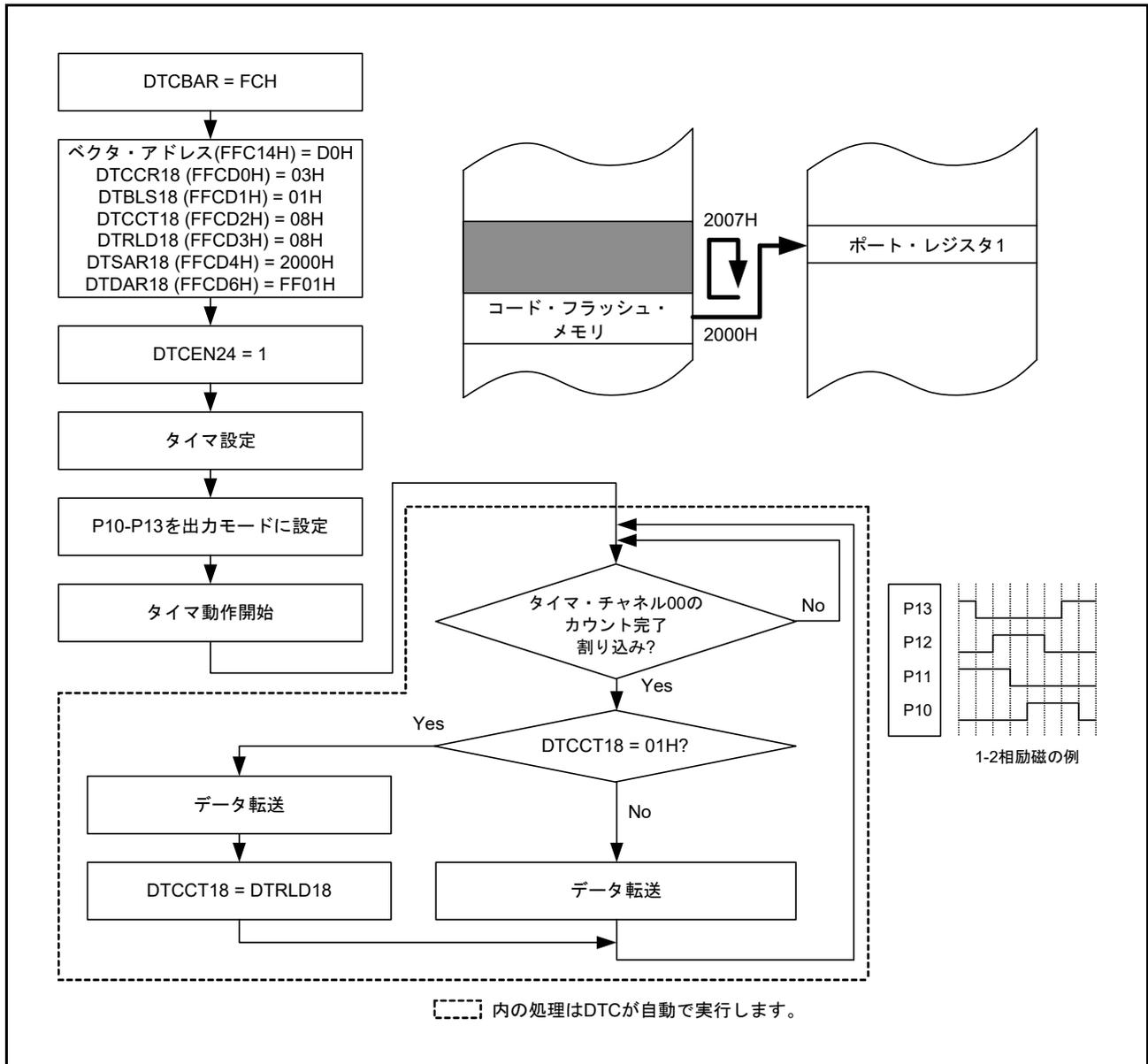


注意1. リピート・モード使用時は、リピート・エリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

注意2. リピート・モード使用時は、リピート・エリアのデータサイズを255バイト以内にしてください。

- (1) リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力  
 タイマ・アレイ・ユニット0のチャンネル0のインターバル・タイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。
- ベクタ・アドレスはFFC14H、コントロール・データはFFCD0H-FFCD7Hに配置
  - コード・フラッシュ・メモリの02000H-02007Hの8バイト・データをミラー領域F2000H-F2007Hからポート・レジスタ1 (FFF01H) へ転送
  - リピート・モード割り込みは禁止

図19-19 リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN24をクリアしてください。

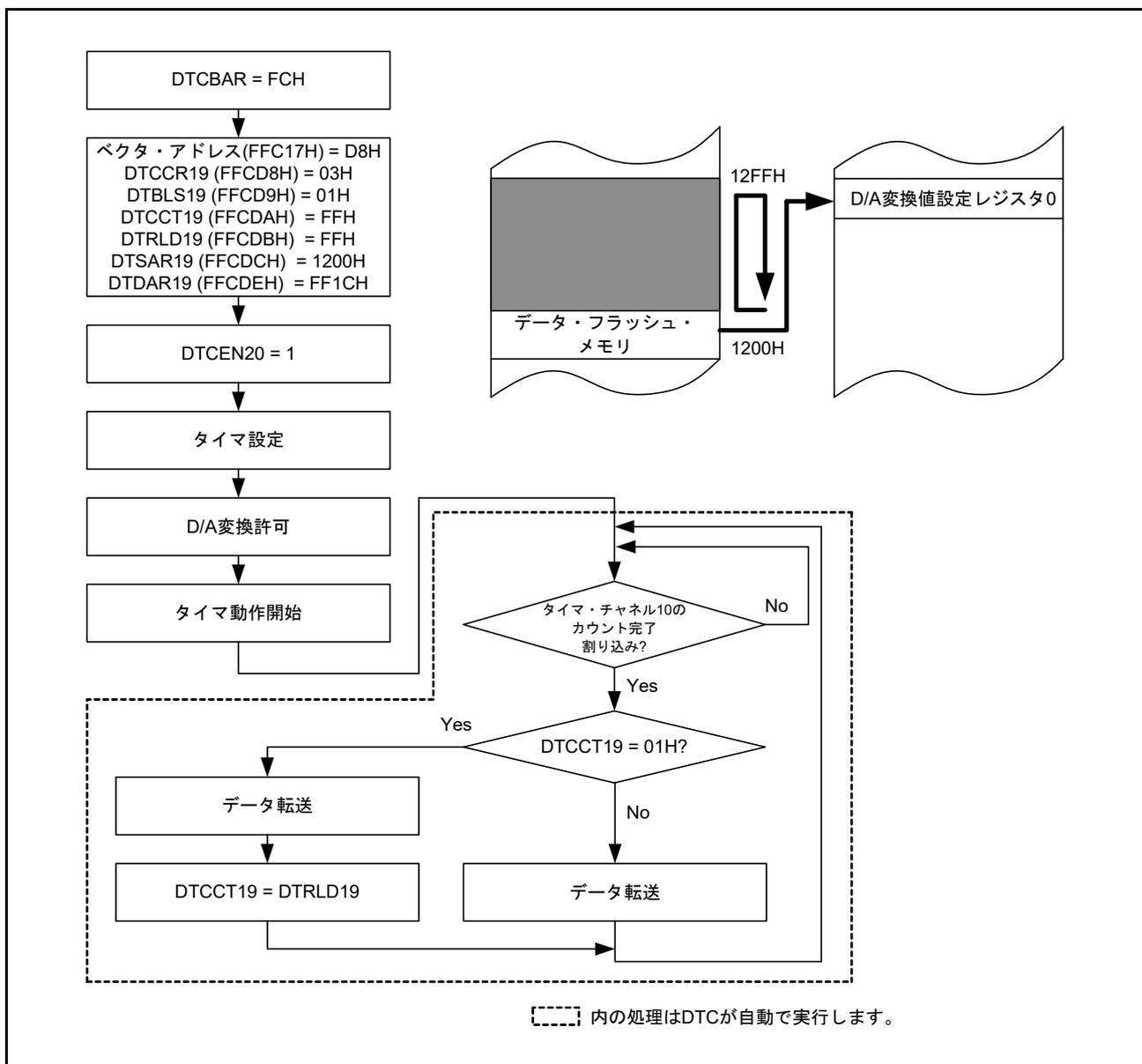
(2) リピート・モードの使用例2：8ビットD/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニット1のチャンネル0のインターバル・タイマ機能を使って割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを8ビットのD/A変換値設定レジスタ0 (F0330H) に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ベクタ・アドレスはFFC17H、コントロール・データはFFCD8H-FFCDFHに配置
- データ・フラッシュ・メモリのF1200H-F12FEHの255バイト・データをD/A変換値設定レジスタ0 (F0330H) へ転送
- リピート・モード割り込みは禁止

図19-20 リピート・モードの使用例2：8ビットD/Aコンバータを使ったサイン波出力



出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

**注意** タイマ・アレイ・ユニット1は80～128ピンの製品に搭載されます。

### 19.4.4 チェイン転送

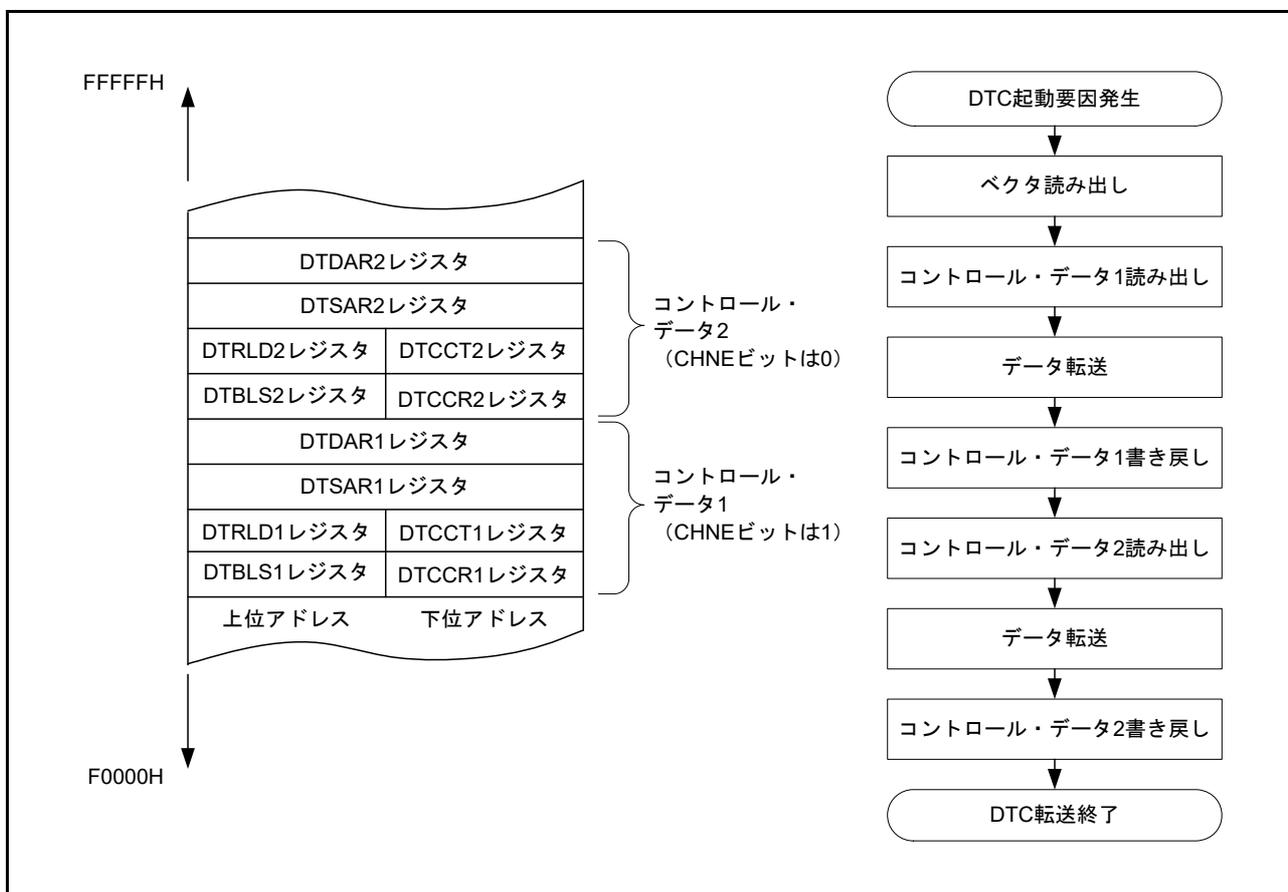
DTCCRj (j = 0-22) レジスタの CHNE ビットが 1 (チェーン転送許可) のとき、1 つの起動要因で複数のデータ転送を連続してできます。

DTC が起動すると、起動要因に対応したベクタ・アドレスから読み出されたデータによりコントロール・データを選択し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データの CHNE ビットが 1 (チェーン転送許可) であれば、転送終了後、連続して配置した次のコントロール・データを読み出して転送します。この動作を CHNE ビットが 0 (チェーン転送禁止) のコントロール・データのデータ転送が終了するまで続けます。

複数のコントロール・データを用いてチェーン転送を行う場合は、最初のコントロール・データに設定された転送回数が有効となり、2 番目以降に処理されるコントロール・データの転送回数は無効となります。

図 19 - 21 にチェーン転送でのデータ転送を示します。

図 19 - 21 チェイン転送でのデータ転送



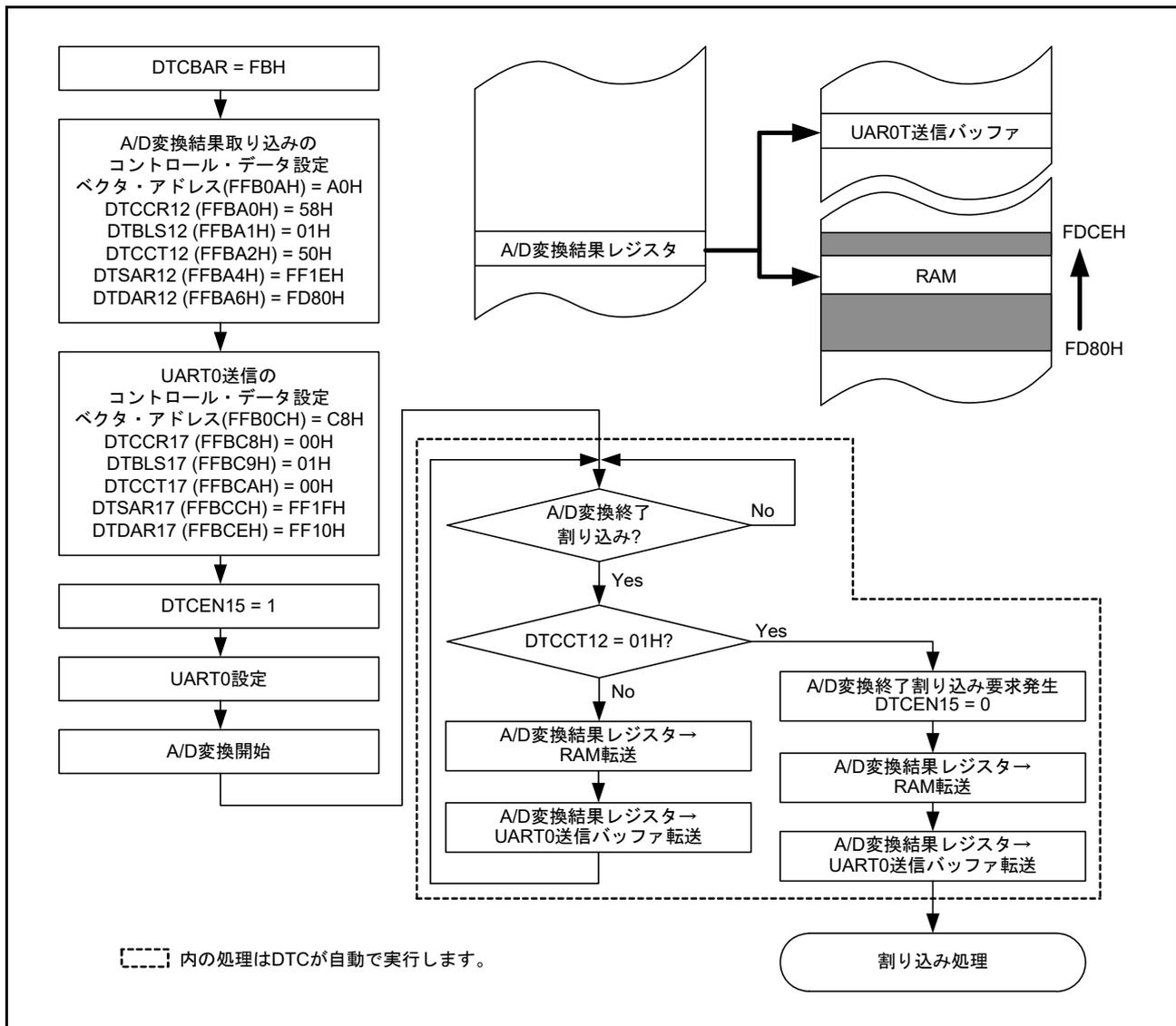
- 注1. DTCCR23 レジスタの CHNE ビットは 0 (チェーン転送禁止) にしてください。
- 注2. チェイン転送の場合、2 回目以降のデータ転送では、DTCENi (i = 0-4) レジスタの DTCENi0-DTCENi7 ビットは 0 (起動禁止) になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタ・アドレスはFFB0AH
- A/D変換結果取り込みのコントロール・データはFFBA0H-FFBA7Hに配置
- UART0送信のコントロール・データはFFBA8H-FFBAFHに配置
- A/D変換結果レジスタ (FFF1FH、FFF1EH) の2バイト・データをRAMのFFD80H-FFDCFHに転送し、A/D変換結果レジスタの上位1バイト (FFF1FH) をUARTの送信バッファ (FFF10H) へ転送

図19-22 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



## 19.5 DTC使用時の注意事項

### 19.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ (2nd SFR) およびDTCコントロール・データ領域、DTCベクタ・テーブル領域、汎用レジスタ (FFEE0H-FFEFFH) 空間をアクセスしないでください。
- DTCベース・アドレス・レジスタ (DTCBAR) は、すべてのDTC起動要因を起動 (禁止に設定した状態で変更してください)。
- DTCベース・アドレス・レジスタ (DTCBAR) を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0 (起動禁止) のときに変更してください。
- ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は、対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0 (起動禁止) のときに変更してください。

### 19.5.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCのコントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。
- スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。
- 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。  
R7F100GxG (x = A, B, C, E, F, G, J, L, M, P) : FC300H-FC6FFH  
R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S) : FA300H-FA6FFH  
R7F100GxL, N (x = F, G, J, L, M, P, S) : F4300H-F46FFH
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、ノーマル・モード使用時においてもDTRLDレジスタを初期化 (00H) してください。
- メモリ電力削減制御レジスタ (PSMCR) により待機モードおよびシャットダウン・モードに設定した場合 (RAMSDMD = 1)、内蔵RAMをDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。
- オンチップ・デバッグ機能使用時にデバッグ用のモニタ・プログラムが配置される領域は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。詳細は、**34.4 ユーザ資源の確保**を参照してください。

### 19.5.3 DTC保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリード・アクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令 (MULU命令を除く)

**注意1.** DTC転送要求を受け付けると、DTC転送が完了するまで、すべての割り込み要求が保留されます。

**注意2.** DTC保留命令によるDTC保留中は、すべての割り込み要求が保留されます。

### 19.5.4 データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, !データ・フラッシュ空間

## 19.5.5 DTC実行クロック数

表 19 - 7 に DTC 起動時の実行状況と必要なクロック数を示します。

表19 - 7 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロール・データの書き戻しに必要なクロック数は、表19 - 8 コントロール・データの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し／書き込みに必要なクロック数は、表19 - 9 1データの読み出し／書き込みに必要なクロック数を参照してください。

表19 - 8 コントロール・データの書き戻しに必要なクロック数

DTCCRレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1			加算	書き戻す	書き戻す	書き戻す	書き戻す

備考 j = 0-23, X: 0または1

表19 - 9 1データの読み出し／書き込みに必要なクロック数

実行状態	RAM	コード・ フラッシュ・メモリ	データ・ フラッシュ・メモリ	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
					ウエイトなし	ウエイトあり
データ読み出し	1	2	4	1	1	1 + ウエイト数 <sup>注</sup>
データ書き込み	1	—	—	1	1	1 + ウエイト数 <sup>注</sup>

注 ウエイト数はアクセスする拡張特殊機能レジスタ (2nd SFR) に配置されたレジスタの仕様によって異なります。

### 19.5.6 DTC応答時間

表 19 - 10 に DTC における応答時間を示します。DTC 応答時間とは DTC 起動要因の検出から DTC 転送開始までの時間です。DTC 応答時間に DTC 実行クロック数は含まれません。

表 19 - 10 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更に DTC の応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合  
最大応答時間：20クロック
- DTC保留命令実行の場合（**19.5.3 DTC保留命令**を参照）  
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生するTRJ0レジスタをアクセスした場合  
最大応答時間：各条件時の最大応答時間 + 1クロック

**備考** 1クロック：1/fCLK（fCLK：CPU／周辺ハードウェアクロック）

### 19.5.7 DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所で、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は**19.3.3 ベクタ・テーブル**を参照してください。
- コンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）かつコンパレータの立ち上がりエッジで割り込み要求に設定（CnEPO = 0）かつIVCMP > コンパレータ n 基準電圧<sup>注</sup>の状態または、コンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）、コンパレータの立ち下がりエッジで割り込み要求に設定（CnEPO = 1）、IVCMP < コンパレータ n 基準電圧<sup>注</sup>の状態、DTCを起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタ・フラグ（CnMON）を確認してからDTCを起動許可にしてください。（n = 0, 1）

**注** n = 0 IVREF0もしくは内部基準電圧  
n = 1 IVREF1もしくはD/Aコンバータ出力0

## 19.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能 <sup>注1</sup>
STOPモード	DTC起動要因受付可能 <sup>注2</sup>
SNOOZEモード	動作可能 <sup>注3, 4, 5, 6</sup>

**注1.** fCLKにサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。

**注2.** STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元（ソース）にすることはできません。

**注3.** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合に設定可能です。

**注4.** CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定（STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み）をDTC転送で行ってください。

**注5.** UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定（STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み）を行ってください。

**注6.** A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定（AWCビットに0を書き込み、AWCビットに1を書き込む）を行ってください。

**注意** メモリ電力削減制御レジスタ（PSMCR）により内蔵RAMを待機モードおよびシャットダウン・モードに設定した場合（RAMSDMD = 1）、内蔵RAMをDTC転送元および転送先にできません。

**備考** 30～64ピン製品 : p = 00; m = 0; q = 0

80～128ピン製品 : p = 00, 20; m = 0, 1; q = 0, 2

## 第20章 ロジック&イベント・リンク・コントローラ (ELCL)

### 20.1 ELCLの機能

ロジック&イベント・リンク・コントローラ (ELCL) は、各周辺機能が出力する信号を内部の論理セルブロックを介して、指定した周辺機能へ接続 (リンク) します。

本機能により CPU を介さず直接、周辺機能間での連係動作が可能になります。

ELCL には次の機能があります。

- 各周辺機能からの最大99のイベント信号のうち、選択した8つのイベント信号を指定した周辺機能へ直接リンク可能  
8つのイベント信号の接続先は各周辺機能の最大29のイベント入力から選択可能
- 周辺機能からのイベント信号を、論理セル (AND回路、OR回路、EX-OR回路) を介すことでリンクする条件を変更可能
- 周辺機能からのイベント信号を、セレクタに入力することで指定した周辺機能の起動条件などが選択可能
- 周辺機能からのイベント信号を、フリップフロップに入力することでクロックに同期して指定した周辺機能へ信号の接続が可能

### 20.2 ELCLの構成

図20-1にELCLのブロック図を示します。

図20-1 ELCLのブロック図

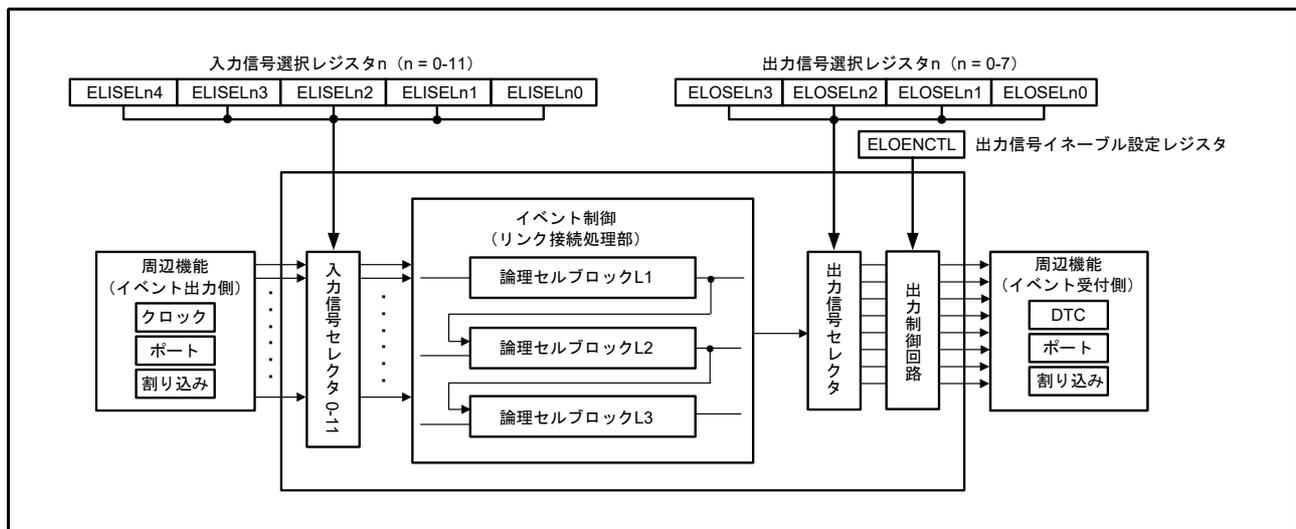


図20 - 2 論理セルブロックL1のブロック図

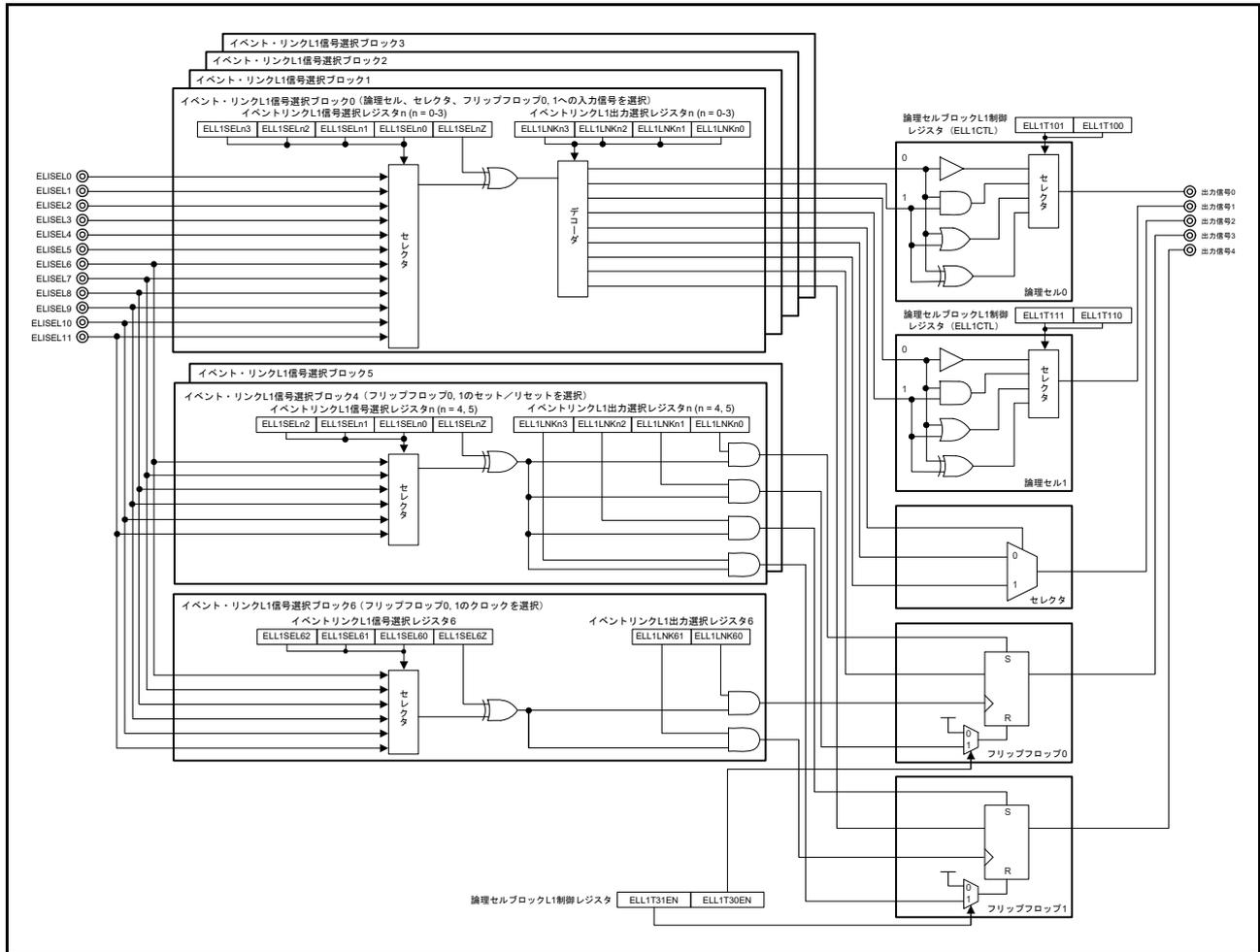


図20-3 論理セルブロックL2のブロック図

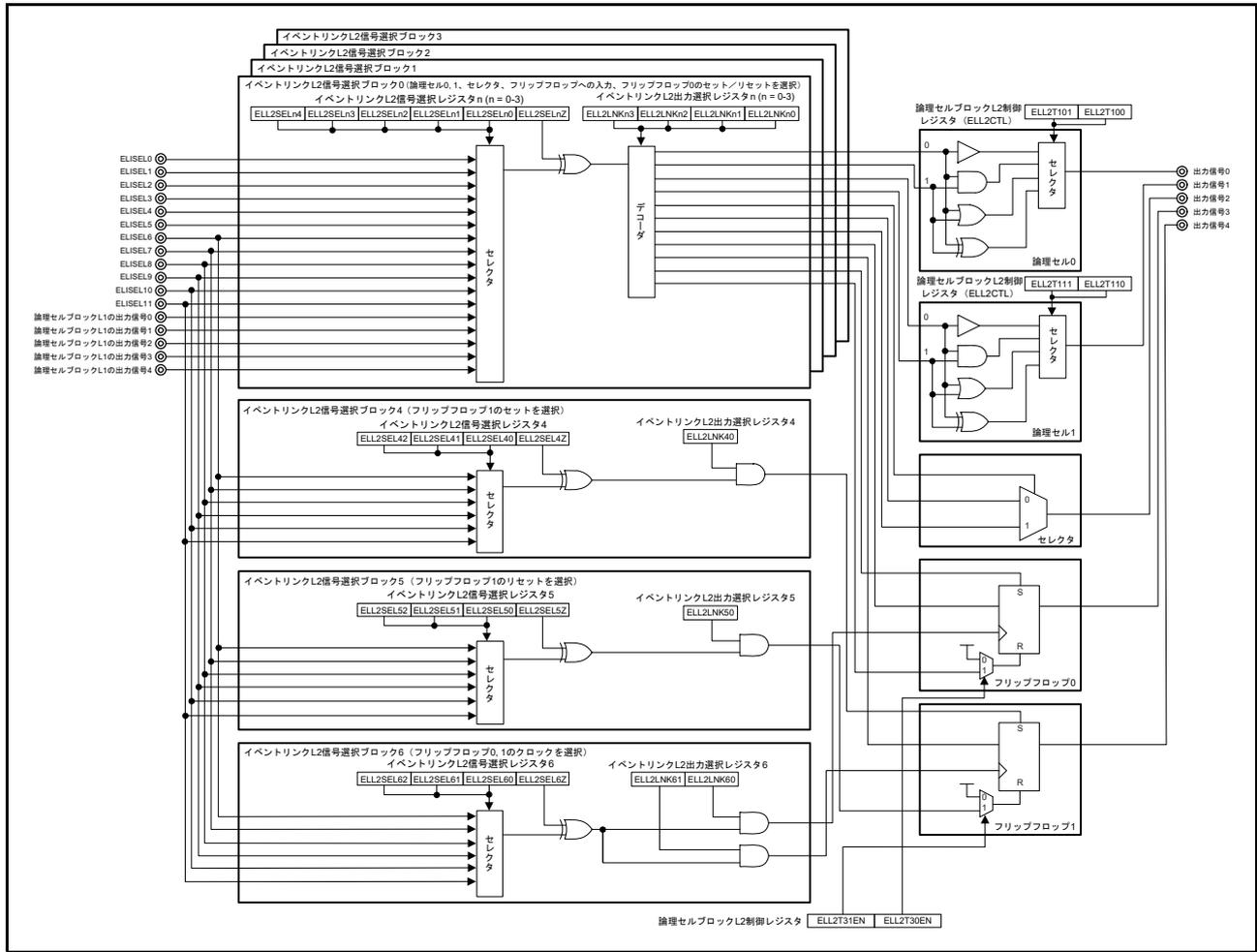


図20 - 4 論理セルブロックL3のブロック図

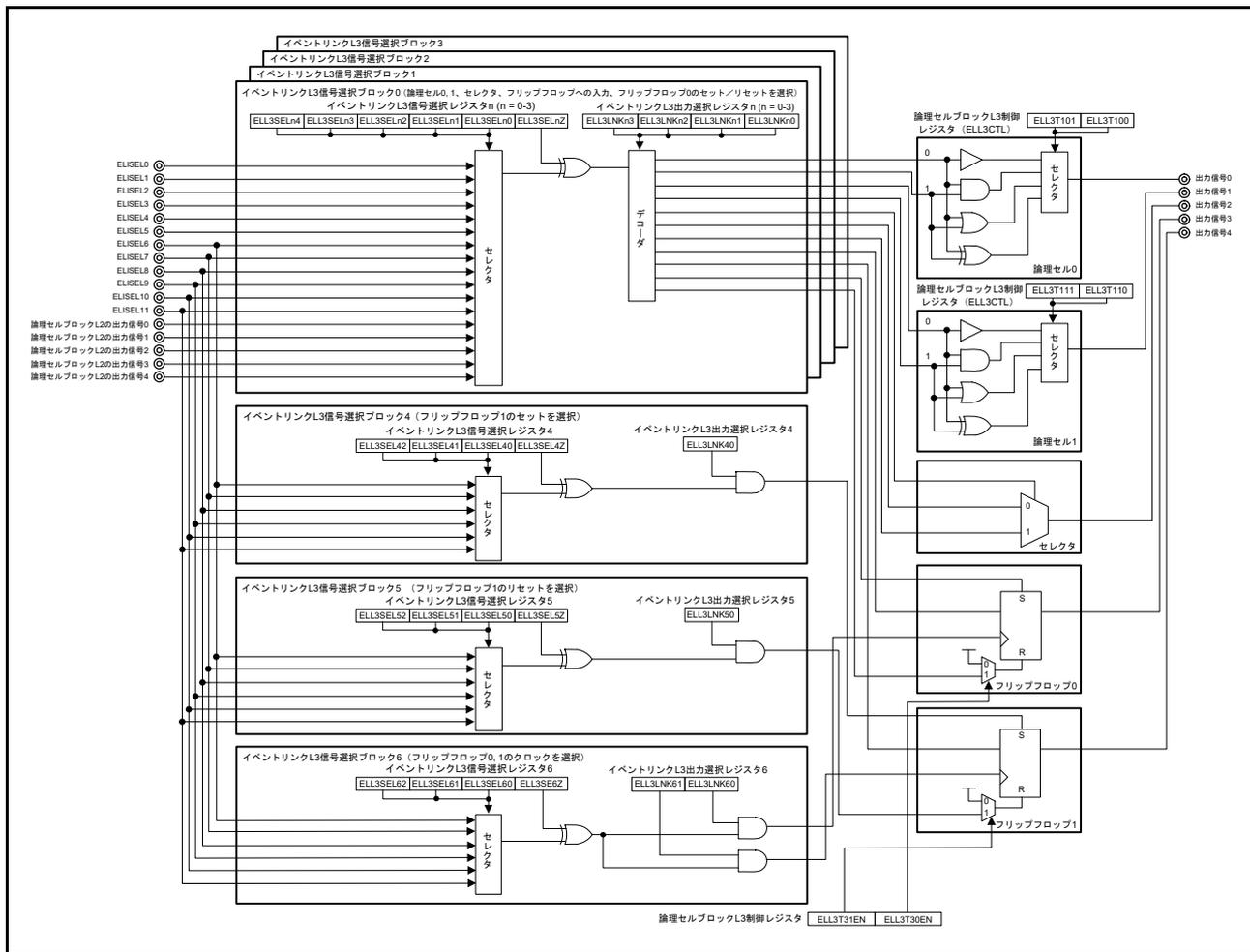


表 20 - 1、表 20 - 2 に論理セルブロック L1 の接続を示します。

論理セルブロック L1 の入力信号は、入力信号選択レジスタ n (ELISELn) (n = 0-11) で指定したイベント出力側の周辺機能から選択します。

イベント・リンク L1 信号選択ブロック n (n = 0-6) の接続は、入力信号をイベント・リンク L1 信号選択レジスタ n (ELL1SELn) (n = 0-6) で選択し、出力側の接続先をイベント・リンク L1 出力選択レジスタ n (ELL1LNKn) (n = 0-6) で選択します。接続先の論理セルの選択とフリップフロップの動作は、ELL1CTL レジスタで設定します。

論理セルブロック L1 の出力信号は、イベント受付側の周辺機能への ELCL 出力信号または論理セルブロック L2 の入力信号に設定できます。

表20 - 1 論理セルブロックL1の接続 (1)

イベント・リンクL1 信号選択ブロック n	入力信号	イベント・リンクL1信号選択ブロック n 出力側の接続先
イベント・リンクL1 信号選択ブロック 0 <sup>注1</sup>	• ELISEL0-11 レジスタの選択信号 ELL1SEL0 レジスタで上記から入力信号を 1つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力) • フリップフロップ1 (入力) ELL1LNK0 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 1 <sup>注1</sup>	• ELISEL0-11 レジスタの選択信号 ELL1SEL1 レジスタで上記から入力信号を 1つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力) • フリップフロップ1 (入力) ELL1LNK1 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 2 <sup>注1</sup>	• ELISEL0-11 レジスタの選択信号 ELL1SEL2 レジスタで上記から入力信号を 1つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力) • フリップフロップ1 (入力) ELL1LNK2 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 3 <sup>注1</sup>	• ELISEL0-11 レジスタの選択信号 ELL1SEL3 レジスタで上記から入力信号を 1つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力) • フリップフロップ1 (入力) ELL1LNK3 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 4 <sup>注2</sup>	• ELISEL6-11 レジスタの選択信号 ELL1SEL4 レジスタで上記から入力信号を 1つ選択可能	• フリップフロップ0 (セット制御、リセット制御) • フリップフロップ1 (セット制御、リセット制御) ELL1LNK4 レジスタで接続先を選択可能
イベント・リンクL1 信号選択ブロック 5 <sup>注2</sup>	• ELISEL6-11 レジスタの選択信号 ELL1SEL5 レジスタで上記から入力信号を 1つ選択可能	• フリップフロップ0 (セット制御、リセット制御) • フリップフロップ1 (セット制御、リセット制御) ELL1LNK5 レジスタで接続先を選択可能
★ イベント・リンクL1 信号選択ブロック 6	• ELISEL6-11 レジスタの選択信号 ELL1SEL6 レジスタで上記から入力信号を 1つ選択可能	• フリップフロップ0 (クロック) • フリップフロップ1 (クロック) ELL1LNK6 レジスタで接続先を選択可能

注1. イベント・リンクL1信号選択ブロック0-6の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表20 - 2 論理セルブロックL1の接続 (2)

論理セルブロックL1の出力信号	信号源
論理セルブロックL1の出力信号0	論理セルブロックL1の論理セル0の出力
論理セルブロックL1の出力信号1	論理セルブロックL1の論理セル1の出力
論理セルブロックL1の出力信号2	論理セルブロックL1のセレクタの出力
論理セルブロックL1の出力信号3	論理セルブロックL1のフリップフロップ0の出力
論理セルブロックL1の出力信号4	論理セルブロックL1のフリップフロップ1の出力

表 20 - 3、表 20 - 4 に論理セルブロック L2 の接続を示します。

論理セルブロック L2 の入力信号は、入力信号選択レジスタ n (ELISELn) (n = 0-11) で指定したイベント出力側の周辺機能または論理セルブロック L1 の出力信号から選択します。

イベント・リンク L2 信号選択ブロック n (n = 0-6) の接続は、入力信号をイベント・リンク L2 信号選択レジスタ n (ELL2SELn) (n = 0-6) で選択し、出力側の接続先をイベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 0-6) で選択します。接続先の論理セルの選択とフリップフロップの動作は、ELL2CTL レジスタで設定します。

論理セルブロック L2 の出力信号は、イベント受付側の周辺機能への ELCL 出力信号または論理セルブロック L3 の入力信号に設定できます。

表20 - 3 論理セルブロックL2の接続 (1)

イベント・リンクL2 信号選択ブロック n	入力信号	イベント・リンクL2信号選択ブロック n 出力側の接続先
イベント・リンクL2 信号選択ブロック 0 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11 レジスタの選択信号</li> <li>• 論理セルブロックL1の出力信号0-4</li> </ul> ELL2SEL0 レジスタで上記から入力信号を1つ選択可能	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> </ul> ELL2LNK0 レジスタで上記から接続先を1つ選択可能
イベント・リンクL2 信号選択ブロック 1 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11 レジスタの選択信号</li> <li>• 論理セルブロックL1の出力信号0-4</li> </ul> ELL2SEL1 レジスタで上記から入力信号を1つ選択可能	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> </ul> ELL2LNK1 レジスタで上記から接続先を1つ選択可能
イベント・リンクL2 信号選択ブロック 2 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11 レジスタの選択信号</li> <li>• 論理セルブロックL1の出力信号0-4</li> </ul> ELL2SEL2 レジスタで上記から入力信号を1つ選択可能	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> </ul> ELL2LNK2 レジスタで上記から接続先を1つ選択可能
イベント・リンクL2 信号選択ブロック 3 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11 レジスタの選択信号</li> <li>• 論理セルブロックL1の出力信号0-4</li> </ul> ELL2SEL3 レジスタで上記から入力信号を1つ選択可能	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> </ul> ELL2LNK3 レジスタで上記から接続先を1つ選択可能
イベント・リンクL2 信号選択ブロック 4 <sup>注2</sup>	<ul style="list-style-type: none"> <li>• ELISEL6-11 レジスタの選択信号</li> </ul> ELL2SEL4 レジスタで上記から入力信号を1つ選択可能	<ul style="list-style-type: none"> <li>• フリップフロップ1 (セット制御)</li> </ul> ELL2LNK4 レジスタで接続先を選択可能
イベント・リンクL2 信号選択ブロック 5 <sup>注2</sup>	<ul style="list-style-type: none"> <li>• ELISEL6-11 レジスタの選択信号</li> </ul> ELL2SEL5 レジスタで上記から入力信号を1つ選択可能	<ul style="list-style-type: none"> <li>• フリップフロップ1 (リセット制御)</li> </ul> ELL2LNK5 レジスタで接続先を選択可能
★ イベント・リンクL2 信号選択ブロック 6	<ul style="list-style-type: none"> <li>• ELISEL6-11 レジスタの選択信号</li> </ul> ELL2SEL6 レジスタで上記から入力信号を1つ選択可能	<ul style="list-style-type: none"> <li>• フリップフロップ0 (クロック)</li> <li>• フリップフロップ1 (クロック)</li> </ul> ELL2LNK6 レジスタで接続先を選択可能

注1. イベント・リンクL2信号選択ブロック0-6の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表20 - 4 論理セルブロックL2の接続 (2)

論理セルブロックL2の出力信号	信号源
論理セルブロックL2の出力信号0	論理セルブロックL2の論理セル0の出力
論理セルブロックL2の出力信号1	論理セルブロックL2の論理セル1の出力
論理セルブロックL2の出力信号2	論理セルブロックL2のセレクタの出力
論理セルブロックL2の出力信号3	論理セルブロックL2のフリップフロップ0の出力
論理セルブロックL2の出力信号4	論理セルブロックL2のフリップフロップ1の出力

表 20 - 5、表 20 - 6 に論理セルブロック L3 の接続を示します。

論理セルブロック L3 の入力信号は、入力信号選択レジスタ n (ELISELn) (n = 0-11) で指定したイベント出力側の周辺機能または論理セルブロック L2 の出力信号から選択します。

イベント・リンク L3 信号選択ブロック n (n = 0-6) の接続は、入力信号をイベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-6) で選択し、出力側の接続先をイベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-6) で選択します。接続先の論理セルの選択とフリップフロップの動作は、ELL3CTL レジスタで設定します。

論理セルブロック L3 の出力信号は、イベント受付側の周辺機能への ELCL 出力信号に設定できます。

表20 - 5 論理セルブロックL3の接続 (1)

イベント・リンクL3 信号選択ブロックn	入力信号	イベント・リンクL3信号選択ブロックn 出力側の接続先
イベント・リンクL3 信号選択ブロック0 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11レジスタの選択信号</li> <li>• 論理セルブロックL2の出力信号0-4 ELL3SEL0レジスタで上記から入力信号を1つ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> <li>ELL3LNK0レジスタで上記から接続先を1つ選択可能</li> </ul>
イベント・リンクL3 信号選択ブロック1 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11レジスタの選択信号</li> <li>• 論理セルブロックL2の出力信号0-4 ELL3SEL1レジスタで上記から入力信号を1つ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> <li>ELL3LNK1レジスタで上記から接続先を1つ選択可能</li> </ul>
イベント・リンクL3 信号選択ブロック2 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11レジスタの選択信号</li> <li>• 論理セルブロックL2の出力信号0-4 ELL3SEL2レジスタで上記から入力信号を1つ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> <li>ELL3LNK2レジスタで上記から接続先を1つ選択可能</li> </ul>
イベント・リンクL3 信号選択ブロック3 <sup>注1,2</sup>	<ul style="list-style-type: none"> <li>• ELISEL0-11レジスタの選択信号</li> <li>• 論理セルブロックL2の出力信号0-4 ELL3SEL3レジスタで上記から入力信号を1つ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>• 論理セル0 (入力0、入力1)</li> <li>• 論理セル1 (入力0、入力1)</li> <li>• セレクタ (選択、入力0、入力1)</li> <li>• フリップフロップ0 (入力、セット制御、リセット制御)</li> <li>• フリップフロップ1 (入力)</li> <li>ELL3LNK3レジスタで上記から接続先を1つ選択可能</li> </ul>
イベント・リンクL3 信号選択ブロック4 <sup>注2</sup>	<ul style="list-style-type: none"> <li>• 入力信号セレクタ6-11 ELL3SEL4レジスタで上記から入力信号を1つ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>• フリップフロップ1 (セット制御)</li> <li>ELL3LNK4レジスタで接続先を選択可能</li> </ul>
イベント・リンクL3 信号選択ブロック5 <sup>注2</sup>	<ul style="list-style-type: none"> <li>• 入力信号セレクタ6-11 ELL3SEL5レジスタで上記から入力信号を1つ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>• フリップフロップ1 (リセット制御)</li> <li>ELL3LNK5レジスタで接続先を選択可能</li> </ul>
★ イベント・リンクL3 信号選択ブロック6	<ul style="list-style-type: none"> <li>• ELISEL6-11レジスタの選択信号 ELL3SEL6レジスタで上記から入力信号を1つ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>• フリップフロップ0 (クロック)</li> <li>• フリップフロップ1 (クロック)</li> <li>ELL3LNK6レジスタで接続先を選択可能</li> </ul>

注1. イベント・リンクL3信号選択ブロック0-6の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表20 - 6 論理セルブロックL3の接続 (2)

論理セルブロックL3の出力信号	信号源
論理セルブロックL3の出力信号0	論理セルブロックL3の論理セル0の出力
論理セルブロックL3の出力信号1	論理セルブロックL3の論理セル1の出力
論理セルブロックL3の出力信号2	論理セルブロックL3のセレクタの出力
論理セルブロックL3の出力信号3	論理セルブロックL3のフリップフロップ0の出力
論理セルブロックL3の出力信号4	論理セルブロックL3のフリップフロップ1の出力

## 20.3 ELCLを制御するレジスタ

ELCLを制御するレジスタを次に示します。

- 入力信号選択レジスタ n (ELISELn) (n = 0-11)
- イベント・リンク L1 信号選択レジスタ n (ELL1SELn) (n = 0-3)
- イベント・リンク L1 信号選択レジスタ n (ELL1SELn) (n = 4, 5)
- イベント・リンク L1 信号選択レジスタ 6 (ELL1SEL6)
- 論理セルブロック L1 制御レジスタ (ELL1CTL)
- イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) (n = 0-3)
- イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) (n = 4, 5)
- イベント・リンク L1 出力選択レジスタ 6 (ELL1LNK6)
- イベント・リンク L2 信号選択レジスタ n (ELL2SELn) (n = 0-3)
- イベント・リンク L2 信号選択レジスタ n (ELL2SELn) (n = 4, 5)
- イベント・リンク L2 信号選択レジスタ 6 (ELL2SEL6)
- 論理セルブロック L2 制御レジスタ (ELL2CTL)
- イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 0-3)
- イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 4, 5)
- イベント・リンク L2 出力選択レジスタ 6 (ELL2LNK6)
- イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-3)
- イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 4, 5)
- イベント・リンク L3 信号選択レジスタ 6 (ELL3SEL6)
- 論理セルブロック L3 制御レジスタ (ELL3CTL)
- イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-3)
- イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 4, 5)
- イベント・リンク L3 出力選択レジスタ 6 (ELL3LNK6)
- 出力信号選択レジスタ n (ELOSELn) (n = 0-7)
- 出力信号イネーブル設定レジスタ (ELOENCTL)
- 出力信号モニタレジスタ (ELOMONI)
- ポート・モード・レジスタ (PMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロール A・レジスタ (PMCAxx)
- ポート・モード・コントロール T・レジスタ (PMCTxx)
- ポート・モード・コントロール E・レジスタ (PMCEx)

**備考** x = 0, 1, 5, 6; xx = 0-3, 5, 6, 12, 14

ただし、PIM2, 6, 12、POM2, 6、PMCA5, 6、PMCT1, 12, 14、PMCE2, 3, 12, 14は搭載していません。

### 20.3.1 入力信号選択レジスタ n (ELISELn) (n = 0-11)

ELISELn レジスタは、イベント出力側の周辺機能のイベント信号を選択するレジスタです。

ELISELn レジスタで選択したイベント信号を、論理セルブロック L1-3 を介してイベント受付側の周辺機能へイベント・リンクします。

ELISELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 5 入力信号選択レジスタ n (ELISELn) (n = 0-11) のフォーマット (1/3)

アドレス : F0680H (ELISEL0) -F068BH (ELISEL11)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELISELn	0	0	0	ELISEL n4	ELISEL n3	ELISEL n2	ELISEL n1	ELISEL n0

図20 - 5 入力信号選択レジスタ n (ELISELn) (n = 0-11) のフォーマット (2/3)  
ELISELn (n = 0-5)

ELISEL n4	ELISEL n3	ELISEL n2	ELISEL n1	ELISEL n0	イベント発生元
0	0	0	0	0	SAU0チャンネル0送信データ出力
0	0	0	0	1	SAU0チャンネル1送信データ出力
0	0	0	1	0	SAU0チャンネル0シリアル・クロック出力
0	0	0	1	1	SAU0チャンネル1シリアル・クロック出力
0	0	1	0	0	入力端子 (P11/EI11)
0	0	1	0	1	入力端子 (P50/EI50)
0	0	1	1	0	UARTA0シリアル・クロック出力 <sup>注1</sup>
0	0	1	1	1	TAU0チャンネル0出力
0	1	0	0	0	TAU0チャンネル1出力
0	1	0	0	1	TAU0チャンネル2出力
0	1	0	1	0	TAU0チャンネル3出力
0	1	0	1	1	TAU0チャンネル4出力
0	1	1	0	0	TAU0チャンネル5出力
0	1	1	0	1	TAU0チャンネル6出力
0	1	1	1	0	TAU0チャンネル7出力
0	1	1	1	1	入力端子 (P10/EI10)
1	0	0	0	0	入力端子 (P51/EI51)
1	0	0	0	1	コンパレータ検出0
1	0	0	1	0	コンパレータ検出1
1	0	0	1	1	UARTA0送信データ出力 <sup>注1</sup>
1	0	1	0	0	入力端子 (P12/EI12)
1	0	1	0	1	入力端子 <sup>注2</sup>
1	0	1	1	0	入力端子 <sup>注2</sup>
1	0	1	1	1	INTC0 <sup>注3</sup>
1	1	0	0	0	INTC1 <sup>注3</sup>
1	1	0	0	1	INTC2 <sup>注3</sup>
1	1	0	1	0	INTC3 <sup>注3</sup>
1	1	0	1	1	入力端子 (P137/EI137)
1	1	1	0	0	ELCL内部論理セルブロックL1のフリップ フロップ0出力
1	1	1	0	1	ELCL内部論理セルブロックL1のフリップ フロップ1出力
1	1	1	1	0	ELCL内部論理セルブロックL2のフリップ フロップ1出力
1	1	1	1	1	ELCL内部論理セルブロックL3のフリップ フロップ1出力

図20 - 5 入力信号選択レジスタn (ELISELn) (n = 0-11) のフォーマット (3/3)  
ELISELn (n = 6-11)

ELISEL n4	ELISEL n3	ELISEL n2	ELISEL n1	ELISEL n0	イベント発生元
0	0	0	0	0	SAU0チャンネル0送信データ出力
0	0	0	0	1	SAU0チャンネル1送信データ出力
0	0	0	1	0	SAU0チャンネル0シリアル・クロック出力
0	0	0	1	1	SAU0チャンネル1シリアル・クロック出力
0	0	1	0	0	入力端子 (P11/EI11)
0	0	1	0	1	入力端子 (P50/EI50)
0	0	1	1	0	UARTA0シリアル・クロック出力 <sup>注1</sup>
0	0	1	1	1	TAU0チャンネル0出力
0	1	0	0	0	TAU0チャンネル1出力
0	1	0	0	1	TAU0チャンネル2出力
0	1	0	1	0	TAU0チャンネル3出力
0	1	0	1	1	TAU0チャンネル4出力
0	1	1	0	0	TAU0チャンネル5出力
0	1	1	0	1	TAU0チャンネル6出力
0	1	1	1	0	TAU0チャンネル7出力
0	1	1	1	1	入力端子 (P10/EI10)
1	0	0	0	0	入力端子 (P51/EI51)
1	0	0	0	1	コンパレータ検出0
1	0	0	1	0	コンパレータ検出1
1	0	0	1	1	UARTA0送信データ出力0 <sup>注1</sup>
1	0	1	0	0	入力端子 (P12/EI12)
1	0	1	0	1	INTC4 <sup>注4</sup>
1	0	1	1	0	INTC5 <sup>注4</sup>
1	0	1	1	1	INTC6 <sup>注4</sup>
1	1	0	0	0	INTC7 <sup>注4</sup>
1	1	0	0	1	INTC8 <sup>注4</sup>
1	1	0	1	0	INTC9 <sup>注4</sup>
1	1	0	1	1	fCLK
1	1	1	0	0	fiHP
1	1	1	0	1	fiMP
1	1	1	1	0	fsXP
1	1	1	1	1	設定禁止

注1. 36～128ピン製品のみサポート

注2. 入力端子0、入力端子1のイベント発生元は、ELISELn (n = 0-5)で異なります。

レジスタ	イベント発生元	
	入力端子0	入力端子1
ELISEL0	入力端子 (P20/EI20)	入力端子 (P120/EI120)
ELISEL1	入力端子 (P21/EI21)	入力端子 (P121/EI121)
ELISEL2	入力端子 (P22/EI22)	入力端子 (P122/EI122)
ELISEL3	入力端子 (P23/EI23)	入力端子 (P147/EI147)
ELISEL4	入力端子 (P30/EI30)	入力端子 (P00/EI00)
ELISEL5	入力端子 (P31/EI31)	入力端子 (P01/EI01)

注3. INTC0, INTC1, INTC2, INTC3のイベント発生元の割り込み要因は、ELISELn (n = 0-5)で異なります。なお、割り込み要求信号は、イベント受付側の周辺機能のハードウェア・トリガに使用してください。

レジスタ	イベント発生元			
	INTC0	INTC1	INTC2	INTC3
ELISEL0	INTP6	INTURE0	INTTM16	INTUT1
		INTTM10		
ELISEL1	INTP7	INTURE1	INTTM17	INTUR1
		INTTM11		
ELISEL2	INTP8	INTTM12	INTST3/ INTCSI30/ INTIIC30	INTIICA1
ELISEL3	INTP9	INTSRE3	INTSR3/ INTCSI31/ INTIIC31	未接続
		INTTM13H		
ELISEL4	INTKR	INTTM14	INTUT0	未接続
ELISEL5	INTTM13	INTTM15	INTUR0	未接続

注4. INTC4, INTC5, INTC6, INTC7, INTC8, INTC9のイベント発生元の割り込み要因は、ELISELn (n = 6-11)で異なります。なお、割り込み要求信号は、イベント受付側の周辺機能のハードウェア・トリガに使用してください。

★

レジスタ	イベント発生元					
	INTC4	INTC5	INTC6	INTC7	INTC8	INTC9
ELISEL6	INTP0	INTTM00	INTTM06	INTST2/ INTCSI20/ INTIIC20	INTSR1/ INTCSI11/ INTIIC11	設定禁止
ELISEL7	INTP1	INTTM01	INTITL	INTSR2/ INTCSI21/ INTIIC21	INTSRE1	INTP10
					INTTM03H	INTCMP0
ELISEL8	INTP2	INTTM02	INTWDTI	INTSRE2	INTREMC	INTP11
				INTTM11H		INTCMP1
ELISEL9	INTP3	INTTM03	INTRTC	INTST0/ INTCSI00/ INTIIC00	INTSR0/ INTCSI01/ INTIIC01	INTCTSUWR
ELISEL10	INTP4	INTTM04	INTTM07	INTSRE0	INTLVI	INTCTSURD
				INTTM01H		
ELISEL11	INTP5	INTTM05	INTIICA0	INTST1/ INTCSI10/ INTIIC10	INTAD	INTCTSUFN

★

注意1. ELISEL6レジスタのビット4-0に11010Bを設定することは禁止です。

注意2. ビット7-5には、必ず0を設定してください。

注意3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

備考 fCLK : CPU / 周辺ハードウェア・クロック周波数

fiHP : 高速オンチップ・オシレータ周辺クロック周波数

fiMP : 中速オンチップ・オシレータ周辺クロック周波数

fsXP : 低速周辺クロック周波数

### 20.3.2 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 0-3)

ELL1SELn レジスタは、論理セルブロック L1 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入口にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL1SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-6 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 0-3) のフォーマット

アドレス : F0690H (ELL1SEL0) -F0693H (ELL1SEL3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1SELn	ELL1SEL nZ	0	0	0	ELL1SEL n3	ELL1SEL n2	ELL1SEL n1	ELL1SEL n0

ELL1SEL nZ	イベント信号の出力レベルの制御
0	正論理出力
1	負論理出力 (反転)

ELL1SEL n3	ELL1SEL n2	ELL1SEL n1	ELL1SEL n0	リンク対象の選択
0	0	0	0	選択なし (0 固定)
0	0	0	1	入力信号選択レジスタ0の選択信号をリンク対象に選択
0	0	1	0	入力信号選択レジスタ1の選択信号をリンク対象に選択
0	0	1	1	入力信号選択レジスタ2の選択信号をリンク対象に選択
0	1	0	0	入力信号選択レジスタ3の選択信号をリンク対象に選択
0	1	0	1	入力信号選択レジスタ4の選択信号をリンク対象に選択
0	1	1	0	入力信号選択レジスタ5の選択信号をリンク対象に選択
0	1	1	1	入力信号選択レジスタ6の選択信号をリンク対象に選択
1	0	0	0	入力信号選択レジスタ7の選択信号をリンク対象に選択
1	0	0	1	入力信号選択レジスタ8の選択信号をリンク対象に選択
1	0	1	0	入力信号選択レジスタ9の選択信号をリンク対象に選択
1	0	1	1	入力信号選択レジスタ10の選択信号をリンク対象に選択
1	1	0	0	入力信号選択レジスタ11の選択信号をリンク対象に選択
上記以外				設定禁止

注意1. ビット6-4には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.3 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 4, 5)

ELL1SELn レジスタは、論理セルブロック L1 に搭載されているフリップフロップのセット制御とリセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL1SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-7 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 4, 5) のフォーマット

アドレス : F0694H (ELL1SEL4), F0695H (ELL1SEL5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1SELn	ELL1SEL nZ	0	0	0	0	ELL1SEL n2	ELL1SEL n1	ELL1SEL n0
ELL1SEL nZ	イベント信号の出力レベルの制御							
0	正論理出力							
1	負論理出力 (反転)							
ELL1SEL n2	ELL1SEL n1	ELL1SEL n0	リンク対象の選択					
0	0	0	選択なし (0固定)					
0	0	1	入力信号選択レジスタ6の選択信号をリンク対象に選択					
0	1	0	入力信号選択レジスタ7の選択信号をリンク対象に選択					
0	1	1	入力信号選択レジスタ8の選択信号をリンク対象に選択					
1	0	0	入力信号選択レジスタ9の選択信号をリンク対象に選択					
1	0	1	入力信号選択レジスタ10の選択信号をリンク対象に選択					
1	1	0	入力信号選択レジスタ11の選択信号をリンク対象に選択					
上記以外			設定禁止					

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.4 イベント・リンクL1信号選択レジスタ6 (ELL1SEL6)

ELL1SEL6 レジスタは、論理セルブロック L1 に搭載されているフリップフロップのクロックにリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL1SEL6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-8 イベント・リンクL1信号選択レジスタ6 (ELL1SEL6) のフォーマット

アドレス : F0696H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1SEL6	ELL1SEL 6Z	0	0	0	0	ELL1SEL 62	ELL1SEL 61	ELL1SEL 60
ELL1SEL 6Z	イベント信号の出力レベルの制御							
0	正論理出力							
1	負論理出力 (反転)							
ELL1SEL 62	ELL1SEL 61	ELL1SEL 60	リンク対象の選択					
0	0	0	選択なし (0 固定)					
0	0	1	入力信号選択レジスタ6の選択信号をリンク対象に選択					
0	1	0	入力信号選択レジスタ7の選択信号をリンク対象に選択					
0	1	1	入力信号選択レジスタ8の選択信号をリンク対象に選択					
1	0	0	入力信号選択レジスタ9の選択信号をリンク対象に選択					
1	0	1	入力信号選択レジスタ10の選択信号をリンク対象に選択					
1	1	0	入力信号選択レジスタ11の選択信号をリンク対象に選択					
上記以外			設定禁止					

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.5 論理セルブロックL1制御レジスタ (ELL1CTL)

ELL1CTL レジスタは、論理セルブロック L1 に搭載されている論理セルを選択します。

論理セルごとにスルー、AND 回路、OR 回路、EX-OR 回路から選択します。また、論理セルブロック L1 のフリップフロップ 0, 1 の動作許可/動作停止を選択します。

ELL1CTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-9 論理セルブロックL1制御レジスタ (ELL1CTL) のフォーマット

アドレス : F0697H (ELL1CTL)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1CTL	ELL1T 31EN	ELL1T 30EN	0	0	ELL1T 111	ELL1T 110	ELL1T 101	ELL1T 100
ELL1T 31EN	論理セルブロックL1のフリップフロップ1の動作許可/動作停止の選択							
0	フリップフロップの動作停止 (フリップフロップはリセット状態)							
1	フリップフロップの動作許可							
ELL1T 30EN	論理セルブロックL1のフリップフロップ0の動作許可/動作停止の選択							
0	フリップフロップの動作停止 (フリップフロップはリセット状態)							
1	フリップフロップの動作許可							
ELL1T 111	ELL1T 110	論理セルブロックL1の論理セル1で使用する論理セルの選択						
0	0	スルーを選択						
0	1	AND回路を選択						
1	0	OR回路を選択						
1	1	EX-OR回路を選択						
ELL1T 101	ELL1T 100	論理セルブロックL1の論理セル0で使用する論理セルの選択						
0	0	スルーを選択						
0	1	AND回路を選択						
1	0	OR回路を選択						
1	1	EX-OR回路を選択						

注意1. ビット5-4には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.6 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 0-3)

ELL1LNKn レジスタは、イベント・リンクL1信号選択レジスタn (ELL1SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロックL1に搭載されている論理セル（スルー、AND回路、OR回路、EX-OR回路）とセクタ、フリップフロップの入力から選択します。

ELL1LNKn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-10 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 0-3) のフォーマット

アドレス : F0698H (ELL1LNK0) -F069BH (ELL1LNK3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1LNKn	0	0	0	0	ELL1LNK n3	ELL1LNK n2	ELL1LNK n1	ELL1LNK n0

ELL1LNK n3	ELL1LNK n2	ELL1LNK n1	ELL1LNK n0	リンク先の選択
0	0	0	0	リンクなし
0	0	0	1	論理セルブロックL1の論理セル0の入力0にリンク
0	0	1	0	論理セルブロックL1の論理セル0の入力1にリンク
0	0	1	1	論理セルブロックL1の論理セル1の入力0にリンク
0	1	0	0	論理セルブロックL1の論理セル1の入力1にリンク
0	1	0	1	論理セルブロックL1のセクタの選択制御にリンク
0	1	1	0	論理セルブロックL1のセクタの入力0にリンク
0	1	1	1	論理セルブロックL1のセクタの入力1にリンク
1	0	0	0	論理セルブロックL1のフリップフロップ0の入力にリンク
1	0	0	1	論理セルブロックL1のフリップフロップ1の入力にリンク
上記以外				設定禁止

注意1. ビット7-4には、必ず0を設定してください。

注意2. イベント・リンクL1信号選択ブロック0-6は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注意3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.7 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 4, 5)

ELL1LNKn レジスタは、イベント・リンクL1信号選択レジスタn (ELL1SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロックL1に搭載されているフリップフロップのセット制御とリセット制御です。

ELL1LNKn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-11 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 4, 5) のフォーマット

アドレス : F069CH (ELL1LNK4), F069DH (ELL1LNK5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1LNKn	0	0	0	0	ELL1LNK n3	ELL1LNK n2	ELL1LNK n1	ELL1LNK n0
ELL1LNK n3	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ1のリセット制御にリンク							
ELL1LNK n2	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ1のセット制御にリンク							
ELL1LNK n1	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ0のリセット制御にリンク							
ELL1LNK n0	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ0のセット制御にリンク							

注意1. ビット7-4には、必ず0を設定してください。

注意2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。

注意3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.8 イベント・リンクL1出力選択レジスタ6 (ELL1LNK6)

ELL1LNK6 レジスタは、イベント・リンクL1信号選択レジスタ6 (ELL1SEL6) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロックL1に搭載されているフリップフロップのクロックです。

ELL1LNK6 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-12 イベント・リンクL1出力選択レジスタ6 (ELL1LNK6) のフォーマット

アドレス : F069EH (ELL1LNK6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
ELL1LNK6	0	0	0	0	0	0	ELL1LNK 61	ELL1LNK 60	
ELL1LNK 61	論理セルブロックL1のフリップフロップのリンクを制御								
0	リンクなし								
1	論理セルブロックL1のフリップフロップ1のクロックにリンク								
ELL1LNK 60	論理セルブロックL1のフリップフロップのリンクを制御								
0	リンクなし								
1	論理セルブロックL1のフリップフロップ0のクロックにリンク								

注意1. ビット7-2には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

20.3.9 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 0-3)

ELL2SELn レジスタは、論理セルブロック L2 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセレクト、フリップフロップの入力とセット制御、リセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。また、論理セルブロック L1 の出力信号も選択可能です。ELL2SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-13 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 0-3) のフォーマット (1/2)

アドレス : F06A0H (ELL2SEL0) -F06A3H (ELL2SEL3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2SELn	ELL2SEL nZ	0	0	ELL2SEL n4	ELL2SEL n3	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0

ELL2SEL nZ	イベント信号の出力レベルの制御			
0	正論理出力			
1	負論理出力 (反転)			

ELL2SEL n4	ELL2SEL n3	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0	リンク対象を選択
0	0	0	0	0	選択なし (0固定)
0	0	0	0	1	入力信号選択レジスタ0の選択信号をリンク対象に選択
0	0	0	1	0	入力信号選択レジスタ1の選択信号をリンク対象に選択
0	0	0	1	1	入力信号選択レジスタ2の選択信号をリンク対象に選択
0	0	1	0	0	入力信号選択レジスタ3の選択信号をリンク対象に選択
0	0	1	0	1	入力信号選択レジスタ4の選択信号をリンク対象に選択
0	0	1	1	0	入力信号選択レジスタ5の選択信号をリンク対象に選択
0	0	1	1	1	入力信号選択レジスタ6の選択信号をリンク対象に選択
0	1	0	0	0	入力信号選択レジスタ7の選択信号をリンク対象に選択
0	1	0	0	1	入力信号選択レジスタ8の選択信号をリンク対象に選択
0	1	0	1	0	入力信号選択レジスタ9の選択信号をリンク対象に選択
0	1	0	1	1	入力信号選択レジスタ10の選択信号をリンク対象に選択
0	1	1	0	0	入力信号選択レジスタ11の選択信号をリンク対象に選択
0	1	1	0	1	論理セルブロックL1の出力信号0をリンク対象に選択
0	1	1	1	0	論理セルブロックL1の出力信号1をリンク対象に選択
0	1	1	1	1	論理セルブロックL1の出力信号2をリンク対象に選択
1	0	0	0	0	論理セルブロックL1の出力信号3をリンク対象に選択

図20 - 13 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 0-3) のフォーマット (2/2)

ELL2SEL n4	ELL2SEL n3	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0	リンク対象を選択
1	0	0	0	1	論理セルブロックL1の出力信号4をリンク対象に選択
上記以外					設定禁止

注意1. ビット6, 5には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.10 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 4, 5)

ELL2SELn レジスタは、論理セルブロック L2 に搭載されているフリップフロップのセット制御とリセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL2SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-14 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 4, 5) のフォーマット

アドレス : F06A4H (ELL2SEL4), F06A5H (ELL2SEL5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2SELn	ELL2SEL nZ	0	0	0	0	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0
ELL2SEL nZ	イベント信号の出力レベルの制御							
0	正論理出力							
1	負論理出力 (反転)							
ELL2SEL n2	ELL2SEL n1	ELL2SEL n0	リンク対象の選択					
0	0	0	選択なし (0固定)					
0	0	1	入力信号選択レジスタ6の選択信号をリンク対象に選択					
0	1	0	入力信号選択レジスタ7の選択信号をリンク対象に選択					
0	1	1	入力信号選択レジスタ8の選択信号をリンク対象に選択					
1	0	0	入力信号選択レジスタ9の選択信号をリンク対象に選択					
1	0	1	入力信号選択レジスタ10の選択信号をリンク対象に選択					
1	1	0	入力信号選択レジスタ11の選択信号をリンク対象に選択					
上記以外			設定禁止					

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.11 イベント・リンクL2信号選択レジスタ6 (ELL2SEL6)

ELL2SEL6 レジスタは、論理セルブロック L2 に搭載されているフリップフロップのクロックにリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL2SEL6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-15 イベント・リンクL2信号選択レジスタ6 (ELL2SEL6) のフォーマット

アドレス : F06A6H (ELL2SEL6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2SEL6	ELL2SEL 6Z	0	0	0	0	ELL2SEL 62	ELL2SEL 61	ELL2SEL 60

ELL2SEL 6Z	イベント信号の出力レベルの制御
0	正論理出力
1	負論理出力 (反転)

ELL2SEL 62	ELL2SEL 61	ELL2SEL 60	リンク対象の選択
0	0	0	選択なし (0固定)
0	0	1	入力信号選択レジスタ6 <sup>注</sup> の選択信号をリンク対象に選択
0	1	0	入力信号選択レジスタ7 <sup>注</sup> の選択信号をリンク対象に選択
0	1	1	入力信号選択レジスタ8 <sup>注</sup> の選択信号をリンク対象に選択
1	0	0	入力信号選択レジスタ9 <sup>注</sup> の選択信号をリンク対象に選択
1	0	1	入力信号選択レジスタ10 <sup>注</sup> の選択信号をリンク対象に選択
1	1	0	入力信号選択レジスタ11 <sup>注</sup> の選択信号をリンク対象に選択
上記以外			設定禁止

注 入力信号選択レジスタ6-11で、クロック信号を選択してください。

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.12 論理セルブロック L2 制御レジスタ (ELL2CTL)

ELL2CTL レジスタは、論理セルブロック L2 に搭載されている論理セルを選択します。

論理セルごとにスルー、AND 回路、OR 回路、EX-OR 回路から選択します。また、論理セルブロック L2 のフリップフロップ 0, 1 の動作許可/動作停止を選択します。

ELL2CTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 16 論理セルブロック L2 制御レジスタ (ELL2CTL) のフォーマット

アドレス : F06A7H (ELL2CTL)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2CTL	ELL2T 31EN	ELL2T 30EN	0	0	ELL2T 111	ELL2T 110	ELL2T 101	ELL2T 100
	ELL2T 31EN	論理セルブロック L2 のフリップフロップ 1 の動作許可/動作停止の選択						
	0	フリップフロップの動作停止 (フリップフロップはリセット状態)						
	1	フリップフロップの動作許可						
	ELL2T 30EN	論理セルブロック L2 のフリップフロップ 0 の動作許可/動作停止の選択						
	0	フリップフロップの動作停止 (フリップフロップはリセット状態)						
	1	フリップフロップの動作許可						
	ELL2T 111	ELL2T 110	論理セルブロック L2 の論理セル 1 で使用する論理セルの選択					
	0	0	スルーを選択					
	0	1	AND 回路を選択					
	1	0	OR 回路を選択					
	1	1	EX-OR 回路を選択					
	ELL2T 101	ELL2T 100	論理セルブロック L2 の論理セル 0 で使用する論理セルの選択					
	0	0	スルーを選択					
	0	1	AND 回路を選択					
	1	0	OR 回路を選択					
	1	1	EX-OR 回路を選択					

注意1. ビット 5-4 には、必ず 0 を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.13 イベント・リンク L2出力選択レジスタ n (ELL2LNKn) (n = 0-3)

ELL2LNKn レジスタは、イベント・リンク L2 信号選択レジスタ n (ELL2SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L2 に搭載されている論理セル (スルー、AND 回路、OR 回路、EX-OR 回路) とセクタ、フリップフロップの入力とセット制御、リセット制御から選択します。

ELL2LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-17 イベント・リンク L2出力選択レジスタ n (ELL2LNKn) (n = 0-3) のフォーマット

アドレス : F06A8H (ELL2LNK0) -F06ABH (ELL2LNK3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2LNKn	0	0	0	0	ELL2LNK n3	ELL2LNK n2	ELL2LNK n1	ELL2LNK n0

ELL2 LNKn3	ELL2 LNKn2	ELL2 LNKn1	ELL2 LNKn0	リンク先の選択
0	0	0	0	リンクなし
0	0	0	1	論理セルブロック L2 の論理セル 0 の入力 0 にリンク
0	0	1	0	論理セルブロック L2 の論理セル 0 の入力 1 にリンク
0	0	1	1	論理セルブロック L2 の論理セル 1 の入力 0 にリンク
0	1	0	0	論理セルブロック L2 の論理セル 1 の入力 1 にリンク
0	1	0	1	論理セルブロック L2 のセクタの選択制御にリンク
0	1	1	0	論理セルブロック L2 のセクタの入力 0 にリンク
0	1	1	1	論理セルブロック L2 のセクタの入力 1 にリンク
1	0	0	0	論理セルブロック L2 のフリップフロップ 0 の入力にリンク
1	0	0	1	論理セルブロック L2 のフリップフロップ 1 の入力にリンク
1	0	1	0	論理セルブロック L2 のフリップフロップ 0 のセット制御にリンク
1	0	1	1	論理セルブロック L2 のフリップフロップ 0 のリセット制御にリンク
上記以外				設定禁止

注意 1. ビット 7-4 には、必ず 0 を設定してください。

注意 2. イベント・リンク L2 信号選択ブロック 0-6 は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注意 3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.14 イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 4, 5)

ELL2LNKn レジスタは、イベント・リンク L2 信号選択レジスタ n (ELL2SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L2 に搭載されているフリップフロップのセット制御とリセット制御です。

ELL2LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 20 - 18 イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 4, 5) のフォーマット

アドレス : F06ACH (ELL2LNK4), F06ADH (ELL2LNK5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2LNKn	0	0	0	0	0	0	0	ELL2LNK n0

#### ELL2LNK5 レジスタ

ELL2LNK 50	論理セルブロック L2 のフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L2 のフリップフロップ 1 のリセット制御にリンク

#### ELL2LNK4 レジスタ

ELL2LNK 40	論理セルブロック L2 のフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L2 のフリップフロップ 1 のセット制御にリンク

注意 1. ビット 7-1 には、必ず 0 を設定してください。

注意 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。

注意 3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.15 イベント・リンク L2 出力選択レジスタ 6 (ELL2LNK6)

ELL2LNK6 レジスタは、イベント・リンク L2 信号選択レジスタ 6 (ELL2SEL6) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L2 に搭載されているフリップフロップのクロックです。

ELL2LNK6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 19 イベント・リンク L2 出力選択レジスタ 6 (ELL2LNK6) のフォーマット

アドレス : F06AEH (ELL2LNK6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
ELL2LNK6	0	0	0	0	0	0	ELL2LNK 61	ELL2LNK 60	
ELL2LNK 61	論理セルブロック L2 のフリップフロップのリンクを制御								
0	リンクなし								
1	論理セルブロック L2 のフリップフロップ 1 のクロックにリンク								
ELL2LNK 60	論理セルブロック L2 のフリップフロップのリンクを制御								
0	リンクなし								
1	論理セルブロック L2 のフリップフロップ 0 のクロックにリンク								

注意1. ビット7-2には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.16 イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-3)

ELL3SELn レジスタは、論理セルブロック L3 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入力とセット制御、リセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

また、論理セルブロック L2 の出力信号も選択可能です。

ELL3SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 20 - 20 イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-3) のフォーマット (1/2)

アドレス : F06B0H (ELL3SEL0) -F06B3H (ELL3SEL3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3SELn	ELL3SELnZ	0	0	ELL3SELn4	ELL3SELn3	ELL3SELn2	ELL3SELn1	ELL3SELn0

ELL3SELnZ	イベント信号の出力レベルの制御
0	正論理出力
1	負論理出力 (反転)

ELL3SELn4	ELL3SELn3	ELL3SELn2	ELL3SELn1	ELL3SELn0	リンク対象を選択
0	0	0	0	0	選択なし (0 固定)
0	0	0	0	1	入力信号選択レジスタ 0 の選択信号をリンク対象に選択
0	0	0	1	0	入力信号選択レジスタ 1 の選択信号をリンク対象に選択
0	0	0	1	1	入力信号選択レジスタ 2 の選択信号をリンク対象に選択
0	0	1	0	0	入力信号選択レジスタ 3 の選択信号をリンク対象に選択
0	0	1	0	1	入力信号選択レジスタ 4 の選択信号をリンク対象に選択
0	0	1	1	0	入力信号選択レジスタ 5 の選択信号をリンク対象に選択
0	0	1	1	1	入力信号選択レジスタ 6 の選択信号をリンク対象に選択
0	1	0	0	0	入力信号選択レジスタ 7 の選択信号をリンク対象に選択
0	1	0	0	1	入力信号選択レジスタ 8 の選択信号をリンク対象に選択
0	1	0	1	0	入力信号選択レジスタ 9 の選択信号をリンク対象に選択
0	1	0	1	1	入力信号選択レジスタ 10 の選択信号をリンク対象に選択
0	1	1	0	0	入力信号選択レジスタ 11 の選択信号をリンク対象に選択
0	1	1	0	1	論理セルブロック L2 の出力信号 0 をリンク対象に選択
0	1	1	1	0	論理セルブロック L2 の出力信号 1 をリンク対象に選択
0	1	1	1	1	論理セルブロック L2 の出力信号 2 をリンク対象に選択
1	0	0	0	0	論理セルブロック L2 の出力信号 3 をリンク対象に選択

図20 - 20 イベント・リンクL3信号選択レジスタ n (ELL3SELn) (n = 0-3) のフォーマット (2/2)

ELL3 SELn4	ELL3 SELn3	ELL3 SELn2	ELL3 SELn1	ELL3 SELn0	リンク対象を選択
1	0	0	0	1	論理セルブロックL2の出力信号4をリンク対象に選択
上記以外					設定禁止

注意1. ビット6, 5には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.17 イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 4, 5)

ELL3SELn レジスタは、論理セルブロック L3 に搭載されているフリップフロップのセット制御とリセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL3SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-21 イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 4, 5) のフォーマット

アドレス : F06B4H (ELL3SEL4), F06B5H (ELL3SEL5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3SELn	ELL3SEL nZ	0	0	0	0	ELL3SEL n2	ELL3SEL n1	ELL3SEL n0
ELL3SEL nZ	イベント信号の出力レベルの制御							
0	正論理出力							
1	負論理出力 (反転)							
ELL3SEL n2	ELL3SEL n1	ELL3SEL n0	リンク対象を選択					
0	0	0	選択なし (0 固定)					
0	0	1	入力信号選択レジスタ 6 の選択信号をリンク対象に選択					
0	1	0	入力信号選択レジスタ 7 の選択信号をリンク対象に選択					
0	1	1	入力信号選択レジスタ 8 の選択信号をリンク対象に選択					
1	0	0	入力信号選択レジスタ 9 の選択信号をリンク対象に選択					
1	0	1	入力信号選択レジスタ 10 の選択信号をリンク対象に選択					
1	1	0	入力信号選択レジスタ 11 の選択信号をリンク対象に選択					
上記以外			設定禁止					

注意1. ビット 6-3 には、必ず 0 を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.18 イベント・リンクL3信号選択レジスタ6 (ELL3SEL6)

ELL3SEL6 レジスタは、論理セルブロック L3 に搭載されているフリップフロップのクロック信号にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL3SEL6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-22 イベント・リンクL3信号選択レジスタ6 (ELL3SEL6) のフォーマット

アドレス : F06B6H (ELL3SEL6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3SEL6	ELL3SEL 6Z	0	0	0	0	ELL3SEL 62	ELL3SEL 61	ELL3SEL 60

ELL3SEL 6Z	イベント信号の出力レベルの制御
0	正論理出力
1	負論理出力 (反転)

ELL3SEL 62	ELL3SEL 61	ELL3SEL 60	リンク対象を選択
0	0	0	選択なし (0固定)
0	0	1	入力信号選択レジスタ6注の選択信号をリンク対象に選択
0	1	0	入力信号選択レジスタ7注の選択信号をリンク対象に選択
0	1	1	入力信号選択レジスタ8注の選択信号をリンク対象に選択
1	0	0	入力信号選択レジスタ9注の選択信号をリンク対象に選択
1	0	1	入力信号選択レジスタ10注の選択信号をリンク対象に選択
1	1	0	入力信号選択レジスタ11注の選択信号をリンク対象に選択
1	1	1	選択なし (0固定)

注 入力信号選択レジスタ6-11で、クロック信号を選択してください。

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.19 論理セルブロック L3 制御レジスタ (ELL3CTL)

ELL3CTL レジスタは、論理セルブロック L3 に搭載されている論理セルを選択します。

論理セルごとにスルー、AND 回路、OR 回路、EX-OR 回路から選択します。また、論理セルブロック L3 のフリップフロップ 0, 1 の動作許可/動作停止を選択します。

ELL3CTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-23 論理セルブロック L3 制御レジスタ (ELL3CTL) のフォーマット

アドレス : F06B7H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3CTL	ELL3T 31EN	ELL3T 30EN	0	0	ELL3T 111	ELL3T 110	ELL3T 101	ELL3T 100
ELL3T 31EN	論理セルブロック L3 のフリップフロップ 1 の動作許可/動作停止の選択							
0	フリップフロップの動作停止 (フリップフロップはリセット状態)							
1	フリップフロップの動作許可							
ELL3T 30EN	論理セルブロック L3 のフリップフロップ 0 の動作許可/動作停止の選択							
0	フリップフロップの動作停止 (フリップフロップはリセット状態)							
1	フリップフロップの動作許可							
ELL3T 111	ELL3T 110	論理セルブロック L3 の論理セル 1 で使用する論理セルの選択						
0	0	スルーを選択						
0	1	AND 回路を選択						
1	0	OR 回路を選択						
1	1	EX-OR 回路を選択						
ELL3T 101	ELL3T 100	論理セルブロック L3 の論理セル 0 で使用する論理セルの選択						
0	0	スルーを選択						
0	1	AND 回路を選択						
1	0	OR 回路を選択						
1	1	EX-OR 回路を選択						

注意1. ビット 5-4 には、必ず 0 を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.20 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-3)

ELL3LNKn レジスタは、イベント・リンク L3 信号選択レジスタ n (ELL3SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L3 に搭載されている論理セル (スルー、AND 回路、OR 回路、EX-OR 回路) とセクタ、フリップフロップの入力信号とセット制御信号、リセット制御信号から選択します。

ELL3LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-24 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-3) のフォーマット

アドレス : F06B8H (ELL3LNK0) -F06BBH (ELL3LNK3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3LNKn	0	0	0	0	ELL3LNK n3	ELL3LNK n2	ELL3LNK n1	ELL3LNK n0

ELL3LNK n3	ELL3LNK n2	ELL3LNK n1	ELL3LNK n0	リンク先の選択
0	0	0	0	リンクなし
0	0	0	1	論理セルブロック L3 の論理セル 0 の入力 0 にリンク
0	0	1	0	論理セルブロック L3 の論理セル 0 の入力 1 にリンク
0	0	1	1	論理セルブロック L3 の論理セル 1 の入力 0 にリンク
0	1	0	0	論理セルブロック L3 の論理セル 1 の入力 1 にリンク
0	1	0	1	論理セルブロック L3 のセクタの選択制御にリンク
0	1	1	0	論理セルブロック L3 のセクタの入力 0 にリンク
0	1	1	1	論理セルブロック L3 のセクタの入力 1 にリンク
1	0	0	0	論理セルブロック L3 のフリップフロップ 0 の入力にリンク
1	0	0	1	論理セルブロック L3 のフリップフロップ 1 の入力にリンク
1	0	1	0	論理セルブロック L3 のフリップフロップ 0 のセット制御にリンク
1	0	1	1	論理セルブロック L3 のフリップフロップ 0 のリセット制御にリンク
上記以外				設定禁止

注意 1. ビット 7-4 には、必ず 0 を設定してください。

注意 2. イベント・リンク L3 信号選択ブロック 0-6 は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注意 3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.21 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 4, 5)

ELL3LNKn レジスタは、イベント・リンク L3 信号選択レジスタ n (ELL3SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L3 に搭載されているフリップフロップのセット制御とリセット制御です。

ELL3LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 20 - 25 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 4, 5) のフォーマット

アドレス : F06BCH (ELL3LNK4), F06BDH (ELL3LNK5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3LNKn	0	0	0	0	0	0	0	ELL3LNK n0

#### ELL3LNK5 レジスタ

ELL3LNK 50	論理セルブロック L3 にフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L3 のフリップフロップ 1 のリセット制御にリンク

#### ELL3LNK4 レジスタ

ELL3LNK 40	論理セルブロック L3 にフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L3 のフリップフロップ 1 のセット制御にリンク

注意 1. ビット 7-1 には、必ず 0 を設定してください。

注意 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。

注意 3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

### 20.3.22 イベント・リンク L3 出力選択レジスタ 6 (ELL3LNK6)

ELL3LNK6 レジスタは、イベント・リンク L3 信号選択レジスタ 6 (ELL3SEL6) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L3 に搭載されているフリップフロップのクロックです。

ELL3LNK6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 26 イベント・リンク L3 出力選択レジスタ 6 (ELL3LNK6) のフォーマット

アドレス : F06BEH (ELL3LNK6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0		
ELL3LNK6	0	0	0	0	0	0	ELL3LNK 61	ELL3LNK 60		
ELL3LNK 61	論理セルブロック L3 にフリップフロップのリンクを制御									
	0	リンクなし								
	1	論理セルブロック L3 のフリップフロップ 1 のクロックにリンク								
ELL3LNK 60	論理セルブロック L3 にフリップフロップのリンクを制御									
	0	リンクなし								
	1	論理セルブロック L3 のフリップフロップ 0 のクロックにリンク								

注意1. ビット7-2には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は本レジスタの設定を変更しないでください。

## 20.3.23 出力信号選択レジスタ n (ELOSELn) (n = 0-7)

ELOSELn レジスタは、イベント受付側の周辺機能へ出力する信号を選択するレジスタです。

論理セルブロック L1-L3 の出力信号から選択します。

ELOSELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 20 - 27 出力信号選択レジスタ n (ELOSELn) (n = 0-7) のフォーマット (1/2)

アドレス : F06C0H (ELOSEL0) -F06C7H (ELOSEL7)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELOSELn	ELOSELnZ	0	0	0	ELOSELn3	ELOSELn2	ELOSELn1	ELOSELn0

ELOSELnZ	出力信号の出力レベルの制御
0	正論理出力
1	負論理出力 (反転)

ELOSELn3	ELOSELn2	ELOSELn1	ELOSELn0	出力信号の選択
0	0	0	0	選択なし
0	0	0	1	論理セルブロック L1 の出力信号 0 (論理セル 0 の出力) を選択
0	0	1	0	論理セルブロック L1 の出力信号 1 (論理セル 1 の出力) を選択
0	0	1	1	論理セルブロック L1 の出力信号 2 (セクタの出力) を選択
0	1	0	0	論理セルブロック L1 の出力信号 3 (フリップフロップ 0 の出力) を選択
0	1	0	1	論理セルブロック L1 の出力信号 4 (フリップフロップ 1 の出力) を選択
0	1	1	0	論理セルブロック L2 の出力信号 0 (論理セル 0 の出力) を選択
0	1	1	1	論理セルブロック L2 の出力信号 1 (論理セル 1 の出力) を選択
1	0	0	0	論理セルブロック L2 の出力信号 2 (セクタの出力) を選択
1	0	0	1	論理セルブロック L2 の出力信号 3 (フリップフロップ 0 の出力) を選択
1	0	1	0	論理セルブロック L2 の出力信号 4 (フリップフロップ 1 の出力) を選択
1	0	1	1	論理セルブロック L3 の出力信号 0 (論理セル 0 の出力) を選択

図20 - 27 出力信号選択レジスタ n (ELOSELn) (n = 0-7) のフォーマット (2/2)

ELOSELn3	ELOSELn2	ELOSELn1	ELOSELn0	出力信号の選択
1	1	0	0	論理セルブロックL3の出力信号1 (論理セル1の出力) を選択
1	1	0	1	論理セルブロックL3の出力信号2 (セレクタの出力) を選択
1	1	1	0	論理セルブロックL3の出力信号3 (フリップフロップ0の出力) を選択
1	1	1	1	論理セルブロックL3の出力信号4 (フリップフロップ1の出力) を選択

**注意** ビット6-4には、必ず0を設定してください。

### 20.3.24 出力信号イネーブル設定レジスタ (ELOENCTL)

ELOENCTL レジスタは、ELOSELn レジスタで選択した信号の出力の許可/禁止を選択するレジスタです。

ELOENCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-28 出力信号イネーブル設定レジスタ (ELOENCTL) のフォーマット

アドレス : F06C8H (ELOENCTL)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELOENCTL	ELOEN CTL7	ELOEN CTL6	ELOEN CTL5	ELOEN CTL4	ELOEN CTL3	ELOEN CTL2	ELOEN CTL1	ELOEN CTL0
ELOEN CTLn	出力信号[n]の出力許可/禁止							
0	出力信号の出力禁止							
1	出力信号の出力許可 <sup>注</sup>							

**注** イベント元の信号が、イベント先の周辺機能の動作に影響がない状態になっていることを確認した後、“出力信号の出力許可”を設定してください。

表 20 - 7 に出力信号のイネーブル設定レジスタに対応するイベント受付側（周辺機能）を示します。

ELCL の出力信号は複数のリンク先へ接続されます。そのため、ELCL 出力信号を使用しない場合は、リンク先の入力選択で ELCL 出力信号を選択しないように設定してください。ELCL 出力信号の選択はリンク先の章を参照してください。

表20 - 7 出力信号のイネーブル設定レジスタに対応するイベント受付側（周辺機能）の接続

レジスタ名	イベント受付側					
	リンク先1	リンク先2	リンク先3	リンク先4	リンク先5	リンク先6
ELOENCTL. ELOENCTL0	出力端子 (P50/EO50)	出力端子 (P01/EO01)	イベントリンク割り 込み (INTELCL) 注1	出力端子 (P10/EO10)	—	—
ELOENCTL. ELOENCTL1	出力端子 (P51/EO51)	出力端子 (P60/EO60)	DTC 起動トリガ注1	出力端子 (P11/EO11)	—	—
ELOENCTL. ELOENCTL2	SAU0チャンネル0 シリアル・クロック 入力	出力端子 (P61/EO61)	SMS 起動トリガ注1	出力端子 (P12/EO12)	—	—
ELOENCTL. ELOENCTL3	SAU0チャンネル1 シリアル・クロック 入力	TAU0チャンネル0 タイマ入力注2	—	出力端子 (P13/EO13)	—	—
ELOENCTL. ELOENCTL4	SAU0チャンネル0 受信データ入力	TAU0チャンネル1 タイマ入力注2	—	出力端子 (P14/EO14)	—	—
ELOENCTL. ELOENCTL5	SAU0チャンネル1 受信データ入力	—	—	出力端子 (P15/EO15)	A/Dコンバータ ハードウェア・ トリガ注1	UARTAクロック 入力 (UARTA0, UARTA1) 注3
ELOENCTL. ELOENCTL6	—	TAU0チャンネル5 タイマ入力注2	—	出力端子 (P16/EO16)	D/Aコンバータ0 ハードウェア・ トリガ注1	CTSUハードウェア・ トリガ注1
ELOENCTL. ELOENCTL7	—	—	—	出力端子 (P17/EO17)	D/Aコンバータ1 ハードウェア・ トリガ注1	TML32動作クロック、 キャプチャ・ トリガ注1

注1. ハードウェア・トリガでは、立ち上がりエッジをトリガとして検出します。

注2. リンク先のタイマ・アレイ・ユニットの入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$  ns以上必要となります。そのためELCL出力信号に合わせて、タイマクロック選択レジスタ0 (TPS0) で選択するタイマの動作クロック、およびノイズ・フィルタ許可レジスタ1 (NFEN1) で設定するノイズフィルタのON/OFFについて設定する必要があります。

注3. 36～128ピン製品のみサポート

### 20.3.25 出力信号モニタレジスタ (ELOMONI)

ELOMONI レジスタは、ELOSELn (n = 0-7) レジスタで選択した出力信号 n をモニタするレジスタです。本レジスタをリードした際の、出力信号 n の信号レベルを読み出します。

ELOMONI レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 20 - 29 出力信号モニタレジスタ (ELOMONI) のフォーマット

アドレス : F06C9H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
ELOMONI	ELOMONI7	ELOMONI6	ELOMONI5	ELOMONI4	ELOMONI3	ELOMONI2	ELOMONI1	ELOMONI0
ELOMONIn	出力信号nの信号レベル							
0	信号レベルは0							
1	信号レベルは1							

**注意** 本レジスタの読み出しタイミングによっては、出力信号nの正しい値が読み出せない場合があります。その場合は、出力信号nの安定待ちを確認後に読み出してください。

### 20.3.26 ロジック&イベント・リンク・コントローラ入出力と端子を兼用するポートのポート機能を制御するレジスタ

ロジック&イベント・リンク・コントローラ入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx) を参照してください。

Elxx を兼用する端子を ELCL の入力機能として使用するときは、ポート・モード・レジスタ (PMxx) のビットに 1、ポート・モード・コントロールA・レジスタ (PMCAxx) のビットに 0、ポート・モード・コントロールT・レジスタ (PMCTxx) のビットに 0、ポート・モード・コントロールE・レジスタ (PMCExx) のビットに 0 を設定してください。

EOxx を兼用する端子を ELCL の出力機能として使用するときは、ポート・モード・レジスタ (PMxx) のビットに 0、ポート・モード・コントロールA・レジスタ (PMCAxx) のビットに 0、ポート・モード・コントロールT・レジスタ (PMCTxx) のビットに 0、ポート・モード・コントロールE・レジスタ (PMCExx) のビットに 1 を設定してください。

**備考** xx = 0-3, 5, 6, 12, 14

ただし、PIM2, 6, 12, POM2, 6, PMCA5, 6, PMCT1, 12, 14, PMCE2, 3, 12, 14は搭載していません。

## 20.4 ELCLの動作

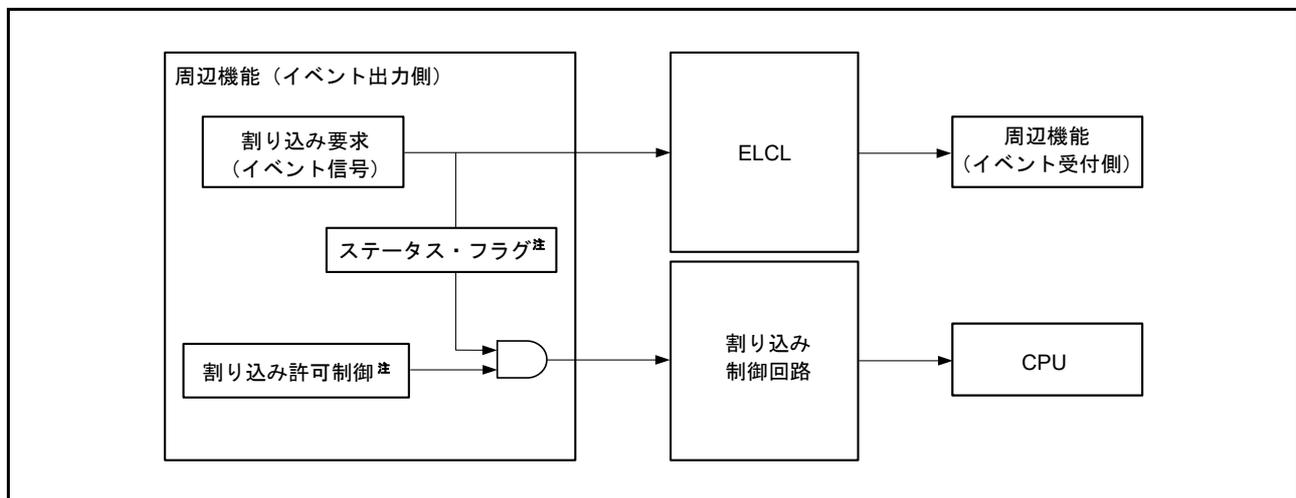
ELCLは周辺機能で発生するイベント信号を、論理セルブロックを介してイベント受付側周辺機能へ入力することで、用途に合わせた信号を作ることができます。論理セルブロックには、論理セル（スルー、AND回路、OR回路、EX-OR回路）、セレクタ、フリップフロップが搭載されています。

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCLのイベントとして使う経路が独立しています。したがって、ELCLのイベント信号として使用する割り込み要求信号は、割り込み機能の設定の影響を受けません。たとえば、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）で割り込み処理禁止に設定されている割り込み要求信号でもELCLのイベント信号として使用することが可能です。

割り込み処理とELCLの関係を図20-30に示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCLによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします。

図20-30 割り込み処理とELCLの関係



注 周辺機能によっては、搭載していません。

## 20.5 ELCLの設定手順

図 20 - 31 に ELCL の設定手順を示します。イベント出力側の周辺機能からの出力禁止かつイベント受付側の周辺機能の受付無効の状態から ELCL の各レジスタを設定します。また、⑩出力信号イネーブル設定レジスタを有効後にイベント受付側の周辺機能の受付を有効にし、イベント出力側の周辺機能からの出力を許可してください。

図 20 - 31 ELCLの設定手順



## (1) ELCLの設定例 (OR回路)

ELCLの設定例としてOR回路の設定を図20-32に示します。また、レジスタ設定例を表20-8に示します。

図20-32 ELCL設定例 (OR回路)

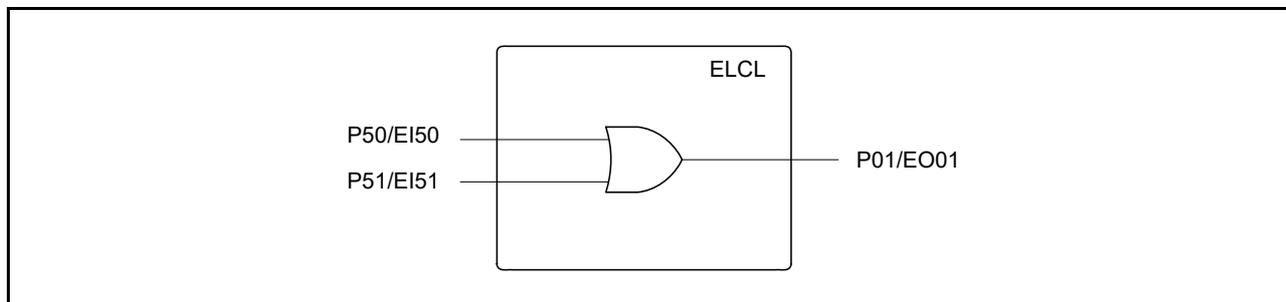


表20-8 ELCL設定レジスタ設定例 (OR回路)

No.	レジスタ呼称	レジスタ名	初期値	設定例	備考
1	PORT.PMCE0	—	00H	00H	P01端子出力でELCL以外を選択
2	ELISEL0	入力信号選択レジスタ0	00H	05H	P50/EI50を選択した場合
2	ELISEL1	入力信号選択レジスタ1	00H	10H	P51/EI51を選択した場合
3	ELL1SEL0	イベント・リンクL1信号選択レジスタ0	00H	01H	入力信号セクタ0を選択
3	ELL1SEL1	イベント・リンクL1信号選択レジスタ1	00H	02H	入力信号セクタ1を選択
6	ELL1CTL	論理セルブロックL1制御レジスタ	00H	02H	論理セル0のOR回路を選択
9	ELL1LNK0	イベント・リンクL1出力選択レジスタ0	00H	01H	論理セルブロックL1の0へリンク
9	ELL1LNK1	イベント・リンクL1出力選択レジスタ1	00H	02H	論理セルブロックL1の1へリンク
10	ELOSEL0	出力信号選択レジスタ0	00H	01H	論理セルブロックL1の出力信号[0]を選択
11	ELOENCTL	出力信号イネーブル設定レジスタ	00H	01H	[0]を出力許可。P01/EO01へ出力
12	PORT.PMCE0	—	00H	02H	P01端子出力でELCLを選択

注意1. Noは、図20-31 ELCLの設定手順 (①~⑫) が対応します。

注意2. No.2~No.10の設定順番は入れ替え可能です。ただし、No.11出力信号イネーブル設定レジスタ設定以降はNo.2~No.10のレジスタの設定変更は禁止です。

## (2) ELCLの設定例 (AND回路)

ELCLの設定例としてAND回路の設定を図20-33に示します。また、レジスタ設定例を表20-9に示します。

図20-33 ELCL設定例 (AND回路)

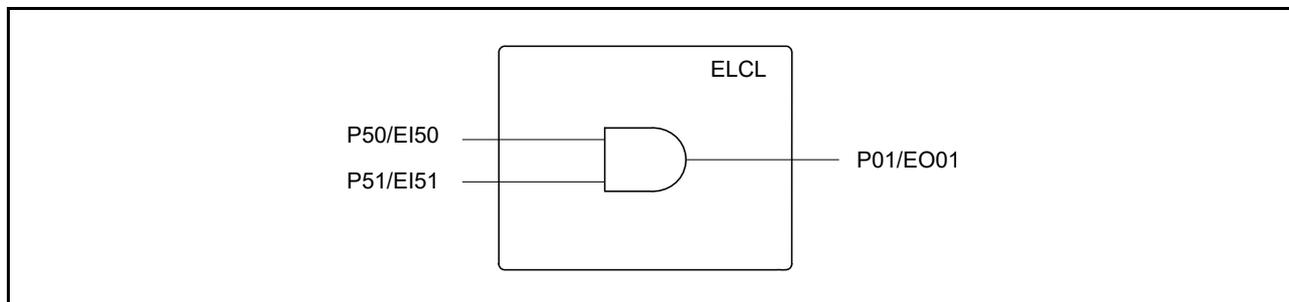


表20-9 ELCL設定レジスタ設定例 (AND回路)

No.	レジスタ呼称	レジスタ名	初期値	設定例	備考
1	PORT.PMCE0	—	00H	00H	P01端子出力でELCL以外を選択
2	ELISEL0	入力信号選択レジスタ0	00H	05H	P50/EI50を選択した場合
2	ELISEL1	入力信号選択レジスタ1	00H	10H	P51/EI51を選択した場合
3	ELL1SEL0	イベント・リンクL1信号選択レジスタ0	00H	01H	入力信号セクタ0を選択
3	ELL1SEL1	イベント・リンクL1信号選択レジスタ1	00H	02H	入力信号セクタ1を選択
6	ELL1CTL	論理セルブロックL1制御レジスタ	00H	01H	論理セル0のAND回路を選択
9	ELL1LNK0	イベント・リンクL1出力選択レジスタ0	00H	01H	論理セルブロックL1の0へリンク
9	ELL1LNK1	イベント・リンクL1出力選択レジスタ1	00H	02H	論理セルブロックL1の1へリンク
10	ELOSEL0	出力信号選択レジスタ0	00H	01H	論理セルブロックL1の出力信号[0]を選択
11	ELOENCTL	出力信号イネーブル設定レジスタ	00H	01H	[0]を出力許可。P01/EO01へ出力
12	PORT.PMCE0	—	00H	02H	P01端子出力でELCLを選択

注意1. Noは、図20-31 ELCLの設定手順 (①~⑫) が対応します。

注意2. No.2~No.10の設定順番は入れ替え可能です。ただし、No.11出力信号イネーブル設定レジスタ設定以降はNo.2~No.10のレジスタの設定変更は禁止です。

## 20.6 ELCL 使用時の注意事項

- (1) SO00, SO01, SCK00, SCK01, TxDA0, CLKA0, TO00-TO07 を ELCL の入力に選択し、端子に出力させたくない場合には、PFOEmレジスタのPFOEmn ( $m = 0, 1, n = 0-7$ ) ビットに0を設定してください。詳細は**第4章 ポート機能**を参照してください。
- (2) **表 20 - 7**に示すように、ELCLの出力信号は複数の周辺機能へリンクされます。  
ELCL出力信号を使用しない場合は、リンク先の周辺機能の設定でELCL出力信号を選択しないように設定してください。  
ELCL出力信号の選択の方法はリンク先の周辺機能の章を参照してください。
- (3) 出力信号イネーブル設定レジスタ (ELOENCTL) に「出力信号の出力許可設定」後、下記レジスタの設定の変更はしないでください。
  - 入力信号選択レジスタ n (ELISELn) ( $n = 0-11$ )
  - イベント・リンク L1 信号選択レジスタ n (ELL1SELn) ( $n = 0-3$ )
  - イベント・リンク L1 信号選択レジスタ n (ELL1SELn) ( $n = 4, 5$ )
  - イベント・リンク L1 信号選択レジスタ 6 (ELL1SEL6)
  - 論理セルブロック L1 制御レジスタ (ELL1CTL)
  - イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) ( $n = 0-3$ )
  - イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) ( $n = 4, 5$ )
  - イベント・リンク L1 出力選択レジスタ 6 (ELL1LNK6)
  - イベント・リンク L2 信号選択レジスタ n (ELL2SELn) ( $n = 0-3$ )
  - イベント・リンク L2 信号選択レジスタ n (ELL2SELn) ( $n = 4, 5$ )
  - イベント・リンク L2 信号選択レジスタ 6 (ELL2SEL6)
  - 論理セルブロック L2 制御レジスタ (ELL2CTL)
  - イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) ( $n = 0-3$ )
  - イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) ( $n = 4, 5$ )
  - イベント・リンク L2 出力選択レジスタ 6 (ELL2LNK6)
  - イベント・リンク L3 信号選択レジスタ n (ELL3SELn) ( $n = 0-3$ )
  - イベント・リンク L3 信号選択レジスタ n (ELL3SELn) ( $n = 4, 5$ )
  - イベント・リンク L3 信号選択レジスタ 6 (ELL3SEL6)
  - 論理セルブロック L3 制御レジスタ (ELL3CTL)
  - イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) ( $n = 0-3$ )
  - イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) ( $n = 4, 5$ )
  - イベント・リンク L3 出力選択レジスタ 6 (ELL3LNK6)
  - 出力信号選択レジスタ n (ELOSELn) ( $n = 0-7$ )
- ★ (4) ELCLは複数の入力信号と論理セルブロックと出力制御回路を経て信号を出力します。論理セルブロック L1/L2/L3の出力信号は、入力信号に対して遅延します。フリップフロップの出力信号は、クロック同期するためにイベント・リンク L1/L2/L3信号選択ブロック6で選択したクロックの最大1クロック分遅延します。  
また、入力信号のタイミングのズレにより、グリッチの発生や期待している出力が得られない場合がありますのでご注意ください。期待した出力が得られないことによりお客様システムに重大な問題が起きる可能性がある場合はELCLの使用を中止していただくか、外部の回路で対策を行ってください。

## 第21章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80, 100 ピン	128ピン
マスカブル 割り込み	外部	6	6	6	7	7	10	12	13	13	13
	内部	31	32	35	35	39	39	39	39	44	48

### 21.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

#### (1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティに従って処理されます。デフォルト・プライオリティについては表21-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

#### (2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

### 21.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（表21-1参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表21 - 1 割り込み要因一覧 (1/4)

割り込みの処理 デフォルト・ プライオリティ <sup>注1</sup>	割り込み要因		内部/外部	ベクタ・テーブル・ アドレス	基本構成タイプ <sup>注2</sup>	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	
	名称	トリガ															
マスクابل	0	INTWDTI	ウォッチドッグ・タイマのインターバル <sup>注3</sup> (オーバフロー時間の75% + 1/4f <sub>IL</sub> )	内部	00004H	(a)	○	○	○	○	○	○	○	○	○	○	
	1	INTLVI	電圧検出 <sup>注4</sup>		00006H		○	○	○	○	○	○	○	○	○	○	
	2	INTP0	端子入力エッジ検出	外部	00008H	(b)	○	○	○	○	○	○	○	○	○	○	○
	3	INTP1			0000AH	○	○	○	○	○	○	○	○	○	○	○	
	4	INTP2			0000CH	○	○	○	○	○	○	○	○	○	○	○	
	5	INTP3			0000EH	○	○	○	○	○	○	○	○	○	○	○	
	6	INTP4			00010H	○	○	○	○	○	○	○	○	○	○	○	
	7	INTP5			00012H	○	○	○	○	○	○	○	○	○	○	○	
	8	INTST2 /INTCSI20 /INTIIC20			UART2送信の転送完了、バッファ空き割り込み/CSI20の転送完了、バッファ空き割り込み/IIC20の転送完了	内部	00014H	(a)	○	○	○	○	○	○	○	○	○
	9	INTSR2 /INTCSI21 /INTIIC21	UART2受信の転送完了/CSI21の転送完了、バッファ空き割り込み/IIC21の転送完了		00016H		○	○	○	○	○	○	○	○	注5	注5	
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○	○	○	○	○	○	○	
		INTTM11H	タイマ・チャンネル11のカウンタ完了またはキャプチャ完了 (上位8ビット・タイマ動作時)			○	○	○	-	-	-	-	-	-	-		
	11	INTELCL	イベントリンク割り込み		0001AH		○	○	○	○	○	○	○	○	○	○	
	12	INTSMSE	SNOOZEモード・シーケンサからのイベント出力		0001CH		○	○	○	○	○	○	○	○	○	○	
	13	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了、バッファ空き割り込み/CSI00の転送完了、バッファ空き割り込み/IIC00の転送完了		0001EH		○	○	○	○	○	○	○	○	○	○	
	14	INTTM00	タイマ・チャンネル00のカウンタ完了またはキャプチャ完了		00020H		○	○	○	○	○	○	○	○	○	○	
	15	INTSRE0	UART0受信の通信エラー発生		00022H		○	○	○	○	○	○	○	○	○	○	
INTTM01H		タイマ・チャンネル01のカウンタ完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		○		○	○	○	○	○	○	○	○	○			
16	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了、バッファ空き割り込み/CSI10の転送完了、バッファ空き割り込み/IIC10の転送完了		00024H		○	○	○	○	注6							
17	INTSR1 /INTCSI11 /INTIIC11	UART1受信の転送完了/CSI11の転送完了、バッファ空き割り込み/IIC11の転送完了		00026H		○	○	○	○	○	○	○	○	○	○		

表21-1 割り込み要因一覧 (2/4)

割り込みの処理	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	
	デフォルト・プライオリティ注1	名称				トリガ	○	○	○	○	○	○	○	○	○	○	○
マスクカプル	18	INTSRE1	UART1受信の通信エラー発生	内部	00028H	(a)	○	○	○	○	○	○	○	○	○	○	
		INTTM03H	タイマ・チャンネル03のカウンタ完了 またはキャプチャ完了 (上位8ビット・タイマ動作時)				○	○	○	○	○	○	○	○	○		
	19	INTIICA0	IICA0通信完了		0002AH		○	○	○	○	○	○	○	○	○	○	○
	20	INTSR0 /INTCSI01 /INTIIC01	UART0受信の転送完了/CSI01の転送完了、バッファ空き割り込み/IIC01の転送完了		0002CH		○	○	○	○	○	○	注7	注7	注7	注7	注7
	21	INTTM01	タイマ・チャンネル01のカウンタ完了 またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		0002EH		○	○	○	○	○	○	○	○	○	○	○
	22	INTTM02	タイマ・チャンネル02のカウンタ完了 またはキャプチャ完了		00030H		○	○	○	○	○	○	○	○	○	○	○
	23	INTTM03	タイマ・チャンネル03のカウンタ完了 またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		00032H		○	○	○	○	○	○	○	○	○	○	○
	24	INTAD	A/D変換終了		00034H		○	○	○	○	○	○	○	○	○	○	○
	25	INTRTC	リアルタイム・クロックの定周期信号 /アラーム一致検出		00036H		○	○	○	○	○	○	○	○	○	○	○
	26	INTITL	32ビット・インターバル・タイマの インターバル信号検出		00038H		○	○	○	○	○	○	○	○	○	○	○
27	INTKR	キー・リターン信号検出	外部	0003AH	(c)	○	○	○	○	○	○	○	-	-	-		
	28	INTST3 /INTCSI30 /INTIIC30	UART3送信の転送完了、バッファ空き 割り込み/CSI30の転送完了、バッ ファ空き割り込み/IIC30の転送完了	内部	0003CH	(a)	○	○	○	-	-	-	-	-	-	-	
		29	INTSR3 /INTCSI31 /INTIIC31				UART3受信の転送完了/CSI31の転送完了、バッファ空き割り込み/IIC31の転送完了	0003EH	○	○	○	-	-	-	-	-	-
	30	INTTM13	タイマ・チャンネル13のカウンタ完了 またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		00040H		○	○	○	-	-	-	-	-	-	-	
	31	INTTM04	タイマ・チャンネル04のカウンタ完了 またはキャプチャ完了		00042H		○	○	○	○	○	○	○	○	○	○	
	32	INTTM05	タイマ・チャンネル05のカウンタ完了 またはキャプチャ完了		00044H		○	○	○	○	○	○	○	○	○	○	

表21 - 1 割り込み要因一覧 (3/4)

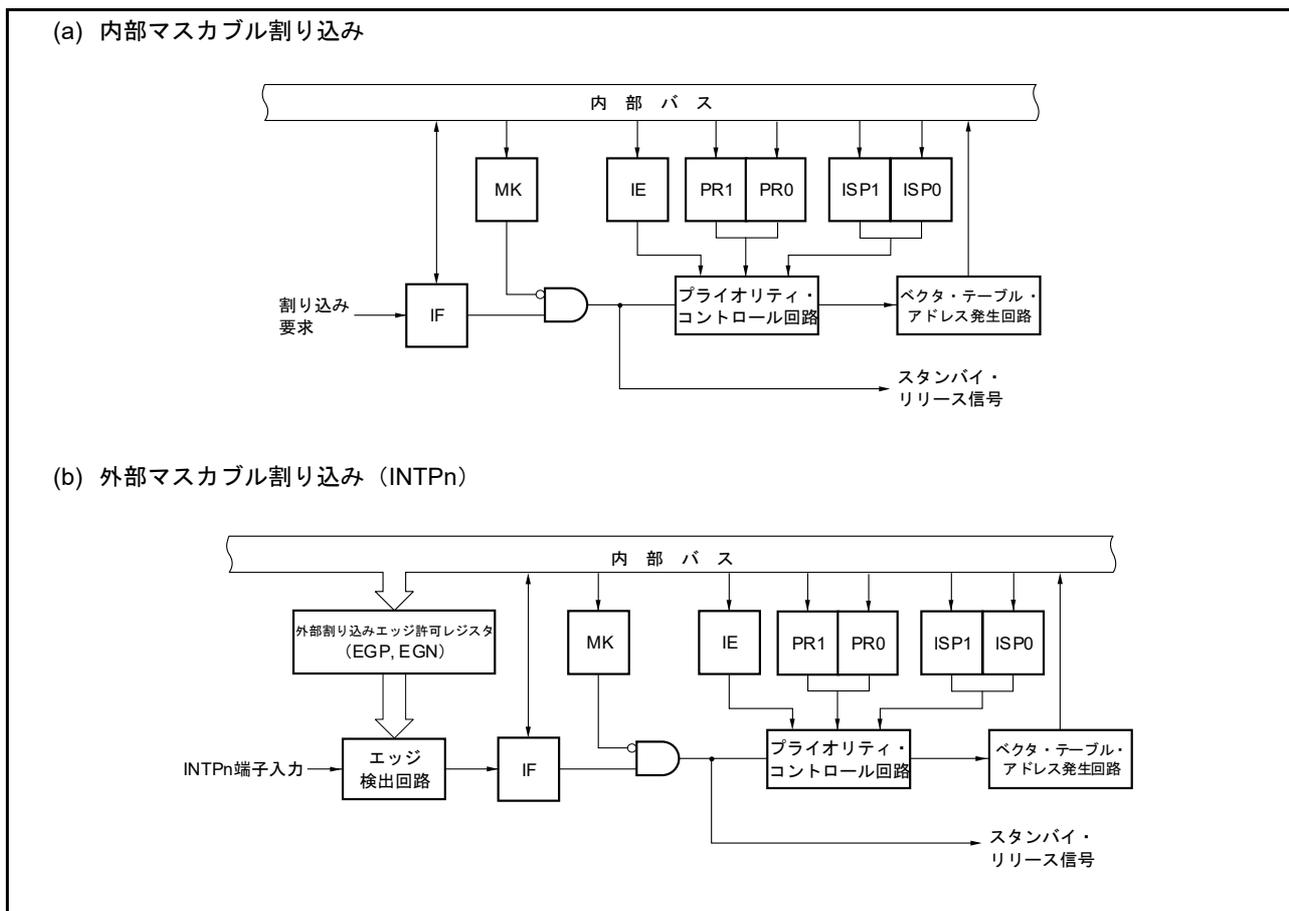
割り込みの処理	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン		
	名称	トリガ																
マスクカプル	33	INTTM06	タイマ・チャンネル06のカウンタ完了 またはキャプチャ完了	内部	00046H	(a)	○	○	○	○	○	○	○	○	○	○	○	
	34	INTTM07	タイマ・チャンネル07のカウンタ完了 またはキャプチャ完了		00048H		○	○	○	○	○	○	○	○	○	○	○	
	35	INTP6	端子入力エッジ検出	外部	0004AH	(b)	○	○	○	○	○	-	-	-	-	-	-	
	36	INTP7			0004CH	○	○	○	○	-	-	-	-	-	-	-	-	-
	37	INTP8			0004EH	○	○	○	○	○	-	-	-	-	-	-	-	-
	38	INTP9			00050H	○	○	○	○	○	-	-	-	-	-	-	-	-
	39	INTFL	予約		00052H		○	○	○	○	○	○	○	○	○	○	○	
	40	INTP10	端子入力エッジ検出	外部	00054H		○	○	○	○	○	-	-	-	-	-	-	
		INTCMP0	コンパレータ検出0	内部		○	○	○	○	○	○	○	○	○	○	○	○	
	41	INTP11	端子入力エッジ検出	外部	00056H		○	○	○	○	○	-	-	-	-	-	-	
		INTCMP1	コンパレータ検出1	内部		○	○	○	○	○	○	○	○	○	○	○	○	
	42	INTURE0	UARTA0受信の通信エラー発生	内部	00058H	(a)	○	○	○	○	○	○	○	○	-	-	-	
		INTTM10	タイマ・チャンネル10のカウンタ完了 またはキャプチャ完了			○	○	○	-	-	-	-	-	-	-	-	-	-
	43	INTURE1	UARTA1受信の通信エラー発生	内部	0005AH		○	○	○	○	○	○	-	-	-	-	-	
		INTTM11	タイマ・チャンネル11のカウンタ完了 またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)			○	○	○	-	-	-	-	-	-	-	-	-	-
	44	INTTM12	タイマ・チャンネル12のカウンタ完了 またはキャプチャ完了		0005CH		○	○	○	-	-	-	-	-	-	-	-	
	45	INTSRE3	UART3受信の通信エラー発生	内部	0005EH		○	○	○	-	-	-	-	-	-	-	-	
		INTTM13H	タイマ・チャンネル13のカウンタ完了 またはキャプチャ完了 (上位8ビット・タイマ動作時)			○	○	○	-	-	-	-	-	-	-	-	-	-
	46	INTCTSUWR	CTS channels毎の設定レジスタ書き込み要求		00060H		○	○	○	○	○	○	○	○	○	○	○	
	47	INTIICA1	IICA1通信完了		00062H		○	○	○	○	○	○	-	-	-	-	-	
	48	INTCTSURD	CTS測定データ転送要求		00064H		○	○	○	○	○	○	○	○	○	○	○	
	49	INTCTSUFN	CTS測定終了		00066H		○	○	○	○	○	○	○	○	○	○	○	
	50	INTREMC	REMC割り込み要求		00068H		○	○	○	○	○	○	○	○	○	-	-	
	51	INTUT0	UARTA0送信の転送完了、バッファ空き割り込み		0006AH		○	○	○	○	○	○	○	○	-	-	-	
	52	INTUR0	UARTA0受信の転送完了		0006CH		○	○	○	○	○	○	○	○	-	-	-	

表21 - 1 割り込み要因一覧 (4/4)

割り込みの処理	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	
	名称	トリガ															
マスクابل	53	INTUT1	UARTA1送信の転送完了、バッファ空き割り込み	内部	0006EH	(a)	○	○	○	○	○	○	-	-	-	-	
	54	INTUR1	UARTA1受信の転送完了		00070H	○	○	○	○	○	○	○	-	-	-	-	
	55	INTTM14	タイマ・チャンネル14のカウント完了またはキャプチャ完了		00072H	○	-	-	-	-	-	-	-	-	-	-	
	56	INTTM15	タイマ・チャンネル15のカウント完了またはキャプチャ完了		00074H	○	-	-	-	-	-	-	-	-	-	-	
	57	INTTM16	タイマ・チャンネル16のカウント完了またはキャプチャ完了		00076H	○	-	-	-	-	-	-	-	-	-	-	
	58	INTTM17	タイマ・チャンネル17のカウント完了またはキャプチャ完了		00078H	○	-	-	-	-	-	-	-	-	-	-	
ソフトウェア	-	BRK	BRK命令の実行	-	0007EH	(d)	○	○	○	○	○	○	○	○	○	○	
リセット	-	RESET	RESET端子入力	-	00000H	-	○	○	○	○	○	○	○	○	○	○	
		POR	パワーオン・リセット				○	○	○	○	○	○	○	○	○	○	○
		LVD	電圧検出				○	○	○	○	○	○	○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバーフロー				○	○	○	○	○	○	○	○	○	○	○
		TRAP	不正命令の実行				○	○	○	○	○	○	○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○	○	○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○	○	○	○	○	○	○

- 注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。0が最高順位、58が最低順位です。
- 注2. 基本構成タイプの (a) - (d) は、それぞれ図21 - 1の (a) - (d) に対応しています。
- 注3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
- 注4. 電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時。または、オプション・バイト (000C1H) のビット7 (LVD0SEL) = 1選択時。
- 注5. INTSR2のみ
- 注6. INTST1のみ
- 注7. INTSR0のみ

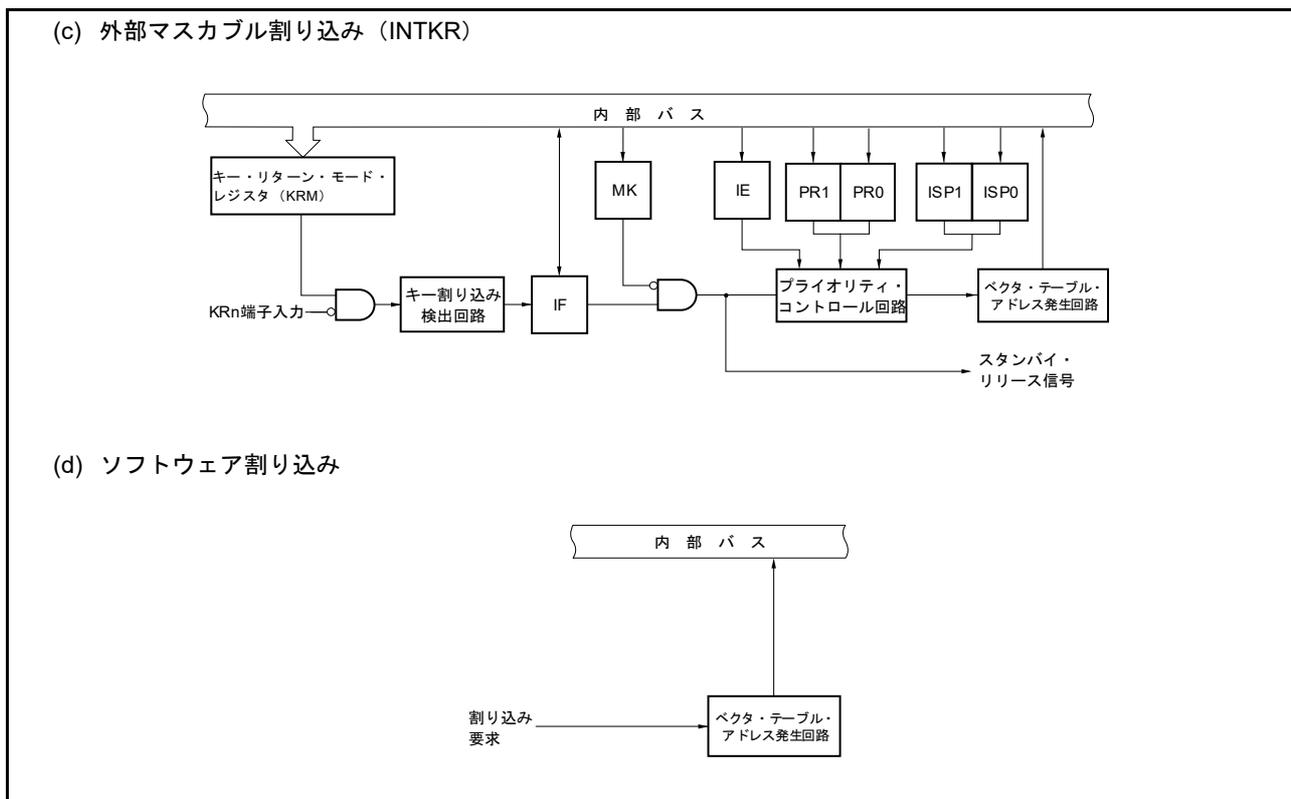
図21 - 1 割り込み機能の基本構成 (1/2)



- 備考1.** IF : 割り込み要求フラグ  
 IE : 割り込み許可フラグ  
 ISP0 : インサースビス・プライオリティ・フラグ0  
 ISP1 : インサースビス・プライオリティ・フラグ1  
 MK : 割り込みマスク・フラグ  
 PR0 : 優先順位指定フラグ0  
 PR1 : 優先順位指定フラグ1

- 備考2.** 30, 32, 36, 40, 44ピン : n = 0-5  
 48ピン : n = 0-6, 8, 9  
 52ピン : n = 0-6, 8-11  
 64, 80, 100, 128ピン : n = 0-11

図21 - 1 割り込み機能の基本構成 (2/2)



- 備考1.** IF : 割り込み要求フラグ  
 IE : 割り込み許可フラグ  
 ISP0 : インサースビス・プライオリティ・フラグ0  
 ISP1 : インサースビス・プライオリティ・フラグ1  
 MK : 割り込みマスク・フラグ  
 PR0 : 優先順位指定フラグ0  
 PR1 : 優先順位指定フラグ1

- 備考2.** 40, 44ピン : n = 0-3  
 48ピン : n = 0-5  
 52, 64, 80, 100, 128ピン : n = 0-7

## 21.3 割り込み機能を制御するレジスタ

割り込み機能を制御するレジスタを次に示します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- プログラム・ステータス・ワード (PSW)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

**備考** x = 1, 5; xx = 1, 3-5, 7, 8, 11, 14

ただし、PMCT1, 4, 8, 11, 14、PMCE3, 4, 7, 8, 11, 14は搭載していません。

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表21-2に示します。

表21-2 割り込み要求ソースに対応する各種フラグ (1/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン		
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ													
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○	○	○	○	○	○	○		
INTLVI <sup>注</sup>	LVIIIF <sup>注</sup>		LVIMK <sup>注</sup>		LVIPR0, LVIPR1 <sup>注</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○	○	○	○	○	○	○	○	○

**注** LV00, 1どちらの割り込みが発生したかはLVIMレジスタのDLVD0F, DLVD1Fで確認できます。詳細は26.3.1 電圧検出レジスタ (LVIM) を参照してください。

表21 - 2 割り込み要求ソースに対応する各種フラグ (2/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		128ビット	100ビット	80ビット	64ビット	52ビット	48ビット	44ビット	40ビット	36ビット	32ビット	30ビット		
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ													
INTST2注1	STIF2注1	IF0H	STMK2注1	MK0H	STPR02, STPR12注1	PR00H, PR10H	○	○	○	○	○	○	○	○	○	○	○		
INTCSI20注1	CSIF20注1		CSIMK20注1		CSIPR020, CSIPR120注1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC20注1	IICIF20注1		IICMK20注1		IICPR020, IICPR120注1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSR2注2	SRIF2注2		SRMK2注2		SRPR02, SRPR12注2		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI21注2	CSIF21注2		CSIMK21注2		CSIPR021, CSIPR121注2		○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC21注2	IICIF21注2		IICMK21注2		IICPR021, IICPR121注2		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSRE2注3	SREIF2注3		SREMK2注3		SREPR02, SREPR12注3		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM11H注3	TMIF11H注3		TMMK11H注3		TMPR011H, TMPR111H注3		○	○	○	○	○	○	○	○	○	○	○	○	○
INTELCL	ELCLIF		ELCLMK		ELCLPR0, ELCLPR1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSMSE	SMSEIF		SMSEMK		SMSEPR0, SMSEPR1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTST0注4	STIF0注4		STMK0注4		STPR00, STPR10注4		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI00注4	CSIF00注4		CSIMK00注4		CSIPR000, CSIPR100注4		○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC00注4	IICIF00注4		IICMK00注4		IICPR000, IICPR100注4		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSRE0注5	SREIF0注5		SREMK0注5		SREPR00, SREPR10注5		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM01H注5	TMIF01H注5		TMMK01H注5		TMPR001H, TMPR101H注5		○	○	○	○	○	○	○	○	○	○	○	○	○

- 注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。
- 注2. 割り込み要因INTSR2, INTCSI21, INTIIC21のうち、いずれかが発生したら、IF0Hレジスタのビット1はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注3. UART2受信のエラー割り込み、TAU1のチャンネル1（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART2受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART2, TAU1のチャンネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE2, INTTM11Hのうち、どちらかが発生したら、IF0Hレジスタのビット2はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット2は、両方の割り込み要因に対応しています。
- 注4. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。
- 注5. UART0受信のエラー割り込み、TAU0のチャンネル1（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART0, TAU0のチャンネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

表21 - 2 割り込み要求ソースに対応する各種フラグ (3/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		128ビット	100ビット	80ビット	64ビット	52ビット	48ビット	44ビット	40ビット	36ビット	32ビット	30ビット		
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ													
INTST1注1	STIF1注1	IF1L	STMK1注1	MK1L	STPR01, STPR11注1	PR01L, PR11L	○	○	○	○	○	○	○	○	○	○	○		
INTCSI10注1	CSIF10注1		CSIMK10注1		CSIPR010, CSIPR110注1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC10注1	IICIF10注1		IICMK10注1		IICPR010, IICPR110注1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSR1注2	SRIF1注2		SRMK1注2		SRPR01, SRPR11注2		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI11注2	CSIF11注2		CSIMK11注2		CSIPR011, CSIPR111注2		○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC11注2	IICIF11注2		IICMK11注2		IICPR011, IICPR111注2		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSRE1注3	SREIF1注3		SREMK1注3		SREPR01, SREPR11注3		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM03H注3	TMIF03H注3		TMMK03H注3		TMPR003H, TMPR103H注3		○	○	○	○	○	○	○	○	○	○	○	○	○
INTICA0	IICAF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSR0注4	SRIF0注4		SRMK0注4		SRPR00, SRPR10注4		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI01注4	CSIF01注4		CSIMK01注4		CSIPR001, CSIPR101注4		○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC01注4	IICIF01注4		IICMK01注4		IICPR001, IICPR101注4		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM03	TMIF03	TMMK03	TMPR003, TMPR103	○	○	○	○	○	○	○	○	○	○	○	○	○			
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○	○	○	○	○	○	○		
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○	○	○	○	○	○	○	○	○	
INTITL	ITLIF		ITLMK		ITLPR0, ITLPR1		○	○	○	○	○	○	○	○	○	○	○	○	
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○	○	○	○	○	○	○	○	
INTST3注5	STIF3注5		STMK3注5		STPR03, STPR13注5		○	○	○	○	○	○	○	○	○	○	○	○	
INTCSI30注5	CSIF30注5		CSIMK30注5		CSIPR030, CSIPR130注5		○	○	○	○	○	○	○	○	○	○	○	○	
INTIIC30注5	IICIF30注5		IICMK30注5		IICPR030, IICPR130注5		○	○	○	○	○	○	○	○	○	○	○	○	
INTSR3注6	SRIF3注6		SRMK3注6		SRPR03, SRPR13注6		○	○	○	○	○	○	○	○	○	○	○	○	
INTCSI31注6	CSIF31注6		CSIMK31注6		CSIPR031, CSIPR131注6		○	○	○	○	○	○	○	○	○	○	○	○	
INTIIC31注6	IICIF31注6		IICMK31注6		IICPR031, IICPR131注6		○	○	○	○	○	○	○	○	○	○	○	○	
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113		○	○	○	○	○	○	○	○	○	○	○	○	
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○	○	○	○	○	○	○	○	

- 注1. 割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lレジスタのビット0はセット（1）されます。また、MK1L, PR01L, PR11Lレジスタのビット0は、3つすべての割り込み要因に対応しています。
- 注2. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生したら、IF1Lレジスタのビット1はセット（1）されます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注3. UART1受信のエラー割り込み、TAU0のチャンネル3（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない（EOC03 = 0）場合は、UART1, TAU0のチャンネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット2はセット（1）されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。
- 注4. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生したら、IF1Lレジスタのビット4はセット（1）されます。また、MK1L, PR01L, PR11Lレジスタのビット4は、3つすべての割り込み要因に対応しています。
- 注5. 割り込み要因INTST3, INTCSI30, INTIIC30のうち、いずれかが発生したら、IF1Hレジスタのビット4はセット（1）されます。また、MK1H, PR01H, PR11Hレジスタのビット4は、3つすべての割り込み要因に対応しています。
- 注6. 割り込み要因INTSR3, INTCSI31, INTIIC31のうち、いずれかが発生したら、IF1Hレジスタのビット5はセット（1）されます。また、MK1H, PR01H, PR11Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

表21 - 2 割り込み要求ソースに対応する各種フラグ (4/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン		
	レジスタ		レジスタ		レジスタ														
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○	○	○	○	○	○	○	○	○	○		
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP8	PIF8		PMK8		PPR08, PPR18		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	○	○	○	○	○	○	○	○	○	○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP10 <sup>注1</sup>	PIF10 <sup>注1</sup>	IF2H	PMK10 <sup>注1</sup>	MK2H	PPR010, PPR110 <sup>注1</sup>	PR02H, PR12H	○	○	○	○	○	○	○	○	○	○	○		
INTCMP0 <sup>注1</sup>	CMPIF0 <sup>注1</sup>		CMPMK0 <sup>注1</sup>		CMPPR00, CMPPR10 <sup>注1</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTP11 <sup>注2</sup>	PIF11 <sup>注2</sup>		PMK11 <sup>注2</sup>		PPR011, PPR111 <sup>注2</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCMP1 <sup>注2</sup>	CMPIF1 <sup>注2</sup>		CMPMK1 <sup>注2</sup>		CMPPR01, CMPPR11 <sup>注2</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTURE0 <sup>注3</sup>	UREIF0 <sup>注3</sup>		UREMK0 <sup>注3</sup>		UREPR00, UREPR10 <sup>注3</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM10 <sup>注3</sup>	TMIF10 <sup>注3</sup>		TMMK10 <sup>注3</sup>		TMPR010, TMPR110 <sup>注3</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTURE1 <sup>注4</sup>	UREIF1 <sup>注4</sup>		UREMK1 <sup>注4</sup>		UREPR01, UREPR11 <sup>注4</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM11 <sup>注4</sup>	TMIF11 <sup>注4</sup>		TMMK11 <sup>注4</sup>		TMPR011, TMPR111 <sup>注4</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112		○	○	○	○	○	○	○	○	○	○	○	○	○
INTSRE3 <sup>注5</sup>	SREIF3 <sup>注5</sup>		SREMK3 <sup>注5</sup>		SREPR03, SREPR13 <sup>注5</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM13H <sup>注5</sup>	TMIF13H <sup>注5</sup>		TMMK13H <sup>注5</sup>		TMPR013H, TMPR113H <sup>注5</sup>		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCTSUWR	CTSUWRIF		CTSUWRMK		CTSUWRPR0, CTSUWRPR1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTIICA1	IICAIF1		IICAMK1		IICAPR01, IICAPR11		○	○	○	○	○	○	○	○	○	○	○	○	○

- 注1.** INTP10、コンパレータ0は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP10、INTCMP0のうち、どちらかが発生したら、IF2Hレジスタのビット0はセット（1）されます。また、MK2H、PR02H、PR12Hレジスタのビット0は、両方の割り込み要因に対応しています。
- 注2.** INTP11、コンパレータ1は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP11、INTCMP1のうち、どちらかが発生したら、IF2Hレジスタのビット1はセット（1）されます。また、MK2H、PR02H、PR12Hレジスタのビット1は、両方の割り込み要因に対応しています。
- 注3.** UARTA0受信のエラー割り込み、TAU1のチャンネル0（下位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UARTA0受信のエラー割り込みを使用しない（ISRMA0 = 1）場合は、UARTA0、TAU1のチャンネル0（下位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTURE0、INTTM10のうち、どちらかが発生したら、IF2Hレジスタのビット2はセット（1）されます。また、MK2H、PR02H、PR12Hレジスタのビット2は、両方の割り込み要因に対応しています。
- 注4.** UARTA1受信のエラー割り込み、TAU1のチャンネル1（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UARTA1受信のエラー割り込みを使用しない（ISRMA1 = 1）場合は、UARTA1、TAU1のチャンネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTURE1、INTTM11のうち、どちらかが発生したら、IF2Hレジスタのビット3はセット（1）されます。また、MK2H、PR02H、PR12Hレジスタのビット3は、両方の割り込み要因に対応しています。

注5. UART3受信のエラー割り込み、TAU1のチャネル3（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART3受信のエラー割り込みを使用しない（EOC03 = 0）場合は、UART3、TAU1のチャネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE3、INTTM13Hのうち、どちらかが発生したら、IF2Hレジスタのビット4はセット（1）されます。また、MK2H、PR02H、PR12Hレジスタのビット4は、両方の割り込み要因に対応しています。

表21 - 2 割り込み要求ソースに対応する各種フラグ (5/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		128ビット	100ビット	80ビット	64ビット	52ビット	48ビット	44ビット	40ビット	36ビット	32ビット	30ビット		
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ													
INTCTSURD	CTSURDIF	IF3L	CTSURDMK	MK3L	CTSURDPR0, CTSURDPR1	PR03L, PR13L	○	○	○	○	○	○	○	○	○	○	○		
INTCTSUFN	CTSUFNIF		CTSUFNMK		CTSUFNPR0, CTSUFNPR1		○	○	○	○	○	○	○	○	○	○	○	○	
INTREMC	REMCIF		REMCМК		REMCPR0, REMCPR1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTUT0	UTIF0		UTMK0		UTPR00, UTPR10		○	○	○	○	○	○	○	○	○	○	○	○	○
INTUR0	URIF0		URMK0		URPR00, URPR10		○	○	○	○	○	○	○	○	○	○	○	○	○
INTUT1	UTIF1		UTMK1		UTPR01, UTPR11		○	○	○	○	○	○	○	○	○	○	○	○	○
INTUR1	URIF1		URMK1		URPR01, URPR11		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM14	TMIF14		TMMK14		TMPR014, TMPR114		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM15	TMIF15	IF3H	TMMK15	MK3H	TMPR015, TMPR115	PR03H, PR13H	○	○	○	○	○	○	○	○	○	○	○		
INTTM16	TMIF16		TMMK16		TMPR016, TMPR116		○	○	○	○	○	○	○	○	○	○	○	○	
INTTM17	TMIF17		TMMK17		TMPR017, TMPR117		○	○	○	○	○	○	○	○	○	○	○	○	

### 21.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、IF0L レジスタと IF0H レジスタ、IF1L レジスタと IF1H レジスタ、IF2L レジスタと IF2H レジスタ、IF3L レジスタと IF3H レジスタをあわせて 16 ビット・レジスタ IF0, IF1, IF2, IF3 として使用するとき、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

**備考** このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図 21 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (1/2)

アドレス : FFFE0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0H	SREIF0 TMIF01H	TMIF00	STIF0 CSIF00 IICIF00	SMSEIF	ELCLIF	SREIF2 TMIF11H	SRIF2 CSIF21 IICIF21	STIF2 CSIF20 IICIF20

アドレス : FFFE2H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF03	TMIF02	TMIF01	SRIF0 CSIF01 IICIF01	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIF10 IICIF10

アドレス : FFFE3H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1H	TMIF04	TMIF13	SRIF3 CSIF31 IICIF31	STIF3 CSIF30 IICIF30	KRIF	ITLIF	RTCIF	ADIF

図21-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (2/2)

アドレス : FFFD0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2L	FLIF	PIF9	PIF8	PIF7	PIF6	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2H	IICAI1	CTSUWRIF	SREIF3 TMIF13H	TMIF12	UREIF1 TMIF11	UREIF0 TMIF10	PIF11 CMPIF1	PIF10 CMPIF0

アドレス : FFFD2H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF3L	TMIF14	URIF1	UTIF1	URIF0	UTIF0	REMCIF	CTSUFNIF	CTSURDIF

アドレス : FFFD3H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
IF3H	0	0	0	0	0	TMIF17	TMIF16	TMIF15

xxIFx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって搭載しているレジスタとビットは異なります。

各製品に搭載しているレジスタとビットについては、表21-2を参照してください。また、搭載していないビットには、必ず初期値を設定してください。

(注意は次ページに続きます)

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「\_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

### 21.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0L レジスタと MK0H レジスタ、MK1L レジスタと MK1H レジスタ、MK2L レジスタと MK2H レジスタ、MK3L レジスタと MK3H レジスタをあわせて16ビット・レジスタ MK0, MK1, MK2, MK3として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

**備考** このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (1/2)

アドレス : FFFE4H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0H	SREMK0 TMMK01H	TMMK00	STMK0 CSIMK00 IICMK00	SMSEMK	ELCLMK	SREMK2 TMMK11H	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK03	TMMK02	TMMK01	SRMK0 CSIMK01 IICMK01	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10

アドレス : FFFE7H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1H	TMMK04	TMMK13	SRMK3 CSIMK31 IICMK31	STMK3 CSIMK30 IICMK30	KRMK	ITLMK	RTCMK	ADMK

図21-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (2/2)

アドレス : FFFD4H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2L	FLMK	PMK9	PMK8	PMK7	PMK6	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2H	IICAMK1	CTSUWRMK	SREMK3 TMMK13H	TMMK12	UREMK1 TMMK11	UREMK0 TMMK10	PMK11 CMPMK1	PMK10 CMPMK0

アドレス : FFFD6H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK3L	TMMK14	URMK1	UTMK1	URMK0	UTMK0	RECMCK	CTSUFNMK	CTSURDMK

アドレス : FFFD7H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
MK3H	1	1	1	1	1	TMMK17	TMMK16	TMMK15

xxMKx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

**注意** 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

### 21.3.3 優先順位指定フラグ・レジスタ

(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00L レジスタと PR00H レジスタ、PR01L レジスタと PR01H レジスタ、PR02L レジスタと PR02H レジスタ、PR03L レジスタと PR03H レジスタ、PR10L レジスタと PR10H レジスタ、PR11L レジスタと PR11H レジスタ、PR12L レジスタと PR12H レジスタ、PR13L レジスタと PR13H レジスタをあわせて16ビット・レジスタ PR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13 として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

**備考** このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (1/4)

アドレス : FFFE8H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00H	SREPR00 TMPR001H	TMPR000	STPR00 CSIPR000 IICPR000	SMSEPR0	ELCLPR0	SREPR02 TMPR011H	SRPR02 CSIPR021 IICPR021	STPR02 CSIPR020 IICPR020

図21-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (2/4)

アドレス : FFFEDH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10H	SREPR10 TMPR101H	TMPR100	STPR10 CSIPR100 IICPR100	SMSEPR1	ELCLPR1	SREPR12 TMPR111H	SRPR12 CSIPR121 IICPR121	STPR12 CSIPR120 IICPR120

アドレス : FFFEAH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01L	TMPR003	TMPR002	TMPR001	SRPR00 CSIPR001 IICPR001	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010

アドレス : FFFEEH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11L	TMPR103	TMPR102	TMPR101	SRPR10 CSIPR101 IICPR101	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110

アドレス : FFFEBH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01H	TMPR004	TMPR013	SRPR03 CSIPR031 IICPR031	STPR03 CSIPR030 IICPR030	KRPR0	ITLPR0	RTCPR0	ADPR0

アドレス : FFFEFH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11H	TMPR104	TMPR113	SRPR13 CSIPR131 IICPR131	STPR13 CSIPR130 IICPR130	KRPR1	ITLPR1	RTCPR1	ADPR1

図21-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (3/4)

アドレス : FFFD8H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02L	FLPR0	PPR09	PPR08	PPR07	PPR06	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12L	FLPR1	PPR19	PPR18	PPR17	PPR16	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02H	IICAPR01	CTSUWRPR0	SREPR03 TMPR013H	TMPR012	UREPR01 TMPR011	UREPR00 TMPR010	PPR011 CMPPR01	PPR010 CMPPR00

アドレス : FFFDDH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12H	IICAPR11	CTSUWRPR1	SREPR13 TMPR113H	TMPR112	UREPR11 TMPR111	UREPR10 TMPR110	PPR111 CMPPR11	PPR110 CMPPR10

アドレス : FFFDAH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR03L	TMPR014	URPR01	UTPR01	URPR00	UTPR00	REMCPR0	CTSUFNPR0	CTSURDPR0

アドレス : FFFDEH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR13L	TMPR114	URPR11	UTPR11	URPR10	UTPR10	REMCPR1	CTSUFNPR1	CTSURDPR1

図21 - 4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット (4/4)

アドレス : FFFDBH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
PR03H	1	1	1	1	1	TMPR017	TMPR016	TMPR015

アドレス : FFFDFH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
PR13H	1	1	1	1	1	TMPR117	TMPR116	TMPR115

xxPR1x	xxPR0x	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

**注意** 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21 - 2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

### 21.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)、 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1 レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット

アドレス : FFF38H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス : FFF3BH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-11)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表21-3に示します。

表21-3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	64, 80, 100, 128ピン	52ピン	48ピン	30, 32, 36, 40, 44ピン
EGP0	EGN0	INTP0	○	○	○	○
EGP1	EGN1	INTP1	○	○	○	○
EGP2	EGN2	INTP2	○	○	○	○
EGP3	EGN3	INTP3	○	○	○	○
EGP4	EGN4	INTP4	○	○	○	○
EGP5	EGN5	INTP5	○	○	○	○
EGP6	EGN6	INTP6	○	○	○	—
EGP7	EGN7	INTP7	○	—	—	—
EGP8	EGN8	INTP8	○	○	○	—
EGP9	EGN9	INTP9	○	○	○	—
EGP10	EGN10	INTP10	○	○	—	—
EGP11	EGN11	INTP11	○	○	—	—

**注意** 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn = 0, 0) にしてからポート・モード・レジスタ (PMxx) を0に設定してください。

**備考1.** エッジ検出ポートに関しては、2.1 ポートの端子機能を参照してください。

**備考2.** n = 0-11

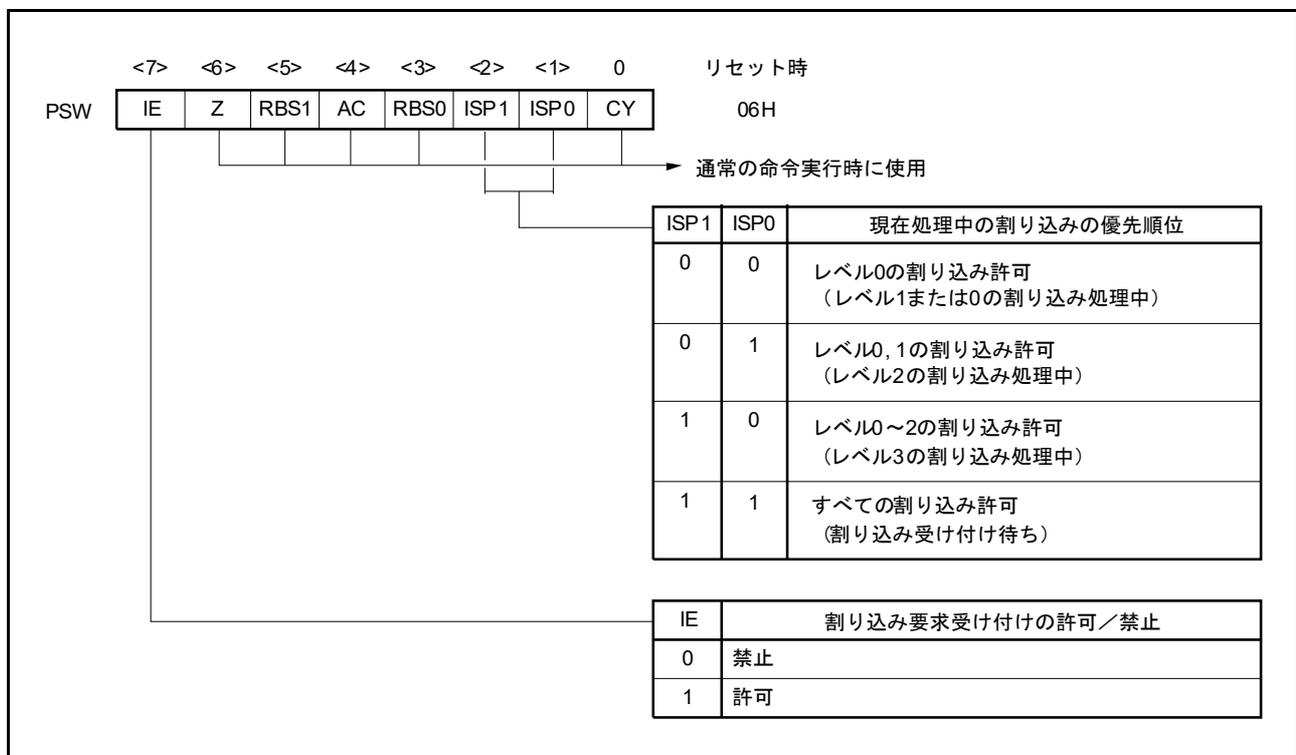
### 21.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP0, ISP1 フラグがマッピングされています。

8 ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK 命令実行時には、PSW の内容は自動的にスタックに退避され、IE フラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が 00 以外は、“-1” された値が ISP0, ISP1 フラグに転送されます。PUSH PSW 命令によっても PSW の内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、PSW は 06H となります。

図21-6 プログラム・ステータス・ワードの構成



### 21.3.6 割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCEx) を参照してください。

INTP0-11 を兼用する端子を割り込み入力機能として使用するときは、ポート・モード・レジスタ (PMxx) のビットに1、ポート・モード・コントロールT・レジスタ (PMCTxx) のビットに0、ポート・モード・コントロールE・レジスタ (PMCEx) のビットに0を設定してください。

**備考** xx = 1, 3-5, 7, 8, 11, 14

ただし、PMCT1, 4, 8, 11, 14、PMCE3, 4, 7, 8, 11, 14は搭載していません。

## 21.4 割り込み処理動作

### 21.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IE フラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの割り込み要求の受け付け時間は表 21-4 のようになります。

割り込み要求の受け付けタイミングについては、図 21-8、図 21-9 を参照してください。

表21-4 マスカブル割り込み要求発生からベクタ割り込み処理までの時間

	最小時間	最大時間 <sup>注</sup>
割り込み要求の受け付け時間	9クロック	16クロック

**注** 内部RAM領域からの命令実行時は除きます。

**備考** 1クロック：1/fCLK（fCLK：CPUクロック周波数）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

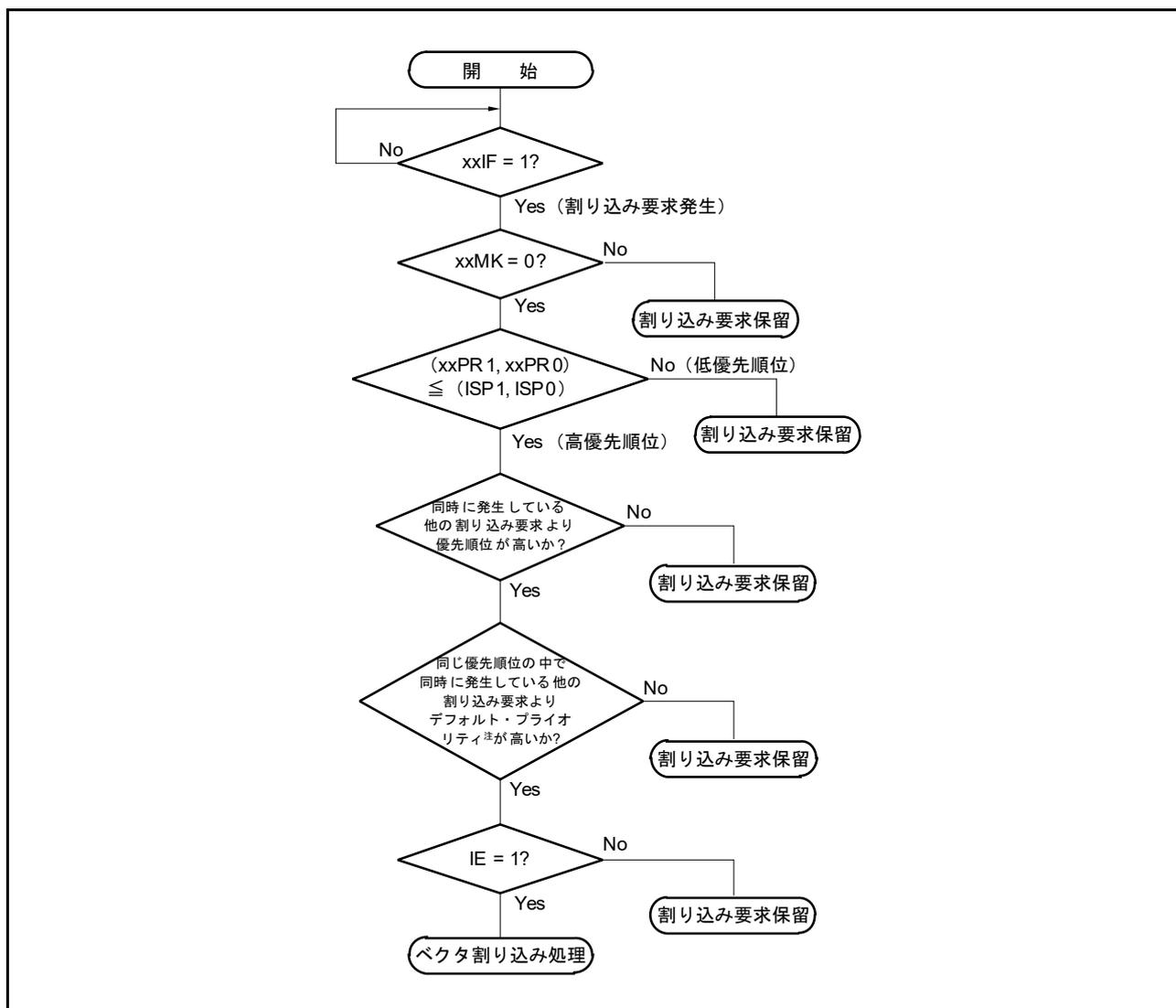
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図 21-7 に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IE フラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容を ISP1, ISP0 フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータを PC へロードし、分岐します。

RETI 命令によって、割り込みから復帰できます。

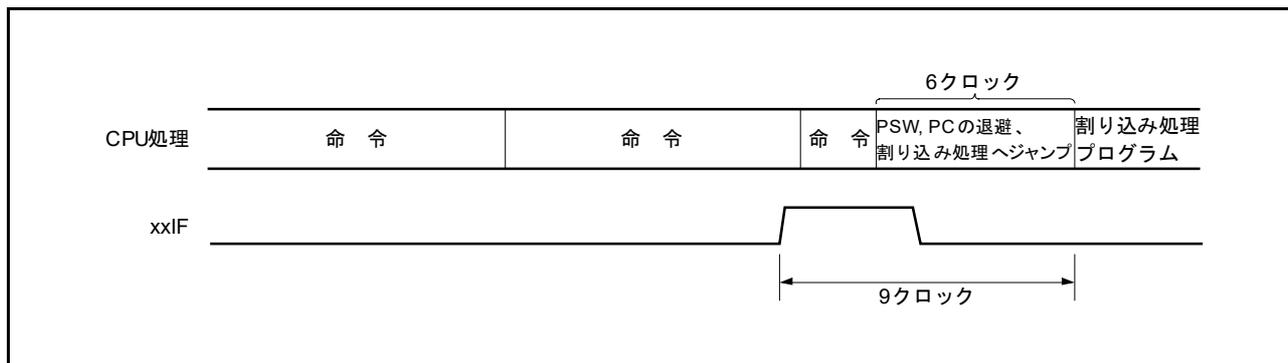
図21 - 7 割り込み要求受け付け処理アルゴリズム



注 デフォルト・プライオリティは、表21 - 1 割り込み要因一覧を参照してください。

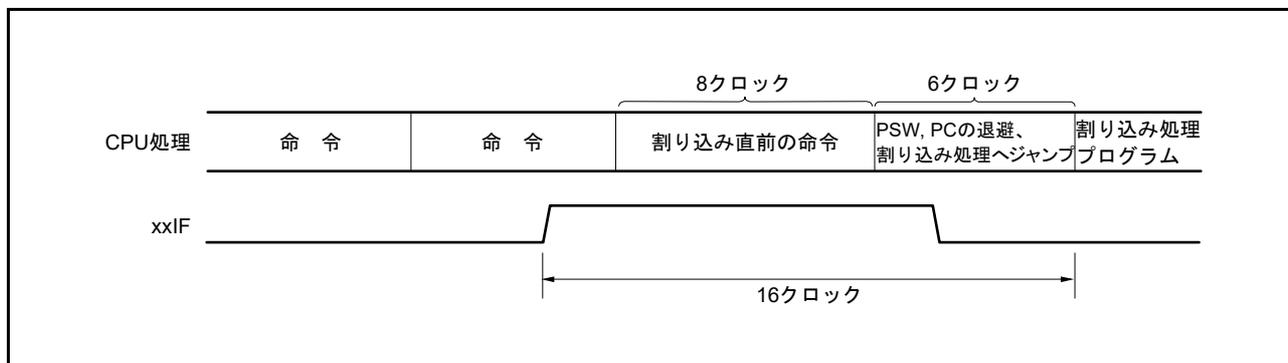
- 備考
- xxIF : 割り込み要求フラグ
  - xxMK : 割り込みマスク・フラグ
  - xxPR0 : 優先順位指定フラグ0
  - xxPR1 : 優先順位指定フラグ1
  - IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可、0 = 禁止)
  - ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図21 - 6参照)

図21 - 8 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図21 - 9 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

### 21.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求は BRK 命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IE フラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容を PC にロードして分岐します。

RETB 命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰に RETI 命令は使用できません。

### 21.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中に EI 命令によって IE フラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の 2 つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただし、レベル 0 の割り込み中に IE フラグをセット (1) した場合には、レベル 0 の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも 1 命令実行後に受け付けられます。

表 21 - 5 に多重割り込み可能な割り込み要求の関係を、図 21 - 10 に多重割り込みの例を示します。

表21-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 マスク割り込み		マスク割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
処理中	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
受け付け待ち	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

備考2. ×：多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち (すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタに含まれるフラグです。

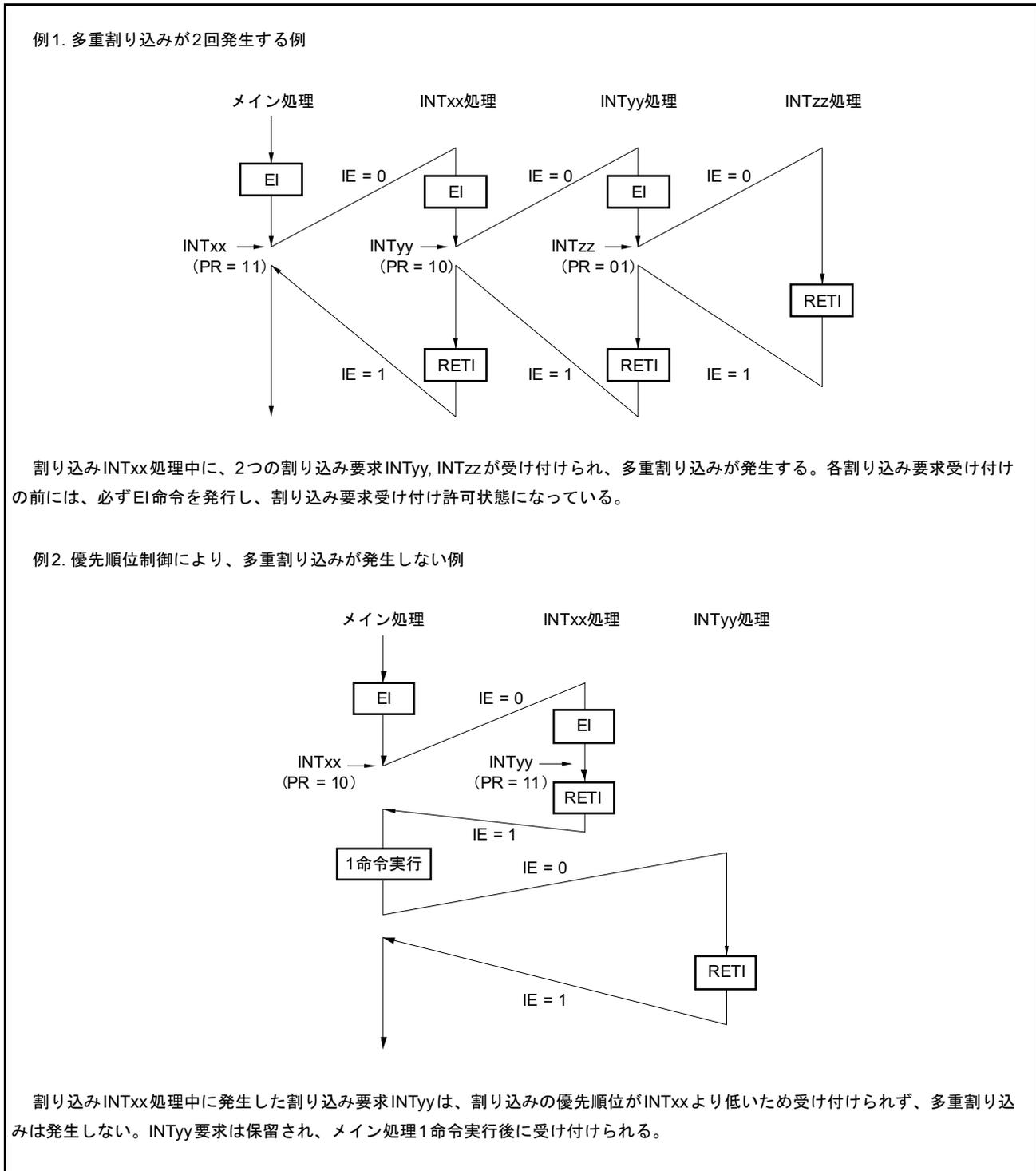
PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定 (高優先順位)

PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定

PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定 (低優先順位)

図21 - 10 多重割り込みの例 (1/2)



PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定 (高優先順位)

PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定

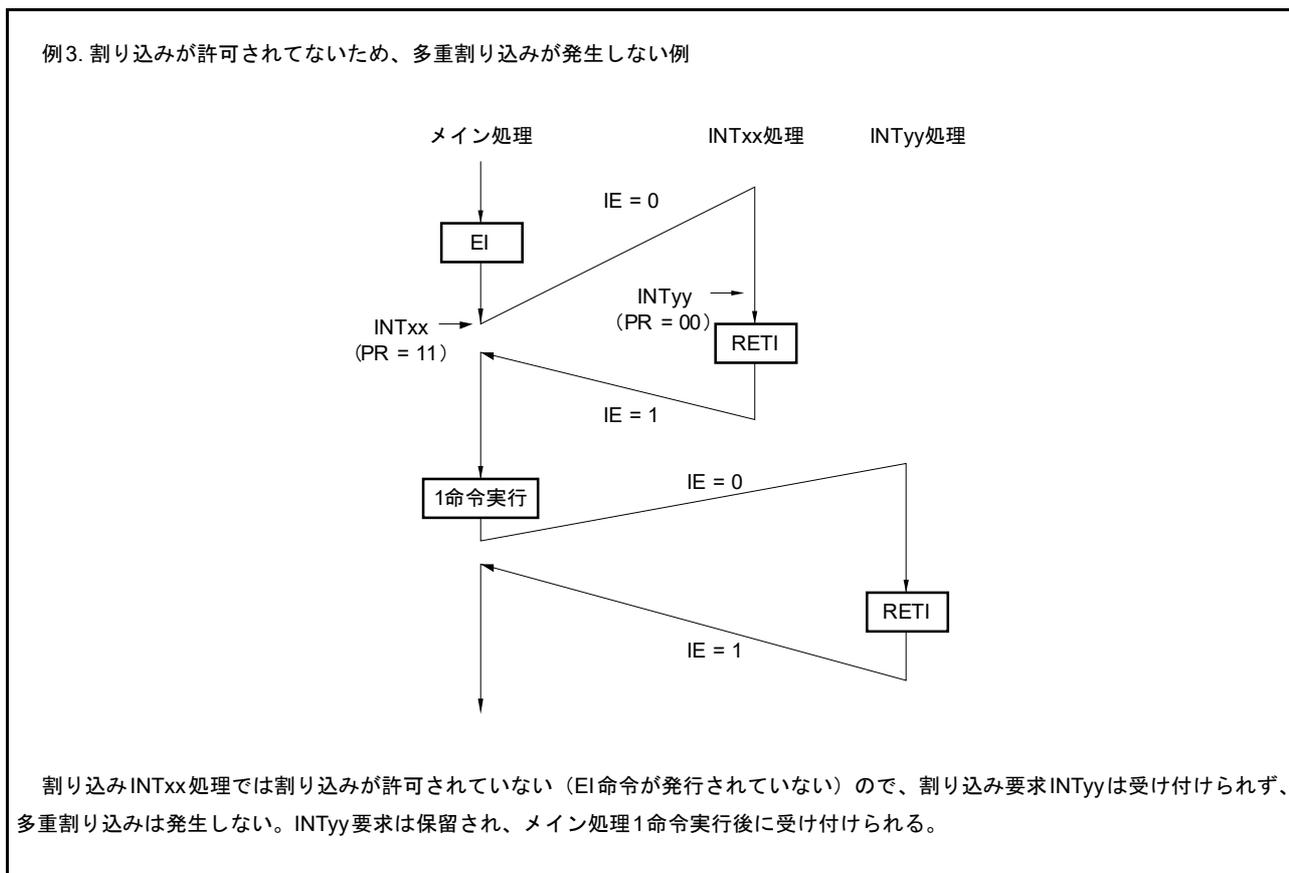
PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定

PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図21 - 10 多重割り込みの例 (2/2)



PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定 (高優先順位)

PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定

PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

### 21.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図 21 - 11 に示します。

図 21 - 11 割り込み要求の保留



**備考1.** 命令N：割り込み要求の保留命令

**備考2.** 命令M：割り込み要求の保留命令以外の命令

## 第22章 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	30, 32, 36ピン	40, 44ピン	48ピン	52, 64, 80, 100, 128ピン
キー割り込み入力チャネル数	—	4 ch	6 ch	8 ch

### 22.1 キー割り込みの機能

キー割り込み入力端子 (KR0-KR7) に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表22-1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0 (KRM0)
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

**備考** KR0-KR3 : 40, 44ピン製品

KR0-KR5 : 48ピン製品

KR0-KR7 : 52, 64, 80, 100, 128ピン製品

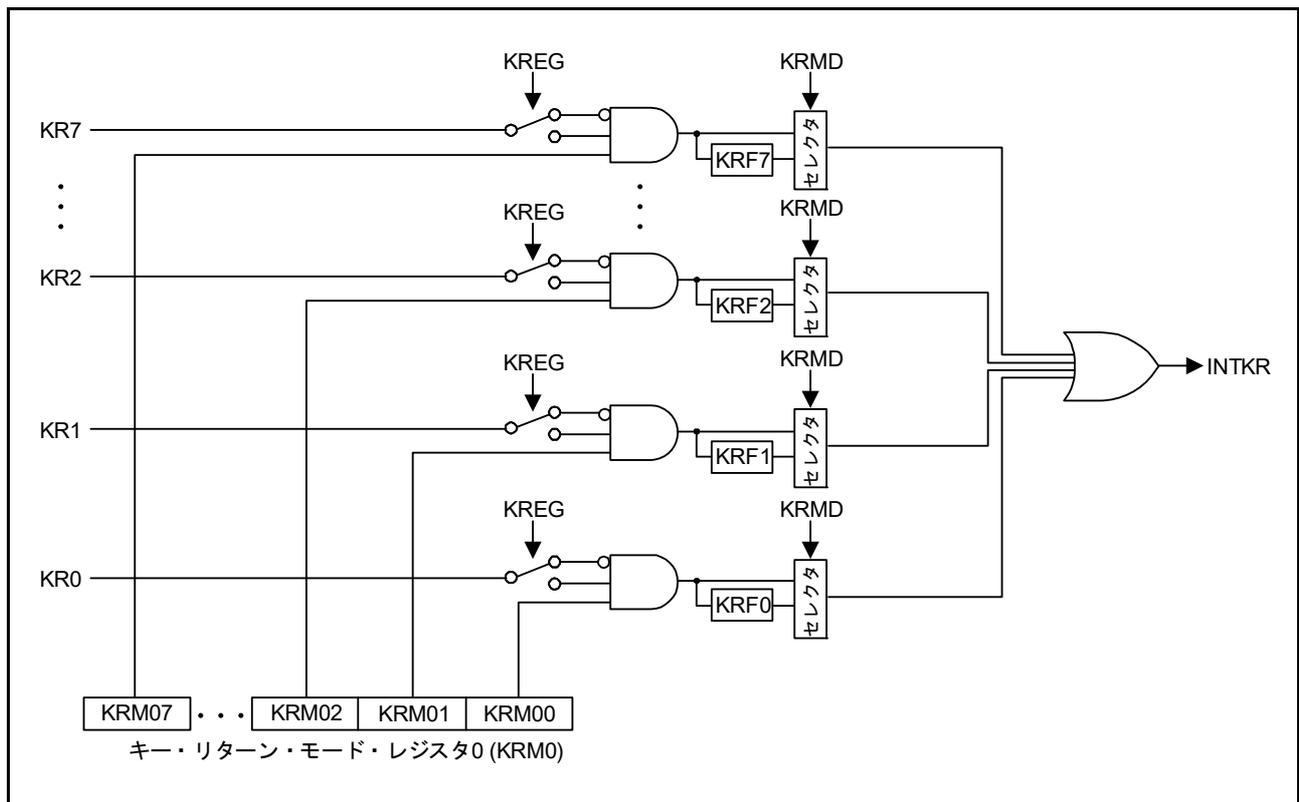
### 22.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表22-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・コントロール・レジスタ (KRCTL) キー・リターン・モード・レジスタ0 (KRM0) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・レジスタ7 (PM7)

図22 - 1 キー割り込みのブロック図



- 備考** KR0-KR3 : 40, 44ピン製品  
 KR0-KR5 : 48ピン製品  
 KR0-KR7 : 52, 64, 80, 100, 128ピン製品

## 22.3 キー割り込みを制御するレジスタ

キー割り込みを制御するレジスタを次に示します。

- キー・リターン・コントロール・レジスタ (KRCTL)
- キー・リターン・モード・レジスタ0 (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

**備考** xx = 7

### 22.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

キー・リターン・フラグ (KRF0-KRF7) の使用と検出エッジを設定するレジスタです。  
KRCTL レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00H になります。

図22-2 キー・リターン・コントロール・レジスタ (KRCTL) のフォーマット

アドレス : FFF34H  
リセット時: 00H  
R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
KRCTL	KRMD	0	0	0	0	0	0	KREG
KRMD	キー・リターン・フラグ (KRF0-KRF7) の使用							
0	キー・リターン・フラグを使用しない							
1	キー・リターン・フラグを使用する							
KREG	検出エッジの選択 (KR0-KR7)							
0	立ち下がリエッジ							
1	立ち上がリエッジ							

### 22.3.2 キー・リターン・モード・レジスタ0 (KRM0)

KRM0 レジスタは KR0-KR7 信号を制御するレジスタです。

KRM0 レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 22-3 キー・リターン・モード・レジスタ0 (KRM0) のフォーマット

アドレス : FFF37H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00
KRM0n	キー割り込みモードの制御							
0	キー割り込み信号を検出しない							
1	キー割り込み信号を検出する							

**注意 1.** キー割り込み入力端子のプルアップ抵抗レジスタ7 (PU7) の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。

**注意 2.** キー割り込み入力端子にロウ・レベル (KREGに0を設定時) / ハイ・レベル (KREGに1を設定時) が入力されている状態で、KRM0 レジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0 レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅 (37.4 AC特性参照) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

**注意 3.** キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

**注意 4.** 次のビットには0を設定してください。

30, 32, 36 ピン製品 : ビット7-0

40, 44 ピン製品 : ビット7-4

48 ピン製品 : ビット7, 6

**備考** n = 0-7

### 22.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー割り込みフラグ (KRF0-KRF7) を制御するレジスタです。

KRF レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22-4 キー・リターン・フラグ・レジスタ (KRF) のフォーマット

アドレス : FFF35H

リセット時: 00H

R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
KRFn	キー割り込みフラグ (n = 0-7)							
0	キー割り込み信号を未検出							
1	キー割り込み信号を検出							

注 1の書き込みは無効になります。KRFnビットをクリアする場合は、対象ビットに0を、他のビットに1を8ビット・メモリ操作命令で書き込んでください。

### 22.3.4 キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

キー割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx) を参照してください。

KR0-KR7 を兼用する端子をキー割り込み入力として使用するときは、対応するポート・モード・レジスタ 7 (PM7) のビットに1、ポート・モード・コントロールT・レジスタ 7 (PMCT7) のビットに0を設定してください。

また、プルアップ抵抗オプション・レジスタ 7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用することができます。

備考 xx = 7

## 第23章 スタンバイ機能

### 23.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

#### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

#### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

#### (3) SNOOZEモード

STOPモードを解除し、CPUを動作させることなく以下の周辺を動作させることができます。

詳細については、各章を参照してください。

- 第12章 A/Dコンバータ (ADC)
- 第15章 シリアル・アレイ・ユニット (SAU)
- 第18章 リモコン信号受信機能 (REMC)
- 第19章 データ・トランスファ・コントローラ (DTC)
- 第29章 SNOOZEモード・シーケンサ (SMS)
- 第30章 静電容量センサユニット (CTS2L)

CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます<sup>注</sup>。また、入出力ポートの出カラッチ、出力バッファの状態も保持されます。

**注** PSMCRレジスタにより、シャットダウンモードに設定したメモリを除きます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ移行可能です。CPUがサブシステム・クロックで動作しているときは、STOP命令を実行しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも移行可能です。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください（SNOOZEモード機能を使用する周辺機能および、リモコン信号受信機能（REMC）をSNOOZEモードで使用する際のタイマ・アレイ・ユニットを除く）。
- 注意3. 低速オンチップ・オシレータをHALT、STOPモード時に発振継続／停止するかは、オプション・バイトのWDTONとサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットで選択できます。
- 詳細は6.1 クロック発生回路の機能(2)サブシステム・クロック② 低速オンチップ・オシレータ・クロックを参照してください。

## 23.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ（OSMC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- スタンバイ・モード解除設定レジスタ（WKUPMD）
- メモリ電力削減制御レジスタ（PSMCR）

備考 OSMC, OSTC, OSTSレジスタの詳細は、第6章 クロック発生回路を参照してください。  
また、SNOOZEモード機能を制御するレジスタは、下記の章を参照してください。

- 第12章 A/Dコンバータ（ADC）
- 第15章 シリアル・アレイ・ユニット（SAU）
- 第18章 リモコン信号受信機能（REMC）
- 第19章 データ・トランスファ・コントローラ（DTC）
- 第29章 SNOOZEモード・シーケンサ（SMS）
- 第30章 静電容量センサユニット（CTSU2L）

### 23.2.1 スタンバイ・モード解除設定レジスタ (WKUPMD)

スタンバイ・モード解除時の動作を設定するレジスタです。

WKUPMD レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-1 スタンバイ・モード解除設定レジスタ (WKUPMD) のフォーマット

アドレス : F0215H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP
FWKUP	STOPモード解除およびSNOOZEモード遷移時の 高速オンチップ・オシレータ起動設定 <sup>注1,2</sup>							
0	高速オンチップ・オシレータ通常起動 <sup>注3</sup>							
1	高速オンチップ・オシレータ高速起動 <sup>注3</sup>							

**注1.** CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。

**注2.** リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。

**注3.** 各起動時間については、**23.3.2 STOPモード**を参照してください。

なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第37章 電気的特性**を参照してください。

### 23.2.2 メモリ電力削減制御レジスタ (PSMCR)

RAMの電力削減モードを制御するレジスタです。RAMをシャットダウン・モードに設定することでリーク電流を低減することができます。シャットダウン・モードのRAMは電源供給を停止しますのでデータを保持しません。

PSMCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-2 メモリ電力削減制御レジスタ (PSMCR) のフォーマット

アドレス : F0216H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
PSMCR	0	0	0	0	0	0	RAMSDMD	RAMSDS

RAMSDMD	RAMSDS	RAMの動作モード
0	0	通常モード (動作可能)
1	0	待機モード
1	1	シャットダウン・モード
上記以外		設定禁止

注意1. シャットダウン・モードはFF000H-FFEFFHのRAM以外が対象です。

FF000H-FFEFFHのRAMは動作可能であり、値を保持します。

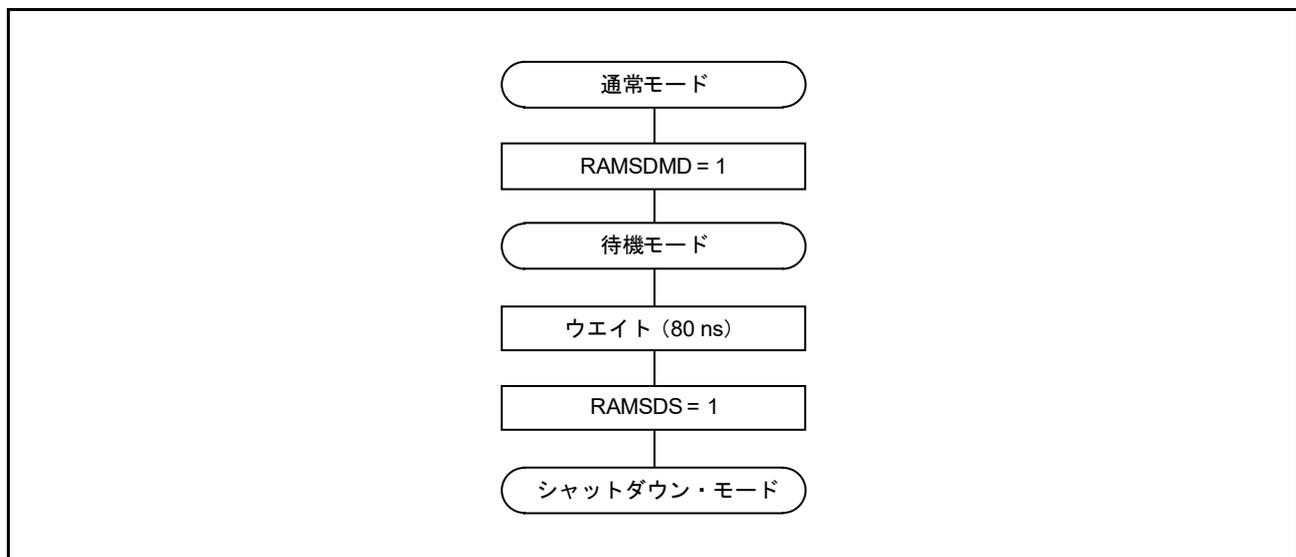
注意2. 待機モードまたはシャット・ダウンモードに設定しているときに対象のRAMにはアクセスしないでください。

注意3. シャットダウン・モードから通常モードに復帰した際、FF000H-FFEFFH以外のRAM領域は不定になります。

注意4. オンチップ・デバッグ動作では、RAMをシャットダウン・モードに設定してもFF000H-FFEFFH以外のRAMへのアクセスが可能です。また、オンチップ・デバッグ動作では、シャットダウン・モードから通常モードに復帰した際、FF000H-FFEFFH以外のRAM領域は不定になりません。

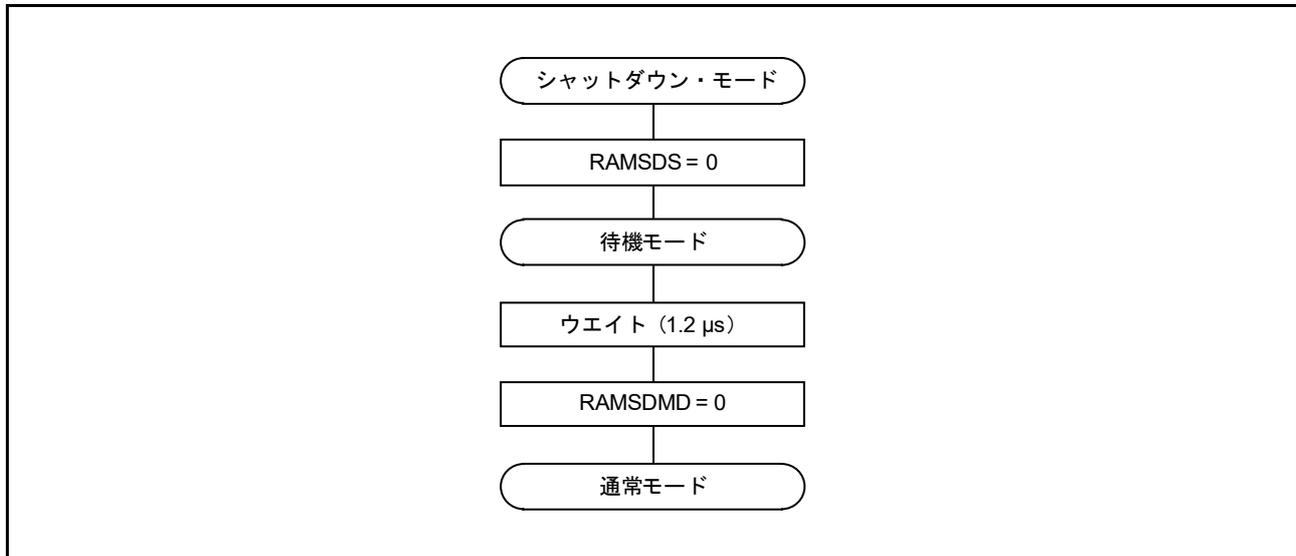
RAMの動作モードを通常モードからシャットダウン・モードへ移行する場合は、次の処理を実行してください。

図23-3 通常モードからシャットダウン・モードへの設定手順



RAMの動作モードをシャットダウン・モードから通常モードへ移行する場合は、次の処理を実行してください。

図23-4 シャットダウン・モードから通常モードへの設定手順



**注意** シャットダウン・モードから通常モードに復帰した際、FF000H-FFEFH以外のRAM領域は不定になります。使用するRAM領域を初期化してください。

## 23.3 スタンバイ機能の動作

### 23.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

**注意** 割り込みマスク・フラグが0（割り込み処理許可）でかつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表23-1 HALTモード時の動作状態 (1) (1/2)

項目		HALTモードの設定			
		メイン・システム・クロックでCPU動作中のHALT命令実行時			
		高速オンチップ・オシレータ・クロック (f <sub>H</sub> ) でCPU動作時	中速オンチップ・オシレータ・クロック (f <sub>M</sub> ) でCPU動作時	X1クロック (f <sub>X</sub> ) でCPU動作時	外部メイン・システム・クロック (f <sub>EX</sub> ) でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	f <sub>H</sub>	動作継続 (停止不可)	動作禁止		
	f <sub>M</sub>	動作禁止	動作継続 (停止不可)	動作禁止	
	f <sub>X</sub>	動作禁止		動作継続 (停止不可)	動作不可
	f <sub>EX</sub>			動作不可	動作継続 (停止不可)
サブシステム・クロック	f <sub>XT</sub>	HALTモード設定前の状態を継続			
	f <sub>EXS</sub>				
	f <sub>IL</sub>	オプション・バイト (000C0H) のビット0 (WDSTBYON)、ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1: 発振 (サブシステム・クロックX、XR (f <sub>SX</sub> , f <sub>SXR</sub> ) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0: 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき: 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき: 停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止 (DTC, SMS実行時は動作可能)			
ポート (ラッチ)		HALTモード設定前の状態を継続 (DTC, SMS, ELCL実行時は動作可能)			
タイマ・アレイ・ユニット		動作可能			
RTC		動作可能			
32ビット・インターバル・タイマ		動作可能			
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ (WDT) 参照			

表23 - 1 HALTモード時の動作状態 (1) (2/2)

項目	HALTモードの設定	メイン・システム・クロックでCPU動作中のHALT命令実行時			
		高速オンチップ・オシレータ・クロック (fiH) でCPU動作時	中速オンチップ・オシレータ・クロック (fiM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (feX) でCPU動作時
クロック出力/ブザー出力		動作可能			
A/Dコンバータ					
D/Aコンバータ					
コンパレータ					
シリアル・アレイ・ユニット					
シリアル・インタフェース IICA					
シリアル・インタフェース UARTA					
リモコン信号受信機能					
データ・トランスファ・コントローラ (DTC)					
SNOOZEモード・シーケンサ					
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
静電容量式タッチセンサ (CTS2L)					
CRC演算機能	高速CRC				
	汎用CRC	RAM領域の演算で、DTC, SMS実行時は動作可能			
不正メモリ・アクセス検出機能		DTC, SMS実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器		動作可能			

**備考** 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

fiH : 高速オンチップ・オシレータ・クロック

fiM : 中速オンチップ・オシレータ・クロック

feX : 外部メイン・システム・クロック

feXS : 外部サブシステム・クロック

fiL : 低速オンチップ・オシレータ・クロック

fx : X1クロック

fxT : XT1クロック

表23-2 HALTモード時の動作状態 (2) (1/2)

項目		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fxT) で CPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時	低速オンチップ・オシレータ・ クロック (fiL) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・ クロック	fiH	動作禁止		
	fiM			
	fx			
	fEX			
サブシステム・クロック	fxT	動作継続 (停止不可)	動作不可	動作禁止
	fEXS	動作不可	動作継続 (停止不可)	動作禁止
	fiL	オプション・バイト (000C0H) のビット0 (WDSTBYON)、ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 (サブシステム・クロックX、XR (fsx, fsxR) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止		動作継続 (停止不可)
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止 (DTC, SMS実行時は動作可能)		
データ・フラッシュ・メモリ				
RAM		動作停止 (DTC, SMS実行時は動作可能)		
ポート (ラッチ)		HALTモード設定前の状態を継続 (DTC, SMS, ELCL実行時は動作可能)		
タイマ・アレイ・ユニット		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
RTC		動作可能		
32ビット・インターバル・タイマ		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
ウォッチドッグ・タイマ		<b>第11章 ウォッチドッグ・タイマ (WDT) 参照</b>		
クロック出力/ブザー出力		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
A/Dコンバータ		動作禁止		
D/Aコンバータ		HALTモード設定前の状態を継続 (RTCLPC = 0かつDTC, SMS, ELCL実行時は動作可能)		
コンパレータ		動作可能 (RTCLPC = 0またはデジタルフィルタ未使用時)		動作可能
シリアル・アレイ・ユニット		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
シリアル・インタフェース IICA		動作禁止		
シリアル・インタフェース UARTA		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
リモコン信号受信機能		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
データ・トランスファ・コントローラ (DTC)		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
SNOOZEモード・シーケンサ		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能		

表23 - 2 HALTモード時の動作状態 (2) (2/2)

HALTモードの設定 項目		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) で CPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時	低速オンチップ・オシレータ・ クロック (fIL) でCPU動作時
パワーオン・リセット機能		動作可能		
電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		
静電容量式タッチセンサ (CTS2L)		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC, SMS実行時は動作可能		
不正メモリ・アクセス検出機能		DTC, SMS実行時は動作可能		
RAMパリティ・チェック機能		動作可能		
RAMガード機能		動作可能		
SFRガード機能		動作可能		
真性乱数発生器		動作可能		

**備考** 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

fIH : 高速オンチップ・オシレータ・クロック

fIL : 低速オンチップ・オシレータ・クロック

fIM : 中速オンチップ・オシレータ・クロック

fX : X1クロック

fEX : 外部メイン・システム・クロック

fXT : XT1クロック

fEXS : 外部サブシステム・クロック

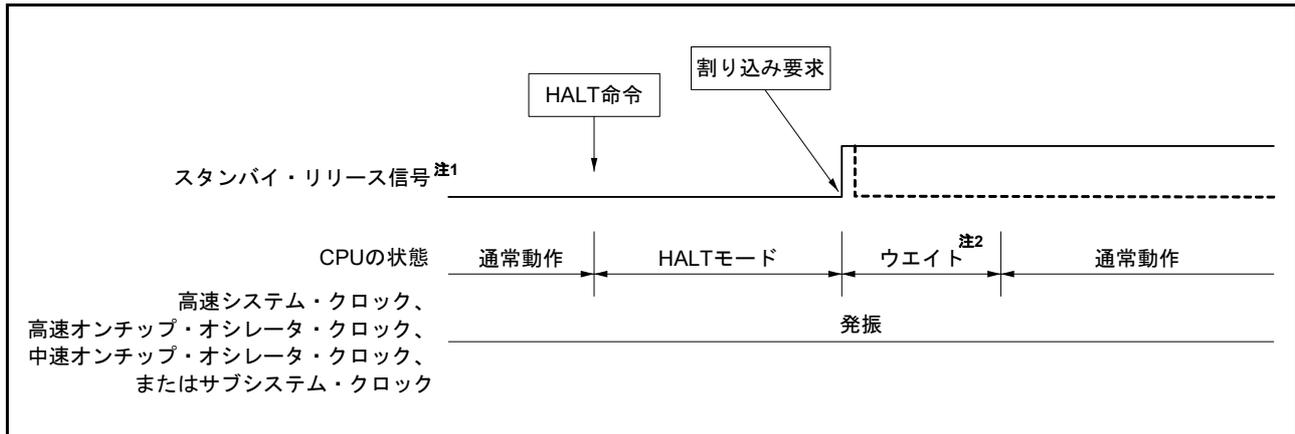
## (2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23-5 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理を行う場合
  - メイン・システム・クロック時 : 15~16クロック
  - サブシステム・クロック時 (RTCLPC = 0) : 10~11クロック
  - サブシステム・クロック時 (RTCLPC = 1) : 11~12クロック
- ベクタ割り込み処理を行わない場合
  - メイン・システム・クロック時 : 9~10クロック
  - サブシステム・クロック時 (RTCLPC = 0) : 4~5クロック
  - サブシステム・クロック時 (RTCLPC = 1) : 5~6クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

## (b) リセット信号の発生による解除

リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-6 HALTモードのリセットによる解除 (1/2)

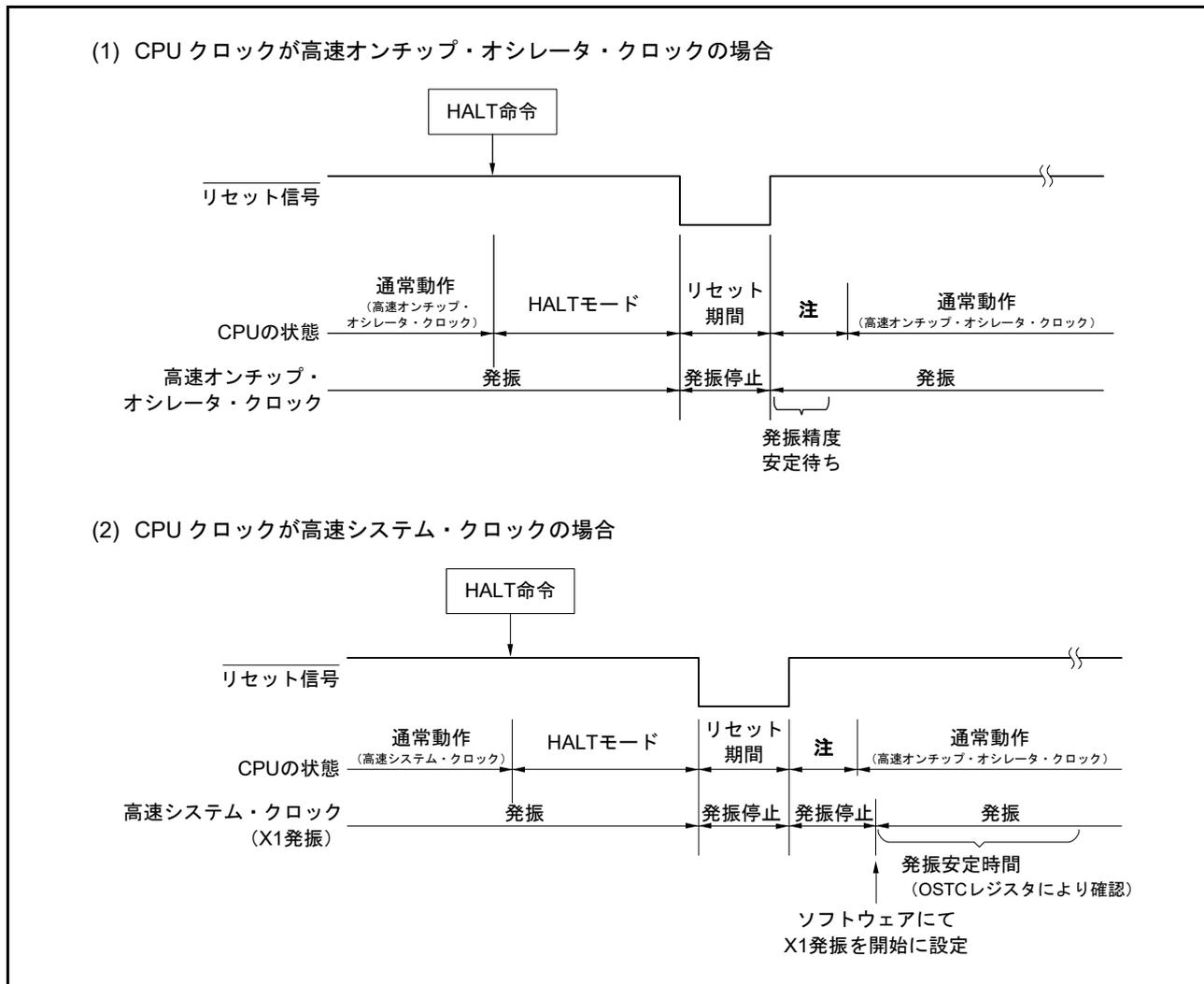
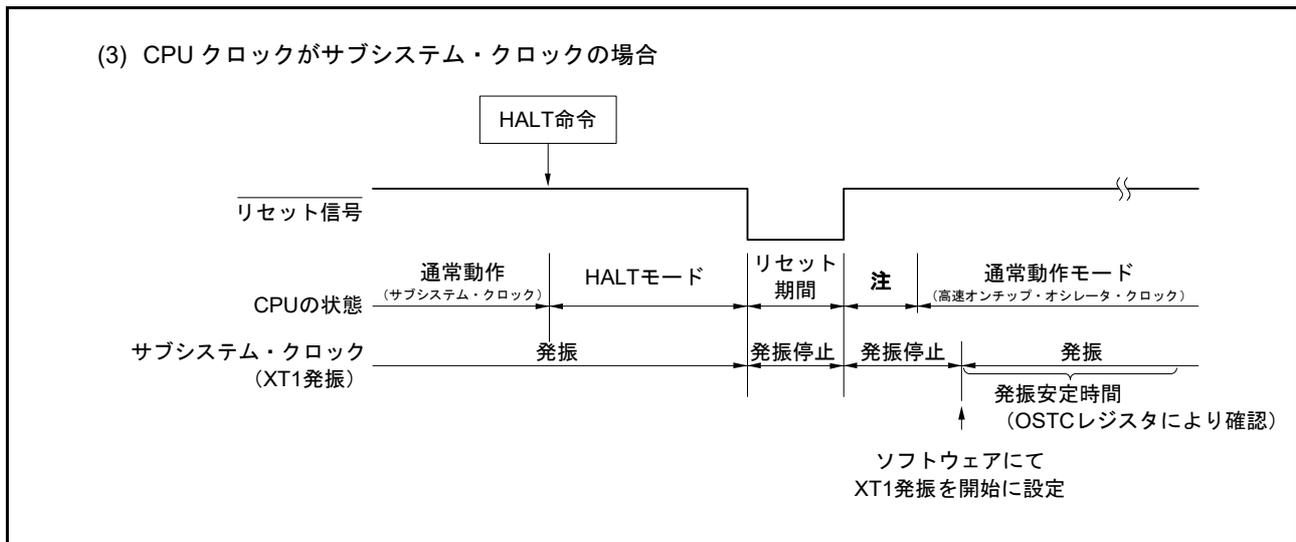


図23-6 HALTモードのリセットによる解除 (2/2)



**注** リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD0, 1) 回路のリセット処理時間は、第25章 パワーオン・リセット回路 (POR) を参照してください。

### 23.3.2 STOPモード

#### (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

**注意** 割り込みマスク・フラグが0 (割り込み処理許可) かつ割り込み要求フラグが1 (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次に STOP モード時の動作状態を示します。

表23-3 STOPモード時の動作状態 (1/2)

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (fiH) でCPU動作時	中速オンチップ・オシレータ・クロック (fiM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (feX) でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	fiH	停止			
	fiM	停止			
	fx	停止			
	feX	停止			
サブシステム・クロック	fxT	STOPモード設定前の状態を継続			
	feXS	STOPモード設定前の状態を継続			
	fiL	オプション・バイト (000C0H) のビット0 (WDSTBYON)、ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロックX、XR (fsX, fsXR) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU	動作停止				
コード・フラッシュ・メモリ	動作停止				
データ・フラッシュ・メモリ					
RAM					
ポート (ラッチ)	STOPモード設定前の状態を継続				
タイマ・アレイ・ユニット	動作停止				
RTC	動作可能				
32ビット・インターバル・タイマ	fsXP選択かつRTCLPC = 0のとき動作可能				
ウォッチドッグ・タイマ	<b>第11章 ウォッチドッグ・タイマ (WDT)</b> 参照				
クロック出力/ブザー出力	fsXP選択かつRTCLPC = 0のとき動作可能				
A/Dコンバータ	ウエイク・アップ動作可能 (SNOOZEモードへ移行)				
D/Aコンバータ	STOPモード設定前の状態を継続				
コンパレータ	動作可能 (デジタルフィルタ未使用時のみ)				
シリアル・アレイ・ユニット	CSIp, UARTqのみウエイク・アップ動作可能 (SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止				
シリアル・インタフェース IICA	アドレス一致によるウエイク・アップ動作可能				
シリアル・インタフェース UARTA	fsXP選択かつRTCLPC = 0のとき動作可能				
リモコン信号受信機能	エッジ検出動作可能 (SNOOZEモードへ移行)				
データ・トランスファ・コントローラ (DTC)	DTC起動要因受付動作可能 (SNOOZEモードへ移行)				
SNOOZEモード・シーケンサ	SMS起動要因受付動作可能 (SNOOZEモードへ移行)				
ロジック&イベント・リンク・コントローラ (ELCL)	動作可能な機能ブロック間のリンクが可能				
パワーオン・リセット機能	動作可能				
電圧検出機能					
外部割り込み					
キー割り込み機能					
静電容量式タッチセンサ (CTSU2L)	CTSU起動要因受付動作可能 (SNOOZEモードへ移行)				

表23-3 STOPモード時の動作状態 (2/2)

STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (fiH) でCPU動作時	中速オンチップ・オシレータ・クロック (fiM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (feX) でCPU動作時
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器					

備考1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

fiH : 高速オンチップ・オシレータ・クロック

fiL : 低速オンチップ・オシレータ・クロック

fiM : 中速オンチップ・オシレータ・クロック

fx : X1クロック

feX : 外部メイン・システム・クロック

fxT : XT1クロック

feXS : 外部サブシステム・クロック

fsXP : 低速周辺クロック周波数

備考2. 30~64ピン製品 : p=00; q=0

80~128ピン製品 : p=00, 20; q=0, 2

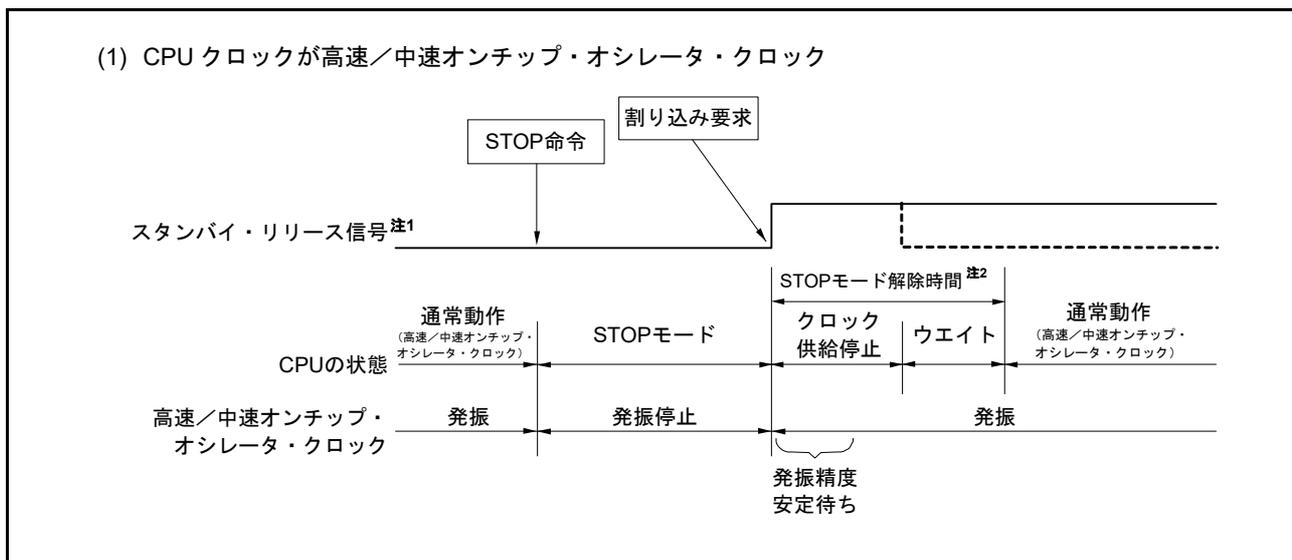
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図23-7 STOPモードの割り込み要求発生による解除 (1/3)



(注、注意、備考は次ページに続きます)

注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止：

高速オンチップ・オシレータ・クロックの場合：3.9～5.2  $\mu$ s + 3～4クロック

(高速オンチップ・オシレータ通常起動 FWKUP = 0)

0.6～0.8  $\mu$ s + 3～4クロック

(高速オンチップ・オシレータ高速起動 FWKUP = 1)

高速オンチップ・オシレータ通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。

第37章 電気的特性を参照してください。

中速オンチップ・オシレータ・クロックの場合：1.5～2.5  $\mu$ s + 3～4クロック

ウェイト：

(高速/中速オンチップ・オシレータ・クロック共通)

・ベクタ割り込み処理を行う場合 : 7クロック

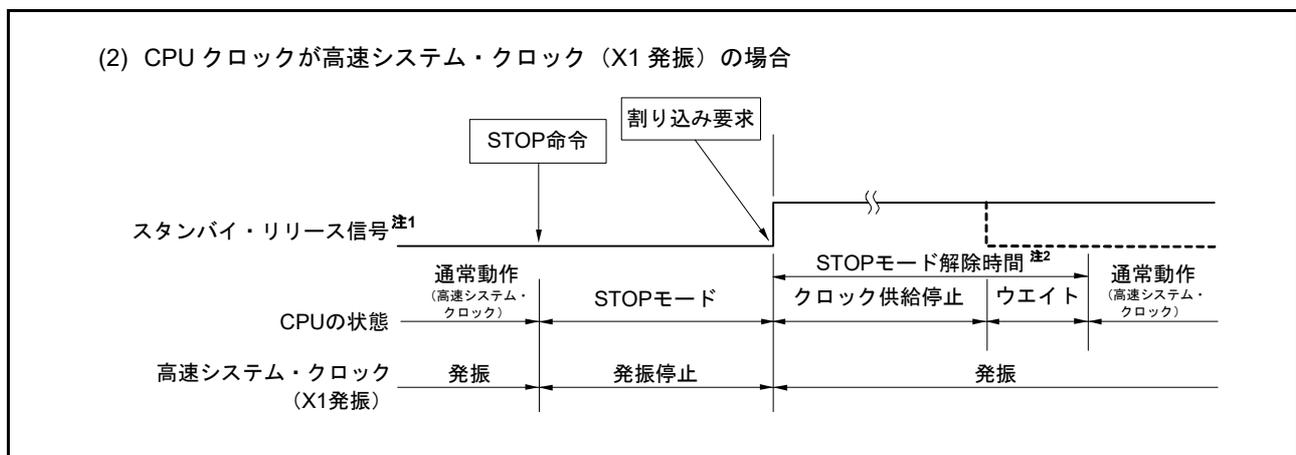
・ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23-7 STOPモードの割り込み要求発生による解除 (2/3)



注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止：

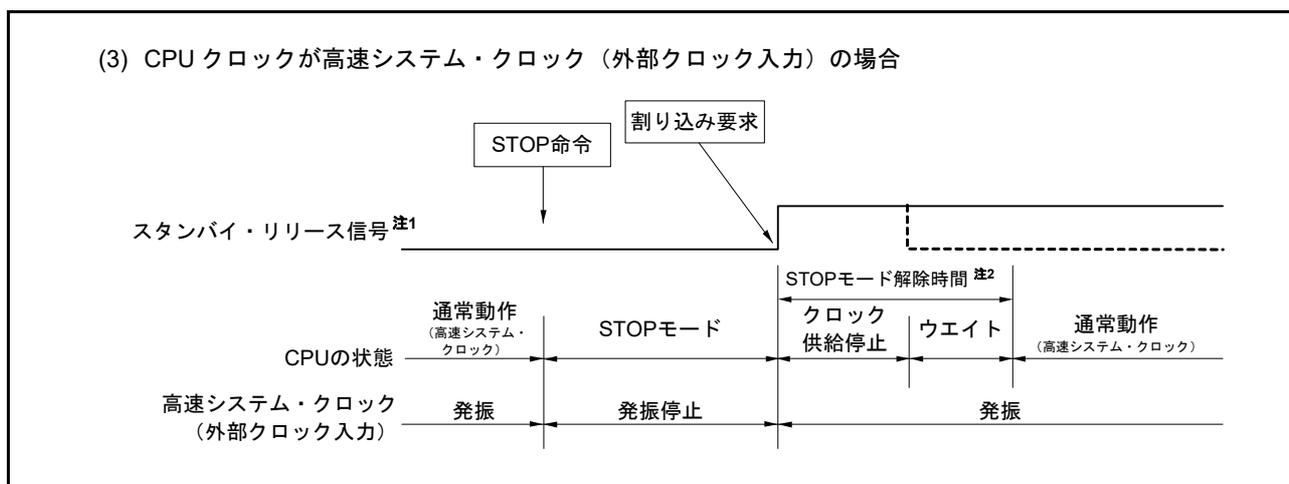
発振安定時間 (OSTSで設定) + 3～4クロック

ウェイト：

・ベクタ割り込み処理を行う場合 : 7クロック

・ベクタ割り込み処理を行わない場合 : 1クロック

図23-7 STOPモードの割り込み要求発生による解除 (3/3)



注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止：

外部クロック 50～51クロック

ウェイト：

・ベクタ割り込み処理を行う場合 : 7クロック

・ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

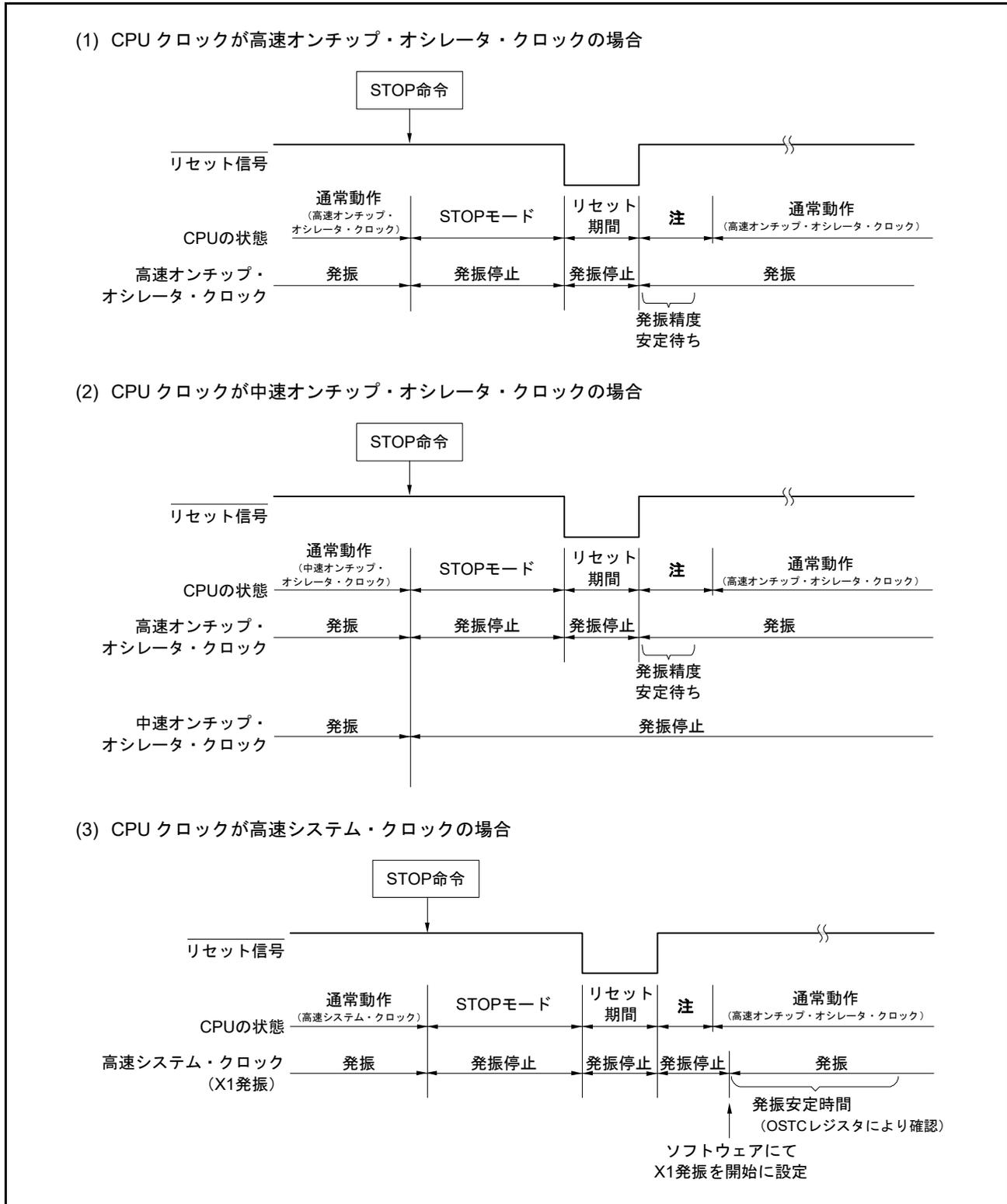
備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-8 STOPモードのリセットによる解除



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVDD0, 1) 回路のリセット処理時間は、第25章 パワーオン・リセット回路 (POR) を参照してください。

### 23.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

以下の周辺によって設定可能です。

詳細については、各章を参照してください。

- 第12章 A/Dコンバータ (ADC)
- 第15章 シリアル・アレイ・ユニット (SAU)
- 第18章 リモコン信号受信機能 (REMC)
- 第19章 データ・トランスファ・コントローラ (DTC)
- 第29章 SNOOZEモード・シーケンサ (SMS)
- 第30章 静電容量センサユニット (CTSU2L)

また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合、設定可能です。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

高速オンチップ・オシレータ・クロックの場合 : 3.9 ~ 5.2  $\mu$ s  
(高速オンチップ・オシレータ通常起動 FWKUP = 0)  
0.6 ~ 0.8  $\mu$ s  
(高速オンチップ・オシレータ高速起動 FWKUP = 1)  
高速オンチップ・オシレータ通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。  
第37章 電気的特性を参照してください。

中速オンチップ・オシレータ・クロックの場合注： 1.3 ~ 2.5  $\mu$ s

**備考** STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合  
"0.3 ~ 0.4  $\mu$ s" + 10 ~ 11クロック
- ベクタ割り込み処理を行わない場合  
"0.3 ~ 0.4  $\mu$ s" + 4 ~ 5クロック

中速オンチップ・オシレータ・クロックの場合注：

- ベクタ割り込み処理を行う場合  
"0.6 ~ 1.2  $\mu$ s" + 10 ~ 11クロック
- ベクタ割り込み処理を行わない場合  
"0.6 ~ 1.2  $\mu$ s" + 4 ~ 5クロック

**注** MIOTRMが初期値の場合

次に SNOOZE モード時の動作状態を示します。

表23 - 4 SNOOZEモード時の動作状態 (1/2)

項目		STOPモードの設定		STOPモード中にSNOOZEモードに移行可能な要因発生時	
				高速オンチップ・オシレータ・クロック (f <sub>H</sub> ) でのCPU動作時	中速オンチップ・オシレータ・クロック (f <sub>M</sub> ) でのCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	f <sub>H</sub>	動作開始		停止	
	f <sub>M</sub>	停止		動作開始	
	f <sub>X</sub>	停止			
	f <sub>EX</sub>				
サブシステム・クロック	f <sub>XT</sub>	動作可能			
	f <sub>EXS</sub>				
	f <sub>IL</sub>	オプション・バイト (000C0H) のビット0 (WDSTBYON)、ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロックX、XR (f <sub>sx</sub> , f <sub>sXR</sub> ) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止 (DTC, SMS実行時は動作可能)			
ポート (ラッチ)		SNOOZEモード遷移前の状態を継続 (DTC, SMS, ELCL実行時は動作可能)			
タイマ・アレイ・ユニット		DTC, SMS, ELCL実行時は動作可能			
RTC		動作可能			
32ビット・インターバル・タイマ		f <sub>sXP</sub> 選択かつRTCLPC = 0のとき動作可能			
ウォッチドッグ・タイマ		<b>第11章 ウォッチドッグ・タイマ (WDT) 参照</b>			
クロック出力/ブザー出力		f <sub>sXP</sub> 選択かつRTCLPC = 0のとき動作可能			
A/Dコンバータ		動作可能			
D/Aコンバータ		SNOOZEモード遷移前の状態を継続 (RTCLPC = 0かつDTC, SMS, ELCL実行時は動作可能)			
コンパレータ		動作可能 (デジタルフィルタ未使用時のみ)			
シリアル・アレイ・ユニット		CSIp, UARTqのみ動作可能 CSIp, UARTq以外は動作禁止			
シリアル・インタフェース IICA		アドレス一致によるウエイク・アップ動作可能			
シリアル・インタフェース UARTA		f <sub>sXP</sub> 選択かつRTCLPC = 0のとき動作可能			
リモコン信号受信機能		動作可能			
データ・トランスファ・コントローラ (DTC)		動作可能			
SNOOZEモード・シーケンサ		動作可能			
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					

表23 - 4 SNOOZEモード時の動作状態 (2/2)

STOPモードの設定 項目		STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (f <sub>H</sub> ) での CPU動作時	中速オンチップ・オシレータ・クロック (f <sub>M</sub> ) での CPU動作時
静電容量式タッチセンサ (CTS02L)		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC	RAM領域の演算で、DTC, SMS実行時は動作可能	
不正メモリ・アクセス検出機能		DTC, SMS実行時は動作可能	
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
真性乱数発生器			

**備考1.** 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f<sub>H</sub> : 高速オンチップ・オシレータ・クロック

f<sub>M</sub> : 中速オンチップ・オシレータ・クロック

f<sub>EX</sub> : 外部メイン・システム・クロック

f<sub>EXS</sub> : 外部サブシステム・クロック

f<sub>SXR</sub> : サブシステム・クロックXR

f<sub>L</sub> : 低速オンチップ・オシレータ・クロック

f<sub>X</sub> : X1クロック

f<sub>XT</sub> : XT1クロック

f<sub>SX</sub> : サブシステム・クロックX

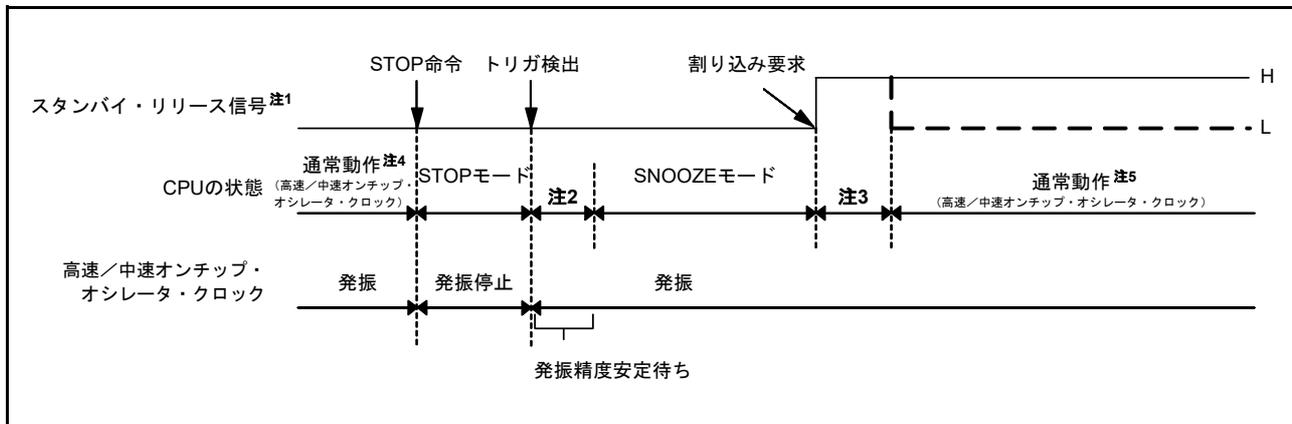
f<sub>SXP</sub> : 低速周辺クロック周波数

**備考2.** 30～64ピン製品 : p = 00; q = 0

80～128ピン製品 : p = 00, 20; q = 0, 2

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

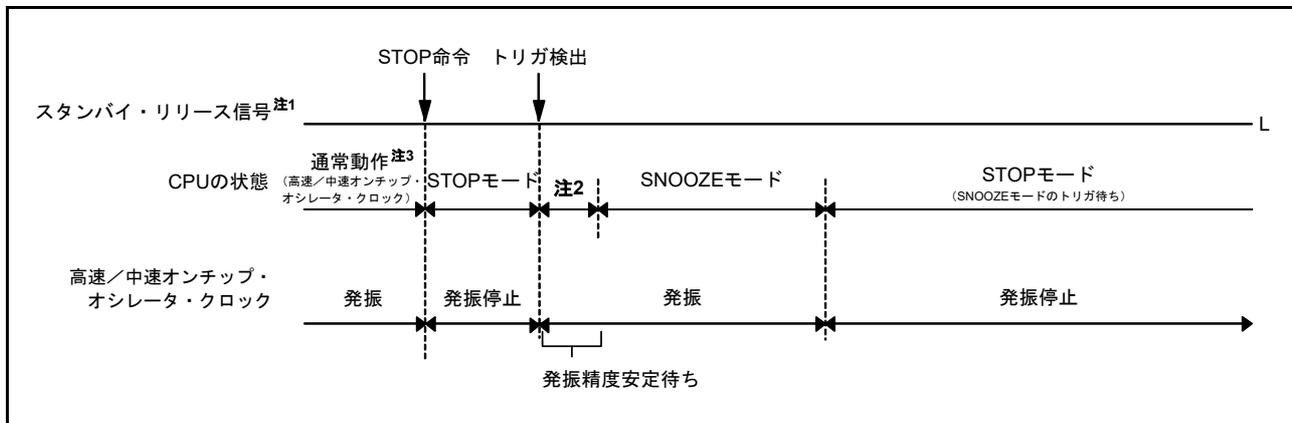
図23-9 SNOOZEモードの割り込み要求が発生する場合



- 注1. スタンバイ・リリース信号に関する詳細は、図21-1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. SNOOZEモード→通常動作の遷移時間
- 注4. STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。
- 注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図23-10 SNOOZEモードの割り込み要求が発生しない場合



- 注1. スタンバイ・リリース信号に関する詳細は、図21-1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

備考 SNOOZEモード機能の詳細は、下記の章を参照してください。

- 第12章 A/Dコンバータ (ADC)
- 第15章 シリアル・アレイ・ユニット (SAU)
- 第18章 リモコン信号受信機能 (REMC)
- 第19章 データ・トランスファ・コントローラ (DTC)
- 第29章 SNOOZEモード・シーケンサ (SMS)
- 第30章 静電容量センサユニット (CTS2L)

## 第24章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD0, 1) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット<sup>注</sup>
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$  端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR 回路、LVD0, 1 回路の電圧検出、不正命令の実行<sup>注</sup>、RAM パリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表 24 - 1 に示すような状態になります。

**注** FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

**注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu\text{s}$ 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、37.4 AC特性に示す動作電圧範囲内の期間で10  $\mu\text{s}$ 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

**注意2.** リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。

XT1クロック、外部サブシステム・クロックはPORによるリセット中のみ発振停止もしくは入力無効となります。

**注意3.** リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内蔵プルアップ抵抗接続）

- P130：リセット期間中およびリセット受け付け後はロウ・レベル出力

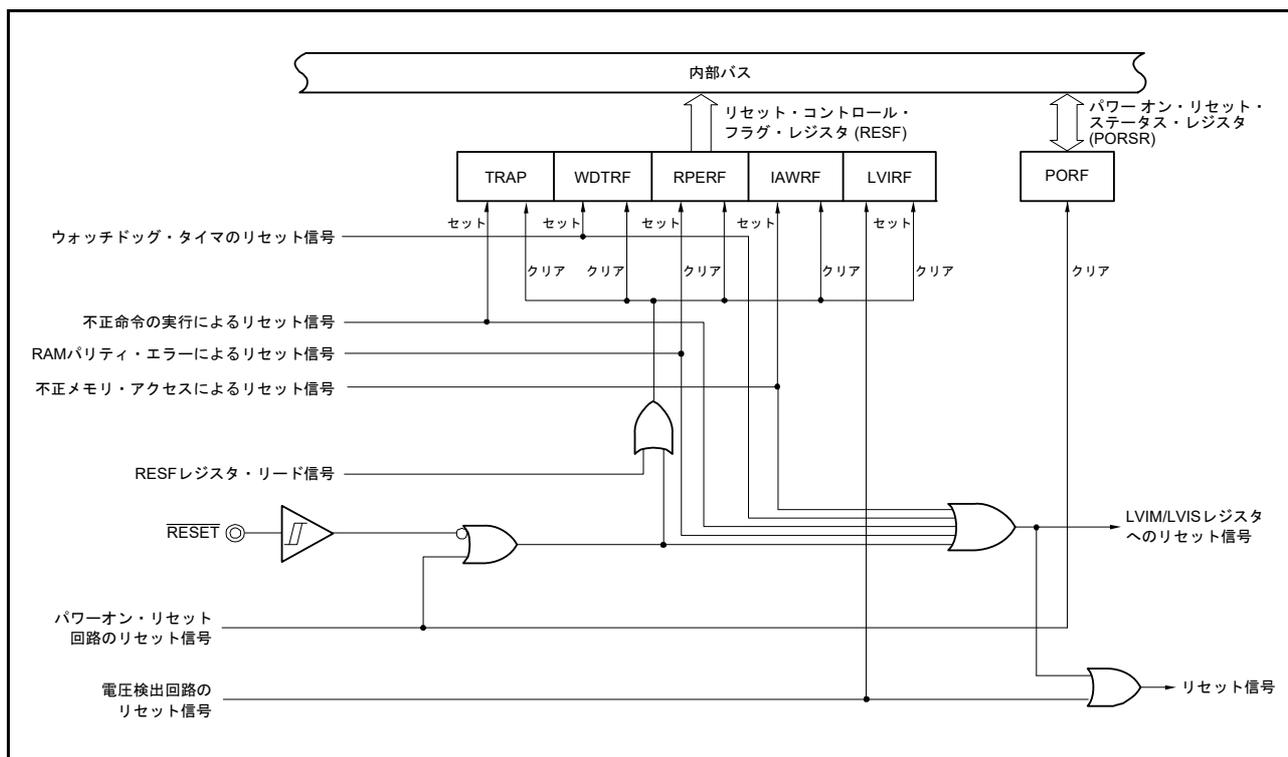
- P40, P130以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

以下のレジスタはPORによるリセットでのみ初期化されます。

- RTC関連レジスタ

- CMCレジスタのEXCLKS, OSCSELS, XTSEL, AMPHS1, AMPHS0ビット

図24 - 1 リセット機能のブロック図

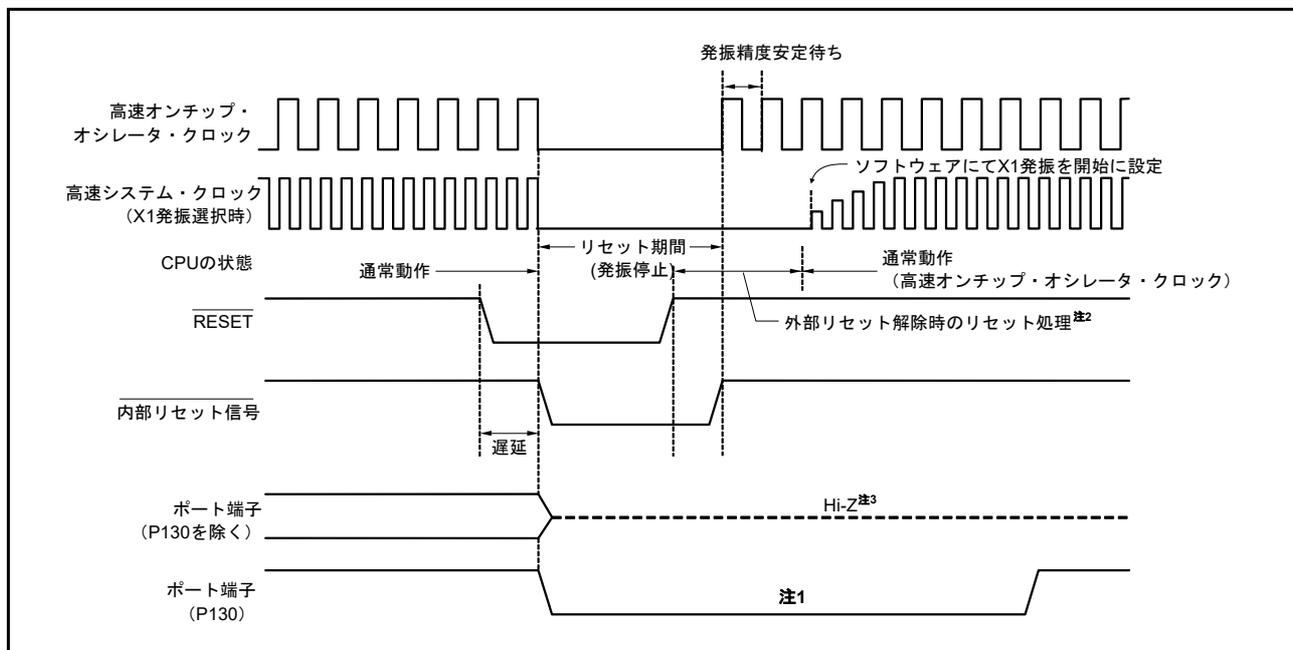


**注意** LVD0回路の内部リセットの場合、LVD0回路はリセットされません。

### 24.1 リセット動作のタイミング

$\overline{\text{RESET}}$  端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$  端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

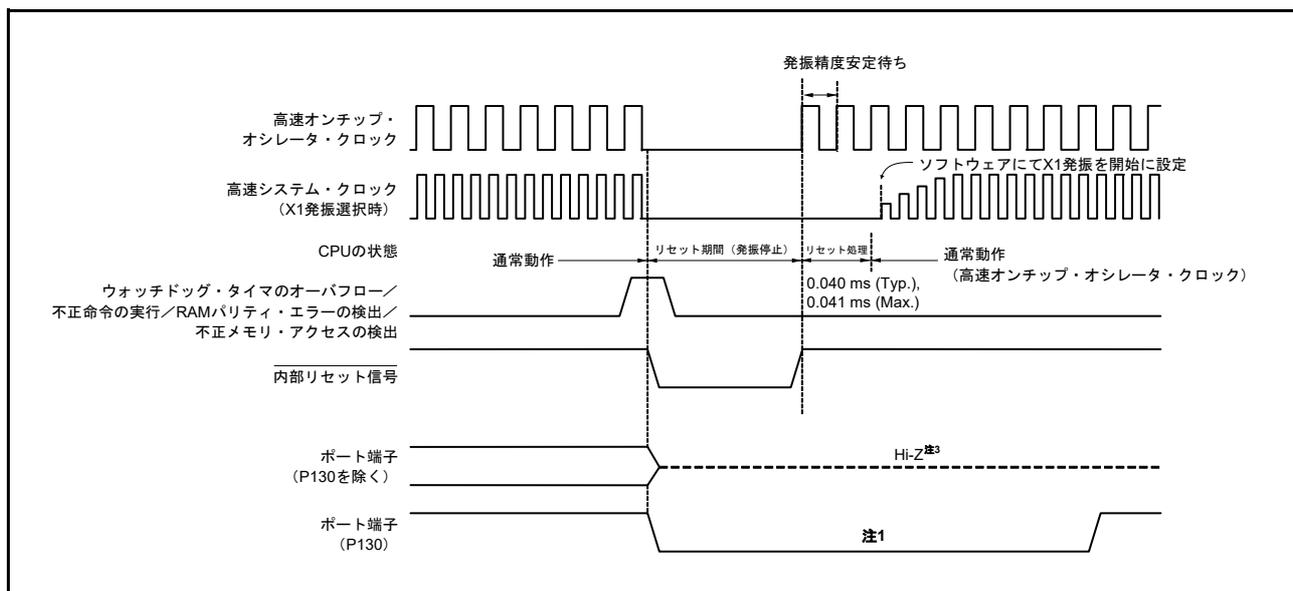
図24-2  $\overline{\text{RESET}}$ 入力によるリセット・タイミング



(注、備考は次ページに続きます)

ウォッチドッグ・タイマのオーバフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図24-3 ウォッチドッグ・タイマのオーバフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注、備考は次ページに続きます)

**注1.** リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

**注2.** 外部リセット解除時のリセット時間：

POR解除後1回目 : 0.506 ms (Typ.), 0.694 ms (Max.) (LVD使用時)

0.201 ms (Typ.), 0.335 ms (Max.) (LVDオフ時)

POR解除後2回目以降 : 0.476 ms (Typ.), 0.616 ms (Max.) (LVD使用時)

0.170 ms (Typ.), 0.257 ms (Max.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間4.0 ms (Typ.), 9.9 ms (Max.) ががかかります。

**注3.** ポート端子P40は次の状態になります。

- ・ 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・ それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

POR回路、LVD0回路の電圧検出によるリセットは、リセット後  $V_{DD} \geq V_{POR}$  または  $V_{DD} \geq V_{LVD0}$  になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、**第25章 パワーオン・リセット回路 (POR)** または**第26章 電圧検出回路 (LVD)** を参照してください。

**備考**  $V_{POR}$  : POR 電源立ち上がり検出電圧

$V_{LVD0}$  : LVD0 検出電圧

表24-1 リセット期間中の動作状態 (1/2)

項目	リセット期間中の動作状態	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f1H	動作停止
	f1M	
	fX	動作停止 (X1, X2端子は入力ポート・モード)
	fEX	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	fXT	動作可能 (PORリセットのときは動作停止、XT1, XT2端子は入力ポート・モード)
	fEXS	動作可能 (PORリセットのときは動作停止、EXCLKS端子は入力ポート・モード)
	f1L	動作停止
CPU	動作停止	
コード・フラッシュ・メモリ	動作停止	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止	
ポート (ラッチ)	ハイ・インピーダンス <sup>注</sup>	
タイマ・アレイ・ユニット	動作停止	
リアルタイム・クロック	PORリセット以外：動作可能 PORリセット：カレンダー系レジスタのみデータ保持	
32ビット・インターバル・タイマ	動作停止	
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
D/Aコンバータ		
コンパレータ		
シリアル・アレイ・ユニット		
シリアル・インタフェース IICA		
シリアル・インタフェース UARTA		
リモコン信号受信機能		
データ・トランスファ・コントローラ (DTC)		
SNOOZEモード・シーケンサ		
ロジック&イベント・リンク・コントローラ (ELCL)		
パワーオン・リセット機能		検出動作可能
電圧検出機能		LVD0：LVD0リセット時はLVD0は動作可能。それ以外のリセット時は動作停止 LVD1：動作停止

表24 - 1 リセット期間中の動作状態 (2/2)

項目	リセット期間中の動作状態	
外部割り込み	動作停止	
キー割り込み機能		
静電容量式タッチセンサ (CTS2L)		
CRC 演算機能		高速CRC
		汎用CRC
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

注 ポート端子P40, P130は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル (内蔵プルアップ抵抗接続)
- ・ P130 : リセット期間中はロウ・レベル出力

備考 f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック      f<sub>X</sub> : X1発振クロック  
f<sub>IM</sub> : 中速オンチップ・オシレータ・クロック      f<sub>EX</sub> : 外部メイン・システム・クロック  
f<sub>XT</sub> : XT1発振クロック      f<sub>EXS</sub> : 外部サブシステム・クロック  
f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック

表24 - 2 各ハードウェアのリセット受け付け後の状態

ハードウェア	リセット受け付け後の状態	
プログラム・カウンタ (PC)	リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる注。	
スタック・ポインタ (SP)	不定	
プログラム・ステータス・ワード (PSW)	06H	
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

備考 特殊機能レジスタ (SFR : Special Function Register) のリセット受け付け後の状態は、3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域、3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域を参照してください。

## 24.2 リセット要因を確認するレジスタ

リセット要因を確認するレジスタを次に示します。

- リセット・コントロール・フラグ・レジスタ (RESF)
- パワーオン・リセット・ステータス・レジスタ (PORSR)
- 周辺リセット制御レジスタ0 (PRR0)
- 周辺リセット制御レジスタ1 (PRR1)

### 24.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。RESF レジスタは、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8 ビット・メモリ操作命令で、読み出すことができます。

以下のいずれかの条件で TRAP, WDTRF, RPERF, IAWRF, LVIRF フラグはクリアされます。

- $\overline{\text{RESET}}$  入力によるリセット
- パワーオン・リセット (POR) 回路によるリセット
- RESF レジスタのデータを読み出し

図24-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット (1/2)

アドレス : FFFA8H

リセット時: 不定<sup>注1</sup>

R/W属性 : R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求 <sup>注2</sup>							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

図24 - 4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット (2/2)

LVIRF	電圧検出 (LVD0, 1) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表24 - 3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.4 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表24 - 3に示します。

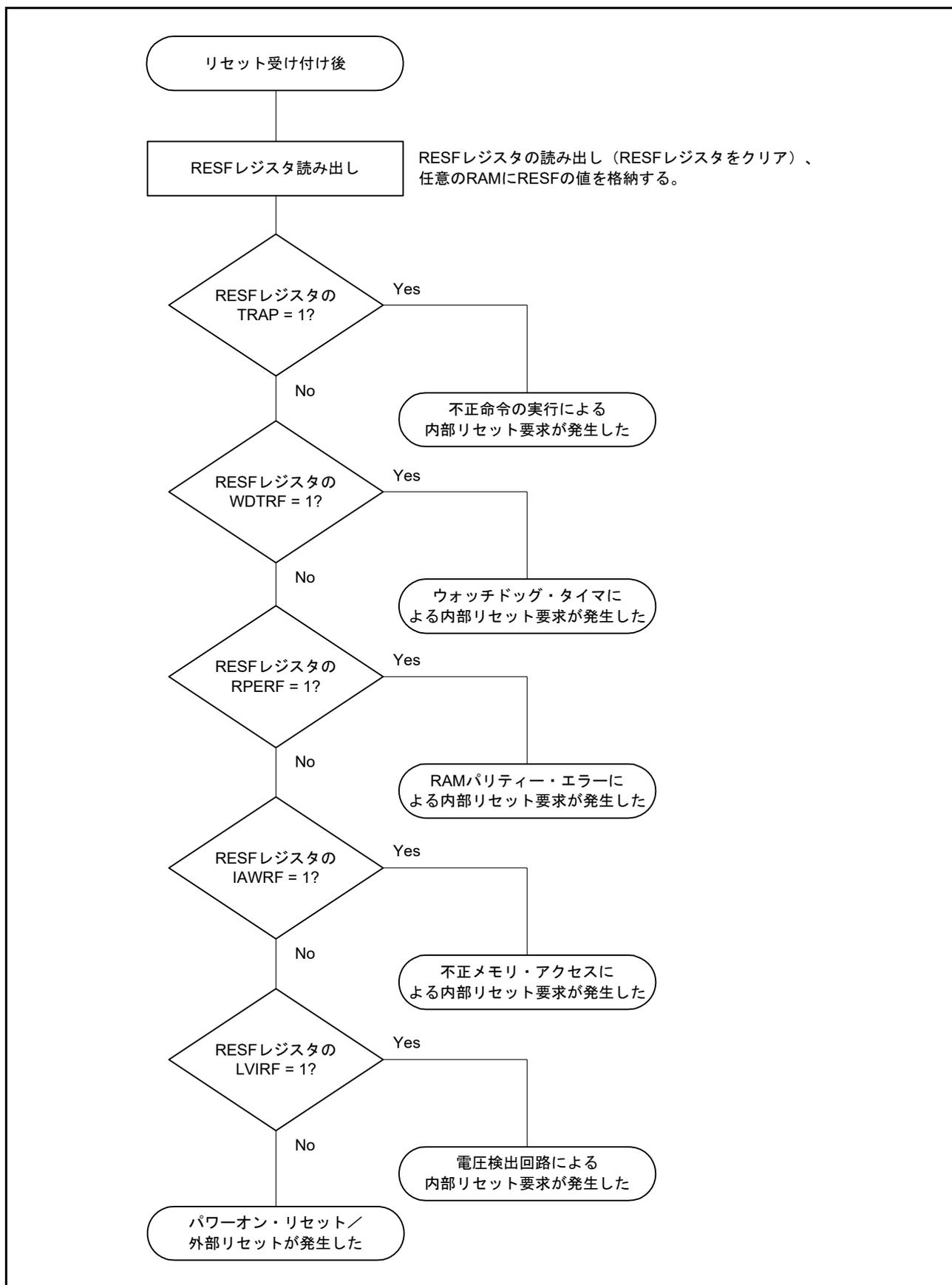
表24 - 3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVD0, 1による リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持
WDTRF			保持	セット (1)			
RPERF				保持	セット (1)		
IAWRF					保持	セット (1)	
LVIRF						保持	セット (1)

RESFレジスタは、8ビット・メモリ操作命令で読み出し後、自動的にクリアされます。

リセット要因の手順を図24 - 5に示します。

図24 - 5 リセット要因の確認手順例



※上記フローは確認手順の一例です。

## 24.2.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSR レジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSR レジスタのビット 0 (PORF) は 1 書き込み有効であり、0 書き込みは無効です。

パワーオン・リセット発生の有無を確認するときは、あらかじめ PORF ビットに 1 を書き込んでおいてください。

PORSR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00H になります。

**注意1.** PORSR レジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

**注意2.** PORF が 1 のとき、パワーオン・リセットが発生していないことは保証されますが、RAM の値が保持されていることを保証するものではありません。

図24 - 6 パワーオン・リセット・ステータス・レジスタ (PORSR) のフォーマット

アドレス : F00F9H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
PORSR	0	0	0	0	0	0	0	PORF
PORF	パワーオン・リセット発生確認							
0	1書き込みが行われていない、またはパワーオン・リセットが発生							
1	パワーオン・リセットは発生していない							

### 24.2.3 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図24-7 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR0	0	IICA1RES 注1	ADCRES	IICA0RES	SAU1RES	SAU0RES	TAU1RES 注2	TAU0RES

IICAnRES	シリアル・インタフェースIICAnの周辺リセット制御
0	シリアル・インタフェースIICAnのリセット解除
1	シリアル・インタフェースIICAnはリセット状態 ・シリアル・インタフェースIICAnで使用するSFRが初期化されます。

ADCRES	A/Dコンバータのリセット制御
0	A/Dコンバータのリセット解除
1	A/Dコンバータのリセット状態 ・A/Dコンバータで使用するSFRが初期化されます。

SAUnRES	シリアル・アレイ・ユニットnのリセット制御
0	シリアル・アレイ・ユニットnのリセット解除
1	シリアル・アレイ・ユニットnはリセット状態 ・シリアル・アレイ・ユニットnで使用するSFRが初期化されます。

TAUnRES	タイマ・アレイ・ユニットnのリセット制御
0	タイマ・アレイ・ユニットnのリセット解除
1	タイマ・アレイ・ユニットnはリセット状態 ・タイマ・アレイ・ユニットnで使用するSFRが初期化されます。

注1. 44～128ピン製品のみ

注2. 80～128ピン製品のみ

注意1. ビット7には、必ず0を設定してください。

注意2. 次の各ビットには必ず0を設定してください。

30, 32, 36, 40ピン製品 : ビット6, 1

44, 48, 52, 64ピン製品 : ビット1

備考 n = 0, 1

## 24.2.4 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図24-8 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	REMCRES 注	CTSURES
DACRES	D/Aコンバータのリセット制御							
0	D/Aコンバータのリセット解除							
1	D/Aコンバータはリセット状態 ・D/Aコンバータで使用するSFRが初期化されます。							
SMSRES	SNOOZEモード・シーケンサのリセット制御							
0	SNOOZEモード・シーケンサのリセット解除							
1	SNOOZEモード・シーケンサはリセット状態 ・SNOOZEモード・シーケンサで使用するSFRが初期化されます。							
CMPRES	コンパレータのリセット制御							
0	コンパレータのリセット解除							
1	コンパレータはリセット状態 ・コンパレータで使用するSFRが初期化されます。							
TML32RES	32ビット・インターバル・タイマの周辺リセット制御							
0	32ビット・インターバル・タイマのリセット解除							
1	32ビット・インターバル・タイマはリセット状態 ・32ビット・インターバル・タイマで使用するSFRが初期化されます。							
REMCRES	リモコン信号受信機能のリセット制御							
0	リモコン信号受信機能のリセット解除							
1	リモコン信号受信機能のリセット状態 ・リモコン信号受信機能で使用するSFRが初期化されます。							
CTSURES	CTSUリセット制御							
0	CTSUリセット解除							
1	CTSUリセット状態 ・CTSUで使用するSFRが初期化されます。							

注 32～128ピン製品のみ

(注意は次ページに続きます)

注意1. ビット3, 2 には必ず0を設定してください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品：ビット1

## 第25章 パワーオン・リセット回路 (POR)

### 25.1 パワーオン・リセット回路の機能

パワーオン・リセット (POR) 回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。  
電源電圧 (VDD) が検出電圧 (VPOR) を超えた場合に、リセットを解除します。ただし、**37.4 AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。
- 電源電圧 (VDD) と検出電圧 (VPDR) を比較し、 $VDD < VPDR$  になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、**37.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

**注意** パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) およびパワーオン・リセット・ステータス・レジスタ (PORSR) がクリア (00H) されません。

**備考1.** RL78 マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 電圧検出 (LVD) 回路 / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT / LVD / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、**第24章 リセット機能**を参照してください。

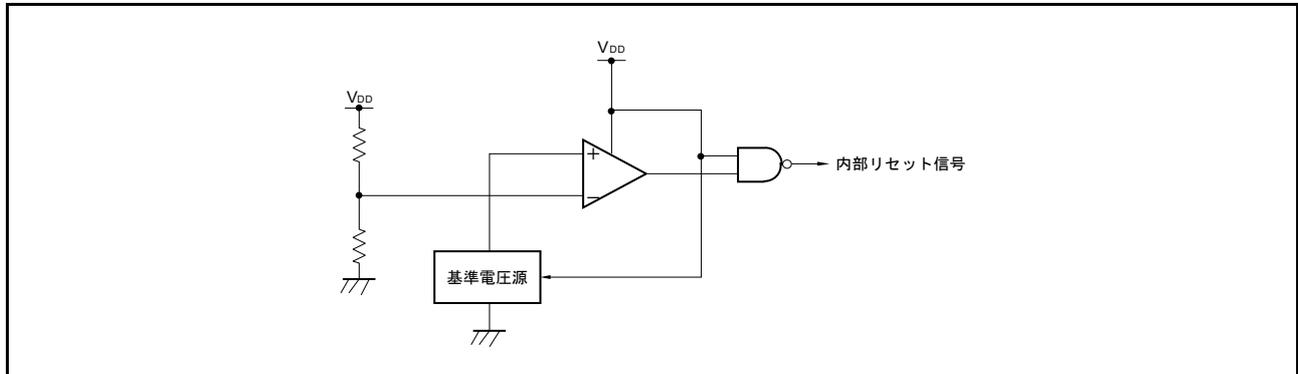
**備考2.** パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ (PORSR) で確認することができます。PORSRレジスタの詳細については、**第24章 リセット機能**を参照してください。

**備考3.** VPOR : POR電源立ち上がり検出電圧  
VPDR : POR電源立ち下がり検出電圧  
詳細は、**37.6.5 POR回路特性**を参照してください。

## 25.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図 25 - 1 に示します。

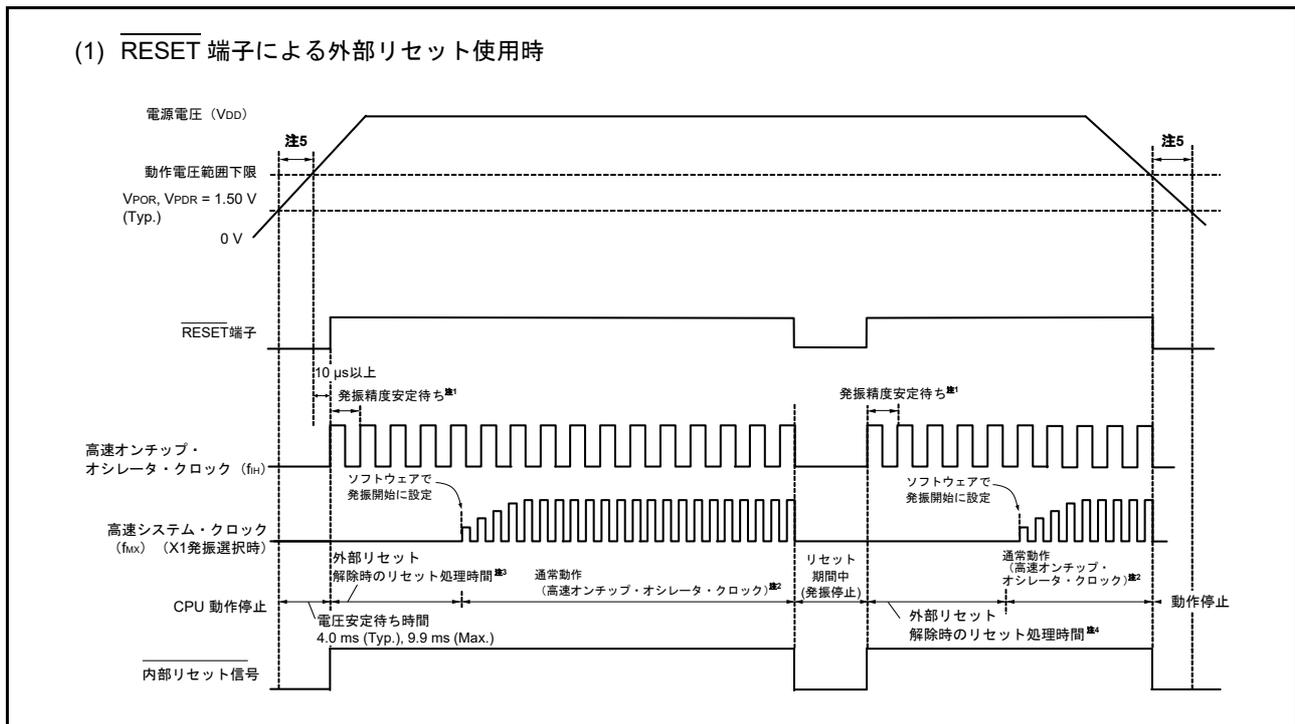
図 25 - 1 パワーオン・リセット回路のブロック図



## 25.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/2)



**注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

**注2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。

**注3.** 通常動作が開始されるまでの時間は、V<sub>POR</sub> (1.50 V (Typ.)) に達してから“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間 (POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 : 0.506 ms (Typ.), 0.694 ms (Max.) (LVD使用時)

0.201 ms (Typ.), 0.335 ms (Max.) (LVDオフ時)

**注4.** POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 : 0.476 ms (Typ.), 0.616 ms (Max.) (LVD使用時)

0.170 ms (Typ.), 0.257 ms (Max.) (LVDオフ時)

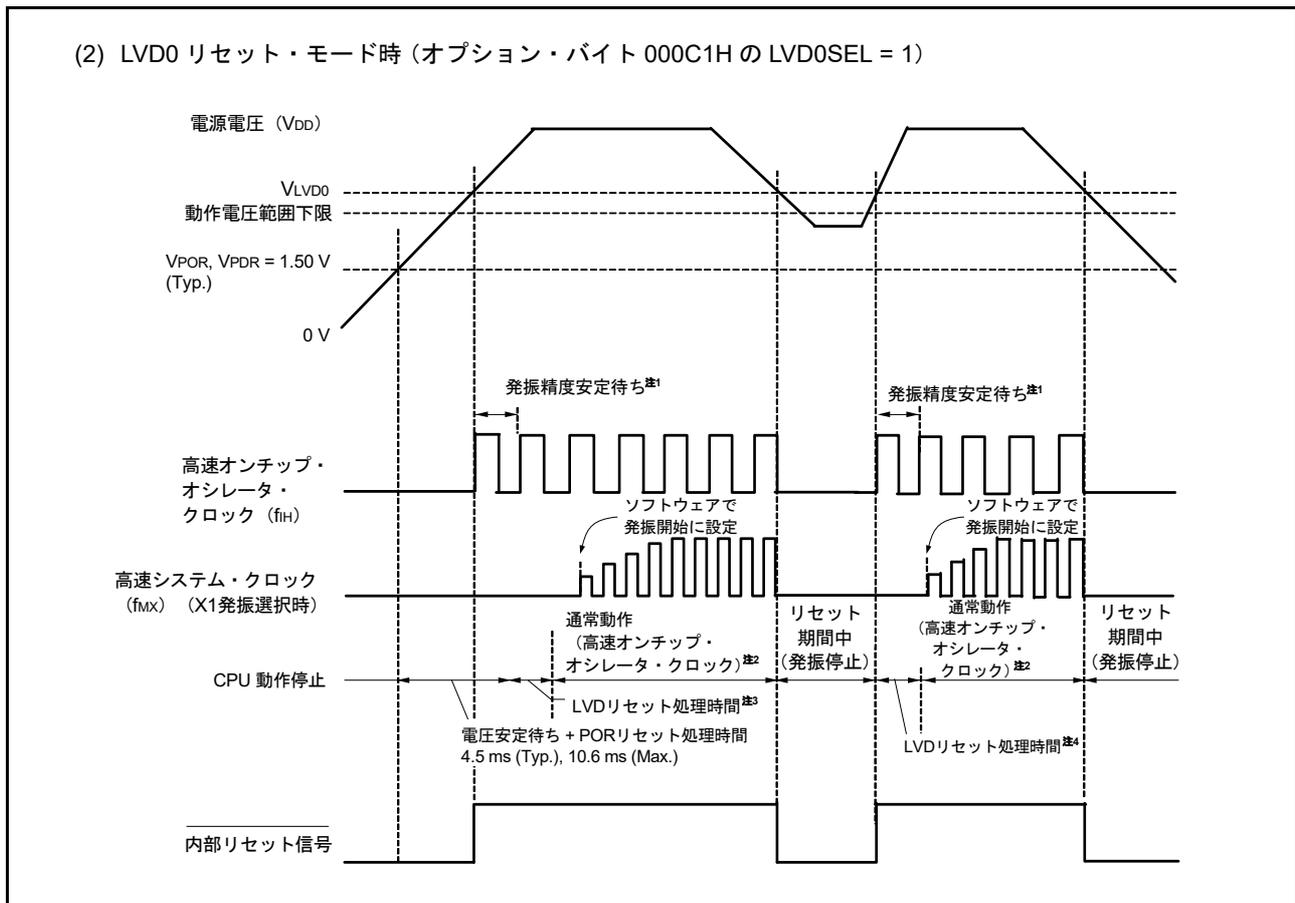
**注5.** 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

**注意** LVD0オフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第26章 電圧検出回路 (LVD) を参照してください。

**備考** V<sub>POR</sub> : POR電源立ち上がり検出電圧

V<sub>PDR</sub> : POR電源立ち下がり検出電圧

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/2)



- 注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3.** 通常動作が開始されるまでの時間は、V<sub>POR</sub> (1.50 V (Typ.)) に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD0検出レベル (V<sub>LVD0</sub>) に達してから次の“LVDリセット処理時間”が掛かります。  
LVDリセット処理時間：0 ms ~ 0.041 ms (Max.)
- 注4.** 電源電圧降下時、電圧検出回路 (LVD0) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD0検出レベル (V<sub>LVD0</sub>) に達してから次の“LVDリセット処理時間”が掛かります。  
LVDリセット処理時間：0.040 ms (Typ.), 0.041 ms (Max.)

**備考1.** V<sub>LVDH</sub>, V<sub>LVDL</sub> : LVD検出電圧

V<sub>POR</sub> : POR電源立ち上がり検出電圧

V<sub>PPDR</sub> : POR電源立ち下がり検出電圧

**備考2.** LVD0割り込みモード (オプション・バイト 000C1H の LVD0SEL = 0) を選択した場合、電源投入後に通常動作が開始されるまでの時間は、**注3**の時間と同じです。

**備考3.** LVD1は電源投入時、動作停止です。また、内部リセットにより動作停止になります。

## 第26章 電圧検出回路 (LVD)

### 26.1 電圧検出回路の機能

電圧検出回路0 (LVD0) は、オプション・バイト (000C1H) で動作モードと検出電圧 (VLVD0) を設定します。また、電圧検出回路1 (LVD1) は、電圧検出レベル・レジスタで動作モードと検出電圧 (VLVD1) を設定します。

電圧検出回路は、次のような機能を持ちます。

- LVD0およびLVD1は、電源電圧 (VDD) と検出電圧 (VLVD0, VLVD1) を比較し、内部リセットまたは割り込み要求信号を発生します。
- LVD0は、オプション・バイトにて検出電圧 (VLVD0) を6段階より選択できます (第32章 オプション・バイト参照)。
- LVD1は、電圧検出レベル・レジスタにて検出電圧 (VLVD1) を18段階より選択できます。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、**37.4 AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

リセット・モード LVD0	リセット・モード LVD1	割り込みモード LVD0	割り込みモード LVD1
VDD $\geq$ VLVD0を検出して内部リセットを解除します。VDD < VLVD0を検出して内部リセットを発生し、VDD $\geq$ VLVD0になるまでリセット状態は継続されません。	LVD1の動作許可後、VDD < VLVD1を検出して内部リセットを発生します。	リセット発生直後、LVDの内部リセットはVDD $\geq$ VLVD0になるまでリセット状態を継続しません。VDD $\geq$ VLVD0を検出してLVDの内部リセットは解除されます。LVDの内部リセット解除後は、VDD < VLVD0またはVDD $\geq$ VLVD0を検出して割り込み要求信号 (INTLVI) を発生します。	LVD1の動作許可後、VDD < VLVD1を検出して割り込み要求信号 (INTLVI) を発生します。1回目の検出後は、VDD < VLVD1またはVDD $\geq$ VLVD1を検出して割り込み要求信号 (INTLVI) を発生しません。

LVD0, LVD1 動作時では、電圧検出フラグ (LVDnF : 電圧検出レジスタ (LVIM) のビット0, 1) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESF レジスタについての詳細は、**第24章 リセット機能**を参照してください。

## 26.2 電圧検出回路の構成

電圧検出回路のブロック図を図 26 - 1 および図 26 - 2 に示します。

図 26 - 1 LVD0のブロック図

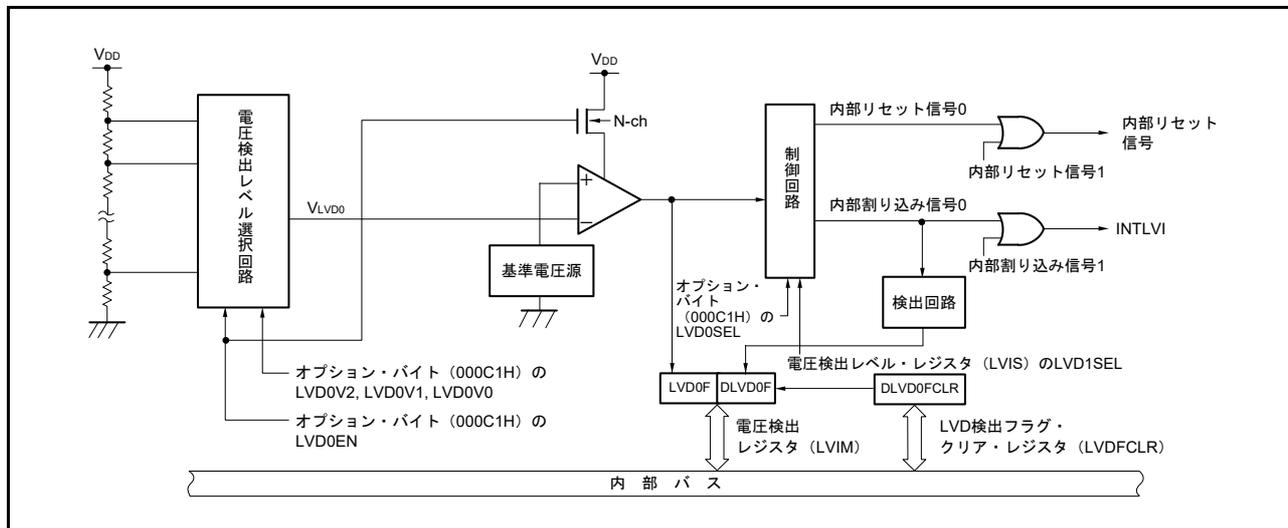
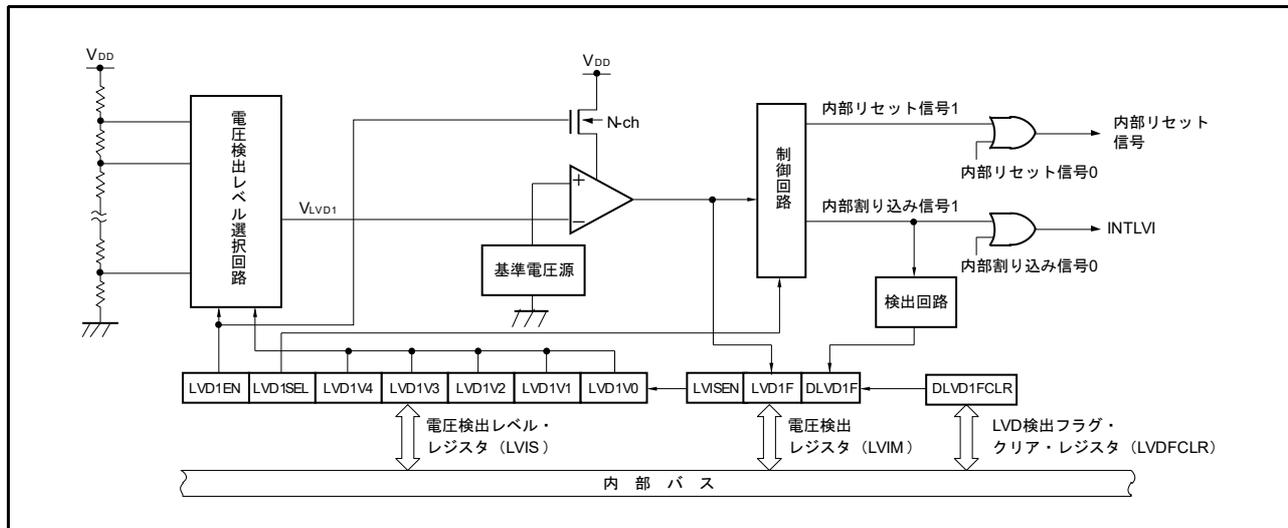


図 26 - 2 LVD1のブロック図



## 26.3 電圧検出回路を制御するレジスタ

電圧検出回路を制御するレジスタを次に示します。

- ユーザ・オプション・バイト (000C1H/040C1H) : 第32章 オプション・バイトを参照
- 電圧検出レジスタ (LVIM)
- LVD 検出フラグ・クリア・レジスタ (LVDFCLR)
- 電圧検出レベル・レジスタ (LVIS)

### 26.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD0 および LVD1 の状態を確認するレジスタです。

LVIM レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 26 - 3 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H  
リセット時: 00H<sup>注1</sup>  
R/W属性 : R/W<sup>注2,3</sup>

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
LVIM	LVISEN	0	0	0	DLVD1F	DLVD0F	LVD1F	LVD0F
LVISEN	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVIS レジスタの書き換え禁止							
1 <sup>注4</sup>	LVIS レジスタの書き換え許可 (LVD1によるリセットおよび割り込み発生がマスクされます)							
DLVDnF	LVDnの割り込み検出フラグ (n = 0, 1)							
0	LVDnの割り込みは未検出							
1	LVDnの割り込みを検出							
LVDnF	電圧検出フラグ (n = 0, 1)							
0	電源電圧 (V <sub>DD</sub> ) ≥ 検出電圧 (VLVDn)、またはLVDオフ時							
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (VLVDn)							

**注1.** LVD0が動作許可かつ電源電圧 (V<sub>DD</sub>) < 検出電圧 (VLVD0) の場合、リセット値は01Hになります。

**注2.** ビット1, 0は、Read Onlyです。

**注3.** ビット3, 2は、Read Onlyです。LVD検出フラグ・クリア・レジスタ (LVDFCLR) でクリア可能です。

**注4.** LVISENビットが1の状態では、LVD1によるリセットおよび割り込み発生がマスクされます。このため、LVISレジスタを書き換えた後はLVISENビットを0にしてください。

### 26.3.2 LVD検出フラグ・クリア・レジスタ (LVDFCLR)

電圧検出レジスタ (LVIM) の割り込み検出フラグ (DLVD0F, DLVD1F) をクリアするレジスタです。LVDFCLR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図26-4 LVD検出フラグ・クリア・レジスタ (LVDFCLR) のフォーマット

アドレス : F0218H  
リセット時: 00H  
R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	1	0
LVDFCLR	0	0	0	0	DLVD1FCLR	DLVD0FCLR	0	0

DLVD1FCLR 注	DLVD1Fクリア
0	無効
1	1を書き込むことにより、DLVD1Fフラグをクリア

DLVD0FCLR 注	DLVD0Fクリア
0	無効
1	1を書き込むことにより、DLVD0Fフラグをクリア

注 1のみ書き込めます。0の書き込みは無効となります。  
1書き込み後も0が読めます。

### 26.3.3 電圧検出レベル・レジスタ (LVIS)

LVD1の電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、19Hになります。

図26-5 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH

リセット時: 19H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
LVIS	LVD1EN	LVD1SEL	0	LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0

LVD1EN	LVD1の動作許可
0	動作停止
1	動作許可

LVD1SEL	LVD1の動作モード
0	割り込みモード
1	リセットモード

LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0	LVD1検出電圧 <sup>注1, 2, 3</sup>	LVD1検出電圧 <sup>注1, 2, 3</sup>	
						立ち上がり	立ち下がり
1	1	1	1	1	VLVD117	1.67 V <sup>注4</sup>	1.63 V <sup>注4</sup>
1	1	1	1	0	VLVD116	1.78 V <sup>注4</sup>	1.74 V <sup>注4</sup>
1	1	1	0	1	VLVD115	1.88 V <sup>注4</sup>	1.84 V <sup>注4</sup>
1	1	1	0	0	VLVD114	1.98 V	1.94 V
1	1	0	1	1	VLVD113	2.09 V	2.04 V
1	1	0	1	0	VLVD112	2.20 V	2.15 V
1	1	0	0	1	VLVD111	2.30 V	2.25 V
1	1	0	0	0	VLVD110	2.40 V	2.35 V
1	0	1	1	1	VLVD19	2.50 V	2.45 V
1	0	1	1	0	VLVD18	2.66 V	2.60 V
1	0	1	0	1	VLVD17	2.82 V	2.76 V
1	0	1	0	0	VLVD16	2.97 V	2.91 V
1	0	0	1	1	VLVD15	3.13 V	3.06 V
1	0	0	1	0	VLVD14	3.35 V	3.27 V
1	0	0	0	1	VLVD13	3.55 V	3.47 V
1	0	0	0	0	VLVD12	3.75 V	3.67 V
0	1	1	1	1	VLVD11	3.96 V	3.88 V
0	1	1	1	0	VLVD10	4.16 V	4.08 V

(注、注意は次ページに続きます)

- 注1. LVD1V4-0ビットは、リセット解除後、1回のみ書き換え可能です。
- 注2. LVD0をリセット・モードに設定する場合、LVD1の検出電圧は、LVD0の検出電圧よりも高く設定してください。
- 注3. LVD0を割り込みモードかつLVD0検出電圧>LVD1検出電圧に設定した場合、リセット解除後のLVD1設定以降はLVD0が不定になります。
- 注4. LVD0がオフのときに使用できます。
- 注意 LVISレジスタを書き換える場合は、図26 - 10、図26 - 11の手順で行ってください。

## 26.4 電圧検出回路の動作

### 26.4.1 リセット・モードとして使用する場合の設定

LVD0では、動作モード（リセット・モード（LVD0SEL = 1））と検出電圧（VLVD0）の設定は、オプション・バイト 000C1H で設定します。

LVD1では、動作モード（リセット・モード（LVD1SEL = 1））と検出電圧（VLVD1）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVDリセット・モードの動作

LVD0において、リセット・モード（オプション・バイトのLVD0SEL = 1）は、電源投入時、電源電圧（VDD）が電圧検出レベル（VLVD0）を超えるまではLVD0による内部リセット状態を保ちます。電源電圧（VDD）が電圧検出レベル（VLVD0）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（VDD）が電圧検出レベル（VLVD0）を下回るとLVD0による内部リセットが発生します。

LVD1は、電源投入時、動作停止になっています。LVD1を動作許可することにより、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回るとLVD1による内部リセットが発生します。電源電圧（VDD）が電圧検出レベル（VLVD1）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による内部リセットが発生します。なお、LVD1をリセット・モードに設定するとLVD0は割り込みモードになります。また、LVD1による内部リセットが発生することにより、LVD0はリセット・モードになります。

LVD1検出電圧は、リセット解除後、1回のみ設定可能です。

図 26 - 6 に、LVD リセット・モードの内部リセット信号発生タイミングを示します。

図26 - 6 LVD0の内部リセット信号発生タイミング

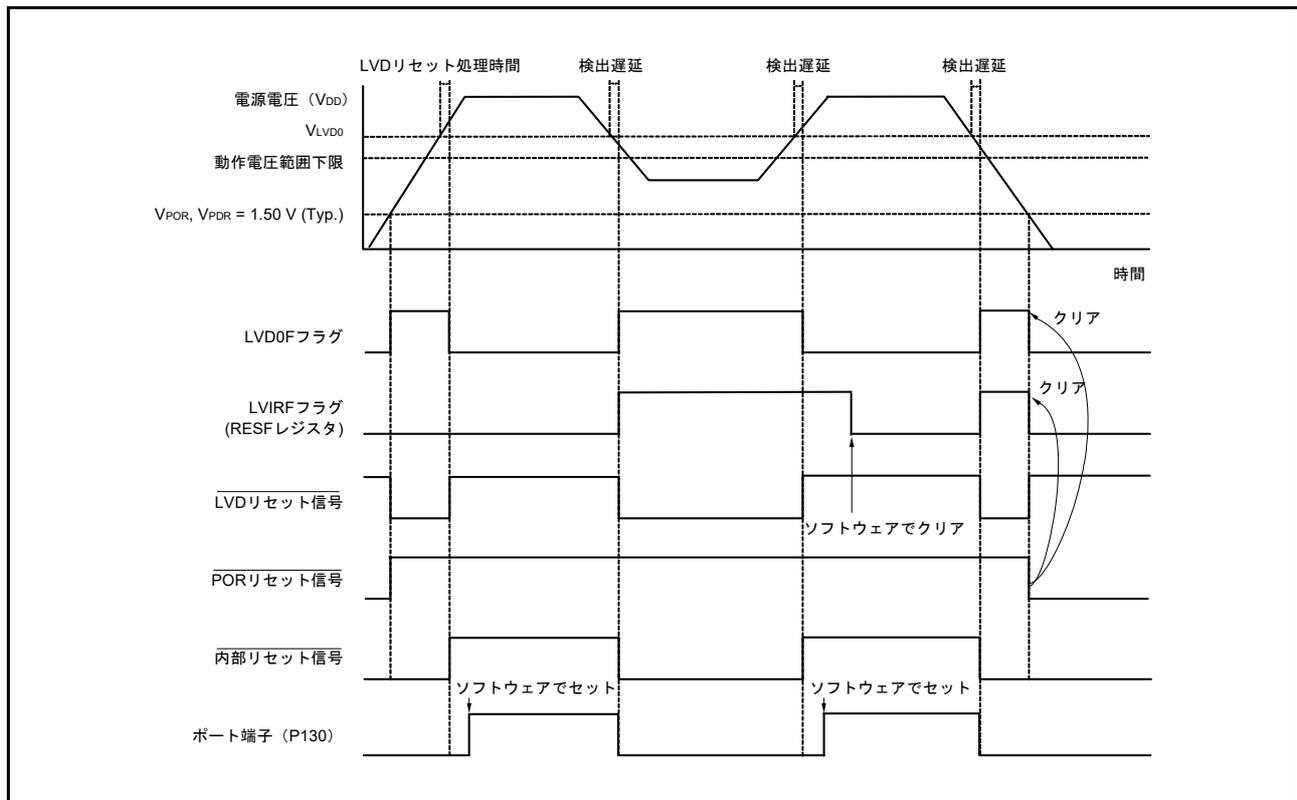
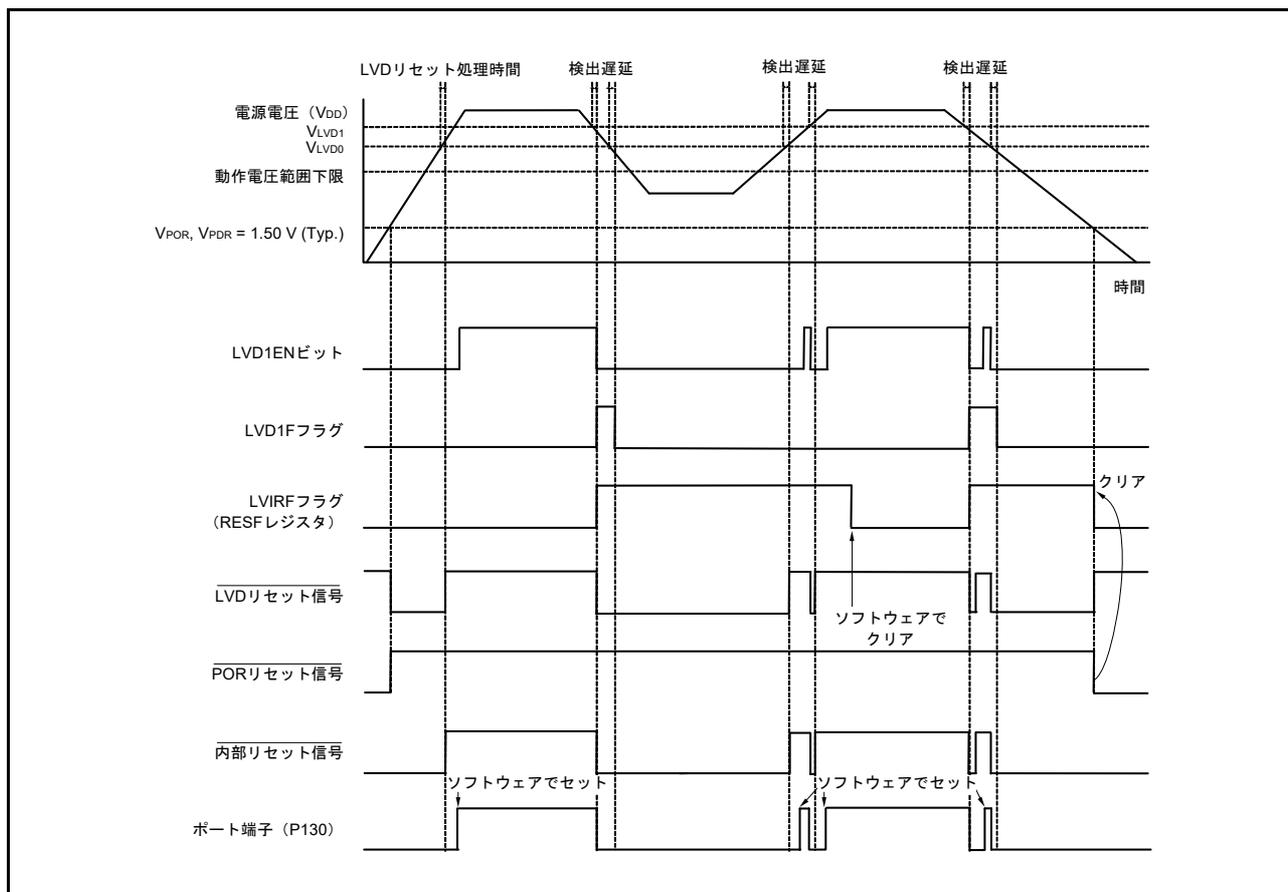


図26-7 LVD1の内部リセット信号発生タイミング



備考 LVD0 : リセット・モード

## 26.4.2 割り込みモードとして使用する場合の設定

LVD0 では、動作モード（割り込みモード（LVD0SEL = 0））と検出電圧（VLVD0）の設定は、オプション・バイト 000C1H で設定します。

LVD1 では、（割り込みモード（LVD1SEL = 0））と検出電圧（VLVD1）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD 割り込みモードの動作

LVD0 において、割り込みモード（オプション・バイトの LVD0SEL = 0）では、リセット発生直後、電源電圧（VDD）が電圧検出レベル（VLVD0）を上回るまでは LVD0 による内部リセット状態を保ちます。電源電圧（VDD）が電圧検出レベル（VLVD0）を上回ると LVD0 による内部リセットを解除します。

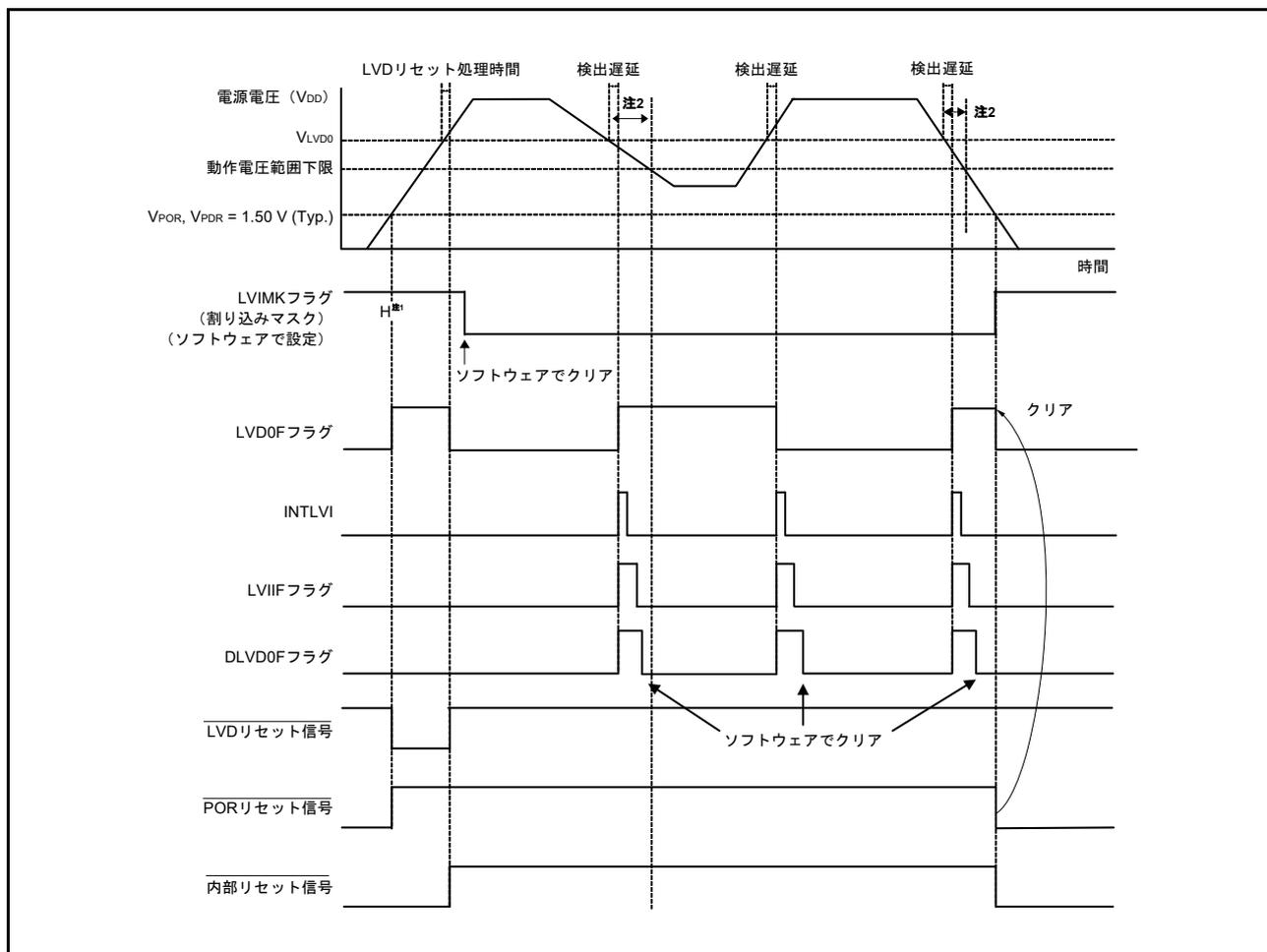
LVD0 の内部リセット解除後は、電源電圧（VDD）が電圧検出レベル（VLVD0）を下回ると LVD0 による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（VDD）が電圧検出レベル（VLVD0）を上回ると LVD0 による割り込み要求信号（INTLVI）が発生します。電源電圧降下時は、**37.4 AC 特性**に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

LVD1 は、電源投入時、動作停止になっています。LVD1 を動作許可にすることにより、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回ると LVD1 による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（VDD）が電圧検出レベル（VLVD1）を上回ると LVD1 による割り込み要求信号（INTLVI）が発生します。なお、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回っている状態で動作許可すると、動作許可したタイミングで LVD1 による割り込み要求信号（INTLVI）が発生します。

LVD1 検出電圧は、リセット解除後、1 回のみ設定可能です。

図 26 - 8 に、LVD 割り込みモードの割り込み要求信号発生タイミングを示します。

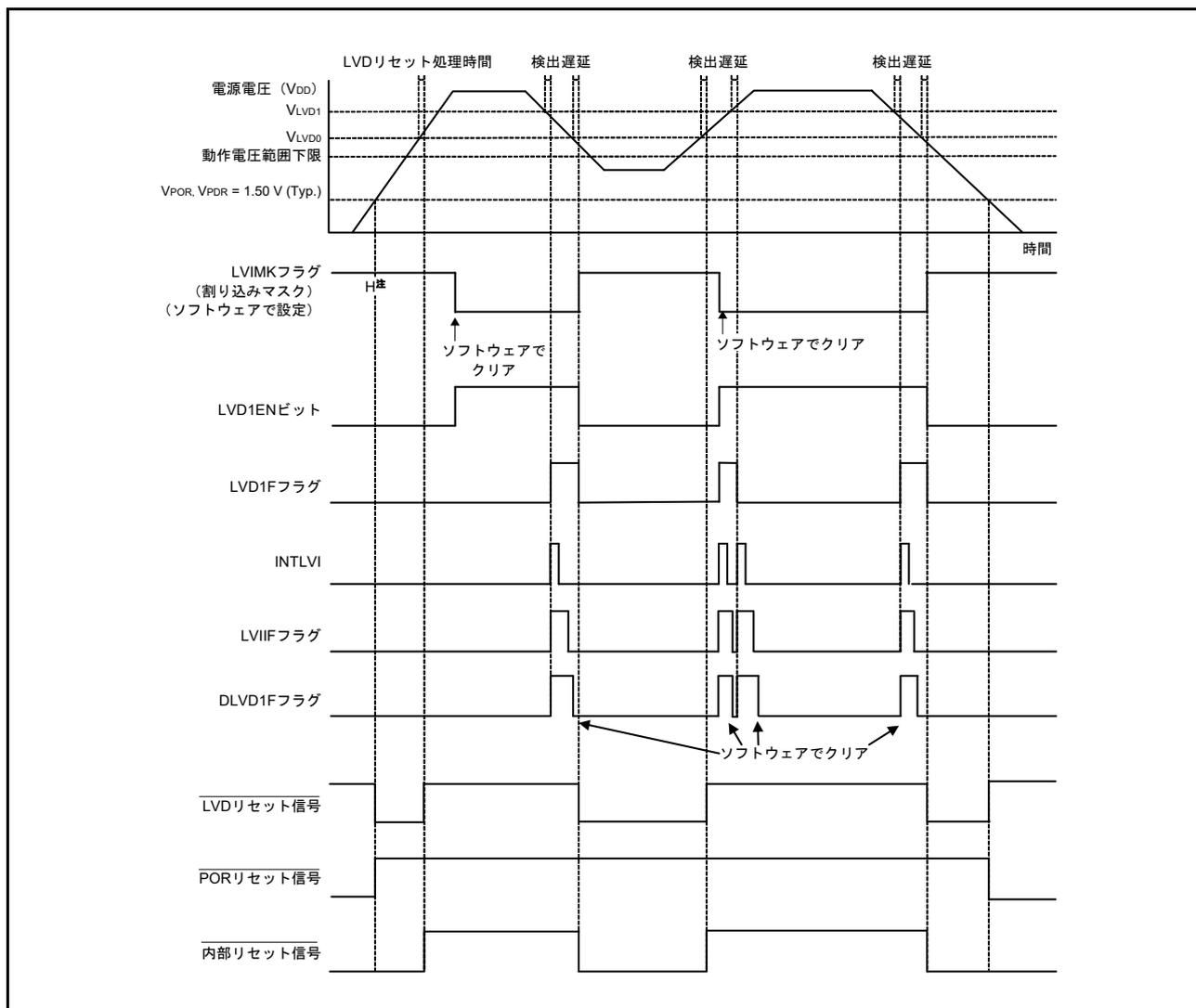
図26 - 8 LVD0の割り込み信号発生タイミング



注1. LVIMKフラグはリセット信号の発生により、1になっています。

注2. 動作電圧降下時は、37.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図26 - 9 LVD1の割り込み信号発生タイミング



注 LVIMKフラグはリセット信号の発生により、1になっています。

備考 LVLD0 : リセット・モード

## 26.5 電圧検出回路使用時の注意事項

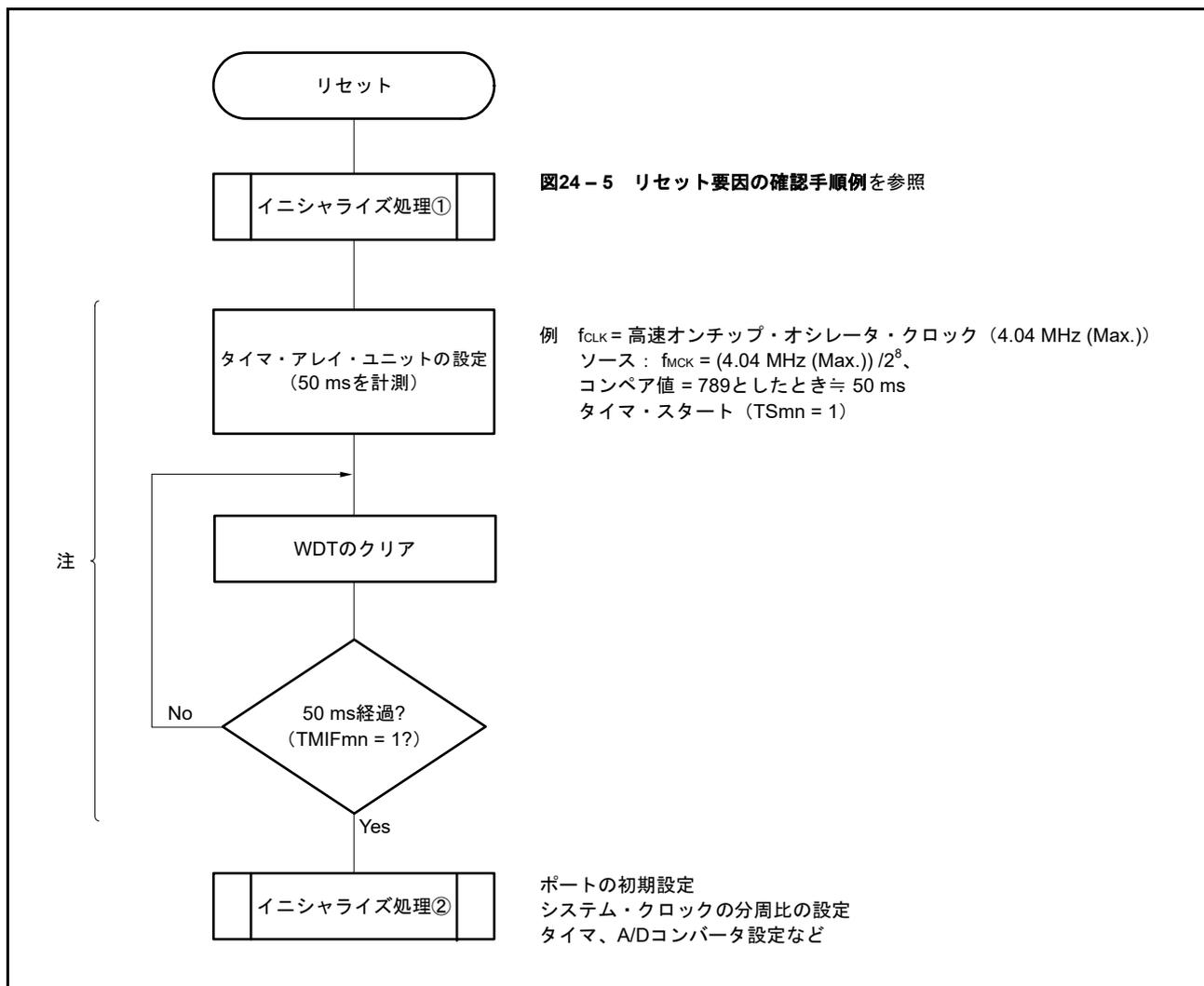
(1) 電源投入時の電圧変動について

電源電圧 (VDD) がLVD0, LVD1 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

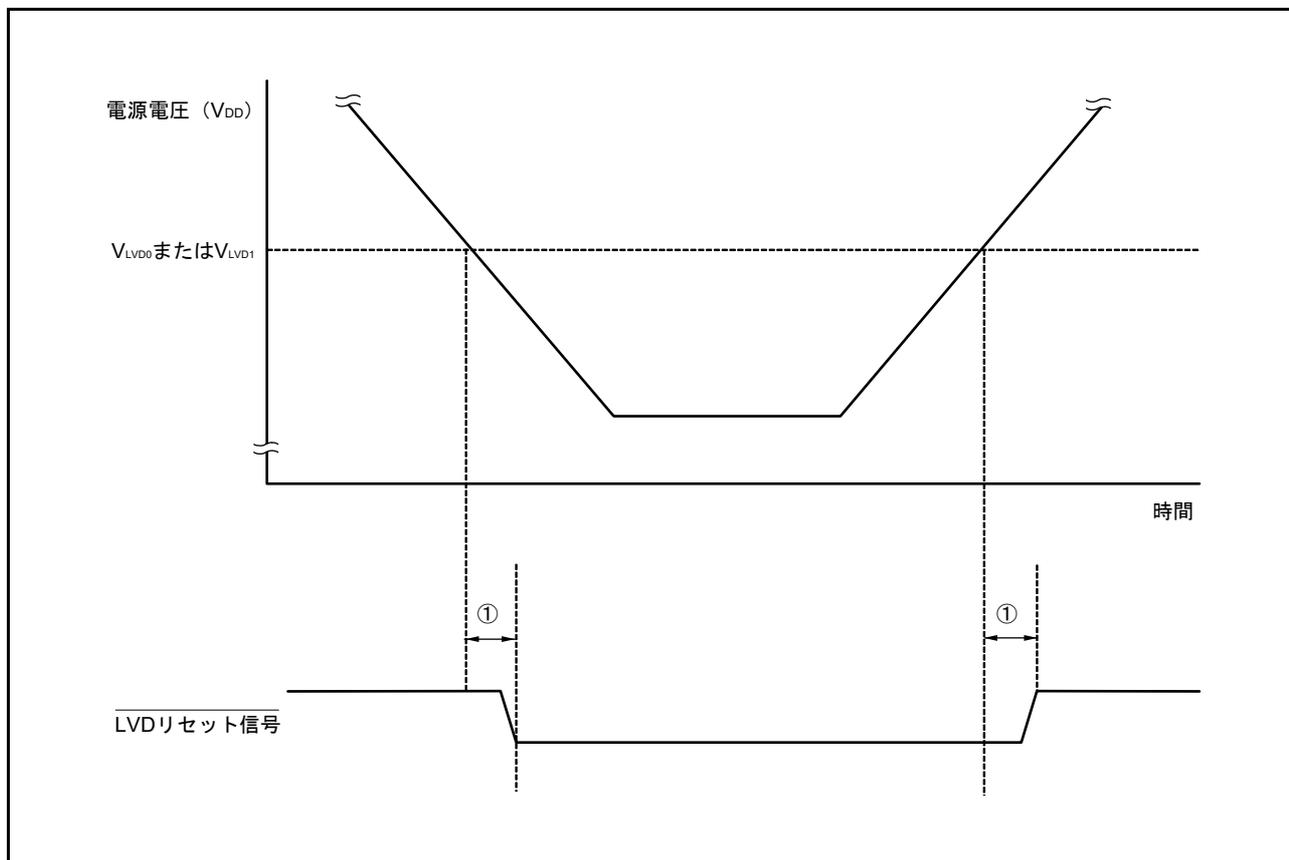
図26 - 10 LVD0, LVD1 検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



**備考** m = 0, 1 n = 0-7

- (2) LVD0, LVD1リセット要因発生からLVD0, LVD1リセットが発生または解除されるまでの遅延について  
電源電圧 ( $V_{DD}$ ) < LVD0, LVD1検出電圧 ( $V_{LVD0}$ ,  $V_{LVD1}$ ) になってから、LVD0, LVD1リセットが発生するまでには遅延が生じます。同じようにLVD0, LVD1検出電圧 ( $V_{LVD0}$ ,  $V_{LVD1}$ )  $\leq$  電源電圧 ( $V_{DD}$ ) になってから、LVD0, LVD1リセットが解除されるまでにも遅延が生じます (図26 - 11参照)。

図26 - 11 LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延



備考 ①: 検出遅延 (500  $\mu$ s (Max.))

## (3) LVD0をオフに設定した場合の電源立ち上げについて

LVD0をオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu\text{s}$ 以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、**37.4 AC特性**に示す動作電圧範囲内の期間で10  $\mu\text{s}$ 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

## (4) LVD0をオフまたは割り込みモードに設定した場合の動作電圧降下時について

LVD0をオフまたは割り込みモードに設定したときの動作電圧降下時は、**37.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

## (5) LVD1の検出電圧の設定手順について

LVD1の検出電圧は下記の手順で設定してください。③を実行した後、安定待ち時間（500  $\mu\text{s}$ 以上）が経過するとLVD1が有効になります。

- ① LVIMレジスタのLVISENビットを1に設定してください。
- ② LVISレジスタのLVD1ENビットを1に設定し、LVD1V4-LVD1V0ビットを変更してください。
- ③ LVIMレジスタのLVISENビットを0に設定してください。

## 第27章 安全機能

### 27.1 安全機能の概要

- ★ 安全規格 IEC60730 に対応するため、RL78/G23 では以下の安全機能を搭載しています。  
この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。
- (1) フラッシュ・メモリCRC演算機能（高速CRC、汎用CRC）  
CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。  
用途や使用条件に応じて、以下の2つのCRCを使い分けいただくことができます。
    - 「高速CRC」: 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
    - 「汎用CRC」: CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。
  - (2) フラッシュ・メモリ・ガード機能  
CPUの暴走によるフラッシュ・メモリの書き換えを防止します。
  - (3) RAMパリティ・エラー検出機能  
RAMデータを読み出すとき、パリティ・エラーを検出します。
  - (4) RAMガード機能  
CPUの暴走によるRAMデータの書き換えを防止します。
  - (5) SFRガード機能  
CPUの暴走によるSFRの書き換えを防止します。
  - (6) 不正メモリ・アクセス検出機能  
不正メモリ領域（メモリが存在しない、アクセスが制限されている領域）への不正なアクセスを検出します。
  - (7) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のガード機能  
CPUの暴走による不正メモリ・アクセス検出制御レジスタの書き換えを防止します。
  - (8) 周波数検出機能  
タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。
  - (9) A/Dテスト機能  
A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル（ANI）、温度センサ出力電圧および内部基準電圧をA/D変換することにより、A/Dコンバータの自己チェックができます。
  - (10) 入出力端子のデジタル出力信号レベル検出機能  
入出力端子が出力モード時に、端子の出力レベルをリードすることができます。
  - (11) UARTループバック機能  
UARTnのTXDn端子とRXDn端子、UARTAmのTXDAm端子とRXDAm端子をそれぞれ外部から遮断、MCU内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、送信データが正常に出力していることを確認できます。
- 備考1.**  $n = 0-3, m = 0, 1$
- ★ **備考2.** 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリ アプリケーションノートを参照してください。

## 27.2 安全機能で使用するレジスタ

安全機能で使用するレジスタを次に示します。

- フラッシュ・メモリCRC制御レジスタ (CRC0CTL)
- フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)
- CRC入力レジスタ (CRCIN)
- CRCデータ・レジスタ (CRCD)
- コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0)
- データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1)
- フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2)
- RAMパリティ・エラー制御レジスタ (RPECTL)
- 不正メモリ・アクセス検出制御レジスタ (IAWCTL)
  - RAM ガード機能
  - SFR ガード機能
  - 不正メモリ・アクセス検出機能
- IAWCTLレジスタ・ガードレジスタ (GIAWCTL)
- タイマ入力選択レジスタ0 (TIS0)
- A/Dテスト・レジスタ (ADTES)
- アナログ入力チャネル指定レジスタ (ADS)
- ポート・モード選択レジスタ (PMS)
- UARTループバック選択レジスタ (ULBS)

各レジスタの内容については、27.3 安全機能の動作の中で説明します。

## 27.3 安全機能の動作

### 27.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730 ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定 (イニシャライズ) ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です (例 フラッシュ・メモリ 64 KB : 512  $\mu$ s@32 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

**注意** オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

**備考** 汎用CRCはLSBファーストのため、演算結果は異なります。

## 27.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット (1/2)

アドレス : F02F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	0000H-03FFBH (16 K-4バイト)
0	0	0	0	0	1	0000H-07FFBH (32 K-4バイト)
0	0	0	0	1	0	0000H-0BFFBH (48 K-4バイト)
0	0	0	0	1	1	0000H-0FFFBH (64 K-4バイト)
0	0	0	1	0	0	0000H-13FFBH (80 K-4バイト)
0	0	0	1	0	1	0000H-17FFBH (96 K-4バイト)
0	0	0	1	1	0	0000H-1BFFBH (112 K-4バイト)
0	0	0	1	1	1	0000H-1FFFBH (128 K-4バイト)
0	0	1	0	0	0	0000H-23FFBH (144 K-4バイト)
0	0	1	0	0	1	0000H-27FFBH (160 K-4バイト)
0	0	1	0	1	0	0000H-2BFFBH (176 K-4バイト)
0	0	1	0	1	1	0000H-2FFFBH (192 K-4バイト)
0	0	1	1	0	0	0000H-33FFBH (208 K-4バイト)
0	0	1	1	0	1	0000H-37FFBH (224 K-4バイト)
0	0	1	1	1	0	0000H-3BFFBH (240 K-4バイト)
0	0	1	1	1	1	0000H-3FFFBH (256 K-4バイト)
0	1	0	0	0	0	0000H-43FFBH (272 K-4バイト)
0	1	0	0	0	1	0000H-47FFBH (288 K-4バイト)
0	1	0	0	1	0	0000H-4BFFBH (304 K-4バイト)
0	1	0	0	1	1	0000H-4FFFBH (320 K-4バイト)
0	1	0	1	0	0	0000H-53FFBH (336 K-4バイト)
0	1	0	1	0	1	0000H-57FFBH (352 K-4バイト)

図27-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット (2/2)

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	1	0	1	1	0	0000H-5BFFBH (368 K-4バイト)
0	1	0	1	1	1	0000H-5FFFBH (384 K-4バイト)
0	1	1	0	0	0	0000H-63FFBH (400 K-4バイト)
0	1	1	0	0	1	0000H-67FFBH (416 K-4バイト)
0	1	1	0	1	0	0000H-6BFFBH (432 K-4バイト)
0	1	1	0	1	1	0000H-6FFFBH (448 K-4バイト)
0	1	1	1	0	0	0000H-73FFBH (464 K-4バイト)
0	1	1	1	0	1	0000H-77FFBH (480 K-4バイト)
0	1	1	1	1	0	0000H-7BFFBH (496 K-4バイト)
0	1	1	1	1	1	0000H-7FFFBH (512 K-4バイト)
1	0	0	0	0	0	0000H-83FFBH (528 K-4バイト)
1	0	0	0	0	1	0000H-87FFBH (544 K-4バイト)
1	0	0	0	1	0	0000H-8BFFBH (560 K-4バイト)
1	0	0	0	1	1	0000H-8FFFBH (576 K-4バイト)
1	0	0	1	0	0	0000H-93FFBH (592 K-4バイト)
1	0	0	1	0	1	0000H-97FFBH (608 K-4バイト)
1	0	0	1	1	0	0000H-9BFFBH (624 K-4バイト)
1	0	0	1	1	1	0000H-9FFFBH (640 K-4バイト)
1	0	1	0	0	0	0000H-A3FFBH (656 K-4バイト)
1	0	1	0	0	1	0000H-A7FFBH (672 K-4バイト)
1	0	1	0	1	0	0000H-ABFFBH (688 K-4バイト)
1	0	1	0	1	1	0000H-AFFFBH (704 K-4バイト)
1	0	1	1	0	0	0000H-B3FFBH (720 K-4バイト)
1	0	1	1	0	1	0000H-B7FFBH (736 K-4バイト)
1	0	1	1	1	0	0000H-BBFFBH (752 K-4バイト)
1	0	1	1	1	1	0000H-BFFFBH (768 K-4バイト)
上記以外						設定禁止

**注意** ビット6には必ず0を設定してください。

**備考** フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

### 27.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) のフォーマット

アドレス : F02F2H

リセット時: 0000H

R/W属性 : R/W

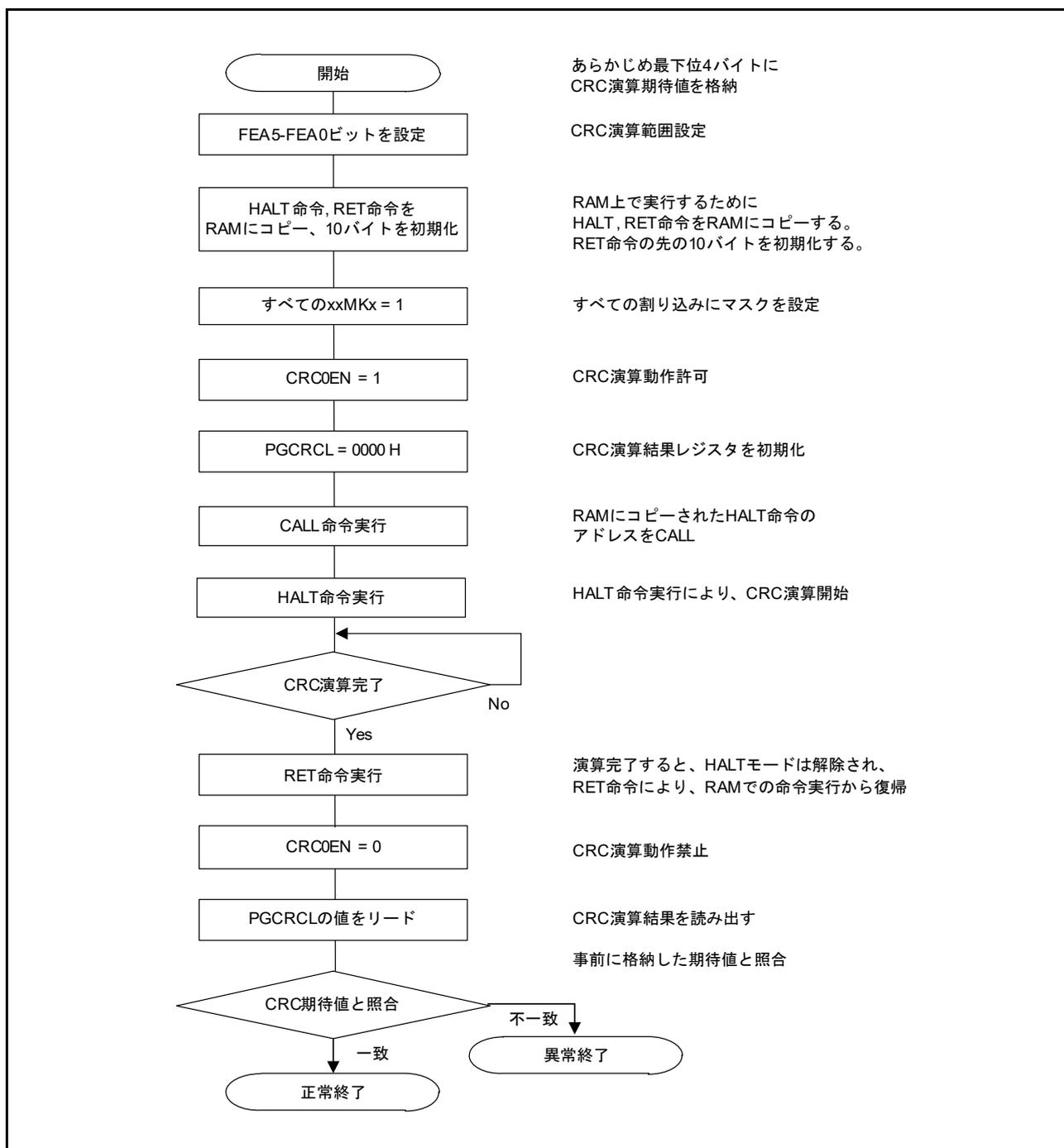
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0		高速CRC演算結果					
	0000H-FFFFH		高速CRC演算結果を格納					

**注意** PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャートを図27-3に示します。

## &lt;動作フロー&gt;

図27-3 フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

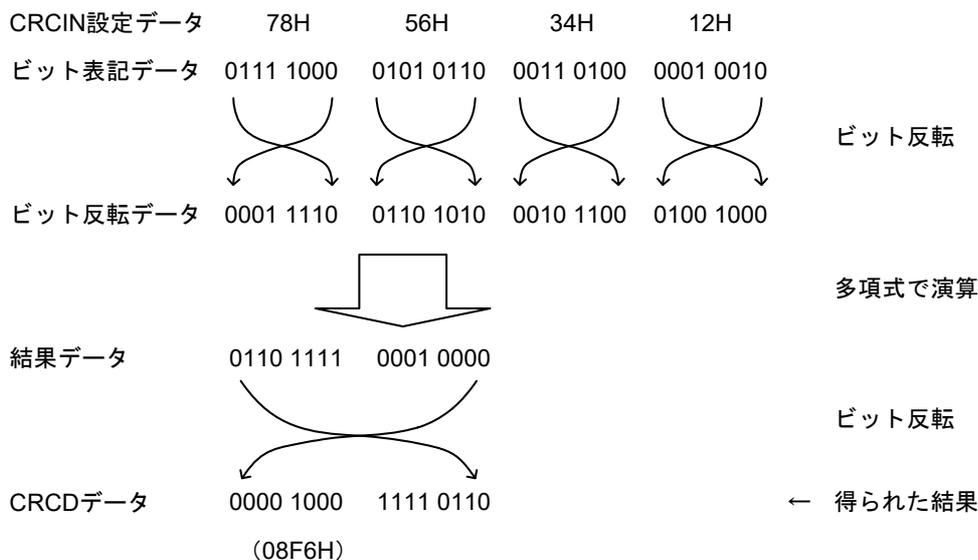
CRC演算の期待値は、総合開発環境CS+を使用して算出することができます。詳細は、CS+ 総合開発環境ユーザーズマニュアルを参照してください。

### 27.3.2 CRC演算機能（汎用CRC）

★ この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



**注意** プログラム実行中、デバッガはソフトウェア・ブレイク設定行をブレイク命令へ書き換えるため、CRC演算の対象領域にソフトウェア・ブレイクを設定すると、CRC演算結果が異なります。

#### 27.3.2.1 CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-4 CRC入力レジスタ（CRCIN）のフォーマット

アドレス : FFFACH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
ビット7-0	機能							
00H-FFH	データ入力							

### 27.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

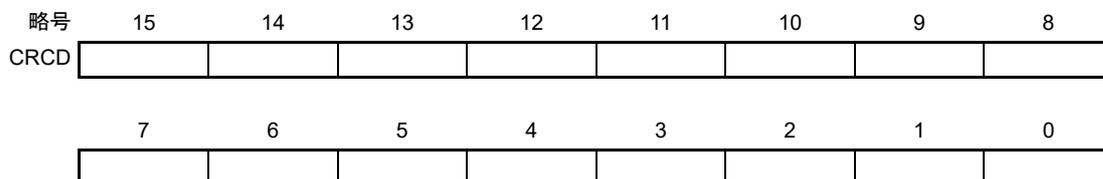
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-5 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH  
 リセット時: 0000H  
 R/W属性 : R/W

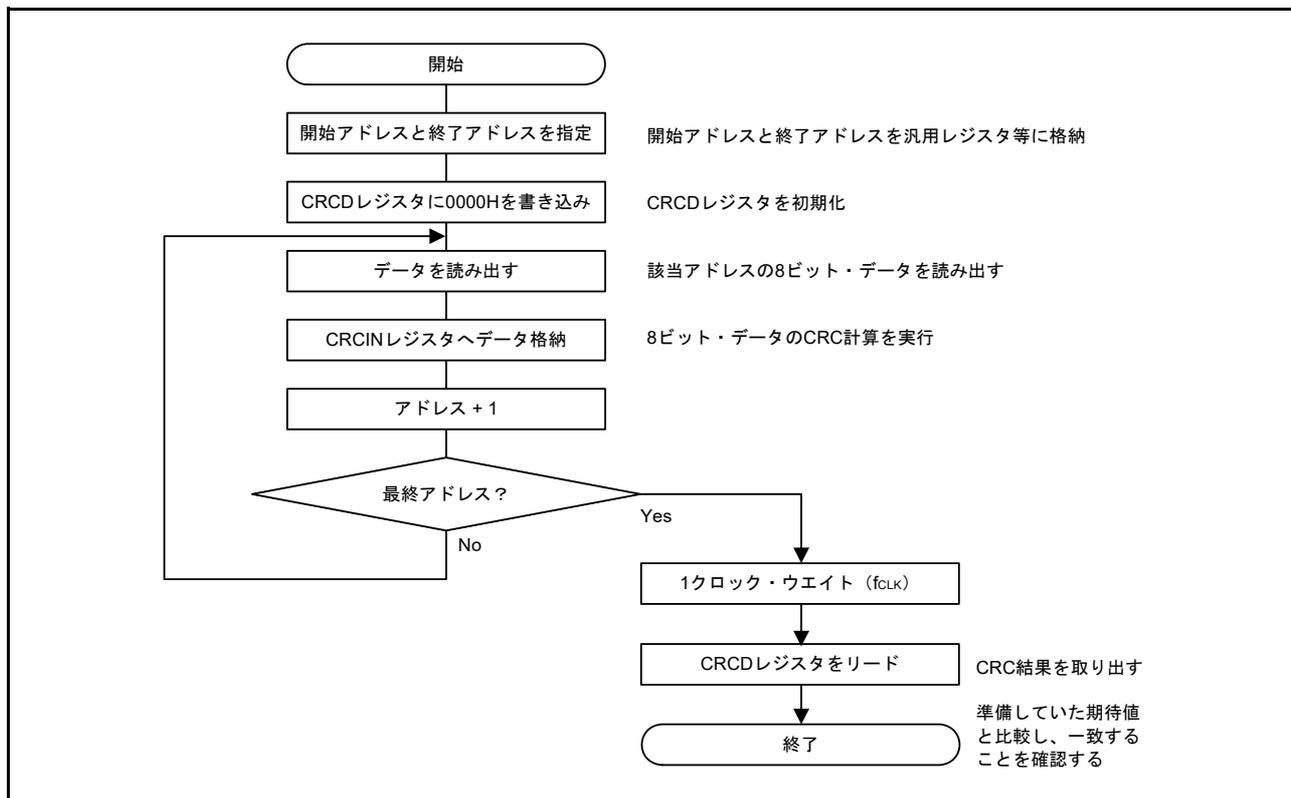


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図27-6 CRC演算機能 (汎用CRC) のフロー・チャート



### 27.3.3 フラッシュ・メモリ・ガード機能

IEC60730 では動作中の安全を確保しなければいけないため、CPU が暴走してもフラッシュ・メモリが書き換わってしまわないように保護する必要があります。

フラッシュ・メモリ・ガード機能は、コード・フラッシュ・メモリ、データ・フラッシュ・メモリとフラッシュ・セキュリティ領域を保護するための機能です。フラッシュ・メモリ・ガード機能を設定すると、保護されたフラッシュ・メモリ領域への書き込みは無効になります。保護されたフラッシュ・メモリ領域の読み出しは可能です。

#### 27.3.3.1 コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0)

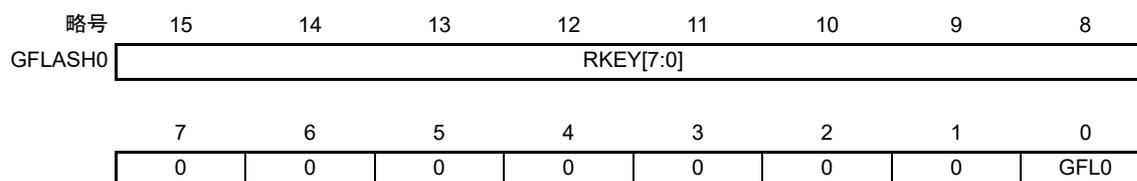
コード・フラッシュ・メモリへの書き込みを保護するレジスタです。コード・フラッシュ・メモリを書き換えるためには、GFLASH0.GFL0 ビットを 0 に設定する必要があります。コード・フラッシュ・メモリをガードするときは、GFLASH0 レジスタを設定した後、値が 1 になっていることを確認してから、コード・フラッシュ・メモリの読み出しを行ってください。

GFLASH0 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図27-7 コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0) のフォーマット

アドレス : F0488H  
リセット時: 0000H  
R/W属性 : R/W



RKEY[7:0] ビットは、GFLASH0 レジスタ書き換えを制御するキーコードです。GFL0 ビットを書き換える場合は、RKEY[7:0] = 30H に設定して、16 ビット単位で同時に書いてください。

RKEY[7:0] ビットは、読むと 00H が読めます。

GFL0	コード・フラッシュ・メモリの書き換え制御
0	コード・フラッシュ・メモリを保護しない（書き換え許可）
1	コード・フラッシュ・メモリを保護する（書き換え不可）

### 27.3.3.2 データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1)

データ・フラッシュ・メモリへの書き込みを保護するレジスタです。データ・フラッシュ・メモリを書き換えるためには、GFLASH1.GFL1ビットを0に設定する必要があります。データ・フラッシュ・メモリをガードするときは、GFLASH1レジスタを設定した後、値が1になっていることを確認してから、データ・フラッシュ・メモリの読み出しを行ってください。

GFLASH1レジスタは、16ビット・メモリ操作命令で設定します。

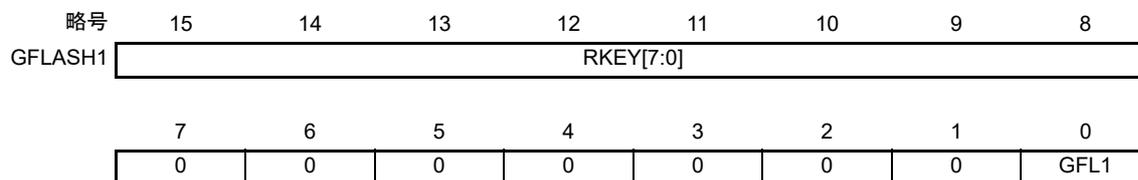
リセット信号の発生により、0000Hになります。

図27-8 データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1) のフォーマット

アドレス : F048AH

リセット時: 0000H

R/W属性 : R/W



RKEY[7:0]ビットは、GFLASH1レジスタ書き換えを制御するキーコードです。GFL1ビットを書き換える場合は、RKEY[7:0] = C5Hに設定して、16ビット単位で同時に書いてください。

RKEY[7:0]ビットは、読むと00Hが読めます。

GFL1	データ・フラッシュ・メモリの書き換え制御
0	データ・フラッシュ・メモリを保護しない (書き換え許可)
1	データ・フラッシュ・メモリを保護する (書き換え不可)

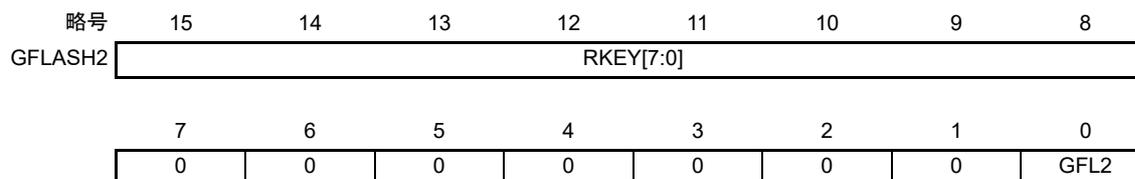
### 27.3.3.3 フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2)

フラッシュ・メモリのセキュリティ設定を格納しているフラッシュ・セキュリティ領域を保護するレジスタです。フラッシュ・セキュリティ領域の設定を書き換えるためには、GFLASH2.GFL2ビットを0に設定する必要があります。

GFLASH2レジスタは、16ビット・メモリ操作命令で設定します。リセット信号の発生により、0000Hになります。

図27-9 フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2) のフォーマット

アドレス : F048CH  
リセット時: 0000H  
R/W属性 : R/W



RKEY[7:0]ビットは、GFLASH2レジスタ書き換えを制御するキーコードです。GFL2ビットを書き換える場合は、RKEY[7:0] = 9AHに設定して、16ビット単位で同時に書いてください。

RKEY[7:0]ビットは、読むと00Hが読めます。

GFL2	フラッシュ・セキュリティ領域の書き換え制御
0	フラッシュ・セキュリティ領域を保護しない (書き換え許可)
1	フラッシュ・セキュリティ領域を保護する (書き換え不可)

### 27.3.4 RAMパリティ・エラー検出機能

IEC60730 ではRAM データ確認が義務付けられています。そのため、RL78/G23 のRAM には、8 ビットにつき 1 ビットのパリティが付加されています。このRAM パリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

#### 27.3.4.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図27-10 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマット

アドレス : F00F5H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

**注意** データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

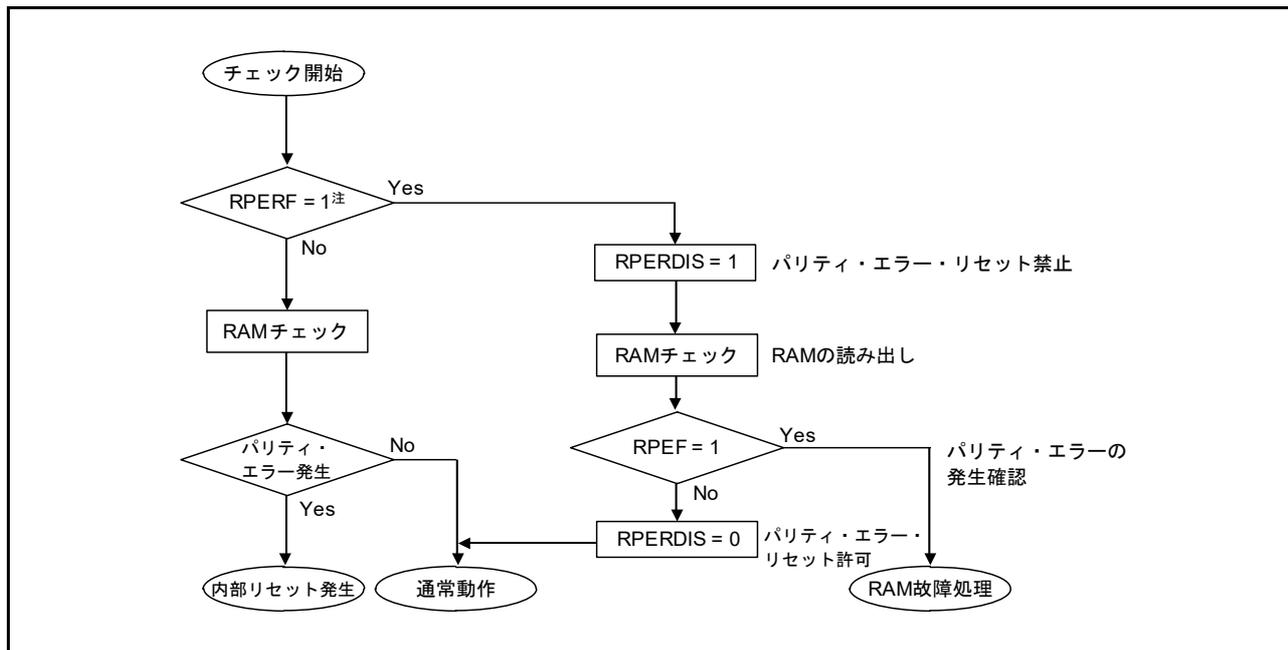
**備考1.** 初期状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) になっています。

**備考2.** パリティ・エラー・リセット発生禁止 (RPERDIS = 1) を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット (1) されます。なお、RPEF = 1の状態、パリティ・エラー・リセット発生許可 (RPERDIS = 0) に設定すると、RPERDISをクリア (0) した時点でパリティ・エラー・リセットが発生します。

**備考3.** RPECTLレジスタのRPEFフラグは、パリティ・エラー発生時にセット (1) され、0の書き込み、またはすべてのリセット要因によりクリア (0) されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

**備考4.** 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図27 - 11 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第24章 リセット機能を参照してください。

### 27.3.5 RAMガード機能

- ★ このRAMガード機能は、指定した空間のデータを保護するための機能です。  
RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になります。保護された指定領域の読み出しは可能です。

#### 27.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。  
RAMガード機能では、GRAM1、GRAM0ビットを使用します。  
IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、00Hになります。

図27-12 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H  
リセット時: 00H  
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAM保護空間 <sup>注</sup>					
	0	0	無効。RAMへのライト可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

**注** RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

**備考** 本ガード機能は、CPU、データ・トランスファ・コントローラ (DTC)、SNOOZEモード・シーケンサ (SMS) からのアクセスが対象です。

### 27.3.6 SFRガード機能

- ★ SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、保護されたSFRへの書き込みは無効になります。保護されたSFRの読み出しは可能です。

#### 27.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-13 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT	ポート機能の制御レジスタの保護							
0	無効。ポート機能の制御レジスタのリード/ライト可能。							
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [保護されるSFR] PMxx, PUxx, PIMxx, POMxx, PMCAxx, PMCTxx, PMCExx, PFOEx, PDIDISxx, CCDE, CCSm, PTDC <sup>注</sup>							
GINT	割り込み機能のレジスタの保護							
0	無効。割り込み機能の制御レジスタのリード/ライト可能。							
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [保護されるSFR] IFxx, MKxx, PRxx, EGPx, EGNx							
GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの保護							
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。							
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [保護されるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, CKSEL, PRRx, MOCODIV, WKUPMD, PSMCR							

注 Pxx (ポート・レジスタ) は保護されません。

### 27.3.7 不正メモリ・アクセス検出機能

IEC60730 では CPU と割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図 27 - 14 で「NG」と記載した範囲になります。

図 27 - 14 不正アクセス検出空間

		アクセス可否		
		読み出し	書き込み	命令フェッチ
FFFFFH	特殊機能レジスタ (SFR) 256バイト			NG
FFF00H	汎用レジスタ 32バイト	OK	OK	OK
FFEE0H				
FFEDFH	RAM <sup>※</sup>			OK
zzzzzH	Mirror	OK	NG	NG
	データ・フラッシュ・メモリ		NG	NG
F1000H	使用不可	OK	OK	OK
F0FFFH				
F0800H	特殊機能レジスタ (2nd SFR) 2Kバイト	OK	OK	NG
F07FFH				
F0000H	使用不可	NG	NG	OK
EFFFH				
EE000H	使用不可	NG	NG	NG
EDFFFH				
yyyyyH	コード・フラッシュ・メモリ <sup>※</sup>	OK	OK	OK
xxxxxH				
00000H				OK

(注は次ページに続きます)

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ 時の検出最下位 アドレス (yyyyyH)
R7F100GxF (x = A, B, C, E, F, G, J, L)	98304 × 8 ビット (00000H-17FFFFH)	12288 × 8 ビット (FCF00H-FFEFFH)	18000H
R7F100GxG (x = A, B, C, E, F, G, J, L, M, P)	131072 × 8 ビット (00000H-1FFFFH)	16384 × 8 ビット (FBF00H-FFEFFH)	20000H
R7F100GxH (x = A, B, C, E, F, G, J, L, M, P)	196608 × 8 ビット (00000H-2FFFFH)	20480 × 8 ビット (FAF00H-FFEFFH)	30000H
R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S)	262144 × 8 ビット (00000H-3FFFFH)	24576 × 8 ビット (F9F00H-FFEFFH)	40000H
R7F100GxK (x = F, G, J, L, M, P, S)	393216 × 8 ビット (00000H-5FFFFH)	32768 × 8 ビット (F7F00H-FFEFFH)	60000H
R7F100GxL (x = F, G, J, L, M, P, S)	524288 × 8 ビット (00000H-7FFFFH)	49152 × 8 ビット (F3F00H-FFEFFH)	80000H
R7F100GxN (x = F, G, J, L, M, P, S)	786432 × 8 ビット (00000H-BFFFFH)	49152 × 8 ビット (F3F00H-FFEFFH)	C0000H

### 27.3.7.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWEN ビットを使用します。

IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図27-15 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN <sup>注</sup>	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト (000C0H) のWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき、IAWEN = 0 でも不正メモリ・アクセスの検出機能は有効となります。

### 27.3.8 不正メモリ・アクセス検出制御レジスタのガード機能

IEC60730 では動作中の安全を保証しなければいけないため、CPU が暴走しても不正メモリ・アクセス検出機能の有効・無効設定が書き換わってしまわないように保護する必要があります。

不正メモリ・アクセス検出制御レジスタのガード機能は、不正メモリ・アクセス検出制御レジスタ (IAWCTL) を保護するための機能です。不正メモリ・アクセス検出制御レジスタのガード機能を設定すると、不正メモリ・アクセス検出制御レジスタへの書き込みは無効になります。保護された不正メモリ・アクセス検出制御レジスタの読み出しは可能です。

#### 27.3.8.1 IAWCTL レジスタ・ガードレジスタ (GIAWCTL)

不正メモリ・アクセスの検出機能の有効/無効設定を保護するレジスタです。不正メモリ・アクセス検出制御レジスタ (IAWCTL) を書き換えるためには、GIAWCTL.GIA ビットを 0 に設定して保護を解除する必要があります。

GIAWCTL レジスタは、16 ビット・メモリ操作命令で設定します。

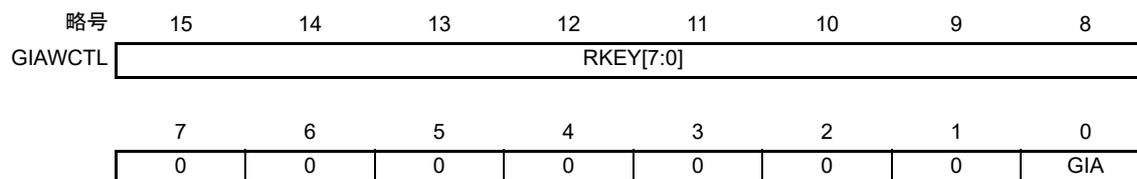
リセット信号の発生により、0000H になります。

図27-16 IAWCTL レジスタ・ガードレジスタ (GIAWCTL) のフォーマット

アドレス : F048EH

リセット時: 0000H

R/W属性 : R/W



RKEY[7:0] ビットは、GIAWCTL レジスタ書き換えを制御するキーコードです。GIA ビットを書き換える場合は、RKEY[7:0] = A4H に設定して、16 ビット単位で同時に書いてください。

RKEY[7:0] ビットは、読むと 00H が読めます。

GIA	IAWCTL レジスタの書き換え制御
0	IAWCTL レジスタを保護しない (書き換え許可)
1	IAWCTL レジスタを保護する (書き換え不可)

### 27.3.9 周波数検出機能

IEC60730 では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU / 周辺ハードウェア・クロック周波数 (fCLK) を使用し、タイマ・アレイ・ユニット0 (TAU0) のチャンネル5の入パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

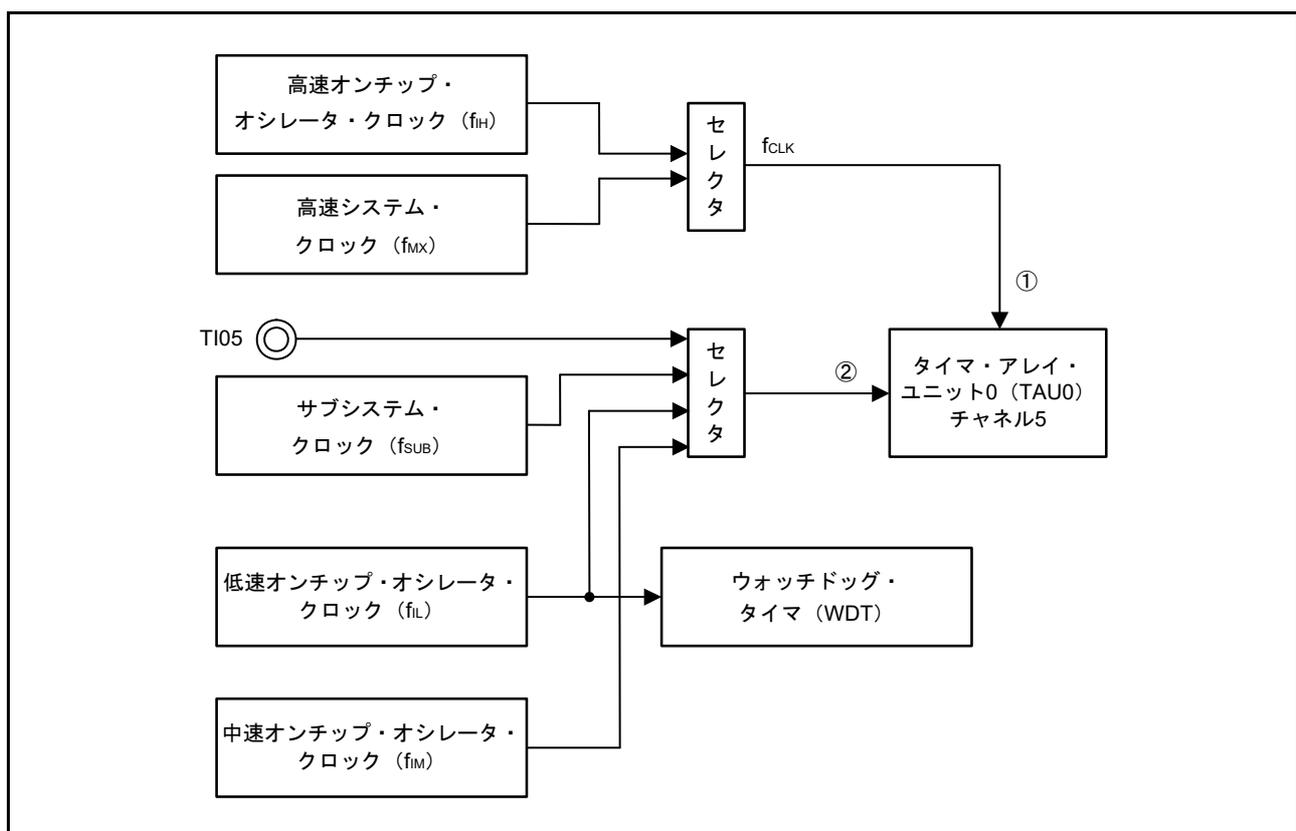
① CPU / 周辺ハードウェア・クロック周波数 (fCLK) :

- 高速オンチップ・オシレータ・クロック (fIH)
- 高速システム・クロック (fMX)

② タイマ・アレイ・ユニットのチャンネル5入力 :

- チャンネル5のタイマ入力 (TI05)
- 低速オンチップ・オシレータ・クロック (fIL)
- サブシステム・クロック (fSUB)
- 中速オンチップ・オシレータ・クロック (fIM)

図27-17 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、7.8.4 入力パルス間隔測定としての動作を参照してください。

### 27.3.9.1 タイマ入力選択レジスタ0 (TIS0)

TIS0 レジスタは、タイマ・アレイ・ユニット0 (TAU0) のチャンネル5のタイマ入力を選択するレジスタです。

TIS0 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-18 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	ELCLからのイベント入力信号
0	1	1	中速オンチップ・オシレータ・クロック (fIM)
1	0	0	低速オンチップ・オシレータ・クロック (fIL)
1	0	1	サブシステム・クロック (fSUB)
上記以外			設定禁止

### 27.3.10 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル（ANI）、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、**安全機能（A/Dテスト）アプリケーションノート（R01AN5607）**を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

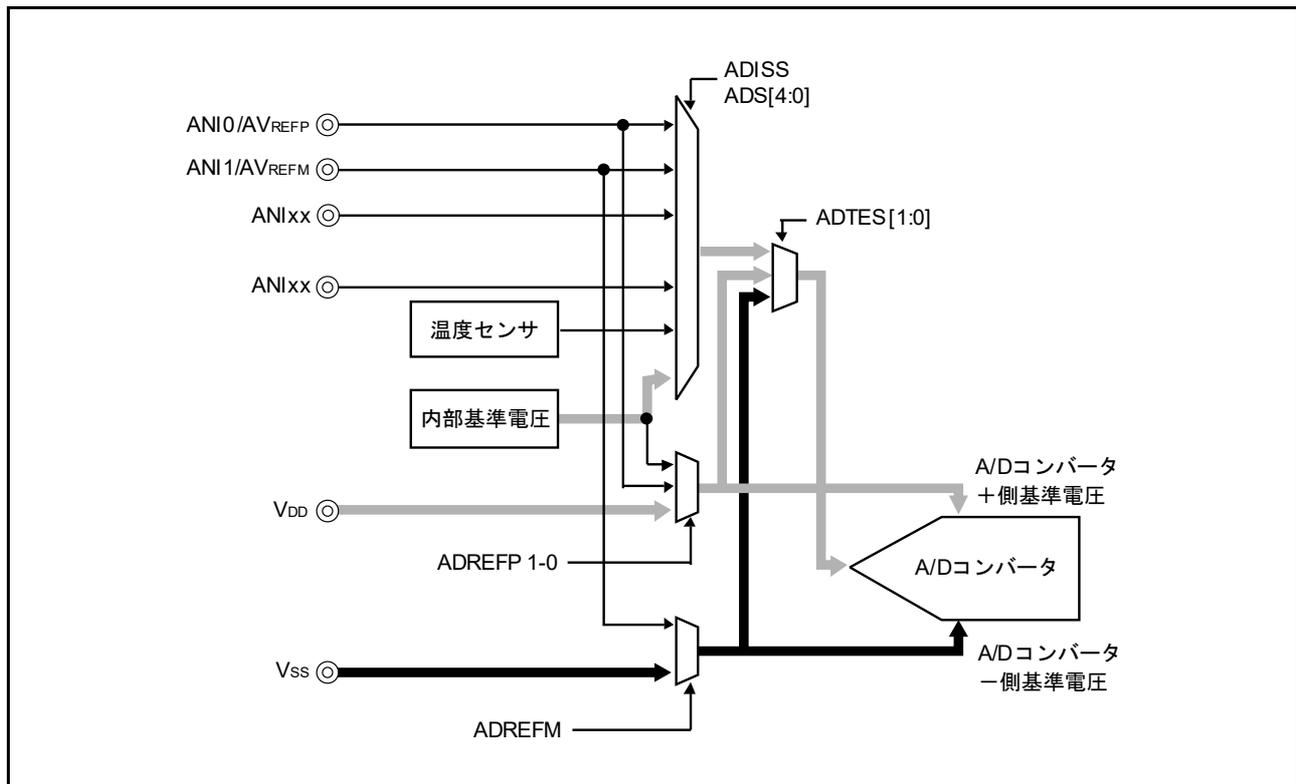
- ① ADTESレジスタでA/D変換対象にANlxx端子を選択（ADTES[1:0] = 00B）
- ② ANlxx端子のA/D変換を行う（変換結果 1-1）。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択（ADTES[1:0] = 10B）
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う（変換結果 2-1）
- ⑤ ADTESレジスタでA/D変換対象にANlxx端子を選択（ADTES[1:0] = 00B）
- ⑥ ANlxx端子のA/D変換を行う（変換結果 1-2）
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択（ADTES[1:0] = 11B）
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う（変換結果 2-2）
- ⑨ ADTESレジスタでA/D変換対象にANlxx端子を選択（ADTES[1:0] = 00B）
- ⑩ ANlxx端子のA/D変換を行う（変換結果 1-3）
- ⑪ 「変換結果 1-1」 = 「変換結果 1-2」 = 「変換結果 1-3」であることを確認する。
- ⑫ 「変換結果 2-1」のA/D変換結果がオール0、「変換結果 2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

**備考1.** ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

**備考2.** 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図27 - 19 A/Dテスト機能の構成



### 27.3.10.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル (AN<sub>ixx</sub>)、温度センサ出力電圧、内部基準電圧を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-20 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	AN <sub>ixx</sub> /温度センサ出力電圧/内部基準電圧 (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1、ADREFP0ビットで選択)
上記以外		設定禁止

**注意** ビット7-2には必ず0を設定してください。

## 27.3.10.2 アナログ入力チャネル指定レジスタ (ADS)

A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/D テスト機能で ANI<sub>xx</sub> / 温度センサ出力電圧 / 内部基準電圧を測定するときは、A/D テスト・レジスタ (ADTES) を 00H に設定してください。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図27-21 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

<セレクト・モード (ADMD = 0) >

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	0	1	0	0	0	ANI8	P150/ANI8 端子
0	0	1	0	0	1	ANI9	P151/ANI9 端子
0	0	1	0	1	0	ANI10	P152/ANI10 端子
0	0	1	0	1	1	ANI11	P153/ANI11 端子
0	0	1	1	0	0	ANI12	P154/ANI12 端子
0	0	1	1	0	1	ANI13	P155/ANI13 端子
0	0	1	1	1	0	ANI14	P156/ANI14 端子
0	0	1	1	1	1	設定禁止	
0	1	0	0	0	0	ANI16	P03/ANI16 端子注1
0	1	0	0	0	1	ANI17	P02/ANI17 端子注2
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	ANI20	P100/ANI20 端子
0	1	0	1	0	1	ANI21	P37/ANI21 端子
0	1	0	1	1	0	ANI22	P36/ANI22 端子
0	1	0	1	1	1	ANI23	P35/ANI23 端子
0	1	1	0	0	0	ANI24	P117/ANI24 端子
0	1	1	0	0	1	ANI25	P116/ANI25 端子
0	1	1	0	1	0	ANI26	P115/ANI26 端子
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧
上記以外						設定禁止	

(注、注意は次ページに続きます)

- 注1. 30、32ピン製品の場合は、P01/ANI16端子になります。
- 注2. 30、32ピン製品の場合は、P00/ANI17端子になります。
- 注意1. ビット6, 5には必ず0を設定してください。
- 注意2. PMCAレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0-3, 10-12, 14, 15 (PM0-3, PM10-PM12, PM14, PM15) で入力モードに選択してください。
- 注意3. ポート・モード・コントロールA・レジスタ0-3, 10-12, 14, 15 (PMCA0-3, PMCA10-12, PMCA14, PMCA15) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- 注意4. ADISSビットを書き換える場合は、必ず変換停止状態 (ADCS = 0、ADCE = 0) のときに行ってください。
- 注意5. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
- 注意6. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。
- 注意7. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウェイト・モード、ワンショット変換モード時) を参照してください。
- 注意8. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、37.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF) の電流値が加算されます。

### 27.3.11 入出力端子のデジタル出力信号レベル検出機能

IEC60730 では I/O 機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルをリードすることができます。

#### 27.3.11.1 ポート・モード選択レジスタ (PMS)

端子が出力モード (ポート・モード・レジスタ (PMm) の PMmn ビットが 0) 時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 27-22 ポート・モード選択レジスタ (PMS) のフォーマット

アドレス : F007BH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時にリードするデータの選択
0	Pmn レジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

**注意 1.** PMS レジスタの PMS0 ビットを 1 に設定時は、1 ビット・メモリ操作命令でポート・レジスタ (Pxx) を書き換えないでください。ポート・レジスタ (Pxx) を書き換える場合は、8 ビット・メモリ操作命令を使用してください。

**注意 2.** 入力ポート (P123, P124, P137) および出力ポート (P130) は、PMS 制御は無効です。

**注意 3.** ビット 7-1 には必ず 0 を設定してください。

**備考** m = 0-12, 14, 15  
n = 0-7

**注意 4.** PMCAmn ビットおよび PMCTmn ビットが 1 の場合、PMS 制御は無効です。

PMCAmn ビットおよび PMCTmn ビットが 1 の設定で端子のデジタル出力レベルを読み出す場合は、PMCAmn ビットおよび PMCTmn ビットを 0 に設定してから PMS0 ビットを 1 に設定してください。

**備考** m = 0-3, 5-7, 10-12, 14, 15  
n = 0-7

**注意 5.** PDIDISmn ビットが 1 の場合、PMS 制御は無効です。

PDIDISmn ビットが 1 の設定で端子のデジタル出力レベルを読み出す場合は、PDIDISmn ビットを 0 に設定してから PMS0 ビットを 1 に設定してください。

**備考** m = 0, 1, 3-5, 7-9, 12-14  
n = 0-7

### 27.3.12 UARTループバック機能

IEC60730 では、外部インタフェース（通信）の異常診断ができることを推奨されています。

UART ループバック機能では、RxD 端子を外部から遮断、MCU 内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、UART の送信データの正常出力を確認することができます。

UART ループバック機能選択時に、TxD 端子からの送信データが通信相手に影響を与えないようにするには、ポート機能を使って制御することができます。

- 負論理での通信の場合：

TxD 端子を兼用しているポートを入力モード（PMxx = 1）に設定し、内蔵プルアップ抵抗を接続（PUxx = 1）して、1を保持します。

また、TxDA0端子は、ポートから1を出力（PMxx = 0, Pxx = 1）した状態でPFOE1レジスタのPFOE14ビットを0に設定することで、1を保持することもできます。TxD0端子は、ポートから1を出力（PMxx = 0, Pxx = 1）した状態でPFOE1レジスタのPFOE10ビットを0に設定することで、1を保持することもできます。

- 正論理での通信の場合：

TxD 端子を兼用しているポートから0を出力（PMxx = 0, Pxx = 0）します。

#### 27.3.12.1 UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャネル毎に制御できるビットを持ち、各チャネルに該当するビットを1に設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、ULBS レジスタは00Hになります。

図27-23 UARTループバック選択レジスタ（ULBS）のフォーマット（1/2）

アドレス：F0079H

リセット時：00H

R/W属性：R/W

略号	7	6	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	0	0	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBS5	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA1 の RxDA1 端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS4	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA0 の RxDA0 端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS3	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART3のRxD3端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS2	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART2のRxD2端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

図27 - 23 UARTループバック選択レジスタ (ULBS) のフォーマット (2/2)

ULBS1	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART1のRxD1端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS0	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART0のRxD0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

**注意** ビット7, 6には必ず0を設定してください。

**備考** RxD0端子は36～128ピン製品のみ使用可能  
RxD1端子は44～128ピン製品のみ使用可能

## 第28章 セキュリティ機能

### 28.1 真性乱数発生器

#### 28.1.1 真性乱数発生器の機能

真性乱数発生器は 32 ビットの乱数シード（真性乱数）を生成します。

#### 28.1.2 真性乱数発生器を制御するレジスタ

真性乱数発生器を制御するレジスタを次に示します。

- 乱数シード・コマンド・レジスタ0 (TRNGSCR0)
- 乱数シード・データ・レジスタ (TRNGSDR)

### 28.1.2.1 乱数シード・コマンド・レジスタ0 (TRNGSCR0)

TRNGSCR0 レジスタは、真性乱数発生器の動作を制御するレジスタです。TRNGEN ビットを1に設定した後に TRNGST を1に設定すると乱数シードの生成を開始します。乱数シードの生成が完了すると TRNGRDY が1にセットされます。

TRNGST はトリガ・ビットのため、1を設定した後はすぐに0にクリアされます。

TRNGSCR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-1 乱数シード・コマンド・レジスタ0 (TRNGSCR0) のフォーマット

アドレス : F0542H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	<3>	<2>	1	0
TRNGSCR0	TRNGRDY	0	0	0	TRNGEN	TRNGST	0	0

TRNGRDY	乱数シード生成状態フラグ
0	乱数シードの生成が完了していない、またはTRNGSDRレジスタを4回読み出し後
1	乱数シードの生成完了

TRNGEN	真性乱数発生器の動作制御
0	真性乱数発生器の動作停止
1	真性乱数発生器の動作許可

TRNGST	乱数シード生成開始トリガ
0	トリガ動作せず
1	乱数シードの生成動作開始

### 28.1.2.2 乱数シード・データ・レジスタ (TRNGSDR)

TRNGSDR レジスタは、真性乱数発生器で生成された乱数シードを格納する 8 ビットのレジスタです。TRNGRDY が 1 にセットされた後に乱数シードを読み出せます。乱数シードは 32 ビット長ですので 4 回に分けて読みだしてください。4 回読みだすと TRNGSCR0 レジスタのビット 7 (TRNGRDY) は 0 にクリアされます。

TRNGSDR レジスタは、8 ビット・メモリ操作命令で読み出します。

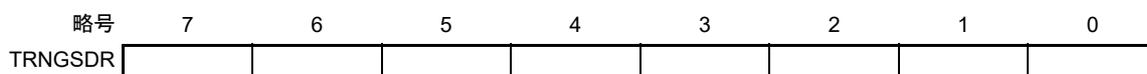
リセット信号の発生により、00H になります。

図 28 - 2 乱数シード・データ・レジスタ (TRNGSDR) のフォーマット

アドレス : F0540H

リセット時: 00H

R/W属性 : R

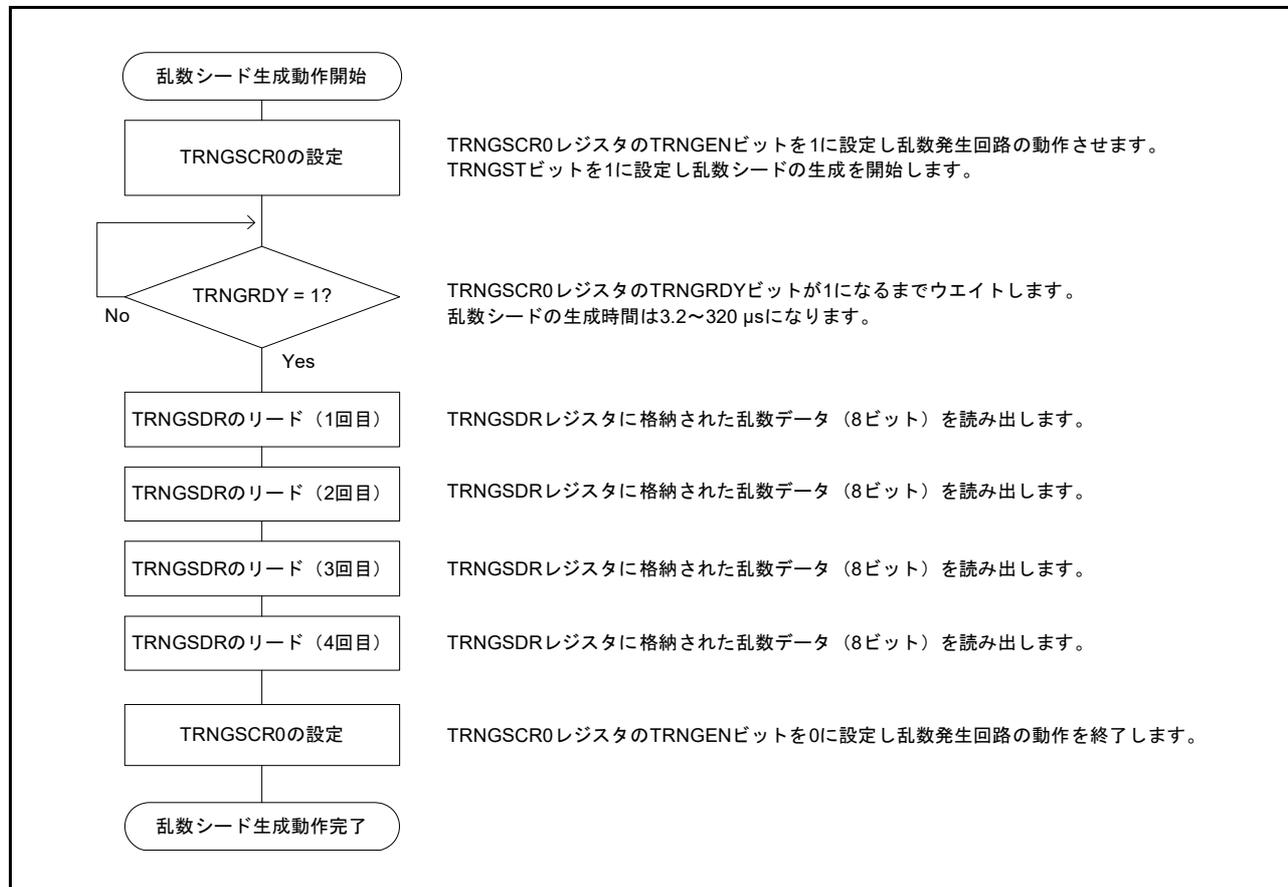


**注意** TRNGRDY = 0 の場合、TRNGSDR レジスタは 00H になります。

### 28.1.3 真性乱数発生器の動作

図 28 - 3 に真性乱数発生器による乱数シードの生成手順を示します。

図 28 - 3 真性乱数発生器の乱数シードの生成手順



## 28.2 フラッシュ・リード・プロテクション

### 28.2.1 フラッシュ・リード・プロテクションの機能

フラッシュ・リード・プロテクションは、コード・フラッシュ領域の指定した領域を CPU、DTC、SMS からの読み出しを不可にする機能です。指定した領域は CPU による命令フェッチは可能です。

ただし、シリアル・プログラミング・モードでは、フラッシュ・リード・プロテクションの機能で読み出しが不可となったコード・フラッシュ領域をベリファイすることは可能です。

### 28.2.2 フラッシュ・リード・プロテクションの設定

フラッシュ・リード・プロテクションの設定は、フラッシュ・メモリ・プログラマによるシリアル・プログラミングまたはセルフ・プログラミングによってエクストラ領域に設定します。

初期状態ではコード・フラッシュ・メモリの全領域が読み出し可能な状態に設定されています。読み出しを不可にするコード・フラッシュ・メモリの領域をフラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックに設定してください。設定された範囲のコード・フラッシュ領域の読み出しは不可となります。

また、フラッシュ・リード・プロテクション設定の変更禁止を有効にすることで、フラッシュ・リード・プロテクションのスタート・ブロックとエンド・ブロックの設定が固定され、対象の領域を保護することができます。このフラッシュ・リード・プロテクション設定の変更禁止は、フラッシュ・プログラマで解除することができます。ただし、フラッシュ・リード・プロテクション設定の変更禁止を解除する場合は、全フラッシュ・メモリ領域を消去する必要があります。解除した後にはフラッシュ・リード・プロテクションの領域に書き込まれたデータを読み出すことはできません。表 28 - 1 にフラッシュ・リード・プロテクションの設定と機能、表 28 - 2 にフラッシュ・リード・プロテクションの設定方法を示します。

表28 - 1 フラッシュ・リード・プロテクトの設定と機能

設定	機能
フラッシュ・リード・プロテクション・スタート・ブロック	読み出しを不可にする領域のスタート・ブロック番号を指定します。設定値はブロック 001H からコード・フラッシュ・メモリの上限アドレスのブロック番号を設定してください。 スタート・ブロックに指定したブロック番号は読み出し不可領域に含みます。 スタート・ブロックにブロック 000H を設定することは禁止です。 初期状態は 1FFH に設定されています。
フラッシュ・リード・プロテクション・エンド・ブロック	読み出しを不可にする領域のエンド・ブロック番号を指定します。設定値はスタート・ブロック番号以上からコード・フラッシュ・メモリの上限アドレスのブロック番号を設定することができます。エンド・ブロックに指定したブロック番号は読み出し不可領域に含まれます。 初期状態は 1FFH に設定されています。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックの設定を固定します。この設定が有効の場合はスタート・ブロックとエンド・ブロックの設定を変更できません。

アドレスとブロック番号の関係については、表 3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

表28-2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマで設定を解除 <sup>注</sup> できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

**注** 設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

- 注意1.** エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出してFFHであることを確認してください。
- 注意2.** フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。
- 注意3.** 読み出し不可領域はオンチップ・デバッグでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッグによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。
- 注意4.** ブート・クラスタ0または1の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ0または1に読み出し不可領域を設定する場合は“ブート領域書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。
- 注意5.** セルフ・プログラミングでフラッシュ・リード・プロテクションを設定した場合は、リセット解除後にその設定が有効となります。

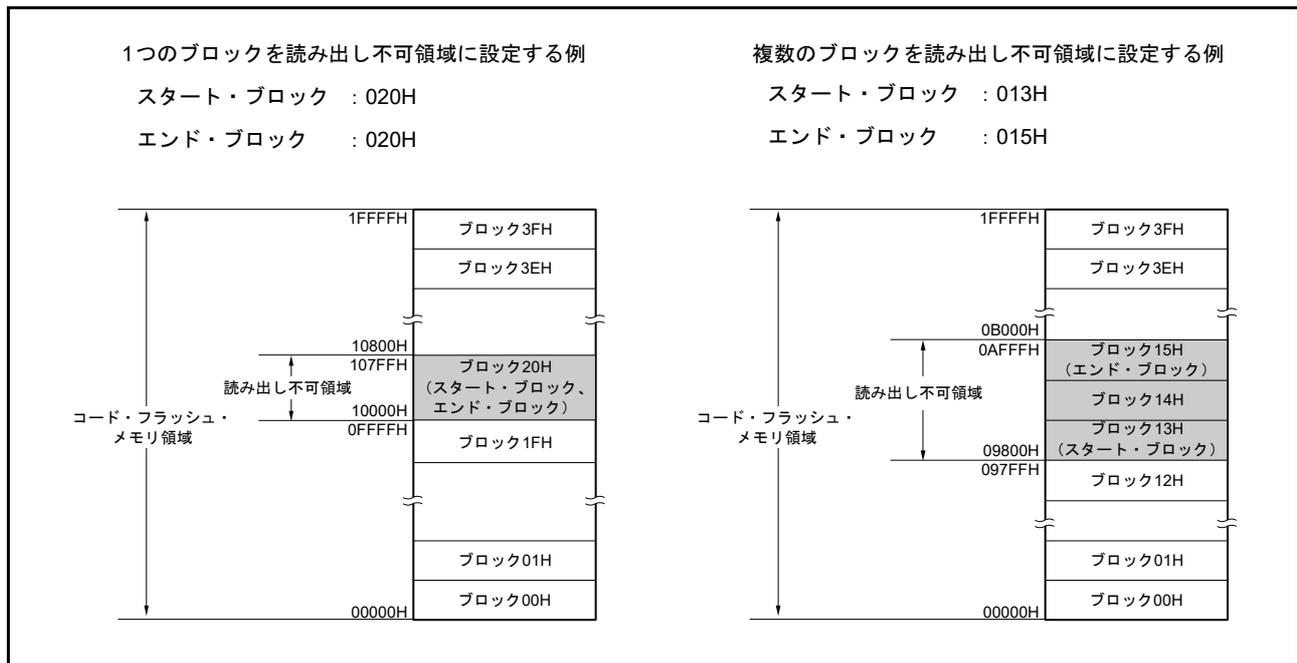
### 28.2.3 動作説明

フラッシュ・リード・プロテクションで読み出し不可に設定した領域は、CPU、DTC、SMS による読み出し値はすべて FFH になります。

読み出し不可領域での CPU による命令フェッチは可能です。ただし、読み出し不可領域で実行するプログラムでも不可領域のデータの読み出しはできません。読み出し不可領域で実行するプログラムで使用するデータはプロテクトされていない領域に配置してください。

図 28 - 4 にフラッシュ・リード・プロテクションによる読み出し不可領域の設定例を示します。

図 28 - 4 フラッシュ・リード・プロテクションによる読み出し不可領域の設定例



読み出し不可領域を設定後にコード・フラッシュ・メモリの全領域を読み出し可能に再設定する場合は、フラッシュ・リード・プロテクション設定の変更禁止が無効の状態、フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックを 1FFH に設定してください。

## 28.3 ユニーク ID

### 28.3.1 ユニーク ID の機能

ユニーク ID はエクストラ領域に格納されている製品個体毎のユニークな値です。  
ユニーク ID は MCU を製造する際に個々の製品に書き込まれます。値の変更はできません。  
データ長は 16 バイト (128 ビット) です。

**注意** ユニーク ID はランダム値ではありません。

### 28.3.2 製品名のアスキー・コード

製品名のアスキー・コードはエクストラ領域に格納されています。  
製品名にはピン数とフラッシュ・メモリ・サイズが含まれますので、製品名による条件分岐ができます。

表 28 - 3 にユニーク ID のメモリ・マップを示します。

表28 - 3 ユニークIDのメモリ・マップ

アドレス	名称	格納値
EFFC0H   EFFCFH	ユニーク ID	製品個体毎のユニークな値
EFFD5H	製品名のアスキー・コード	52H "R"
EFFD6H		37H "7"
EFFD7H		46H "F"
EFFD8H		31H "1"
EFFD9H		30H "0"
EFFDAH		30H "0"
EFFDBH		47H "G"
EFFDCH		41H "A" : 30 ピン
		42H "B" : 32 ピン
		43H "C" : 36 ピン
	45H "E" : 40 ピン	
	46H "F" : 44 ピン	
EFFDDH	47H "G" : 48 ピン	
	4AH "J" : 52 ピン	
	4CH "L" : 64 ピン	
	4DH "M" : 80 ピン	
	50H "P" : 100 ピン	
	53H "S" : 128 ピン	
	46H "F" : フラッシュ・メモリ 96 KB	
	47H "G" : フラッシュ・メモリ 128 KB	
48H "H" : フラッシュ・メモリ 192 KB		
4AH "J" : フラッシュ・メモリ 256 KB		
4BH "K" : フラッシュ・メモリ 384 KB		
4CH "L" : フラッシュ・メモリ 512 KB		
4EH "N" : フラッシュ・メモリ 768 KB		

## 第29章 SNOOZEモード・シーケンサ (SMS)

SNOOZEモード・シーケンサは、あらかじめ設定した32の処理を順次実行する機能です。本機能はスタンバイ状態でも他の周辺機能の信号をトリガとして起動できるため、CPUから独立した動作が可能です。CPUがスタンバイ中に処理を実行することで低消費電力を実現します。

### 29.1 SNOOZEモード・シーケンサの機能

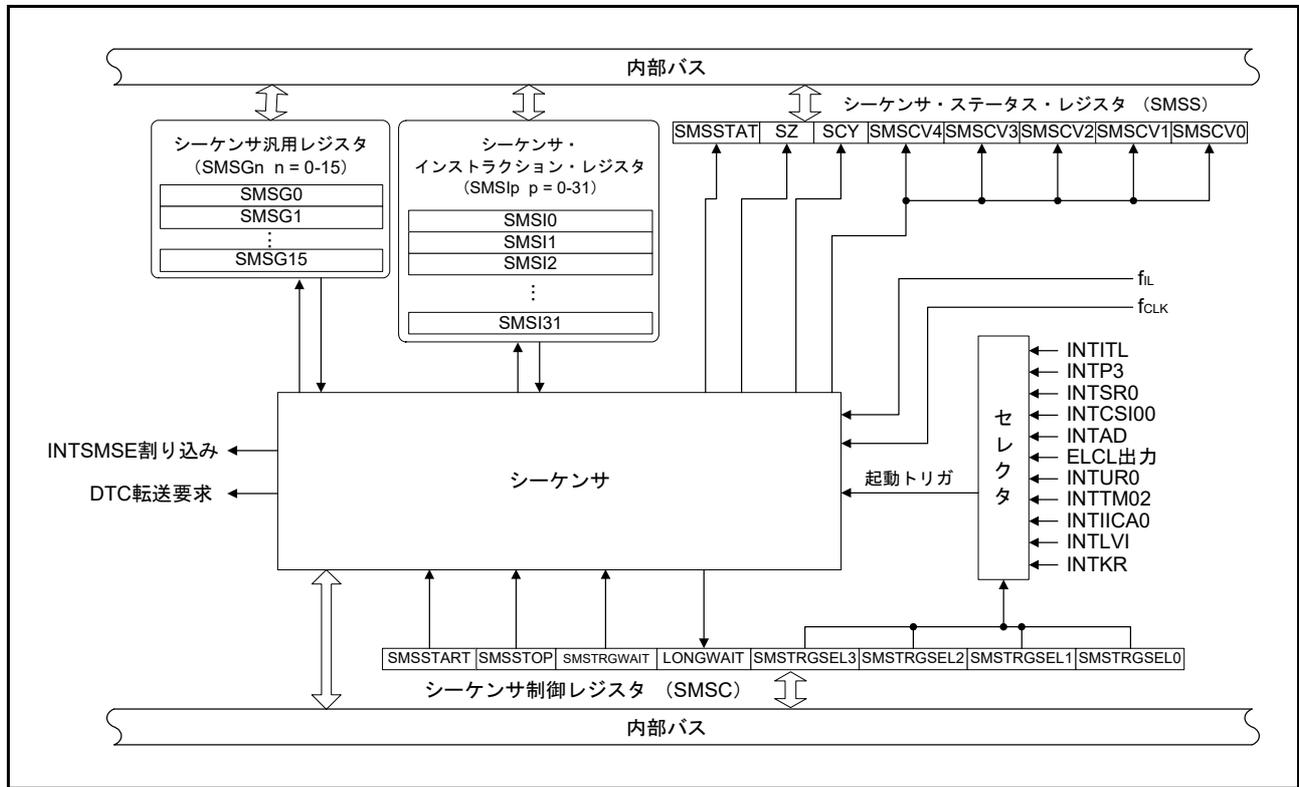
SNOOZEモード・シーケンサはCPUから独立して処理を実行する機能です。SNOOZEモード・シーケンサには次の機能があります。

- 21種類の処理から合計で32個の処理を選択して順次に実行可能
- CPUがスタンバイ状態でも実行可能
- スタンバイ状態にあるCPUのウェイクアップが可能
- データ・トランスファ・コントローラ (DTC) を直接起動可能
- RAM、各周辺機能のSFRにアクセス可能
- 16ビットの加算処理、減算処理が可能
- 分岐処理が可能
- ウェイト処理中のクロックを低速オンチップ・オシレータ・クロックに自動的に切り替えることで長期間のウェイトが可能

## 29.2 SNOOZEモード・シーケンサの構成

図29-1にSNOOZEモード・シーケンサのブロック図を示します。

図29-1 SNOOZEモード・シーケンサのブロック図



## 29.3 SNOOZEモード・シーケンサを制御するレジスタ

SNOOZEモード・シーケンサを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- シーケンサ・インストラクション・レジスタp (SMSIp) (p = 0-31)
- シーケンサ汎用レジスタn (SMSGn) (n = 0-15)
- シーケンサ制御レジスタ (SMSC)
- シーケンサ・ステータス・レジスタ (SMSS)

### 29.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアのクロック供給/供給停止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

SNOOZEモード・シーケンサを使用する場合は、必ずビット6 (SMSEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1レジスタは00Hになります。

ピン数毎のPERビット有無の注意事項は第6章 **クロック発生回路**を参照してください。

図29-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSUEN
	SMSEN	SNOOZEモード・シーケンサの入カクロック供給の制御						
	0	入カクロック供給停止 ・SNOOZEモード・シーケンサで使用するSFRへのライト不可 ・SNOOZEモード・シーケンサで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・SNOOZEモード・シーケンサで使用するSFRへのリード/ライト可						

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意1. SNOOZEモード・シーケンサが動作中の場合、PER1レジスタのSMSENビットを1から0へ変更しないでください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品 : ビット2, 1

32ピン製品 : ビット2

### 29.3.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺 IP に対して個別にリセット制御を実施するレジスタです。

PRR1 レジスタで対応する各周辺 IP のリセット/リセット解除の制御を行います。

SNOOZE モード・シーケンサをリセットする場合は、ビット 6 (SMSRES) を 1 に設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR1 レジスタは 00H になります。

図29-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	REMCRES 注	CTSURES
	SMSRES	SNOOZEモード・シーケンサのリセット制御						
	0	SNOOZEモード・シーケンサのリセット解除						
	1	SNOOZEモード・シーケンサはリセット状態 ・SNOOZEモード・シーケンサで使用するSFRが初期化されます。						

注 32～128ピン製品のみ

注意1. ビット3, 2には必ず0を設定してください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品: ビット1

### 29.3.3 シーケンサ・インストラクション・レジスタ p (SMSIp) (p = 0-31)

SMSIp レジスタは、シーケンサの処理コマンドを格納する 16 ビットのレジスタです。SNOOZE モード・シーケンサは SMSI0 レジスタから SMSI31 レジスタの計 32 のレジスタにシーケンサの処理コマンドを格納し、SMSI0 レジスタから順次に処理を実行します。レジスタは処理の内容を示すシーケンサ・コードとシーケンサ・コード毎に用途が異なる第 1 オペランド、第 2 オペランド、付加バイトで構成されます。シーケンサの各処理の詳細は **29.5 シーケンサ処理コマンド**を参照してください。また、処理の実行後は次に続く SMSIp レジスタの処理を実行するか、または分岐先の SMSIp レジスタの処理を実行します。実行する SMSIp レジスタは、シーケンサ・ステータス・レジスタ (SMSS) の SMSCV0-SMSCV4 ビットで確認することが可能です。

**表 29 - 1** に SMSIp レジスタのメモリ・アドレスと SMSCV0-SMSCV4 ビットの関係、**表 29 - 2** に SMSIp レジスタに設定できる処理の一覧を示します。

SMSIp レジスタは、16 ビット・メモリ操作命令で設定します。

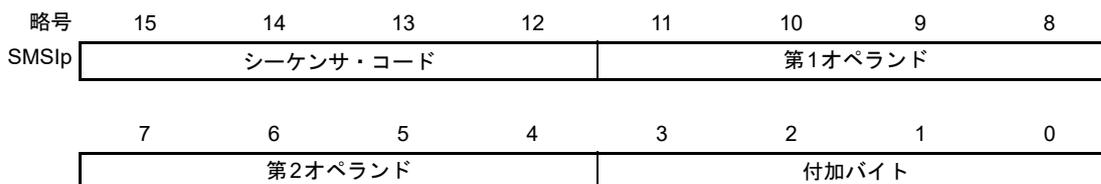
リセット信号の発生により、0000H になります。

図 29 - 4 シーケンサ・インストラクション・レジスタ p (SMSIp) のフォーマット

アドレス : F0380H, F0381H (SMSI0)-F03BEH, F03BFH (SMSI31)

リセット時: 0000H

R/W属性 : R/W



**備考** p = 0-31

表29 - 1 SMSIpレジスタのメモリ・アドレスとSMSCV0-SMSCV4ビットの関係

SMSIp	アドレス	SMSCV[4:0]	SMSIp	アドレス	SMSCV[4:0]
SMSI15	F039EH, F039FH	01111B	SMSI31	F03BEH, F03BFH	11111B
SMSI14	F039CH, F039DH	01110B	SMSI30	F03BCH, F03BDH	11110B
SMSI13	F039AH, F039BH	01101B	SMSI29	F03BAH, F03BBH	11101B
SMSI12	F0398H, F0399H	01100B	SMSI28	F03B8H, F03B9H	11100B
SMSI11	F0396H, F0397H	01011B	SMSI27	F03B6H, F03B7H	11011B
SMSI10	F0394H, F0395H	01010B	SMSI26	F03B4H, F03B5H	11010B
SMSI9	F0392H, F0393H	01001B	SMSI25	F03B2H, F03B3H	11001B
SMSI8	F0390H, F0391H	01000B	SMSI24	F03B0H, F03B1H	11000B
SMSI7	F038EH, F038FH	00111B	SMSI23	F03AEH, F03AFH	10111B
SMSI6	F038CH, F038DH	00110B	SMSI22	F03ACH, F03ADH	10110B
SMSI5	F038AH, F038BH	00101B	SMSI21	F03AAH, F03ABH	10101B
SMSI4	F0388H, F0389H	00100B	SMSI20	F03A8H, F03A9H	10100B
SMSI3	F0386H, F0387H	00011B	SMSI19	F03A6H, F03A7H	10011B
SMSI2	F0384H, F0385H	00010B	SMSI18	F03A4H, F03A5H	10010B
SMSI1	F0382H, F0383H	00001B	SMSI17	F03A2H, F03A3H	10001B
SMSI0	F0380H, F0381H	00000B	SMSI16	F03A0H, F03A1H	10000B

注意1. SMSIpレジスタは、シーケンサが停止している状態で設定してください。シーケンサが処理を実行しているSMSIpレジスタを書き換えるとシーケンサの動作が不定となるためです。

- ★ 注意2. SMSI31レジスタの処理の実行後は次に続くSMSIpレジスタはありません。SMSI31レジスタに終了処理が記述されていない場合または分岐処理を記載していない場合は、SMSI31レジスタの処理の実行後に終了処理が自動的に実行されます。

表29-2 SMSIpレジスタに設定できる処理の一覧

処理名	オペレーション <sup>注1</sup>	シーケンサ・コード	第1オペランド (4ビット)	第2オペランド (4ビット)	付加バイト (4ビット)
8ビット・データ転送処理1	[MSGn + Byte] ← MSGm	0000	MSGnのn <sup>注2</sup>	MSGmのm <sup>注2</sup>	byte <sup>注3</sup>
8ビット・データ転送処理2	MSGm ← [MSGn + Byte]	0001	MSGnのn <sup>注2</sup>	MSGmのm <sup>注2</sup>	byte <sup>注3</sup>
16ビット・データ転送処理1	[MSGn + Byte] ← MSGm	0010	MSGnのn <sup>注2</sup>	MSGmのm <sup>注2</sup>	byte <sup>注3</sup>
16ビット・データ転送処理2	MSGm ← [MSGn + Byte]	0011	MSGnのn <sup>注2</sup>	MSGmのm <sup>注2</sup>	byte <sup>注3</sup>
1ビット・データ・セット処理	[MSGn + Byte].bit ← 1	0100	MSGnのn <sup>注2</sup>	bit <sup>注3</sup>	byte <sup>注3</sup>
1ビット・データ・クリア処理	[MSGn + Byte].bit ← 0	0101	MSGnのn <sup>注2</sup>	bit <sup>注3</sup>	byte <sup>注3</sup>
1ビット・データ転送処理	SCY ← [MSGn + Byte].bit	0110	MSGnのn <sup>注2</sup>	bit <sup>注3</sup>	byte <sup>注3</sup>
ワード・データ加算処理	MSGn, SCY ← MSGn + MSGm	0111	MSGnのn <sup>注2</sup>	MSGmのm <sup>注2</sup>	0000
ワード・データ減算処理	MSGn, SCY ← MSGn - MSGm	0111	MSGnのn <sup>注2</sup>	MSGmのm <sup>注2</sup>	0001
ワード・データ比較処理	MSGn - MSGm	0111	MSGnのn <sup>注2</sup>	MSGmのm <sup>注2</sup>	0010
右方向論理シフト処理	SCY ← MSGn.0, MSGm.15 ← 0, MSGm.m-1 ← MSGm.m	0111	MSGnのn <sup>注2</sup>	0000	0011
分岐処理1 (SCY = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1	1000	\$addr5 <sup>注4</sup>		0000
分岐処理2 (SCY = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0	1000	\$addr5 <sup>注4</sup>		0001
分岐処理3 (SZ = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1	1000	\$addr5 <sup>注4</sup>		0010
分岐処理4 (SZ = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0	1000	\$addr5 <sup>注4</sup>		0011
ウェイト処理	一定期間の処理の保留	1001	IM1		IM2
条件付きウェイト処理1 (bit = 1)	SMSS[4:0] ← SMSS[4:0] if [MSGn + Byte].bit = 1	1010	MSGnのn <sup>注2</sup>	bit <sup>注3</sup>	byte <sup>注3</sup>
条件付きウェイト処理2 (bit = 0)	SMSS[4:0] ← SMSS[4:0] if [MSGn + Byte].bit = 0	1011	MSGnのn <sup>注2</sup>	bit <sup>注3</sup>	byte <sup>注3</sup>
終了処理	SMSS[4:0] ← 0、シーケンサの動作停止	1111	0000	0000	0000
DTC起動処理	DTC起動要因を出力	1111	0000	0000	0010

★

注1. 用語の詳細は、29.5 シーケンサ処理コマンドを参照してください。

注2. n, m = 0-15 (0000B-1111B) を指定してください。

注3. byte = 0-7 (0000B-0111B) を指定してください。

注4. 8ビットのディスプレイメント値で-31~-1, 1~31の相対アドレス (0000 0001B-0001 1111B, 1111 1111B-1110 0001B) を指定してください。

### 29.3.4 シーケンサ汎用レジスタ n (MSGn) (n = 0-15)

MSGn レジスタは、16 ビットのシーケンサ用の汎用レジスタです。データの格納、演算処理の判定値の格納、データ操作処理のソース・アドレスやデスティネーション・アドレスの格納などに使用します。ただし、MSG0 レジスタは 0000H で固定、MSG15 レジスタは FFFFH で固定です。

シーケンサは処理によって MSGn レジスタを直接アクセスすることが可能です。シーケンサが MSGn レジスタにアクセスする場合は MSGn レジスタの “n” をシーケンサの内部のデータ・アドレスとして指定してください。

MSG0-MSG15 レジスタは、16 ビット・メモリ操作で読み出します。また MSG1-MSG14 レジスタは 16 ビット・メモリ操作命令で設定します。

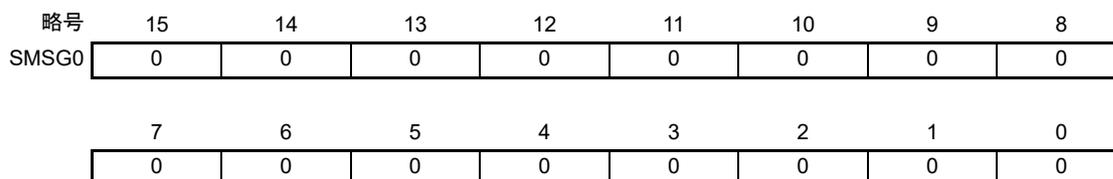
MSG1-MSG14 レジスタは、リセット信号の発生により 0000H になります。MSG0 は 0000H, MSG15 は FFFFH 固定です。

図29 - 5 シーケンサ汎用レジスタ n (MSGn) のフォーマット

アドレス : F03C0H, F03C1H

リセット時: 0000H

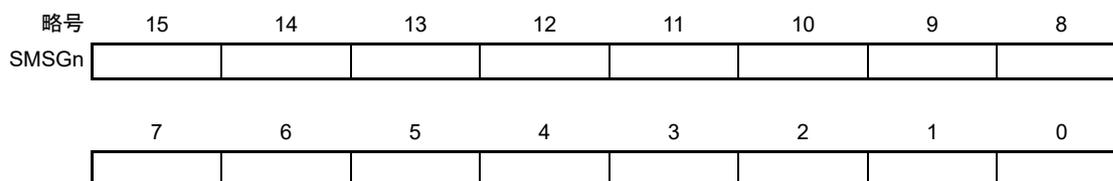
R/W属性 : R



アドレス : F03C2H, F03C3H (MSG1)-F03DCH, F03DDH (MSG14)

リセット時: 0000H

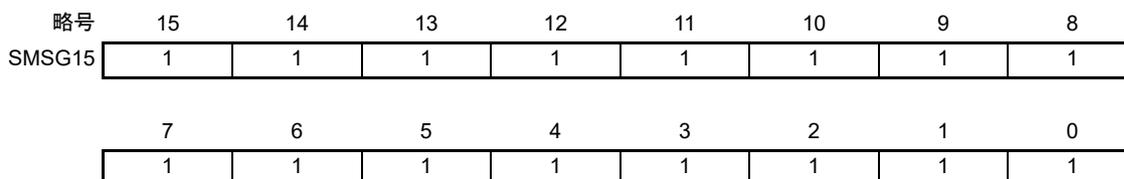
R/W属性 : R/W



アドレス : F03DEH, F03DFH

リセット時: FFFFH

R/W属性 : R



備考 n = 1-14

表29-3 SMSGnレジスタとメモリ・アドレスとシーケンサ内部のデータ・アドレスの関係

SMSGn	アドレス	シーケンサ内部のデータ・アドレス
SMSG15	F03DEH, F03DFH	1111B
SMSG14	F03DCH, F03DDH	1110B
SMSG13	F03DAH, F03DBH	1101B
SMSG12	F03D8H, F03D9H	1100B
SMSG11	F03D6H, F03D7H	1011B
SMSG10	F03D4H, F03D5H	1010B
SMSG9	F03D2H, F03D3H	1001B
SMSG8	F03D0H, F03D1H	1000B
SMSG7	F03CEH, F03CFH	0111B
SMSG6	F03CCH, F03CDH	0110B
SMSG5	F03CAH, F03CBH	0101B
SMSG4	F03C8H, F03C9H	0100B
SMSG3	F03C6H, F03C7H	0011B
SMSG2	F03C4H, F03C5H	0010B
SMSG1	F03C2H, F03C3H	0001B
SMSG0	F03C0H, F03C1H	0000B

### 29.3.5 シーケンサ制御レジスタ (SMSC)

SMSC レジスタは、SNOOZE モード・シーケンサの動作を制御するレジスタです。シーケンサの動作開始と停止、シーケンサの起動トリガの保留、ウエイト処理のウエイト・カウントのソース・クロック、およびシーケンサの動作開始トリガを設定します。

SMSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 29 - 6 シーケンサ制御レジスタ (SMSC) のフォーマット (1/2)

アドレス : F03E0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	0
SMSC	SMSSTART	SMSSTOP	SMSTRG WAIT	LONGWAIT	SMSTRGSE L3	SMSTRGSE L2	SMSTRGSE L1	SMSTRGSE L0
SMSSTART 注1	SNOOZEモード・シーケンサの動作制御							
0	シーケンサが停止状態 0になる条件：SMSSTOPに1を設定							
1	シーケンサが起動トリガ待ち状態または動作状態 1になる条件：1の書き込み							
SMSSTOP 注1,2	SNOOZEモード・シーケンサの動作制御							
0	—							
1	シーケンサの処理を強制終了トリガ シーケンサの処理を終了させシーケンサを強制的に停止状態にします。SMSSTOPビットが セット (1) されたタイミングで実行している1つの処理が終了した後にシーケンサが停止し ます。							
SMSTRG WAIT注3	起動トリガの保留機能の制御							
0	起動トリガ保留機能が無効							
1	起動トリガ保留機能が有効 起動トリガが発生した場合はその起動トリガは保留されます。SMSTRGWAITビットをクリ ア (0) すると保留中のトリガ有効となりシーケンサは動作を開始します。							

注1. SMSSTARTビットとSMSSTOPビットの0の書き込みは無効になります。

注2. SMSSTOPビットの読み出し値は常に0になります。

注3. SMSTRGWAITビットはSMSSTART = 0のシーケンサ停止状態でセット (1) してください。

図29 - 6 シーケンサ制御レジスタ (SMSC) のフォーマット (2/2)

LONGWAIT	ウェイト処理コマンド実行時のカウント・クロックの状態フラグ			
0	低速オンチップ・オシレータ・クロックを供給停止			
1	低速オンチップ・オシレータ・クロックを供給			

SMSTRGSE L3	SMSTRGSE L2	SMSTRGSE L1	SMSTRGSE L0	SNOOZEモード・シーケンサの 起動トリガの選択 <sup>注1</sup>
0	0	0	0	32ビット・インターバル・タイマのインターバル検出割り込み (INTITL)
0	0	0	1	端子入力エッジ検出割り込み (INTP3)
0	0	1	0	UART0の受信完了割り込み (INTSR0)
0	0	1	1	CSI00の転送完了割り込み (INTCSI00)
0	1	0	0	A/D変換終了割り込み (INTAD)
0	1	0	1	ELCL出力信号
0	1	1	0	UARTA0の受信完了割り込み (INTUR0) <sup>注2</sup>
0	1	1	1	タイマ・チャンネル2のカウント完了またはキャプチャ完了割り込み (INTTM02)
1	0	0	0	IICA0の通信完了割り込み (INTIICA0)
1	0	0	1	電圧検出割り込み (INTLVI)
1	0	1	0	キー・リターン信号検出割り込み (INTKR) <sup>注3</sup>
上記以外				設定禁止

**注1.** SMSTRGSEL3-0ビットは、SMSSTART = 0のシーケンサ停止状態でセット (1) してください。

**注2.** 36～128ピン製品のみ

**注3.** 40～128ピン製品のみ

### 29.3.6 シーケンサ・ステータス・レジスタ (SMSS)

SMSS レジスタは、シーケンサの状態を示すレジスタです。シーケンサの動作/停止とシーケンサのゼロ・フラグ、キャリー・フラグと、シーケンサが実行している SMSIp レジスタを確認できます。

SMSS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図29-7 シーケンサ・ステータス・レジスタ (SMSS) のフォーマット

アドレス : F03E1H

リセット時: 00H

R/W属性 : R

略号	<7>	6	5	4	3	2	1	0
SMSS	SMSSTAT	SZ	SCY	SMSCV4	SMSCV3	SMSCV2	SMSCV1	SMSCV0
SMSSTAT	SNOOZEモード・シーケンサの動作状態							
0	シーケンサは停止状態							
1	シーケンサは動作状態							
SZ	SNOOZEモード・シーケンサのゼロ・フラグ							
0	シーケンサの演算結果が0以外							
1	シーケンサの演算結果が0							
SCY	SNOOZEモード・シーケンサのキャリー・フラグ							
0	シーケンサの演算結果でキャリーやポローが発生していない							
1	シーケンサの演算結果でキャリーやポローが発生した							
SMSCV4	SMSCV3	SMSCV2	SMSCV1	SMSCV0	SNOOZEモード・シーケンサの処理の状態			
0-31					シーケンサが処理を行う SMSIp レジスタを示します。 例： SMSCV[4:0] = 3 のとき SMSI3 の処理を実行中または実行前。			

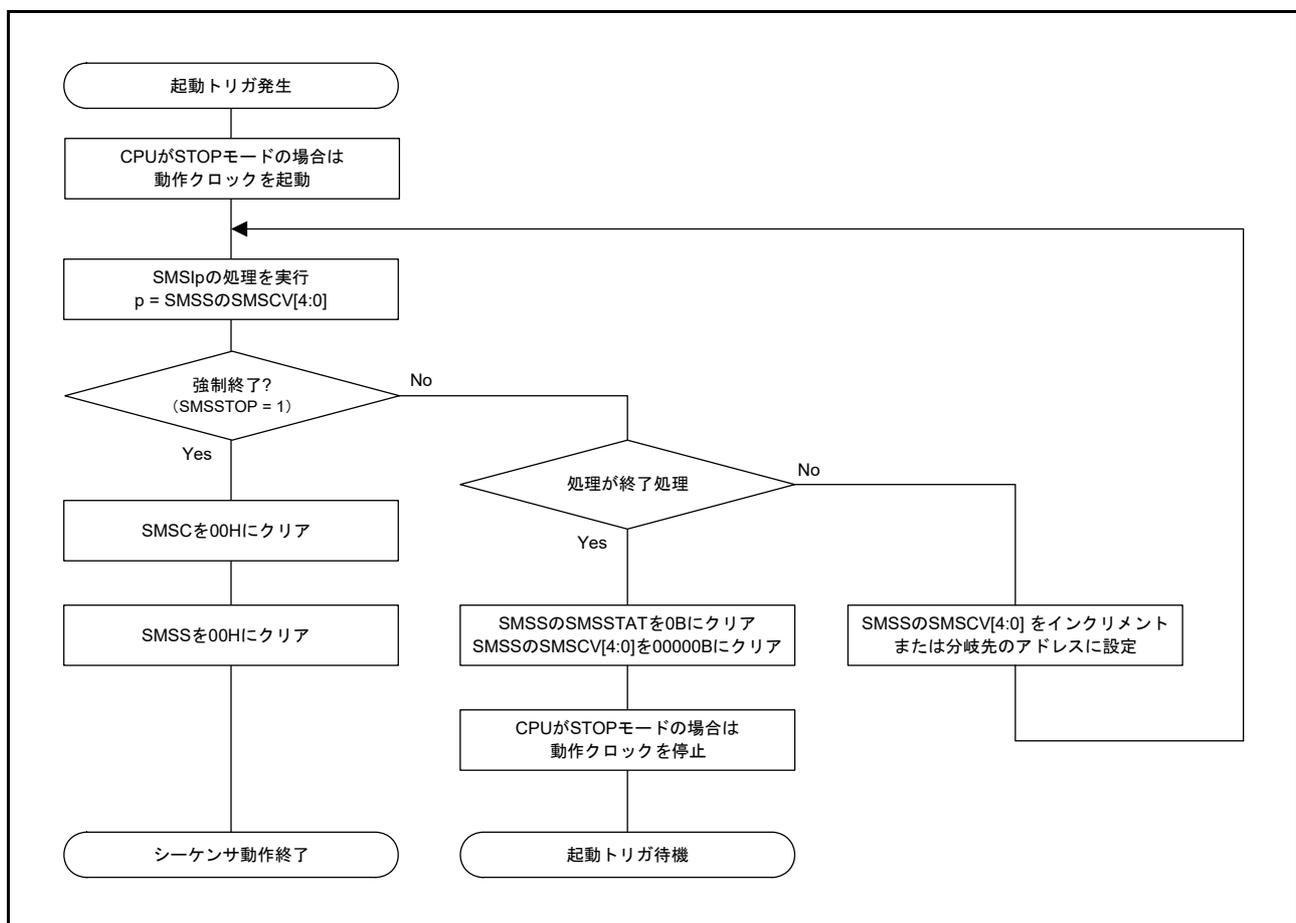
## 29.4 SNOOZEモード・シーケンサの動作

### 29.4.1 SNOOZEモード・シーケンサの内部の動作

SNOOZEモード・シーケンサのシーケンサは、SMSCレジスタのSMSTRGSEL0-SMSTRGSEL4ビットで選択した起動トリガが発生すると起動します。起動直後はSMSI0レジスタの処理を実行し、その後はSMSSレジスタの★ SMSCV0-SMSCV4ビットに対応するSMSIpレジスタの処理を実行します。終了処理の実行によりシーケンサは一連の動作を終了し、起動トリガ待ちになります。また、SMSCレジスタのSMSSTOPビットの強制停止トリガによりシーケンサの動作を停止します。

図29-8にSNOOZEモード・シーケンサの内部動作のフローを示します。

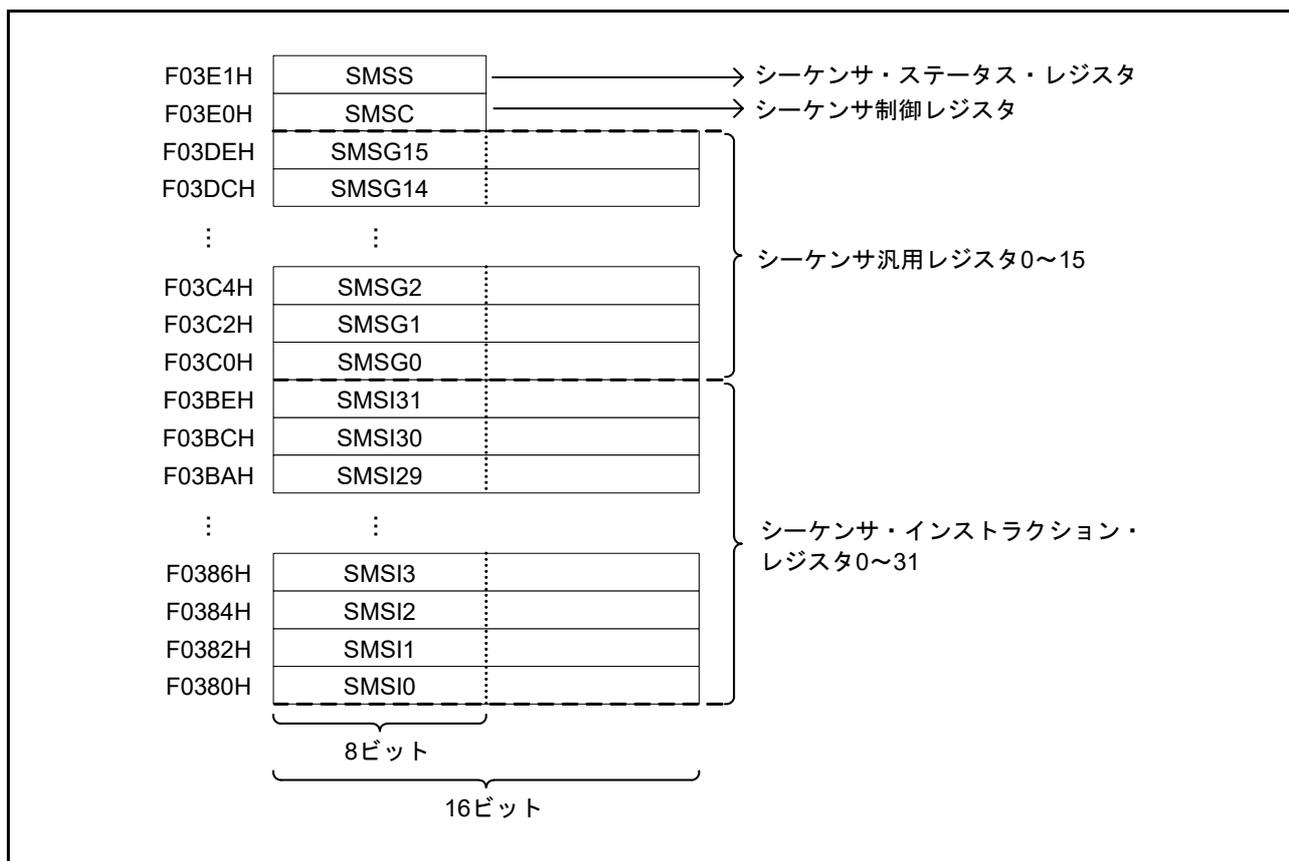
★ 図29-8 シーケンサの内部動作フロー



### 29.4.2 シーケンサのメモリ空間

SNOOZEモード・シーケンサは、**図 29 - 9** に示す 2nd SFR 空間を使用します。シーケンサの処理コードは F0380H-F03BFH の偶数アドレスで示す 16 ビットのデータを 0-31 (0000B-1111B) のアドレスとして処理を実行します。また、処理データは F03C0H-F03DFH の偶数アドレスで示す 16 ビットのデータを 0-15 (0000B-1111B) のアドレスとしてダイレクト・アクセスが可能です。

図 29 - 9 SNOOZEモード・シーケンサのメモリ空間

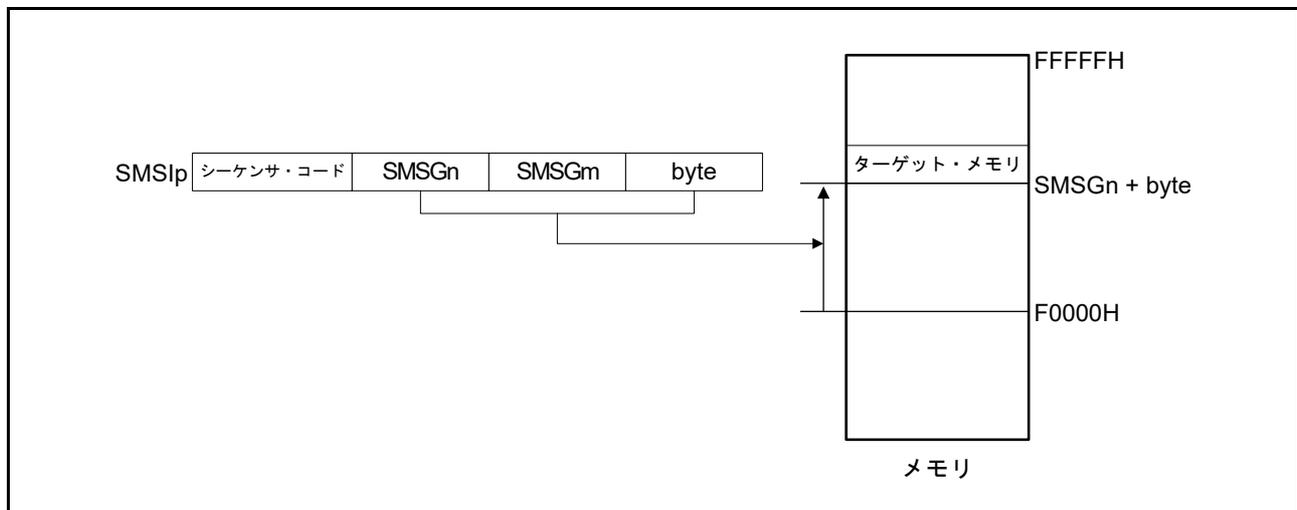


さらに、SMSGn レジスタを用いたレジスタ・インダイレクト・アドレッシングで、F0000H-FFFFFFH 注のメモリ空間にデータ・アクセスが可能です。

注 SNOOZEモード・シーケンサでは以下の領域へのアクセスは禁止です。

- 汎用レジスタ領域
- Mirror領域
- データ・フラッシュ・メモリ領域
- メモリ電力削減制御レジスタ (PSMCR) でシャットダウンモードに設定した内部RAM領域
- 次に示す製品の内部RAM領域 (オンチップ・デバッグのトレース機能使用時)
  - R7F100GxG (x = A, B, C, E, F, G, J, L, M, P) : FC300H-FC6FFH
  - R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S) : FA300H-FA6FFH
  - R7F100GxL, N (x = F, G, J, L, M, P, S) : F4300H-F46FFH
- デバッグ用のモニタ・プログラムが配置される領域 (オンチップ・デバッグ機能使用時)
  - 詳細は、34.4 ユーザ資源の確保参照。
- シーケンサ・インストラクション・レジスタ 0-31 (SMSI0-SMSI31)
- シーケンサ制御レジスタ (SMSC)
- シーケンサ・ステータス・レジスタ (SMSS)
- 周辺イネーブル・レジスタ1 (PER1) のSMSSENビット
- 周辺リセット制御レジスタ1 (PRR1) のSMSRESビット

図29-10 シーケンサのデータ・アクセス可能なメモリ空間



### 29.4.3 シーケンサ・フラグ

シーケンサは演算処理の結果によってセットまたはリセットするフラグを搭載しています。

(a) シーケンサ・ゼロ・フラグ (SZ)

加算処理、減算処理、比較処理で結果が0に等しいときにセット (1) され、それ以外ではクリア (0) されるシーケンサの内部フラグです。シーケンサ内部の処理に使用できます。

詳細は**29.5 シーケンサ処理コマンド**を参照してください。

(b) シーケンサ・キャリー・フラグ (SCY)

加算処理、減算処理を実行したときのオーバフローおよびアンダフローの内容、論理シフト処理でシフトアウトされたビット、1ビット・データ転送処理の結果が反映されるフラグです。シーケンサ内部の処理に使用できません。

詳細は**29.5 シーケンサ処理コマンド**を参照してください。

シーケンサのSZフラグ、SCYフラグは、SMSSレジスタのビットとして読み出すことができます。

**29.3.6 シーケンサ・ステータス・レジスタ (SMSS)**を参照してください。

### ★ 29.4.4 SNOOZEモード・シーケンサの割り込み

SNOOZEモード・シーケンサのINTSMSE割り込みは、SMSEMKビットを制御することで発生させます。

SNOOZEモード・シーケンサの動作を開始 (SMSSTART = 1) する前に、CPUの処理でSMSEMK = 1, SMSEIF = 1を設定してください。SNOOZEモード・シーケンサの処理にて、SMSEMKビットを0に変更することで、SMSEIF = 1, SMSEMK = 0の状態となり、INTSMSE割り込みが発生します。

また、割り込み禁止状態 (DI) のときは、SMSEMKビットが0になったことでシーケンサの処理終了を判定してください。

**注意1.** SMSCレジスタのSMSSTARTビットが1のときは、CPU命令でMK0HレジスタのSMSEMKビットとIF0HレジスタのSMSEIFビットを0に設定しないでください。

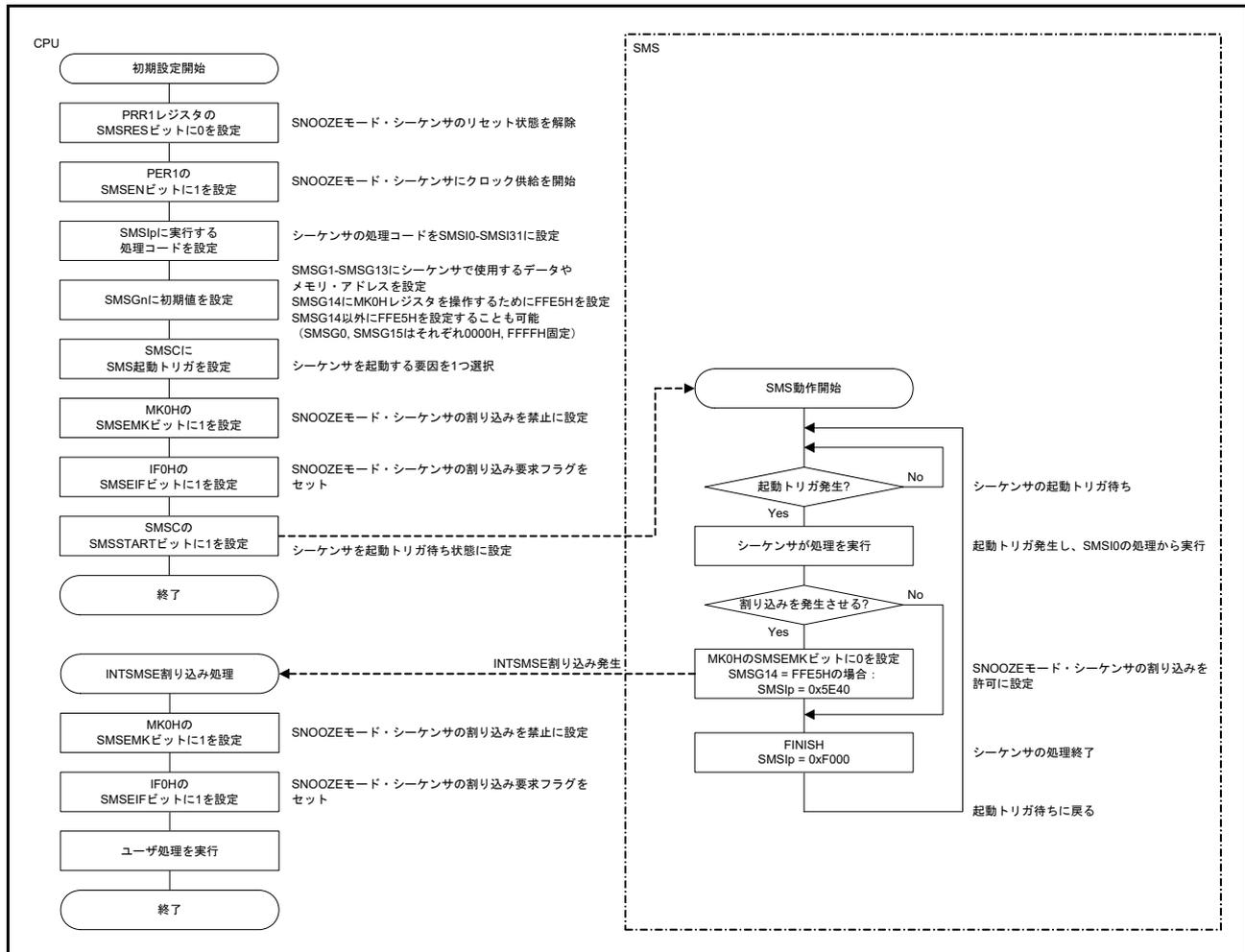
**注意2.** SNOOZEモード・シーケンサの処理とINTSMSE割り込みの処理で、SFRやRAMの同じ領域をアクセスする場合は、SNOOZEモード・シーケンサの処理とINTSMSE割り込みの処理を同時に実行しないようにしてください。

### 29.4.5 SNOOZEモード・シーケンサの操作手順

(1) SNOOZEモード・シーケンサの初期設定と起動、動作の例

SNOOZEモード・シーケンサの初期設定から起動、処理終了するまでの処理のフロー例を図29-11に示します。

★ 図29-11 SNOOZEモード・シーケンサの起動のフロー

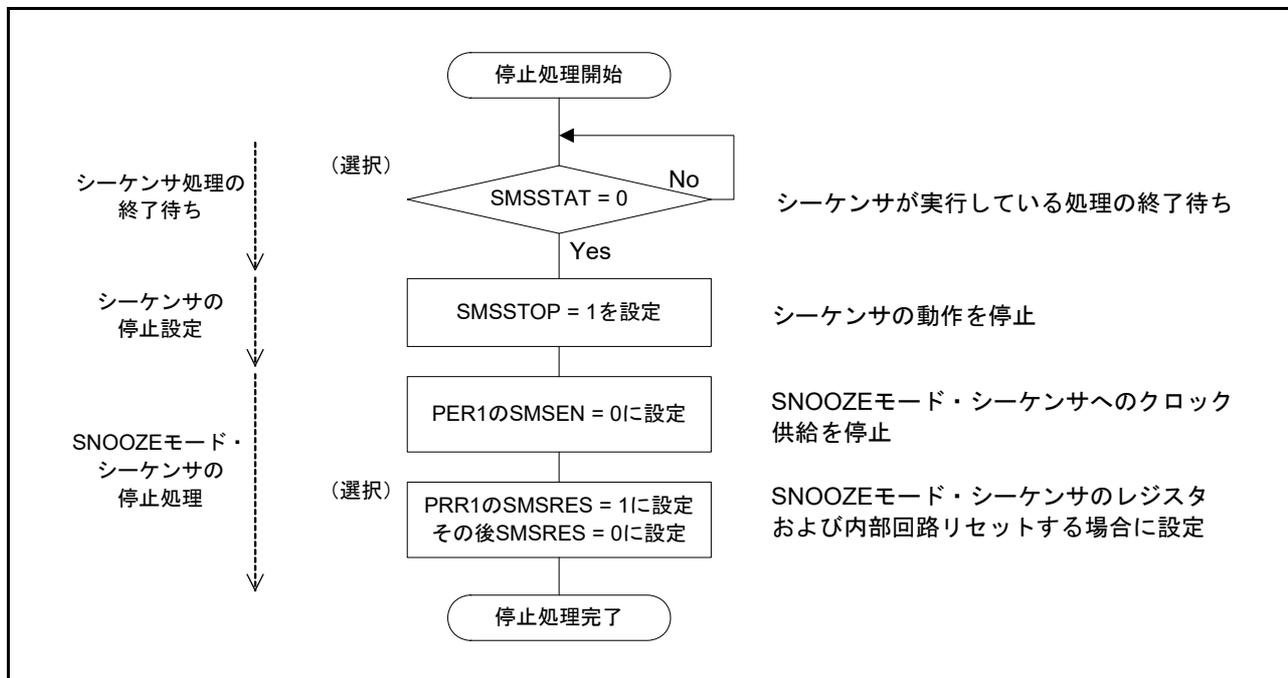


- ★ 注意1. SMSCレジスタのSMSSTOPビットによる強制終了トリガによってシーケンサの処理が終了した場合は、SMSCレジスタ自身が初期化されますので、シーケンサ処理を再開する場合は再度初期設定のSMSC設定から実施してください (SMSIp, SMSGnレジスタはリセットされません)。
- ★ 注意2. SMSCレジスタのSMSSTARTビットが1のときは、CPU命令でMK0HレジスタのSMSEMKビットとIF0HレジスタのSMSEIFビットを0に設定しないでください。

(2) SNOOZEモード・シーケンサを停止する場合のフロー例

動作中のSNOOZEモード・シーケンサの停止処理のフロー例を図29 - 12に示します。

図29 - 12 SNOOZEモード・シーケンサの停止のフロー



### 29.4.6 SNOOZEモード・シーケンサの状態

SNOOZEモード・シーケンサはシーケンサ停止、起動トリガ待ち、起動保留、シーケンサ動作の4つの状態を持ちます。レジスタの設定および起動トリガの入力によりそれぞれの状態を遷移します。

#### 【シーケンサ停止状態】

シーケンサ停止状態とは、SNOOZEモード・シーケンサがリセット解除直後またはSMSCレジスタのSMSSTOPビットをセット(1)して強制終了した状態です。SMSCレジスタのSMSSTARTビットをセット(1)すると起動トリガ待ち状態になります。

#### 【起動トリガ待ち状態】

起動トリガ待ち状態とはSMSCレジスタのSMSSTARTビットをセット(1)してシーケンサの起動トリガの検出を有効にした状態です。この状態でSMSCレジスタのSMSTRGSEL3-0ビットで指定した起動トリガを検出するとシーケンサは動作を開始しシーケンサ動作状態になります。ただし、SMSCレジスタのSMSTRGWAITビットがセット(1)されている場合は動作開始せず、起動保留状態になります。また、SMSCレジスタのSMSSTOPビットをセット(1)して強制終了した場合はシーケンサ停止状態になります。

#### 【起動保留状態】

起動保留状態とは、SMSCレジスタのSMSTRGWAITビットがセット(1)されているときに起動トリガが検出された状態です。この状態でSMSTRGWAITビットをクリア(0)すると、シーケンサは動作を開始しシーケンサ動作状態になります。SMSCレジスタのSMSSTOPビットをセット(1)して強制終了した場合はシーケンサ停止状態になります。

#### 【シーケンサ動作状態】

シーケンサ動作状態とはシーケンサが動作しておりSMSIpレジスタに設定した処理を実行している状態です。

- ★ 終了処理を実行した場合は起動トリガ待ち状態になります。SMSCレジスタのSMSSTOPビットをセット(1)して強制終了した場合はシーケンサ停止状態になります。

SNOOZEモード・シーケンサの状態は、SMSCレジスタのSMSSTARTビットとSMSTRGWAITビット、SMSSレジスタのSMSSTATビットで確認することができます。

表29-4 各ビットとSNOOZEモード・シーケンサの状態

SMSTRGWAIT	SMSSTAT	SMSSTART	SNOOZEモード・シーケンサの状態
0	0	0	シーケンサ停止状態
0	0	1	起動トリガ待ち状態
0	1	1	シーケンサ動作状態
1	0	0	シーケンサ停止状態
1	0	1	起動トリガ待ち状態
1	1	1	禁止状態 <sup>注</sup>

注 シーケンサ動作状態でトリガ保留機能を有効とすることは禁止です。

## 29.5 シーケンサ処理コマンド

シーケンサは21種類の処理を実行できます。詳細は 29.5.1 から 29.5.20 を参照してください。

29.5.1 から 29.5.20 の説明中の用語は以下のとおりです。

- CPU相当命令：処理をアセンブラ言語で表記した場合に相当する命令
- CPU相当オペレーション：シンボルで表記した処理の内容
- \$addr5：5ビット分の8ビット相対アドレス（-31~-1, 1~31）
- jdisp8：符号付き8ビットのディスプレースメント値（0000 0001B-0001 1111B, 1111 1111B-1110 0001B）
- 処理クロック数：処理の開始から実際に処理が反映されるまでにかかるfCLKのクロック数
- SMSIp：シーケンサ・インストラクション・レジスタ（p = 0-31）
- SMSGn：第1オペランドに格納するシーケンサ汎用レジスタのシーケンサ内部データ・アドレス（n = 0-15）
- SMSGm：第2オペランドに格納するシーケンサ汎用レジスタのシーケンサ内部データ・アドレス（m = 0-15）
- 記述例：SMSIpレジスタに設定する値の2進数表記の例
- シーケンサ・コード：SMSIpレジスタのビット15-12に記述される処理を示すコード
- 第1オペランド：SMSIpレジスタのビット11-8に記述されるコード
- 第2オペランド：SMSIpレジスタのビット7-4に記述されるコード
- 付加バイト：SMSIpレジスタのビット3-0に記述されるコード

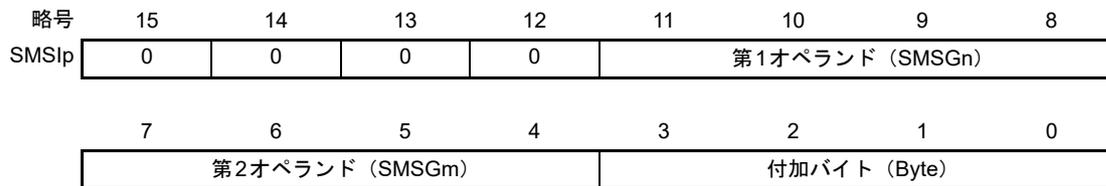
### 29.5.1 8ビット・データ転送処理1

8ビット・データ転送処理1は8ビットのデータを転送する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送先メモリのアドレスを指定します。第2オペランドで指定する SMSGm レジスタに格納されている8ビット・データを転送先のメモリに転送します。

付加バイトは0から7の値 (0000B-0111B) を指定してください。

転送先に SFR を指定するときは、8ビット操作が可能な SFR のアドレスを第1オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。ただし、シーケンサ汎用レジスタ n (n = 0-15) は転送先に指定することができます。8ビット・データ転送処理1を実行するとシーケンサ汎用レジスタ n (n = 0-15) の下位8ビットに値が格納されます。

シーケンサ・コード : 0000B  
 処理クロック数 : fCLK × 3  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : MOV [SMSGn+Byte], SMSGm  
 CPU 相当オペレーション : [SMSGn+Byte] ← SMSGm



記述例 : 0000 0001 0111 0010 B

CPU の相当命令は、MOV [SMSG1+2H], SMSG7

SMSG1 = FE00H, SMSG7 = xx12H の場合、SMSG7 レジスタに格納されている 12H を FFE02H 番地に格納します。

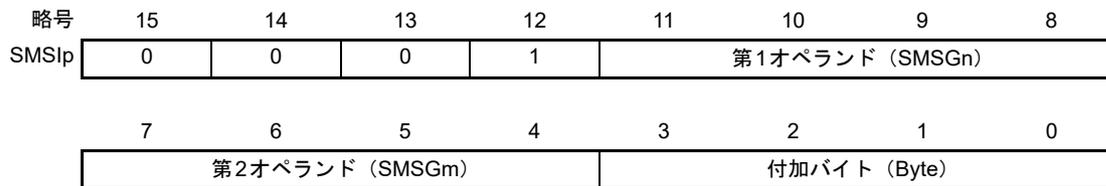
### 29.5.2 8ビット・データ転送処理2

8ビット・データ転送処理2は8ビットのデータを転送する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。転送元の8ビット・データを第2オペランドで指定する SMSGm レジスタに格納します。

付加バイトは0から7の値 (0000B-0111B) を指定してください。

転送元に SFR を指定するときは、8ビット操作が可能な SFR のアドレスを第2オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。ただし、シーケンサ汎用レジスタ n (n = 0-15) は転送元に指定することができます。8ビット・データ転送処理2を実行するとシーケンサ汎用レジスタ n (n = 0-15) の下位8ビットの値が読み出されます。

シーケンサ・コード : 0001B  
 処理クロック数 : fCLK × 3  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : MOV SMSGm, [SMSGn+Byte]  
 CPU 相当オペレーション : SMSGm ← [SMSGn+Byte]



記述例 : 0001 0001 0111 0010 B

CPU の相当命令は、MOV SMSG7, [SMSG1+2H]

SMSG1 = FE00H, FFE02H = xx12H の場合、FFE02H 番地に格納されている 12H を SMSG7 レジスタの下位8ビットに格納します。

### 29.5.3 16ビット・データ転送処理1

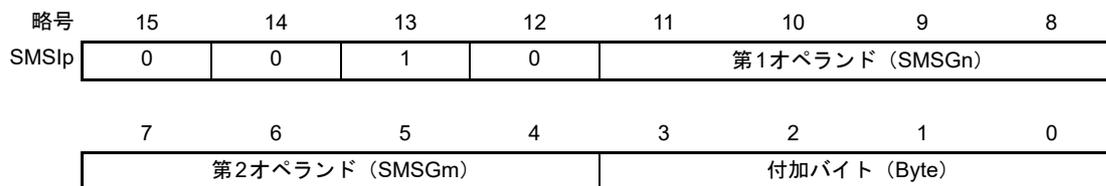
16ビット・データ転送処理1は16ビットのデータを転送する処理です。第1オペランドで指定するSMSGnレジスタに格納されている値と付加バイトで転送先のメモリのアドレスを指定します。第2オペランドで指定するSMSGmレジスタに格納されている16ビット・データを転送先のメモリに転送します。

転送先のメモリ・アドレスは偶数アドレスを指定してください。奇数アドレスを指定した場合はアドレスの最下位ビットを0として転送されます。

付加バイトは0から7の値(0000B-0111B)を指定してください。

転送先にSFRを指定するときは、16ビット操作が可能なSFRのアドレスを第1オペランドと付加バイトに設定してください。各SFRの操作可能ビット単位はCPUと同じです。

シーケンサ・コード : 0010B  
 処理クロック数 : fCLK × 3  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : MOVW [SMSGn+Byte], SMSGm  
 CPU 相当オペレーション : [SMSGn+Byte] ← SMSGm



記述例 : 0010 0001 0111 0010 B

CPUの相当命令は、MOVW [SMSG1+2H], SMSG7

SMSG1 = FE00H, SMSG7 = 1234Hの場合、SMSG7に格納されている1234HをFFE02H, FFE03H番地に格納します。

### 29.5.4 16ビット・データ転送処理2

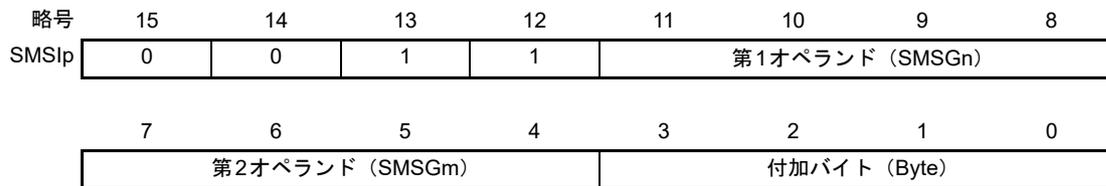
16ビット・データ転送処理2は16ビットのデータを転送する処理です。第1オペランドで指定するSMSGnレジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。転送元の16ビット・データを第2オペランドで指定するSMSGmレジスタに格納します。

転送元のメモリ・アドレスは偶数アドレスを指定してください。奇数アドレスを指定した場合はアドレスの最下位ビットを0として転送されます。

付加バイトは0から7の値(0000B-0111B)を指定してください。

転送元にSFRを指定するときは、16ビット操作が可能なSFRのアドレスを第2オペランドと付加バイトに設定してください。各SFRの操作可能ビット単位はCPUと同じです。

シーケンサ・コード : 0011B  
 処理クロック数 : fCLK × 3  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : MOV SMSGm, [SMSGn+Byte]  
 CPU 相当オペレーション : SMSGm ← [SMSGn+Byte]



記述例 : 0011 0001 0111 0010 B

CPUの相当命令は、MOVW SMSG7, [SMSG1+2H]

SMSG1 = FE00H, FFE02H, FFE03H = 1234H の場合、FFE02H, FFE03H 番地に格納されている1234HをSMSG7レジスタに格納します。

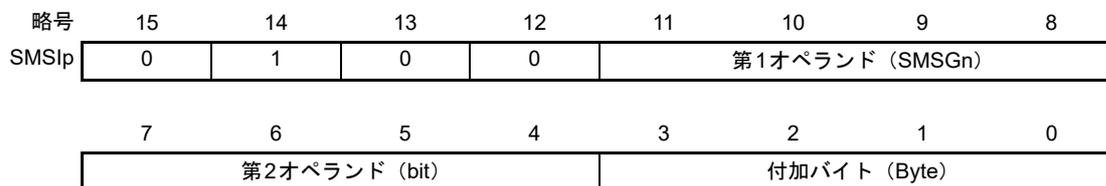
### 29.5.5 1ビット・データ・セット処理

1ビット・データ・セット処理は指定した8ビット・データのビットをセット (1) する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドでセット (1) するビットを指定します。

第2オペランドと付加バイトは0から7の値 (0000B-0111B) を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 0100B  
 処理クロック数 : fCLK × 4  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : SET1 [SMSGn+Byte].bit  
 CPU 相当オペレーション : [SMSGn+Byte].bit ← 1



記述例 : 0100 0001 0011 0010 B

CPU の相当命令は、SET1 [SMSG1+2H].3

SMSG1 = FE00H, FFE02H = 0000 0000B の場合、FFE02H 番地のビット 3 をセット (1) して FFE02H = 0000 1000B にします。

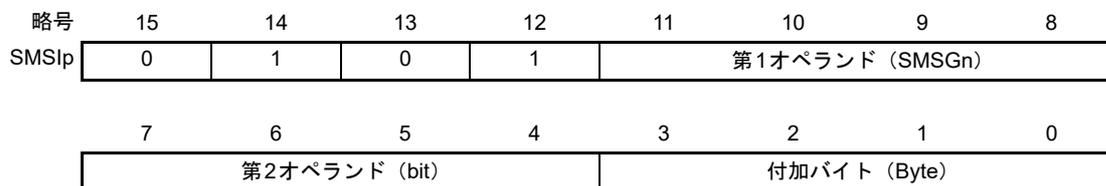
### 29.5.6 1ビット・データ・クリア処理

1ビット・データ・クリア処理は指定した8ビット・データのビットをクリア (0) する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドでクリア (0) するビットを指定します。

第2オペランドと付加バイトは0から7の値 (0000B-0111B) を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 0101B  
 処理クロック数 : fCLK × 4  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : CLR1 [SMSGn+Byte].bit  
 CPU 相当オペレーション : [SMSGn+Byte].bit ← 0



記述例 : 0101 0001 0011 0010 B

CPU の相当命令は、CLR1 [SMSG1+2H].3

SMSG1 = FE00H, FFE02H = 0000 1000B の場合、FFE02H 番地のビット 3 をクリア (0) して FFE02H = 0000 0000B にします。

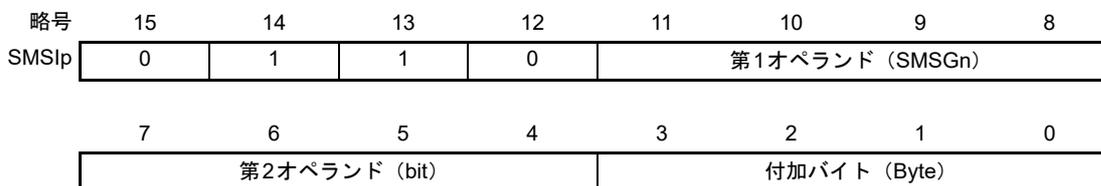
### 29.5.7 1ビット・データ転送処理

1ビット・データ転送処理は8ビット・データの指定した1ビット・データをSCYフラグに転送する処理です。第1オペランドで指定するSMSGnレジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。第2オペランドで1ビット・データを転送するビットを指定します。

第2オペランドと付加バイトは0から7の値(0000B-0111B)を指定してください。

SFRを指定するときは、1ビット操作が可能なSFRのアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各SFRの操作可能ビット単位はCPUと同じです。

シーケンサ・コード : 0110B  
 処理クロック数 : fCLK × 3  
 フラグ : SZフラグは保持、SCYフラグは転送された結果を反映  
 CPU相当命令 : MOV1 SCY, [SMSGn+Byte].bit  
 CPU相当オペレーション : SCY ← [SMSGn+Byte].bit



記述例 : 0110 0001 0011 0010 B

CPUの相当命令は、MOV1 SCY, [SMSG1+2H].3

SMSG1 = FE00H, FFE02H = 0000 1000B の場合、FFE02H 番地のビット3の値をSCYに転送しSCY = 1にします。

### 29.5.8 ワード・データ加算処理

ワード・データ加算処理は 16 ビット・データと 16 ビット・データを加算する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を加算し、結果を第 1 オペランドの示す SMSGn レジスタに格納します。加算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグがセット (1)、それ以外はクリア (0) されます。また、ビット 15 からのキャリーが発生した場合は SCY がセット (1)、それ以外はクリア (0) されます。

付加バイトは 0000B に設定してください。

シーケンサ・コード : 0111B (付加バイト : 0000B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは演算結果を反映、SCY フラグは演算結果を反映  
 CPU 相当命令 : ADDW SMSGn, SMSGm  
 CPU 相当オペレーション : SMSGn, SCY ← SMSGn + SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド (SMSGn)			
	7	6	5	4	3	2	1	0
	第2オペランド (SMSGm)				0	0	0	0

記述例 : 0111 0001 0011 0000 B

CPU の相当命令は、ADDW SMSG1, SMSG3

SMSG1 = FFF0H, SMSG3 = 0010H の場合、結果は SMSG1 = 0000H, SCY = 1, SZ = 1 になります。

### 29.5.9 ワード・データ減算処理

ワード・データ減算処理は 16 ビット・データと 16 ビット・データを減算する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を減算し、結果を第 1 オペランドの示す SMSGn レジスタに格納します。減算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグがセット (1)、それ以外はクリア (0) されます。また、ビット 0 からのボローが発生した場合は SCY がセット (1)、それ以外はクリア (0) されます。

付加バイトは 0001B に設定してください。

シーケンサ・コード : 0111B (付加バイト : 0001B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは演算結果を反映、SCY フラグは演算結果を反映  
 CPU 相当命令 : SUBW SMSGn, SMSGm  
 CPU 相当オペレーション : SMSGn, SCY ← SMSGn – SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド (SMSGn)			
	7	6	5	4	3	2	1	0
	第2オペランド (SMSGm)				0	0	0	1

記述例 : 0111 0001 0011 0001 B

CPU の相当命令は、SUBW SMSG1, SMSG3

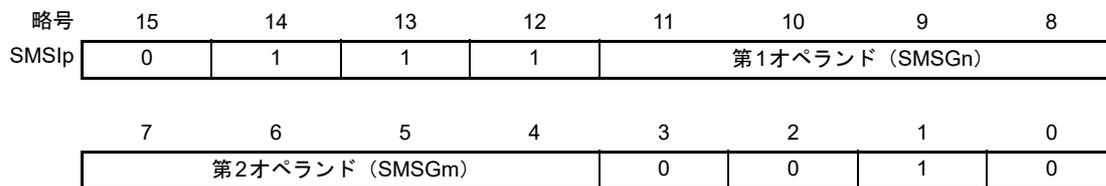
SMSG1 = 1234H, SMSG3 = 1200H の場合、結果は SMSG1 = 0034H, SCY = 0, SZ = 0 になります。

### 29.5.10 ワード・データ比較処理

ワード・データ比較処理は 16 ビット・データと 16 ビット・データを比較する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を減算します。減算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグがセット (1)、それ以外はクリア (0) されます。また、ビット 0 からのポローが発生した場合は SCY がセット (1)、それ以外はクリア (0) されます。

付加バイトは 0010B に設定してください。

シーケンサ・コード : 0111B (付加バイト : 0010B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは演算結果を反映、SCY フラグは演算結果を反映  
 CPU 相当命令 : CMPW SMSGn, SMSGm  
 CPU 相当オペレーション : SMSGn – SMSGm



記述例 : 0111 0001 0011 0010 B

CPU の相当命令は、CMPW SMSG1, SMSG3

SMSG1 = 1234H, SMSG3 = 1200H の場合、結果は SCY = 0, SZ = 0 になります。

### 29.5.11 右方向論理シフト処理

右方向論理シフト処理は 16 ビット・データを 1 ビット右方向にシフトする処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値を 1 ビット右方向にシフトします。SMSGn レジスタの最上位ビットのビット 15 には 0、最下位ビットであるビット 0 の値は SCY に格納されます。



付加バイトは 0011B に設定してください。第 2 オペランドは使用しませんので 0000B に設定してください。

シーケンサ・コード : 0111B (付加バイト : 0011B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは保持、SCY フラグは演算結果を反映  
 CPU 相当命令 : SHRW SMSGn  
 CPU 相当オペレーション : SCY ← SMSGn.0, SMSGn.m-1 ← SMSGn.m, SMSGn.15 ← 0

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド (SMSGn)			
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	1	1

記述例 : 0111 0001 0000 0011 B

CPU の相当命令は、SHRW SMSG1

SMSG1 = AAF5H の場合、結果は SMSG1 = 557AH, SCY = 1 になります。

## 29.5.12 分岐処理1 (SCY = 1)

分岐処理1はSCY = 1の場合に分岐する処理です。SCY = 1の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SCY = 0の場合は次に続く処理を実行します。

付加バイトは0000Bに設定してください。第1、第2オペランドは-31 ~ -1, 1 ~ 31の値を設定してください。

シーケンサ・コード : 1000B (付加バイト : 0000B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : BC \$addr5  
 CPU 相当オペレーション : SMSCV[4:0] ← SMSCV[4:0] + jdisp8 if SCY = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド (\$addr5)			
	7	6	5	4	3	2	1	0
	第1、第2オペランド (\$addr5)				0	0	0	0

記述例 : 1000 0000 0101 0000 B

CPUの相当命令は、BC \$05H

SMSSレジスタのSMSCV[4:0] = 03H, SCY = 1の場合、SMSCV[4:0] = 08Hになり次の処理はSMSI8レジスタの処理を実行します。

## 29.5.13 分岐処理2 (SCY = 0)

分岐処理2はSCY = 0の場合に分岐する処理です。SCY = 0の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SCY = 1の場合は次に続く処理を実行します。

付加バイトは0001Bに設定してください。第1、第2オペランドは-31 ~ -1, 1 ~ 31の値を設定してください。

シーケンサ・コード : 1000B (付加バイト : 0001B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : BNC \$addr5  
 CPU 相当オペレーション : SMSCV[4:0] ← SMSCV[4:0] + jdisp8 if SCY = 0

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド (\$addr5)			
	7	6	5	4	3	2	1	0
	第1、第2オペランド (\$addr5)				0	0	0	1

記述例 : 1000 1111 1110 0001 B

CPUの相当命令は、BNC \$0FEH

SMSSレジスタのSMSCV[4:0] = 0EH, SCY = 0の場合、SMSCV[4:0] = 0CHになり次の処理はSMSI12レジスタの処理を実行します。

## 29.5.14 分岐処理3 (SZ = 1)

分岐処理3はSZ = 1の場合に分岐する処理です。SZ = 1の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SZ = 0の場合は次に続く処理を実行します。

付加バイトは0010Bに設定してください。第1、第2オペランドは-31 ~ -1, 1 ~ 31の値を設定してください。

シーケンサ・コード : 1000B (付加バイト : 0010B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : BZ \$addr5  
 CPU 相当オペレーション : SMSCV[4:0] ← SMSCV[4:0] + jdisp8 if SZ = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド (\$addr5)			
	7	6	5	4	3	2	1	0
	第1、第2オペランド (\$addr5)				0	0	1	0

記述例 : 1000 0000 0101 0010B

CPUの相当命令は、BZ \$05H

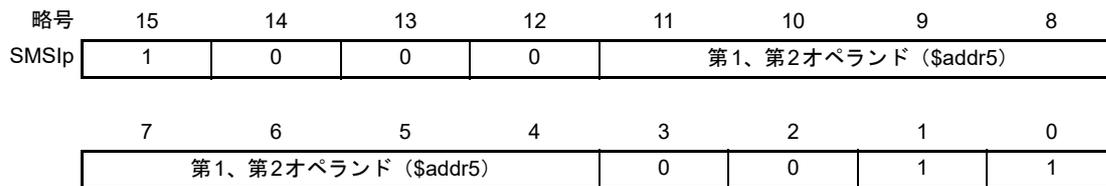
SMSSレジスタのSMSCV[4:0] = 03H, SZ = 1の場合、SMSCV[4:0] = 08Hになり次の処理はSMSI8レジスタの処理を実行します。

## 29.5.15 分岐処理4 (SZ = 0)

分岐処理4はSZ = 0の場合に分岐する処理です。SZ = 0の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SZ = 1の場合は次に続く処理を実行します。

付加バイトは0011Bに設定してください。第1、第2オペランドは-31 ~ -1, 1 ~ 31の値を設定してください。

シーケンサ・コード : 1000B (付加バイト : 0011B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : BNZ \$addr5  
 CPU 相当オペレーション : SMSCV[4:0] ← SMSCV[4:0] + jdisp8 if SZ = 0



記述例 : 1000 1111 1110 0011 B

CPUの相当命令は、BNZ \$0FEH

SMSSレジスタのSMSCV[4:0] = 0EH, SZ = 0の場合、SMSCV[4:0] = 0CHになり次の処理はSMSI12レジスタの処理を実行します。

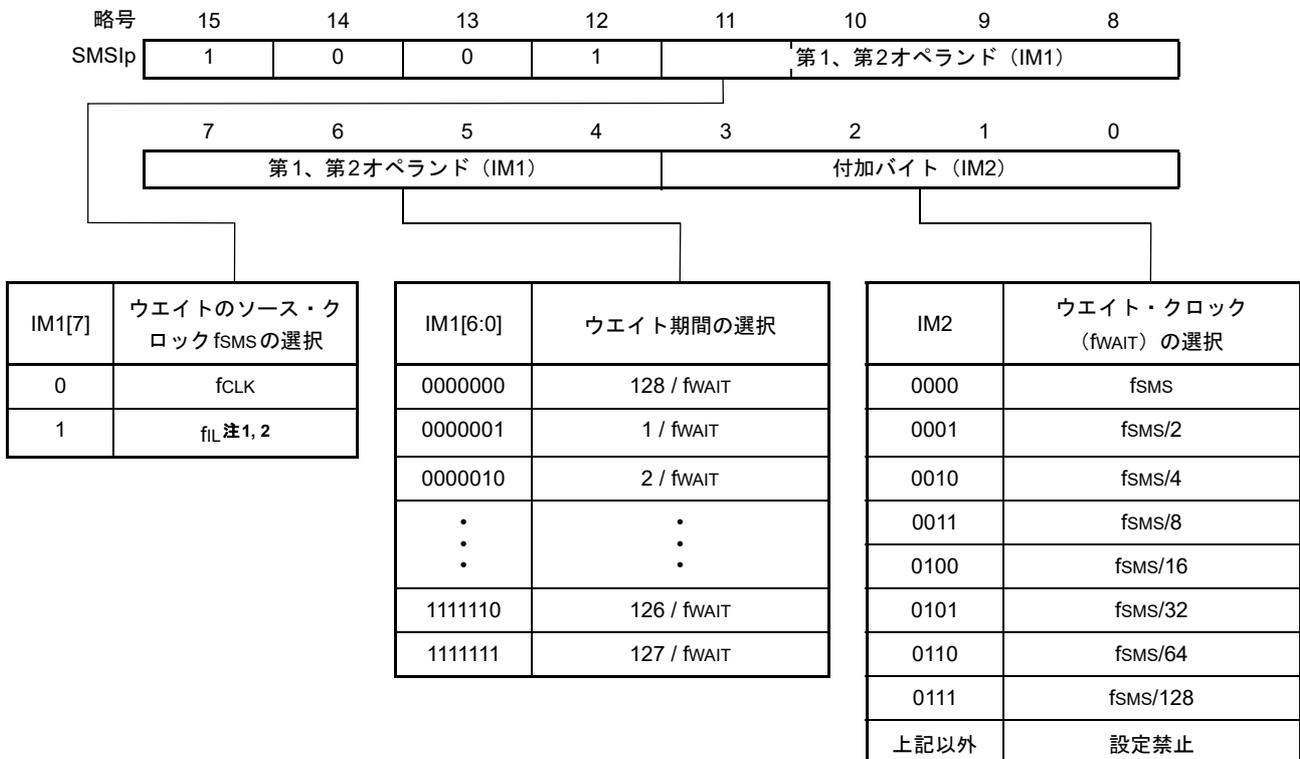
### 29.5.16 ウェイト処理

ウェイト処理は一定期間処理を保留する処理です。第1オペランド、付加バイトで指定されるクロックとクロックの分周値を用いて、第2オペランドで指定されたクロック数の期間の処理を保留します。

第1オペランド、第2オペランドでウェイトをカウントするソース・クロックの選択とウェイトする期間のカウント値の選択、付加バイトでウェイト・クロックを選択します。

ウェイトするクロックとして低速オンチップ・オシレータ・クロックを利用する場合はあらかじめSMSCレジスタのLONGWAITビット=1を設定する必要があります。

- シーケンサ・コード : 1001B
- 処理クロック数 : **(1) ウェイト処理のクロック数参照**
- フラグ : SZ フラグは保持、SCY フラグは保持
- CPU 相当命令 : WAIT IM1, IM2
- CPU 相当オペレーション : 一定期間処理の保留



記述例：

SMSlpレジスタの記述例	ウェイトのソース・クロック	ウェイト・クロック	ウェイトのカウント数	ウェイト時間[μs] (Typ.)
1001 0 0000001 0000	fCLK	fCLK	1	0.03125
1001 0 0000000 0111	fCLK	fCLK/128	128	512
1001 0 1000000 0110	fCLK	fCLK/64	64	128
1001 1 0000001 0000	fiL	fiL	1	30.51757813
1001 1 0000000 0111	fiL	fiL/128	128	500000
1001 1 1100000 0101	fiL	fiL/32	96	93750

**注1.** CPU/周辺ハードウェア・クロック周波数 (fCLK) に低速オンチップ・オシレータ・クロック (fiL) を選択しているときは、ウェイトのソース・クロック fSMS に fCLK (IM1[7] = 0) を選択してください。

**注2.** ウェイトのソース・クロックに低速オンチップ・オシレータ・クロック (fiL) を選択するときは、周辺イネーブル・レジスタ 0 (PER0) を 00H に、周辺イネーブル・レジスタ 1 (PER1) を 40H に設定してください。

**備考** fCLK : CPU/周辺ハードウェア・クロック周波数  
fiL : 低速オンチップ・オシレータ・クロック周波数 (32.768 kHz)

(1) ウェイト処理のクロック数

ウェイト処理のクロック数は、ウェイト処理コマンドの設定値に応じて可変です。IM1, IM2 に設定した値を参考に処理時間は計算してください。

なお、ウェイト処理はウェイトのためのカウンタ動作の前後に、同期化処理を行っているため、別途時間がかかります。以下を参考に計算してください。

ウェイト処理前：

$(fCLK \times 1) + (\text{選択後のウェイト処理用クロック} \times 2\text{注})$

ウェイト処理後：

$(fCLK \times 2\text{注})$

**注** 同期化用のクロック数でありクロック2サイクル以下の処理時間となります。タイミング次第では限りなく1サイクルの処理時間に近づく可能性もあります。

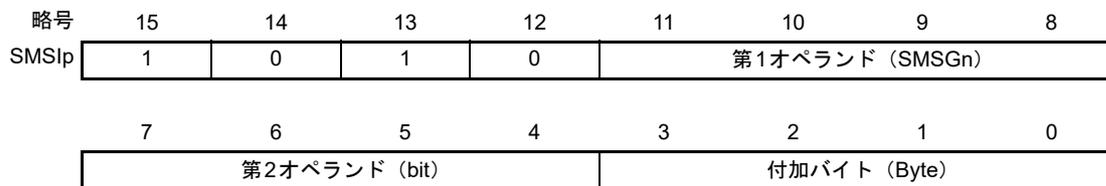
## 29.5.17 条件付きウエイト処理1 (bit = 1)

条件付き繰り返しウエイト処理1は指定する8ビット・データのビットが1の期間は処理を保留する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで条件となるビットを指定します。指定したビットを読み出し、ビットが1の場合は次に続く処理を実行しません。続く処理は条件付きウエイト処理を再度実行し、指定したビットが1の期間はこれを繰り返します。指定したビットを読み出し、ビットが0の場合は次に続く処理を実行します。

第2オペランドは0から7の値 (0000B-0111B) を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 1010B  
 処理クロック数 : (1) 条件付きウエイト処理1のクロック数参照  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : WHILE1 [SMSGn+Byte].bit  
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] if [SMSGn+Byte].bit = 1



記述例 : 1010 0011 0101 0010 B

CPU の相当命令は、WHILE1 [SMSG3+2].5

SMSG3 = 02E8H の場合、F02EAH 番地のビット5が1の間は処理を保留し、0になると次に続く処理を実行します。

## (1) 条件付きウエイト処理1のクロック数

条件付きウエイト処理1は、指定するビットが0になるまでアクセスを繰り返します。

処理開始時に fCLK × 1、レジスタビットの参照と判定を1セット実行するために fCLK × 2 のクロック数がかかります。たとえば、5回参照して5回目に参照先のレジスタビットが0となった場合は、

$$fCLK \times 1 + (fCLK \times 2) \times 5 = fCLK \times 11$$

となります。

なお、メモリへのアクセスにおいて、CPUとDTC、SNOOZEモード・シーケンサが競合した際はSNOOZEモード・シーケンサが保留状態となる場合があります。その場合はクロック数は増加します。

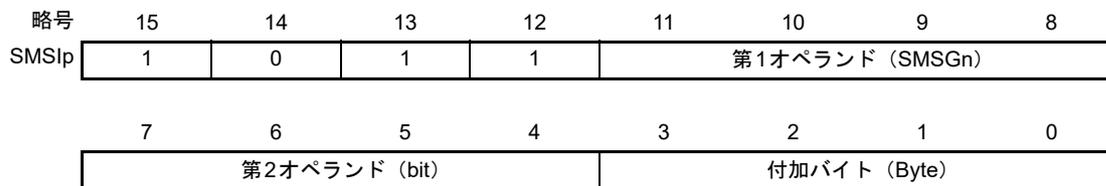
## 29.5.18 条件付きウエイト処理2 (bit = 0)

条件付き繰り返しウエイト処理2は指定する8ビット・データのビットが0の期間は処理を保留する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで条件となるビットを指定します。指定したビットを読み出し、ビットが0の場合は次に続く処理を実行しません。続く処理は条件付きウエイト処理を再度実行し、指定したビットが0の期間はこれを繰り返します。指定したビットを読み出し、ビットが1の場合は次に続く処理を実行します。

第2オペランドは0から7の値 (0000B-0111B) を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 1011B  
 処理クロック数 : (1) 条件付きウエイト処理2のクロック数参照  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : WHILE0 [SMSGn+Byte].bit  
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] if [SMSGn+Byte].bit = 0



記述例 : 1011 0011 0101 0010 B

CPU の相当命令は、WHILE0 [SMSG3+2].5

SMSG3 = FFE0H の場合、FFFE2H 番地のビット5が0の間は処理を保留し、1になると次に続く処理を実行します。

## (1) 条件付きウエイト処理2のクロック数

条件付きウエイト処理2のクロック数は、条件付きウエイト処理1と同じカウント方法なので、**29.5.17 (1) 条件付きウエイト処理1のクロック数** を参照してください。

### 29.5.19 終了処理

終了処理は SNOOZE モード・シーケンサの動作を終了する処理です。処理を実行すると SNOOZE モード・シーケンサの処理を終了し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアし、次の起動トリガ待ちとなります。

付加バイトは 0000B を設定してください。第 1 オペランド、第 2 オペランドはすべて 0 に設定してください。

シーケンサ・コード : 1111B (付加バイト : 0000B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : FINISH  
 CPU 相当オペレーション : SMSCV[4:0] ← 0、シーケンサの動作停止

略号	15	14	13	12	11	10	9	8
SMSlp	1	1	1	1	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

記述例 : 1111 0000 0000 0000 B

CPU の相当命令は、FINISH

シーケンサの動作を停止し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアして起動トリガ待ちになります。

★

### 29.5.20 DTC起動処理

DTC 起動処理は DTC 転送を実行するために DTC の起動要因を発行する処理です。処理を実行すると DTC に起動要因が発行されます。DTC にあらかじめ対応するコントロールデータを設定している場合、指定した DTC の転送が行われます。

付加バイトは 0010B を設定してください。第 1 オペランド、第 2 オペランドはすべて 0 に設定してください。

シーケンサ・コード : 1111B (付加バイト : 0010B)  
 処理クロック数 : fCLK × 1  
 フラグ : SZ フラグは保持、SCY フラグは保持  
 CPU 相当命令 : DTCTRG  
 CPU 相当オペレーション : DTC 起動要因を出力

略号	15	14	13	12	11	10	9	8
SMSlp	1	1	1	1	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	1	0

記述例 : 1111 0000 0000 0010 B

CPU の相当命令は、DTCTRG

DTC の起動要因を発行します。DTC のコントロールデータに従って DTC 転送が実行されます。

なお、DTC の転送完了までシーケンサの処理をウェイトする場合は、ウェイト処理で DTC が起動するまでウェイトし、その後、条件付きウェイト処理 1 で対応する DTC 起動許可レジスタ  $i$  (DTCEN $i$ ) ( $i = 0-4$ ) の対象ビットが 0 になるまでウェイトしてください。

## 29.6 スタンバイ・モード時の動作

状態	SNOOZEモード・シーケンサ動作
HALTモード	動作可能 <sup>注1</sup>
STOPモード	SNOOZEモード・シーケンサ起動要因受付可能 <sup>注2</sup>
SNOOZEモード	動作可能 <sup>注3, 4, 5, 6</sup>

**注1.** fCLKにサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。

**注2.** STOPモード時にSMS起動要因の検出によりSNOOZEモードに遷移して、SNOOZEモード・シーケンサが動作可能となります。また動作完了後はSTOPモードに戻ります。ただし、SNOOZEモード中でアクセスできないメモリ領域があるため注意してください。詳細は**29.4.2 シーケンサのメモリ空間**を参照してください。

**注3.** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

★ **注4.** CSI00の転送完了割り込みをSNOOZEモード・シーケンサの起動要因に設定、かつ転送完了割り込みを禁止 (CSIMK = 1) に設定した場合は、次の処理を実施してください。  
SNOOZEモード・シーケンサで終了処理の前にMK0HレジスタのSMSEMKBビットに0を書き込み、SNOOZEモードを解除しCPU処理を開始してください。またはSNOOZEモード・シーケンサで終了処理の前にCSI00の受信再設定 (ST00ビットに1を書き込み、SWC0ビットに0を書き込み、SSC0レジスタ設定、SS00ビットに1を書き込み) を行ってください。

★ **注5.** UART0の受信完了割り込みをSNOOZEモード・シーケンサの起動要因に設定、かつ受信完了割り込みを禁止 (SRMK0 = 1) に設定した場合は、次の処理を実施してください。  
SNOOZEモード・シーケンサで終了処理の前にMK0HレジスタのSMSEMKBビットに0を書き込み、SNOOZEモードを解除しCPU処理を開始してください。またはSNOOZEモード・シーケンサで終了処理の前にUART0の受信再設定 (ST01ビットに1を書き込み、SWC0ビットに0を書き込み、SSC0レジスタ設定、SS01ビットに1を書き込み) を行ってください。

★ **注6.** A/DコンバータのA/D変換終了割り込みをSNOOZEモード・シーケンサの起動要因に設定、かつA/D変換終了割り込みを禁止 (ADMK = 1) に設定した場合は、次の処理を実施してください。  
SNOOZEモード・シーケンサで終了処理の前にMK0HレジスタのSMSEMKBビットに0を書き込み、SNOOZEモードを解除しCPU処理を開始してください。またはSNOOZEモード・シーケンサで終了処理の前にA/DコンバータのSNOOZEモード機能の再設定 (AWCビットに0を書き込み、AWCビットに1を書き込む) を行ってください。

**注意** スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してリアルタイム・クロックに関連するレジスタ (RTCC0, RTCC1, SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, SUBCUD, ALARMWWM, ALARMWH, ALARMWWレジスタ) へアクセスすることはできません。

**備考** 30～64ピン製品 : p = 00; q = 0; m = 0  
80～128ピン製品 : p = 00, 20; q = 0, 2; m = 0, 1

## 第30章 静電容量センサユニット (CTS2L)

静電容量センサユニットの出力チャンネル数は、製品によって異なります。

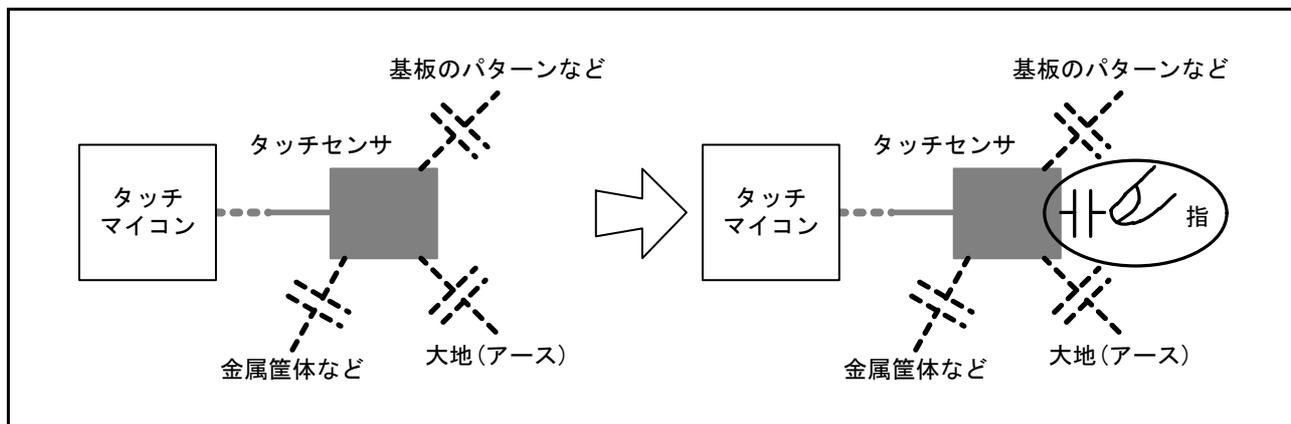
ROMサイズ	96~128 KB							128 KB	
ピン数	30ピン	32ピン	36ピン	40、44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
CTS2L 出力チャンネル	2 ch TS00-TS01	3 ch TS00-TS02	5 ch TS00-TS04	6 ch TS00-TS05	8 ch TS00-TS07	10 ch TS00-TS09	12 ch TS00-TS11	30 ch TS00-TS15, TS20-TS33	32 ch TS00-TS15, TS20-TS35

ROMサイズ	192~256 KB				192~768 KB						256~768 KB	
ピン数	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン	
CTS2L 出力チャンネル	6 ch TS00-TS01 TS20-TS21 TS26-TS27	7 ch TS00-TS02 TS20-TS21 TS26-TS27	11 ch TS00-TS04 TS20-TS23 TS26-TS27	13 ch TS00-TS05 TS20-TS24 TS26-TS27	14 ch TS00-TS05 TS20-TS27	16 ch TS00-TS07 TS20-TS27	20 ch TS00-TS09 TS20-TS29	22 ch TS00-TS11 TS20-TS29	30 ch TS00-TS15, TS20-TS33	32 ch TS00-TS15, TS20-TS35		

静電容量センサユニット (CTS2L) は、静電容量センサの容量を測定します。CTS2L は、ソフトウェアで静電容量の変化を判定することによって、指などが静電容量センサに接触したことを検出できます。通常、静電容量センサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。

図 30 - 1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

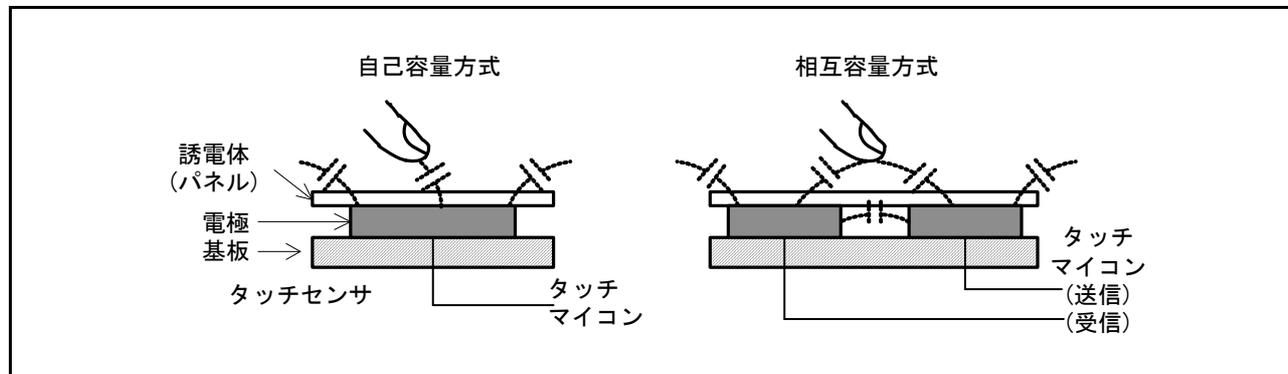
図 30 - 1 指による静電容量の増加



静電容量の検出方式には自己容量方式と相互容量方式があります。

自己容量方式では、指とひとつの電極との間に生じる静電容量を検出します。一方、相互容量方式は、二つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

図30-2 自己容量方式と相互容量方式



静電容量の計測は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。

計測動作原理についてはアプリケーションノート **RL78 ファミリー 静電容量センサユニット (CTS2L) 動作説明 (R01AN5744)** を参照してください。また、タッチアプリケーションの開発方法については、アプリケーションノート **RL78 ファミリー QE と SIS を使用した静電容量タッチアプリケーションの開発 (R01AN5512)** を参照してください。

## 30.1 概要

表 30 - 1 に CTSU の機能概要を、図 30 - 3 に CTSU のブロック図を、図 30 - 4 にセンサドライブパルス出力のクロック構成を示します。

表30 - 1 CTSUの機能概要

項目		構成
CTSU 動作電圧条件		VDD = 1.8 ~ 5.5 V
動作クロック		fCLK、fCLK/2、fCLK/4、fCLK/8
端子	静電容量計測	TSm (m = 00-15, 20-35) Max. 32チャンネル
	計測用2次電源コンデンサ接続端子	TSCAP (10 nF) 10 nFのコンデンサを接続することを推奨
計測モード	自己容量計測モード	自己容量方式の電極に対する充放電電流から計測
	相互容量計測モード	相互容量方式の送信・受信電極間の容量に対する充放電電流から計測
	電流計測モード	測定端子から流れる電流を計測
キャリブレーションモード		計測用電流制御発振器の特性補正機能
ノイズ対策		同期系ノイズ対策、高域ノイズ対策、複数周波数計測による多数決判定
端子毎の調整		オフセット電流調整機能 センサドライブパルス周波数指定 計測時間指定
計測開始条件		ソフトウェアトリガ 外部トリガ (ELCL)
低電力機能		SNOOZE モード機能対応
各種割り込み要求	DTC起動要因/割り込み要因	チャンネル毎の設定レジスタ書き込み要求 計測データ転送要求
	割り込み要因	計測終了割り込み
相互容量方式送信電源切り替え		相互容量方式送信時の電源を切り替え可能

CTSU は図 30 - 3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、I/O レジスタ部、SNOOZE 制御部、SFR で構成されます。

図30-3 CTSUのブロック図

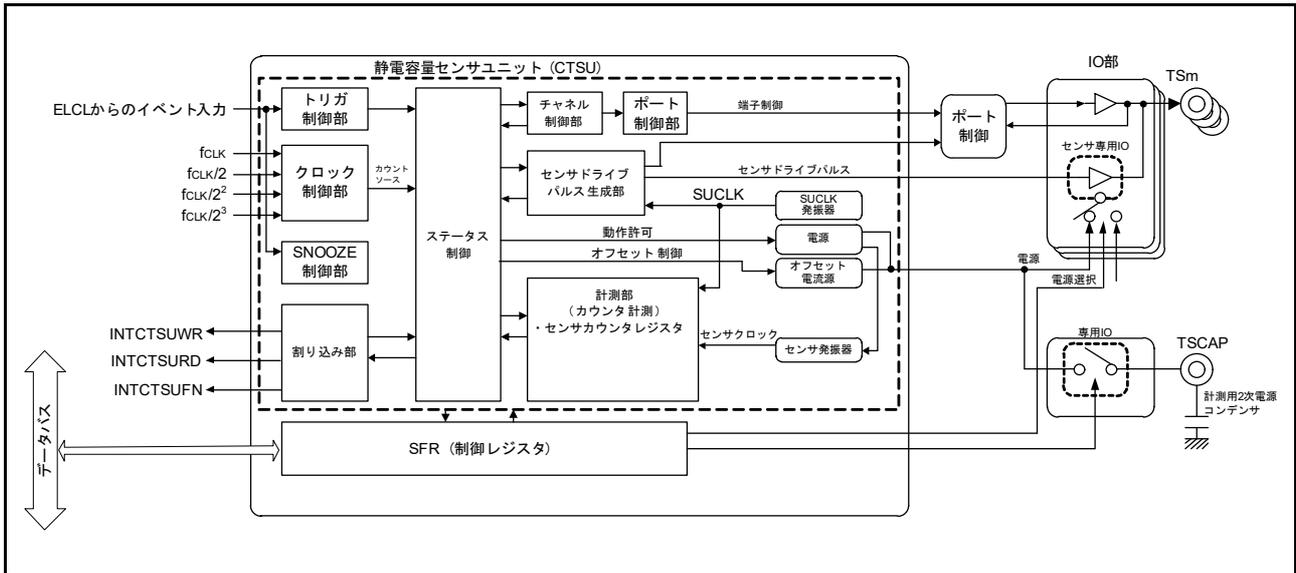


図30-4 センサドライブパルス出力のクロック構成

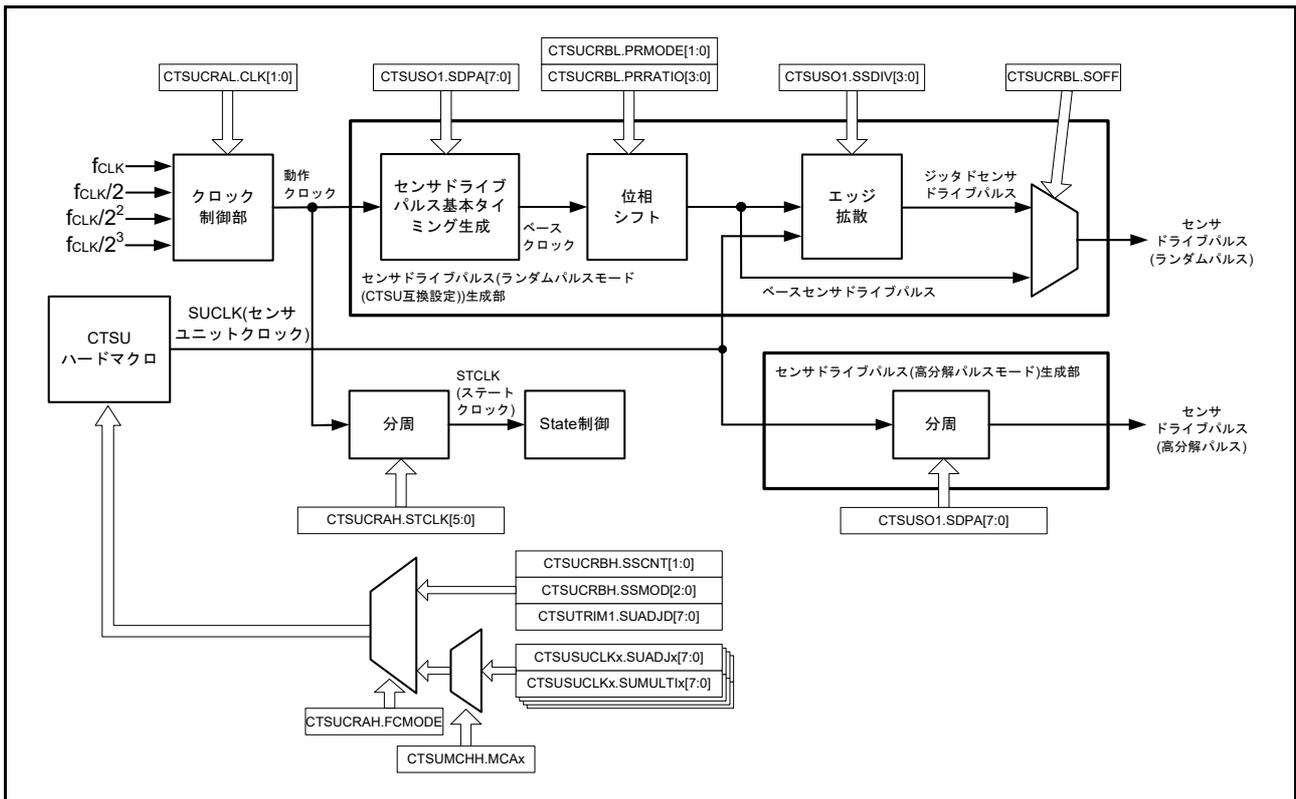


表30-2 CTSUで使用する外部端子

端子名	入出力	機能
TSm (m = 00-15, 20-35)	入出力	静電容量計測端子、相互容量方式送信端子、アクティブシールド制御端子、電流計測端子
TSCAP	—	計測用2次電源コンデンサ接続端子

## 30.2 静電容量センサユニットを制御するレジスタ

静電容量センサユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH)
- CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH)
- CTSU計測チャンネルレジスタL, H (CTSUMCHL, CTSUMCHH)
- CTSUチャンネル有効制御レジスタAL, AH, BL, BH (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH)
- CTSUチャンネル送受信制御レジスタAL, AH, BL, BH (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH)
- CTSUステータスレジスタL (CTSUSRL)
- CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1)
- CTSUセンサカウンタレジスタL, H (CTSUSC, CTSUUC)
- CTSUキャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1)
- CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3)
- CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1)
- CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

**備考** x = 0, 5; xx = 0, 2, 3, 5-7, 15

ただし、PMCA5-7、PMCE2, 3, 7, 15は搭載していません。

### 30.2.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアのクロック供給／許可を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

CTSULを使用する場合は、必ずビット0 (CTSULEN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1 レジスタは00Hになります。

図30-5 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTAEN 注1	REMCEN 注2	CTSULEN
	CTSULEN	CTSULの入カクロック供給の制御						
	0	入カクロック供給停止 ・CTSULで使用するSFRへのライト不可 ・CTSULで使用するSFRをリードした場合は00Hまたは0000Hが読めます。						
	1	入カクロック供給 ・CTSULで使用するSFRへのリード／ライト可						

注1. 36～128ピン製品のみ

注2. 32～128ピン製品のみ

注意 次のビットには必ず0を設定してください。

30ピン製品 : ビット2, 1

32ピン製品 : ビット2

### 30.2.2 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR1 レジスタは 00H になります。

図30-6 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	REMCRES 注	CTSURES
CTSURES	CTS Uリセット制御							
0	CTS Uリセット解除							
1	CTS Uリセット状態 ・CTS Uで使用するSFRが初期化されます。							

注 32～128ピン製品のみ

注意1. ビット3, 2には必ず0を設定してください。

注意2. 次のビットには必ず0を設定してください。

30ピン製品: ビット1

### 30.2.3 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH)

CTSUCRAL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCRAL レジスタは、上位を CTSUCR1 レジスタと下位を CTSUCR0 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

CTSUCRAH レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCRAH レジスタは、上位を CTSUCR3 レジスタと下位を CTSUCR2 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

図30-7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (1/7)

アドレス : F0500H, F0501H (CTSUCRAL), F0502H, F0503H (CTSUCRAH)

リセット時: 0000H

R/W属性 : R/W

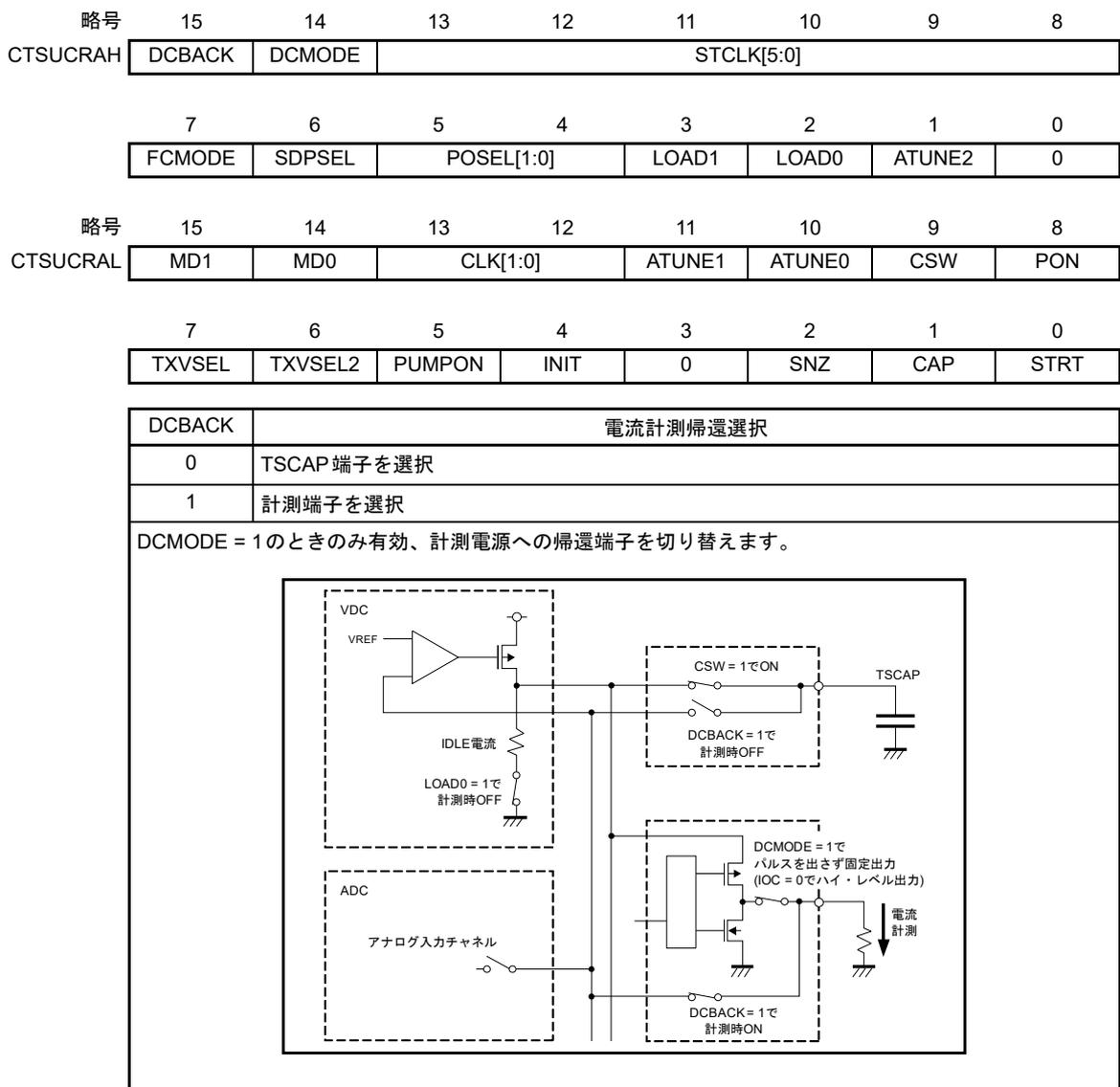


図30-7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (2/7)

DCMODE	電流計測モード選択					
0	通常モード					
1	電流計測モード					
<p>電流計測モードでは、スイッチドキャパシタ動作を行わず、電流を計測します。 計測端子がIOCビットに従い固定値を出力、ドライブパルスは停止。 IOC = 0 : ハイ・レベル出力    IOC = 1 : ロウ・レベル出力</p>						
STCLK[5:0]						STCLK選択
0	0	0	0	0	0	動作クロックの2分周
0	0	0	0	0	1	動作クロックの4分周
0	0	0	0	1	0	動作クロックの6分周
0	0	0	0	1	1	動作クロックの8分周
:	:	:	:	:	:	:
1	1	1	1	1	0	動作クロックの126分周
1	1	1	1	1	1	動作クロックの128分周
<p>動作クロックに対する分周クロック STCLK (ステートクロック) の分周値を設定します。STCLKは、計測時間、クロックリカバリの周期に関係します。 分周値は以下の式で決まります。 分周値 = (STCLK[5:0] + 1) × 2 (2 ~ 128分周) STCLKは、0.5 MHz (2 μs) となるように設定されることを推奨します。</p>						

図30 - 7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (3/7)

FCMODE	センサユニットクロック (SUCLK) 選択													
0	周波数拡散クロックとして使用													
1	マルチクロック計測用リカバリクロックとして使用 リカバリクロックとして使用する場合は、CTSUDBGR1.CCOCLKビット = 1を設定してください。													
<p>• FCMODE = 0のとき (SUCLKを周波数拡散クロックとして使用) CTSUTRIM1.SUADJD[7:0], CTSUCRBH.SSCNT[1:0], CTSUCRBH.SSMOD[2:0]設定で、デジタル発振器を発振させ、周波数をスペクトラム拡散させた、SUCLKを生成します。</p> <p>• FCMODE = 1のとき (SUCLKをマルチクロック計測時のリカバリクロックとして使用) CTSUSUCLK0レジスタ、CTSUSUCLK1レジスタ、CTSUSUCLK2レジスタまたはCTSUSUCLK3レジスタ設定で、クロックリカバリ制御を実施しSUCLKを生成します。 FCMODE = 1を設定する前に、CTSUSUCLK0レジスタ、CTSUSUCLK1レジスタ、CTSUSUCLK2レジスタまたはCTSUSUCLK3レジスタの設定を実施してください。 計測中は全選択クロックに対し、非計測期間中 (status0) にリカバリを実施します。リカバリによってCTSUSUCLK0レジスタ、CTSUSUCLK1レジスタ、CTSUSUCLK2レジスタまたはCTSUSUCLK3レジスタのSUADJxビットは更新されます。(x = 0-3) FCMODE = 1のとき、CTSUSUCLK0レジスタ、CTSUSUCLK1レジスタ、CTSUSUCLK2レジスタまたはCTSUSUCLK3レジスタを変更しないでください。</p> <p>&lt; SDPSEL、FCMODEの関係 &gt;</p> <table border="1"> <thead> <tr> <th>SDPSEL</th> <th>FCMODE</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ランダムパルスモード(CTSU互換設定)</td> </tr> <tr> <td>1</td> <td>1</td> <td>センサユニットクロック (SUCLK) モード マルチクロック計測時使用</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>			SDPSEL	FCMODE	動作	0	0	ランダムパルスモード(CTSU互換設定)	1	1	センサユニットクロック (SUCLK) モード マルチクロック計測時使用	上記以外		設定禁止
SDPSEL	FCMODE	動作												
0	0	ランダムパルスモード(CTSU互換設定)												
1	1	センサユニットクロック (SUCLK) モード マルチクロック計測時使用												
上記以外		設定禁止												
SDPSEL	センサドライブパルス選択													
0	ランダムパルスモード (CTSU互換設定) 動作クロックをCTSUSO1.SDPA[7:0]ビットの設定によって分周したベースクロックに、CTSUCRBL.PRMODE[1:0]およびCTSUCRBL.PRRATIO[3:0]ビットの設定によって生成される乱数で位相シフトを行ったセンサドライブパルスを選択します。また、周波数拡散クロックによるジッタリング印加が可能です。													
1	センサユニットクロック (SUCLK) モード fCLKを基準に周波数リカバリを行ったSUCLKに、CTSUSO1.SDPA[7:0]ビットの設定によって分周を行ったセンサドライブパルスを選択します。													
センサドライブパルスを選択します。														

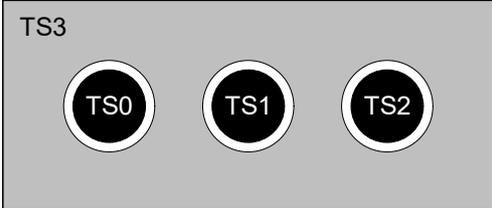
図30-7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (4/7)

POSEL[1:0]		非計測端子出力選択
0	0	ロウ・レベル出力 (TXVSELビット、TXVSEL2ビットの設定に関係なくI/Oポートから出力)
0	1	Hi-Z
1	0	ロウ・レベル出力 (TXVSELビット、TXVSEL2ビットの設定で出力)
1	1	同相 (送信) パルス出力 (TXVSELビット、TXVSEL2ビットの設定で出力)

非計測端子の出力を選択します。

【例】 下図のような電極で、自己容量方式による計測を行い、アクティブシールド機能を有効にする場合

- シールド端子 : TS3  
送受信制御レジスタに1を設定して、送信パルスを出力しシールド端子として使用します。
- 計測端子 : TS0-TS2  
POSEL[1:0] = 11Bを設定。非計測端子からは、シールド端子と同パルスが出力されます。



LOAD[1:0]		計測用負荷制御
0	0	2.5 $\mu$ A 定電流負荷モード
0	1	無負荷モード
1	0	20 $\mu$ A 定電流負荷モード
1	1	抵抗負荷モード (キャリブレーション用)

抵抗負荷モードに設定する際は、01Bにしてから11Bを設定してください。

ATUNE2	アナログ調整2
0	ATUNE1ビットの設定に従う
1	ATUNE1 = 0 $\rightarrow$ 20 $\mu$ A (1/1) ATUNE1 = 1 $\rightarrow$ 160 $\mu$ A (1/8) 電流計測モード

計測電源電流と電流制御発振器の入力電流とのカレントミラー比を設定します。

MD1	計測モード選択1
0	自己容量方式 (1回計測) CHTRCx = 1 (送信) の場合、TSm端子へ同相のパルスを出力し、計測を行います。 複数のCHTRCxビットを1に設定している場合、計測はスキャンされます。
1	相互容量方式 (2回計測) 計測を行うためにCHTRCxビットを1 (送信) に設定する必要があります。 1回目の計測では、TSm端子へ同相のパルスを出力します。 2回目の計測では、TSm端子へ逆相のパルスを出力します。

自己容量方式で計測する場合、MD1ビットを0にしてください。  
相互容量方式で計測する場合、MD1ビットを1にしてください。

図30-7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (5/7)

MD0	計測モード選択0	
0	シングルスキャンモード	
1	マルチスキャンモード	
シングルスキャン、マルチスキャンを選択します。		

CLK[1:0]		動作クロック選択
0	0	fCLK
0	1	fCLK/2
1	0	fCLK/4
1	1	fCLK/8
CPU/周辺ハードウェア・クロック (fCLK) を分周します。(プリスケアラ使用)		

ATUNE1	アナログ調整1	
0	80 $\mu$ A (1/4)	
1	40 $\mu$ A (1/2)	
計測電源電流と電流制御発振器の入力電流とのカレントミラー比を設定します。		

ATUNE0	アナログ調整0	
0	計測電源 = 1.5 V $V_{DD} < 2.4$ Vのときは使用できません。	
1	計測電源 = 1.2 V	
システムの電源仕様によって変更します。		

CSW	計測用2次電源コンデンサ	
0	外部容量接続スイッチOFF	
1	外部容量接続スイッチON	
本ビットにより、TSCAP端子に接続される計測用2次電源コンデンサの充電制御 (容量スイッチのON/OFF) を行います。 容量スイッチをONにしてからTSCAP端子に接続している容量が充電されるまで (一定時間) 待った後に計測を開始 (STRT = 1) してください。計測に先立って、I/OポートでTSCAP端子へロウ・レベルを出力し、すでに充電されている計測用2次電源コンデンサを放電してください。 PON = 1を書き込む前に1を設定してください。 $V_{DD} < 4.5$ Vのときは、PUMPON = 1を設定してから、1を設定してください。		

PON	計測電源起動	
0	電源OFF	
1	電源ON	
計測用VDCを起動し、計測電源 (内部電圧) を供給します。ATUNE0ビットの設定により1.2Vまたは1.5 Vが供給されます。 CSW = 0のとき、1を設定しないでください。		

図30-7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (6/7)

TXVSEL	TXVSEL2	送信電源切り替え
0	0	非推奨
0	1	相互容量方式送信時の推奨設定 <sup>注</sup>
1	0	アクティブシールド機能を使用時に設定してください。
1	1	相互容量方式送信時の推奨設定 <sup>注</sup>

**注** TXVSEL2 = 1の場合、同じ送信電源が選択されます。

PUMPON	昇圧回路起動
0	昇圧電源OFF VCCX3 = VDD
1	昇圧電源ON VCCX3 ≒ 4.5 V

昇圧電源 (VCCX3) を制御します。  
VDD ≤ 4.5 Vの場合、昇圧電源をONに設定してください。

INIT	制御部初期化
0	—
1	1を書き込むことで内部制御レジスタを初期化できます。

動作中に強制終了させる場合には、必ずSTRTビットに0とINITビットに1を同時に書き込んでください。  
この場合には動作が停止し、内部制御レジスタが初期化されます。  
STRT = 1 (CTSU動作開始) と同時にINITビットに1を書き込む事は禁止です。  
読んだ場合の値は0になります。

SNZ	SNOOZE有効
0	SNOOZEモード機能無効
1	SNOOZEモード機能有効

外部トリガを選択 (CAP = 1) した場合はSNOOZE動作の有効/無効を選択します。  
また、CTSUハードマクロをサスペンド状態にし、待機状態の低電力化が可能となります。

<CTSUハードマクロの状態制御>

PON	SNZ	CAP	STRT	トリガ	CTSUの状態
0	0	0	0	—	停止
1	0	0	0	—	計測開始待ち (VDC = ON)
1	0	0	1	—	通常動作モード計測中 (VDC = ON)
1	1	1	0	—	外部トリガ計測設定準備 (VDC = OFF)
1	1	1	1	なし (待ち)	サスペンド状態 (トリガ待ち) (VDC = OFF)
1	1	1	1	あり (動作)	SNOOZEモード計測中 (VDC = ON) <sup>注</sup>
1	1	0	0	—	サスペンド状態 (SW設定) (VDC = OFF)
上記以外					設定禁止

**注** STOPモード中にトリガが発生した場合、SNOOZEモードで計測をします。

SNOOZE動作を有効にし、STRTビットを1とすることで外部トリガ待機中となった状態で、CPUはSTOPモードへ遷移することができます。STOPモード中に外部トリガの立ち下がりを検出すると、CTSUはクロック発生ブロックに対してクロックリクエストを発行し、SNOOZE状態へ遷移して計測を開始します。計測終了割り込み後に本ビットをソフトウェアで0にクリアしてください。

表中のサスペンド状態 (SW設定) は、SNOOZEモード機能がないシステムでソフトウェアにてCTSUハードマクロをサスペンドにして低電力化するときを使用します。この場合には、CPUが外部割り込みなどで復帰後、SNZビットに0を書き込んでから、STRTビットにてソフトウェアトリガで計測を開始してください。

図30-7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (7/7)

CAP	計測開始トリガ選択
0	ソフトウェアトリガ
1	外部トリガ (ELCL)

計測開始条件を指定します。  
詳細はSTRTビット説明を参照してください。

STRT	計測動作開始
0	計測動作停止
1	計測動作状態

CTSUの動作開始・停止を指定します。

CAP = 0のとき、1を書き込むことにより計測を開始し、計測終了時にハードウェアにより0にクリアされます。

CAP = 1のとき、1を書き込むことにより、外部トリガの待機状態となり、外部トリガの立ち下がりにて計測を開始します。計測終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUの状態を、下表に示します。

< CTSUの状態 >

STRT	CAP	CTSUの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中／外部トリガ待ち <sup>※</sup>

注 CTSUSRL.STC[2:0]ビットにて状態を判断できます。

計測中 : CTSUSRL.STC[2:0] ≠ 000B

外部トリガ待ち : CTSUSRL.STC[2:0] = 000B

STRTビットに1が示されているときに、ソフトウェアによりSTRTビットに1を書きこんだ場合は、書き込みは無視され動作は継続されます。

STRTビットに1が示されているときに、ソフトウェアによる動作を強制的に終了させたい場合（強制終了）には、必ずSTRTビットの0とINITビットの1を同時に書き込んでください。

### 30.2.4 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH)

CTSUCRBL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCRBL レジスタは、上位を CTSUSST レジスタとして 8 ビット・メモリ操作命令で設定、下位を CTSUSDPRS レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCRBH レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCRBH レジスタは、上位を CTSUDCLKC レジスタとして 8 ビット・メモリ操作命令で設定できます。

図30-8 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット (1/3)

アドレス : F0504H, F0505H (CTSUCRBL), F0506H, F0507H (CTSUCRBH)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUCRBH	0	0	SSCNT[1:0]		0	SSMOD[2:0]		
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

略号	15	14	13	12	11	10	9	8
CTSUCRBL	SST[7:0]							
	7	6	5	4	3	2	1	0
	PROFF	SOFF	PRMODE[1:0]		PRRATIO[3:0]			

SSCNT[1:0]		SUCLK 拡散制御
0	0	SSADJ + 0
0	1	SSADJ + 1
1	0	SSADJ + 2
1	1	SSADJ + 3

拡散クロックの周波数を調整します。  
11Bの設定値は、ランダムパルスモード (CTSU互換設定) での互換用の設定です。

SSMOD[2:0]			SUCLK 拡散モード選択
0	0	0	256周期
0	0	1	384周期
0	1	0	512周期
0	1	1	1024周期
1	1	1	拡散なし
上記以外			設定禁止

CTSUのSSCG変調はSUCLKで変調されます。  
本ビットとSSCNT[1:0]ビットにて、FM変調周波数が決定されます。  
本ビットでは、FM変調周期を設定します。

図30 - 8 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット (2/3)

SST[7:0]	センサ安定待ち時間制御																																																																																																																														
<p>センサドライブパルス供給からTSCAP端子の電圧が安定するまでの期間を設定します。</p> <p>&lt; CTSUCRAH.SDPSEL = 0の場合 &gt;</p> <p>安定時間は、ベースセンサドライブパルスの周期で下記期間となります。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>2サイクル</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>4サイクル</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>6サイクル</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>8サイクル</td></tr> <tr><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>510サイクル</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>512サイクル</td></tr> </table> <p>&lt; CTSUCRAH.SDPSEL = 1の場合 &gt;</p> <p>安定時間は、STCLKの周期で下記期間となります。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1サイクル</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>2サイクル</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>3サイクル</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>4サイクル</td></tr> <tr><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>255サイクル</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>256サイクル</td></tr> </table> <p>TSCAP端子の電圧はセンサドライブパルスを供給することにより安定されます。本ビットの値とサイクル数の関係は以下のとおりです。</p> <ul style="list-style-type: none"> <li>• CTSUCRAH.SDPSEL = 0の場合                      ベースセンサドライブパルスのサイクル数により安定待ち時間を指定します。                      サイクル数 = 2 × (本ビットの値 + 1)                      安定待ち時間は、以下の範囲で設定してください。                      CTSUCRBL.SST[7:0]で設定したサイクル数 ≥ (CTSUCRBL.PRRATIO[3:0] + 1)</li> <li>• CTSUCRAH.SDPSEL = 1の場合                      STCLKのサイクル数により安定待ち時間を指定します。                      サイクル数 = 1 × (本ビットの値 + 1)</li> </ul>		0	0	0	0	0	0	0	0	2サイクル	0	0	0	0	0	0	0	1	4サイクル	0	0	0	0	0	0	1	0	6サイクル	0	0	0	0	0	0	1	1	8サイクル	:	:	:	:	:	:	:	:	:	1	1	1	1	1	1	1	0	510サイクル	1	1	1	1	1	1	1	1	512サイクル	0	0	0	0	0	0	0	0	1サイクル	0	0	0	0	0	0	0	1	2サイクル	0	0	0	0	0	0	1	0	3サイクル	0	0	0	0	0	0	1	1	4サイクル	:	:	:	:	:	:	:	:	:	1	1	1	1	1	1	1	0	255サイクル	1	1	1	1	1	1	1	1	256サイクル
0	0	0	0	0	0	0	0	2サイクル																																																																																																																							
0	0	0	0	0	0	0	1	4サイクル																																																																																																																							
0	0	0	0	0	0	1	0	6サイクル																																																																																																																							
0	0	0	0	0	0	1	1	8サイクル																																																																																																																							
:	:	:	:	:	:	:	:	:																																																																																																																							
1	1	1	1	1	1	1	0	510サイクル																																																																																																																							
1	1	1	1	1	1	1	1	512サイクル																																																																																																																							
0	0	0	0	0	0	0	0	1サイクル																																																																																																																							
0	0	0	0	0	0	0	1	2サイクル																																																																																																																							
0	0	0	0	0	0	1	0	3サイクル																																																																																																																							
0	0	0	0	0	0	1	1	4サイクル																																																																																																																							
:	:	:	:	:	:	:	:	:																																																																																																																							
1	1	1	1	1	1	1	0	255サイクル																																																																																																																							
1	1	1	1	1	1	1	1	256サイクル																																																																																																																							
PROFF	疑似乱数OFF制御																																																																																																																														
0	疑似乱数制御を行う。																																																																																																																														
1	疑似乱数制御を行わない。																																																																																																																														
<p>疑似乱数制御をOFFします。</p> <p>疑似乱数生成を、1周期毎に1/0を出力する。(乱数生成1 bit)</p> <p>PROFF = 1のときは、PRMODE[1:0]ビットによる周期を"+ 1周期"する。</p>																																																																																																																															

図30 - 8 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット (3/3)

SOFF		ジッタ印加OFF制御
0		ジッタを印加する
1		ジッタを印加しない
同期系ノイズ対策のためにセンサドライブパルスへのジッタ印加の有無を設定します。 センサドライブパルスへの出力を、ベースセンサドライブパルスかジッタが印加されたジッタドセンサドライブパルスから選択します。		

PRMODE[1:0]		疑似乱数生成周期設定
0	0	255周期 (PROFF = 1のとき : 256周期)
0	1	63周期 (PROFF = 1のとき : 64周期)
1	0	31周期 (PROFF = 1のとき : 32周期)
1	1	3周期 (PROFF = 1のとき : 4周期)

PRRATIO[3:0]	位相シフト頻度設定
本ビットで疑似乱数によるベースクロックの位相シフト頻度を決めます。 また本ビットは計測期間を決める1要因となります。	

### 30.2.5 CTSU計測チャネルレジスタL, H (CTSUMCHL, CTSUMCHH)

CTSUMCHL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUMCHL レジスタは、上位を CTSUMCH1 レジスタと下位を CTSUMCH0 レジスタとして 8 ビット・メモリ操作命令で設定できます。

CTSUMCHH レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUMCHH レジスタは、下位を CTSUMFAF レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

図30-9 CTSU計測チャネルレジスタL, H (CTSUMCHL, CTSUMCHH) のフォーマット (1/2)

アドレス : F0508H, F0509H (CTSUMCHL), F050AH, F050BH (CTSUMCHH)

リセット時: 0000H, 3F3FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUMCHH	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	MCA3	MCA2	MCA1	MCA0
略号	15	14	13	12	11	10	9	8
CTSUMCHL	0	0	MCH1[5:0]					
	7	6	5	4	3	2	1	0
	0	0	MCH0[5:0]					
MCAx	マルチクロックx有効							
0	無効							
1	有効							
<p>複数周波数の SUCLK で計測時の有効クロックを設定します。 3種のクロックで計測する場合4ビット中3ビットを1設定してください。</p> <p>複数周波数の SUCLK で計測を行う場合に、対象となるクロックの有効/無効を設定します。MCAxビットを複数有効にして計測開始すると、MCA0ビットから昇順で有効チャンネルをスキャンします。1端子の計測完了後、次の有効クロックがあれば同じ端子で計測を行い、有効クロックがなければ、次端子の計測へ移ります。</p> <p>SUCLKの周波数は、CTSUSUCLK0、CTSUSUCLK1、CTSUSUCLK2、CTSUSUCLK3レジスタで設定します。MCAxビットとの関係を以下に示します。</p> <ul style="list-style-type: none"> <li>• MCA0 : CTSUSUCLK0.SUMULTI0[7:0]、CTSUSUCLK0.SUADJ0[7:0] で設定した SUCLK の有効ビット</li> <li>• MCA1 : CTSUSUCLK1.SUMULTI1[7:0]、CTSUSUCLK1.SUADJ1[7:0] で設定した SUCLK の有効ビット</li> <li>• MCA2 : CTSUSUCLK2.SUMULTI2[7:0]、CTSUSUCLK2.SUADJ2[7:0] で設定した SUCLK の有効ビット</li> <li>• MCA3 : CTSUSUCLK3.SUMULTI3[7:0]、CTSUSUCLK3.SUADJ3[7:0] で設定した SUCLK の有効ビット</li> </ul>								

図30 - 9 TSU計測チャンネルレジスタL, H (CTSUMCHL, CTSMCHH) のフォーマット (2/2)

MCH1[5:0]	計測チャンネル1																																																	
<ul style="list-style-type: none"> <li>• シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合は、計測する送信チャンネルを設定します。CTSUCHACAH, CTSUCHACAL, CTSUCHACBH, CTSUCHACBL レジスタで計測対象外のチャンネルの設定は禁止です。設定した場合は、計測開始後すぐに完了します。</li> <li>• マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合は、計測中の送信チャンネル値を示します。また、マルチスキャンモードでは本ビットへの書き込みは無効 (計測開始時にクリアされる) です。</li> </ul>																																																		
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">TS0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>TS1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>TS2</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>TS3</td></tr> <tr><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>TS62</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>TS63</td></tr> </table>	0	0	0	0	0	0	TS0	0	0	0	0	0	1	TS1	0	0	0	0	1	0	TS2	0	0	0	0	1	1	TS3	:	:	:	:	:	:	:	1	1	1	1	1	0	TS62	1	1	1	1	1	1	TS63	
0	0	0	0	0	0	TS0																																												
0	0	0	0	0	1	TS1																																												
0	0	0	0	1	0	TS2																																												
0	0	0	0	1	1	TS3																																												
:	:	:	:	:	:	:																																												
1	1	1	1	1	0	TS62																																												
1	1	1	1	1	1	TS63																																												
<p>本ビットを、計測中 (CTSUCRAL.STRT = 1) に書き換えないでください。書き換えた場合の動作は保証しません。また、計測停止時は111111Bとなります。</p>																																																		

MCH0[5:0]	計測チャンネル0																																																	
<ul style="list-style-type: none"> <li>• シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合は、計測する受信チャンネルを設定します。CTSUCHACAH, CTSUCHACAL, CTSUCHACBH, CTSUCHACBL レジスタで計測対象外のチャンネルの設定は禁止です。設定した場合は、計測開始後すぐに完了します。</li> <li>• マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合は、計測中の受信チャンネル値を示します。また、マルチスキャンモードでは本ビットへの書き込みは無効 (計測開始時にクリアされる) です。</li> </ul>																																																		
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">0</td><td style="width: 12.5%;">TS0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>TS1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>TS2</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>TS3</td></tr> <tr><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td><td style="text-align: center;">:</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>TS62</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>TS63</td></tr> </table>	0	0	0	0	0	0	TS0	0	0	0	0	0	1	TS1	0	0	0	0	1	0	TS2	0	0	0	0	1	1	TS3	:	:	:	:	:	:	:	1	1	1	1	1	0	TS62	1	1	1	1	1	1	TS63	
0	0	0	0	0	0	TS0																																												
0	0	0	0	0	1	TS1																																												
0	0	0	0	1	0	TS2																																												
0	0	0	0	1	1	TS3																																												
:	:	:	:	:	:	:																																												
1	1	1	1	1	0	TS62																																												
1	1	1	1	1	1	TS63																																												
<p>本ビットを、計測中 (CTSUCRAL.STRT = 1) に書き換えないでください。書き換えた場合の動作は保証しません。また、計測停止時は111111Bとなります。</p>																																																		

### 30.2.6 CTSUチャネル有効制御レジスタ AL, AH, BL, BH (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH)

CTSUCHACAL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHACAL レジスタは、上位を CTSUCHAC1 レジスタと下位を CTSUCHAC0 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

CTSUCHACAH レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHACAH レジスタは、上位を CTSUCHAC3 レジスタと下位を CTSUCHAC2 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

CTSUCHACBL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHACBL レジスタは、上位を CTSUCHAC5 レジスタと下位を CTSUCHAC4 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

CTSUCHACBH レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHACBH レジスタは、上位を CTSUCHAC7 レジスタと下位を CTSUCHAC6 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

図30 - 10 CTSUチャンネル有効制御レジスタAL, AH, BL, BH (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH) のフォーマット

アドレス : F050CH, F050DH (CTSUCHACAL), F050EH, F050FH (CTSUCHACAH),  
F0510H, F0511H (CTSUCHACBL), F0512H, F0513H (CTSUCHACBH)

リセット時: 0000H, 0000H, 0000H, 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUCHACAH	CHAC31	CHAC30	CHAC29	CHAC28	CHAC27	CHAC26	CHAC25	CHAC24

7	6	5	4	3	2	1	0
CHAC23	CHAC22	CHAC21	CHAC20	CHAC19	CHAC18	CHAC17	CHAC16

略号	15	14	13	12	11	10	9	8
CTSUCHACAL	CHAC15	CHAC14	CHAC13	CHAC12	CHAC11	CHAC10	CHAC09	CHAC08

7	6	5	4	3	2	1	0
CHAC07	CHAC06	CHAC05	CHAC04	CHAC03	CHAC02	CHAC01	CHAC00

略号	15	14	13	12	11	10	9	8
CTSUCHACBH	CHAC63	CHAC62	CHAC61	CHAC60	CHAC59	CHAC58	CHAC57	CHAC56

7	6	5	4	3	2	1	0
CHAC55	CHAC54	CHAC53	CHAC52	CHAC51	CHAC50	CHAC49	CHAC48

略号	15	14	13	12	11	10	9	8
CTSUCHACBL	CHAC47	CHAC46	CHAC45	CHAC44	CHAC43	CHAC42	CHAC41	CHAC40

7	6	5	4	3	2	1	0
CHAC39	CHAC38	CHAC37	CHAC36	CHAC35	CHAC34	CHAC33	CHAC32

CHACx	チャンネル有効制御
0	計測対象外
1	計測対象
TSM端子の計測対象の要否を設定します。	

注意1. CHAC63-CHAC0はTS63-TS0の設定です。

アサインされていないビットには、書く場合0を書いてください。読んだ場合値は0です。

注意2. 静電容量を計測したい端子（送信、受信共）に1を設定します。

注意3. CTSUCHACAH、CTSUCHACAL、CTSUCHACBH、CTSUCHACBLレジスタは、CTSUCRAL.STRT = 0のときに設定してください。

### 30.2.7 CTSUチャネル送受信制御レジスタ AL, AH, BL, BH (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH)

CTSUCHTRCAL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHTRCAL レジスタは、上位を CTSUCHTRC1 レジスタと下位を CTSUCHTRC0 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

CTSUCHTRCAH レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHTRCAH レジスタは、上位を CTSUCHTRC3 レジスタと下位を CTSUCHTRC2 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

CTSUCHTRCBL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHTRCBL レジスタは、上位を CTSUCHTRC5 レジスタと下位を CTSUCHTRC4 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

CTSUCHTRCBH レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUCHTRCBH レジスタは、上位を CTSUCHTRC7 レジスタと下位を CTSUCHTRC6 レジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

図30 - 11 CTSUチャンネル送受信制御レジスタAL, AH, BL, BH (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH) のフォーマット

アドレス : F0514H, F0515H (CTSUCHTRCAL), F0516H, F0517H (CTSUCHTRCAH),  
F0518H, F0519H (CTSUCHTRCBL), F051AH, F051BH (CTSUCHTRCBH)

リセット時: 0000H, 0000H, 0000H, 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUCHTRCAH	CHTRC31	CHTRC30	CHTRC29	CHTRC28	CHTRC27	CHTRC26	CHTRC25	CHTRC24
	7	6	5	4	3	2	1	0
	CHTRC23	CHTRC22	CHTRC21	CHTRC20	CHTRC19	CHTRC18	CHTRC17	CHTRC16

略号	15	14	13	12	11	10	9	8
CTSUCHTRCAL	CHTRC15	CHTRC14	CHTRC13	CHTRC12	CHTRC11	CHTRC10	CHTRC09	CHTRC08
	7	6	5	4	3	2	1	0
	CHTRC07	CHTRC06	CHTRC05	CHTRC04	CHTRC03	CHTRC02	CHTRC01	CHTRC00

略号	15	14	13	12	11	10	9	8
CTSUCHTRCBH	CHTRC63	CHTRC62	CHTRC61	CHTRC60	CHTRC59	CHTRC58	CHTRC57	CHTRC56
	7	6	5	4	3	2	1	0
	CHTRC55	CHTRC54	CHTRC53	CHTRC52	CHTRC51	CHTRC50	CHTRC49	CHTRC48

略号	15	14	13	12	11	10	9	8
CTSUCHTRCBL	CHTRC47	CHTRC46	CHTRC45	CHTRC44	CHTRC43	CHTRC42	CHTRC41	CHTRC40
	7	6	5	4	3	2	1	0
	CHTRC39	CHTRC38	CHTRC37	CHTRC36	CHTRC35	CHTRC34	CHTRC33	CHTRC32

CHTRCx	チャンネル送受信制御
0	受信
1	送信
TSm端子に対する送受信を割り当てます。	

- 注意1. CHTRC63-CHTRC0はTS63-TS0の設定です。  
アサインされていないビットには、書く場合0を書いてください。読んだ場合値は0です。
- 注意2. TSm端子に対する受信、送信の割り当てを行います。  
MD1 = 0の設定のとき、送信設定にするとシールド信号出力として利用できます。  
シールド出力として設定する場合は、2ビット以上1を設定しないでください。
- 注意3. 静電容量を計測したいTSm端子（相互容量方式では、送信および受信電極）に1を設定します。
- 注意4. CTSUCHTRCAH, CTSUCHTRCAL, CTSUCHTRCBH, CTSUCHTRCBLレジスタは、CTSUCRAL.STRT = 0のときに設定してください。

## 30.2.8 CTSUステータスレジスタ L (CTSUSRL)

CTSUSRL レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUSRL レジスタは、上位を CTSUST レジスタと下位を CTSUST1 レジスタとして1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定できます。

図30-12 CTSUステータスレジスタ L (CTSUSRL) のフォーマット (1/2)

アドレス : F051CH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUSRL	PS	SUCKOVF	SENSOVF	DTSR	0	STC[2:0]		
	7	6	5	4	3	2	1	0
	ICOMP0	ICOMP1	ICOMPRST	0	0	0	MFC[1:0]	
PS	相互容量計測状態							
0	1回目の計測							
1	2回目の計測							
2回計測時 (CTSUCRAL.MD1 = 1) の計測状態を示します。								
1チャンネルあたり2回の計測をする内の1回目か2回目を示します。								
停止中または1回計測時 (CTSUCRAL.MD1 = 0)、本ビットは0を示します。								
SUCKOVF	SUCLK カウンタオーバーフロー							
0	オーバーフローなし							
1	オーバーフローあり							
SUCLK カウンタがオーバーフローしたか否かを示します。オーバーフローが発生した場合、計測結果 (CTSUUC.UC[15:0] ビット) はFFFFH が読み出されます。								
オーバーフロー発生しても設定された期間まで計測処理は継続されます。								
オーバーフロー発生時でも割り込みは発生しません。そのためどのチャンネルでオーバーフローが発生したかは、計測完了後 (計測終了割り込み発生後)、各チャンネルの計測結果により判定してください。								
ソフトウェアで1を読み出した後0を書き込むことにより、クリアされます。またCTSUCRAL.INIT ビットによってもクリアされます。								
SENSOVF	センサカウンタオーバーフロー							
0	オーバーフローなし							
1	オーバーフローあり							
センサカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した計測結果 (CTSUSC.SC[15:0] ビット) はFFFFH が読み出されます。								
オーバーフロー発生しても設定された期間まで計測処理は継続されます。								
オーバーフロー発生時でも割り込みは発生しません。そのためどのチャンネルでオーバーフローが発生したかは、計測完了後 (計測終了割り込み発生後)、各チャンネルの計測結果により判定してください。								
ソフトウェアで1を読み出した後0を書き込むことにより、クリアされます。またCTSUCRAL.INIT ビットによってもクリアされます。								

図30 - 12 CTSUステータスレジスタL (CTSUSRL) のフォーマット (2/2)

DTSR	データ転送ステータス		
0	計測結果が読み出されている		
1	計測結果が読み出されていない。		
センサカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に1となり、ソフトウェアまたはDTCによりCTSUSCを読み出したら0となります。 また本ビットは、CTSUCRAL.INIT ビットによってもクリアされます。			
STC[2:0]		計測ステータスカウンタ	
0	0	0	Status0
0	0	1	Status1
0	1	0	Status2
0	1	1	Status3
1	0	0	Status4
1	0	1	Status5
現在の計測ステータスを示します。			
ICOMP0	基準抵抗比較結果		
0	正常		
1	TSCAP 電圧異常		
TSCAP 電圧異常フラグ CTSUCRAL.PON = 0 または ICOMPRST ビット への 1 書き込みで 0 にクリアされます。 TSCAP 電圧異常となった計測回のセンサカウンタはすべて 0 になります。			
ICOMP1	電流異常		
0	正常		
1	電流異常		
電流異常フラグ CTSUCRAL.PON = 0 または ICOMPRST ビット への 1 書き込みで 0 にクリアされます。			
ICOMPRST	ICOMP0, 1 リセット		
1 書き込みで ICOMP1, ICOMP0 ビットを 0 にクリアします。			
MFC[1:0]		マルチクロックカウンタ	
0	0	マルチクロック 0	
0	1	マルチクロック 1	
1	0	マルチクロック 2	
1	1	マルチクロック 3	
マルチクロック計測 (CTSUCRAH.FCMODE = 1) での計測中クロックを示します。			

### 30.2.9 CTSU センサオフセットレジスタ 0, 1 (CTSUS00, CTSUS01)

CTSUS00 レジスタは、16 ビット・メモリ操作命令で設定します。

CTSUS01 レジスタは、16 ビット・メモリ操作命令で設定します。

図30 - 13 CTSU センサオフセットレジスタ 0, 1 (CTSUS00, CTSUS01) のフォーマット (1/2)

アドレス : F0520H, F0521H (CTSUS00), F0522H, F0523H (CTSUS01)

リセット時: 0000H, 0000H

R/W属性 : R/W



図30 - 13 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) のフォーマット (2/2)

SSDIV[3:0]				スペクトラム拡散サンプリング周期制御
CTSUCRAH.SDPSEL = 0の場合のみ有効 ジッタ印加機能におけるサンプリング周期を1~16分周まで設定可能です。				
0	0	0	0	1分周
0	0	0	1	2分周
:	:	:	:	:
1	1	1	0	15分周
1	1	1	1	16分周
ジッタ印加機能のサンプリング周期を設定します。サンプリング周期は、センサドライブパルス周期の1/4未満の周期となるように設定してください。 本ビットは、チャンネル毎の設定レジスタ書き込み要求 (INTCTSUWR) の発生後に次に計測する端子の設定を行ってください。				
SNUM[7:0]				計測期間設定
<ul style="list-style-type: none"> <li>• CTSUCRAH.SDPSEL = 0の場合 計測回数を設定します。 CTSUCRBL.PRRATIO[3:0]ビットおよびCTSUCRBL.PRMODE[1:0]ビットで決定される基本単位を計測期間で何回繰り返すかを設定します。 計測回数 = (SNUM[5:0] + 1) × 2回 SNUM[7:6]ビットには00Bを設定してください。</li> <li>• CTSUCRAH.SDPSEL = 1の場合 計測時間を設定します。 計測時間 = (STCLK周期 × 8) × (SNUM[7:0]ビット + 1)</li> </ul> 本ビットはチャンネル毎の設定レジスタ書き込み要求 (INTCTSUWR) の発生後に次に計測する端子を設定してください。				
SO[9:0]				センサオフセット調整
センサICOの入力電流オフセットを調整する制御ビットです。 ※実際にはCTSUCRAL.ATUNE[0]ビットの値によって調整値が変わります。 本ビットはチャンネル毎の設定レジスタ書き込み要求 (INTCTSUWR) の発生後に次に計測する端子を設定してください。				

チャンネル毎の設定レジスタ書き込み要求 (INTCTSUWR) 発生後、CTSUSO レジスタへ書き込みしてください。また CTSUSO レジスタへの書き込み動作により、Status3へ遷移します。そのため CTSUSO レジスタへの書き込みは1度に全ビットを設定するようにしてください。

### 30.2.10 CTSU センサカウンタレジスタ L, H (CTSUSC, CTSUUC)

CTSUSC レジスタは、16 ビット・メモリ操作命令で読み出します。

CTSUUC レジスタは、16 ビット・メモリ操作命令で読み出します。

図30 - 14 CTSU センサカウンタレジスタ L, H (CTSUSC, CTSUUC) のフォーマット

アドレス : F0524H, F0525H (CTSUSC), F0526H, F0527H (CTSUUC)

リセット時: 0000H, 0000H

R/W属性 : R



## 30.2.11 CTSU キャリブレーションレジスタ L, H (CTSUDBGR0, CTSUDBGR1)

CTSUDBGR0 レジスタは、16 ビット・メモリ操作命令で設定します。

CTSUDBGR1 レジスタは、16 ビット・メモリ操作命令で設定します。

図30 - 15 CTSU キャリブレーションレジスタ L, H (CTSUDBGR0, CTSUDBGR1) のフォーマット (1/3)

アドレス : F0528H, F0529H (CTSUDBGR0), F052AH, F052BH (CTSUDBGR1)

リセット時: 0000H, 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUDBGR1	TXREV	CCOCALIB	CCOCLK	DACCLK	SUCARRY	SUMSEL	DACCARRY	DACMSEL
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0
略号	15	14	13	12	11	10	9	8
CTSUDBGR0	0	0	0	0	DCOFF	0	IOC	CNTRDSEL
	7	6	5	4	3	2	1	0
	TSOC	SUCLKEN	CLKSEL0[1:0]	DRV	TSOD	0	0	
TXREV	送信端子反転出力							
0	送信端子からのパルス出力を反転しない							
1	送信端子からのパルス出力を反転する							
< 1回計測時 (CTSUCRAL.MD1 = 0) >								
0: 受信端子の同相								
1: 受信端子の逆相								
< 2回計測時 (CTSUCRAL.MD1 = 1) >								
0: 1回目 受信端子の同相、2回目 受信端子の逆相								
1: 1回目 受信端子の逆相、2回目 受信端子の同相								
通常計測時は0にしてください。(デバッグ用途での使用を想定。)								
CCOCALIB	CCO キャリブレーションモード選択							
MODE 回路状態								
0: 通常モード								
1: 発振器キャリブレーションモード								
外部電流と電流DACを比較し発振器特性をソフトウェアで補正するときに使用します。								
CCOCLK	CCO 変調回路用クロック選択							
0	動作クロック							
1	SUCLK							
DACCLK	DAC 変調回路用クロック選択							
0	動作クロック							
1	SUCLK							

図30 - 15 CTSU キャリブレーションレジスタ L, H (CTS UDBGR0, CTS UDBGR1) のフォーマット (2/3)

SUCARRY	CCO 繰り上がり入力 (通常は、SUCARRY ビット = 0 に設定)
0	通常動作
1	電流発振器入力電流テストモード時に使用

SUMSEL	電流発振器入力電流マトリクステスト
0	通常動作
1	電流発振器入力電流テストモード
このビットは電流発振器入力電流の制御をします。	

DACCARRY	DAC 上位電流源繰り上がり入力 (通常は、DACCARRY ビット = 0 に設定)
0	通常動作
1	電流オフセットDAC電流テストモード時に使用

DACMSEL	電流オフセットDAC電流マトリクステスト
0	通常動作
1	電流オフセットDAC電流テストモード
このビットは電流オフセットDAC電流の制御をします。	

DCOFF	ダウンコンバートOFF
0	通常動作モード
1	ダウンコンバートOFF
VDDSENS に対して電圧のコンバートをOFF (Pch ドライバをOFF) します。コンバータのAMP 回路はコンパレータとして動作します。	

IOC	送信端子制御
CTS UDBGR1.TSOD ビットまたはCTSUCRAL.DCMODE ビットを1にした場合に、TSM端子から出力するレベルを選択します。 <CTS UDBGR1.TSOD = 1 の場合> 0: TSM端子からロウ・レベル出力 1: TSM端子からハイ・レベル出力 <CTSUCRAL.DCMODE = 1 の場合> 0: TSM端子からハイ・レベル出力 1: TSM端子からロウ・レベル出力 CTS UDBGR1.TSOD ビットおよびCTSUCRAL.DCMODE ビットが0の場合、このビットは無視されます。	

CNTRDSEL	センサカウンタレジスタリード回数選択
0	1回リードで次ステートへ進む
1	2回リードで次ステートへ進む

図30 - 15 CTSU キャリブレーションレジスタ L, H (CTS UDBGR0, CTS UDBGR1) のフォーマット (3/3)

TSOC	キャリブレーション設定2	
0	静電容量計測モード	
1	キャリブレーション設定2	
CTS U のキャリブレーションを行う場合に使用します。静電容量計測時は、0にしてください。		
SUCLKEN	SUCLK 許可	
0	SUCLK 停止	
1	SUCLK 動作	
CLKSEL0[1:0]	観測クロック選択0	
0	0	ロウ・レベル 固定出力
0	1	センサICO クロック (8 分周)
1	0	設定禁止
1	1	SUCLK (8 分周)
CTS U ハードマクロが出力する3つのクロックから観測するクロックを選択します。		
DRV	キャリブレーション設定1	
0	静電容量計測モード	
1	キャリブレーション設定1	
CTS U のキャリブレーションを行う場合に使用します。静電容量を計測する場合は、0にしてください。		
TSOD	T Sm 端子固定出力	
0	静電容量計測モード	
1	T Sm 端子固定出力 (ハイ/ロウ・レベル出力)	
CTS U のキャリブレーションを行う場合に使用します。本ビットを1にした場合、CTS UDBGR0.IOC ビットで指定したレベルが T Sm 端子から出力されます。		

### 30.2.12 CTSUセンサユニットクロック制御レジスタ AL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3)

CTSUSUCLK0 レジスタは、16 ビット・メモリ操作命令で設定します。

CTSUSUCLK1 レジスタは、16 ビット・メモリ操作命令で設定します。

CTSUSUCLK2 レジスタは、16 ビット・メモリ操作命令で設定します。

CTSUSUCLK3 レジスタは、16 ビット・メモリ操作命令で設定します。

図30 - 16 CTSUセンサユニットクロック制御レジスタ AL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3) のフォーマット (1/2)

アドレス : F052CH, F052DH (CTSUSUCLK0), F052EH, F052FH (CTSUSUCLK1),  
F0530H, F0531H (CTSUSUCLK2), F0532H, F0533H (CTSUSUCLK3)

リセット時: 0000H, 0000H, 0000H, 0000H

R/W属性 : R/W

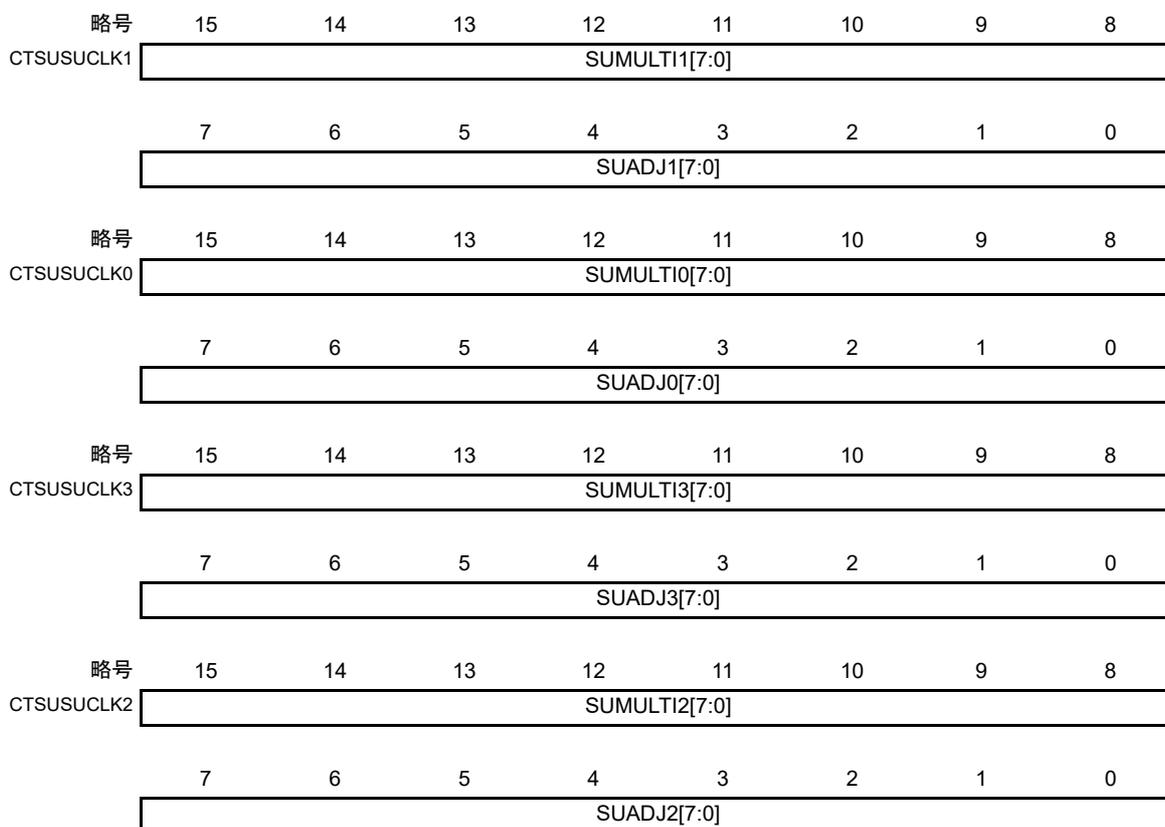


図30 - 16 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3) のフォーマット (2/2)

SUMULTIx[7:0]	SUCLK通倍率設定							
SUCLKのSTCLK (fCLKの分周0.5 MHzを想定) に対する通倍率を設定します。 この設定で分周されたSUCLKと比較し、比較結果によって、SUADJx[7:0]ビットが更新されます。クロックのターゲットは32 MHz～80 MHzです。								
0	0	0	0	0	0	0	0	1通倍
:	:	:	:	:	:	:	:	:
0	0	1	1	1	1	1	1	64通倍
:	:	:	:	:	:	:	:	:
0	1	1	1	1	1	1	1	128通倍
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	256通倍

SUADJx[7:0]	SUCLK周波数調整							
SUCLK周波数の初期値を設定します。 クロックリカバリ機能により、ドリフト調整され、更新されます。 設定値に対して出力周波数はMCUごとにバラツキがあります。レジスタ設定値を初期値として、クロックリカバリ制御によって調整され、レジスタ値は更新されます。								

### 30.2.13 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1)

CTSUTRIM0 レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUTRIM0 レジスタは、上位を DACTRIM レジスタと下位を RTRIM レジスタとして8ビット・メモリ操作命令で設定できます。

CTSUTRIM1 レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUTRIM1 レジスタは、上位を TRESULT4 レジスタと下位を SUADJD レジスタとして8ビット・メモリ操作命令で設定できます。

図30 - 17 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1) のフォーマット (1/2)

アドレス : F0600H, F0601H (CTSUTRIM0), F0602H, F0603H (CTSUTRIM1)

リセット時: 0000H, 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUTRIM1	TRESULT4[7:0]							
	7	6	5	4	3	2	1	0
	SUADJD[7:0]							
略号	15	14	13	12	11	10	9	8
CTSUTRIM0	DACTRIM[7:0]							
	7	6	5	4	3	2	1	0
	RTRIM[7:0]							
TRESULT4[7:0]		テスト結果4						
120 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された、初期値が書かれています。書き換えしないでください。								
SUADJD[7:0]		SUCLKの周波数調整						
出荷時に設定された、約64 MHzとなる初期値が書かれています。 FCMODE = 0のとき、この設定がデジタル発振器に入力されます。 出荷時に設定された、初期値が書かれています。書き換えしないでください。								
DACTRIM[7:0]		オフセット電流DACの上位下位マッチングバラツキ調整						
オフセット電流DACの上位下位のマッチングバラツキを調整します。下位電流源の係数。 出荷時に設定された、初期値が書かれています。書き換えしないでください。								
	0	0	0	0	0	0	0	0.0倍
	:	:	:	:	:	:	:	:
	0	1	1	0	0	0	0	0.875倍
	:	:	:	:	:	:	:	:
	1	0	0	0	0	0	0	1.0倍
	:	:	:	:	:	:	:	:
	1	0	0	1	0	0	0	1.125倍
	:	:	:	:	:	:	:	:
	1	0	1	0	0	0	1	1.273倍
上記以外は設定禁止								

図30 - 17 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1) のフォーマット (2/2)

RTRIM[7:0]		基準抵抗調整入力						
基準抵抗値の調整を設定します。 出荷時に設定された、初期値が書かれています。書き換えないでください。								
RTRIM[7:0]								抵抗値
0	0	0	0	0	0	0	0	低い
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	高い

### 30.2.14 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3)

CTSUTRIM2 レジスタは、16 ビット・メモリ操作命令で設定します。

また、CTSUTRIM2 レジスタは、上位を TRESULT1 レジスタと下位を TRESULT0 レジスタとして8ビット・メモリ操作命令で設定できます。

CTSUTRIM3 レジスタは、16 ビット・メモリ操作命令で設定します。

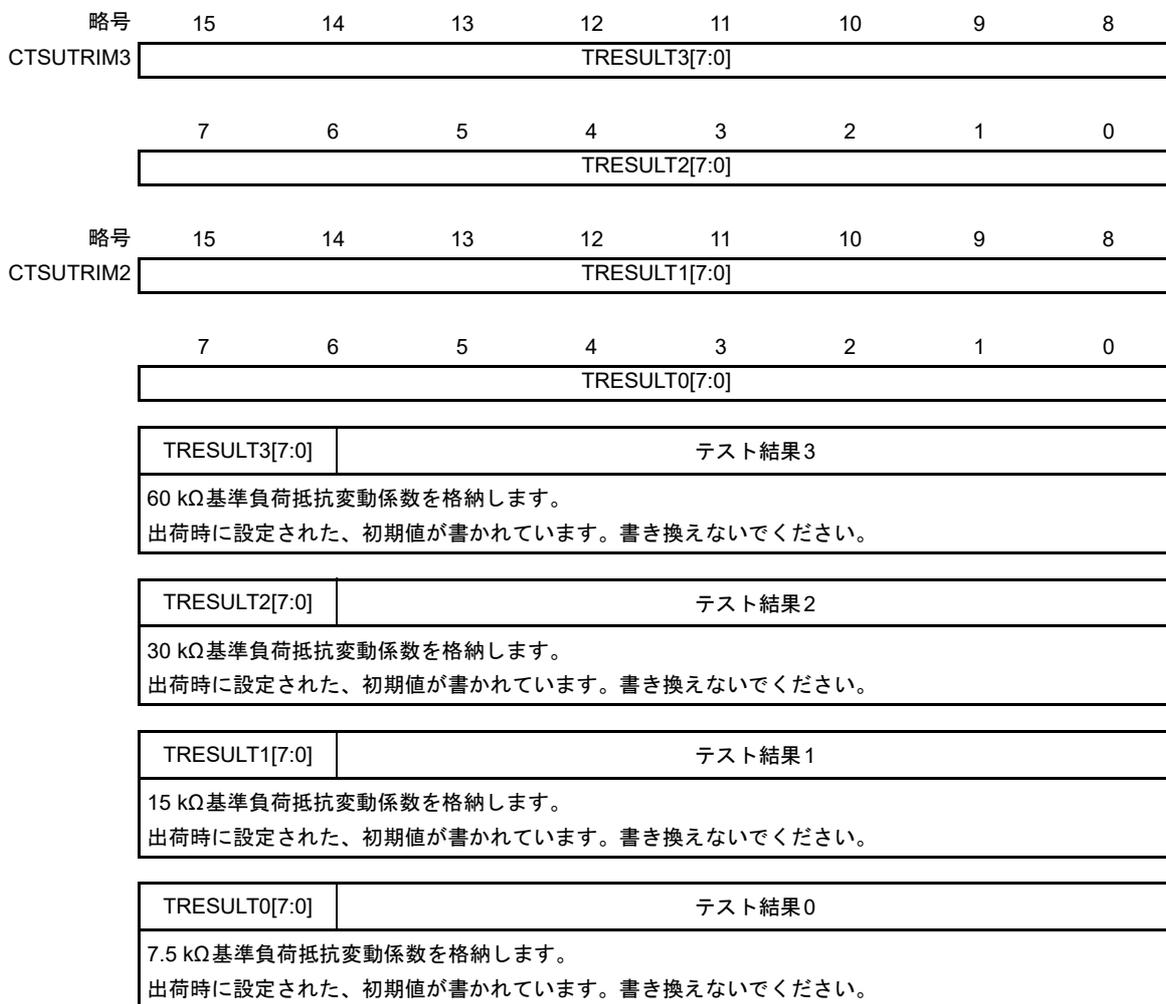
また、CTSUTRIM3 レジスタは、上位を TRESULT3 レジスタと下位を TRESULT2 レジスタとして8ビット・メモリ操作命令で設定できます。

図30 - 18 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3) のフォーマット

アドレス : F0604H, F0605H (CTSUTRIM2), F0606H, F0607H (CTSUTRIM3)

リセット時: 0000H, 0000H

R/W属性 : R/W



### 30.2.15 静電容量センサ入出力と端子を兼用するポートのポート機能を制御するレジスタ

静電容量センサ入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCEx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCEx) を参照してください。

TSCAP, TS00-15, TS20-35 を兼用する端子を静電容量計測機能として使用するときは、ポート・モード・レジスタ (PMxx) のビットに 1、ポート・モード・コントロールA・レジスタ (PMCAxx) のビットに 0、ポート・モード・コントロールT・レジスタ (PMCTxx) に 1、ポート・モード・コントロールE・レジスタ (PMCEx) に 0 を設定してください。

**備考** xx = 0, 2, 3, 5-7, 15

ただし、PMCA5-7、PMCE2, 3, 7, 15は搭載していません。

### 30.3 静電容量センサユニット使用時の注意事項

(1) 静電容量センサユニット (CTSUL) による検出動作の評価について

最終的にはお客様のシステムを製品出荷時に近い状態で動作させ、QE for Capacitive Touch (静電容量式タッチセンサ対応開発支援ツール) を用いた静電容量計測状態のモニタリングで十分に評価を行い、お客様のシステムにおいて、タッチセンサの検出結果が適切かを判断してください。

ご希望の検出結果が得られない場合は、QE for Capacitive TouchでCapTouchパラメータ (主にタッチしきい値) の調整を行い、再度評価を実施してください。

特にCTSULを相互容量方式で使用する場合、マイコンのポート出力状態によっては送信電極の出力電圧が変動することにより、静電容量計測値 (カウント値) が変動する可能性があります。

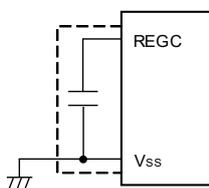
このような現象が発生する場合は、QE for Capacitive Touchでタッチしきい値の調整を行い、カウント値の変動を考慮したタッチしきい値を設定してください。自己容量方式では、このような変動は起こりません。

## 第31章 レギュレータ

### 31.1 レギュレータの概要

RL78/G23は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ（0.47～1  $\mu$ F）を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

REGC端子を外部回路の基準電圧として使用することができます。REGC端子に接続する外部回路の入力インピーダンスは1.5 M $\Omega$ 以上にしてください。REGC端子の電圧は1.5 V (Typ.)、電圧範囲は1.38～1.60 Vになります。



**注意** 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、1.5 Vです。

## 第32章 オプション・バイト

### 32.1 オプション・バイトの機能

RL78/G23 のフラッシュ・メモリの 000C0H-000C3H は、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3H は 040C0H-040C3H と切り替わるので、040C0H-040C3H にも 000C0H-000C3H と同じ値を設定してください。

**注意** オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

#### 32.1.1 ユーザ・オプション・バイト (000C0H-000C2H/040C0H-040C2H)

##### (1) 000C0H/040C0H

- ウォッチドッグ・タイマの動作
  - カウンタの動作許可／禁止
  - HALT/STOP モード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウィンドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
  - インターバル割り込みを使用する／使用しない

**注意** ブート・スワップ時は、000C0H と 040C0H が切り替わるので、040C0H にも 000C0H と同じ値を設定してください。

## (2) 000C1H/040C1H

- LVD0の動作モード設定
  - リセット・モード
  - 割り込みモード
  - LVD0 オフ (RESET 端子による外部リセット入力を使用)
- LVD0検出レベル (VLVD0) の設定

**注意1.** 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/040C2H) の設定により変わります。

**注意2.** ブート・スワップ時は、000C1Hと040C1Hが切り替わるので、040C1Hにも000C1Hと同じ値を設定してください。

## (3) 000C2H/040C2H

- フラッシュの動作モード設定  
使用するメイン・システム・クロック周波数 (fMAIN)、電源電圧 (VDD) に応じて設定
  - LS (低速メイン) モード
  - HS (高速メイン) モード
  - LP (低電力メイン) モード
- 高速オンチップ・オシレータの周波数設定
  - 1 ~ 32 MHz から選択

**注意** ブート・スワップ時は、000C2Hと040C2Hが切り替わるので、040C2Hにも000C2Hと同じ値を設定してください。

## 32.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/040C3H)

- オンチップ・デバッグ動作制御
  - オンチップ・デバッグ動作禁止/許可
- セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理
  - オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

**注意** ブート・スワップ時は、000C3Hと040C3Hが切り替わるので、040C3Hにも000C3Hと同じ値を設定してください。

## 32.2 ユーザ・オプション・バイトのフォーマット

図32-1 ユーザ・オプション・バイト (000C0H/040C0H) のフォーマット

アドレス : 000C0H/040C0H<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/4 f <sub>IL</sub> 到達時にインターバル割り込みを発生する							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 <sup>注2</sup>						
0	0	設定禁止						
0	1	50%						
1	0	設定禁止						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止 (リセット解除後、カウント停止)							
1	カウンタ動作許可 (リセット解除後、カウント開始)							
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f <sub>IL</sub> = 37.683 kHz (Max.) の場合)					
0	0	0	2 <sup>7</sup> /f <sub>IL</sub> (3.39 ms)					
0	0	1	2 <sup>8</sup> /f <sub>IL</sub> (6.79 ms)					
0	1	0	2 <sup>9</sup> /f <sub>IL</sub> (13.58 ms)					
0	1	1	2 <sup>10</sup> /f <sub>IL</sub> (27.17 ms)					
1	0	0	2 <sup>12</sup> /f <sub>IL</sub> (108.69 ms)					
1	0	1	2 <sup>14</sup> /f <sub>IL</sub> (434.78 ms)					
1	1	0	2 <sup>15</sup> /f <sub>IL</sub> (869.56 ms)					
1	1	1	2 <sup>17</sup> /f <sub>IL</sub> (3478.26 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)							
0	HALT/STOPモード時、カウンタ動作停止 <sup>注2</sup>							
1	HALT/STOPモード時、カウンタ動作許可							

**注1.** ブート・スワップ時は、000C0Hと040C0Hが切り替わるので、040C0Hにも000C0Hと同じ値を設定してください。

**注2.** WDSTBYON = 0のときは、WINDOW1、WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

図32-2 ユーザ・オプション・バイト (000C1H/040C1H) のフォーマット

アドレス : 000C1H/040C1H<sup>注</sup>

略号	7	6	5	4	3	2	1	0
	LVD0EN	LVD0SEL	1	1	1	LVD0V2	LVD0V1	LVD0V0

- LVD0の設定 (リセット・モード)

検出電圧		オプションバイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	1	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—				上記以外は設定禁止		

- LVD0の設定 (割り込みモード)

検出電圧		オプションバイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	0	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—				上記以外は設定禁止		

- LVD0オフ (RESET端子により外部リセットを使用)

検出電圧		オプションバイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
—	—	0	×	0	1	0
—		上記以外は設定禁止				

(注、注意、備考は次ページに続きます)

**注** ブート・スワップ時は、000C1Hと040C1Hが切り替わるので、040C1Hにも000C1Hと同じ値を設定してください。

**注意1.** ビット5-3には、必ず1を書き込んでください。

**注意2.** 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/040C2H) の設定により変わります。

**備考1.** × : Don't care

**備考2.** LVD0回路の詳細は、第26章 電圧検出回路 (LVD) を参照してください。

**備考3.** 検出電圧はTyp.値です。詳細は、37.6.6 LVD回路特性を参照してください。

図32-3 ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット

アドレス : 000C2H/040C2H注

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

オプションバイト (000C2H) の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	1	LP (低電力メイン) モード	1~2 MHz (フラッシュ・メモリ 書き換え不可)	1.6~5.5 V
1	0	LS (低速メイン) モード	1~2 MHz	1.6~5.5 V
			1~4 MHz (フラッシュ・メモリ 書き換え不可)	
			1~24 MHz	1.8~5.5 V
1	1	HS (高速メイン) モード	1~2 MHz	1.6~5.5 V
			1~4 MHz (フラッシュ・メモリ 書き換え不可)	
			1~32 MHz	1.8~5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は、000C2Hと040C2Hが切り替わるので、040C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5-4には、必ず10Bを書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、37.4 AC特性を参照してください。

## 32.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図32-4 オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）のフォーマット

アドレス：000C3H/040C3H<sup>注</sup>

略号	7	6	5	4	3	2	1	0
OCDENSET		0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない						

**注** ブート・スワップ時は、000C3Hと040C3Hが切り替わるので、040C3Hにも000C3Hと同じ値を設定してください。

**注意** ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。  
ビット6-1には、必ず000010Bを書き込んでください。

**備考** ビット3-1は、オンチップ・デバッグ機能使用時に値が書き換わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

## 32.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

.CSEG	OPT_BYTE	
.DB	0x36	;ウォッチドッグ・タイマのインターバル割り込みを使用しない、 ;ウォッチドッグ・タイマ動作許可、 ;ウォッチドッグ・タイマのウィンドウ・オープン期間50%、 ;ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$ 、 ;HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
.DB	0xBF	;VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択 ;LVD0の動作モードに割り込みモードを選択
.DB	0x6D	;フラッシュの動作モードにLP（低電力メイン）モード、 ;高速オンチップ・オシレータ・クロック周波数1 MHzを選択
.DB	0x85	;オンチップ・デバッグ動作許可、セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

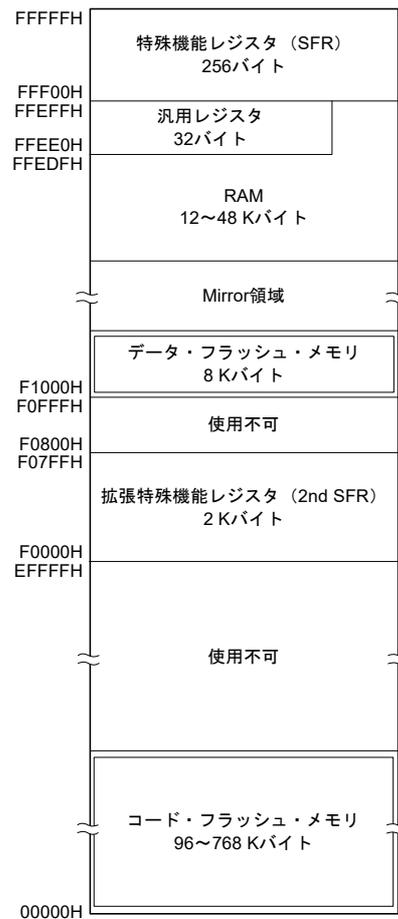
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは040C0H-040C3Hと切り替わります。そのため040C0H-040C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	.CSEG	AT	0x040C0	
	.DB		0x36	;ウォッチドッグ・タイマのインターバル割り込みを使用しない、 ;ウォッチドッグ・タイマ動作許可、 ;ウォッチドッグ・タイマのウィンドウ・オープン期間50%、 ;ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$ 、 ;HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
	.DB		0xBF	;VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択 ;LVD0の動作モードに割り込みモードを選択
	.DB		0x6D	;フラッシュの動作モードにLP（低電力メイン）モード、 ;高速オンチップ・オシレータ・クロック周波数1 MHzを選択
	.DB		0x85	;オンチップ・デバッグ動作許可、セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

**注意** オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT\_BYTEを使用してください。なお、ブート・スワップ機能を使用するために040C0H-040C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

## 第33章 フラッシュ・メモリ

RL78 マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ・メモリ領域”、データの格納に最適な“データ・フラッシュ・メモリ領域”、フラッシュ・メモリの動作設定やセキュリティ設定を格納する“エクストラ領域”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART 通信）によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング（33.1参照）  
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- 外部デバイス（UART内蔵）によるシリアル・プログラミング（33.2参照）  
外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。
- セルフ・プログラミング（33.6参照）  
ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

**注意** フラッシュ・メモリを書き換える際、中速オンチップ・オシレータは停止（MIOEN = 0）させ、メイン・オンチップ・オシレータ・クロック（foco）は高速オンチップ・オシレータを選択（MCM1 = 0）してください。フラッシュ動作モード選択レジスタ（FLMODEレジスタ）は変更しないでください。

データ・フラッシュ・メモリは、セルフ・プログラミングを利用して、ユーザ・プログラム実行中に書き換えることができます（バックグラウンド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては、**33.6 セルフ・プログラミング**および**33.10 データ・フラッシュ**を参照してください。

コード・フラッシュとデータ・フラッシュには書き換わりを保護する機能があります。詳細は、**27.3.3 フラッシュ・メモリ・ガード機能**を参照してください。

## 33.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E2, E2 Lite オンチップ・デバッグング・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

### (2) オフボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表33-1 RL78/G23と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号						
信号名		入出力	端子機能		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン
PG-FP6	E2, E2 Lite オンチップ・ デバッグ・ エミュレータ					LSSOP (300mil)	HWQFN (5×5) LQFP (7×7)	WFLGA (4×4)	HWQFN (6×6)	LQFP (10×10)	LFQFP (7×7) HWQFN (7×7)
—	TOOL0	入出力	送受信信号	TOOL0/ P40	5	1	F6	1	2	39	4
SI/RxD	—	入出力									
—	RESET	出力	リセット信号	RESET	6	2	E5	2	3	40	5
/RESET	—	出力									
Vcc	VDD	入出力	VDD電圧生成 ／電源監視	VDD	12	8	B6	10	11	48	13
GND		—	グラウンド	Vss	11	7	C5	9	10	47	12
				REGC <sup>注</sup>	10	6	D5	8	9	46	11
FLMD1	EMVDD	—	TOOL0端子駆 動電源	VDD	12	8	B6	10	11	48	13

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号					
信号名		入出力	端子機能		64ピン	64ピン	80ピン	100ピン	100ピン	128ピン
PG-FP6	E2, E2 Lite オンチップ・ デバッグ・ エミュレータ					LQFP (12×12) LFQFP (10×10)	WFLGA (5×5)	LQFP (14×14) LFQFP (12×12)	LFQFP (14×14)	LQFP (14×20)
—	TOOL0	入出力	送受信信号	TOOL0/ P40	5	D6	9	12	89	22
SI/RxD	—	入出力								
—	RESET	出力	リセット信号	RESET	6	E7	10	13	90	26
/RESET	—	出力								
Vcc	VDD	入出力	VDD電圧生成 ／電源監視	VDD	15	B7	19	22	99	35
GND		—	グラウンド	Vss	13	C7	17	20	97	33
				EVss	14	B8	18	21, 43	98, 20	34, 56
				REGC <sup>注</sup>	12	D7	16	19	96	32
FLMD1	EMVDD	—	TOOL0端子駆 動電源	EVDD	16	A8	20	23, 53	100, 30	36, 57

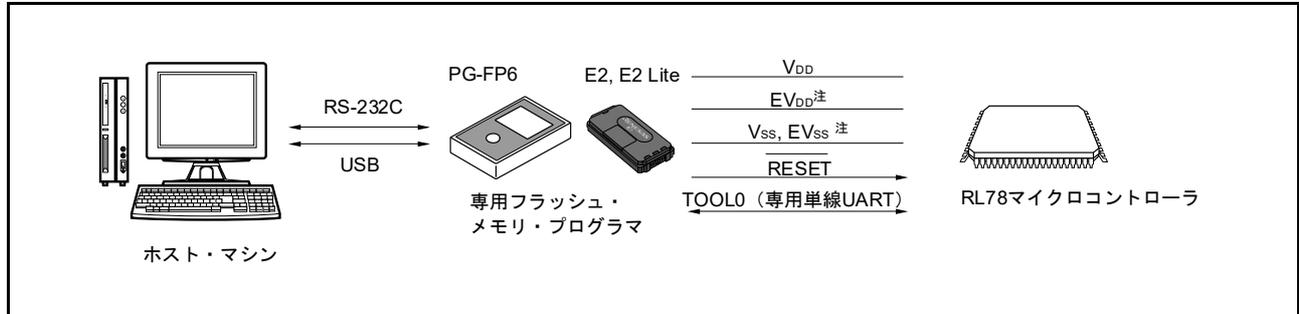
注 REGC端子はコンデンサ (0.47～1 μF) を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラムによるプログラミング時にはオープンでかまいません。

### 33.1.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図33-1 フラッシュ・メモリにプログラムを書き込むための環境



注 64～128ピン製品のみ

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

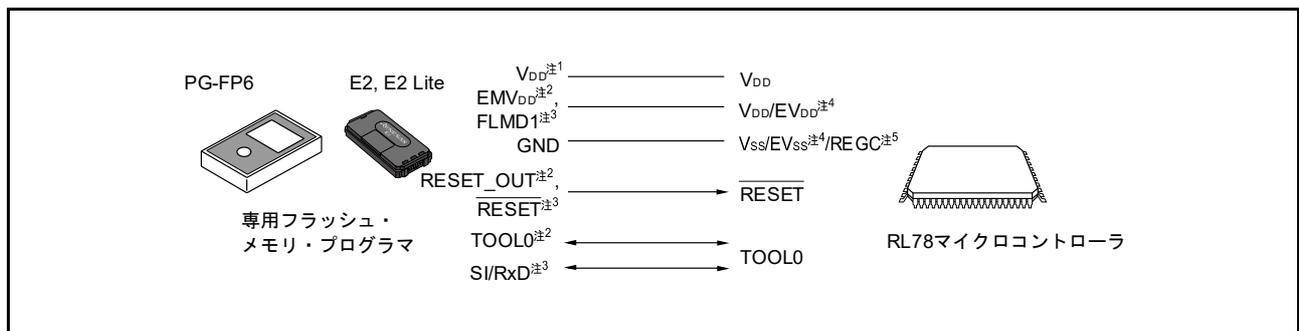
また、専用フラッシュ・メモリ・プログラマとRL78 マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

### 33.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78 マイクロコントローラとの通信は、RL78 マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図33-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はVccです。

注2. E2, E2 Liteオンチップ・デバッグ・エミュレータ使用時。

注3. PG-FP6使用時。

注4. 64～128ピン製品のみ

注5. REGC端子はコンデンサ (0.47～1 μF) を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78 マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6 または E2, E2 Lite オンチップ・デバッグ・エミュレータのマニュアルを参照してください。

表33-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78 マイクロコントローラ		
信号名		入出力	端子機能	端子名 <sup>注1</sup>
PG-FP6	E2, E2 Lite オンチップ・デバッグ・エミュレータ			
VCC	VDD	入出力	VDD 電圧生成/電圧監視	VDD
GND		—	グラウンド	VSS, EVSS, REGC <sup>注2</sup>
FLMD1	EMVDD	—	TOOL0 端子駆動電源	VDD, EVDD
RESET	—	出力	リセット信号	RESET
—	RESET_OUT	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. 接続先端子は、製品によって異なります。詳細は、表33-1を参照してください。

注2. REGC端子はコンデンサ (0.47 ~ 1 μF) を介してグラウンドに接続してください。

## 33.2 外部デバイス (UART内蔵) によるシリアル・プログラミング

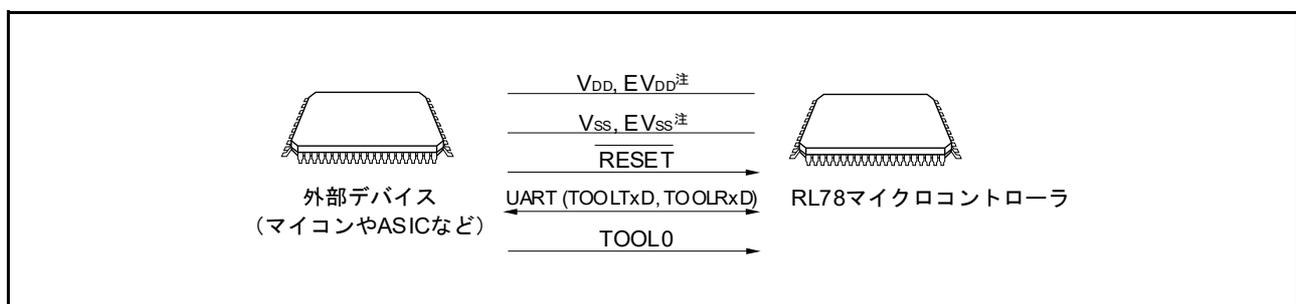
オンボード上でRL78 マイクロコントローラと UART 接続されている外部デバイス (マイコンやASIC) を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78 マイクロコントローラ (RL78 プロトコル C) シリアルプログラミング編アプリケーションノート (R01AN5756) を参照してください。

### 33.2.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図33-3 フラッシュ・メモリにプログラムを書き込むための環境



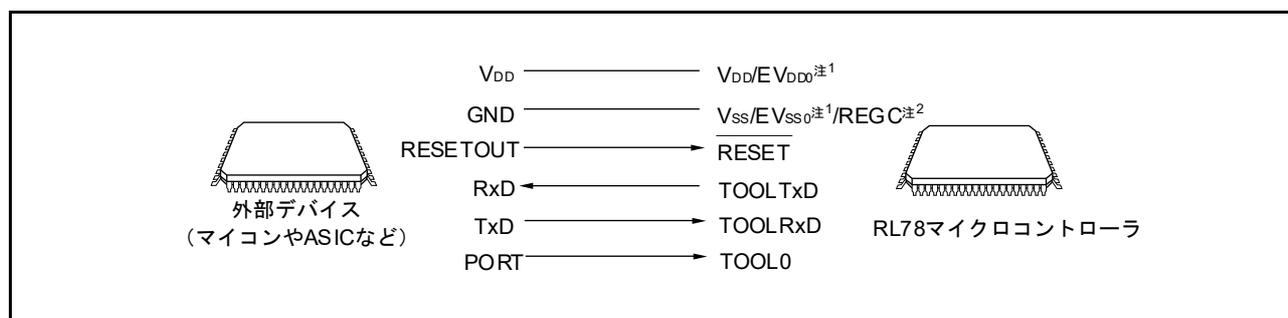
注 64 ~ 128ピン製品のみ

### 33.2.2 通信方式

外部デバイスと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図33-4 外部デバイスとの通信



注1. 64～128ピン製品のみ

注2. REGC端子はコンデンサ (0.47～1 μF) を介してグラウンドに接続してください。

外部デバイスは RL78 マイクロコントローラに対して次の信号を生成します。

表33-3 端子接続一覧

外部デバイス			RL78 マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成／電圧監視	VDD, EVDD <sup>注1</sup>
GND	—	グラウンド	VSS, REGC <sup>注2</sup> , EVSS <sup>注1</sup>
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注1. 64～128ピン製品のみ

注2. REGC端子はコンデンサ (0.47～1 μF) を介してグラウンドに接続してください。

## 33.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

**備考** フラッシュ・メモリ・プログラミング・モードに関しては、**33.4.2 フラッシュ・メモリ・プログラミング・モード**を参照してください。

### 33.3.1 P40／TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k $\Omega$ の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合は、以下の方法で使用してください。

**入力時** : 外部リセット解除時から t<sub>HD</sub> の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 k $\Omega$ 以上の抵抗を使用してください。

**出力時** : プルダウンで使用する場合は、500 k $\Omega$ 以上の抵抗を使用してください。

**備考1.** t<sub>HD</sub> : フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部／内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。**37.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

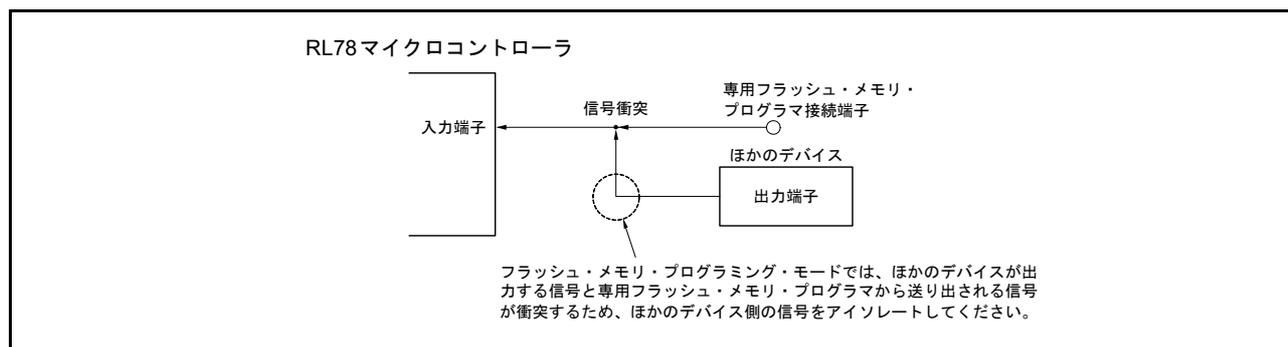
**備考2.** RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART（TOOL0端子）を使用するので、SAUやIICAの端子は使用しません。

### 33.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している  $\overline{\text{RESET}}$  端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図33-5 信号の衝突 ( $\overline{\text{RESET}}$  端子)



### 33.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してVDDに接続するか、もしくは抵抗を介してVSSに接続するなどの端子処理が必要です。

### 33.3.4 REGC 端子

REGC 端子は、通常動作時と同様に、特性の良いコンデンサ (0.47 ~ 1  $\mu$ F) を介し、GND に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

### 33.3.5 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラムのVDD<sup>注</sup>に、VSS 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、フラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD, VSS 端子はフラッシュ・メモリ・プログラムのVDD<sup>注</sup>、GND と必ず接続してください。

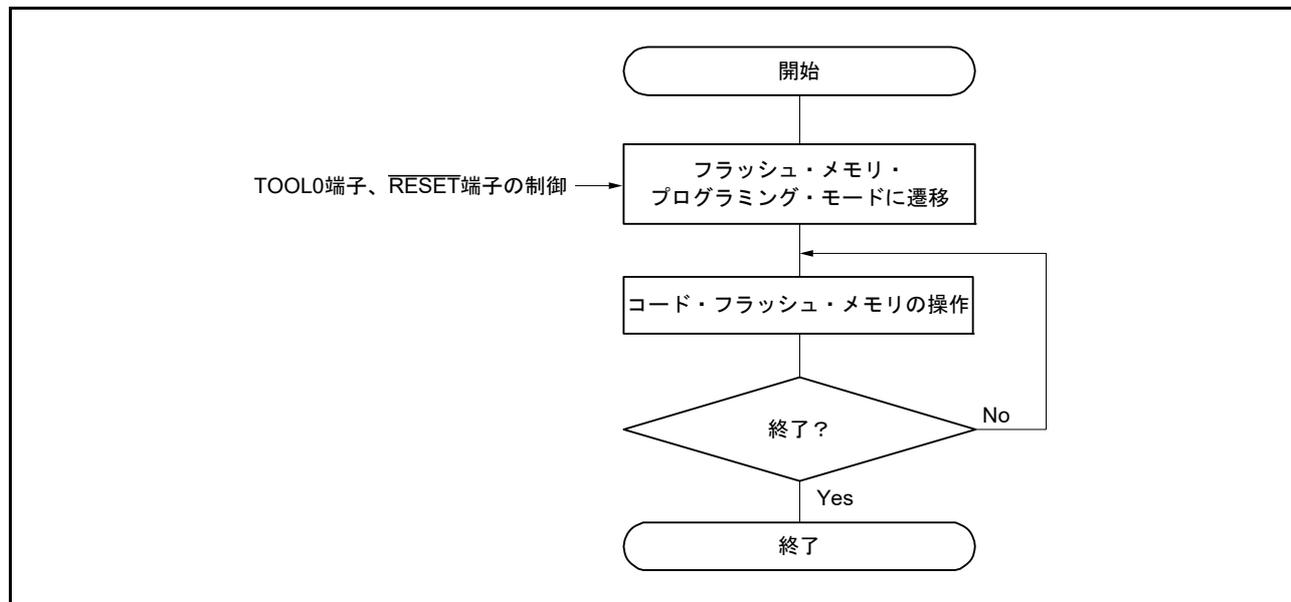
**注** PG-FP6の信号名はVccです。

## 33.4 プログラミング方法

### 33.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図33-6 コード・フラッシュ・メモリの操作手順



### 33.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

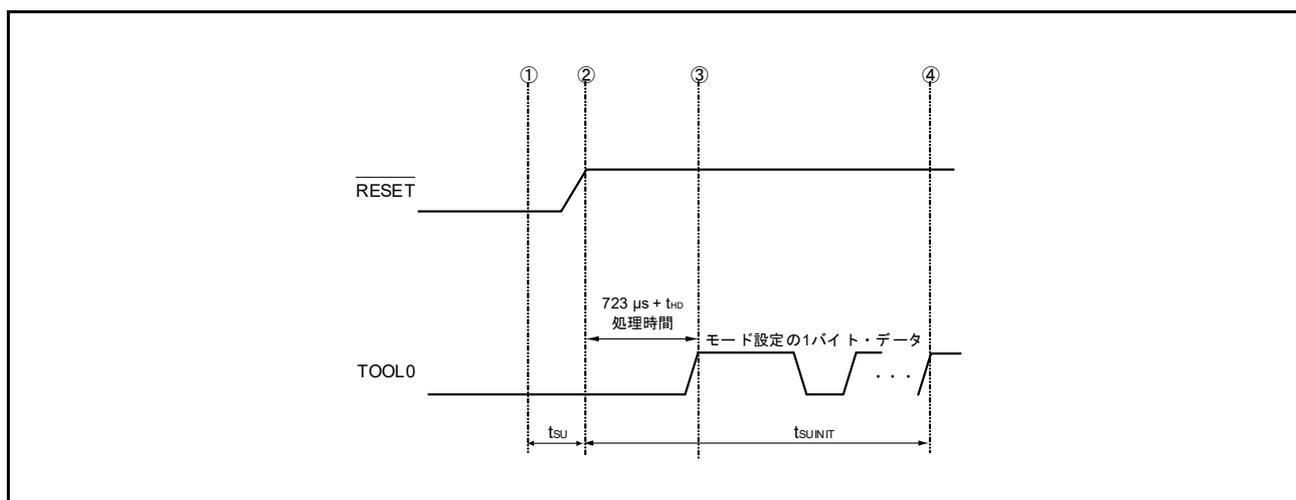
<外部デバイス（UART 通信）を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表33-4参照）。その後、図33-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78マイクロコントローラ（RL78プロトコルC）シリアルプログラミング編アプリケーションノート（R01AN5756）を参照してください。

表33-4 リセット解除時のTOOL0端子への印加電圧と動作モードの関係

TOOL0	動作モード
EVDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図33-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるポーレート設定完了

**備考** tsuINIT : この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間  
（フラッシュ・ファーム処理時間を除く）。

詳細は、37.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

### 33.4.3 通信方式

RL78 マイクロコントローラの通信方式は、次のようになります。

表33 - 5 通信方式

通信方式	Standard 設定 <sup>注1</sup>				使用端子
	Port	Speed <sup>注2</sup>	Frequency	Multiply Rate	
単線 UART (フラッシュ・メモリ・ プログラマ使用時、または 外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用 UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

**注1.** フラッシュ・メモリ・プログラマの GUI 上の Standard 設定における設定項目です。

**注2.** UART 通信にはボーレート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

### 33.4.4 通信コマンド

RL78 マイクロコントローラは、表 33 - 6 に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスから RL78 マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、**RL78 マイクロコントローラ (RL78 プロトコル C) シリアルプログラミング編アプリケーションノート (R01AN5756)** を参照してください。

表33 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます <sup>注</sup> 。
情報取得	Silicon Signature	RL78 マイクロコントローラ情報 (品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど) を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART 選択時のボーレートを設定します。

**注** 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョンなど）を取得することができます。

表 33 - 7 にシグネチャ・データ一覧を、表 33 - 8 にシグネチャ・データ例を示します。

表33 - 7 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名 (ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-1FFFFH (128 KB) → FFH, FFH, 01H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F2FFFH (8 KB) → FFH, 2FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1.02 → 01H, 00H, 02H)	3バイト

表33 - 8 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ (16進数)
デバイス・コード	RL78 プロトコルC	3バイト	10 00 0A
デバイス名	R7F100GLG	10バイト	52 = “R” 37 = “7” 46 = “F” 31 = “1” 30 = “0” 30 = “0” 47 = “G” 4C = “L” 47 = “G” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-1FFFFH (128 KB)	3バイト	FF FF 01
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F2FFFH (8 KB)	3バイト	FF 2F 0F
ファームウェア・バージョン	Ver. 1.02	3バイト	01 00 02

### 33.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間 (参考値) を次に示します。

表33 - 9 PG-FP6使用時の各コマンド処理時間 (参考値)

PG-FP6のコマンド	コード・フラッシュ						
	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト	768 Kバイト
消去	1.2 s	1.3 s	1.7 s	2.1 s	2.8 s	3.5 s	5 s
書き込み	2.4 s	2.9 s	4 s	5.2 s	7.3 s	9.5 s	14.1 s
ベリファイ	1.7 s	2.2 s	3 s	3.9 s	5.6 s	7.3 s	10.9 s
消去後、書き込み	3.2 s	4 s	5.4 s	6.9 s	9.8 s	12.7 s	18.8 s

**備考** コマンド処理時間 (参考値) はTyp.値です。次に条件を示します。

Port : TOOL0 (単線UART)

Speed : 1,000,000 bps

## 33.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップデートなどができるようになります。

詳細は、RL78 ファミリ Renesas Flash Driver RL78 Type01 ユーザーズマニュアル (R20UT4830JJ) を参照してください。

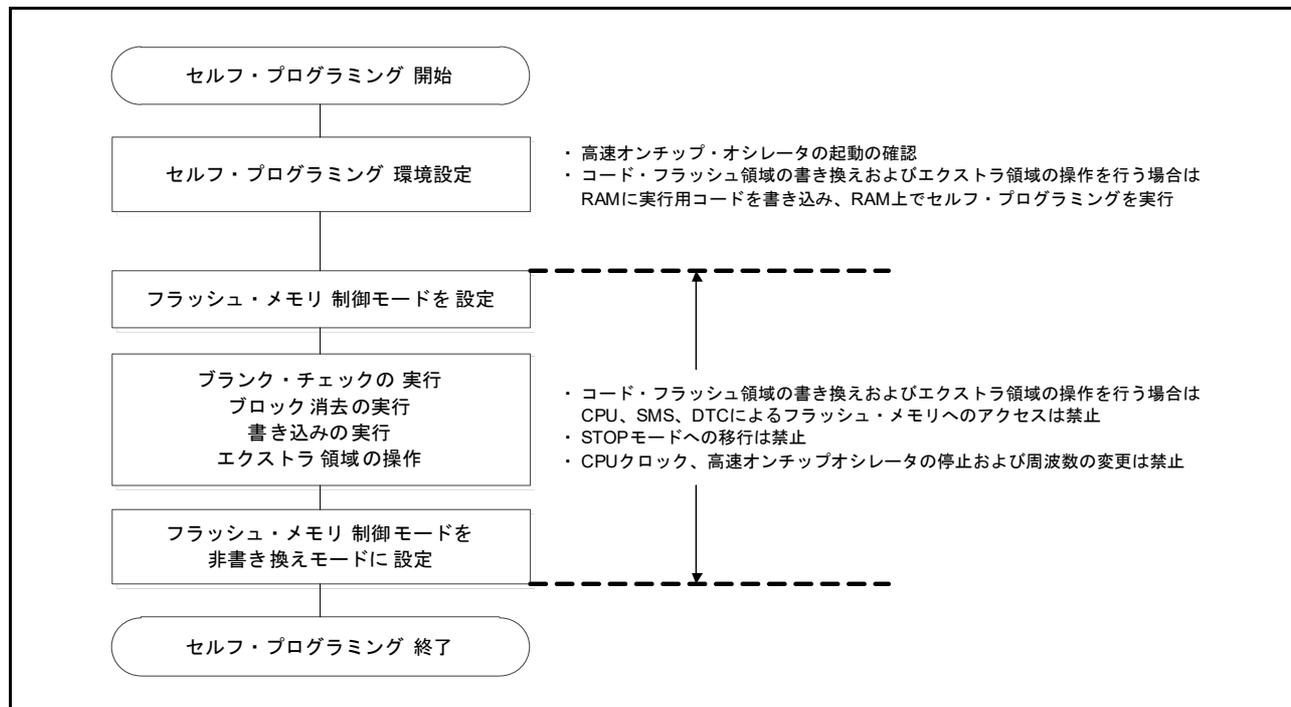
- 注意1. CPUがサブシステム・クロック (fsUB) 動作時の場合、セルフ・プログラミング機能は使用できません。
- 注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でセルフ・プログラミングを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミングを実行してください。
- 注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP = 0) させ、5  $\mu$ s 経過後にセルフ・プログラミングを実行してください。また、中速オンチップ・オシレータは停止 (MIOEN = 0) させ、メイン・オンチップ・オシレータ・クロック (foco) は高速オンチップ・オシレータを選択 (MCM1 = 0) してください。
- 注意4. フラッシュ・メモリの書き換え中は、フラッシュ動作モード選択レジスタ (FLMODEレジスタ) は変更しないでください。

### 33.6.1 セルフ・プログラミング手順

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、**33.6.2 フラッシュ・メモリを制御するレジスタ**を参照してください。

図33-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



### 33.6.2 フラッシュ・メモリを制御するレジスタ

フラッシュ・メモリを制御するレジスタを次に示します。

- フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)
- フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL)
- フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)
- フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)
- フラッシュ・ステータス・レジスタ (PFS)
- フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- フラッシュ領域選択レジスタ (FLARS)
- フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)
- フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)
- フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE)
- フラッシュ・レジスタ初期化レジスタ (FLRST)
- フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)
- フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)
- フラッシュ FSW モニタ・レジスタ E (FLFSWE)
- フラッシュ FSW モニタ・レジスタ S (FLFSWS)
- データ・フラッシュ・コントロール・レジスタ (DFLCTL)
- 割り込みベクタ移動許可レジスタ (VECTCTRL)
- 割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1)

### 33.6.2.1 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)

フラッシュ・メモリ・プログラミング時の先頭アドレスを指定するレジスタです。

FLAPH レジスタは、8 ビット・メモリ操作命令、FLAPL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLAPH レジスタは 00H、FLAPL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図33-9 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) のフォーマット

アドレス : F02C4H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス : F02C2H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLAPL	FLAP15	FLAP14	FLAP13	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8
	7	6	5	4	3	2	1	0
	FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

注意1. FLAPH, FLAPL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ領域はプログラミング・モード)

注意2. エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0、ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

### 33.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L (FLSEDH, FLSEDL)

フラッシュ・メモリ・プログラミング時の最終アドレスを指定するレジスタです。

FLSEDH レジスタは、8 ビット・メモリ操作命令、FLSEDL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLSEDH レジスタは 00H、FLSEDL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図33-10 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L (FLSEDH, FLSEDL) のフォーマット

アドレス : F02C8H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス : F02C6H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSEDL	EWA15	EWA14	EWA13	EWA12	EWA11	EWA10	EWA9	EWA8
	7	6	5	4	3	2	1	0
	EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	EWA1	EWA0

**注意1.** FLSEDH, FLSEDL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ領域はプログラミング・モード)

**注意2.** エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0、ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

**注意3.** コード・フラッシュ・メモリへのプログラミングでは、EWA1 および EWA0 ビットの設定は無効です。

表33 - 10 FLAPH, FLAPL, FLSEDH, FLSEDLレジスタの設定方法

コード/データ・フラッシュ 領域シーケンサの専用コマンド		FLAP, FLSEDの設定	
FSSQ	書き込み	FLAPH, FLAPL FLSEDH, FLSEDL	: 書き込み対象アドレス : ALL 0
	ブランク・チェック	1ワードの場合 2ワード以上の場合	: FLAPH, FLAPL設定値 = FLSEDH, FLSEDL設定値 : FLAPH, FLAPL設定値 < FLSEDH, FLSEDL設定値
	ブロック消去注	コード・フラッシュ	FLAPH, FLAPL : FLAP19-11に先頭アドレス、FLAP10-2にALL 0
			FLSEDH, FLSEDL : EWA19-11に最終アドレス、EWA10-2にALL 1
	データ・フラッシュ	FLAPH, FLAPL : FLAP19-8に先頭アドレス、FLAP7-0にALL 0	
FLSEDH, FLSEDL : EWA19-8に最終アドレス、EWA7-0にALL 1			
FSSE	すべてのコマンド	FLAPH, FLAPL設定値 FLSEDH, FLSEDL設定値	: ALL 0 : ALL 0

注 FLAPH, FLAPLレジスタとFLSEDH, FLSEDLレジスタは以下の条件を満たすよう設定してください。  
 FLAPH, FLAPL設定値 ≤ FLSEDH, FLSEDL設定値

### 33.6.2.3 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)

フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。

FLWH, FLWL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLWH, FLWL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1
- フラッシュ・メモリ・シーケンサの動作完了

データ・フラッシュ・メモリの書き込みデータは FLWL レジスタの下位 8 ビットに設定します。

図33-11 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL) のフォーマット

アドレス : F02CEH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24
	7	6	5	4	3	2	1	0
	FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス : F02CCH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8
	7	6	5	4	3	2	1	0
	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

**注意1.** FLWH, FLWL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ領域はプログラミング・モード)

**注意2.** エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0、ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

**注意3.** データ・フラッシュ・メモリへの書き込みは、FLWL レジスタの下位 8 ビットに書き込みデータを設定してください。それ以外のビットは 0 に設定してください。

### 33.6.2.4 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作に対して、プロテクションを施すためレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスに従って“A5H”を書き込む必要があります。特定シーケンスの実行手順については、**33.6.3 フラッシュ・メモリ制御モードの設定**を参照してください。

PFCMD レジスタは、8 ビット・メモリ操作命令で設定します。

図33-12 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) のフォーマット

アドレス : F00C0H

リセット時: 不定

R/W属性 : W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

### 33.6.2.5 フラッシュ・ステータス・レジスタ (PFS)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作に対して、プロテクション・エラーの発生を示すレジスタです。

FPRERR ビットのセット/クリア条件は、**33.6.3.1 特定シーケンス実行手順**を参照してください。

PFS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図33-13 フラッシュ・ステータス・レジスタ (PFS) のフォーマット

アドレス : F00C1H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR
FPRERR	プロテクション・エラー・フラグ							
0	エラー発生なし							
1	エラー発生あり							

### 33.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・メモリへの書き込みの禁止/許可やプログラミング・モードを選択するレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスの実行が必要です。特定シーケンスの実行手順については、**33.6.3 フラッシュ・メモリ制御モードの設定**を参照してください。

FLPMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、08H になります。

図33-14 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : F02C0H

リセット時: 08H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	EEEMD	FWEDIS	0	FLSPM	0
EEEMD	データ・フラッシュ・メモリのプログラミング・モード選択							
	0	非書き換えモード						
	1	プログラミング・モード						
FWEDIS	コード・フラッシュ・メモリの消去/書き込み許可/禁止のソフトウェア制御 <sup>注</sup>							
	0	消去/書き込み許可						
	1	消去/書き込み禁止						
FLSPM	コード・フラッシュ・メモリのプログラミング・モード選択							
	0	非書き換えモード						
	1	プログラミング・モード						

**注** コード・フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず0に設定してください。

**注意** エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタのSQEND = 0、ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0) のときにFLPMC レジスタへの書き換えは有効になります。

### 33.6.2.7 フラッシュ領域選択レジスタ (FLARS)

セルフ・プログラミングの対象とするフラッシュ・メモリの領域を選択するレジスタです。  
FLARS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。  
以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図33 - 15 フラッシュ領域選択レジスタ (FLARS) のフォーマット

アドレス : F02C1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLARS	0	0	0	0	0	0	0	EXA

EXA	セルフ・プログラミングの対象とするフラッシュ・メモリ領域の選択
0	コード/データ・フラッシュ領域
1	エクストラ領域

**注意** FLARS レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが 1 (コード・フラッシュ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが 1 (データ・フラッシュ領域はプログラミング・モード)

### 33.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)

フラッシュ・メモリ・シーケンサの動作周波数設定、ブート・スワップ機能の初期設定をするレジスタです。FSSETレジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図33-16 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) のフォーマット

アドレス : F00B6H  
 リセット時: 00H  
 R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	0	FSET4	FSET3	FSET2	FSET1	FSET0
TMSPMD	ブート領域設定の選択 <sup>注</sup>							
0	エクストラ領域のセキュリティ・フラグとブート・スワップ機能の設定領域のEX bit 8 (BTFLG) の値に従ってブート領域を指定 BTFLG = 0: ブート領域はブート・クラスタ1 BTFLG = 1: ブート領域はブート・クラスタ0 (デフォルト)							
1	TMBTSELビットに従ってブート領域を指定							
TMBTSEL	TMSPMD = 1のときのブート領域の指定							
0	ブート領域にブート・クラスタ0を指定							
1	ブート領域にブート・クラスタ1を指定							
FSET4-FSET0	フラッシュ・メモリ・シーケンサの動作周波数の設定							
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0設定値の関係は表33-11を参照してください。							

**注** FLSECレジスタのBTPRビットが0 (ブート領域書き換え禁止) の場合、TMSPMD、TMBTSELビットは設定できません。

**注意1.** FSSETレジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMCレジスタのFLSPMビットが1 (コード・フラッシュ領域はプログラミング・モード)
- FLPMCレジスタのEEEMDビットが1 (データ・フラッシュ領域はプログラミング・モード)

**注意2.** ブート領域の設定は設定後ただちに反映されます。リセット解除後にブート領域を変更したい場合は、TMSPMDが0の状態ではFSASTLレジスタのMBTSELビットを読み出して、同じ値をTMBTSELビットに設定してください。その後、TMSPMDを1に設定し、エクストラ領域シーケンサでBTFLGビットにリセット解除時にブート領域として起動するブート・クラスタを指定してください。次のリセット解除時にBTFLGビットに設定したブート・クラスタをブート領域として起動します。

表33 - 11 フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0設定値の関係

動作周波数 (MHz)	FSET4-FSET0 設定値	動作周波数 (MHz)	FSET4-FSET0 設定値	動作周波数 (MHz)	FSET4-FSET0 設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

**注意** CPU が動作する周波数の小数点以下を切り上げた整数値を設定してください。

(例 : CPU が動作する周波数が4.5 MHz の場合は、5 を設定してください)

ただし、CPU が動作する周波数が4 MHz 未満の場合は、整数値ではない1.5 MHz などの周波数は使用できません。

### 33.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)

コード/データ・フラッシュ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

コード/データ・フラッシュ領域シーケンサは、FSSQ レジスタの SQST ビットを 1 に設定すると MDCH、SQMD2-SQMD0 ビットに設定されたコマンドを実行します。

FSSQ レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図33-17 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ) のフォーマット (1/2)

アドレス : F02C5H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
FSSQ	SQST	FSSTP	0	0	MDCH	SQMD2	SQMD1	SQMD0
	SQST	コード/データ・フラッシュ領域シーケンサの動作制御						
	0	動作停止 <sup>注1</sup>						
	1	動作開始						
	FSSTP	コード/データ・フラッシュ領域シーケンサの強制停止制御						
	0	強制停止しない						
	1	強制停止する						

図33-17 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット (2/2)

MDCH	SQMD2	SQMD1	SQMD0	コード/データ・フラッシュ領域シーケンサのコマンド
0	0	0	1	<ul style="list-style-type: none"> <li>書き込み FLWH, FLWHLレジスタに格納したデータをFLAPH, FLAPLレジスタで指定されるアドレスに書き込みます。<b>注2</b> コード・フラッシュ領域のアドレス指定した場合は4バイトのデータを書き込みます。データ・フラッシュ領域のアドレスを指定した場合はFLWLレジスタの下位8ビット（FLW7-FLW0）に格納された1バイトを指定したアドレスに書き込みます。</li> </ul>
0	0	1	1	<ul style="list-style-type: none"> <li>コード・フラッシュ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのコード・フラッシュ領域が1であるかチェックを行います。<b>注3</b></li> </ul>
1	0	1	1	<ul style="list-style-type: none"> <li>データ・フラッシュ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのデータ・フラッシュ領域が1であるかチェックを行います。</li> </ul>
0	1	0	0	<ul style="list-style-type: none"> <li>ブロック消去 FLAPH, FLAPLレジスタで指定されるアドレスからFLSEDH, FLSEDLレジスタで指定されるアドレスまでのブロックを消去します。<b>注4</b></li> </ul>
上記以外				設定禁止

**注1.** FSASTHレジスタのSQEND = 1（シーケンサの動作終了）を確認した後に、SQSTビットを0に設定してコード/データ・フラッシュ領域シーケンサの動作を停止してください。

**注2.** コード・フラッシュ領域へ書き込み単位は4バイトです。FLSEDLレジスタは4の倍数になる様に下位2ビットは00Bに設定してください。詳細は**33.6.6.4 コード・フラッシュ領域書き換えの操作**を参照してください。

**注3.** コード・フラッシュ領域のブランクチェックは4バイト毎の先頭アドレスを指定します。FLSEDLレジスタは4の倍数になる様に下位2ビットは00Bに設定してください。詳細は**33.6.6.4 コード・フラッシュ領域書き換えの操作**を参照してください。

**注4.** コード・フラッシュ領域の消去ブロック単位は2 Kバイトです。また、データ・フラッシュの消去ブロック単位は256バイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスから終了アドレスを指定してください。詳細は**33.6.6.4 コード・フラッシュ領域書き換えの操作**、**33.6.6.5 データ・フラッシュ領域書き換えの操作**を参照してください。また、アドレスとブロック番号の関係については、**表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

**注意** FSSQレジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMCレジスタのFLSPMビットが1（コード・フラッシュ領域はプログラミング・モード）かつFWEDISビットが0（コード・フラッシュ・メモリの消去/書き込み許可）
- FLPMCレジスタのEEEMDビットが1（データ・フラッシュ領域はプログラミング・モード）

### 33.6.2.10 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE)

エクストラ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

フラッシュ・エクストラ領域シーケンサは、FSSE レジスタの ESQST ビットを 1 に設定すると ESQMD3-ESQMD0 ビットに設定されたコマンドを実行します。

FSSE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図33 - 18 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) のフォーマット (1/2)

アドレス : F00B7H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
FSSE	ESQST	0	0	0	ESQMD3	ESQMD2	ESQMD1	ESQMD0
ESQST	エクストラ領域シーケンサの動作制御							
0	動作停止 <sup>注</sup>							
1	動作開始							

図33 - 18 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) のフォーマット (2/2)

ESQMD3	ESQMD2	ESQMD1	ESQMD0	エクストラ領域シーケンサのコマンド
0	0	0	1	<ul style="list-style-type: none"> <li>フラッシュ・シールド・ウィンドウの設定領域への書き込み FLWH, FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・シールド・ウィンドウの設定領域に書き込みます。フラッシュ・シールド・ウィンドウ・モード制御、スタート・ブロック、エンド・ブロックを設定します。フラッシュ・シールド・ウィンドウの設定領域のEX bit 15 (FSPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。</li> </ul>
0	1	1	0	<ul style="list-style-type: none"> <li>フラッシュ・リード・プロテクションの設定領域への書き込み FLWH, FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・リード・プロテクションの設定領域に書き込みます。フラッシュ・リード・プロテクション設定の変更禁止、スタート・ブロック、エンド・ブロックを設定します。フラッシュ・リード・プロテクションの設定領域のEX bit 31 (SWPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。</li> </ul>
0	1	1	1	<ul style="list-style-type: none"> <li>セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み FLWH, FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・メモリのセキュリティ・フラグとブート・スワップ機能の設定領域に書き込みます。ブロック消去禁止、書き込み禁止、ブート領域の書き換え禁止、ブート領域の選択を設定します。セキュリティ・フラグとブート・スワップ機能の設定領域のEX bit 9 (BTPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。</li> </ul>
上記以外				設定禁止

**注** FSASTHレジスタのESQEND = 1 (シーケンサの動作終了) を確認した後に、ESQSTビットを0に設定してエクストラ領域シーケンサの動作を停止してください。

**注意1.** FSSEレジスタは以下の条件のときに書き換え可能です。

- FLMPCレジスタのFLSPMビットが1 (コード・フラッシュ領域はプログラミング・モード) かつFWEDISビットが0 (コード・フラッシュ・メモリの消去/書き込み許可)

**注意2.** エクストラ領域に書き込みをする場合は、エクストラ領域シーケンサを起動する前にFLARSレジスタのEXAビットに1を設定し、FLWH, FLWLレジスタに書き込みデータを設定してください。

**注意3.** ESQMD3-ESQMD0ビットは、エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTHレジスタのSQEND = 0、ESQEND = 0、FSSQレジスタのSQST = 0、FSSEレジスタのESQST = 0) のときに書き換えてください。

### 33.6.2.11 フラッシュ・レジスタ初期化レジスタ (FLRST)

エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサで使用するレジスタを初期化するレジスタです。

FLRST レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

FLRST レジスタの操作方法の詳細は、**33.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化**を参照してください。

リセット信号の発生により、00H になります。

図33-19 フラッシュ・レジスタ初期化レジスタ (FLRST) のフォーマット

アドレス : F02C9H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST

FLRST	レジスタの初期化制御
0	リセット動作しない
1	FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタをリセットする

**注意1.** FLRST = 1にしてレジスタを初期化は、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態 (FSASTHレジスタのSQEND = 0、ESQEND = 0、FSSQレジスタのSQST = 0、FSSEレジスタのESQST = 0のとき) でのみ可能です。

**注意2.** シーケンサを使用するときはFLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSEを設定する前に必ずFLRSTビットを0にしてください。また、シーケンサ動作中はFLRSTを1に設定しないでください。

### 33.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL)

フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。

FSASTH, FSASTL レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

図33-20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL) のフォーマット (1/2)

アドレス : F02CBH

リセット時: 00H/04H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	*	0	0

アドレス : F02CAH

リセット時: 00H/80H<sup>注</sup>

R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

**注** MBTSELビットの初期値は、エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の値に依存するため、不定です。

ESQEND	エクストラ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはESQSTビットを0に設定して動作停止
1	動作終了

SQEND	コード/データ・フラッシュ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはSQSTビットを0に設定して動作停止
1	動作終了

MBTSEL	ブート・フラグ・モニタ・ビット <sup>注</sup>
0	BTFLG = 1（ブート領域はブート・クラスタ0）
1	BTFLG = 0（ブート領域はブート・クラスタ1）

MOPEN	コード/データ・フラッシュ領域シーケンサの動作ステータス・フラグ
0	動作停止
1	動作中

ESEQER	エクストラ領域シーケンサ・エラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサを起動するとクリアされます。	

図33 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL) のフォーマット (2/2)

SEQR	フラッシュ・メモリ・シーケンサのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされます。	

BLER	ブランク・チェック・コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされます。	

WRER	書き込みコマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされます。また、書き込み中に強制終了するとリード値は不定になります。	

ERER	ブロック消去コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされます。また、ブロック消去中に強制終了するとリード値は不定になります。	

注 エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の反転値を示します。

## 33.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)

エクストラ領域に設定されたセキュリティ・フラグとブート・スワップ機能の設定の情報をモニタするレジスタです。

FLSEC レジスタは、16 ビット・メモリ操作命令で読み出します。

図33-21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) のフォーマット

アドレス : F00B0H

リセット時: 不定

R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLSEC	0	0	0	WRPR	0	SEPR	BTPR	BTFLG
	7	6	5	4	3	2	1	0
	0	0	0	0	SWPR	0	IFPR	IDEN
WRPR	書き込み禁止フラグ							
0	書き込み禁止							
1	書き込み許可							
SEPR	ブロック消去禁止フラグ							
0	ブロック消去禁止							
1	ブロック消去許可							
BTPR	ブート領域書き換え禁止フラグ							
0	ブート領域の書き換えを禁止							
1	ブート領域の書き換えを許可							
BTFLG	ブート領域切り替えフラグ							
0	ブート領域は、ブート・クラスタ1							
1	ブート領域は、ブート・クラスタ0							
SWPR	フラッシュ・リード・プロテクション設定の変更禁止フラグ							
0	禁止状態							
1	許可状態							
IFPR	プログラマ・オンチップ・デバグが接続禁止フラグ							
0	接続禁止							
1	接続許可							
IDEN	プログラマ接続ID認証の有効フラグ							
0	ID認証有効							
1	ID認証無効							

### 33.6.2.14 フラッシュ FSW モニタ・レジスタ E (FLFSWE)

フラッシュ・シールド領域のエンド・ブロック番号およびシールド領域がウィンドウ範囲の内側か外側かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWE レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**33.8 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWE レジスタは、16 ビット・メモリ操作命令で読み出します。

図33-22 フラッシュ FSW モニタ・レジスタ E (FLFSWE) のフォーマット

アドレス : F00B4H

リセット時: 不定

R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWE	FSWC	0	0	0	0	0	0	FSWE8
	7	6	5	4	3	2	1	0
	FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0
FSWC	シールド領域設定							
0	インサイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の内側							
1	アウト・サイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の外側							
FSWE8- FSWE0	フラッシュ・シールド領域のエンド・ブロック番号							
—	エンド・ブロック + 1注							

**注** エクストラ領域に設定された値が示されます。実際のエンド・ブロックのブロック番号はFSWE8-FSWE0ビットの値から1を引いたブロック番号になります。また、シリアル・プログラミング時ではエンド・ブロックのブロック番号を指定しますが、エクストラ領域にはエンド・ブロック + 1で設定されます。詳細は、**表33-12**を参照してください。

## 33.6.2.15 フラッシュ FSW モニタ・レジスタ S (FLFSWS)

フラッシュ・シールド領域のスタート・ブロック番号およびフラッシュ・シールド・ウィンドウ設定が書き換え禁止か許可かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWS レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**33.8 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWS レジスタは、16 ビット・メモリ操作命令で読み出します。

図33-23 フラッシュ FSW モニタ・レジスタ S (FLFSWS) のフォーマット

アドレス : F00B2H

リセット時: 不定

R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWS	FSPR	0	0	0	0	0	0	FSWS8
	7	6	5	4	3	2	1	0
	FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止フラグ							
0	禁止状態							
1	許可状態							
FSWS8- FSWS0	フラッシュ・シールド領域のスタート・ブロック番号							
—	スタート・ブロック							

### 33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュ領域へのアクセス許可／禁止を設定するレジスタです。

DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図33 - 24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュ領域のアクセス制御							
0	データ・フラッシュ領域のアクセス禁止							
1	データ・フラッシュ領域のアクセス許可							

### 33.6.2.17 割り込みベクタ移動許可レジスタ (VECTCTRL)

セルフ・プログラミング実行中に発生した割り込みに対し、分岐先を設定するレジスタです。

VECTCTRL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図33 - 25 割り込みベクタ移動許可レジスタ (VECTCTRL) のフォーマット

アドレス : F00FFH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
VECTCTRL	0	0	0	0	0	0	0	VECTCTRL

VECTCTRL	割り込みの分岐先設定
0	ROM上の割り込みベクタ・アドレス
1	RAMの指定アドレス <sup>注</sup>

**注** RAMの分岐先アドレスは、FLSIVC1, FLSIVC0 レジスタで指定します。詳細は、**33.6.2.18 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)** を参照してください。

## 33.6.2.18 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)

セルフ・プログラミング実行中に発生した割り込みの分岐先アドレスを指定するレジスタです。

セルフ・プログラミング中の割り込み処理の実行方法については、**33.6.7 コード・フラッシュ・プログラミング・モード中の割り込み**を参照してください。

FLSIVC0, FLSIVC1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FLSIVC0 レジスタは 0000H, FLSIVC1 レジスタは 000FH になります。

図33-26 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1) のフォーマット

アドレス : F0480H, F0481H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC0	FLSIV15	FLSIV14	FLSIV13	FLSIV12	FLSIV11	FLSIV10	FLSIV9	FLSIV8
	7	6	5	4	3	2	1	0
	FLSIV7	FLSIV6	FLSIV5	FLSIV4	FLSIV3	FLSIV2	FLSIV1	FLSIV0

アドレス : F0482H, F0483H

リセット時: 000FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	FLSIV19	FLSIV18	FLSIV17	FLSIV16

**注意** FLSIVC1レジスタには上位4ビットを、FLSIVC0レジスタにはアドレスの下位16ビットを設定してください。

### 33.6.3 フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード  
コード・フラッシュ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード  
データ・フラッシュ領域が書き換え可能なモードです。
- 非書き換えモード  
フラッシュ・メモリ（コード・フラッシュ領域、データ・フラッシュ領域、エクストラ領域）が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミング・モードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に特定シーケンスを実行します。

**注意** データ・フラッシュ領域を操作する場合は、データ・フラッシュのアクセス許可（DFLCTLレジスタのDFLEN = 1）の状態で行ってください。

#### 33.6.3.1 特定シーケンス実行手順

以下の①～④の手順でフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に書き込むことで、各モードへ移行します。

- ① PFCMD レジスタに“A5H”を書き込む
- ② FLPMC レジスタに設定したい値を書き込む
- ③ FLPMC レジスタに設定したい値の反転値を書き込む
- ④ FLPMC レジスタに設定したい値を書き込む

- 特定シーケンスはFLRSTレジスタのFLRST = 0、かつフラッシュ・メモリ・シーケンサが停止中の場合に実行可能です。
- 特定シーケンスでは、手順①、②、③、④の間で他のメモリやレジスタへの書き込み動作を行った場合、特定レジスタへの書き込みは行われず、プロテクション・エラーが発生し、フラッシュ・ステータス・レジスタ（PFS）のFPRERRフラグが1にセットされます。FPRERRフラグは、リセット、または次の特定シーケンス開始時にクリアされます。

### 33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順

コード・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

- ① PFCMD レジスタに“A5H”を書き込む
- ② FLPMC レジスタに“02H”を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 1)
- ③ FLPMC レジスタに“FDH”を書き込む (“02H”の反転値)
- ④ FLPMC レジスタに“02H”を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 1)

### 33.6.3.3 データ・フラッシュ・プログラミング・モード移行手順

データ・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

- ① PFCMD レジスタに“A5H”を書き込む
- ② FLPMC レジスタに“10H”を書き込む (EEEMD = 1, FWEDIS = 0, FLSPM = 0)
- ③ FLPMC レジスタに“EFH”を書き込む (“10H”の反転値)
- ④ FLPMC レジスタに“10H”を書き込む (EEEMD = 1, FWEDIS = 0, FLSPM = 0)

### 33.6.3.4 非書き換えモード移行手順

コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードから非書き換えモード移行手順を実施し、ウェイト<sup>注</sup>後にプログラミング・モード対象のフラッシュ・メモリの読み出しが可能になります。

**注** ウェイト時間は10 μsです。

<割り込みベクタをRAMアドレスへ変更していない場合>

割り込み発生時にROM上の割り込みベクタが示すアドレスへ分岐する場合の移行手順を以下に示します。

- ① PFCMD レジスタに“A5H”を書き込む
- ② FLPMC レジスタに“08H”を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ③ FLPMC レジスタに“F7H”を書き込む (“08H”の反転値)
- ④ FLPMC レジスタに“08H”を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ⑤ 10 μs ウェイト後、対象のフラッシュ・メモリの読み出しが可能になります。

<割り込みベクタをRAMアドレスへ変更している場合>

割り込みの分岐先がRAM上の指定アドレスへ変更されている場合の移行手順を以下に示します。

- ① PFCMD レジスタに“A5H”を書き込む
- ② FLPMC レジスタに“00H”を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ③ FLPMC レジスタに“FFH”を書き込む (“00H”の反転値)
- ④ FLPMC レジスタに“00H”を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ⑤ 10 μs ウェイト後、対象のフラッシュ・メモリの読み出しが可能になります。

### 33.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化

フラッシュ・レジスタ初期化レジスタ (FLRST) の FLRST ビットをセットすることで、対象レジスタをリセットして初期化します。

対象レジスタ : FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE

対象レジスタのクリア手順を以下に示します。

- ① FLRST ビットをセット
- ② CPU クロックで 1 サイクル以上をソフトウェアでウエイト
- ③ FLRST ビットをクリア

### 33.6.5 フラッシュ・メモリ・シーケンサの動作周波数設定

CPU の動作周波数 [1 ~ 32 (MHz)] の値をフラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) の FSET4-FSET0 ビットに設定します。CPU が動作する周波数の小数点以下を切り上げた整数値を設定してください。

(例 : 4.5 MHz の場合は、5 を設定)

フラッシュ・メモリ・シーケンサの動作周波数の設定方法を以下に示します。

- ① コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードへ移行します。  
移行手順は **33.6.3.1 特定シーケンス実行手順**、**33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**、**33.6.3.3 データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) を読み出し、TMSPMD, TMBTSEL ビットに読み出した値と同じ値を、また FSET4-FSET0 ビットに CPU の動作周波数を設定します。

**注意** コード/データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサを使用して、コード/データ・フラッシュ・メモリ、またはエクストラ領域へ、書き換えなどの操作を実行する場合、FSSET レジスタの FSET4-FSET0 ビットへ CPU の動作周波数を設定しておく必要があります。

CPU の動作周波数が正しく設定されていない状態での書き換え動作は不定となり、書かれたデータは保証されませんのでご注意ください。(書き込み直後のフラッシュ・メモリのデータ値が期待値通りであっても、その値の保持期間を保証できません。)

## 33.6.6 フラッシュ・メモリの書き換え

### 33.6.6.1 概要

フラッシュ・メモリ・シーケンサは、コード・フラッシュ領域、またはデータ・フラッシュ領域を書き換えるコード／データ・フラッシュ領域シーケンサとエクストラ領域を書き換えるエクストラ領域シーケンサがあります。それぞれの領域を書き換えるには、各シーケンサのコマンドを実行します。

### 33.6.6.2 書き換え領域の選択

フラッシュ領域選択レジスタ（FLARS）により、書き換える領域としてコード／データ・フラッシュ領域、またはエクストラ領域のいずれかを選択します。

### 33.6.6.3 コード／データ・フラッシュ領域シーケンサ・コマンド

コード／データ・フラッシュ領域の書き換えは、コード／データ・フラッシュ領域シーケンサの専用コマンドを使用します。コマンドの実行は、フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）の SQMD2-SQMD0 ビットに実行するコマンドを設定し、SQST ビットを 1 に設定します。SQMD2-SQMD0 ビットの設定と SQST ビットは同時に設定することもできます。

コード／データ・フラッシュ領域シーケンサの専用コマンドについては、**33.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）**を参照してください。

### 33.6.6.4 コード・フラッシュ領域書き換えの操作

コード・フラッシュ領域の書き換えは、コード/データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。なお、コード・フラッシュ領域の書き換え処理ソフトウェアはRAMに配置し、RAM上で実行してください。

コード・フラッシュ領域書き換え時の消去ブロック単位/書き込み単位

- 消去ブロック単位 : 2 Kバイト
- 書き込み単位 : 4 バイト

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は **33.6.3.1 特定シーケンス実行手順**、および **33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 0 (コード/データ・フラッシュ領域) を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。
  - ブロック消去  
FLAPH, FLAPL レジスタに消去するコード・フラッシュ・メモリのブロック先頭アドレス<sup>注1</sup> (例: 0x002000) を設定します。  
FLSEDH, FLSEDL レジスタに消去するコード・フラッシュ・メモリのブロック終了アドレス<sup>注1</sup> (例: 0x0027FF) を設定します。
  - 書き込み  
FLAPH, FLAPL レジスタに書き込むフラッシュ・メモリの先頭アドレス<sup>注2</sup> (例: 0x002000) を設定します。  
FLWH, FLWL レジスタに書き込むデータ (4 バイト) を設定します。
  - ブランク・チェック  
FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス<sup>注2</sup> (例: 0x002000) を設定します。  
FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス (例: 0x0027FF) を設定します。  
なお、4 バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。
- ④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード/データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。
  - ブロック消去: 84H
  - 書き込み: 81H
  - コード・フラッシュ領域のブランク・チェック: 83H
- ⑤ コード/データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード/データ・フラッシュ領域シーケンサ・コマンドの終了判定手順を参照してください。
- ⑥ コマンド実行後の処理
  - <コマンド処理を継続する場合>  
コード・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたは他のコマンドを実行することが可能です。
  - <コマンド処理を完了する場合>  
非書き換えモードに移行します。移行手順は **33.6.3.1 特定シーケンス実行手順**、および **33.6.3.4 非書き換えモード移行手順**を参照してください。

- 注1.** コード・フラッシュ領域の消去ブロック単位は2 Kバイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスと終了アドレスを指定してください。詳細はアドレスとブロック番号の関係については、**表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。
- 注2.** コード・フラッシュ領域の書き込み、ブランク・チェックは4バイト単位です。したがってアドレスを示すFLAPLレジスタの下位2ビットは4の倍数である00Bに設定してください。

### 33.6.6.5 データ・フラッシュ領域書き換えの操作

データ・フラッシュ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

データ・フラッシュ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位 : 256 バイト
- 書き込み単位 : 1 バイト

<操作方法>

- ① データ・フラッシュ・プログラミング・モードに移行します。移行手順は **33.6.3.1 特定シーケンス実行手順**、および **33.6.3.3 データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 0 (コード／データ・フラッシュ領域) を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。
  - ブロック消去  
FLAPH, FLAPL レジスタに消去するデータ・フラッシュ・メモリのブロック先頭アドレス注 (例: 0x0F1100) を設定します。  
FLSEDH, FLSEDL レジスタに消去するデータ・フラッシュ・メモリのブロック終了アドレス注 (例: 0x0F11FF) を設定します。
  - 書き込み  
FLAPH, FLAPL レジスタに書き込む対象のフラッシュ・メモリの先頭アドレス (例: 0x0F1101) を設定します。  
FLWL レジスタの下位 8 ビットに書き込むデータを設定してください。
  - ブランク・チェック  
FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス (例: 0x0F1100) を設定します。  
FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス (例: 0x0F11FF) を設定します。  
なお、1 バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。
- ④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。
  - ブロック消去 : 84H
  - 書き込み : 81H
  - データ・フラッシュ領域のブランクチェック : 8BH
- ⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード／データ・フラッシュ領域シーケンサ・コマンドの終了判定手順を参照してください。
- ⑥ コマンド実行後の処理
  - <コマンド処理を継続する場合>  
データ・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたは他のコマンドを実行することが可能です。
  - <コマンド処理を完了する場合>  
非書き換えモードに移行します。移行手順は **33.6.3.1 特定シーケンス実行手順**、および **33.6.3.4 非書き換えモード移行手順**を参照してください。

**注** データ・フラッシュ領域のブロック消去は256バイト単位です。したがって先頭アドレスを示すFLAPLレジスタの下位8ビットは256の倍数である0000 0000Bに設定してください。また、終了アドレスを示すFLSEDLレジスタの下位8ビットは1111 1111Bを設定してください。

### 33.6.6.6 エクストラ領域シーケンサ・コマンド

エクストラ領域に配置されているフラッシュ・シールド・ウィンドウ、フラッシュ・リード・プロテクション、フラッシュのセキュリティ、ブート・スワップ機能の設定値の書き換えは、エクストラ領域シーケンサのコマンドを使用します。コマンドの実行は、フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) の ESQMD3-ESQMD0 ビットに実行するコマンドを設定し、ESQST ビットを 1 に設定します。ESQMD3-ESQMD0 ビットの設定と ESQST ビットは同時に設定することもできます。なお、エクストラ領域シーケンサ・コマンド処理ソフトウェアは RAM に配置し、RAM 上で実行してください。

### 33.6.6.7 エクストラ領域の書き換えの操作

エクストラ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、エクストラ領域シーケンサのコマンドを実行します。各コマンドの実行に必要なデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は **33.6.3.1 特定シーケンス実行手順**、および **33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 1 (エクストラ領域) を設定します。
- ③ コマンド実行前に FLWH, FLWL レジスタへ 4 バイトのデータを設定します。FLWH, FLWL レジスタの各ビット (FLW31-FLW0) は、対象のエクストラ領域データの EX bit31-EX bit0 に対応します。各コマンドの設定データの詳細は **33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ**を参照してください。
- ④ FSSE レジスタの ESQMD3-ESQMD0 ビットに実行するコマンドの値、ESQST ビットに 1 を設定するとエクストラ領域シーケンサは指定されたコマンドを実行します。ESQMD3-ESQMD0, ESQST ビットは同時に設定可能です。同時に設定する場合の FSSE レジスタに書き込む値は以下になります。
  - フラッシュ・シールド・ウィンドウの設定領域への書き込み : 81H
  - フラッシュ・リード・プロテクションの設定領域への書き込み : 86H
  - セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み : 87H
- ⑤ エクストラ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のエクストラ領域シーケンサ・コマンドの終了判定手順を参照してください。
- ⑥ コマンド実行後の処理
  - <コマンド処理を継続する場合>

コード・フラッシュ・プログラミング・モードに移行したまま、③のエクストラ領域に設定する FLWH, FLWL レジスタのデータを更新して続けて同じコマンドまたは他のコマンドを実行することが可能です。
  - <コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は **33.6.3.1 特定シーケンス実行手順**、および **33.6.3.4 非書き換えモード移行手順**を参照してください。

### 33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ

エクストラ領域の書き込みは、4バイト単位で行います。

エクストラ領域シーケンサの各コマンドは、FLWH, FLWL レジスタの FLW31-FLW0 ビットに設定したデータを各コマンドに対応したエクストラ領域の Ex Bit31-EX Bit0 に書き込みます。

(1) フラッシュ・シールド・ウィンドウの設定領域への書き込み

フラッシュ・シールド・ウィンドウの設定領域に FLWH, FLWL レジスタに設定したデータを書き込みます。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
FSWC	1	1	1	1	1	1	FSWE8
EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0
EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
FSPR	1	1	1	1	1	1	FSWS8
EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

ビット名称	設定内容
FSWC	フラッシュ・シールド領域の範囲を指定するビットです。 0: フラッシュ・シールド領域はウィンドウ範囲の内側 1: フラッシュ・シールド領域はウィンドウ範囲の外側 (デフォルト)
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止を指定するビットです。 0: フラッシュ・シールド・ウィンドウ設定領域の変更禁止 1: フラッシュ・シールド・ウィンドウ設定領域の変更許可 (デフォルト)
FSWE8-FSWE0	フラッシュ・シールド・ウィンドウのエンド・ブロックの設定領域です。 エンド・ブロック + 1 のブロック番号を指定してください。注
FSWS8-FSWS0	フラッシュ・シールド・ウィンドウのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

注 アドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

注意 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードの Security Release コマンドを実行することで FSPR = 0 (禁止) から FSPR = 1 (許可) になります。

ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンド、およびシリアル・プログラミング・モードの Security Release コマンドを実行できません。

- SEPR = 0 (ブロック消去禁止)
- BTPR = 0 (ブート領域書き換え禁止)

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため FSPR = 1 (許可) に設定できません。

## (2) フラッシュ・リード・プロテクションの設定領域への書き込み

フラッシュ・リード・プロテクションの設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
SWPR	1	1	1	1	1	1	UPAddr8
EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
UPAddr7	UPAddr6	UPAddr5	UPAddr4	UPAddr3	UPAddr2	UPAddr1	UPAddr0
EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
1	1	1	1	1	1	1	LOWAddr8
EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
LOWAddr7	LOWAddr6	LOWAddr5	LOWAddr4	LOWAddr3	LOWAddr2	LOWAddr1	LOWAddr0

ビット名称	設定内容
SWPR	フラッシュ・リード・プロテクション設定領域の変更禁止を指定するビットです。 0: フラッシュ・リード・プロテクション設定領域の変更禁止 1: フラッシュ・リード・プロテクションの設定領域の変更許可 (デフォルト)
UPAddr8- UPAddr0	フラッシュ・リード・プロテクションのエンド・ブロックの設定領域です。 エンドブロックのブロック番号を指定してください。注
LOWAddr8- LOWAddr0	フラッシュ・リード・プロテクションのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

**注** アドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。また、フラッシュ・リード・プロテクションの設定領域はリセット解除後に設定領域の読み出しが不可となります。

**注意** 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Release コマンドを実行することでSWPR = 0 (禁止) からSWPR = 1 (許可) になります。

ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンド、およびシリアル・プログラミング・モードのSecurity Release コマンドを実行できません。

- SEPR = 0 (ブロック消去禁止)
- BTPR = 0 (ブート領域書き換え禁止)

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるためSWPR = 1 (許可) に設定できません。

- (3) セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み  
 セキュリティ・フラグとブート・スワップ機能の設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。セキュリティ設定の詳細は**33.9 セキュリティ設定**を参照してください。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
1	1	1	1	1	1	1	1
EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
1	1	1	1	1	1	1	1
EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
1	1	1	WRPR	1	SEPR	BTPR	BTFLG
EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
1	1	1	1	1	IFPR	1	IDEN

ビット名称	設定内容
WRPR	シリアル・プログラミング・モードでの書き込み禁止を指定するビットです。シリアル・プログラミング・モードでの書き込みを禁止します。 0: シリアル・プログラミング・モードでの書き込み禁止 1: シリアル・プログラミング・モードでの書き込み許可 (デフォルト)
SEPR	ブロック消去禁止を指定するビットです。シリアル・プログラミング・モードでのブロック消去を禁止します。 0: シリアル・プログラミング・モードでのブロック消去禁止 1: シリアル・プログラミング・モードでのブロック消去許可 (デフォルト)
BTPR	ブート領域の書き換え禁止を指定するビットです。ブート・スワップ動作およびブート領域の書き換えを禁止します。 0: ブート領域の書き換え禁止、ブート・スワップ禁止 1: ブート領域の書き換え許可、ブート・スワップ許可 (デフォルト)
BTFLG	FSSETレジスタのTMSPMD = 0の場合にブート領域を指定するビットです。 0: ブート領域はブート・クラスタ1 1: ブート領域はブート・クラスタ0 (デフォルト)
IFPR	プログラマ・オンチップ・デバッグ接続禁止を指定するビットです。シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止します。 0: シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止 1: シリアル・プログラミング・モードおよびオンチップ・デバッグの接続許可 (デフォルト)
IDEN	プログラマ接続ID認証の有効化を指定するビットです。シリアル・プログラミング・モードで接続するときにID認証を行います。 0: シリアル・プログラミング・モード接続時のID認証は有効 1: シリアル・プログラミング・モード接続時のID認証は無効 (デフォルト)

(注意は次ページに続きます)

- 注意1. BTFLGを書き換える場合、その他のすべてのビットは1を設定してください。
- 注意2. BTFLG以外のセキュリティ・フラグを0（禁止）に書き換える場合、BTFLG（読み込んだ値と同じ値を設定）を除き、その他のすべてのビットは1を設定してください。
- 注意3. 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Release コマンドを実行することでWRPR = 0（禁止）からWRPR = 1（許可）になります。  
ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンド、およびシリアル・プログラミング・モードのSecurity Release コマンドを実行できません。
- SEPR = 0（ブロック消去禁止）
  - BTPR = 0（ブート領域書き換え禁止）
- また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるためWRPR = 1（許可）に設定できません。
- 注意4. SEPR、BTPR、IFPR、IDENは、0に設定後に1に戻すことはできません。

### 33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順

起動したコード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサのコマンドを終了する場合、以下に示す終了判定手順を実行します。

- コード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順
  - ① コード／データ・フラッシュ領域シーケンサのコマンド起動後、FSASTHレジスタのSQENDフラグがセットされるまで待ちます。
  - ② FSASTHレジスタのSQENDフラグのセット確認後、FSSQレジスタのSQSTビットをクリアします。
  - ③ FSASTHレジスタのSQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。
- エクストラ領域シーケンサのコマンドの終了判定手順
  - ① エクストラ領域シーケンサのコマンド起動後、FSASTHレジスタのESQENDフラグセットされるまで待ちます。
  - ② FSASTHレジスタのESQENDフラグのセット確認後、FSSEレジスタのESQSTビットをクリアします。
  - ③ FSASTHレジスタのESQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

### 33.6.6.10 コード／データ・フラッシュ領域シーケンサのコマンドの強制終了手順

コード／データ・フラッシュ領域シーケンサのコマンド実行中にコマンドを強制停止することができます。ただし、エクストラ領域シーケンサのコマンド実行中は、コマンドを強制終了することができません。

<強制終了手順>

- ① コード／データ・フラッシュ領域シーケンサのコマンド起動後から②のFSSQレジスタのSQSTビットをクリアする前までに、FSSQレジスタのFSSTPビットを1に設定します。
- ② FSASTHレジスタのSQENDフラグのセット確認後、FSSQレジスタのSQSTビットとFSSTPビットをクリアします。
- ③ FSASTHレジスタのSQENDフラグが自動的にクリアされるまで待ち、クリアされたら強制終了が完了します。

## 33.6.7 コード・フラッシュ・プログラミング・モード中の割り込み

### 33.6.7.1 概要

割り込みが発生すると ROM 上の割り込みベクタを参照し、割り込みベクタ（16 ビット）で分岐可能な 64 KB までの ROM 空間に配置されている割り込み処理へ分岐して、割り込みを実行します。しかし、コード・フラッシュやエクストラ領域を書き換えが可能なコード・フラッシュ・プログラミング・モードでは、ROM を参照できないため、割り込み処理を実行することができません。

ただし、割り込み分岐先を変更することで、ROM を参照できない場合でも、ROM 上の割り込みベクタ、および ROM 上の割り込み処理を使用せず、すべての割り込みの分岐先を RAM 上の指定アドレスへ変更し、RAM 上で割り込み処理を実行することが可能です。

### 33.6.7.2 割り込み分岐先を変更した場合の動作

割り込み分岐先の変更は、割り込みベクタ変更レジスタ（FLSIVC1, FLSIVC0）と割り込みベクタ移動許可レジスタ（VECTCTRL）を設定することで、すべての割り込みを RAM 上のアドレスへ分岐するように変更できます。この操作により、コード・フラッシュ・プログラミング・モード中に割り込みが発生した場合でも、ROM 上の割り込みベクタを参照せずに、RAM 上の割り込み処理を実行することが可能です。

FLSIVC1, FLSIVC0 レジスタは、コード・フラッシュやエクストラ領域を書き換え中に発生したすべての割り込み機能の飛び先のアドレスを指定するレジスタです。FLSIVC0 にはアドレスの下位 16 ビットを FLSIVC1 には上位 4 ビットを設定します。

セルフ・プログラミング実行中に発生した割り込みの分岐先制御の設定を以下に示します。

- ROM上のベクタ・アドレスへ分岐する場合 : VECTCTRL = 0、または FLPMC レジスタの FWEDIS = 1
- RAMアドレスへ分岐する場合 : VECTCTRL = 1（FLPMC レジスタの FWEDIS = 0 の状態）

**注意1.** 割り込みの種類はユーザ側で割り込みフラグにより確認する必要があります。また、VECTCTRL レジスタ設定後は、割り込みフラグは自動的にクリアされません。

**注意2.** 割り込み変更先をROM側に設定することは出来ません。

**注意3.** VECTCTRL レジスタで変更した割り込みの分岐先はセルフ・プログラミング実行中のみ有効です。

**注意4.** 割り込みの分岐先をRAMに変更する場合は、割り込み禁止にしてください。

### 33.6.7.3 割り込み分岐先を変更する場合の操作

RAM上の割り込み処理を指定するためには、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) の FWEDIS ビットに 0 を設定した状態で、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを更新します。特定シーケンスを実行して、FLPMC レジスタの FWEDIS ビットを操作し、FLSIVC1、FLSIVC0 レジスタと VECTCTRL レジスタを設定して、割り込み分岐先を RAM のアドレスに変更します。

#### <割り込み分岐先を RAM アドレスへ変更する場合>

すべての割り込みの分岐先をRAM上の指定アドレスへ変更する場合の操作方法を以下に示します。

- ① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
- ② 特定シーケンスを実行し、FLPMC レジスタの FWEDIS = 0 に設定します。
  1. PFCMD レジスタに“A5H”を書き込む
  2. FLPMC レジスタに“00H”を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
  3. FLPMC レジスタに“FFH”を書き込む (“00H”の反転値)
  4. FLPMC レジスタに“00H”を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ③ FLSIVC1, FLSIVC0 レジスタにRAMアドレスを指定します。
- ④ VECTCTRL レジスタに01Hを設定し、割り込みをRAMアドレスへ分岐する設定にします。
- ⑤ 退避していた割り込み許可／禁止の設定を復帰します。

**注意1.** RAM上の割り込み処理を指定している間は、FWEDIS = 0のままにしてください。

**注意2.** 割り込みの分岐先をsaddr空間 (FFE20H-FFEFFH) に設定しないでください。

**注意3.** RAM領域から命令を実行し、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用するRAM領域 + 10バイト」の領域を初期化してください。

#### <割り込み分岐先を RAM アドレスから ROM 上のベクタへ戻す場合>

割り込みの分岐先をROM上の割り込みベクタが示すアドレスへ戻す場合 (初期状態) の操作方法を以下に示します。

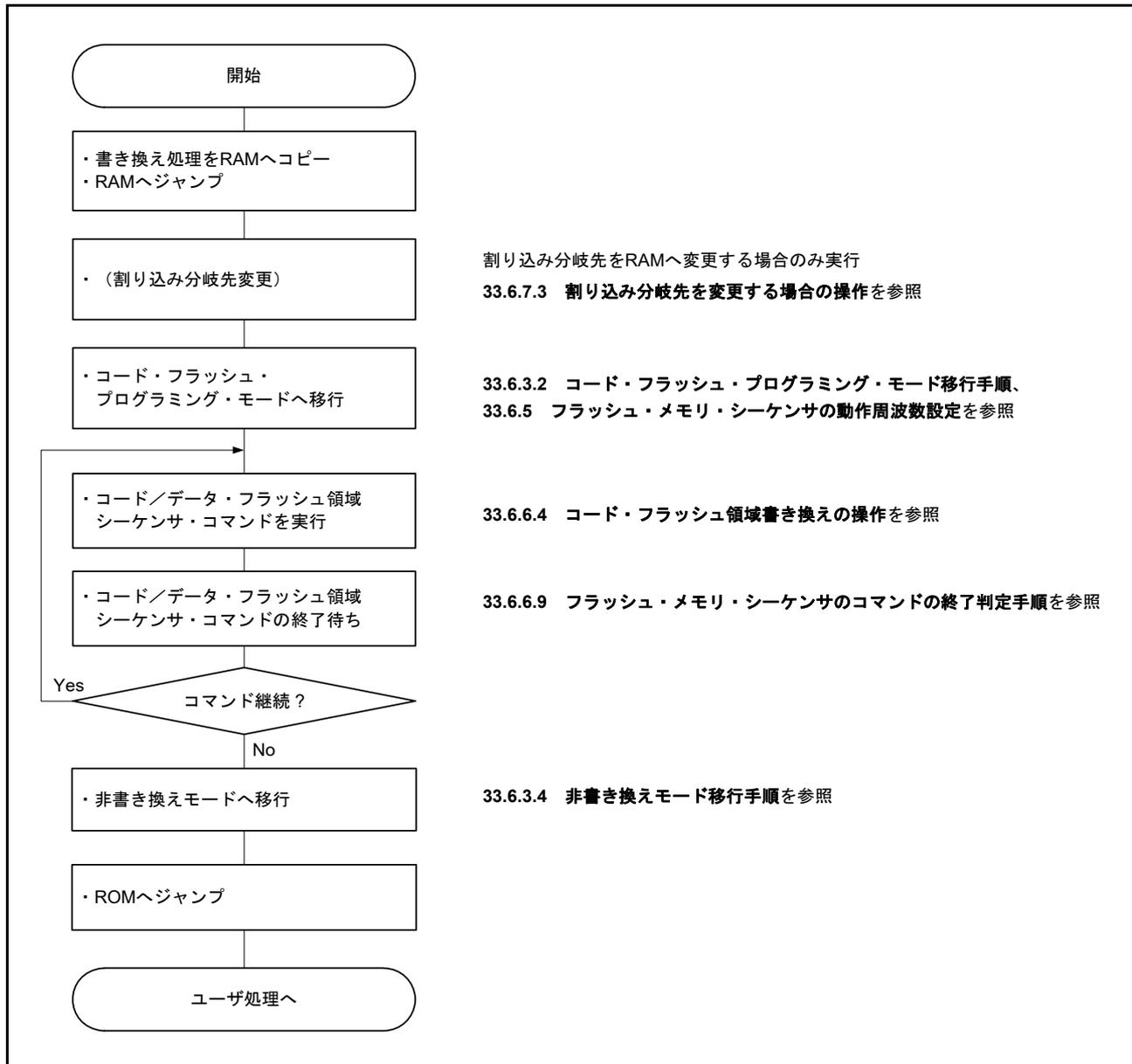
- ① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
- ② 特定シーケンスを実行し、FLPMC レジスタの FWEDIS = 1 に設定します。
  1. PFCMD レジスタに“A5H”を書き込む
  2. FLPMC レジスタに“08H”を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
  3. FLPMC レジスタに“F7H”を書き込む (“08H”の反転値)
  4. FLPMC レジスタに“08H”を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ③ VECTCTRL レジスタに00Hを設定し、割り込みをROM上のベクタ・アドレスへ分岐する設定にします。
- ④ 退避していた割り込み許可／禁止の設定を復帰します。

### 33.6.8 フラッシュ領域書き換え時のコマンドの実行例

#### 33.6.8.1 コード・フラッシュ領域書き換え時のコマンド実行例

コード・フラッシュ領域書き換え時のコマンド実行フローを図 33 - 27 に示します。

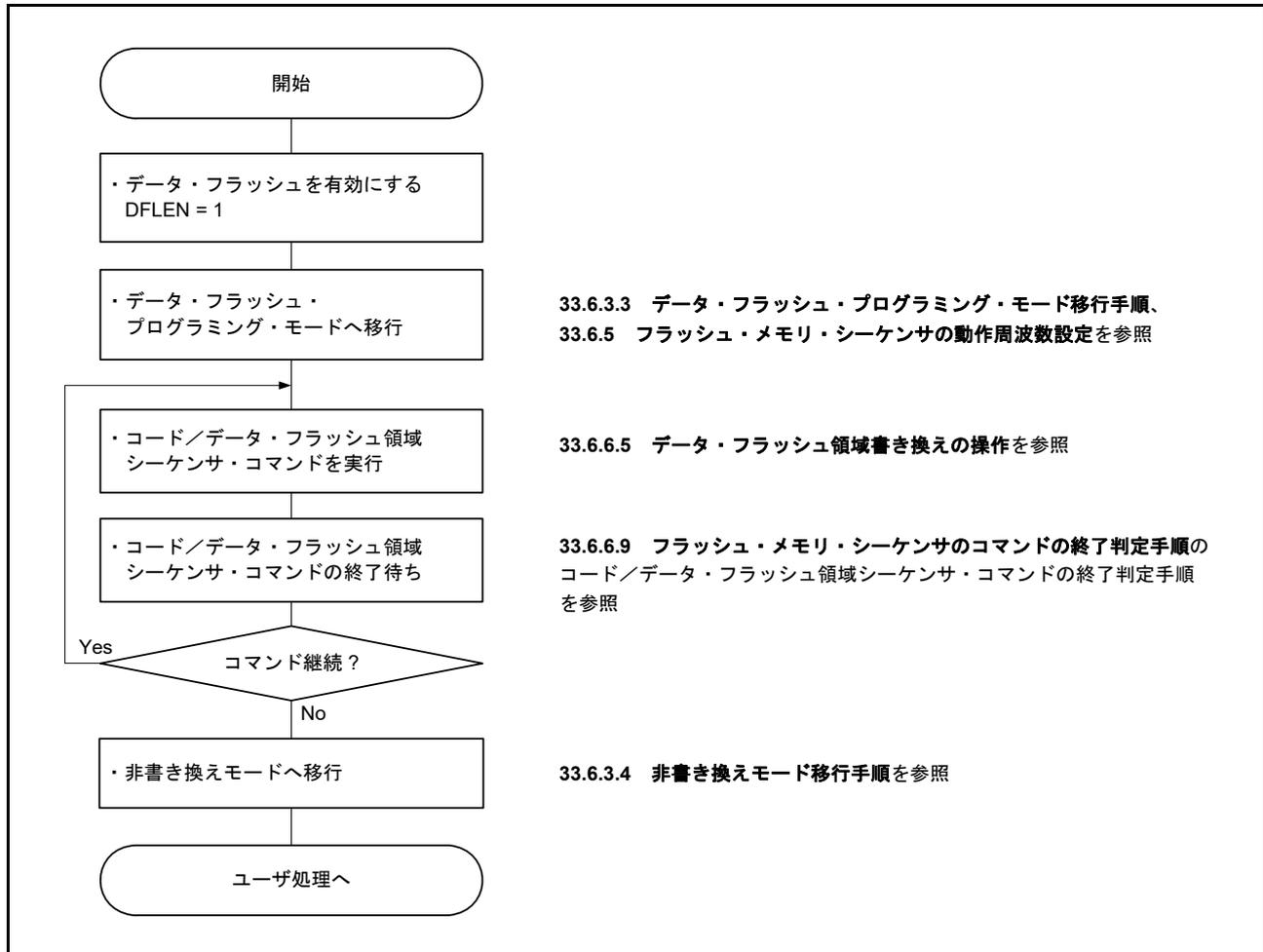
図33 - 27 コード・フラッシュ領域書き換え時のコマンド実行フロー



### 33.6.8.2 データ・フラッシュ領域書き換え時のコマンド実行例

データ・フラッシュ領域書き換え時のコマンド実行フローを図 33 - 28 に示します。

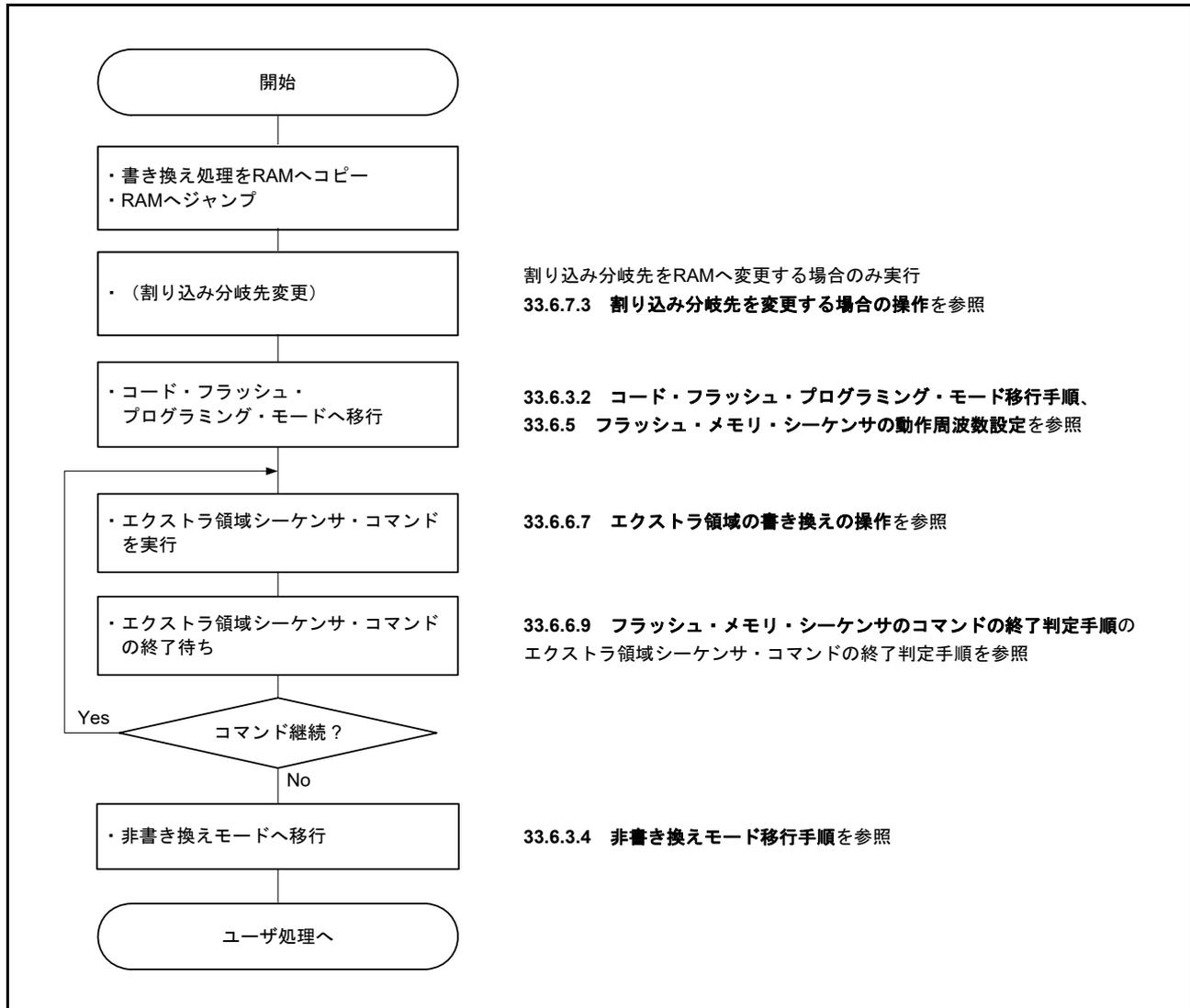
図 33 - 28 データ・フラッシュ領域書き換え時のコマンド実行フロー



### 33.6.8.3 エクストラ領域書き換え時のコマンド実行例

エクストラ領域書き換え時のコマンド実行フローを図 33 - 29 に示します。

図 33 - 29 エクストラ領域書き換え時のコマンド実行フロー



### 33.6.9 セルフ・プログラミング時の注意事項

- (1) コード・フラッシュ／エクストラ領域の書き換え操作  
コード・フラッシュ／エクストラ領域を書き換える場合はRAMに配置してください。
- (2) データ・フラッシュ領域を操作する場合の前提条件  
データ・フラッシュ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLEN = 1（データ・フラッシュのアクセス許可）に設定してください。
- (3) フラッシュ・メモリ書き換え操作中のプログラム実行  
セルフ・プログラミングはフラッシュ・メモリ・シーケンサを使用し、フラッシュ・メモリの書き換えを制御します。  
フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは、操作対象のフラッシュ・メモリは参照できなくなります。
  - コード・フラッシュ・プログラミング・モードでは、コード・フラッシュ・メモリを参照することができません。コード・フラッシュ・プログラミング・モード中に実行するROM（コード・フラッシュ・メモリ）上のユーザ・プログラム、および参照データは、事前にRAMへコピーして、RAM上で実行、参照してください。
  - データ・フラッシュ・プログラミング・モードでは、データ・フラッシュ・メモリを参照することができません。データ・フラッシュ・プログラミング・モード中に参照するデータは、事前にRAMへコピーして、RAM上で参照してください。
- (4) 使用不可領域の範囲の指定  
ブランク・チェックおよびブロック消去の範囲の指定は、コード・フラッシュ領域の範囲内またはデータ・フラッシュ領域を範囲内で指定してください。使用不可領域を指定したり、使用不可領域を含めてコード・フラッシュ領域とデータ・フラッシュ領域の両方を指定したりしないでください。
- (5) コード・フラッシュ領域の範囲の指定  
コード・フラッシュ領域が512 Kバイトを超える製品では、512 Kバイトのアドレスとブロックを跨いだ範囲を指定してブランク・チェックまたはブロック消去は実行できません。ブランク・チェックは00000H-7FFFFHまたは80000H-BFFFFHのアドレスの範囲を指定してください。ブロック消去は000H-099Hまたは100H-17FHのブロックの範囲を指定してください。

### 33.7 ブート・スワップ機能

ブート領域は、ベクタ・テーブル領域、CALLT テーブル領域、オプション・バイト領域、オンチップ・デバッグ・セキュリティ ID およびプログラマ接続 ID の設定領域、プログラム領域で構成されています。これらの領域には、プログラムのスタートに必要な設定やオンチップ・デバッグおよびプログラマとの接続に必要な情報が格納されています。したがって、セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

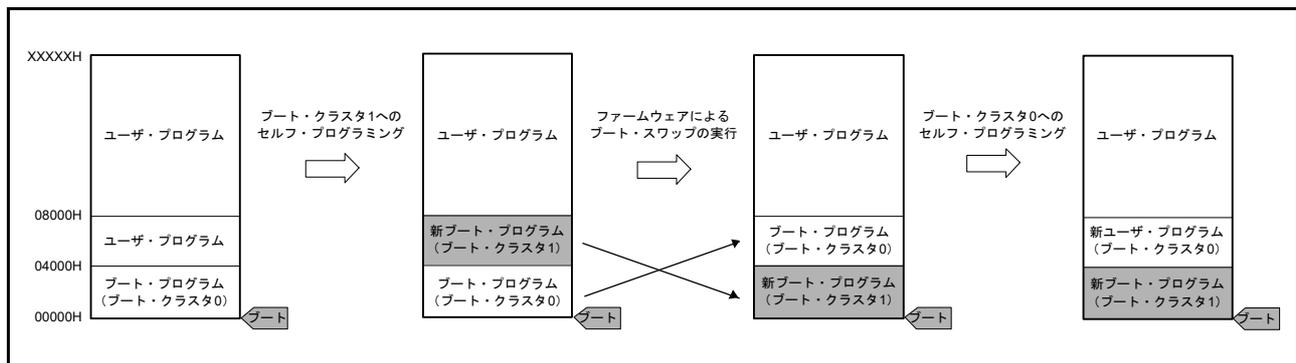
ブート領域がブート・クラスタ 0 に設定されている場合、セルフ・プログラミングにてブート・クラスタ 0 の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ 1 に書き込んでおきます注。ブート・クラスタ 1 への書き込みが正常終了したら、セルフ・プログラミングでブート領域をブート・クラスタ 0 からブート・クラスタ 1 に変更し、ブート・クラスタ 1 をブート領域にします。このあと、ブート・クラスタ 0 へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、ブート・クラスタ 1 からブートを行うため、正常にプログラムが動作します。

ブート・クラスタは 16 K バイトの領域です。

**注** 新ブート・プログラムの 04000H-0407FH (128 バイト) にはベクタ・テーブル領域、04080H-040BFH (64 バイト) には CALLT テーブル、040C0H-040C3H (4 バイト) にはオプション・バイト領域、040C4H-040CDH (10 バイト) にはオンチップ・デバッグ・セキュリティ ID 設定領域を設定してください。

図 33 - 30 ブート・スワップ機能

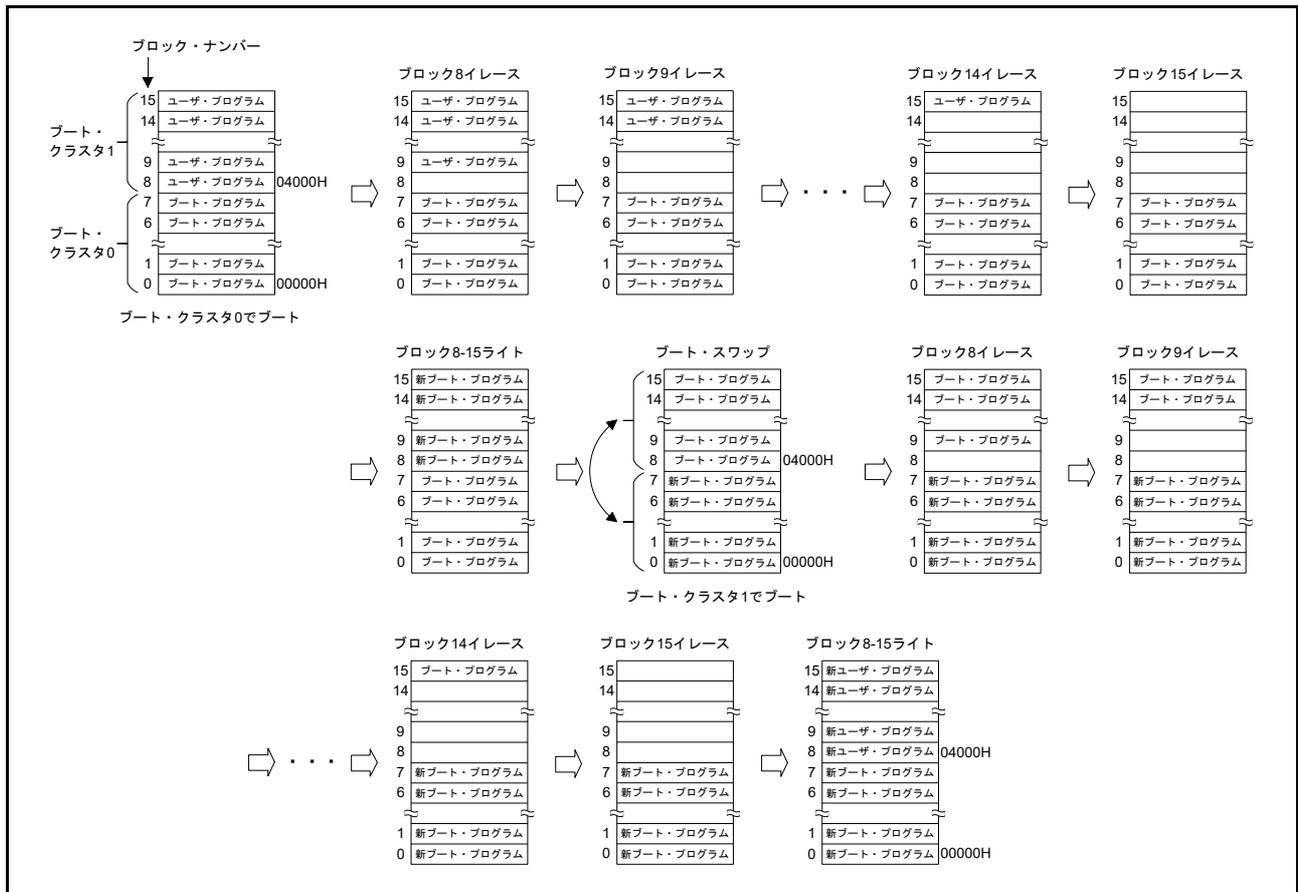


この図の例では、次のようになっています。

ブート・クラスタ 0：ブート・スワップ前のブート領域です。

ブート・クラスタ 1：ブート・スワップ後のブート領域です。

図33-31 ブート・スワップの実行例



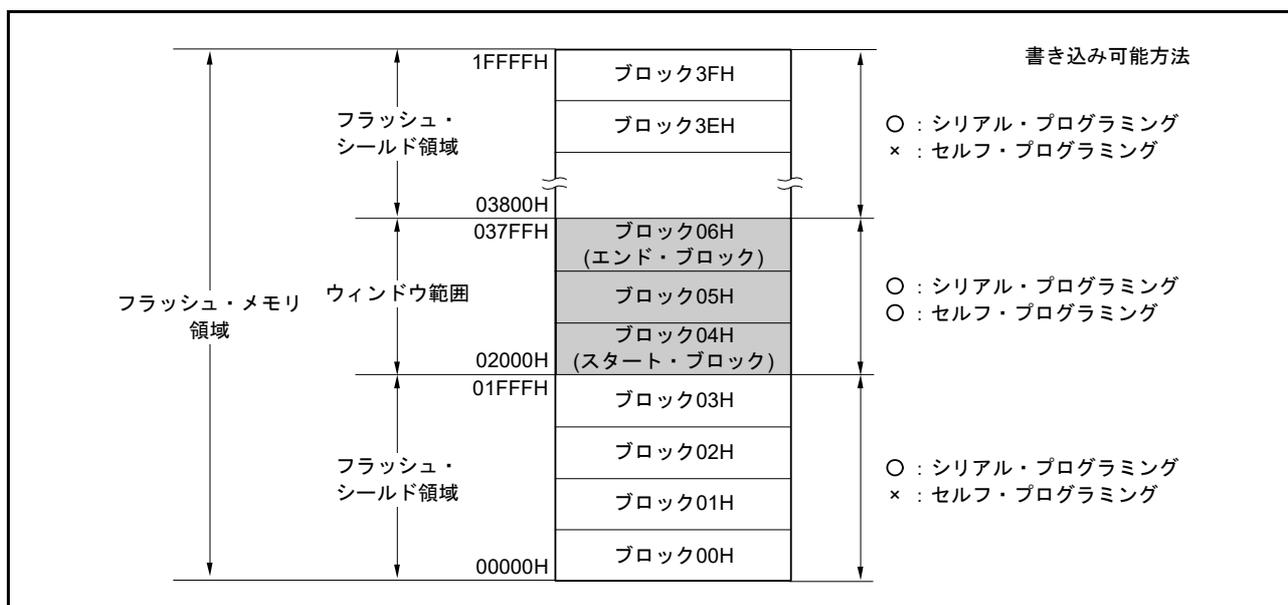
### 33.8 フラッシュ・シールド・ウィンドウ機能

フラッシュ・シールド・ウィンドウ機能は、指定したフラッシュ・シールド領域の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

フラッシュ・シールド領域は指定したウィンドウ範囲内または範囲外を設定できます。ウィンドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。フラッシュ・シールド領域は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

フラッシュ・シールド領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはフラッシュ・シールド領域も書き込み／消去可能です。

図33-32 フラッシュ・シールド・ウィンドウの設定例  
(対象デバイス：R7F100GLG、先頭ブロック：04H、終了ブロック：06H、FSWC：1の場合)



注意1. フラッシュ・シールド・ウィンドウのウィンドウ範囲内にブート領域の書き換え禁止領域が重なる場合は、ブート領域の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウィンドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表33-12 フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウィンドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セルフ・プログラミングでフラッシュ・シールド・ウィンドウの設定領域に、ウィンドウのスタート・ブロックのブロック番号、エンド・ブロック+1のブロック番号（エンド・ブロックの次のブロック番号）を指定する	フラッシュ・シールド領域内はブロック消去できない	フラッシュ・シールド領域内は書き込みできない
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウィンドウのスタート・ブロック、エンド・ブロックを指定する	フラッシュ・シールド領域内もブロック消去可能	フラッシュ・シールド領域内も書き込み可能

## 33.9 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

シリアル・プログラミングまたはセルフ・プログラミングで、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後、Security Releaseコマンドによる解除はリセットで有効になります。

- ブート領域の書き換え禁止

コード・フラッシュ・メモリ内のブート領域（00000H-03FFFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

- プログラム・オンチップ・デバッグ接続禁止

専用フラッシュ・メモリ・プログラムおよびオンチップ・デバッグとの接続を禁止にします。

専用フラッシュ・メモリ・プログラムおよびオンチップ・デバッグによるフラッシュ・メモリの操作はできません。

- プログラム接続ID認証の有効化

専用フラッシュ・メモリ・プログラムとの接続時に10バイトの任意のIDコードとの認証を有効にします。10バイトのIDの領域は000C4H-000CDH<sup>注</sup>です。シリアル・プログラミングでIDが一致しない場合は専用フラッシュ・メモリ・プログラムでフラッシュ・メモリの操作はできません。

出荷時の初期状態では、ブロック消去／書き込み／ブート領域の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 33 - 13 に示します。

**注** プログラム接続IDの10バイトのIDコード領域はオンチップ・デバッグ・セキュリティIDと共用しています。

**注意** 専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

**備考** セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は33.8 フラッシュ・シールド・ウィンドウ機能を参照）。

表33-13 セキュリティ機能有効時とコマンドの関係

## (1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる <sup>注</sup>
書き込み禁止	ブロック消去できる	書き込みできない
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できない	書き込みできない
プログラマ接続ID認証が有効で認証成功	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効で認証失敗	ブロック消去できない	書き込みできない

**注** 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

## (2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効	ブロック消去できる	書き込みできる

**備考** セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は33.8 フラッシュ・シールド・ウィンドウ機能を参照）。

表33-14 各プログラミング・モード時のセキュリティ設定方法

## (1) シリアル・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する。	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する。
ブート領域書き換え禁止		設定後、無効にできない。
プログラマ・オンチップ・デバッグ接続禁止		
プログラマ接続ID認証の有効化		

**注意** 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート領域の書き換え禁止」に設定されていない状態、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合にのみ可能です。ただし、「プログラマ・オンチップ・デバッグ接続禁止」または「プログラマ接続ID認証が有効化」によってシリアル・プログラミングが接続禁止の場合は、シリアル・プログラミングが実行できない為、「書き込み禁止」の解除を実行できません。

## (2) セルフ・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	セルフ・プログラミングで設定する。	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない。 専用フラッシュ・メモリ・プログラムのGUI 上などで設定する。
ブート領域書き換え禁止		設定後、無効にできない。
プログラマ・オンチップ・デバッガ接続禁止		
プログラマ接続ID認証の有効化		

## 33.10 データ・フラッシュ

### 33.10.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- セルフ・プログラミングを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、**RL78ファミリ Renesas Flash Driver RL78 Type01 ユーザーズマニュアル (R20UT4830JJ)** を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 256バイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能（バックグラウンド・オペレーション (BGO) 対応）
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

**注意1.** リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ (DFLCTL) を必ず設定してください。

**注意2.** データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (HIOSTOP = 0) させ、5  $\mu$ s 経過後にセルフ・プログラミングを実行してください。

**備考** ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、**33.6 セルフ・プログラミング**を参照してください。

### 33.10.2 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

- ① データ・フラッシュ・コントロール・レジスタ (DFLCTL) のビット0 (DFLEN) に1を設定する。
- ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。  
セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。  
<各フラッシュの動作モードでのセットアップ時間>
  - HS (高速メイン) モード時 : 250 ns
  - LS (低速メイン) モード時 : 250 ns
  - LP (低電力メイン) モード時 : 0 ns
- ③ セットアップ時間のウエイト完了後、データ・フラッシュへのアクセスが可能となります。

**注意1.** セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

**注意2.** セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

**注意3.** データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (HIOSTOP = 0) させ、5  $\mu$ s 経過後にセルフ・プログラミングを実行してください。

**注意4.** CPUクロックの切り替え (メイン・システム・クロック $\leftrightarrow$ サブシステム・クロック) 時、CSSビットにてクロックの選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。

## 第34章 オンチップ・デバッグ機能

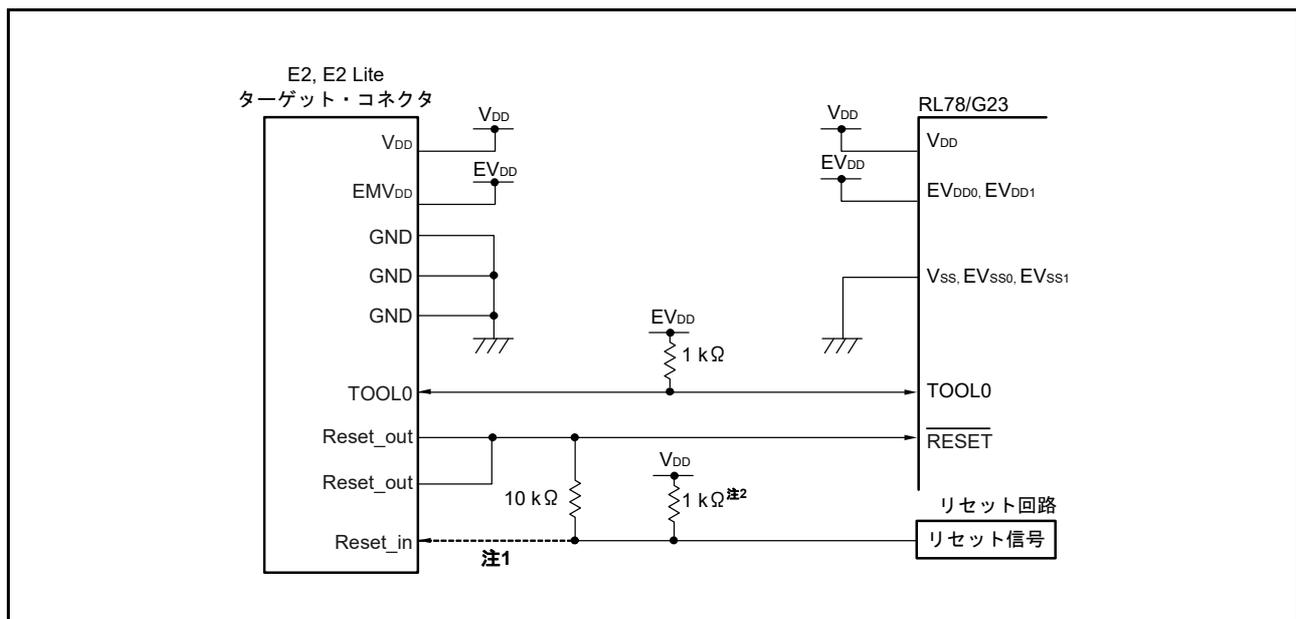
### 34.1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続

RL78 マイクロコントローラは、オンチップ・デバッグ対応の E2, E2 Lite オンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行う場合、 $V_{DD}$ 、 $\overline{RESET}$ 、 $TOOL0$ 、 $V_{SS}$  端子を使用します。シリアル通信としては、 $TOOL0$  端子を使用した単線 UART を使用します。

接続回路の詳細や注意事項については、E1/E20/E2 エミュレータ, E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78 接続時の注意事項) (R20UT1994) を参照してください。

**注意** RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図34 - 1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

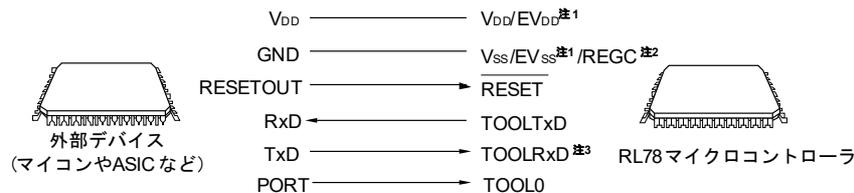
**注意** リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

**備考** EVDD0, EVDD1, EVSS0, EVSS1 端子がない製品は、EVDD0 と EVDD1 を  $V_{DD}$  に、EVSS0 と EVSS1 を  $V_{SS}$  に置き換えてください。

## 34.2 外部デバイス（UART内蔵）との接続

オンボード上でRL78 マイクロコントローラと UART 接続されている外部デバイス（マイコンやASIC）を介して、ホスト・マシンとの通信を行う場合、V<sub>DD</sub>、RESET、TOOL0、V<sub>SS</sub>、TOOLTxD、TOOLRxD 端子を使用します。外部デバイスとRL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD、TOOLRxD 端子を使用して、専用のUARTによるシリアル通信で行います。

接続回路の詳細や注意事項については、シリアルポートを使用したRL78 デバッグ機能（R20AN0632）を参照してください。



注1. 64ピン、80ピン、100ピン、128ピン製品のみ

注2. REGC端子はコンデンサ（0.47～1μF）を介してグラウンドに接続してください。

注3. TOOLRxDを兼用するポートを入力モードに設定してください。また、PDIDISxレジスタで入力バッファの入力を許可に設定してください。

## 34.3 オンチップ・デバッグのセキュリティ設定

第三者からのメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第33章 フラッシュ・メモリ 33.9セキュリティ設定参照）と、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第32章 オプション・バイトを参照）と、000C4H-000CDH注1にオンチップ・デバッグ・セキュリティID設定領域を用意しています。

表34-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード注2
040C4H-040CDH	

注1. オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

注2. “FFFFFFFFFFFFFFFFFFH”は設定できません。

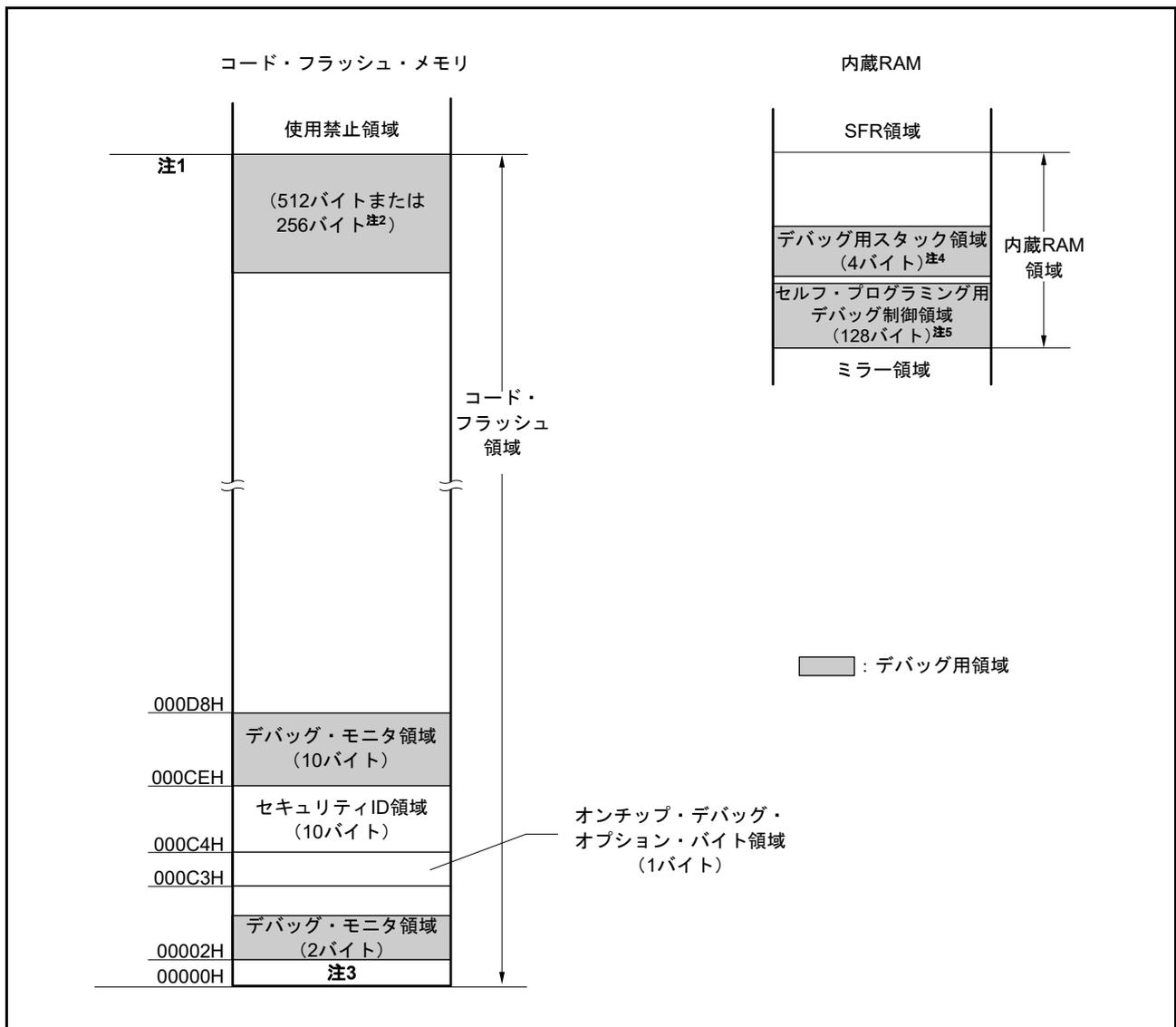
## 34.4 ユーザ資源の確保

RL78 マイクロコントローラと E2, E2 Lite オンチップ・デバッグ・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

### (1) メモリ空間の確保

図34-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図34-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R7F100GxF (x = A-C, E-G, J, L)	17FFFFH
R7F100GxG (x = A-C, E-G, J, L, M, P)	1FFFFFH
R7F100GxH (x = A-C, E-G, J, L, M, P)	2FFFFFH
R7F100GxJ (x = A-C, E-G, J, L, M, P, S)	3FFFFFH
R7F100GxK (x = F, G, J, L, M, P, S)	5FFFFFH
R7F100GxL (x = F, G, J, L, M, P, S)	7FFFFFH
R7F100GxN (x = F, G, J, L, M, P, S)	BFFFFFH

注2. リアルタイムRAMモニタ (RRM) 機能、Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。セルフ・プログラミングを行う場合は、12バイト余分に消費します。

- 注5. オンチップ・デバッガは、セルフ・プログラミングのブレーク用に次に示す製品のRAM領域（128バイト）を使用します。対象製品とRAM領域は以下の通りです。

製品名	使用するRAM領域（128バイト）
R7F100GxG (x = A, B, C, E, F, G, J, L)	FBF00H-FBF7FH
R7F100GxJ (x = A, B, C, E, F, G, J, L, M)	F9F00H-F9F7FH
R7F100GxL (x = F, G, J, L, M, P, S)	F3F00H-F3F7FH
R7F100GxN (x = F, G, J, L, M, P, S)	F3F00H-F3F7FH

オンチップ・デバッガでセルフプログラミング中にデバッグを行わない設定にした場合は、上記RAM領域を使用しません。セルフ・プログラミングのデバッグの設定は、各統合開発環境のユーザーズマニュアルを参照してください。

## 第35章 10進補正 (BCD) 回路

### 35.1 10進補正回路の機能

BCDコード (2進化10進数) と BCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

### 35.2 10進補正回路で使用するレジスタ

10進補正回路で使用するレジスタを次に示します。

- BCD補正結果レジスタ (BCDADJ)

#### 35.2.1 BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

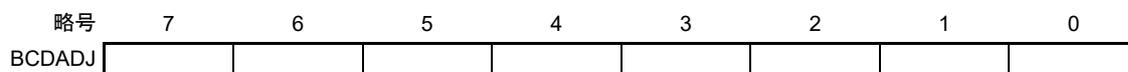
リセット信号の発生により、不定になります。

図35-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH

リセット時: 不定

R/W属性 : R



### 35.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める
- ① 加算したいBCDコード値 (被加算値) をAレジスタに格納する。
  - ② Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値、加算値) を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ (BCDADJ) に格納される。
  - ③ Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

**注意** BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ、ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例1  $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例2  $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例3  $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
- ② Aレジスタから第2オペランドの値 (減算するBCDコード値、減算値) を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ (BCDADJ) に格納される。
- ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正値) を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

**注意** BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ、ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

## 第36章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78 ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015)** を参照してください。

## 36.1 凡例

### 36.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES: の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- # : イミーディエト・データ指定
- ! : 16ビット絶対アドレス指定
- !! : 20ビット絶対アドレス指定
- \$ : 8ビット相対アドレス指定
- \$! : 16ビット相対アドレス指定
- [] : 間接アドレス指定
- ES : 拡張アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES: 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rp には、機能名称 (X, A, C など)、絶対名称 (表 36-1 中のカッコ内の名称, R0, R1, R2 など) のいずれの形式でも記述可能です。

表36-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号 (SFR 略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号 (16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル (偶数アドレスのみ注)
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が0になります。

備考 特殊機能レジスタは、オペランド sfr に略号で記述することができます。特殊機能レジスタの略号は表 3-5 SFR 一覧を参照してください。

拡張特殊機能レジスタは、オペランド !addr16 に略号で記述することができます。拡張特殊機能レジスタの略号は表 3-6 拡張SFR (2nd SFR) 一覧を参照してください。

### 36.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表36-2 オペレーション欄の記号

記号	機能
A	Aレジスタ : 8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア : 16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL Xs, XH, XL	16ビット・レジスタの場合はXH = 上位8ビット、XL = 下位8ビット 20ビット・レジスタの場合はXs (ビット19-16)、XH (ビット15-8)、XL (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊕	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイースメント値)
jdisp16	符号付き16ビット・データ (ディスプレイースメント値)

### 36.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表36 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果に従ってセット/リセットされる
R	以前に退避した値がリストアされる

### 36.1.4 PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFFH の 64 K バイト空間から、ES レジスタの値を付加した 00000H-FFFFFFH の 1 M バイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表36 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

**注意** ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

## 36.2 オペレーション一覧

表36-5 オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ データ 転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r <sup>注3</sup>	1	1	—	A ← r			
		r <sup>注3</sup> , A	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
A, !addr16	3	1	4	A ← (addr16)					
A, ES:!addr16	4	2	5	A ← (ES, addr16)					
!addr16, A	3	1	—	(addr16) ← A					
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP} + \text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP} + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B} + \text{word})$			
		word[B], A	3	1	—	$(\text{B} + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B}) + \text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C} + \text{word})$			
		word[C], A	3	1	—	$(\text{C} + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C}) + \text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC} + \text{word})$			
		word[BC], A	3	1	—	$(\text{BC} + \text{word}) \leftarrow A$			
A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$					
ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
		C, saddr	2	1	—	$C \leftarrow (saddr)$			
		ES, saddr	3	1	—	$ES \leftarrow (saddr)$			
	XCH	A, r <sup>注3</sup>	1 (r = X) 2 (r = X以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16		5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr		3	2	—	$A \leftrightarrow (saddr)$				
A, sfr		3	2	—	$A \leftrightarrow sfr$				
A, [DE]		2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]		3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]		2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((ES, HL) + byte)$					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	XCH	A, [HL+B]	2	2	—	A ↔ (HL + B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL) + B)			
		A, [HL+C]	2	2	—	A ↔ (HL + C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL) + C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		laddr16	3	1	—	(addr16) ← 01H			
		ES:laddr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		laddr16	3	1	—	(addr16) ← 00H			
		ES:laddr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL + byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL + byte) ← X	×		×
16 ビット ・ デー タ 転 送	MOVW	rp, #word	3	1	—	rp ← word			
		saddrp, #word	4	1	—	(saddrp) ← word			
		sfrp, #word	4	1	—	sfrp ← word			
		AX, rp <sup>注3</sup>	1	1	—	AX ← rp			
		rp <sup>注3</sup> , AX	1	1	—	rp ← AX			
		AX, laddr16	3	1	4	AX ← (addr16)			
		laddr16, AX	3	1	—	(addr16) ← AX			
		AX, ES:laddr16	4	2	5	AX ← (ES, addr16)			
		ES:laddr16, AX	4	2	—	(ES, addr16) ← AX			
		AX, saddrp	2	1	—	AX ← (saddrp)			
		saddrp, AX	2	1	—	(saddrp) ← AX			
		AX, sfrp	2	1	—	AX ← sfrp			
		sfrp, AX	2	1	—	sfrp ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。CPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
AX, word[BC]	3	1	4	AX ← (BC + word)					
word[BC], AX	3	1	—	(BC + word) ← AX					
AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)					
ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp <sup>注3</sup>	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	x	x	x
		A, r <sup>注4</sup>	2	1	—	A, CY ← A + r	x	x	x
		r, A	2	1	—	r, CY ← r + A	x	x	x
		A, !addr16	3	1	4	A, CY ← A + (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A + (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A + (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	x	x	x
		A, r <sup>注3</sup>	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	x	x	x
		A, r <sup>注3</sup>	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x
A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x		
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	x	x	x
		A, r <sup>注3</sup>	2	1	—	$A, CY \leftarrow A - r - CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16}) - CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL}) - CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL}) - CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte}) - CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B) - CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B) - CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C) - CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C) - CY$	x	x	x
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	x		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	x		
		A, r <sup>注3</sup>	2	1	—	$A \leftarrow A \wedge r$	x		
		r, A	2	1	—	$r \leftarrow r \wedge A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (\text{ES}, \text{addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	x		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (\text{ES}, \text{HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	x		
A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((\text{ES}, \text{HL}) + \text{byte})$	x				
A, [HL+B]	2	1	4	$A \leftarrow A \wedge (\text{HL} + B)$	x				
A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((\text{ES}, \text{HL}) + B)$	x				
A, [HL+C]	2	1	4	$A \leftarrow A \wedge (\text{HL} + C)$	x				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((\text{ES}, \text{HL}) + C)$	x				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
		A, r <sup>注3</sup>	2	1	—	$A \leftarrow A \vee r$	x		
		r, A	2	1	—	$r \leftarrow r \vee A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	x		
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	x			
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	x		
		A, r <sup>注3</sup>	2	1	—	$A \leftarrow A \nabla r$	x		
		r, A	2	1	—	$r \leftarrow r \nabla A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	x		
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	x			
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	x				
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	x				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	x				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A - byte	x	x	x
		laddr16, #byte	4	1	4	(addr16) - byte	x	x	x
		ES:laddr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x
		saddr, #byte	3	1	—	(saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	1	—	A - r	x	x	x
		r, A	2	1	—	r - A	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, saddr	2	1	—	A - (saddr)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
	A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x	
	CMP0	A	1	1	—	A - 00H	x	0	0
		X	1	1	—	X - 00H	x	0	0
		B	1	1	—	B - 00H	x	0	0
		C	1	1	—	C - 00H	x	0	0
		laddr16	3	1	4	(addr16) - 00H	x	0	0
		ES:laddr16	4	2	5	(ES:addr16) - 00H	x	0	0
		saddr	2	1	—	(saddr) - 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	x	x	x
		AX, AX	1	1	—	AX, CY ← AX + AX	x	x	x
		AX, BC	1	1	—	AX, CY ← AX + BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX + DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX + HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	—	AX, CY ← AX – word	x	x	x
		AX, BC	1	1	—	AX, CY ← AX – BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX – DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX – HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX – (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX – (HL + byte)	x	x	x
	AX, ES: [HL+byte]	4	2	5	AX, CY ← AX – ((ES:HL) + byte)	x	x	x	
	CMPW	AX, #word	3	1	—	AX – word	x	x	x
		AX, BC	1	1	—	AX – BC	x	x	x
		AX, DE	1	1	—	AX – DE	x	x	x
		AX, HL	1	1	—	AX – HL	x	x	x
		AX, !addr16	3	1	4	AX – (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX – (HL + byte)	x	x	x
AX, ES: [HL+byte]	4	2	5	AX – ((ES:HL) + byte)	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36 - 5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	$AX$ (商), $DE$ (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態 (DI) で実行してください。

ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CC-RL (ルネサスエレクトロニクス社コンパイラ製品) V1.01.00以降のC言語ソースおよびアセンブリ言語ソース
- CA78K0R (ルネサスエレクトロニクス社コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- LLVM RL78 (CyberTHOR社コンパイラ) のC言語ソースおよびC++言語ソース
- GNURL78 (CyberTHOR社コンパイラ) のC言語ソースおよびC++言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. MACR : 積和演算累計レジスタ (MACRH, MACRL)

表36-5 オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	×	×	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r - 1$	×	×	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. cntはビット・シフト数です。

表36-5 オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			x
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			x
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			x
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			x
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			x
		BC, 1	2	1	—	$(CY \leftarrow BC_{15}, BC0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			x
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			x
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			x
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	x	x	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			x
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			x
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			x
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			x
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			x
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			x	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			x
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	—	$CY \leftarrow 1$			1
	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2)s, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PC ← CS, rp, SP ← SP - 4			
		\$!addr20	3	3	—	(SP - 2) ← (PC + 3)s, (SP - 3) ← (PC + 3)H, (SP - 4) ← (PC + 3)L, PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3)s, (SP - 3) ← (PC + 3)H, (SP - 4) ← (PC + 3)L, PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4)s, (SP - 3) ← (PC + 4)H, (SP - 4) ← (PC + 4)L, PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2)s, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PCs ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2)s, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PCs ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PCL ← (SP), PCH ← (SP + 1), PCs ← (SP + 2), SP ← SP + 4			
RETI	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCs ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R	
RETB	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCs ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R	

**注1.** 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

**注2.** コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

**備考** クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		\$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表36-5 オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z V CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z V CY) = 1			
CPU制御	SEL	R <sub>Bn</sub> 注4	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

## 第37章 電気的特性

この章では、以下の対象製品の電気的特性を示します。

- 対象製品2D : 民生用途 TA = -40 ~ +85°C  
R7F100Gxx2Dxx
- 対象製品3C : 産業用途 TA = -40 ~ +105°C  
R7F100Gxx3Cxx

**注意1.** RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

**注意2.** 2D : 民生用途の製品は、TA = -40 ~ +105°CをTA = -40 ~ +85°Cに置き換えてください。

**注意3.** EVDD0, EVDD1, EVSS0, EVSS1端子がない製品は、EVDD0とEVDD1をVDDに、EVSS0とEVSS1をVSSに置き換えてください。

**注意4.** 製品により搭載している端子が異なります。2.1 ポートの端子機能~2.2.1 製品別の搭載機能を参照してください。

## 37.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0, EVDD1	EVDD0 = EVDD1	-0.5 ~ +6.5	V
	EVSS0, EVSS1	EVSS0 = EVSS1	-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.1 かつ -0.3 ~ VDD + 0.3 <sup>注1</sup>	V
入力電圧	Vi1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 <sup>注2</sup>	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3 <sup>注2</sup>	V
出力電圧	Vo1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 <sup>注2</sup>	V
	Vo2	P20-P27, P121, P122, P150-P156	-0.3 ~ VDD + 0.3 <sup>注2</sup>	V
アナログ入力電圧	VAI1	ANI16-ANI26	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREFP + 0.3 <sup>注2, 3</sup>	V
	VAI2	ANI0-ANI14	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREFP + 0.3 <sup>注2, 3</sup>	V

注1. REGC端子にはコンデンサ (0.47 ~ 1  $\mu$ F) を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREFP + 0.3を超えないでください。

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREFP: A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P121, P122, P150-P156	-5	mA
		端子合計		-20	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40 <sup>注</sup>	mA
		端子合計 170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
	IOL2	1端子	P20-P27, P121, P122, P150-P156	10	mA
		端子合計		20	mA
動作周囲温度	TA	通常動作時	3C : 産業用途	-40 ~ +105	°C
			2D : 民生用途	-40 ~ +85	
		フラッシュ・メモリ・プログラミング時	3C : 産業用途	-40 ~ +105	
			2D : 民生用途	-40 ~ +85	
保存温度	T <sub>stg</sub>			-65 ~ +150	°C

**注** 下記のポートを40 mAポート出力制御レジスタ (PTDC) でIoL1 = 40.0 mAに選択した場合は80 mA (定格) です。

64 ~ 100ピンかつフラッシュ ROM 384 ~ 768 Kバイト製品のP04, P10, P120

100ピンのフラッシュ ROM 384 ~ 768 Kバイト製品のP110

30 ~ 52ピン製品のP17, P51

32 ~ 52ピン製品のP70

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 37.2 発振回路特性

### 37.2.1 X1発振回路特性

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $V_{SS} = 0\text{ V}$ )

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期 注	セラミック発振子/水晶振動子		0.05		1	$\mu\text{s}$

**注** 発振回路の許容範囲を示すものです。必ず実装回路上で評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、AC特性を参照してください。

**注意** リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

### 37.2.2 XT1発振回路特性

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  (30~36ピン製品),  $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  (40~128ピン製品),  $V_{SS} = 0\text{ V}$ )

項目	発振子	条件	Min.	Typ.	Max.	単位
XT1クロック発振周波数 ( $f_{XT}$ ) 注	水晶振動子			32.768		kHz

**注** 発振回路の許容範囲を示すものです。必ず実装回路上で評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、AC特性を参照してください。

## 37.2.3 オンチップ・オシレータ特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件			Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	fiH				1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>		HIPREC = 1	+85 ~ +105°C	1.8 V ≤ VDD ≤ 5.5 V	-2.0		+2.0	%
				1.6 V ≤ VDD ≤ 5.5 V	-6.0		+6.0	%
			-20 ~ +85°C	1.8 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.0		+5.0	%
			-40 ~ -20°C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.5		+5.5	%
		HIPREC = 0 <sup>注2</sup>			-15		0	%
高速オンチップ・オシレータ・クロック補正分解能						0.05		%
中速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	fiM				1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>					-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能						0.15		%
中速オンチップ・オシレータ周波数温度係数							±0.17	%/°C
低速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	fiL					32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>					-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能						0.3		%
低速オンチップ・オシレータ周波数温度係数							±0.21	%/°C

注1. テスト時の精度です。

注2. FRQSEL3 = 1に設定時

注3. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注4. 評価による値です。

## 37.3 DC特性

## 37.3.1 端子特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル許容出力電流 <sup>注1</sup>	IOH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子	1.6 V ≤ EVDD0 ≤ 5.5 V			-10.0 <sup>注2</sup>	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ ≤ 70%時 <sup>注3</sup> )	4.0 V ≤ EVDD0 ≤ 5.5 V			-55.0 <sup>注4</sup>	mA
			2.7 V ≤ EVDD0 < 4.0 V			-10.0	mA
			1.8 V ≤ EVDD0 < 2.7 V			-5.0	mA
			1.6 V ≤ EVDD0 < 1.8 V			-2.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ ≤ 70%時 <sup>注3</sup> )	4.0 V ≤ EVDD0 ≤ 5.5 V			-80.0 <sup>注5</sup>	mA
			2.7 V ≤ EVDD0 < 4.0 V			-19.0	mA
			1.8 V ≤ EVDD0 < 2.7 V			-10.0	mA
			1.6 V ≤ EVDD0 < 1.8 V			-5.0	mA
		全端子合計 (デューティ ≤ 70%時 <sup>注3</sup> )	1.6 V ≤ EVDD0 ≤ 5.5 V			-135.0 <sup>注6</sup>	mA
	IOH2	P20-P27, P121, P122, P150-P156 1端子	4.0 V ≤ VDD ≤ 5.5 V			-3.0 <sup>注2</sup>	mA
			2.7 V ≤ VDD < 4.0 V			-1.0 <sup>注2</sup>	mA
			1.8 V ≤ VDD < 2.7 V			-1.0 <sup>注2</sup>	mA
			1.6 V ≤ VDD < 1.8 V			-0.5 <sup>注2</sup>	mA
		全端子合計 (デューティ ≤ 70%時 <sup>注3</sup> )	4.0 V ≤ VDD ≤ 5.5 V			-20.0	mA
			2.7 V ≤ VDD < 4.0 V			-10.0	mA
			1.8 V ≤ VDD < 2.7 V			-5.0	mA
			1.6 V ≤ VDD < 1.8 V			-5.0	mA

**注1.** EVDD0, EVDD1, VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

**注2.** ただし、合計の電流値を超えないでください。

**注3.** デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

・ 端子合計の出力電流 = (IOH × 0.7) / (n × 0.01)

<計算例> IOH = -10.0 mAの場合、n = 80%

端子合計の出力電流 = (-10.0 × 0.7) / (80 × 0.01) ≒ -8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

**注4.** 産業用途向け（R7F100Gxx3Cxx）の+85 ~ +105°Cは-30 mAです。

**注5.** 産業用途向け（R7F100Gxx3Cxx）の+85 ~ +105°Cは-50 mAです。

**注6.** 産業用途向け（R7F100Gxx3Cxx）の-40 ~ +85°Cは-100 mA, +85 ~ +105°Cは-60 mAです。

（注意、備考は次ページに続きます）

**注意** P00, P02-P04, P10-P15, P17, P34, P42-P45, P50, P52-P55, P71, P72, P74, P80-P83, P96, P120, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/7)

項目	略号	条件	Min.	Typ.	Max.	単位		
ロウ・レベル許容出力電流 <sup>注1</sup>	IOL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子			20.0	mA		
					注2, 3			
		P60-P63 1端子				15.0	注2	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ ≤ 70%時 <sup>注4</sup> )	4.0 V ≤ EVDD0 ≤ 5.5 V			70.0	注5	mA
			2.7 V ≤ EVDD0 < 4.0 V			15.0		
			1.8 V ≤ EVDD0 < 2.7 V			9.0		
			1.6 V ≤ EVDD0 < 1.8 V			4.5		
	P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ ≤ 70%時 <sup>注4</sup> )	4.0 V ≤ EVDD0 ≤ 5.5 V			80.0	注5	mA	
		2.7 V ≤ EVDD0 < 4.0 V			35.0			
		1.8 V ≤ EVDD0 < 2.7 V			20.0			
		1.6 V ≤ EVDD0 < 1.8 V			10.0			
	全端子合計 (デューティ ≤ 70%時 <sup>注4</sup> )					150.0	注6	mA
IOL2	P20-P27, P121, P122, P150-P156 1端子	4.0 V ≤ VDD ≤ 5.5 V			8.5	注2	mA	
		2.7 V ≤ VDD < 4.0 V			1.5	注2		
		1.8 V ≤ VDD < 2.7 V			0.6	注2		
		1.6 V ≤ VDD < 1.8 V			0.4	注2		
	全端子合計 (デューティ ≤ 70%時 <sup>注4</sup> )		4.0 V ≤ VDD ≤ 5.5 V			20		mA
			2.7 V ≤ VDD < 4.0 V			20		
			1.8 V ≤ VDD < 2.7 V			15		
			1.6 V ≤ VDD < 1.8 V			10		

**注1.** 出力端子からEVSS0, EVSS1, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

**注2.** 合計の電流値を超えないでください。

**注3.** 下記のポートを40.0 mAポート出力制御レジスタ (PTDC) でIOL1 = 40.0 mAに選択した場合は40 mA (Max.) です。

64 ~ 100ピンかつフラッシュ ROM 384 ~ 768 Kバイト製品のP04, P10, P120

100ピンのフラッシュ ROM 384 ~ 768 Kバイト製品のP101

30 ~ 52ピン製品のP17, P51

32 ~ 52ピン製品のP70

**注4.** デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

・ 端子合計の出力電流 = (IOL × 0.7) / (n × 0.01)

<計算例> IOL = 10.0 mAの場合、n = 80%

端子合計の出力電流 = (10.0 × 0.7) / (80 × 0.01) ≒ 8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

**注5.** 産業用途向け (R7F100Gxx3Cxx) の+85°C ~ +105°Cは40 mAです。

**注6.** 産業用途向け (R7F100Gxx3Cxx) の+85°C ~ +105°Cは80 mAです。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27, P150-P156		0.7 VDD		VDD	V
	VIH4	P60-P63		0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
	VIL3	P20-P27, P150-P156		0		0.3 VDD	V
	VIL4	P60-P63		0		0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2 VDD	V

**注意** P00, P02-P04, P10-P15, P17, P34, P42-P45, P50, P52-P55, P71, P72, P74, P80-P83, P96, P120, P142-P144は、N-chオープン・ドレイン・モード時でもVIHの最大値 (Max.) はEVDD0です。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(4/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル出力電圧	VOH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -10.0 mA	EVDD0 -1.5			V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 -0.7			V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0 -0.6			V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 -0.5			V
			1.6 V ≤ EVDD0 < 5.5 V, IOH1 = -1.0 mA	EVDD0 -0.5			V
	VOH2	P20-P27, P121, P122, P150-P156	4.0 V ≤ VDD ≤ 5.5 V, IOH2 = -3.0 mA	VDD -0.7			V
			2.7 V ≤ VDD < 4.0 V, IOH2 = -1.0 mA	VDD -0.5			V
			1.8 V ≤ VDD < 2.7 V, IOH2 = -1.0 mA	VDD -0.5			V
			1.6 V ≤ VDD < 1.8 V, IOH2 = -0.5 mA	VDD -0.5			V

**注意** P00, P02-P04, P10-P15, P17, P34, P42-P45, P50, P52-P55, P71, P72, P74, P80-P83, P96, P120, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(5/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ロウ・レベル出力電圧	VOL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, 125-P127, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V			1.3	V
			IOL1 = 20.0 mA				
			IOL1 = 40.0 mA <sup>注</sup>			1.3	V
		4.0 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 8.5 mA			0.7	V
			IOL1 = 17.0 mA <sup>注</sup>			0.7	V
		2.7 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 3.0 mA			0.6	V
			IOL1 = 6.0 mA <sup>注</sup>			0.6	V
		2.7 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 1.5 mA			0.4	V
			IOL1 = 3.0 mA <sup>注</sup>			0.4	V
		1.8 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 0.6 mA			0.4	V
			IOL1 = 1.2 mA <sup>注</sup>			0.4	V
		1.6 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 0.3 mA			0.4	V
	IOL1 = 0.6 mA <sup>注</sup>				0.4	V	
	VOL2	P20-P27, P121, P122, P150-P156	4.0 V ≤ VDD ≤ 5.5 V, IOL2 = 8.5 mA			0.7	V
			2.7 V ≤ VDD < 4.0 V, IOL2 = 1.5 mA			0.5	V
			1.8 V ≤ VDD < 2.7 V, IOL2 = 0.6 mA			0.4	V
			1.6 V ≤ VDD < 1.8 V, IOL2 = 0.4 mA			0.4	V
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA			2.0	V
4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA					0.4	V	
2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA					0.4	V	
1.8 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA					0.4	V	
1.6 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 1.0 mA					0.4	V	

**注** 下記のポートを40.0 mAポート出力制御レジスタ (PTDC) でIOL1 = 40.0 mAに選択したときの特性です。

64～100ピンかつフラッシュ ROM 384～768 Kバイト製品のP04, P10, P120

100ピンのフラッシュ ROM 384～768 Kバイト製品のP101

30～52ピン製品のP17, P51

32～52ピン製品のP70

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(6/7)

項目	略号	条件		Min.	Typ.	Max.	単位	
出力電流 <sup>注</sup>	CCDIoL	P16, P17, P50, P51 P60-P63	CCSm = 01H	4.0 V ≤ EVDD0 ≤ 5.5 V	1.0	1.8	2.6	mA
				2.7 V ≤ EVDD0 < 4.0 V	0.8	1.5	2.3	mA
			CCSm = 02H	4.0 V ≤ EVDD0 ≤ 5.5 V	3.0	4.9	6.5	mA
				3.0 V ≤ EVDD0 < 4.0 V	2.7	4.3	5.9	mA
			CCSm = 03H	4.0 V ≤ EVDD0 ≤ 5.5 V	6.6	10.0	13.2	mA
				3.3 V ≤ EVDD0 < 4.0 V	6.0	9.1	12.1	mA
		P60-P63	CCSm = 04H	4.0 V ≤ EVDD0 ≤ 5.5 V	10.2	15.0	19.8	mA
				3.3 V ≤ EVDD0 < 4.0 V	9.4	13.8	18.2	mA

注 出力電流制御機能を有効にした場合です。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(7/7)

項目	略号	条件	Min.	Typ.	Max.	単位
ハイ・レベル入力 リーク電流	LIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147			0.5	μA
	LIH2	P20-P27, P137, P150-P156, $\overline{\text{RESET}}$			0.5	μA
	LIH3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)			0.5	μA
ロウ・レベル入力 リーク電流	LIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147			-0.5	μA
	LIL2	P20-P27, P137, P150-P156, $\overline{\text{RESET}}$			-0.5	μA
	LIL3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)			-0.5	μA
内蔵プルアップ抵抗	RU	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120-P122, P125-P127, P140-P147	10	20	100	kΩ

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

### 37.3.2 電源電流特性

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>I</sub> H = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V		1.3	—	mA
						VDD = 1.8 V		1.3	—	
				通常動作		VDD = 5.0 V		3.0	5.0	mA
			VDD = 1.8 V				3.0	5.0		
			LS (低速メイン)モード	f <sub>I</sub> H = 24 MHz <sup>注2</sup>	通常動作	VDD = 5.0 V		2.3	3.8	mA
						VDD = 1.8 V		2.3	3.8	
		f <sub>I</sub> H = 16 MHz <sup>注2</sup>		通常動作	VDD = 5.0 V		1.7	2.7	mA	
					VDD = 1.8 V		1.7	2.7		
		f <sub>I</sub> M = 4 MHz <sup>注3</sup>		通常動作	VDD = 5.0 V		0.4	0.7	mA	
					VDD = 1.6 V		0.4	0.7		
		LP (低電力メイン)モード	f <sub>I</sub> M = 2 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		200	325	μA	
					VDD = 1.6 V		200	325		
			f <sub>I</sub> M = 1 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		112	178	μA	
					VDD = 1.6 V		111	176		
		HS (高速メイン)モード	f <sub>M</sub> X = 20 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		1.9	3.2	mA	
					VDD = 1.8 V		1.9	3.2		
		LS (低速メイン)モード	f <sub>M</sub> X = 20 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		1.8	3.0	mA	
					VDD = 1.8 V		1.7	3.0		
			f <sub>M</sub> X = 20 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		1.9	3.2	mA	
					VDD = 1.8 V		1.9	3.2		
f <sub>M</sub> X = 10 MHz <sup>注4</sup> , 方形波入力	通常動作		VDD = 5.0 V		0.9	1.6	mA			
			VDD = 1.8 V		0.9	1.6				
f <sub>M</sub> X = 10 MHz <sup>注4</sup> , 発振子接続	通常動作		VDD = 5.0 V		1.0	1.7	mA			
			VDD = 1.8 V		1.0	1.7				
f <sub>M</sub> X = 8 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		0.8	1.3	mA				
		VDD = 1.8 V		0.7	1.3					
f <sub>M</sub> X = 8 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		0.9	1.4	mA				
		VDD = 1.8 V		0.8	1.4					

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp. 値は周辺動作電流を含みません。Max. 値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
  - 注2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
  - 注3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
  - 注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- (備考は次ページに続きます)

**備考1.** f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック周波数

**備考2.** f<sub>IM</sub> : 中速オンチップ・オシレータ・クロック周波数

**備考3.** f<sub>MX</sub> : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

**備考4.** 特に指定がない場合のTyp.値の温度条件は、T<sub>A</sub> = +25°Cです。

## (1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/4)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 <sup>注1</sup>	IDD1	動作モード	サブシステム・クロック動作モード	fsUB = 32.768 kHz <sup>注2</sup> , 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.2	5.5	μA
						TA = +25°C		3.5	5.8	
						TA = +50°C		3.8	8.5	
						TA = +70°C		4.4	13.8	
						TA = +85°C		5.3	22.1	
						TA = +105°C		7.7	40.9	
				fsUB = 32.768 kHz <sup>注3</sup> , 方形波入力	通常動作	TA = -40°C		3.2	5.6	μA
						TA = +25°C		3.4	5.7	
						TA = +50°C		3.7	8.5	
						TA = +70°C		4.3	13.7	
						TA = +85°C		5.2	21.4	
						TA = +105°C		7.6	39.0	
				fsUB = 32.768 kHz <sup>注3</sup> , 発振子接続	通常動作	TA = -40°C		3.2	5.2	μA
						TA = +25°C		3.4	5.4	
						TA = +50°C		3.7	7.7	
						TA = +70°C		4.3	13.4	
						TA = +85°C		5.2	20.9	
						TA = +105°C		7.7	38.5	

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。
- ★ **注2.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- ★ **注3.** 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
- ★ 低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。

**備考1.** fIL: 低速オンチップ・オシレータ・クロック周波数

**備考2.** fsUB: サブシステム・クロック周波数 (XT1クロック発振周波数)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>	VDD = 5.0 V		0.54	1.93	mA
					VDD = 1.8 V		0.53	1.92	
			LS (低速メイン)モード	f <sub>IH</sub> = 24 MHz <sup>注3</sup>	VDD = 5.0 V		0.45	1.50	mA
					VDD = 1.8 V		0.44	1.49	
				f <sub>IH</sub> = 16 MHz <sup>注3</sup>	VDD = 5.0 V		0.45	1.19	mA
					VDD = 1.8 V		0.44	1.18	
			f <sub>IM</sub> = 4 MHz <sup>注4</sup>	VDD = 5.0 V		0.08	0.26	mA	
				VDD = 1.6 V		0.08	0.26		
			LP (低電力メイン)モード	f <sub>IM</sub> = 2 MHz <sup>注4</sup>	VDD = 5.0 V		33	120	μA
					VDD = 1.6 V		33	120	
				f <sub>IM</sub> = 1 MHz <sup>注4</sup>	VDD = 5.0 V		29	76	μA
					VDD = 1.6 V		28	74	
			HS (高速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.22	1.07	mA
					VDD = 1.8 V		0.19	1.03	
			LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.22	1.07	mA
					VDD = 1.8 V		0.19	1.03	
				f <sub>MX</sub> = 20 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V		0.40	1.28	mA
					VDD = 1.8 V		0.39	1.27	
				f <sub>MX</sub> = 10 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.14	0.57	mA
					VDD = 1.8 V		0.12	0.54	
f <sub>MX</sub> = 10 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V			0.24	0.69	mA			
	VDD = 1.8 V			0.23	0.68				
f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.12	0.47	mA				
	VDD = 1.8 V		0.10	0.44					
f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V		0.21	0.58	mA				
	VDD = 1.8 V		0.20	0.57					

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp. 値は周辺動作電流を含みません。Max. 値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- 注3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 備考1.** f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック周波数
- 備考2.** f<sub>IM</sub> : 中速オンチップ・オシレータ・クロック周波数
- 備考3.** f<sub>MX</sub> : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考4.** 特に指定がない場合のTyp. 値の温度条件は、TA = +25°Cです。

## (1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/4)

項目	略号	条件			Min.	Typ.	Max.	単位	
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	サブシステム・ クロック動作モード	fsUB = 32.768 kHz <sup>注3</sup> , 低速オンチップ・ オシレータ動作	TA = -40°C		0.53	2.31	μA
					TA = +25°C		0.65	2.38	
					TA = +50°C		0.80	4.95	
					TA = +70°C		1.17	9.97	
					TA = +85°C		1.78	17.96	
					TA = +105°C		4.41	37.71	
				fsUB = 32.768 kHz, 方形波入力 <sup>注4</sup>	TA = -40°C		0.20	1.97	μA
					TA = +25°C		0.29	2.00	
					TA = +50°C		0.54	5.33	
					TA = +70°C		0.99	10.94	
					TA = +85°C		1.70	19.62	
					TA = +105°C		4.10	41.82	
				fsUB = 32.768 kHz, 発振子接続 <sup>注5</sup>	TA = -40°C		0.21	2.04	μA
					TA = +25°C		0.33	2.28	
					TA = +50°C		0.49	4.98	
					TA = +70°C		1.05	11.36	
					TA = +85°C		1.76	20.04	
					TA = +105°C		4.20	42.52	
	IDD3	STOPモード	RAMSDS = 0 <sup>注6</sup>	TA = -40°C		0.15	1.45	μA	
				TA = +25°C		0.23	1.45		
				TA = +50°C		0.45	4		
TA = +70°C					0.9	9			
TA = +85°C					1.6	17			
TA = +105°C					4	35			
RAMSDS = 1 <sup>注7</sup>				TA = -40°C		0.14	1.45	μA	
				TA = +25°C		0.21	1.45		
				TA = +50°C		0.4	3.5		
				TA = +70°C		0.8	8.5		
				TA = +85°C		1.4	15		
				TA = +105°C		3.2	30		
RAMSDS = 1, リアルタイム・クロック 128Hz動作 <sup>注8</sup>			TA = -40°C		0.22	1.53	μA		
			TA = +25°C		0.32	1.56			
			TA = +50°C		0.53	3.62			
	TA = +70°C		0.94	8.64					
	TA = +85°C		1.55	15.15					
	TA = +105°C		3.40	30.20					

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVss, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- ★ **注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- ★ **注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- ★ **注6.** RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。  
全領域のRAMを保持。  
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
- ★ **注7.** STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。  
4 KバイトのRAMを保持。
- ★ **注8.** 低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。  
4 KバイトのRAMを保持。  
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流は含みません。

**備考1.** f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック周波数

**備考2.** f<sub>SUB</sub> : サブシステム・クロック周波数 (XT1クロック発振周波数)

(2) 30~64ピン製品のフラッシュROM192~256KBの製品および80ピン製品のフラッシュROM128~256KBの製品

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V		1.4	—	mA
						VDD = 1.8 V		1.4	—	
					通常動作	VDD = 5.0 V		3.0	5.0	mA
				VDD = 1.8 V		3.0	5.0			
			LS (低速メイン)モード	f <sub>IH</sub> = 24 MHz <sup>注2</sup>	通常動作	VDD = 5.0 V		2.3	3.8	mA
						VDD = 1.8 V		2.3	3.8	
		f <sub>IH</sub> = 16 MHz <sup>注2</sup>		通常動作	VDD = 5.0 V		1.7	2.8	mA	
			VDD = 1.8 V		1.7	2.7				
		f <sub>IM</sub> = 4 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		0.4	0.7	mA		
				VDD = 1.6 V		0.4	0.7			
		LP (低電力メイン)モード	f <sub>IM</sub> = 2 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		203	329	μA	
					VDD = 1.6 V		202	328		
			f <sub>IM</sub> = 1 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		115	181	μA	
					VDD = 1.6 V		114	180		
		HS (高速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注4</sup> 、 方形波入力	通常動作	VDD = 5.0 V		1.9	3.2	mA	
					VDD = 1.8 V		1.9	3.2		
		LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注4</sup> 、 方形波入力	通常動作	VDD = 5.0 V		1.8	3.0	mA	
					VDD = 1.8 V		1.7	3.0		
			f <sub>MX</sub> = 20 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V		1.9	3.2	mA	
					VDD = 1.8 V		1.9	3.2		
			f <sub>MX</sub> = 10 MHz <sup>注4</sup> 、 方形波入力	通常動作	VDD = 5.0 V		0.9	1.6	mA	
					VDD = 1.8 V		0.9	1.6		
			f <sub>MX</sub> = 10 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V		1.0	1.7	mA	
				VDD = 1.8 V		1.0	1.7			
f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 方形波入力	通常動作	VDD = 5.0 V		0.8	1.3	mA				
		VDD = 1.8 V		0.7	1.3					
f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V		0.9	1.4	mA				
		VDD = 1.8 V		0.8	1.4					

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(備考は次ページに続きます)

**備考1.** f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック周波数

**備考2.** f<sub>IM</sub> : 中速オンチップ・オシレータ・クロック周波数

**備考3.** f<sub>MX</sub> : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

**備考4.** 特に指定がない場合のTyp.値の温度条件は、T<sub>A</sub> = +25°Cです。

(2) 30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/4)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	サブシステム・クロック動作モード	fsUB = 32.768 kHz <sup>注2</sup> 、 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.3	6.1	μA
						TA = +25°C		3.6	6.3	
						TA = +50°C		3.9	9.6	
						TA = +70°C		4.5	15.9	
						TA = +85°C		5.4	25.3	
						TA = +105°C		7.8	56.3	
				fsUB = 32.768 kHz <sup>注3</sup> 、 方形波入力	通常動作	TA = -40°C		3.3	6.1	μA
						TA = +25°C		3.5	6.4	
						TA = +50°C		3.8	9.6	
						TA = +70°C		4.4	16.1	
						TA = +85°C		5.3	26.4	
						TA = +105°C		7.8	57.0	
				fsUB = 32.768 kHz <sup>注3</sup> 、 発振子接続	通常動作	TA = -40°C		3.3	6.0	μA
						TA = +25°C		3.5	6.0	
						TA = +50°C		3.8	8.9	
						TA = +70°C		4.4	15.3	
						TA = +85°C		5.3	25.6	
						TA = +105°C		7.9	55.3	

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。
- ★ **注2.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- ★ **注3.** 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
- ★ 低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。

**備考1.** fil : 低速オンチップ・オシレータ・クロック周波数

**備考2.** fsUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

(2) 30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件		Min.	Typ.	Max.	単位		
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>H</sub> = 32 MHz <sup>注3</sup>	VDD = 5.0 V		0.57	1.97	mA
					VDD = 1.8 V		0.56	1.96	
			LS (低速メイン)モード	f <sub>H</sub> = 24 MHz <sup>注3</sup>	VDD = 5.0 V		0.47	1.53	mA
					VDD = 1.8 V		0.47	1.52	
				f <sub>H</sub> = 16 MHz <sup>注3</sup>	VDD = 5.0 V		0.48	1.22	mA
					VDD = 1.8 V		0.47	1.21	
				f <sub>M</sub> = 4 MHz <sup>注4</sup>	VDD = 5.0 V		0.08	0.27	mA
					VDD = 1.6 V		0.08	0.26	
			LP (低電力メイン)モード	f <sub>M</sub> = 2 MHz <sup>注4</sup>	VDD = 5.0 V		38	126	μA
					VDD = 1.6 V		37	125	
				f <sub>M</sub> = 1 MHz <sup>注4</sup>	VDD = 5.0 V		32	79	μA
					VDD = 1.6 V		32	79	
			HS (高速メイン)モード	f <sub>M</sub> = 20 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.23	1.07	mA
					VDD = 1.8 V		0.19	1.03	
			LS (低速メイン)モード	f <sub>M</sub> = 20 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.23	1.07	mA
					VDD = 1.8 V		0.19	1.03	
				f <sub>M</sub> = 20 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V		0.41	1.30	mA
					VDD = 1.8 V		0.40	1.28	
				f <sub>M</sub> = 10 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.14	0.57	mA
					VDD = 1.8 V		0.12	0.54	
				f <sub>M</sub> = 10 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V		0.24	0.69	mA
					VDD = 1.8 V		0.23	0.68	
			f <sub>M</sub> = 8 MHz <sup>注5</sup> , 方形波入力	VDD = 5.0 V		0.12	0.47	mA	
				VDD = 1.8 V		0.10	0.44		
f <sub>M</sub> = 8 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V		0.21	0.58	mA				
	VDD = 1.8 V		0.20	0.57					

- ★ 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(備考は次ページに続きます)

**備考1.** f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック周波数

**備考2.** f<sub>IM</sub> : 中速オンチップ・オシレータ・クロック周波数

**備考3.** f<sub>MX</sub> : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

**備考4.** 特に指定がない場合のTyp.値の温度条件は、T<sub>A</sub> = +25°Cです。

(2) 30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/4)

項目	略号	条件		Min.	Typ.	Max.	単位		
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	サブシステム・ クロック動作モード	fsUB = 32.768 kHz <sup>注3</sup> 、 低速オンチップ・ オシレータ動作	TA = -40°C		0.62	2.94	μA
					TA = +25°C		0.74	3.00	
					TA = +50°C		0.88	6.00	
					TA = +70°C		1.22	12.01	
					TA = +85°C		2.69	22.92	
					TA = +105°C		5.08	54.47	
				fsUB = 32.768 kHz <sup>注4</sup> 、 方形波入力	TA = -40°C		0.25	2.54	μA
					TA = +25°C		0.37	2.73	
					TA = +50°C		0.74	7.35	
					TA = +70°C		1.33	15.13	
					TA = +85°C		2.35	27.33	
					TA = +105°C		4.81	62.95	
				fsUB = 32.768 kHz <sup>注5</sup> 、 発振子接続	TA = -40°C		0.27	2.68	μA
					TA = +25°C		0.39	2.87	
					TA = +50°C		0.78	7.63	
					TA = +70°C		1.34	15.20	
					TA = +85°C		2.35	27.33	
					TA = +105°C		4.67	61.97	
	IDD3	STOP モード	RAMSDS = 0 <sup>注6</sup>	TA = -40°C		0.19	2.00	μA	
				TA = +25°C		0.30	2.00		
				TA = +50°C		0.65	5.00		
TA = +70°C					1.20	11.00			
TA = +85°C					2.20	20.00			
TA = +105°C					4.50	50.00			
RAMSDS = 1 <sup>注7</sup>				TA = -40°C		0.18	2.00		μA
				TA = +25°C		0.29	2.00		
				TA = +50°C		0.60	4.50		
				TA = +70°C		1.10	10.00		
			TA = +85°C		2.00	19.00			
RAMSDS = 1、リアルタイム・クロック 128 Hz動作 <sup>注8</sup>			TA = -40°C		0.23	2.05	μA		
			TA = +25°C		0.40	2.11			
			TA = +50°C		0.72	4.62			
			TA = +70°C		1.23	10.13			
	TA = +85°C		2.14	19.14					
		TA = +105°C		4.16	45.16				

(注、備考は次ページに続きます)

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- ★ **注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- ★ **注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- ★ **注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- ★ **注6.** RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。  
全領域のRAMを保持。  
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
- ★ **注7.** STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。  
4 KバイトのRAMを保持。
- ★ **注8.** 低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。  
4 KバイトのRAMを保持。  
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流は含みません。

**備考1.** f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック周波数

**備考2.** f<sub>SUB</sub> : サブシステム・クロック周波数 (XT1クロック発振周波数)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

★ (TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V		1.6	—	mA
						VDD = 1.8 V		1.5	—	
				通常動作		VDD = 5.0 V		3.5	5.6	mA
			VDD = 1.8 V				3.5	5.6		
			LS (低速メイン)モード	f <sub>IH</sub> = 24 MHz <sup>注2</sup>	通常動作	VDD = 5.0 V		2.6	4.2	mA
						VDD = 1.8 V		2.6	4.2	
		f <sub>IH</sub> = 16 MHz <sup>注2</sup>		通常動作	VDD = 5.0 V		2.0	3.1	mA	
		VDD = 1.8 V			1.9	3.1				
		f <sub>IM</sub> = 4 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		0.5	0.9	mA		
				VDD = 1.6 V		0.5	0.8			
		LP (低電力メイン)モード	f <sub>IM</sub> = 2 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		229	361	μA	
					VDD = 1.6 V		227	358		
			f <sub>IM</sub> = 1 MHz <sup>注3</sup>	通常動作	VDD = 5.0 V		128	197	μA	
					VDD = 1.6 V		125	193		
		HS (高速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注4</sup> 、 方形波入力	通常動作	VDD = 5.0 V		2.2	3.5	mA	
					VDD = 1.8 V		2.2	3.5		
		LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注4</sup> 、 方形波入力	通常動作	VDD = 5.0 V		2.1	3.4	mA	
					VDD = 1.8 V		2.0	3.3		
			f <sub>MX</sub> = 20 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V		2.2	3.6	mA	
					VDD = 1.8 V		2.2	3.5		
f <sub>MX</sub> = 10 MHz <sup>注4</sup> 、 方形波入力	通常動作		VDD = 5.0 V		1.1	1.8	mA			
			VDD = 1.8 V		1.1	1.8				
f <sub>MX</sub> = 10 MHz <sup>注4</sup> 、 発振子接続	通常動作		VDD = 5.0 V		1.2	1.9	mA			
		VDD = 1.8 V		1.2	1.9					
f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 方形波入力	通常動作	VDD = 5.0 V		0.9	1.5	mA				
		VDD = 1.8 V		0.9	1.5					
f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V		1.0	1.6	mA				
		VDD = 1.8 V		1.0	1.6					

★ **注1.** VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp. 値は周辺動作電流を含みません。Max. 値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

**注2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

**注3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

**注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(備考は次ページに続きます)

**備考1.** f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック周波数

**備考2.** f<sub>IM</sub> : 中速オンチップ・オシレータ・クロック周波数

**備考3.** f<sub>MX</sub> : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

**備考4.** 特に指定がない場合のTyp.値の温度条件は、T<sub>A</sub> = +25°Cです。

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

★ (TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/4)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 <sup>注1</sup>	IDD1	動作モード	サブシステム・クロック動作モード	fsUB = 32.768 kHz <sup>注2</sup> 、 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.8	7.7	μA
						TA = +25°C		4.1	8.0	
						TA = +50°C		4.6	13.5	
						TA = +70°C		5.6	24.0	
						TA = +85°C		7.1	40.8	
						TA = +105°C		11.1	88.8	
				fsUB = 32.768 kHz <sup>注3</sup> 、 方形波入力	通常動作	TA = -40°C		3.8	7.7	μA
						TA = +25°C		4.0	8.0	
						TA = +50°C		4.5	13.6	
						TA = +70°C		5.3	24.1	
						TA = +85°C		6.7	40.3	
						TA = +105°C		10.7	88.1	
				fsUB = 32.768 kHz <sup>注3</sup> 、 発振子接続	通常動作	TA = -40°C		3.8	7.4	μA
						TA = +25°C		4.1	7.8	
						TA = +50°C		4.5	12.6	
						TA = +70°C		5.4	24.2	
						TA = +85°C		6.8	39.8	
						TA = +105°C		10.8	87.4	

★ **注1.** VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

★ **注2.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

★ **注3.** 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

★ 低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。

**備考1.** fIL : 低速オンチップ・オシレータ・クロック周波数

**備考2.** fsUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

★ (TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>	VDD = 5.0 V	0.60	2.00	mA
					VDD = 1.8 V	0.59	1.99	
			LS (低速メイン)モード	f <sub>IH</sub> = 24 MHz <sup>注3</sup>	VDD = 5.0 V	0.49	1.56	mA
					VDD = 1.8 V	0.48	1.55	
				f <sub>IH</sub> = 16 MHz <sup>注3</sup>	VDD = 5.0 V	0.49	1.24	mA
					VDD = 1.8 V	0.48	1.23	
				f <sub>IM</sub> = 4 MHz <sup>注4</sup>	VDD = 5.0 V	0.09	0.28	mA
					VDD = 1.6 V	0.09	0.27	
			LP (低電力メイン)モード	f <sub>IM</sub> = 2 MHz <sup>注4</sup>	VDD = 5.0 V	40	129	μA
					VDD = 1.6 V	37	125	
				f <sub>IM</sub> = 1 MHz <sup>注4</sup>	VDD = 5.0 V	33	80	μA
					VDD = 1.6 V	32	79	
			HS (高速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注5</sup> 、 方形波入力	VDD = 5.0 V	0.25	1.10	mA
					VDD = 1.8 V	0.21	1.05	
			LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注5</sup> 、 方形波入力	VDD = 5.0 V	0.25	1.10	mA
					VDD = 1.8 V	0.21	1.05	
				f <sub>MX</sub> = 20 MHz <sup>注5</sup> 、 発振子接続	VDD = 5.0 V	0.41	1.30	mA
					VDD = 1.8 V	0.40	1.28	
				f <sub>MX</sub> = 10 MHz <sup>注5</sup> 、 方形波入力	VDD = 5.0 V	0.15	0.59	mA
					VDD = 1.8 V	0.13	0.55	
				f <sub>MX</sub> = 10 MHz <sup>注5</sup> 、 発振子接続	VDD = 5.0 V	0.25	0.70	mA
					VDD = 1.8 V	0.24	0.69	
			f <sub>MX</sub> = 8 MHz <sup>注5</sup> 、 方形波入力	VDD = 5.0 V	0.13	0.48	mA	
				VDD = 1.8 V	0.11	0.45		
f <sub>MX</sub> = 8 MHz <sup>注5</sup> 、 発振子接続	VDD = 5.0 V	0.22	0.59	mA				
	VDD = 1.8 V	0.21	0.58					

- ★ **注1.** VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- 注3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 備考1.** f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック周波数
- 備考2.** f<sub>IM</sub> : 中速オンチップ・オシレータ・クロック周波数
- 備考3.** f<sub>MX</sub> : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考4.** 特に指定がない場合のTyp.値の温度条件は、TA = +25°Cです。

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

★ (TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(4/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	サブシステム・ クロック動作モード	fs <sub>SUB</sub> = 32.768 kHz <sup>注3</sup> 、 低速オンチップ・ オシレータ動作	TA = -40°C		0.62	3.95	μA
					TA = +25°C		0.78	4.00	
					TA = +50°C		1.03	9.16	
					TA = +70°C		1.62	19.34	
					TA = +85°C		3.50	37.35	
					TA = +105°C		6.77	85.36	
				fs <sub>SUB</sub> = 32.768 kHz <sup>注4</sup> 、 方形波入力	TA = -40°C		0.25	3.55	μA
					TA = +25°C		0.41	3.73	
					TA = +50°C		0.90	10.93	
					TA = +70°C		1.76	23.42	
					TA = +85°C		2.92	41.07	
					TA = +105°C		6.27	94.30	
				fs <sub>SUB</sub> = 32.768 kHz <sup>注5</sup> 、 発振子接続	TA = -40°C		0.27	3.62	μA
					TA = +25°C		0.43	3.87	
					TA = +50°C		0.92	11.07	
					TA = +70°C		1.79	23.63	
					TA = +85°C		2.94	41.21	
					TA = +105°C		6.28	94.37	
	IDD3	STOP モード	RAMSDS = 0 <sup>注6</sup>	TA = -40°C		0.21	3.00	μA	
				TA = +25°C		0.35	3.00		
				TA = +50°C		0.75	8.00		
				TA = +70°C		1.60	18.00		
				TA = +85°C		2.80	34.00		
				TA = +105°C		6.00	80.00		
RAMSDS = 1 <sup>注7</sup>				TA = -40°C		0.19	3.00		μA
				TA = +25°C		0.32	3.00		
				TA = +50°C		0.65	7.00		
				TA = +70°C		1.25	17.00		
				TA = +85°C		2.10	30.00		
				TA = +105°C		4.50	70.00		
RAMSDS = 1、リアルタイム・クロック 128 Hz動作 <sup>注8</sup>			TA = -40°C		0.27	3.08	μA		
			TA = +25°C		0.42	3.10			
			TA = +50°C		0.76	7.11			
			TA = +70°C		1.38	17.13			
			TA = +85°C		2.23	30.13			
			TA = +105°C		4.64	70.14			

(注、備考は次ページに続きます)

- ★ **注1.** VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- ★ **注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- ★ **注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- ★ **注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- ★ **注6.** RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。  
全領域のRAMを保持。  
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
- ★ **注7.** STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。  
4 KバイトのRAMを保持。
- ★ **注8.** 低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。  
4 KバイトのRAMを保持。  
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流は含みます。

**備考1.** f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック周波数

**備考2.** f<sub>SUB</sub> : サブシステム・クロック周波数 (XT1クロック発振周波数)

(4) 周辺機能（全製品共通）

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	IFIH <sup>注1</sup>				380		μA
中速オンチップ・オシレータ動作電流	IFIM <sup>注1</sup>				20		μA
低速オンチップ・オシレータ動作電流	IFIL <sup>注1</sup>				0.3		μA
RTC動作電流	IRTC <sup>注1, 2, 3</sup>	fRTCCLK = 32.768 kHz			0.005		μA
		fRTCCLK = 128 Hz			0.002		μA
32ビット・インターバル・タイマ動作電流	IIT <sup>注1, 2, 4</sup>				0.04		μA
ウォッチドッグ・タイマ動作電流	IWDT <sup>注1, 2, 5</sup>	fIL = 32.768 kHz (Typ.)			0.32		μA
A/Dコンバータ動作電流	IADC <sup>注1, 6</sup>	最高速変換時	標準モード、AVREFF = VDD = 5.0 V		0.95	1.6	mA
			低電圧モード、AVREFF = VDD = 3.0 V		0.5	0.75	mA
AVREFF電流	IADREF <sup>注7</sup>	AVREFF = 5.0 V			52		μA
A/Dコンバータ内部基準電圧電流	IADREF <sup>注1</sup>				114		μA
温度センサ動作電流	ITMPS <sup>注1</sup>				110		μA
D/Aコンバータ動作電流	IDAC <sup>注1, 8</sup>	1チャンネルあたり			150		μA
コンパレータ動作電流	ICMP <sup>注1, 9</sup>				6		μA
LVD動作電流	ILVD0 <sup>注1, 10</sup>				0.02		μA
	ILVD1 <sup>注1, 10</sup>				0.02		μA
セルフ・プログラミング動作電流	IFSP <sup>注1, 11</sup>				2.5	12.2	mA
データ・フラッシュ書き換え動作電流	IBGO <sup>注1, 12</sup>				2.5	12.2	mA
SNOOZEモード・シーケンサ動作電流	ISMS <sup>注1, 13</sup>	fIH = 32 MHz	30～64ピン製品のフラッシュ ROM96～128 KBの製品		1.1		mA
			30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品		1.1		
			44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品		1.4		
		fIL = 32.768 kHz	30～64ピン製品のフラッシュ ROM96～128 KBの製品		1.2		μA
			30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品		1.2		
			44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品		1.6		

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件		Min.	Typ.	Max.	単位	
SNOOZE動作電流	ISNOZ <sup>注1</sup>	fIH = 32 MHz	ADC動作	モード遷移中 <sup>注14</sup>		0.6	0.81	mA
				変換動作中、低電圧モード、 AVREFF = VDD = 3.0 V		1.2	1.56	mA
				簡易SPI (CSI) /UART動作		0.7	0.92	mA
			SMS <sup>注15</sup>	30～64ピン製品のフラッシュ ROM96～128KBの製品		1.6		mA
	30～64ピン製品のフラッシュ ROM192～256KBの製品および 80ピン製品のフラッシュ ROM128～256KBの製品		1.7					
	44～80ピン製品のフラッシュ ROM384～768KBの製品 および100～128ピン製品		2.0					
リモコン信号受信機能 動作電流	I <sub>REM</sub> <sup>注1, 16</sup>				0.03		μA	
低速周辺クロック供給 電流	I <sub>XP</sub> <sup>注1, 17</sup>	RTCLPC = 0			0.22		μA	
出力電流制御機能動作 電流	I <sub>CCDA</sub> <sup>注1, 18</sup>	CCDE = 00H以外			100		μA	
	I <sub>CCDP</sub> <sup>注19, 20</sup>	出力電流制御 ポート1本 あたり	ロウ・レベル出力電流の設定：Hi-Z		30		μA	
			ロウ・レベル出力電流の設定：2～15 mA		200		μA	
真性乱数発生器動作電流	I <sub>TRNG</sub> <sup>注1</sup>				1.1		mA	

**注1.** VDDに流れる電流です。**注2.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロックは停止時。**注3.** リアル・タイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。**注4.** 32ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。**注5.** ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にI<sub>WDT</sub>を加算した値が、RL78マイクロコントローラの電流値となります。**注6.** A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にI<sub>ADC</sub>を加算した値が、RL78マイクロコントローラの電流値となります。**注7.** AVREFFに流れる電流です。**注8.** D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にI<sub>DAC</sub>を加算した値が、RL78マイクロコントローラの電流値となります。**注9.** コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にI<sub>COMP</sub>を加算した値が、RL78マイクロコントローラの電流値となります。**注10.** LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にI<sub>LVD</sub>を加算した値がRL78マイクロコントローラの電流値となります。**注11.** セルフ・プログラミング動作に流れる電流です。**注12.** データ・フラッシュ書き換え動作に流れる電流です。

(注、備考は次ページに続きます)

- 注13.** SNOOZEモード・シーケンサにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのSNOOZEモード・シーケンサ動作時は、IDD1またはIDD2を加算した値が、RL78マイクロコントローラの電流値となります。
- 注14.** SNOOZEモードへの移行時間は、**23.3.3 SNOOZEモード**を参照してください。
- 注15.** SNOOZEモード・シーケンサがIDD1の通常動作に相当する動作を実行したときの電流です。また、SNOOZEモード・シーケンサ以外の周辺機能に流れる電流は含みません。
- 注16.** リモコン信号受信機能にのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリモコン信号受信機能の動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 注17.** サブシステム・クロックX (fsx) が発振している状態でRTCLPC = 0 かつSTOPモード時、RTCLPC = 0 かつCPUクロックにサブシステム・クロックX (fsx) を選択した状態でのHALTモード時に加算される電流です。
- 注18.** 出力電流制御ポート設定時に加算される電流です。
- 注19.** I/Oポートに流れる電流は含みません。
- 注20.** EVDD0およびEVDD1に流れる電流です。

**備考1.** fIL : 低速オンチップ・オシレータ・クロック周波数

**備考2.** fsx : サブシステム・クロックX周波数

**備考3.** fCLK : CPU/周辺ハードウェア・クロック周波数

**備考4.** Typ. 値の温度条件は、TA = +25°Cです。

## 37.4 AC特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位		
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs	
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs	
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs	
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs	
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.5		1	μs	
		サブシステム・クロック (fSUB) 動作		1.6 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3	μs	
		セルフ・プログラミング時	HS (高速メイン) モード		1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
					1.6 V ≤ VDD ≤ 1.8 V	0.5		1	μs
LS (低速メイン) モード				1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs	
				1.6 V ≤ VDD ≤ 1.8 V	0.5		1	μs	
外部システム・クロック周波数	fEX	1.8 V ≤ VDD ≤ 5.5 V		1.0		20.0	MHz		
		1.6 V ≤ VDD < 1.8 V		1.0		4.0	MHz		
	fEXS			32		38.4	kHz		
★ 外部システム・クロック入力 ハイ、ロウ・レベル幅	tEXH, tEXL	1.8 V ≤ VDD ≤ 5.5 V		24			ns		
		1.6 V ≤ VDD < 1.8 V		120			ns		
	tEXHS, tEXLS			13.7			μs		
Ti00-Ti07, Ti10-Ti17 入力ハイ・レベル幅、 ロウ・レベル幅	tTIH, tTIL			1/fMCK +10			ns <sup>注</sup>		
TO00-TO07, TO10-TO17 出力周波数	fTO	HS (高速メイン) モード LS (低速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz		
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz		
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz		
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz		
		LP (低電力メイン) モード	1.6 V ≤ EVDD0 ≤ 5.5 V			2	MHz		
PCLBUZ0, PCLBUZ1 出力周波数	fPCL	HS (高速メイン) モード LS (低速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz		
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz		
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz		
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz		
		LP (低電力メイン) モード	1.6 V ≤ EVDD0 < 1.8 V			2	MHz		
割り込み入力ハイ・レベル幅、 ロウ・レベル幅	fINTH, fINTL	INTP0	1.6 V ≤ VDD ≤ 5.5 V	1			μs		
		INTP1-INTP11	1.6 V ≤ EVDD0 ≤ 5.5 V	1			μs		
キー割り込み入力ハイ・レベル、 ロウ・レベル幅	fKRH, fKRL	KR0-KR7	1.8 V ≤ EVDD0 ≤ 5.5 V	250			ns		
			1.6 V ≤ EVDD0 < 1.8 V	1			μs		
RESET ロウ・レベル幅	tRSL			10			μs		

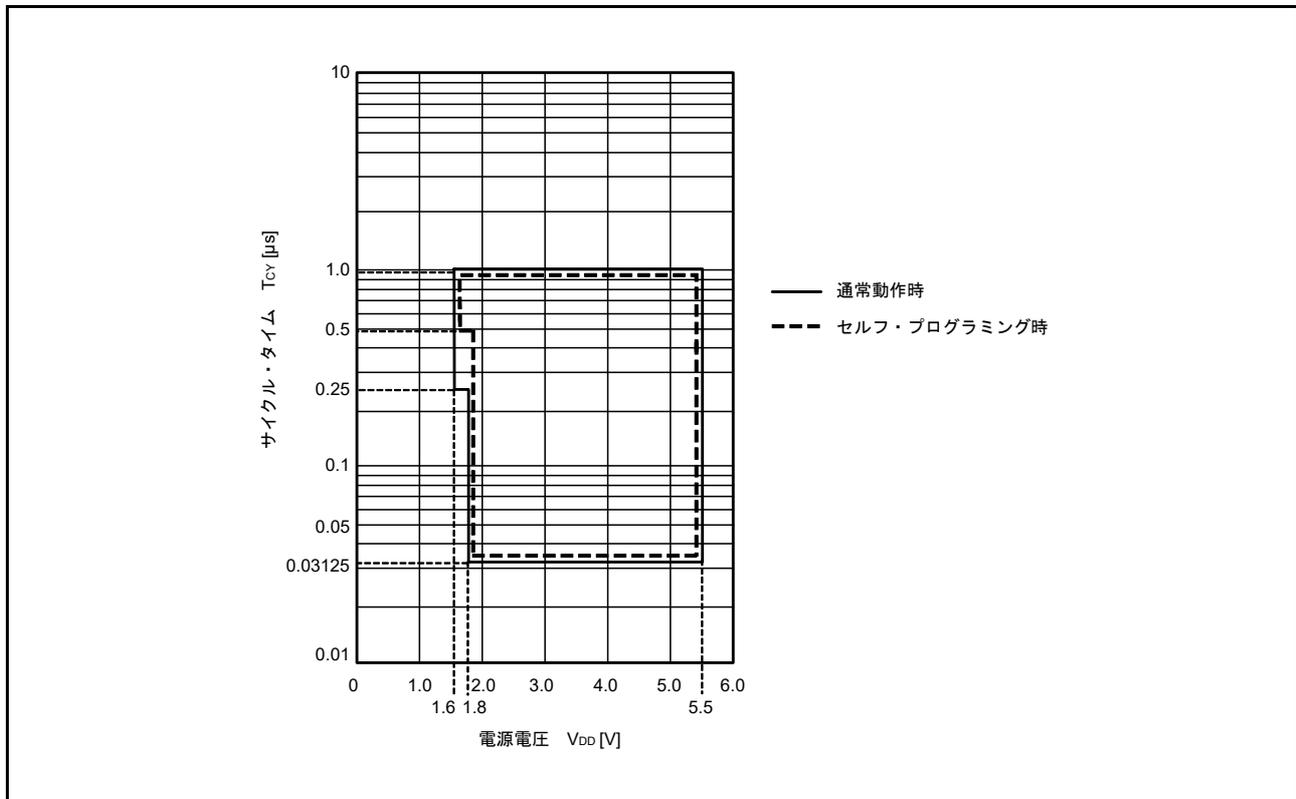
(注、備考は次ページに続きます)

**注** EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。  
1.8 V  $\leq$  EVDD0 < 2.7 V : Min. 125 ns  
1.6 V  $\leq$  EVDD0 < 1.8 V : Min. 250 ns

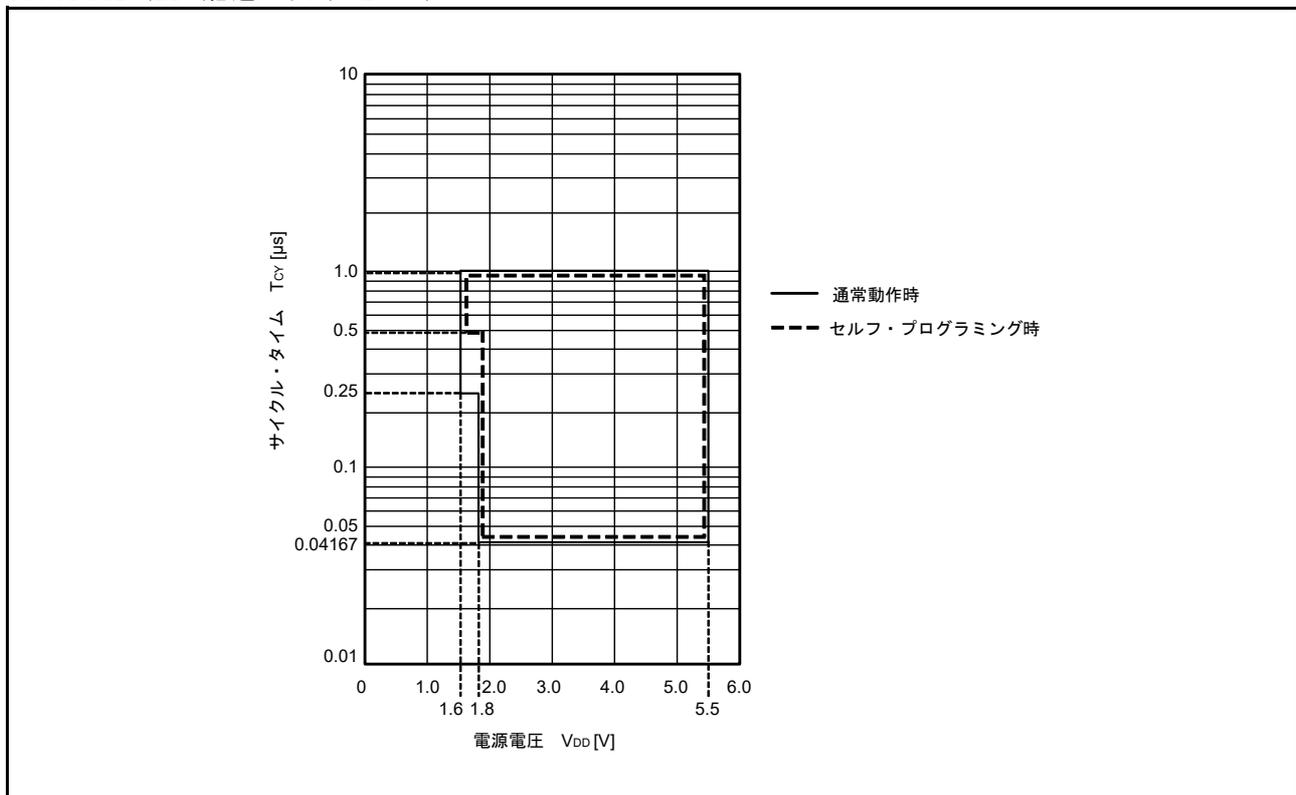
**備考** fMCK : タイマ・アレイ・ユニットの動作クロック周波数。  
(タイマ・モード・レジスタ mn (TMRmn) CKSmn0, CKSmn1 ビットで設定する動作クロック。  
m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7))

## メイン・システム・クロック動作時の最小命令実行時間

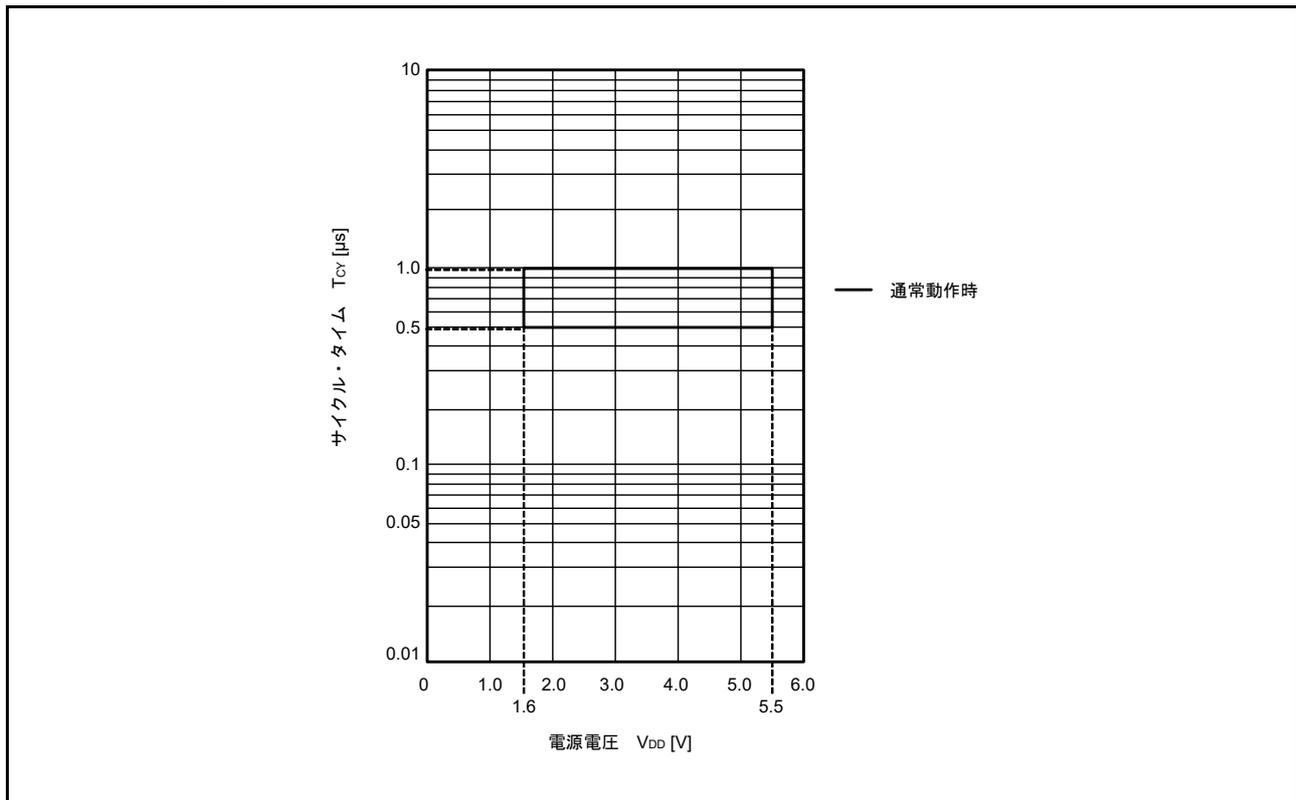
TCY vs VDD (HS (高速メイン) モード)



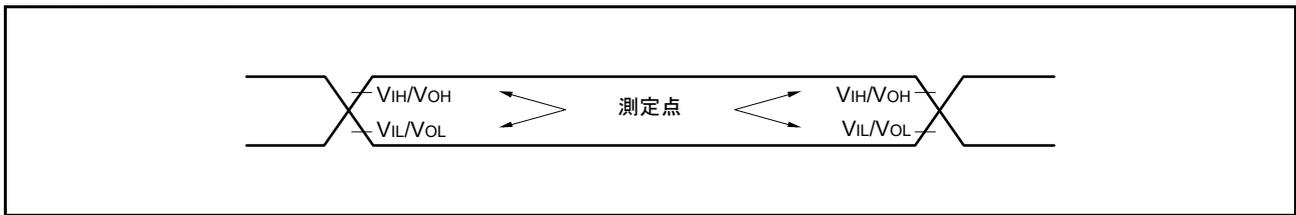
TCY vs VDD (LS (低速メイン) モード)



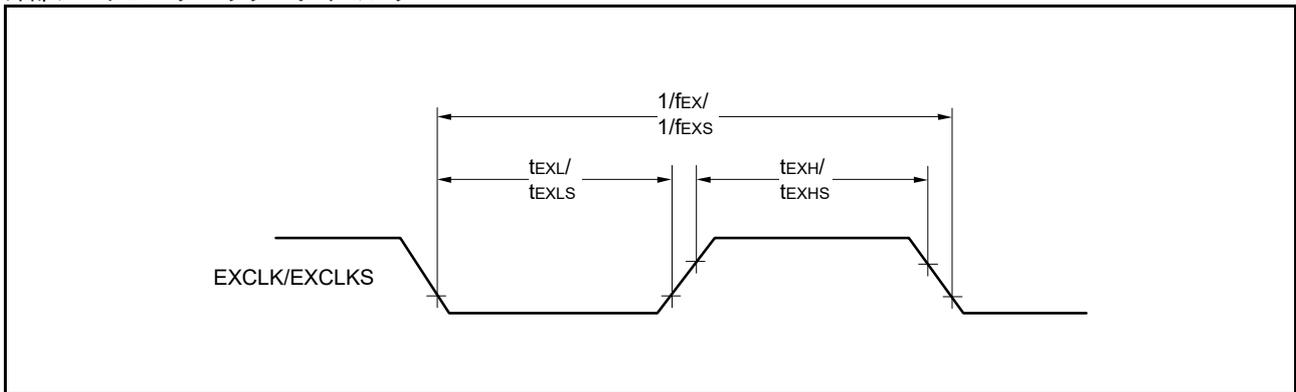
TCY vs VDD (LP (低電力メイン) モード)



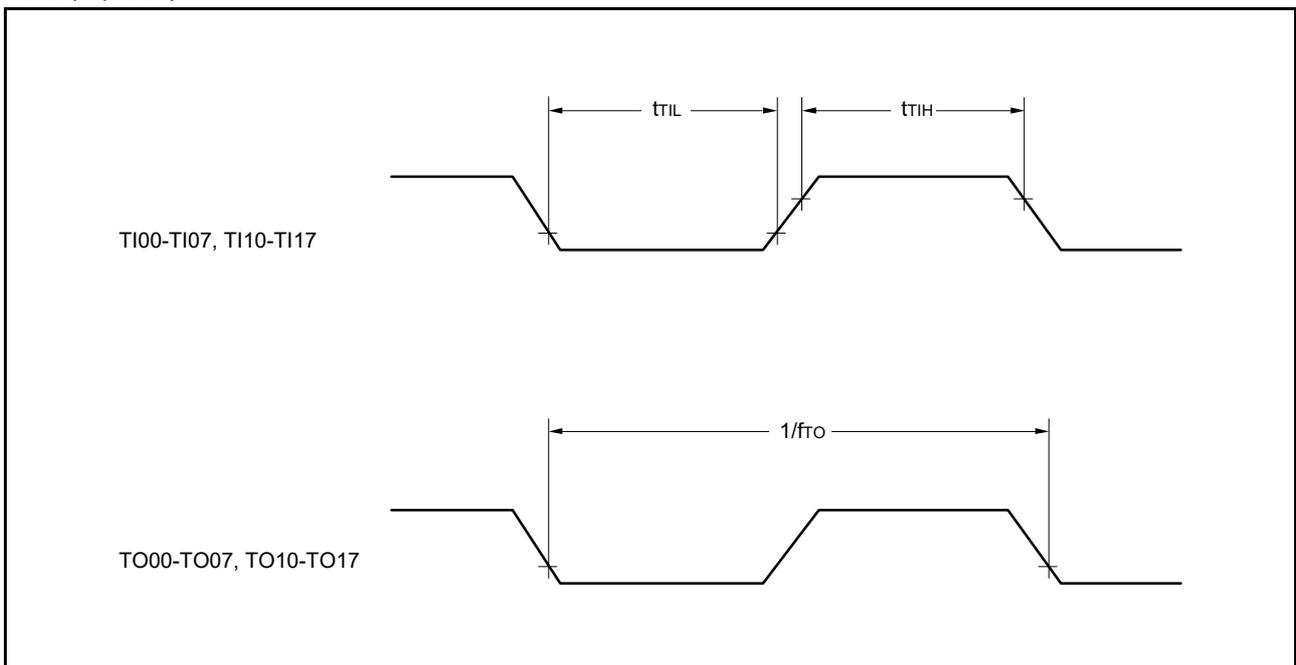
AC タイミング測定点



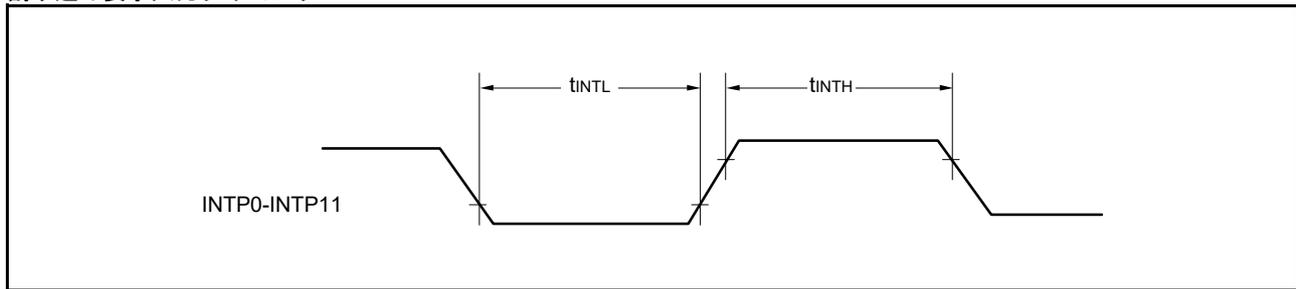
外部システム・クロック・タイミング



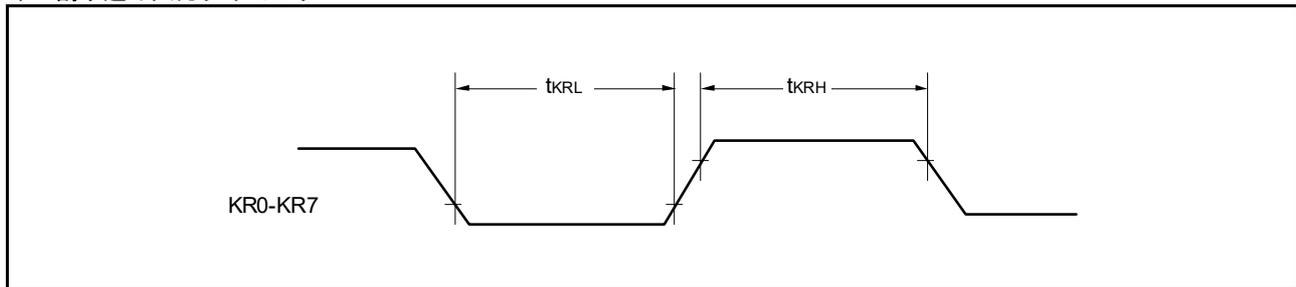
TI/TO タイミング



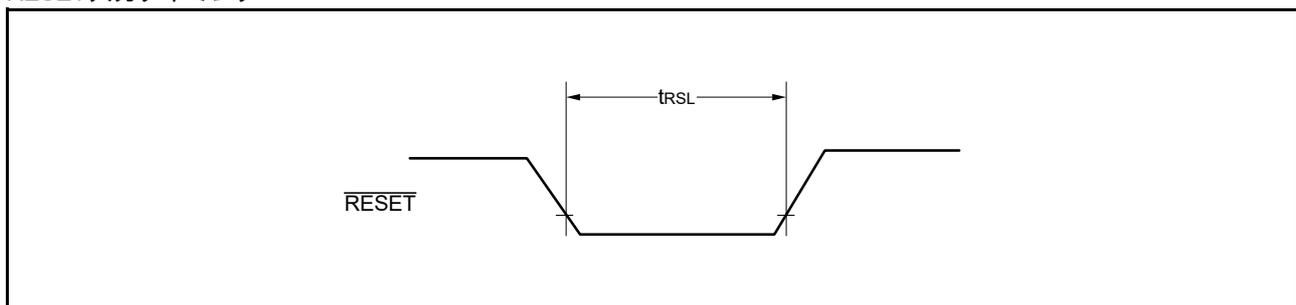
## 割り込み要求入力タイミング



## キー割り込み入力タイミング



## RESET 入力タイミング



## 37.5 周辺機能特性

### ACタイミング測定点



### 37.5.1 シリアル・アレイ・ユニット

#### (1) 同電位通信、UARTモード時

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$ )

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート <sup>注1</sup>		$1.6\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		fMCK/6 <sup>注2</sup>		fMCK/6 <sup>注2</sup>		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK <sup>注3</sup>		5.3		4		0.33	Mbps

**注1.** SNOOZEモードでの転送レートは、4800～9600 bpsとなります。

**注2.**  $\text{EVDD0} < \text{VDD}$ となる低電圧インタフェース時は、次の条件も必要になります。

$2.4\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$  : Max. 2.6 Mbps

$1.8\text{ V} \leq \text{EVDD0} < 2.4\text{ V}$  : Max. 1.3 Mbps

$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$  : Max. 0.6 Mbps

**注3.** CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz ( $1.8\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$ )

4 MHz ( $1.6\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$ )

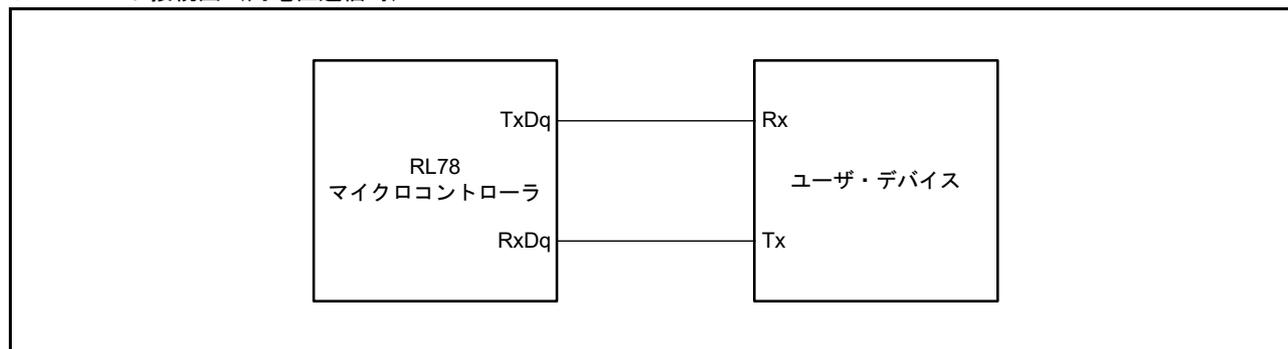
LS (低速メイン) モード : 24 MHz ( $1.8\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$ )

4 MHz ( $1.6\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$ )

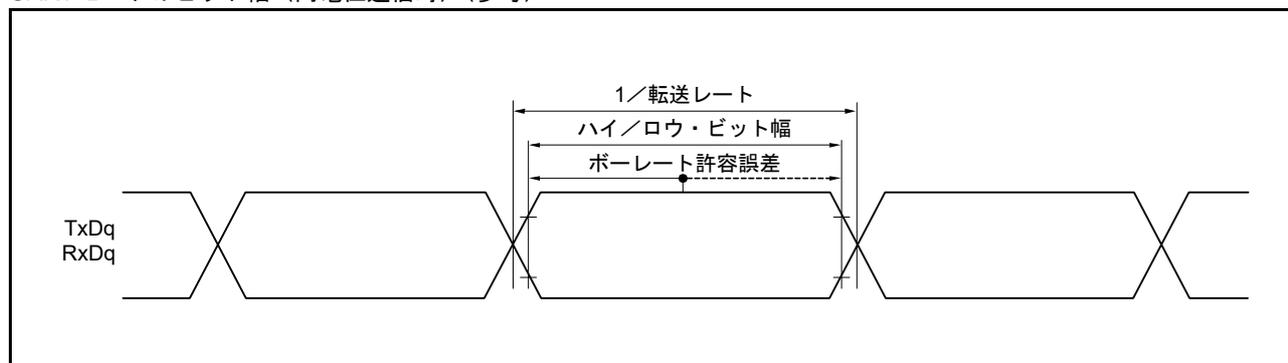
LP (低電力メイン) モード : 2 MHz ( $1.6\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$ )

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1. q : UART番号 (q = 0-3)、g : PIM, POM番号 (g = 0, 1, 8, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

(2) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp : 内部クロック出力、CSI00のみ対応)

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $2.7\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$ )

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	$\text{tkCY1} \geq 2/\text{fCLK}$	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	62.5		83.3		1000		ns
			$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	83.3		125		1000		ns
SCKpハイ、ロウ・ レベル幅	tkH1, tkL1	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		tkCY1/2 -7		tkCY1/2 -10		tkCY1/2 -50		ns
		$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		tkCY1/2 -10		tkCY1/2 -15		tkCY1/2 -50		ns
Slpセットアップ 時間 (対SCKp↑)注1	tsIK1	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		23		33		110		ns
		$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		33		50		110		ns
Slpホールド時間 (対SCKp↑)注1	tkSI1	$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		10		10		10		ns
SCKp↓→SOp 出力遅延時間注2	tkSO1	$C = 20\text{ pF}$ 注3			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

備考2. p : CSI番号 (p = 00)、m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0)、g : PIM, POM番号 (g = 1)

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00))

## (3) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp : 内部クロック出力)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK 2.7 V ≤ EVDD0 ≤ 5.5 V	125		166		2000		ns
			250		250		2000		ns
			500		500		2000		ns
			1000		1000		2000		ns
SCKpハイ、ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -12		tkCY1/2 -21		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -18		tkCY1/2 -25		tkCY1/2 -50		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -38		tkCY1/2 -38		tkCY1/2 -50		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -100		tkCY1/2 -100		tkCY1/2 -100		ns
Slpセットアップ 時間 (対SCKp ↑) 注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V	44		54		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	44		54		110		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	75		75		110		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V	110		110		110		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	220		220		220		ns
Slpホールド時間 (対SCKp ↑) 注1	tkSI1	1.6 V ≤ EVDD0 ≤ 5.5 V	19		19		19		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	1.6 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3		25		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

## (4) 同電位通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp : 外部クロック入力)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位		
			Min.	Max.	Min.	Max.	Min.	Max.			
SCKpサイクル・ タイム注1	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	8/fMCK		8/fMCK		—		ns	
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		6/fMCK		ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	8/fMCK		8/fMCK		—		ns	
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		6/fMCK		ns	
		2.4 V ≤ EVDD0 ≤ 5.5 V			6/fMCK かつ 500		6/fMCK かつ 500		6/fMCK かつ 500		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V			6/fMCK かつ 750		6/fMCK かつ 750		6/fMCK かつ 750		ns
1.6 V ≤ EVDD0 ≤ 5.5 V			6/fMCK かつ 1500		6/fMCK かつ 1500		6/fMCK かつ 1500		ns		
SCKpハイ、 ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2-7		tkCY2/2-7		tkCY2/2-7		ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2-8		tkCY2/2-8		tkCY2/2-8		ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 -18		tkCY2/2 -18		tkCY2/2 -18		ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 -66		tkCY2/2 -66		tkCY2/2 -66		ns	

(注、注意、備考は次ページに続きます)

## (4) 同電位通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp : 外部クロック入力)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↑) 注2	tSIK2	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +20		1/fMCK +30		1/fMCK +30		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +30		1/fMCK +30		1/fMCK +30		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +40		1/fMCK +40		1/fMCK +40		ns
Slpホールド時間 (対SCKp ↑) 注2	tKSI2	1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +31		1/fMCK +31		1/fMCK +31		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +250		1/fMCK +250		1/fMCK +250		ns
SCKp ↓ → SOp出力 遅延時間注3	tkSO2	C = 30 pF 注4	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +44		2/fMCK +110		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +75		2/fMCK +110		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +110		2/fMCK +110		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +220		2/fMCK +220		ns

注1. SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注4. Cは、SOp出力ラインの負荷容量です。

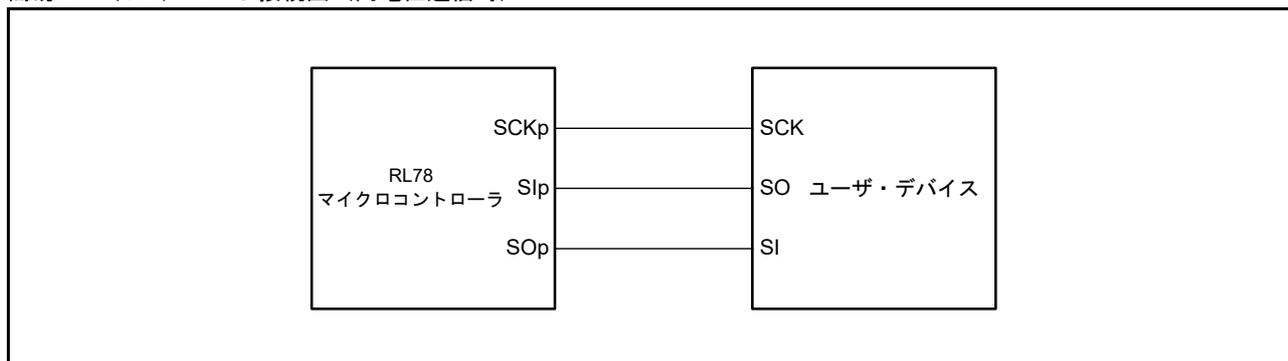
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

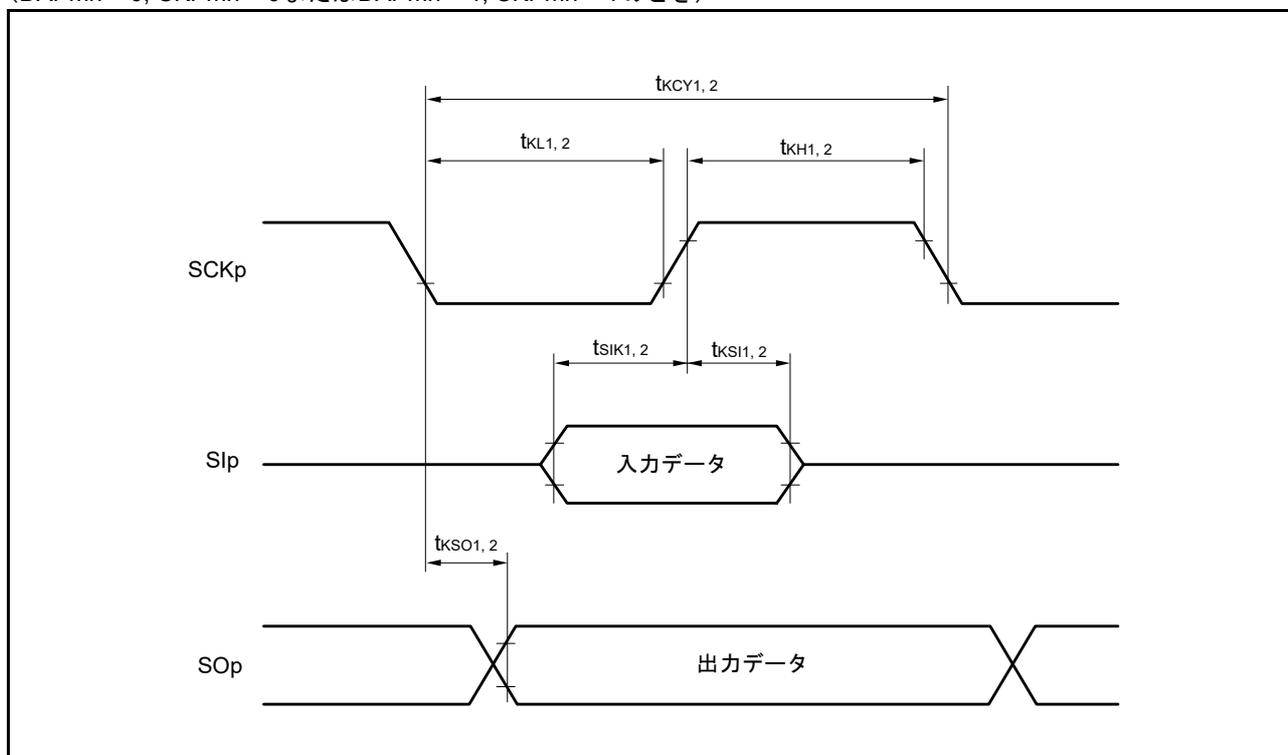
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

簡易SPI (CSI) モード接続図 (同電位通信時)

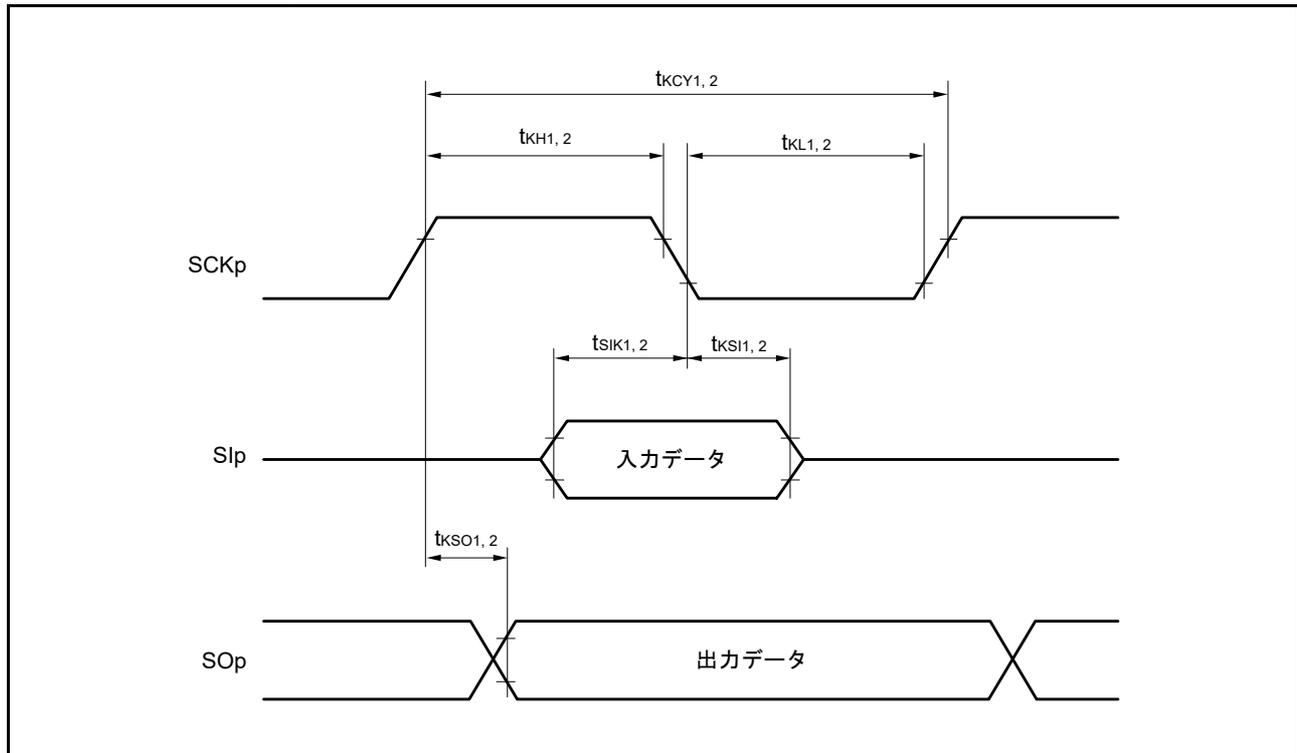


簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)  
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

備考2. m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13)

(5) 同電位通信、簡易I<sup>2</sup>Cモード時

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fSCL	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 <sup>注1</sup>		1000 <sup>注1</sup>		400 <sup>注1</sup>	kHz
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 <sup>注1</sup>		400 <sup>注1</sup>		400 <sup>注1</sup>	kHz
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 <sup>注1</sup>		300 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250 <sup>注1</sup>		250 <sup>注1</sup>		250 <sup>注1</sup>	kHz
SCLr = "L" の ホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
SCLr = "H" の ホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns

(注、注意は次ページに、備考は1469ページにあります)

(5) 同電位通信、簡易I<sup>2</sup>Cモード時

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

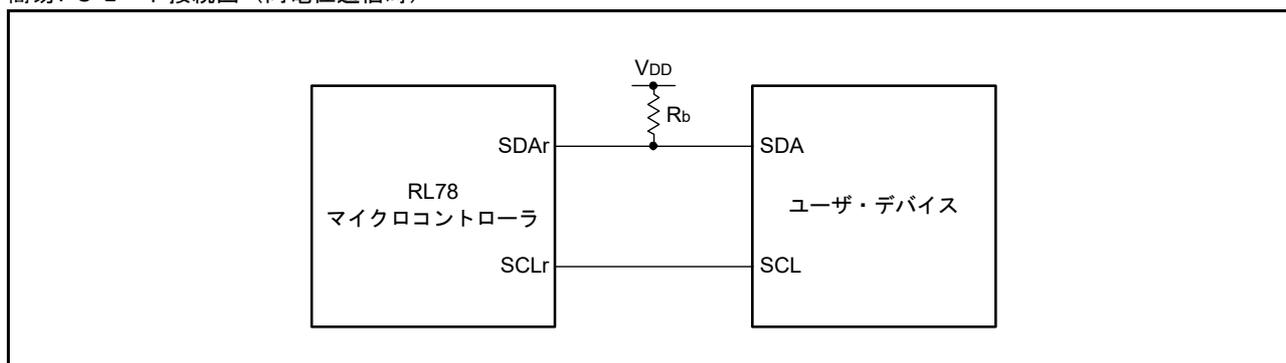
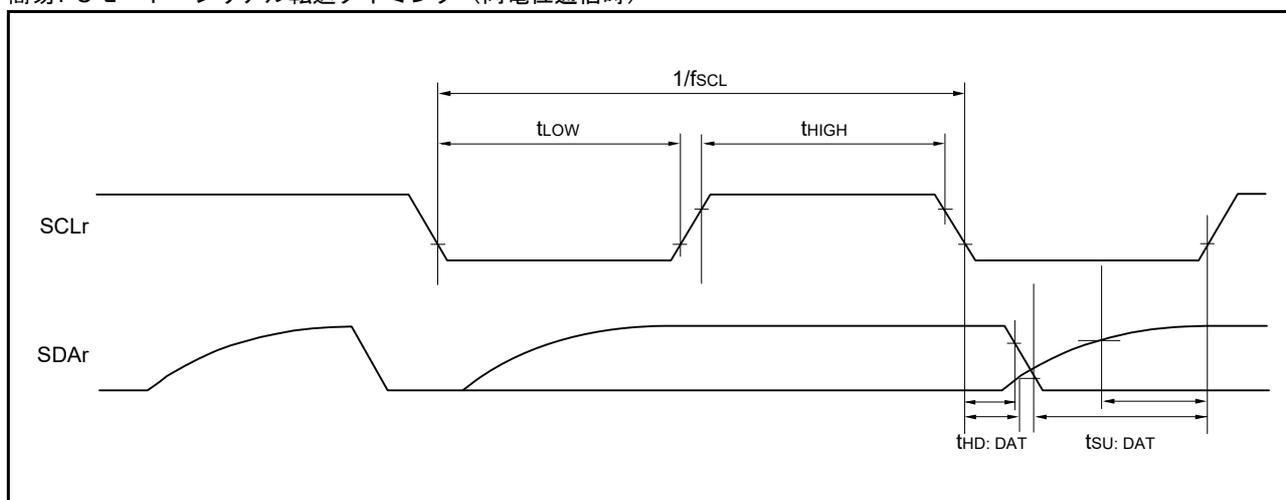
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・セットアップ 時間 (受信時)	tSU : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +85注2		1/fMCK +85注2		1/fMCK +145注2		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK +145注2		1/fMCK +145注2		1/fMCK +145注2		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK +230注2		1/fMCK +230注2		1/fMCK +230注2		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK +290注2		1/fMCK +290注2		1/fMCK +290注2		ns
データ・ホールド時間 (送信時)	tHD : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns

注1. fMCK/4以下に設定してください。

注2. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを超えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページに続きます)

簡易I<sup>2</sup>Cモード接続図 (同電位通信時)簡易I<sup>2</sup>Cモード・シリアル転送タイミング (同電位通信時)

備考1.  $R_b$  [ $\Omega$ ] : 通信ライン (SDAr) プルアップ抵抗値、 $C_b$  [F] : 通信ライン (SCLr, SDAr) 負荷容量値

備考2. r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、g : PIM番号 (g = 0, 1, 4, 5, 8, 14) ,

h : POM番号 (h = 0, 1, 4, 5, 7-9, 14)

備考3.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13)

## (6) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、UARTモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート	受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6注1		fMCK/6注1		fMCK/6注1	bps
		最大転送レート理論値 fMCK = fCLK注2		5.3		4		0.33	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6注1		fMCK/6注1		fMCK/6注1	bps
		最大転送レート理論値 fMCK = fCLK注2		5.3		4		0.33	Mbps
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 3, 4		fMCK/6 注1, 3		fMCK/6 注1, 3	bps
		最大転送レート理論値 fMCK = fCLK注2		5.3		4		0.33	Mbps

注1. SNOOZEモードでの転送レートは、4800~9600 bpsとなります。

注2. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz (1.8 V ≤ VDD ≤ 5.5 V)

4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

LS (低速メイン) モード : 24 MHz (1.8 V ≤ VDD ≤ 5.5 V)

4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

LP (低電力メイン) モード : 2 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注3. EVDD0 ≥ Vb で使用してください。

注4. EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V : Max. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V : Max. 1.3 Mbps

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モード) を選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V] : 通信ライン電圧

備考2. q : UART番号 (q = 0-3)、g : PIM, POM番号 (g = 0, 1, 8, 14)

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

備考4. 周辺I/Oリダイレクション・レジスタ (PIOR) のビット1 (PIOR1) が1のとき、UART2の異電位通信は使用できません。

## (6) 異電位（1.8 V系、2.5 V系、3 V系）通信、UARTモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート	送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2		2.8注2		2.8注2	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4		1.2注4		1.2注4	Mbps
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5, 注6		注5, 注6		注5, 注6	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7		0.43注7		0.43注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボーレート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボーレート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

**注5.**  $EVDD0 \geq V_b$ で使用してください。

**注6.**  $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。  
 $1.8 \text{ V} \leq EVDD0 < 3.3 \text{ V}$ ,  $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

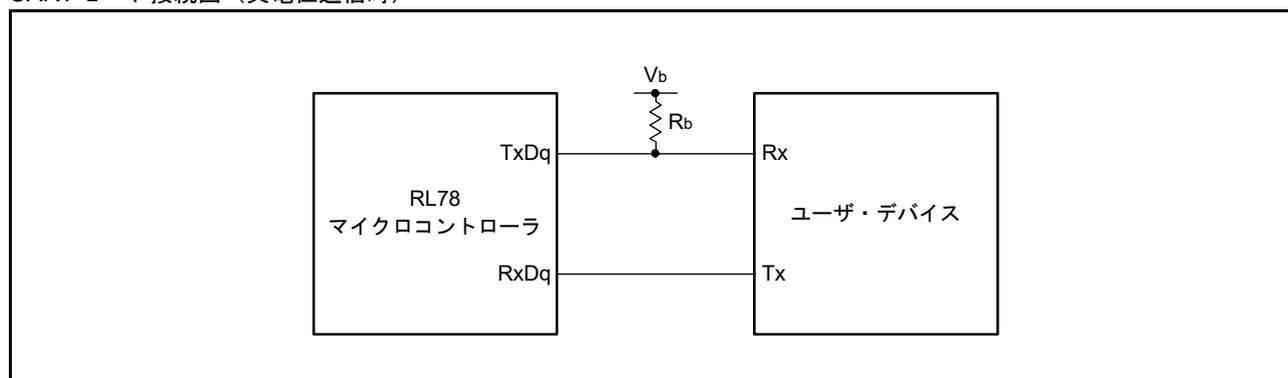
$$\text{ボーレート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

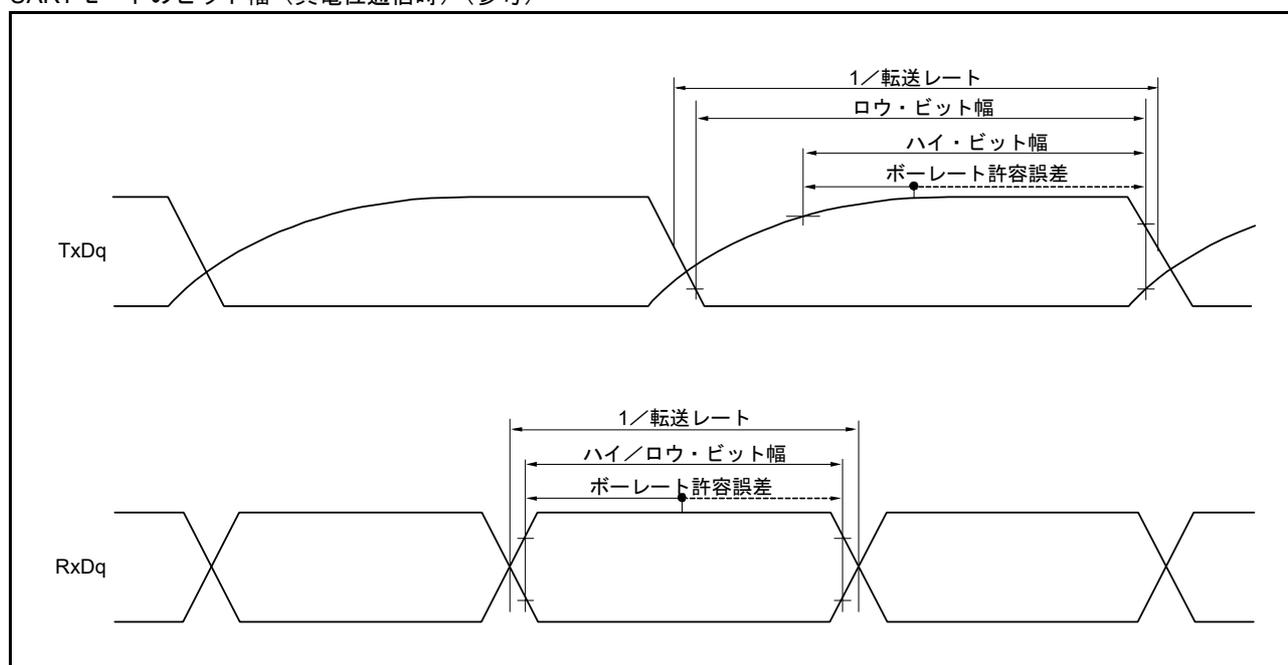
**注7.** この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧 (30~52ピン製品の場合) /  $EV_{DD}$ 耐圧 (64~128ピン製品の場合) モードを選択します。なお  $V_{IH}$ 、 $V_{IL}$ は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1.  $R_b$  [ $\Omega$ ] : 通信ライン (TxDq) プルアップ抵抗値、 $C_b$  [F] : 通信ライン (TxDq) 負荷容量値、 $V_b$  [V] : 通信ライン電圧

備考2.  $q$  : UART番号 ( $q = 0-3$ )、 $g$  : PIM, POM番号 ( $g = 0, 1, 8, 14$ )

備考3.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ  $mn$  (SMR $mn$ ) のCKS $mn$ ビットで設定する動作クロック。 $m$  : ユニット番号、 $n$  : チャネル番号 ( $mn = 00-03, 10-13$ ))

備考4. 周辺I/Oリダイレクション・レジスタ (PIOR) のビット1 (PIOR1) が1のとき、UART2の異電位通信は使用できません。

(7) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時  
(マスタ・モード、SCKp : 内部クロック出力、CSI00のみ対応)

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $2.7 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5 \text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$ )

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$	200		200		2300		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$	300		300		2300		ns
SCKpハイ・レベル幅	tkH1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$	tkCY1/2 -120		tkCY1/2 -120		tkCY1/2 -120		ns
SCKpロウ・レベル幅	tkL1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$	tkCY1/2 -7		tkCY1/2 -7		tkCY1/2 -50		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$	tkCY1/2 -10		tkCY1/2 -10		tkCY1/2 -50		ns
Slpセットアップ時間 (対SCKp↑) 注1	tSIK1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$	58		58		479		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$	121		121		479		ns
Slpホールド時間 (対SCKp↑) 注1	tkS11	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$	10		10		10		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$	10		10		10		ns
SCKp↓→SOp出力 遅延時間注1	tkSO1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$		60		60		60	ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 20 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$		130		130		130	ns

(注、注意、備考は次ページに続きます)

- (7) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時  
(マスタ・モード、SCKp : 内部クロック出力、CSI00のみ対応)

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $2.7 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5 \text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$ )

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↓) 注2	tsIK1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $C_b = 20 \text{ pF}$ , $R_b = 1.4 \text{ k}\Omega$	23		23		110		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $C_b = 20 \text{ pF}$ , $R_b = 2.7 \text{ k}\Omega$	33		33		110		ns
Slpホールド時間 (対SCKp ↓) 注2	tkSI1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $C_b = 20 \text{ pF}$ , $R_b = 1.4 \text{ k}\Omega$	10		10		10		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $C_b = 20 \text{ pF}$ , $R_b = 2.7 \text{ k}\Omega$	10		10		10		ns
SCKp ↑ → SOp出力 遅延時間注2	tkSO1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $C_b = 20 \text{ pF}$ , $R_b = 1.4 \text{ k}\Omega$		10		10		10	ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $C_b = 20 \text{ pF}$ , $R_b = 2.7 \text{ k}\Omega$		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モード) を選択します。なおV<sub>IH</sub>、V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. R<sub>b</sub> [Ω] : 通信ライン (SCKp, SOp) プルアップ抵抗値、C<sub>b</sub> [F] : 通信ライン (SCKp, SOp) 負荷容量値、  
V<sub>b</sub> [V] : 通信ライン電圧

備考2. p : CSI番号 (p = 00)、m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0)、g : PIM, POM番号 (g = 1)

備考3. f<sub>MCK</sub> : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00))

備考4. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

- (8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時  
(マスタ・モード、SCKp : 内部クロック出力)

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.8 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5 \text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$ )

(1/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位	
			Min.	Max.	Min.	Max.	Min.	Max.		
SCKp サイクル・ タイム	tkCY1	tkCY1 $\geq$ 4/fCLK	4.0 V $\leq$ EVDD0 $\leq$ 5.5 V, 2.7 V $\leq$ Vb $\leq$ 4.0 V, Cb = 30 pF, Rb = 1.4 k $\Omega$	300		300		2300		ns
			2.7 V $\leq$ EVDD0 < 4.0 V, 2.3 V $\leq$ Vb $\leq$ 2.7 V, Cb = 30 pF, Rb = 2.7 k $\Omega$	500		500		2300		ns
			1.8 V $\leq$ EVDD0 < 3.3 V, 1.6 V $\leq$ Vb $\leq$ 2.0 V注, Cb = 30 pF, Rb = 5.5 k $\Omega$	1150		1150		2300		ns
SCKp ハイ・レベル幅	tkH1	4.0 V $\leq$ EVDD0 $\leq$ 5.5 V, 2.7 V $\leq$ Vb $\leq$ 4.0 V, Cb = 30 pF, Rb = 1.4 k $\Omega$	tkCY1/2 -75		tkCY1/2 -75		tkCY1/2 -75		ns	
			2.7 V $\leq$ EVDD0 < 4.0 V, 2.3 V $\leq$ Vb $\leq$ 2.7 V, Cb = 30 pF, Rb = 2.7 k $\Omega$	tkCY1/2 -170		tkCY1/2 -170		tkCY1/2 -170		ns
			1.8 V $\leq$ EVDD0 < 3.3 V, 1.6 V $\leq$ Vb $\leq$ 2.0 V注, Cb = 30 pF, Rb = 5.5 k $\Omega$	tkCY1/2 -458		tkCY1/2 -458		tkCY1/2 -458		ns
SCKp ロウ・レベル幅	tkL1	4.0 V $\leq$ EVDD0 $\leq$ 5.5 V, 2.7 V $\leq$ Vb $\leq$ 4.0 V, Cb = 30 pF, Rb = 1.4 k $\Omega$	tkCY1/2 -12		tkCY1/2 -12		tkCY1/2 -50		ns	
			2.7 V $\leq$ EVDD0 < 4.0 V, 2.3 V $\leq$ Vb $\leq$ 2.7 V, Cb = 30 pF, Rb = 2.7 k $\Omega$	tkCY1/2 -18		tkCY1/2 -18		tkCY1/2 -50		ns
			1.8 V $\leq$ EVDD0 < 3.3 V, 1.6 V $\leq$ Vb $\leq$ 2.0 V注, Cb = 30 pF, Rb = 5.5 k $\Omega$	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns

注 EVDD0  $\geq$  Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子はTTL入力バッファを選択し、SOp 端子とSCKp 端子はN-chオープン・ドレイン出力 (VDD 耐圧 (30~52ピン製品の場合) / EVDD 耐圧 (64~128ピン製品の場合) モード) を選択します。なおV<sub>IH</sub>、V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は1479ページにあります)

(8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時  
(マスタ・モード、SCKp : 内部クロック出力)

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.8 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5 \text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$ )

(2/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↑) 注1	tSIK1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$	81		81		479		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$	177		177		479		ns
		$1.8 \text{ V} \leq \text{EVDD0} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq \text{Vb} \leq 2.0 \text{ V}$ 注2, $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 5.5 \text{ k}\Omega$	479		479		479		ns
Slpホールド時間 (対SCKp ↑) 注1	tKS11	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$	19		19		19		ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$	19		19		19		ns
		$1.8 \text{ V} \leq \text{EVDD0} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq \text{Vb} \leq 2.0 \text{ V}$ 注2, $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 5.5 \text{ k}\Omega$	19		19		19		ns
SCKp ↓ → SOp出力 遅延時間注1	tkSO1	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$ , $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 1.4 \text{ k}\Omega$		100		100		100	ns
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ , $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 2.7 \text{ k}\Omega$		195		195		195	ns
		$1.8 \text{ V} \leq \text{EVDD0} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq \text{Vb} \leq 2.0 \text{ V}$ 注2, $\text{Cb} = 30 \text{ pF}$ , $\text{Rb} = 5.5 \text{ k}\Omega$		483		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2.  $\text{EVDD0} \geq \text{Vb}$  で使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モード) を選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は1479ページにあります)

(8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時  
(マスタ・モード、SCKp : 内部クロック出力)

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↓) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		44		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		44		110		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
Slpホールド時間 (対SCKp ↓) 注1	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↑ → SOp出力 遅延時間注1	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

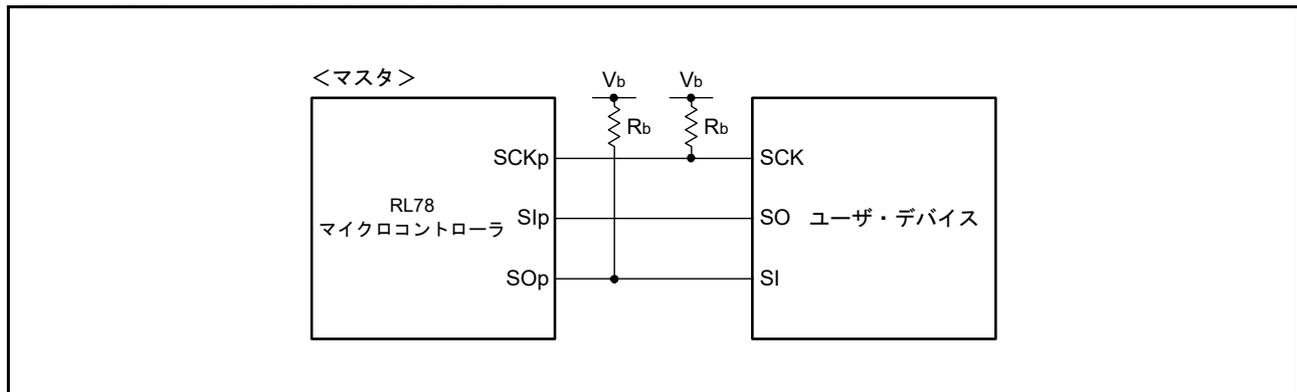
注1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注2. EVDD0 ≥ Vbで使用してください。

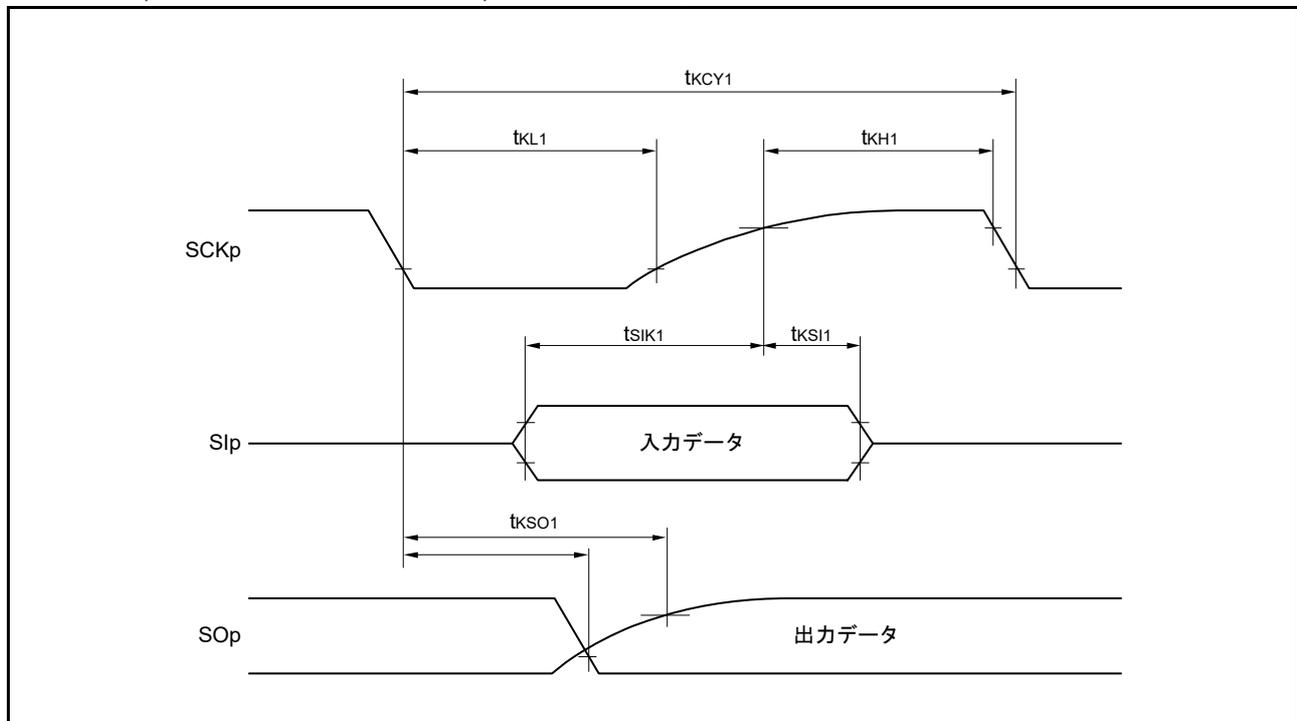
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モード) を選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページに続きます)

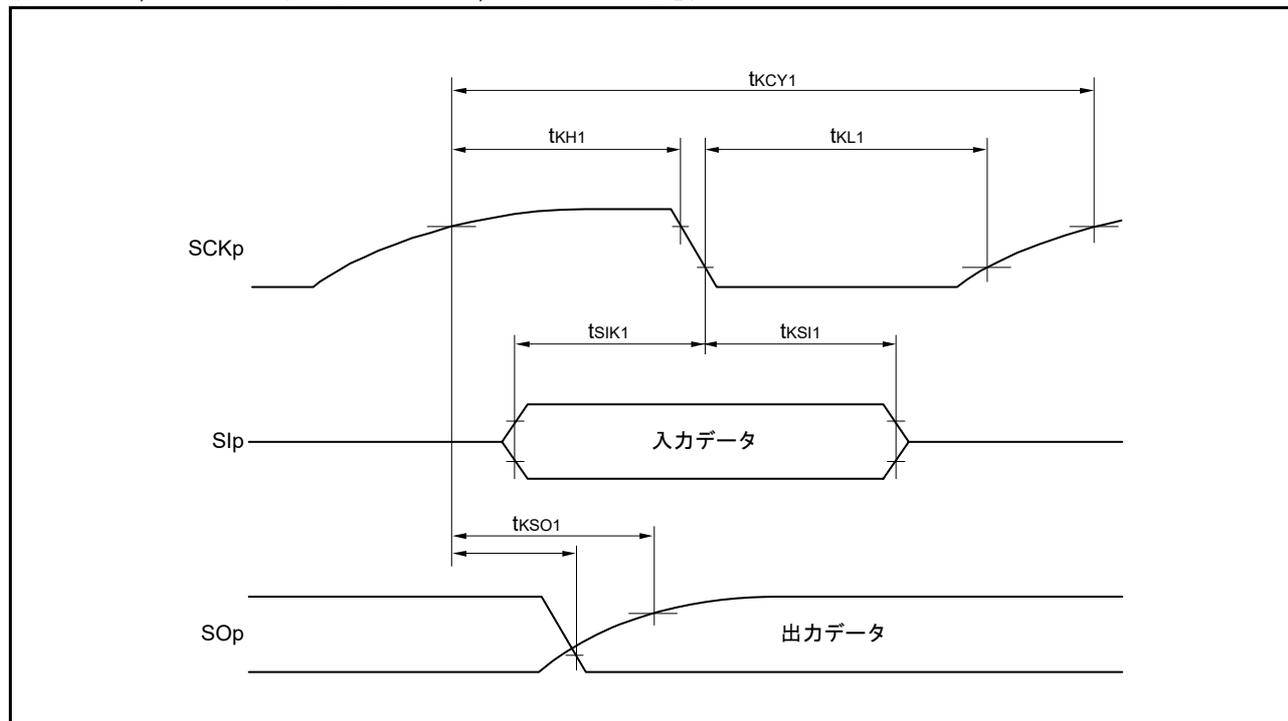
## 簡易SPI (CSI) モード接続図 (異電位通信時)



- 備考1.**  $R_b$  [ $\Omega$ ] : 通信ライン (SCKp, SOp) プルアップ抵抗値、 $C_b$  [F] : 通信ライン (SCKp, SOp) 負荷容量値、 $V_b$  [V] : 通信ライン電圧
- 備考2.**  $p$  : CSI番号 ( $p = 00, 01, 10, 20, 30, 31$ )、 $m$  : ユニット番号、 $n$  : チャネル番号 ( $mn = 00, 01, 02, 10, 12, 13$ )、 $g$  : PIM, POM番号 ( $g = 0, 1, 4, 5, 8, 14$ )
- 備考3.**  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数  
シリアル・モード・レジスタ  $mn$  (SMR $mn$ ) のCKS $m$ nビットで設定する動作クロック。 $m$  : ユニット番号、 $n$  : チャネル番号 ( $mn = 00$ )
- 備考4.** CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI) モード・シリアル転送タイミング : マスタ・モード (異電位通信時)  
(DAP $mn = 0$ , CKP $mn = 0$ またはDAP $mn = 1$ , CKP $mn = 1$ のとき)

簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード（異電位通信時）  
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



**備考1.** p : CSI番号 (p = 00, 01, 10, 20, 30, 31)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10, 12, 13)、g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)

**備考2.** CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(9) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時  
（スレーブ・モード、SCKp：外部クロック入力）

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.8 \text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5 \text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0 \text{ V}$ )

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位	
				Min.	Max.	Min.	Max.	Min.	Max.		
SCKp サイクル・ タイム注1	tkCY2	$4.0 \text{ V} \leq \text{EVDD0} \leq 5.5 \text{ V}$ , $2.7 \text{ V} \leq \text{Vb} \leq 4.0 \text{ V}$	$24 \text{ MHz} < \text{fMCK}$	14/fMCK		—		—		ns	
			$20 \text{ MHz} < \text{fMCK} \leq 24 \text{ MHz}$	12/fMCK		12/fMCK		—		ns	
			$8 \text{ MHz} < \text{fMCK} \leq 20 \text{ MHz}$	10/fMCK		10/fMCK		—		ns	
			$4 \text{ MHz} < \text{fMCK} \leq 8 \text{ MHz}$	8/fMCK		8/fMCK		—		ns	
			$\text{fMCK} \leq 4 \text{ MHz}$	6/fMCK		6/fMCK		10/fMCK		ns	
		$2.7 \text{ V} \leq \text{EVDD0} < 4.0 \text{ V}$ , $2.3 \text{ V} \leq \text{Vb} \leq 2.7 \text{ V}$ ,	$24 \text{ MHz} < \text{fMCK}$	20/fMCK		—		—		ns	
			$20 \text{ MHz} < \text{fMCK} \leq 24 \text{ MHz}$	16/fMCK		16/fMCK		—		ns	
			$16 \text{ MHz} < \text{fMCK} \leq 20 \text{ MHz}$	14/fMCK		14/fMCK		—		ns	
			$8 \text{ MHz} < \text{fMCK} \leq 16 \text{ MHz}$	12/fMCK		12/fMCK		—		ns	
			$4 \text{ MHz} < \text{fMCK} \leq 8 \text{ MHz}$	8/fMCK		8/fMCK		—		ns	
		$1.8 \text{ V} \leq \text{EVDD0} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq \text{Vb} \leq 2.0 \text{ V}$ 注2	$24 \text{ MHz} < \text{fMCK}$	48/fMCK		—		—		ns	
			$20 \text{ MHz} < \text{fMCK} \leq 24 \text{ MHz}$	36/fMCK		36/fMCK		—		ns	
			$16 \text{ MHz} < \text{fMCK} \leq 20 \text{ MHz}$	32/fMCK		32/fMCK		—		ns	
			$8 \text{ MHz} < \text{fMCK} \leq 16 \text{ MHz}$	26/fMCK		26/fMCK		—		ns	
			$4 \text{ MHz} < \text{fMCK} \leq 8 \text{ MHz}$	16/fMCK		16/fMCK		—		ns	
				$\text{fMCK} \leq 4 \text{ MHz}$	10/fMCK		10/fMCK		10/fMCK		ns

(注、注意は次ページに、備考は1483ページにあります)

(9) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時  
(スレーブ・モード、SCKp : 外部クロック入力)

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpハイ、ロウ・ レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	tkCY2/2 -12		tkCY2/2 -12		tkCY2/2 -50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 -18		tkCY2/2 -18		tkCY2/2 -50		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	tkCY2/2 -50		tkCY2/2 -50		tkCY2/2 -50		ns
Slpセットアップ時間 (対SCKp ↑) 注3	tSIK2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	1/fMCK +30		1/fMCK +30		1/fMCK +30		ns
Slpホールド時間 (対SCKp ↑) 注3	tKSI2		1/fMCK +31		1/fMCK +31		1/fMCK +31		ns
SCKp ↓ → SOp 出力遅延時間注4	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK +120		2/fMCK +120		2/fMCK +573	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK +214		2/fMCK +214		2/fMCK +573	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ		2/fMCK +573		2/fMCK +573		2/fMCK +573	ns

注1. SNOOZEモードでの転送レートは、Max. : 1 Mbps

注2. EVDD0 ≥ Vbで使用してください。

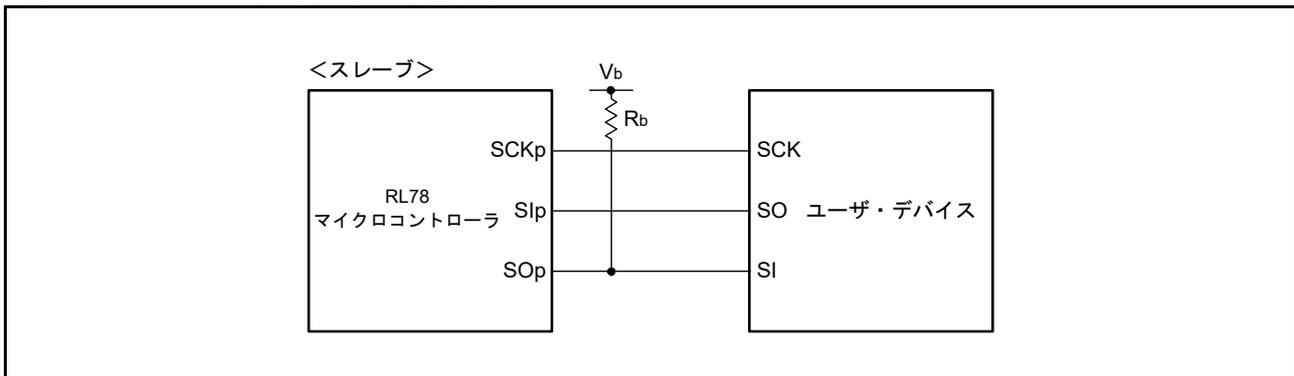
注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モード) を選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページに続きます)

## 簡易SPI (CSI) モード接続図 (異電位通信時)



備考1.  $R_b$  [ $\Omega$ ] : 通信ライン (SO<sub>p</sub>) プルアップ抵抗値、 $C_b$  [F] : 通信ライン (SO<sub>p</sub>) 負荷容量値、 $V_b$  [V] : 通信ライン電圧

備考2. p : CSI番号 (p = 00, 01, 10, 20, 30, 31)、m : ユニット番号、n : チャンネル番号 (mn = 00, 01, 02, 10, 12, 13)、  
g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)

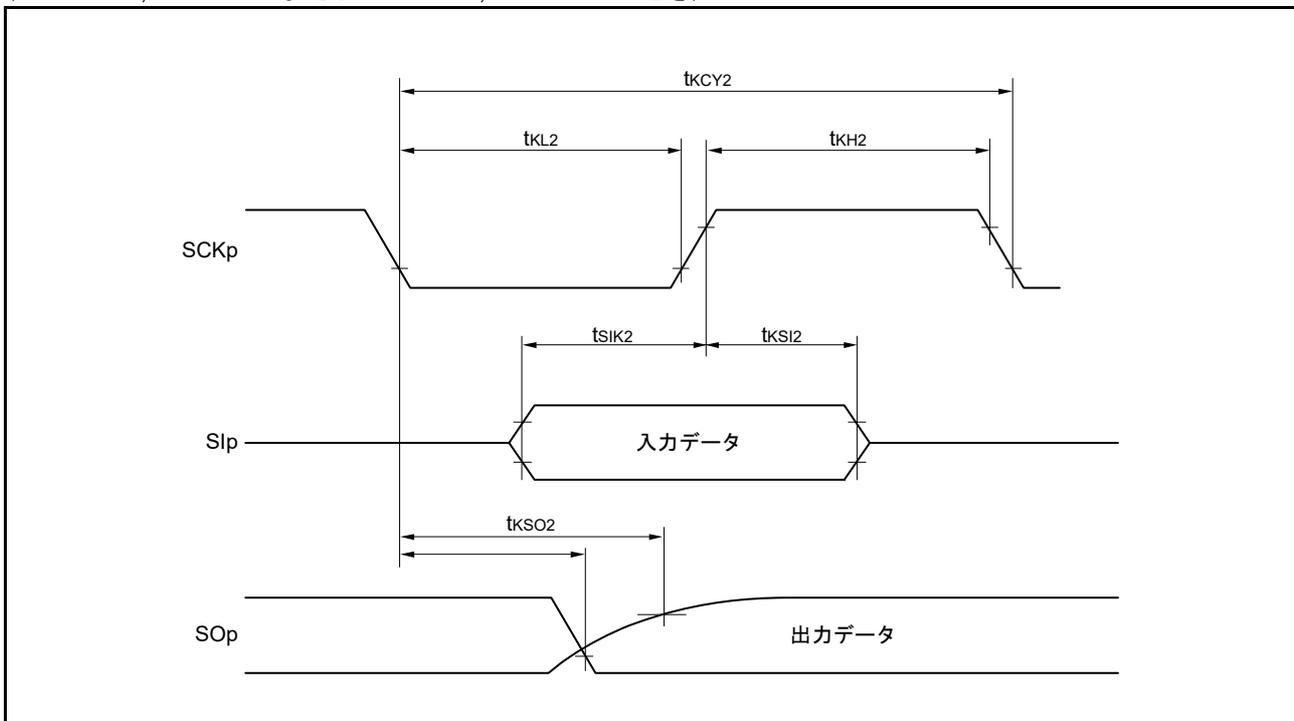
備考3.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR<sub>mn</sub>) のCKS<sub>mn</sub>ビットで設定する動作クロック。m : ユニット番号、n : チャンネル番号 (mn = 00, 01, 02, 10, 12, 13))

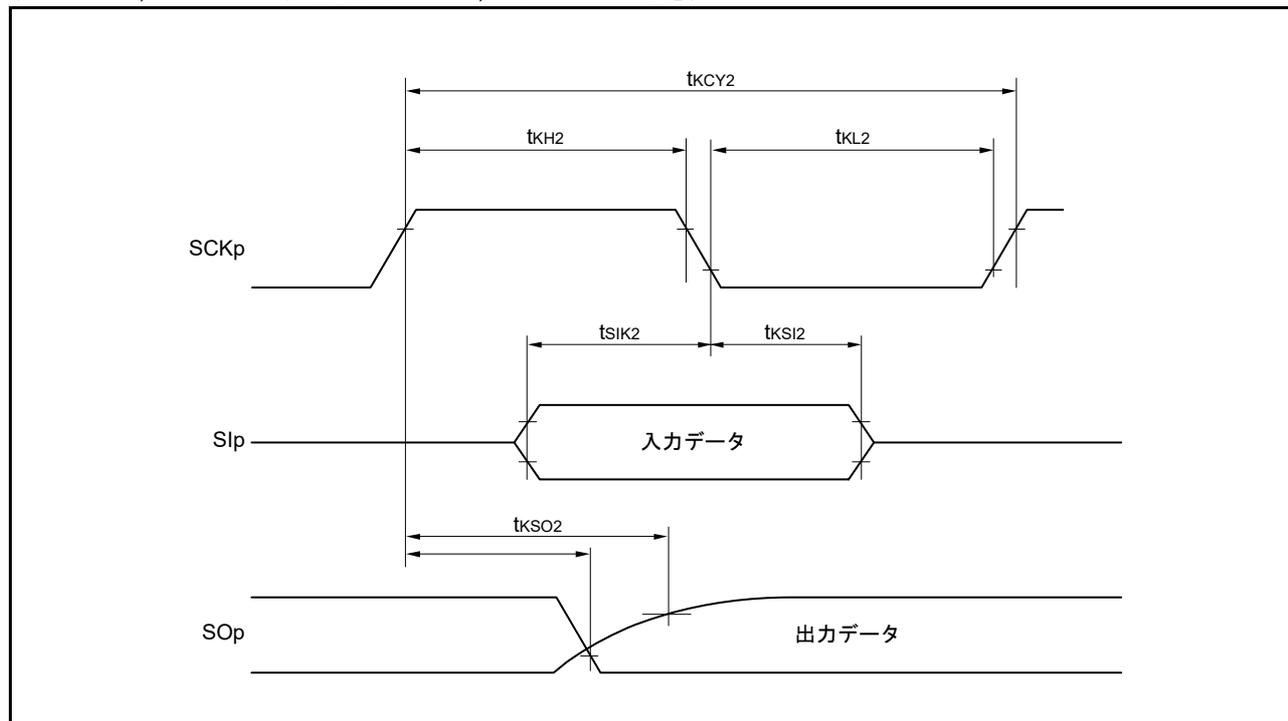
備考4. CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

## 簡易SPI (CSI) モード・シリアル転送タイミング : スレーブ・モード (異電位通信時)

(DAP<sub>mn</sub> = 0, CKP<sub>mn</sub> = 0またはDAP<sub>mn</sub> = 1, CKP<sub>mn</sub> = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）  
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



**備考1.** p : CSI番号 (p = 00, 01, 10, 20, 30, 31)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10, 12, 13)、g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)

**備考2.** CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(10) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易I<sup>2</sup>Cモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fsCL	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 <sup>注1</sup>		1000 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 <sup>注1</sup>		1000 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 <sup>注1</sup>		400 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 <sup>注1</sup>		400 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V <sup>注2</sup> , Cb = 100 pF, Rb = 5.5 kΩ		300 <sup>注1</sup>		300 <sup>注1</sup>		300 <sup>注1</sup>	kHz
SCLr = "L" のホールド・ タイム	tLOW	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V <sup>注2</sup> , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H" のホールド・ タイム	tHIGH	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		245		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		200		610		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		675		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		600		610		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V <sup>注2</sup> , Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns

(10) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易I<sup>2</sup>Cモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・セットアップ 時間 (受信時)	tSU: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135注3		1/fMCK +135注3		1/fMCK +190注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135注3		1/fMCK +135注3		1/fMCK +190注3		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK +190注3		1/fMCK +190注3		1/fMCK +190注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK +190注3		1/fMCK +190注3		1/fMCK +190注3		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK +190注3		1/fMCK +190注3		1/fMCK +190注3		ns
データ・ホールド時間 (送信時)	tHD: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

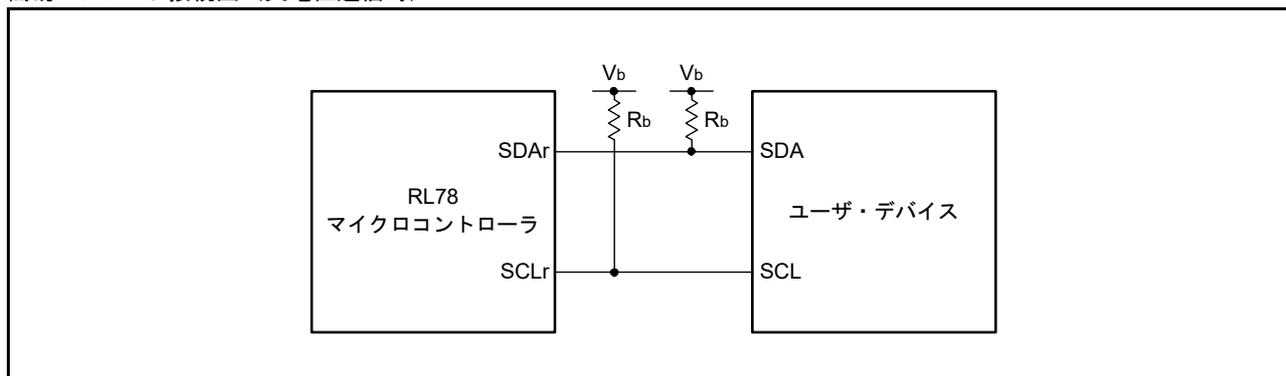
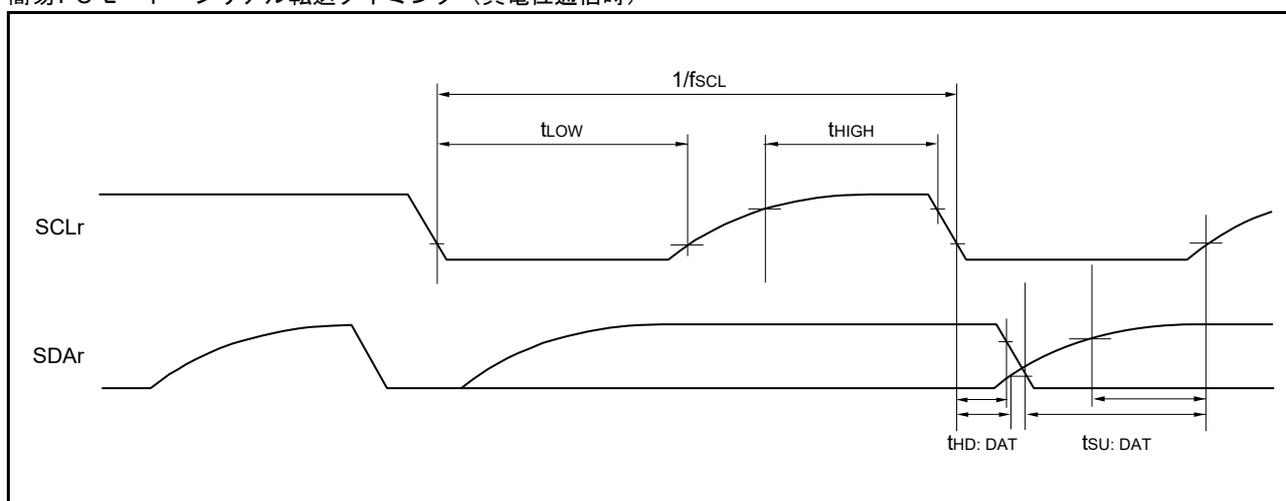
注1. fMCK/4以下に設定してください。

注2. EVDD0 ≥ Vbで使用してください。

注3. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを超えない値に設定してください。

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択し、SCLrはN-chオープン・ドレイン出力 (VDD耐圧 (30~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページに続きます)

簡易I<sup>2</sup>Cモード接続図（異電位通信時）簡易I<sup>2</sup>Cモード・シリアル転送タイミング（異電位通信時）

備考1.  $R_b$  [ $\Omega$ ] : 通信ライン (SDAr, SCLr) プルアップ抵抗値、 $C_b$  [F] : 通信ライン (SDAr, SCLr) 負荷容量値、

$V_b$  [V] : 通信ライン電圧

備考2.  $r$  : IIC番号 ( $r = 00, 01, 10, 20, 30, 31$ )、 $g$  : PIM, POM番号 ( $g = 0, 1, 4, 5, 8, 14$ )

備考3.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(SMR $mn$ レジスタのCKSM $n$ ビットで設定する動作クロック。 $m$  : ユニット番号、 $n$  : チャネル番号 ( $mn = 00, 01, 02, 10, 12, 13$ ))

## 37.5.2 シリアル・インタフェース UARTA

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$ )

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート			200	0	153600	Bps

**注意** ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ h (POMh) で、RxDq 端子は通常入力バッファを選択し、TxDq 端子は通常出力モードを選択します。

**備考** g : PIM 番号 (g = 3, 4, 7, 8)、h : POM 番号 (h = 3, 4, 7, 8, 12)

## 37.5.3 シリアル・インタフェース IICA

(1) I<sup>2</sup>C 標準モード

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	標準モード : fCLK ≥ 1 MHz	0		100	kHz
リスタート・コンディションの セットアップ時間	tSU : STA		4.7			μs
ホールド時間 <sup>注1</sup>	tHD : STA		4.0			μs
SCLA0 = "L" のホールド・タイム	tLOW		4.7			μs
SCLA0 = "H" のホールド・タイム	tHIGH		4.0			μs
データ・セットアップ時間 (受信時)	tSU : DAT		250			ns
データ・ホールド時間 (送信時) <sup>注2</sup>	tHD : DAT		0		3.45	μs
ストップ・コンディションの セットアップ時間	tSU : STO		4.0			μs
バス・フリー時間	tBUF		4.7			μs

**注1.** スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

**注2.** tHD : DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

**注意** 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

**備考** C<sub>b</sub> (通信ライン容量) のMax. 値と、R<sub>b</sub> (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。  
C<sub>b</sub> = 400 pF, R<sub>b</sub> = 2.7 kΩ

(2) I<sup>2</sup>C ファースト・モード

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz 1.8 V ≤ EVDD0 ≤ 5.5 V	0		400	kHz
リスタート・コンディションの セットアップ時間	tSU : STA	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
ホールド時間 <sup>注1</sup>	tHD : STA	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
SCLA0 = "L"のホールド・タイム	tLOW	1.8 V ≤ EVDD0 ≤ 5.5 V	1.3			μs
SCLA0 = "H"のホールド・タイム	tHIGH	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
データ・セットアップ時間 (受信時)	tSU : DAT	1.8 V ≤ EVDD0 ≤ 5.5 V	100			ns
データ・ホールド時間 (送信時) <sup>注2</sup>	tHD : DAT	1.8 V ≤ EVDD0 ≤ 5.5 V	0		0.9	μs
ストップ・コンディションの セットアップ時間	tSU : STO	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
パス・フリー時間	tBUF	1.8 V ≤ EVDD0 ≤ 5.5 V	1.3			μs

- 注1.** スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。
- 注2.** tHD : DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

**注意** 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

**備考** C<sub>b</sub> (通信ライン容量) のMax. 値と、R<sub>b</sub> (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。  
C<sub>b</sub> = 320 pF, R<sub>b</sub> = 1.1 kΩ

(3) I<sup>2</sup>C ファースト・モード・プラス

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

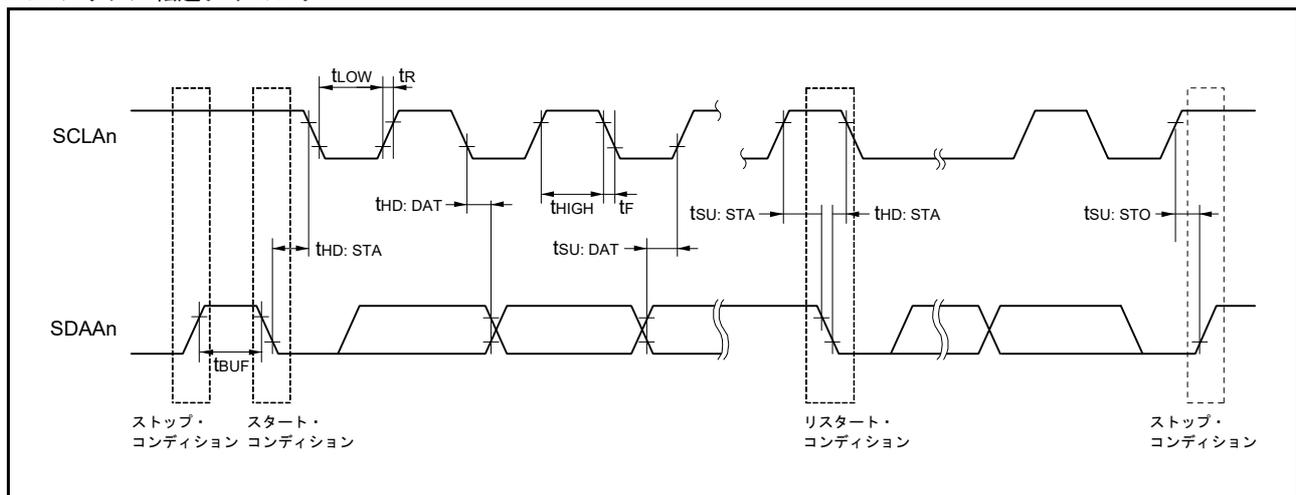
項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz 2.7 V ≤ EVDD0 ≤ 5.5 V	0		1000	kHz
リスタート・コンディションの セットアップ時間	tSU : STA	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
ホールド時間 <sup>注1</sup>	tHD : STA	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V	0.5			μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
データ・セットアップ時間 (受信時)	tSU : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	50			ns
データ・ホールド時間 (送信時) <sup>注2</sup>	tHD : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	0		0.45	μs
ストップ・コンディションの セットアップ時間	tSU : STO	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
パス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V	0.5			μs

- 注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。
- 注2. tHD : DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 C<sub>b</sub> (通信ライン容量) のMax. 値と、R<sub>b</sub> (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。  
C<sub>b</sub> = 120 pF, R<sub>b</sub> = 1.1 kΩ

I<sup>2</sup>C シリアル転送タイミング



備考 n = 0, 1

## 37.6 アナログ特性

### 37.6.1 A/Dコンバータ特性

#### (1) 標準モード1, 2

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $2.4\text{ V} \leq \text{AVREFP} \leq \text{VDD} \leq 5.5\text{ V}$ ,  $\text{VSS} = 0\text{ V}$ 、  
基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM (ADREFM = 1)、  
変換対象 : ANI2-ANI14、内部基準電圧、温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES				12	bit
変換クロック	f <sub>AD</sub>		1		32	MHz
総合誤差注1, 2, 3, 4, 5	AINL	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±2.4	±4.5	LSB
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±2.9	±5.7	LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±3.0	±5.8	LSB
変換時間注5, 6	t <sub>CONV</sub>	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0			μs
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0			μs
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0			μs
ゼロスケール誤差注1, 2, 3, 4, 5, 7	EzS	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±0.01%	±0.08%	%FSR
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±0.01%	±0.09%	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±0.03%	±0.13%	%FSR
フルスケール誤差注1, 2, 3, 4, 5, 7	EFS	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±0.03%	±0.09%	%FSR
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±0.05%	±0.13%	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±0.05%	±0.13%	%FSR
アナログ入力電圧	VAIN		0		AVREFP	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

注2. Max. 値は正規分布における、平均値±3σの値です。

注3. この値は特性評価結果による値であり、出荷検査は行っていません。

注4. AVREFP < VDDの場合、Max. 値は次のようになります。

総合誤差/ゼロスケール誤差/フルスケール誤差

: Max. 値に±0.75 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください

積分直線性誤差 : Max. 値に±0.2 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください

注5. 12ビット分解能の場合

注6. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μs以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。

注7. フルスケール値に対する比率 (%FSR) で表します。

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$ ,  $V_{SS} = 0\text{ V}$ 、

基準電圧 (+) =  $AV_{REFP}$  ( $AD_{REFP1} = 0$ ,  $AD_{REFP0} = 1$ )、基準電圧 (-) =  $AV_{REFM}$  ( $AD_{REFM} = 1$ )、

変換対象 : ANI2-ANI14、内部基準電圧、温度センサ出力電圧)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		12	bit
変換クロック	fAD			1		32	MHz
総合誤差 <sup>注1, 2, 3, 4</sup>	AINL	12ビット分解能	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 7.5$	LSB
			$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 9.0$	LSB
			$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 9.0$	LSB
変換時間 <sup>注5</sup>	tCONV	12ビット分解能	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			$\mu\text{s}$
			$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			$\mu\text{s}$
			$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			$\mu\text{s}$
ゼロスケール誤差 <sup>注1, 2, 3, 4, 6</sup>	EzS	12ビット分解能	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 0.17$	%FSR
			$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
			$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
フルスケール誤差 <sup>注1, 2, 3, 4, 6</sup>	EFS	12ビット分解能	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 0.17$	%FSR
			$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
			$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
積分直線性誤差 <sup>注1, 3, 4</sup>	ILE	12ビット分解能	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 3.0$	LSB
			$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 3.0$	LSB
			$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			$\pm 3.0$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	12ビット分解能	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		$\pm 1.0$		LSB
			$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		$\pm 1.0$		LSB
			$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		$\pm 1.0$		LSB
アナログ入力電圧	VAIN			0		$AV_{REFP}$	V

**注1.** 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

**注2.** 変換対象に ANI16-31 を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に  $\pm 3$  LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max. 値に  $\pm 0.04$  %FSR を加算してください

**注3.** 基準電圧 (+) に  $V_{DD}$ 、基準電圧 (-) に  $V_{SS}$  を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に  $\pm 10$  LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max. 値に  $\pm 0.25$  %FSR を加算してください

積分直線性誤差 : Max. 値に  $\pm 4$  LSB を加算してください

**注4.**  $AV_{REFP} < V_{DD}$  の場合、Max. 値は次のようになります。

総合誤差/ゼロスケール誤差/フルスケール誤差

: Max. 値に  $\pm 0.75$  LSB  $\times$  ( $V_{DD}$  電圧 (V) -  $AV_{REFP}$  電圧 (V)) を加算してください

積分直線性誤差 : Max. 値に  $\pm 0.2$  LSB  $\times$  ( $V_{DD}$  電圧 (V) -  $AV_{REFP}$  電圧 (V)) を加算してください

**注5.** 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を  $5\ \mu\text{s}$  以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。

**注6.** フルスケール値に対する比率 (%FSR) で表します。

## (2) 低電圧モード1, 2

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.6\text{ V} \leq \text{AVREFP} \leq \text{VDD} \leq 5.5\text{ V}$ ,  $\text{VSS} = 0\text{ V}$ ,

基準電圧 (+) =  $\text{AVREFP}$  ( $\text{ADREFP1} = 0$ ,  $\text{ADREFP0} = 1$ ), 基準電圧 (-) =  $\text{AVREFM}$  ( $\text{ADREFM} = 1$ ),

変換対象 : ANI2-ANI14, 内部基準電圧注1, 温度センサ出力電圧注1)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		12	bit
変換クロック	fAD			1		24	MHz
総合誤差注2, 3, 4, 5	AINL	12ビット分解能	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 9$	LSB
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 9$	LSB
			$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 11.5$	LSB
			$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 12.0$	LSB
変換時間注6	tCONV	12ビット分解能	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	3.33			$\mu\text{s}$
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	5.0			$\mu\text{s}$
			$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	10.0			$\mu\text{s}$
			$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	20.0			$\mu\text{s}$
ゼロスケール誤差注2, 3, 4, 5, 7	Ezs	12ビット分解能	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
			$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.27$	%FSR
			$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.28$	%FSR
フルスケール誤差注2, 3, 4, 5, 7	EFS	12ビット分解能	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.21$	%FSR
			$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.27$	%FSR
			$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 0.28$	%FSR
積分直線性誤差注2, 4, 5	ILE	12ビット分解能	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 4.0$	LSB
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 4.0$	LSB
			$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 4.5$	LSB
			$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			$\pm 4.5$	LSB
微分直線性誤差注2	DLE	12ビット分解能	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		$\pm 1.5$		LSB
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		$\pm 1.5$		LSB
			$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		$\pm 2.0$		LSB
			$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		$\pm 2.0$		LSB
アナログ入力電圧	VAIN			0		AVREFP	V

注1. 内部基準電圧、温度センサ出力電圧を変換対象にする場合は、 $1.8\text{ V} \leq \text{VDD}$ で使用してください。

注2. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

注3. 変換対象にANI16-31を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に $\pm 3$  LSBを加算してください

ゼロスケール誤差/フルスケール誤差 : Max. 値に $\pm 0.04$  %FSRを加算してください

注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に $\pm 10$  LSBを加算してください

ゼロスケール誤差/フルスケール誤差 : Max. 値に $\pm 0.25$  %FSRを加算してください

積分直線性誤差 : Max. 値に $\pm 4$  LSBを加算してください

**注5.** AVREFP < VDDの場合、Max.値は次のようになります。

総合誤差／ゼロスケール誤差／フルスケール誤差

: Max.値に $\pm 0.75 \text{ LSB} \times (\text{VDD 電圧 (V)} - \text{AVREFP 電圧 (V)})$ を加算してください

積分直線性誤差

: Max.値に $\pm 0.2 \text{ LSB} \times (\text{VDD 電圧 (V)} - \text{AVREFP 電圧 (V)})$ を加算してください

**注6.** 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5  $\mu\text{s}$ 以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (fAD) は16 MHz以下で使用してください。

**注7.** フルスケール値に対する比率 (%FSR) で表します。

## (3) 基準電圧 (+) に内部基準電圧を選択

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $V_{SS} = 0\text{ V}$ , 低電圧モード1, 2,

基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVREFM (ADREFM = 1))

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8			bit
変換クロック	fAD	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1		2	MHz
ゼロスケール誤差 <sup>注1, 2, 3</sup>	EZS	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			±0.6	%FSR
積分直線性誤差 <sup>注1, 3</sup>	ILE	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			±2.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		±1.0		LSB
アナログ入力電圧	VAIN		0		V <sub>BGR</sub> <sup>注4</sup>	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

注2. フルスケール値に対する比率 (%FSR) で表します。

注3. 基準電圧 (-) = V<sub>SS</sub> を選択した場合、Max. 値は次のようになります。

ゼロスケール誤差 : Max. 値に±0.35 %FSRを加算してください

積分直線性誤差 : Max. 値に±0.5 LSBを加算してください

注4. 37.6.2 温度センサ/内部基準電圧特性を参照してください。

## 37.6.2 温度センサ／内部基準電圧特性

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
温度センサ出力電圧	VTMPS25	ADSレジスタ = 80H設定、TA = +25°C		1.05		V
内部基準電圧	VBGR	ADSレジスタ = 81H設定	1.42	1.48	1.54	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	tAMP		5			μs

## 37.6.3 D/Aコンバータ特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 8 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
		Rload = 4 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
セトリング・タイム	tSET	Cload = 20 pF	2.7 V ≤ VDD ≤ 5.5 V		3	μs
			1.6 V ≤ VDD ≤ 5.5 V		6	μs

## 37.6.4 コンパレータ特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
入力電圧範囲	IVREF	IVREF0端子、IVREF1端子入力 C0LVL, C1LVL = 0	0		VDD - 1.4 かつ EVDD0	V
		IVREF0端子、IVREF1端子入力 C0LVL, C1LVL = 1	1.4		EVDD0	V
	IVCMP	IVCMP0, IVCMP1端子入力	-0.3		EVDD0 +0.3	V
出力遅延	td	VDD = 3.0 V, 入カスルーレート > 1 V/μs	高速モード		1.5	μs
			低速モード		3.0	μs
オフセット電圧	—	高速モード			50	mV
		低速モード			40	mV
動作安定待ち時間	tCMP		30			μs
内部基準電圧注	VBGR2		1.4		1.6	V

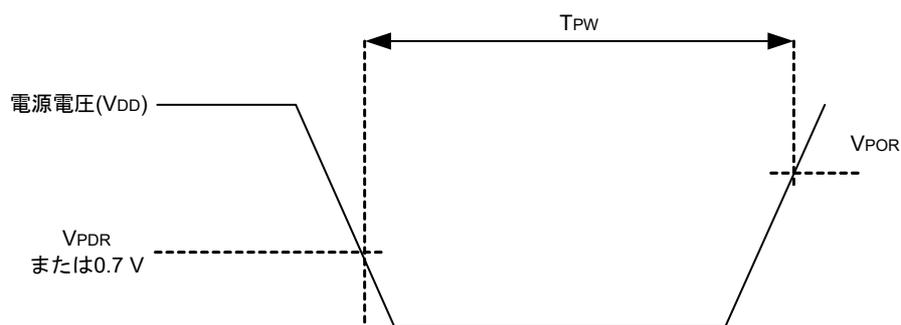
★ 注 コンパレータ基準電圧に内部基準電圧を選択した場合は、1.8 V ≤ VDD ≤ 5.5 Vの範囲内で使用してください。

## 37.6.5 POR回路特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	VPOR, VPDR		1.43	1.50	1.57	V
最小パルス幅注	TPW		300			μs

注 VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（fMAIN）を停止時は、VDDが0.7 Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



## 37.6.6 LVD回路特性

(1) LVD0 リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位		
検出電圧	電源電圧レベル	VLVD00	電源立ち上がり時	3.84	3.96	4.08	V	
			電源立ち下がり時	3.76	3.88	4.00	V	
		VLVD01	電源立ち上がり時	2.88	2.97	3.06	V	
			電源立ち下がり時	2.82	2.91	3.00	V	
		VLVD02	電源立ち上がり時	2.59	2.67	2.75	V	
			電源立ち下がり時	2.54	2.62	2.70	V	
		VLVD03	電源立ち上がり時	2.31	2.38	2.45	V	
			電源立ち下がり時	2.26	2.33	2.40	V	
		VLVD04	電源立ち上がり時	1.84	1.90	1.95	V	
			電源立ち下がり時	1.80	1.86	1.91	V	
		VLVD05	電源立ち上がり時	1.64	1.69	1.74	V	
			電源立ち下がり時	1.60	1.65	1.70	V	
		最小パルス幅	tlw		500			μs
		検出遅延					500	μs

(2) LVD1 リセット・モード、割り込みモードのLVD検出電圧  
 (TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位	
検出電圧	電源電圧レベル	VLVD10	電源立ち上がり時	4.08	4.16	4.24	V
			電源立ち下がり時	4.00	4.08	4.16	V
		VLVD11	電源立ち上がり時	3.88	3.96	4.04	V
			電源立ち下がり時	3.80	3.88	3.96	V
		VLVD12	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD13	電源立ち上がり時	3.48	3.55	3.62	V
			電源立ち下がり時	3.40	3.47	3.54	V
		VLVD14	電源立ち上がり時	3.28	3.35	3.42	V
			電源立ち下がり時	3.20	3.27	3.34	V
		VLVD15	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD16	電源立ち上がり時	2.91	2.97	3.03	V
			電源立ち下がり時	2.85	2.91	2.97	V
		VLVD17	電源立ち上がり時	2.76	2.82	2.87	V
			電源立ち下がり時	2.70	2.76	2.81	V
		VLVD18	電源立ち上がり時	2.61	2.66	2.71	V
			電源立ち下がり時	2.55	2.60	2.65	V
		VLVD19	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD110	電源立ち上がり時	2.35	2.40	2.45	V
			電源立ち下がり時	2.30	2.35	2.40	V
		VLVD111	電源立ち上がり時	2.25	2.30	2.34	V
			電源立ち下がり時	2.20	2.25	2.29	V
		VLVD112	電源立ち上がり時	2.15	2.20	2.24	V
			電源立ち下がり時	2.10	2.15	2.19	V
		VLVD113	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD114	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
VLVD115注	電源立ち上がり時	1.84	1.88	1.91	V		
	電源立ち下がり時	1.80	1.84	1.87	V		
VLVD116注	電源立ち上がり時	1.74	1.78	1.81	V		
	電源立ち下がり時	1.70	1.74	1.77	V		
VLVD117注	電源立ち上がり時	1.64	1.67	1.70	V		
	電源立ち下がり時	1.60	1.63	1.66	V		
最小パルス幅	tlw		500			μs	
検出遅延					500	μs	

注 LVD0がオフのときに使用できます。

### 37.6.7 電源電圧立ち上がり特性

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $V_{SS} = 0\text{ V}$ )

項目	略号	条件	Min.	Typ.	Max.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

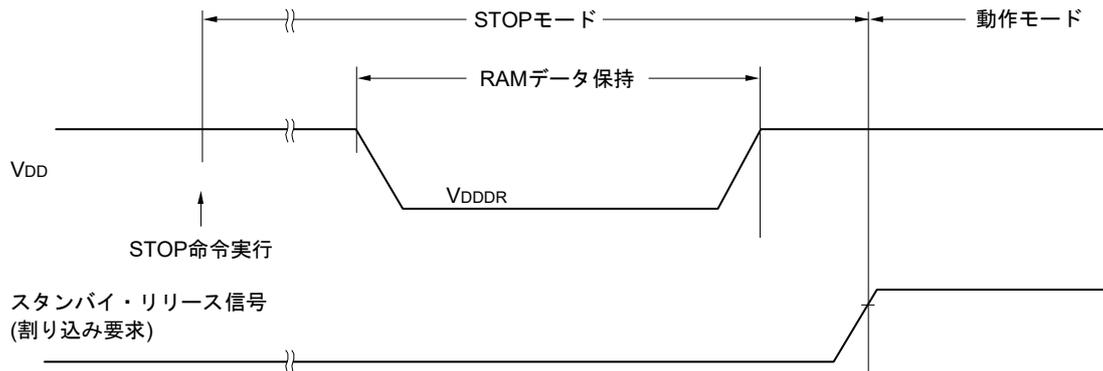
**注意**  $V_{DD}$ がAC特性に示す動作電圧範囲内に達するまで、LVD0回路か外部リセットで内部リセット状態を保ってください。

## 37.7 RAMデータ保持特性

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	Min.	Typ.	Max.	単位
データ保持電源電圧	VDDDR		1.43 <sup>注</sup>		5.5	V

**注** POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



## 37.8 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.6\text{V} \leq V_{DD} \leq 5.5\text{V}$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	Min.	Typ.	Max.	単位
CPU/周辺ハードウェアクロック周波数	fCLK		1		32	MHz
コード・フラッシュの書き換え回数 <sup>注1, 2, 3</sup>	Cenwr	保持年数：20年 $T_A = +85^\circ\text{C}$	1000			回
データ・フラッシュの書き換え回数 <sup>注1, 2, 3</sup>		保持年数：1年 $T_A = +25^\circ\text{C}$		1,000,000		
		保持年数：5年 $T_A = +85^\circ\text{C}$	100,000			
		保持年数：20年 $T_A = +85^\circ\text{C}$	10,000			

**注1.** 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

**注2.** フラッシュ・メモリ・プログラマ使用時およびセルフ・プログラミング機能を使用時

**注3.** この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

## (1) コード・フラッシュ

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			単位	
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
プログラム時間	4 バイト	tP4	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	2 KB	tE2K	—	10.4	312.2	—	7.7	258.5	—	6.4	231.8	—	5.8	218.4	—	5.6	214.4	ms
ブランクチェック時間	4 バイト	tBC4	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	2 KB	tBC2K	—	—	2618.9	—	—	1309.5	—	—	658.3	—	—	332.8	—	—	234.1	μs
イレース処理強制停止時間		tSED	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
セキュリティ設定時間		tAWS SAS	—	18.2	526.2	—	14.4	469.2	—	12.5	441.1	—	11.6	427.1	—	11.3	422.6	ms
STOP命令解除後プログラミング開始待ち時間			—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	μs

注意 ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

## (2) データ・フラッシュ

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			単位	
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
プログラム時間	1 バイト	tP4	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	256 バイト	tE2K	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	ms
ブランクチェック時間	1 バイト	tBC4	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	256 バイト	tBC2K	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	μs
イレース処理強制停止時間		tSED	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
STOP命令解除後プログラミング開始待ち時間			—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	μs
DFLEN = 1 設定後のリード開始待ち時間			—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	μs

注意 ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

## 37.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

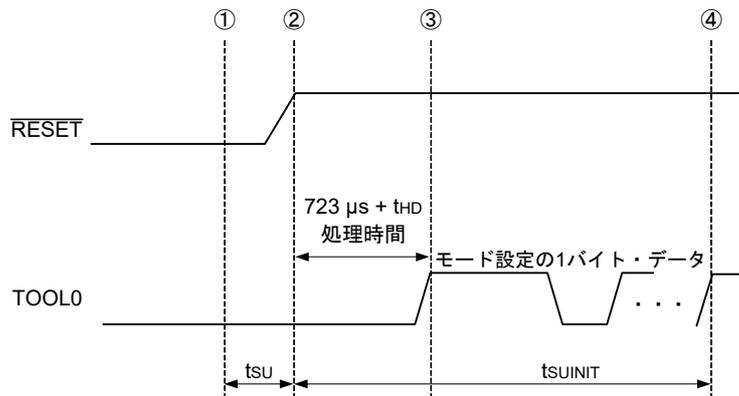
( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.8\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$ )

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

## 37.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

( $T_A = -40 \sim +105^\circ\text{C}$ ,  $1.8\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$ ,  $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$ )

項目	略号	条件	Min.	Typ.	Max.	単位
外部リセット解除から初期設定通信を完了する時間	$t_{\text{SUINIT}}$	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	$t_{\text{SU}}$	外部リセット解除前に POR, LVDリセットは解除	10			$\mu\text{s}$
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	$t_{\text{HD}}$	外部リセット解除前に POR, LVDリセットは解除	1			ms



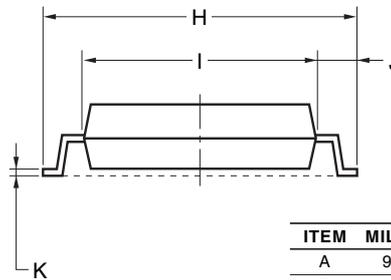
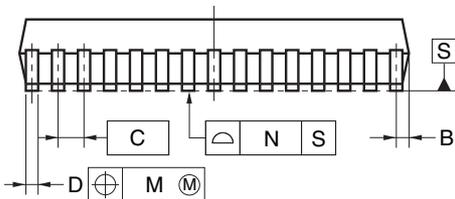
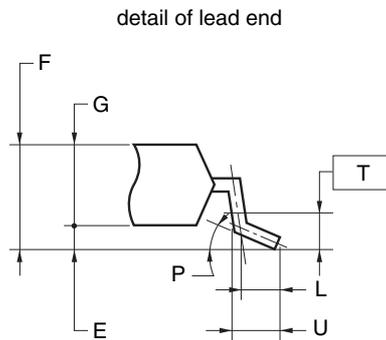
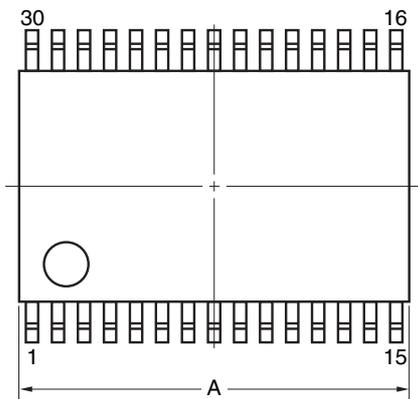
- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボーレート設定完了

**備考**  $t_{\text{SUINIT}}$  : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。  
 $t_{\text{SU}}$  : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間  
 $t_{\text{HD}}$  : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)

## 第38章 外形図

### 38.1 30ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



**NOTE**

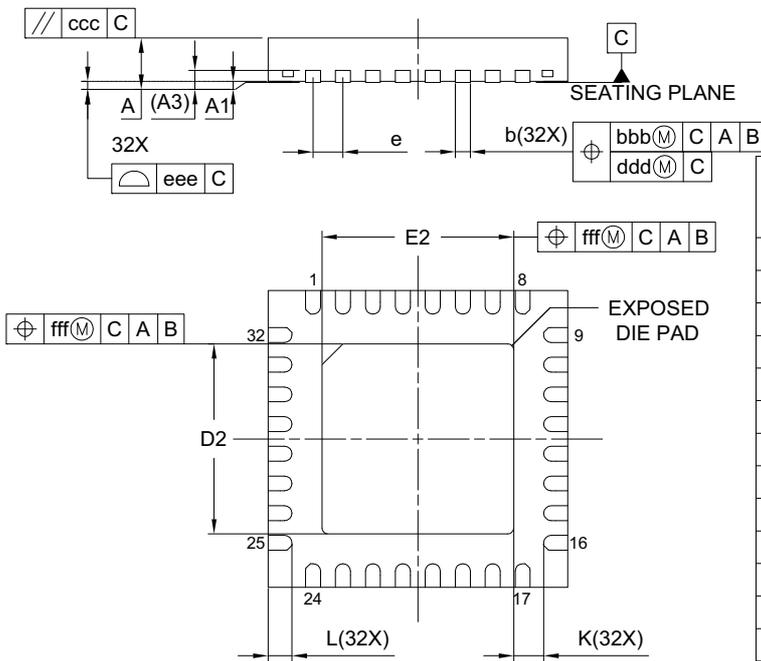
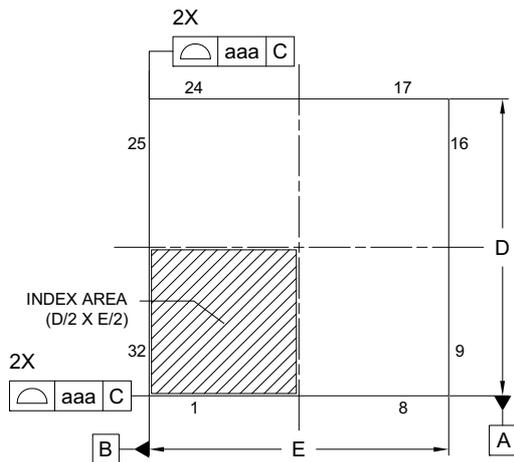
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 <sup>+0.08</sup> / <sub>-0.07</sub>
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° <sup>+5°</sup> / <sub>-3°</sub>
T	0.25
U	0.6±0.15

©2012 Renesas Electronics Corporation. All rights reserved.

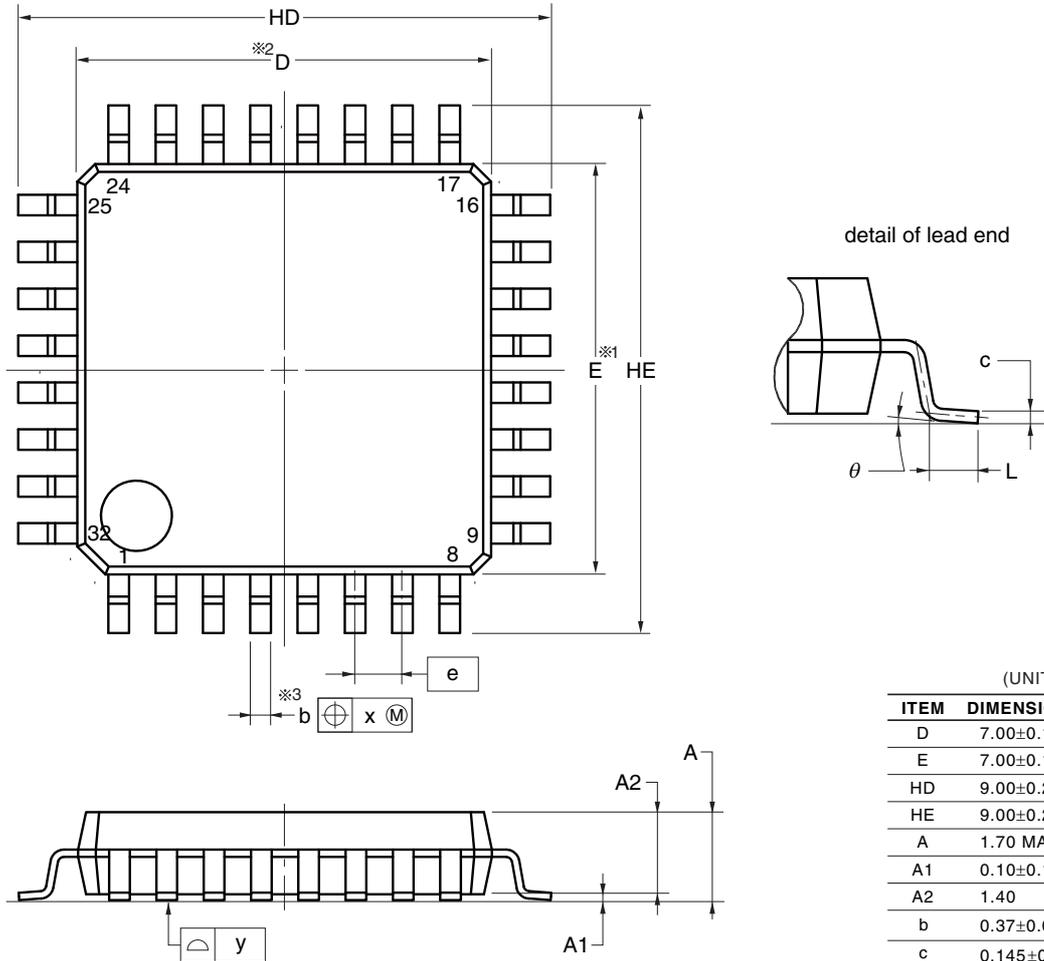
38.2 32ピン製品

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D <sub>2</sub>	3.15	3.20	3.25
E <sub>2</sub>	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

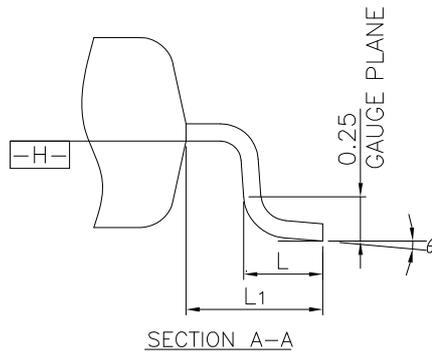
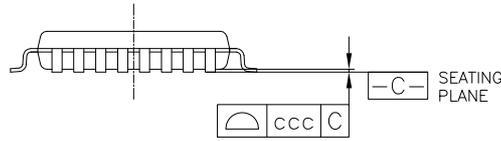
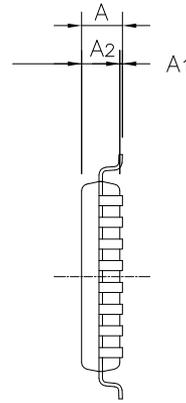
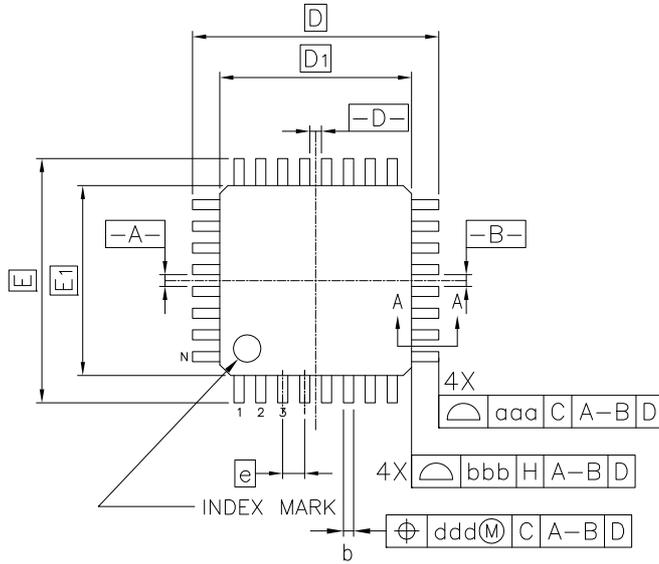
**NOTE**

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

★

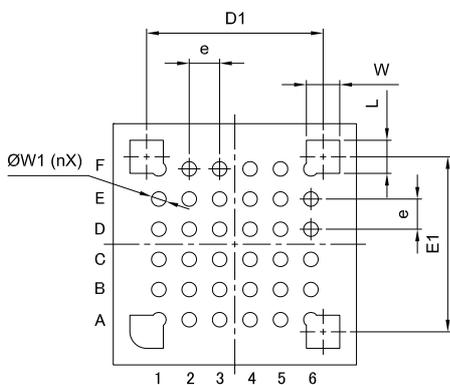
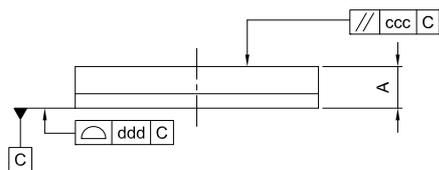
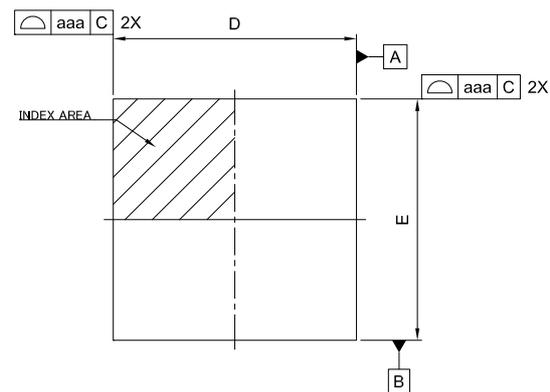
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP32-7x7-0.80	PLQP0032GE-A	0.18



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A <sub>1</sub>	0.05	—	0.15
A <sub>2</sub>	1.35	1.40	1.45
D	—	9.00	—
D <sub>1</sub>	—	7.00	—
E	—	9.00	—
E <sub>1</sub>	—	7.00	—
N	—	32	—
e	—	0.80	—
b	0.30	0.37	0.45
c	0.09	—	0.20
$\theta$	0°	3.5°	7°
L	0.45	0.60	0.75
L <sub>1</sub>	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20

38.3 36ピン製品

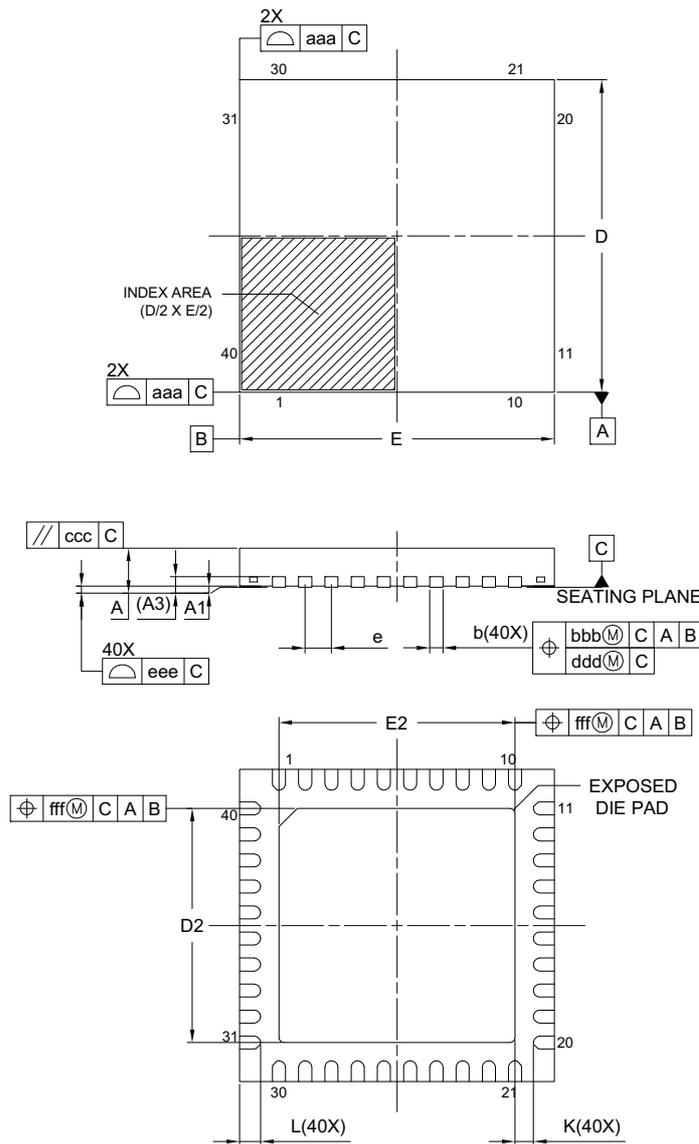
JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-WFLGA36-4 × 4-0.50	PWL0036KB-A	0.02



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	4.00	—
E	—	4.00	—
D1	2.90 BSC		
E1	2.90 BSC		
A	—	—	0.76
W1	0.19	0.24	0.29
W	—	0.55	—
L	—	0.55	—
e	0.50 BSC		
aaa	0.10		
ccc	0.20		
ddd	0.08		
n	—	36	—

### 38.4 40ピン製品

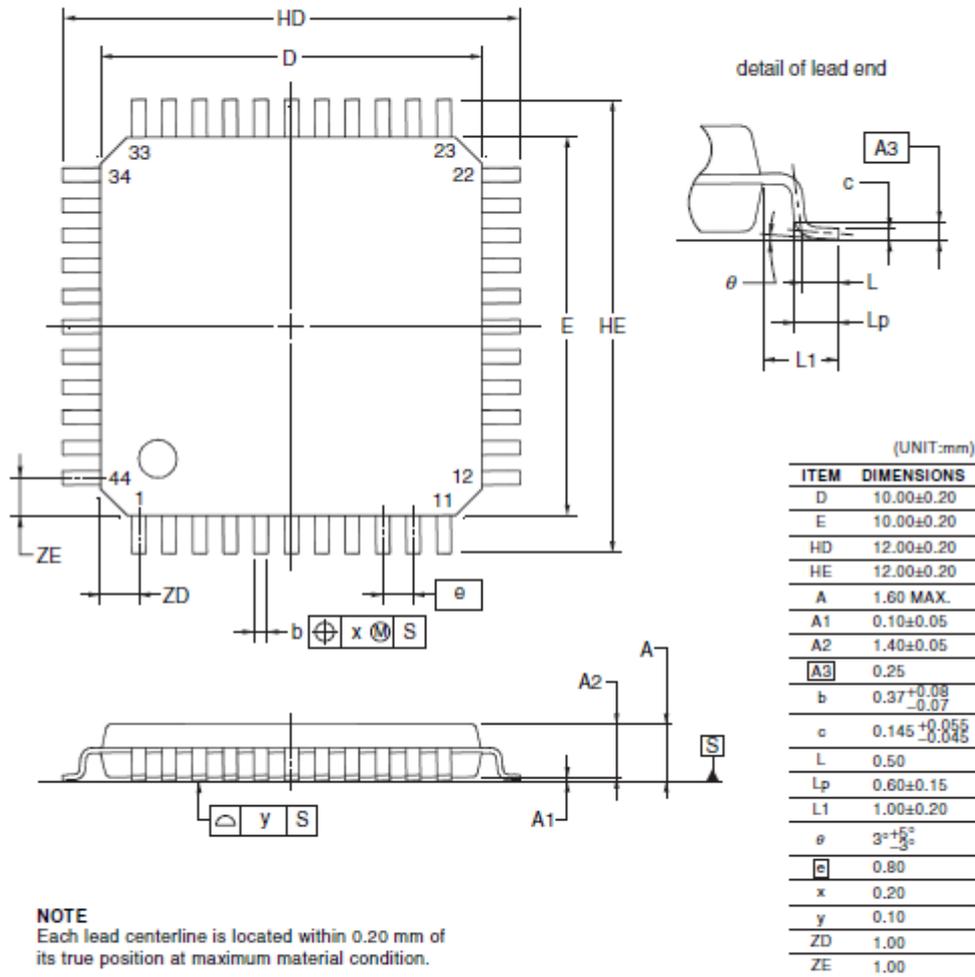
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D <sub>2</sub>	4.45	4.50	4.55
E <sub>2</sub>	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

38.5 44ピン製品

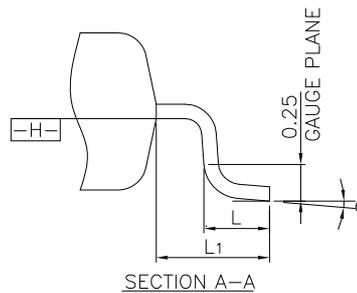
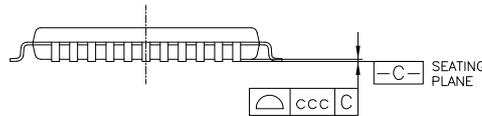
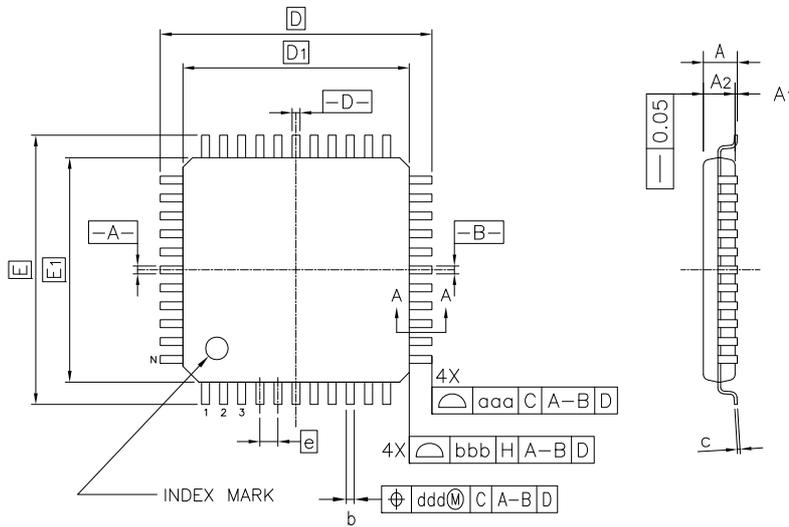
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP44-10x10-0.80	PLQP0044GC-A	P44GB-80-UES-2	0.36



© 2012 Renesas Electronics Corporation. All rights reserved.

★

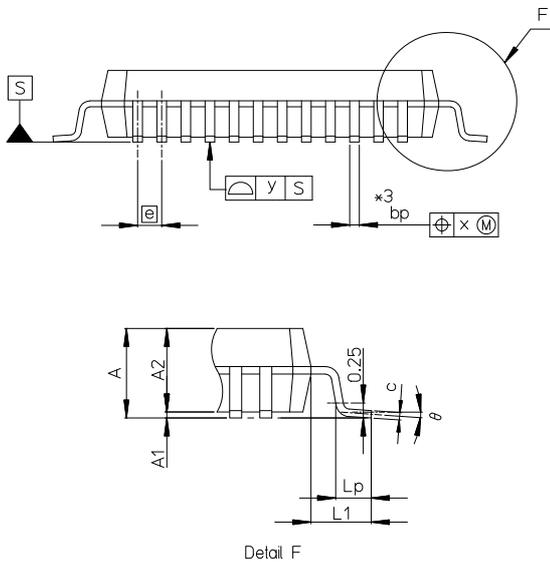
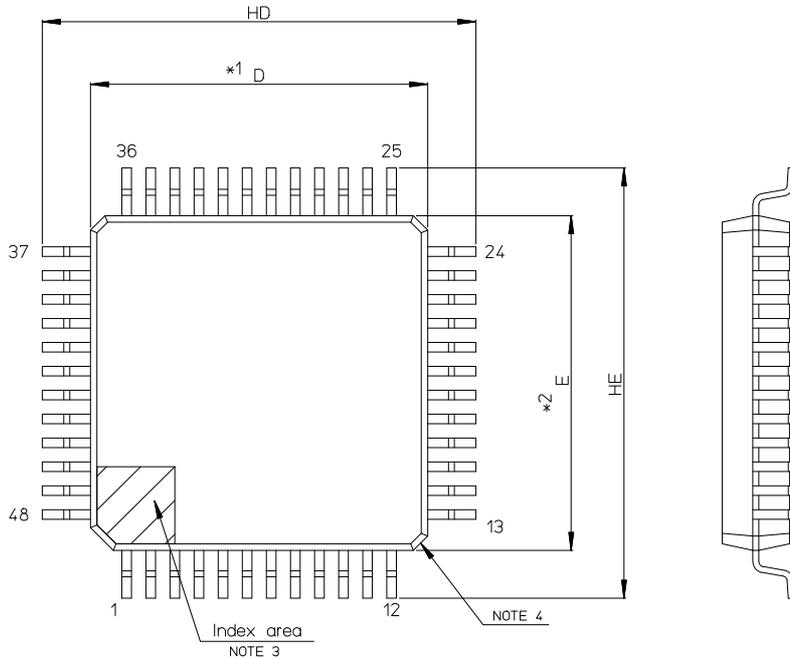
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP044-10x10-0.80	PLQP0044GE-A	0.34



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A <sub>1</sub>	0.05	—	0.15
A <sub>2</sub>	1.35	1.40	1.45
D	—	12.00	—
D <sub>1</sub>	—	10.00	—
E	—	12.00	—
E <sub>1</sub>	—	10.00	—
N	—	44	—
e	—	0.80	—
b	0.30	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L <sub>1</sub>	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20

38.6 48ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2g



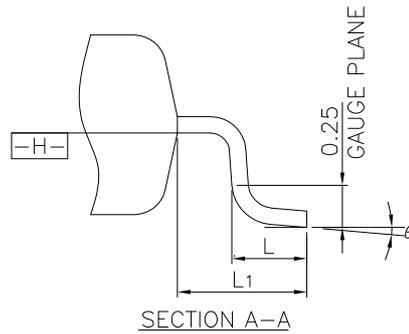
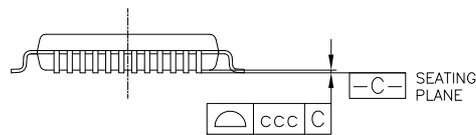
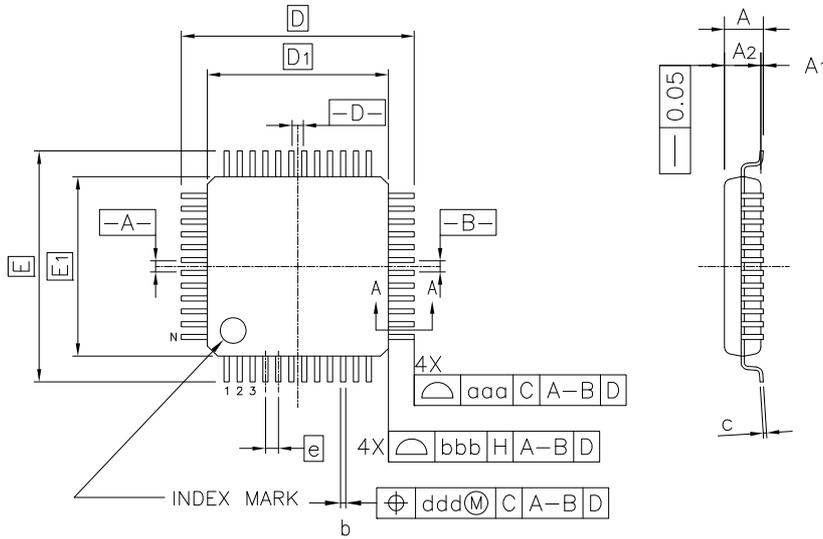
NOTE)

1. DIMENSIONS \*1\* AND \*2\* DO NOT INCLUDE MOLD FLASH.
2. DIMENSION \*3\* DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A2	—	1.4	—
HD	8.8	9.0	9.2
HE	8.8	9.0	9.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

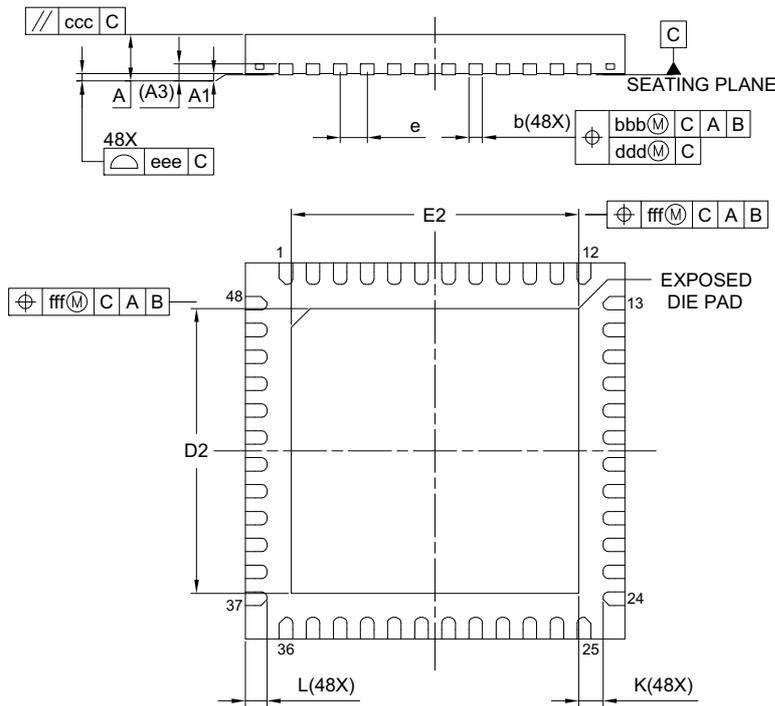
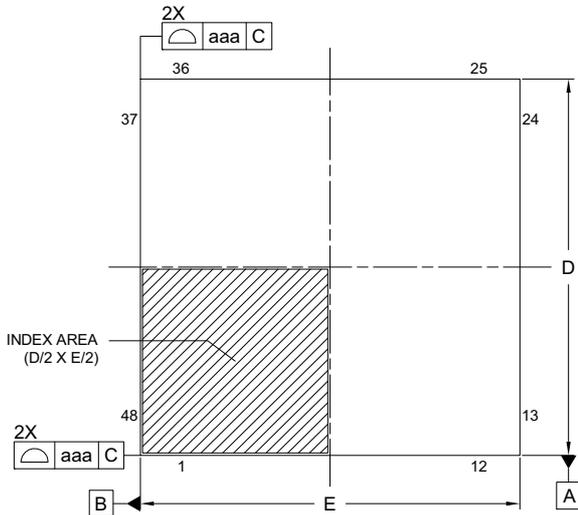
★

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP48-7x7-0.50	PLQP0048KL-A	0.18



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A <sub>1</sub>	0.05	—	0.15
A <sub>2</sub>	1.35	1.40	1.45
D	—	9.00	—
D <sub>1</sub>	—	7.00	—
E	—	9.00	—
E <sub>1</sub>	—	7.00	—
N	—	48	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L <sub>1</sub>	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

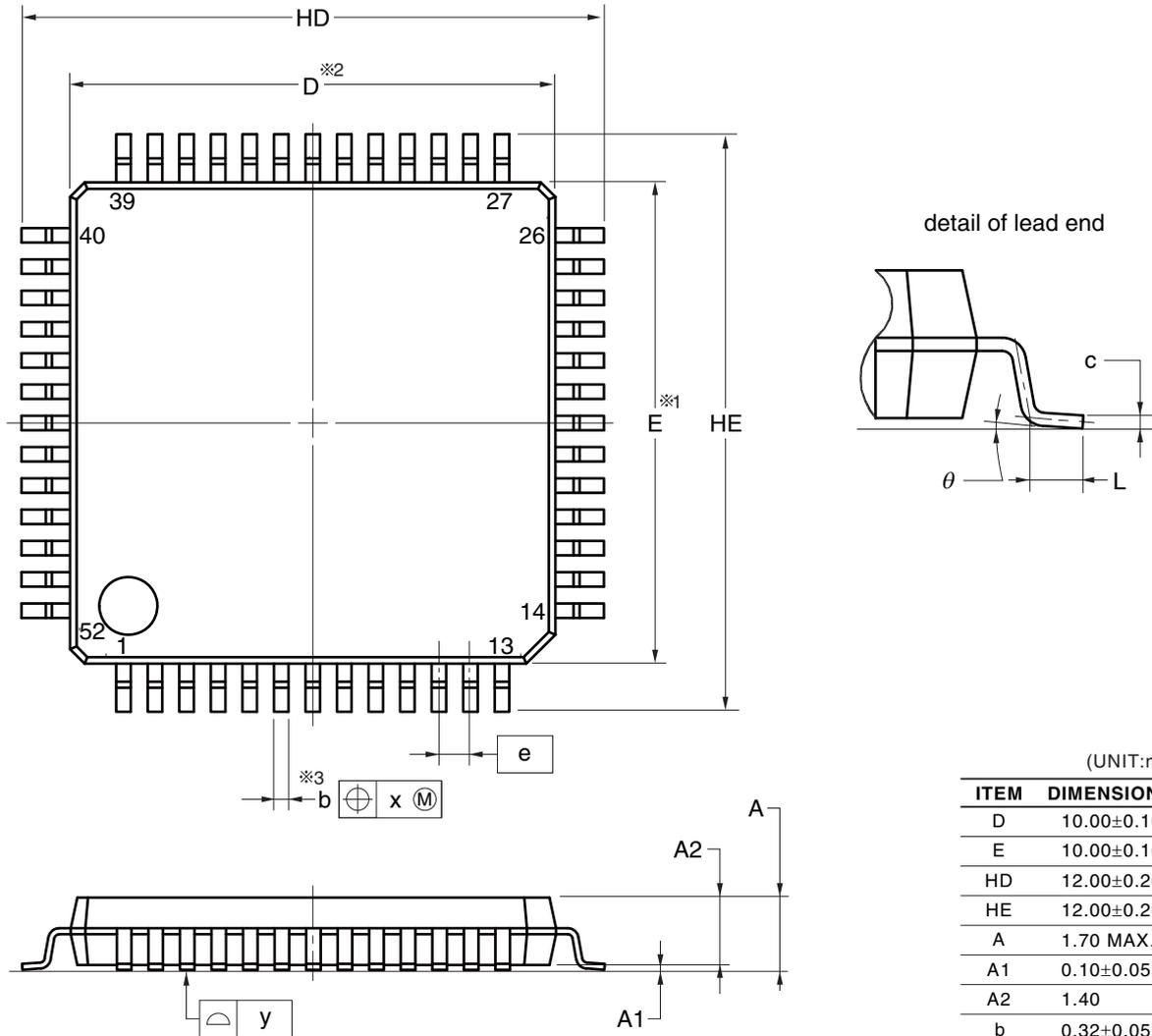
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D <sub>2</sub>	5.25	5.30	5.35
E <sub>2</sub>	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

### 38.7 52ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP52-10x10-0.65	PLQP0052JA-A	P52GB-65-GBS-1	0.3



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.10
E	10.00±0.10
HD	12.00±0.20
HE	12.00±0.20
A	1.70 MAX.
A1	0.10±0.05
A2	1.40
b	0.32±0.05
c	0.145±0.055
L	0.50±0.15
θ	0° to 8°
e	0.65
x	0.13
y	0.10

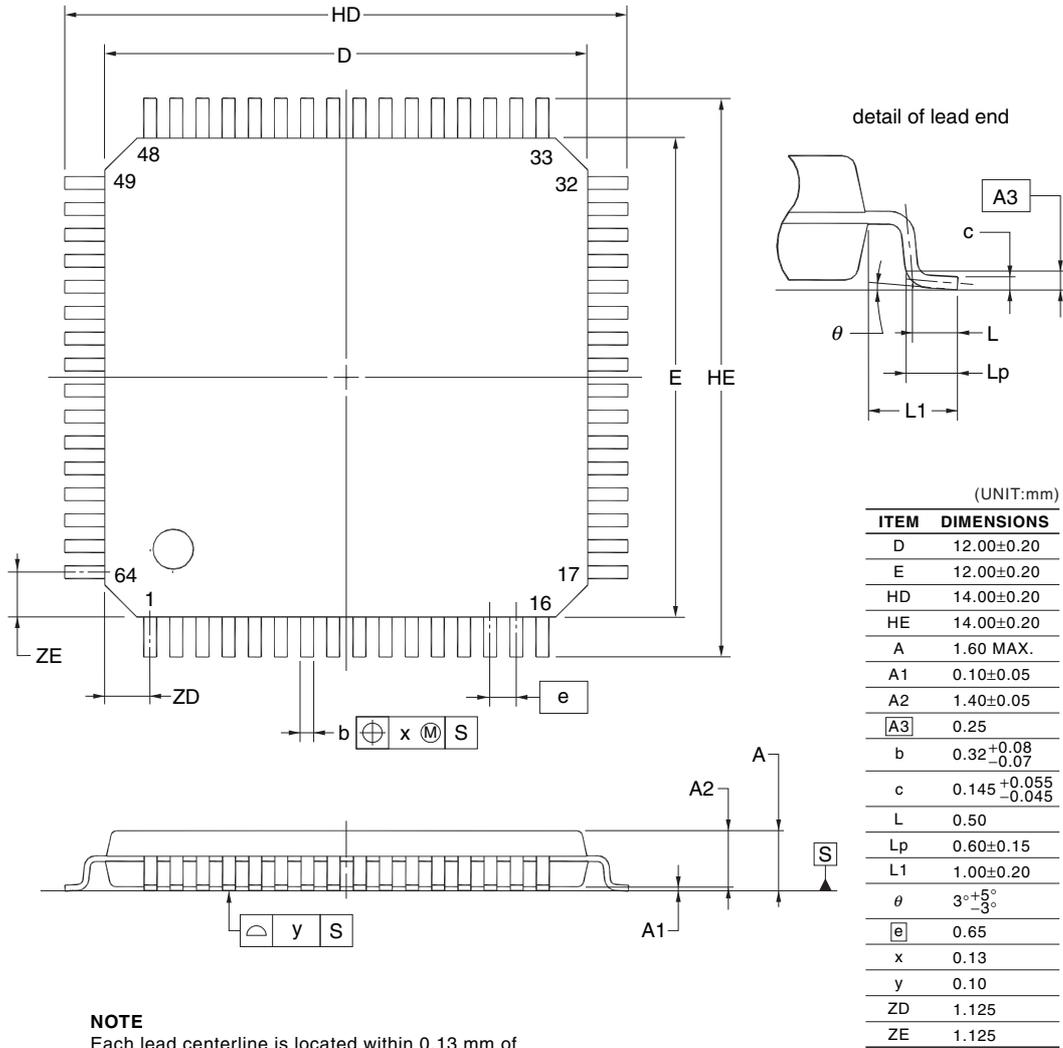
**NOTE**

1. Dimensions “※1” and “※2” do not include mold flash.
2. Dimension “※3” does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

38.8 64ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP64-12x12-0.65	PLQP0064JA-A	P64GK-65-UET-2	0.51

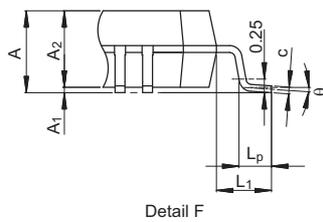
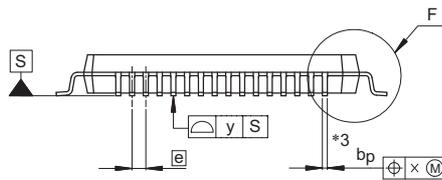
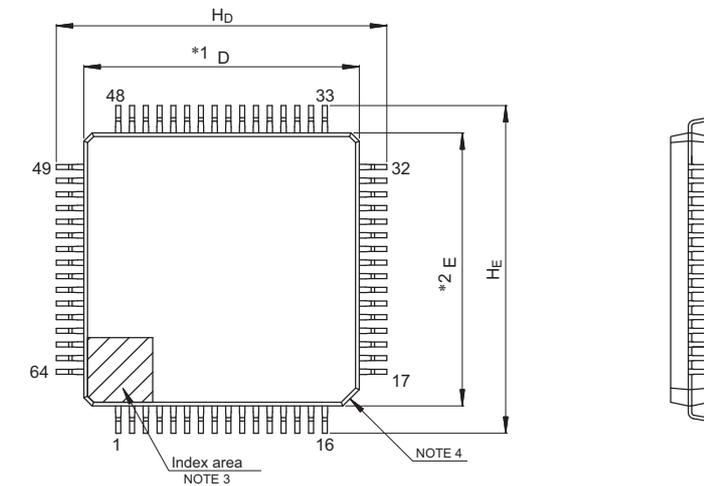


**NOTE**  
Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

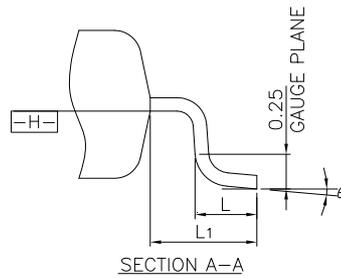
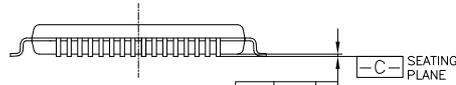
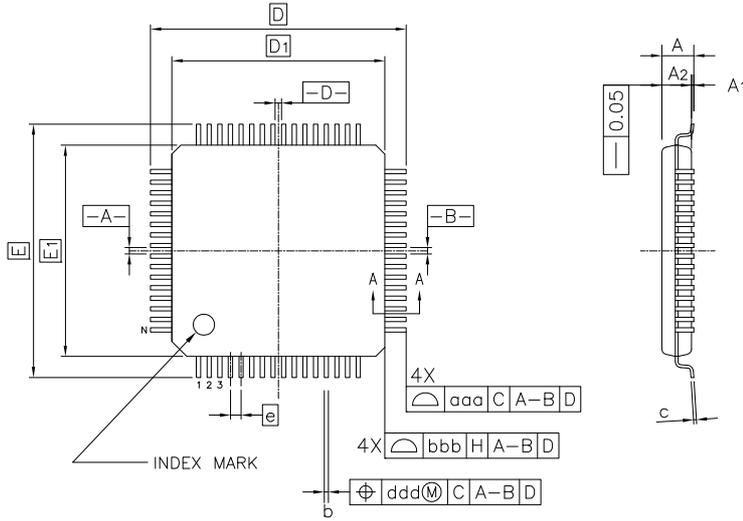
1. DIMENSIONS "\*\*1" AND "\*\*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "\*\*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A <sub>2</sub>	—	1.4	—
H <sub>D</sub>	11.8	12.0	12.2
H <sub>E</sub>	11.8	12.0	12.2
A	—	—	1.7
A <sub>1</sub>	0.05	—	0.15
b <sub>p</sub>	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L <sub>p</sub>	0.45	0.6	0.75
L <sub>1</sub>	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

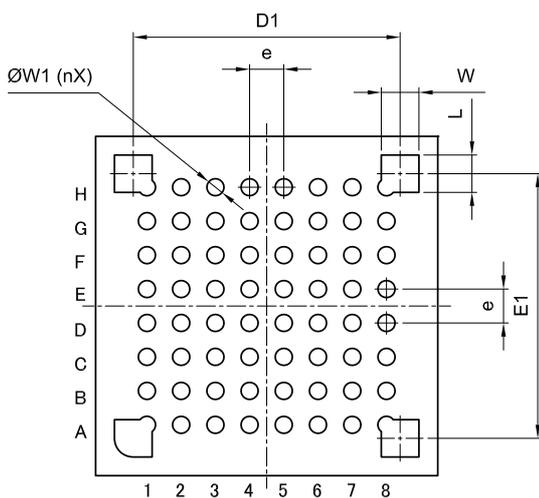
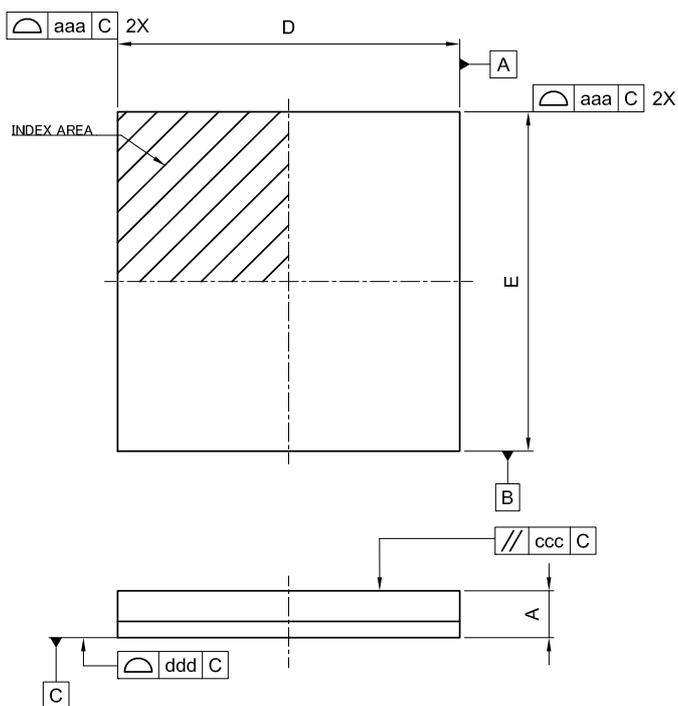
★

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP064-10x10-0.50	PLQP0064KL-A	0.36



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A <sub>1</sub>	0.05	—	0.15
A <sub>2</sub>	1.35	1.40	1.45
D	—	12.00	—
D <sub>1</sub>	—	10.00	—
E	—	12.00	—
E <sub>1</sub>	—	10.00	—
N	—	64	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L <sub>1</sub>	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

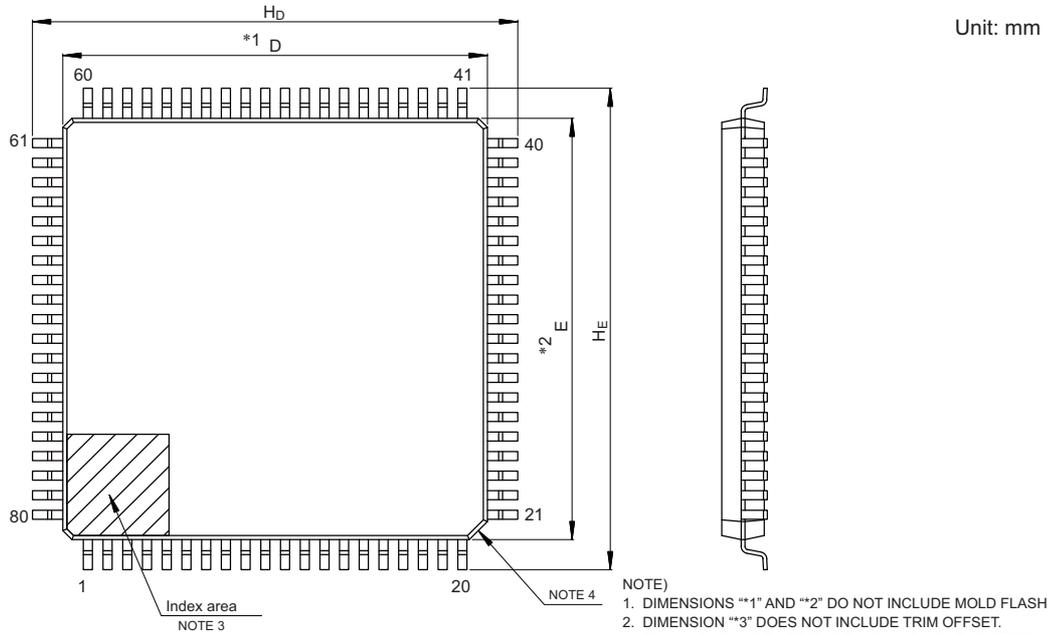
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-WFLGA64-5x5-0.50	PWLG0064KB-A	0.035



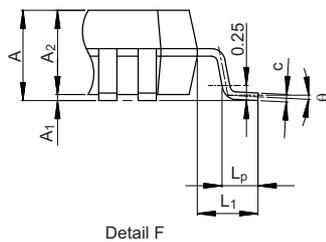
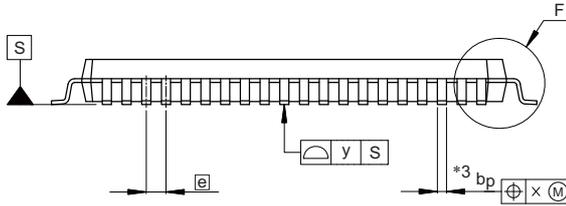
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	5.00	—
E	—	5.00	—
D1	3.90 BSC		
E1	3.90 BSC		
A	—	—	0.76
W1	0.21	0.25	0.29
W	—	0.55	—
L	—	0.55	—
e	0.50 BSC		
aaa	—	—	0.10
ccc	—	—	0.20
ddd	—	—	0.08
n	—	64	—

### 38.9 80ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LQFP80-14x14-0.65	PLQP0080JA-B	—	0.6



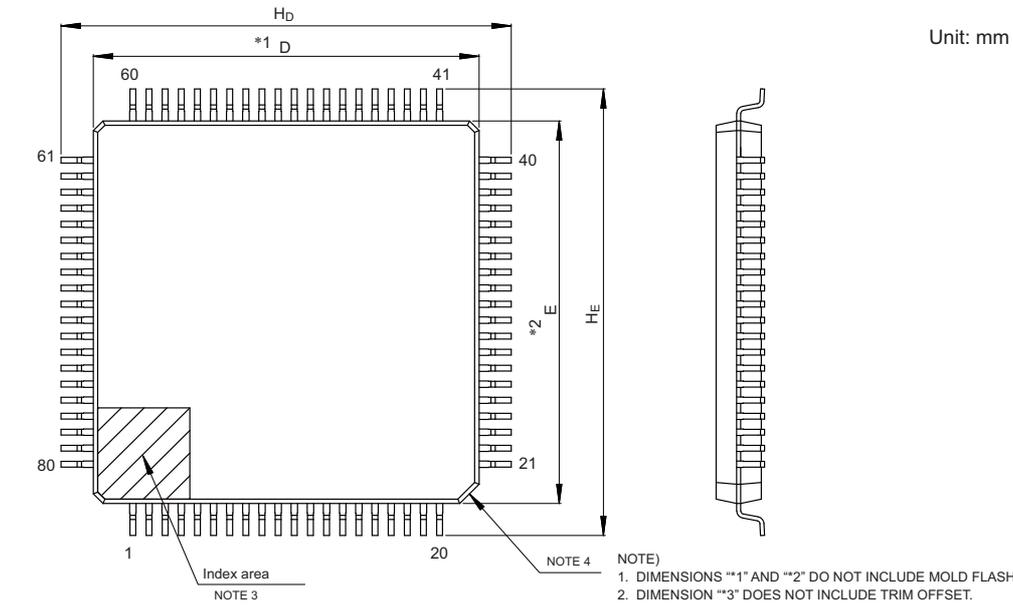
- NOTE)
1. DIMENSIONS \*\*1\* AND \*\*2\* DO NOT INCLUDE MOLD FLASH.
  2. DIMENSION \*\*3\* DOES NOT INCLUDE TRIM OFFSET.
  3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
  4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



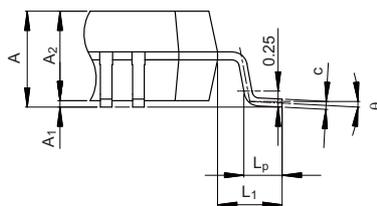
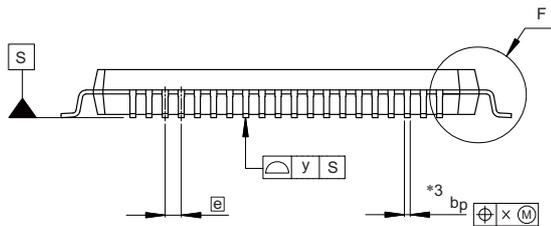
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A <sub>2</sub>	—	1.4	—
H <sub>D</sub>	15.8	16.0	16.2
H <sub>E</sub>	15.8	16.0	16.2
A	—	—	1.7
A <sub>1</sub>	0.05	—	0.15
b <sub>p</sub>	0.22	0.30	0.38
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.65	—
x	—	—	0.13
y	—	—	0.10
L <sub>p</sub>	0.45	0.6	0.75
L <sub>1</sub>	—	1.0	—

© 2016 Renesas Electronics Corporation. All rights reserved.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
- DIMENSIONS \*\*1\*\* AND \*\*2\*\* DO NOT INCLUDE MOLD FLASH.
  - DIMENSION \*\*3\*\* DOES NOT INCLUDE TRIM OFFSET.
  - PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
  - CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



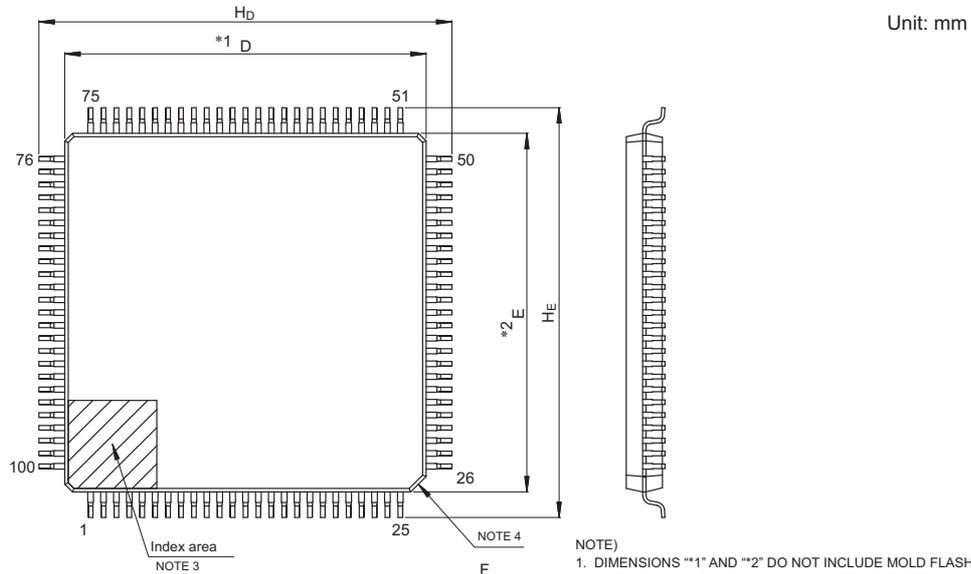
Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A <sub>2</sub>	—	1.4	—
H <sub>D</sub>	13.8	14.0	14.2
H <sub>E</sub>	13.8	14.0	14.2
A	—	—	1.7
A <sub>1</sub>	0.05	—	0.15
b <sub>p</sub>	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L <sub>p</sub>	0.45	0.6	0.75
L <sub>1</sub>	—	1.0	—

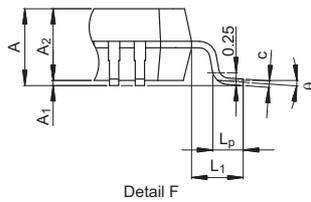
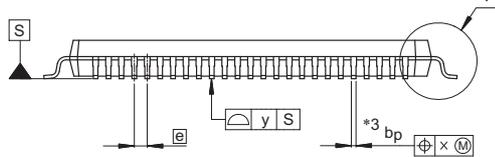
© 2017 Renesas Electronics Corporation. All rights reserved.

38.10 100ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



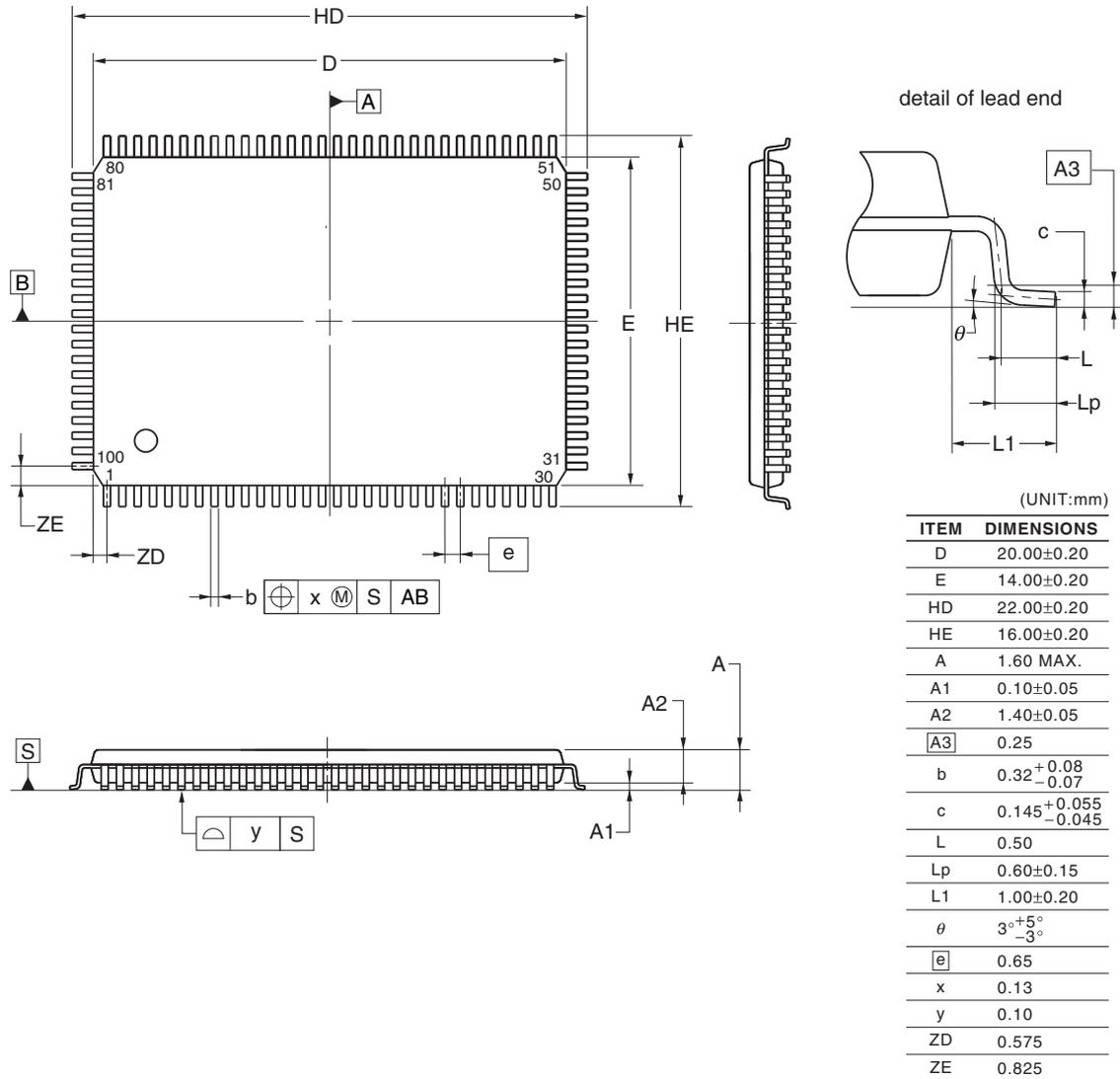
- NOTE)
1. DIMENSIONS "1" AND "2" DO NOT INCLUDE MOLD FLASH.
  2. DIMENSION "3" DOES NOT INCLUDE TRIM OFFSET.
  3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
  4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A <sub>2</sub>	—	1.4	—
H <sub>b</sub>	15.8	16.0	16.2
H <sub>E</sub>	15.8	16.0	16.2
A	—	—	1.7
A <sub>1</sub>	0.05	—	0.15
b <sub>p</sub>	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L <sub>p</sub>	0.45	0.6	0.75
L <sub>1</sub>	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

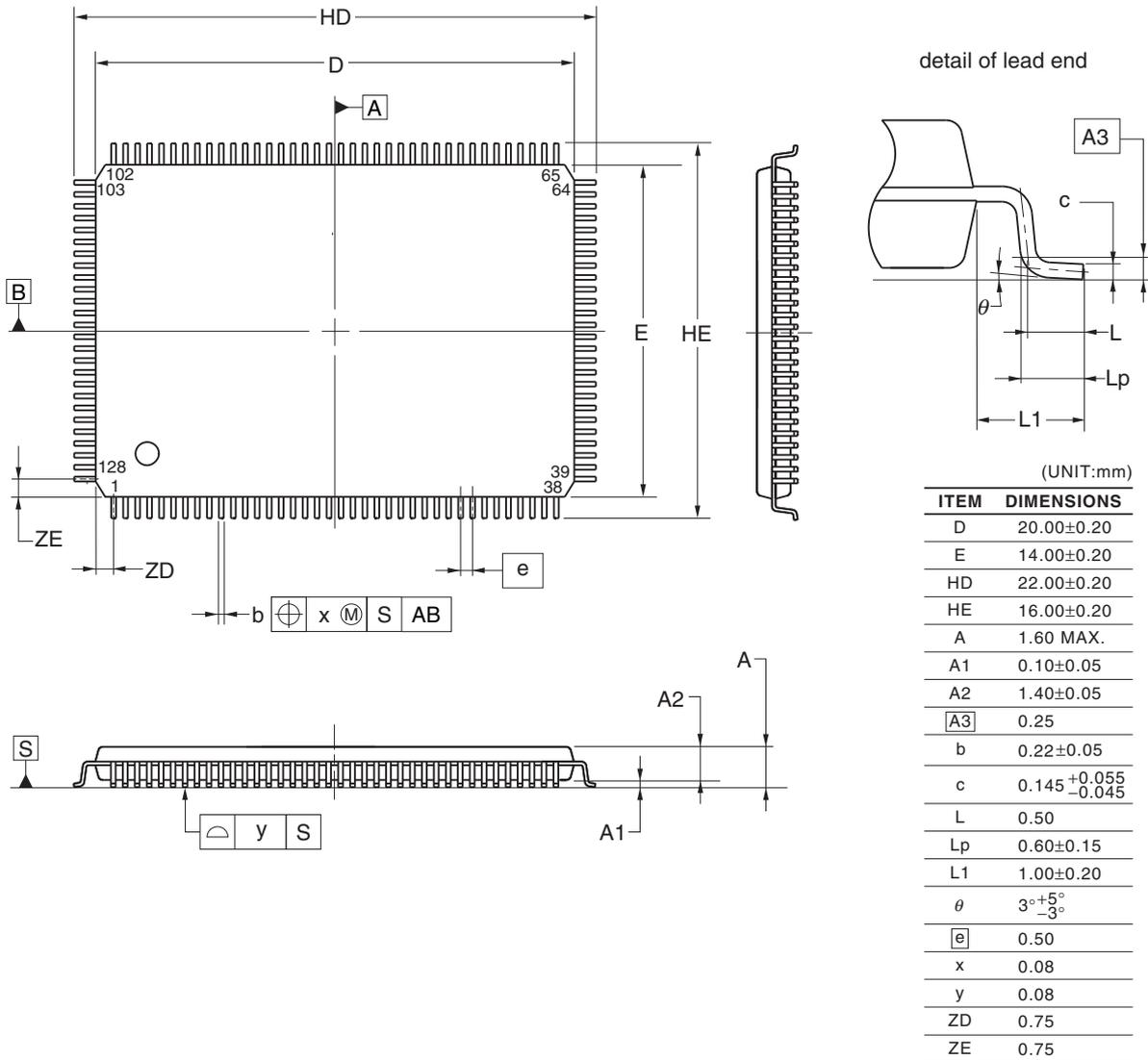
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP100-14x20-0.65	PLQP0100JC-A	P100GF-65-GBN-1	0.92



©2012 Renesas Electronics Corporation. All rights reserved.

### 38.11 128ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP128-14x20-0.50	PLQP0128KD-A	P128GF-50-GBP-1	0.92



©2012 Renesas Electronics Corporation. All rights reserved.

## 付録A 改版履歴

## A.1 本版で改訂された主な箇所

(1/3)

箇所	内容	分類
第1章 概説		
p.5	図1-1 RL78/G23の型名とメモリ・サイズ、パッケージを変更	(d)
p.6~p.8	表1-1 発注型名一覧を変更	(d)
第2章 端子機能		
p.120	図2-14 端子タイプ7-2-1の端子ブロック図を変更	(a)
p.134	図2-27 端子タイプ8-31-1の端子ブロック図を変更	(a)
第8章 リアルタイム・クロック (RTC)		
p.488	図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマットを変更	(c)
p.501	図8-19 リアルタイム・クロックの読み出し手順 注意を変更	(c)
p.502	図8-20 リアルタイム・クロックの書き込み手順 注意1を変更	(c)
第12章 A/Dコンバータ (ADC)		
p.567	図12-4 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット 注意4を追加	(c)
p.570	図12-5 A/D電圧コンパレータ使用時のタイミング・チャート 注意4を変更	(c)
p.571~p.578	表12-3 A/D変換時間の選択 注意2を変更	(c)
p.580	図12-7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット 注意2を変更	(c)
p.581, p.582	図12-8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマットを変更	(c)
第16章 シリアル・インタフェースIICA (IICA)		
p.880	図16-29 マルチマスタ・システムでのマスタ動作を変更	(a)
第20章 ロジック&イベント・リンク・コントローラ (ELCL)		
p.1057	表20-1 論理セルブロックL1の接続 (1)を変更	(a)
p.1059	表20-3 論理セルブロックL2の接続 (1)を変更	(a)
p.1061	表20-5 論理セルブロックL3の接続 (1)を変更	(a)
p.1068	図20-5 入力信号選択レジスタn (ELISELn) (n = 0-11) のフォーマット 注4を変更 および 注意1を追加	(c)
p.1101	20.6 ELCL使用時の注意事項 (4)を変更	(c)
第27章 安全機能		
p.1193	27.1 安全機能の概要 説明 および 備考2を変更	(a)
p.1199	27.3.2 CRC演算機能 (汎用CRC) 説明を変更	(a)
p.1206	27.3.5 RAMガード機能 説明を変更	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、  
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

(2/3)

箇所	内容	分類
p.1207	27.3.6 SFR ガード機能 説明を変更	(a)
第29章 SNOOZE モード・シーケンサ (SMS)		
p.1235	表 29 - 1 SMSIpレジスタのメモリ・アドレスと SMSCV0-SMSCV4 ビットの関係 注意2 を変更	(c)
p.1236	表 29 - 2 SMSIpレジスタに設定できる処理の一覧 を変更	(a)
p.1242	29.4.1 SNOOZE モード・シーケンサの内部の動作 説明を変更	(a)
p.1242	図 29 - 8 シーケンサの内部動作フロー を変更	(a)
p.1245	29.4.4 SNOOZE モード・シーケンサの割り込み を追加	(c)
p.1246	図 29 - 11 SNOOZE モード・シーケンサの起動のフロー を変更 および注を削除、注意1, 2 を追加	(c)
p.1248	29.4.6 SNOOZE モード・シーケンサの状態 説明を変更	(a)
p.1269	旧29.5.20 割り込み&終了処理 を削除	(a)
p.1271	29.6 スタンバイ・モード時の動作 注4~6 を変更	(c)
第37章 電气的特性		
p.1431	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュ ROM96~128KBの製品 (1/4) 注1 を変更	(c)
p.1433	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュ ROM96~128KBの製品 (2/4) 注1~3 を変更	(c)
p.1434	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュ ROM96~128KBの製品 (3/4) 注1 を変更	(c)
p.1436	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュ ROM96~128KBの製品 (4/4) 注1, 3~8 を変更	(c)
p.1437	37.3.2 電源電流特性 (2) 30~64ピン製品のフラッシュ ROM192~256KBの製品および80ピン製品のフラッシュ ROM128~256KBの製品 (1/4) 注1 を変更	(c)
p.1439	37.3.2 電源電流特性 (2) 30~64ピン製品のフラッシュ ROM192~256KBの製品および80ピン製品のフラッシュ ROM128~256KBの製品 (2/4) 注1~3 を変更	(c)
p.1440	37.3.2 電源電流特性 (2) 30~64ピン製品のフラッシュ ROM192~256KBの製品および80ピン製品のフラッシュ ROM128~256KBの製品 (3/4) 注1 を変更	(c)
p.1443	37.3.2 電源電流特性 (2) 30~64ピン製品のフラッシュ ROM192~256KBの製品および80ピン製品のフラッシュ ROM128~256KBの製品 (4/4) 注1, 3~8 を変更	(c)
p.1444	37.3.2 電源電流特性 (3) 44~80ピン製品のフラッシュ ROM384~768KBの製品および100~128ピン製品 (1/4) および 注1 を変更	(c)
p.1446	37.3.2 電源電流特性 (3) 44~80ピン製品のフラッシュ ROM384~768KBの製品および100~128ピン製品 (2/4) および 注1~3 を変更	(c)
p.1447	37.3.2 電源電流特性 (3) 44~80ピン製品のフラッシュ ROM384~768KBの製品および100~128ピン製品 (3/4) および 注1 を変更	(c)
p.1448, p.1449	37.3.2 電源電流特性 (3) 44~80ピン製品のフラッシュ ROM384~768KBの製品および100~128ピン製品 (4/4) および 注1, 3~8 を変更	(c)
p.1453	37.4 AC 特性 を変更	(a)
p.1497	37.6.4 コンパレータ特性 注を追加	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、  
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

(3/3)

箇所	内容	分類
第38章 外形図		
p.1508	38.2 32ピン製品 図を追加	(d)
p.1512	38.5 44ピン製品 図を追加	(d)
p.1514	38.6 48ピン製品 図を追加	(d)
p.1519	38.8 64ピン製品 図を追加	(d)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、  
(d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

## A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/32)

版数	内容	適用箇所
Rev.0.50	初版発行	全般
Rev.0.80	Touch Sensor Capacitanceの端子名称をTCAP→TSCAPに変更	全般
	E20エミュレータの記載 を削除	
	1.1 特徴 説明を変更	第1章 概説
	図1-1 RL78/G23の型名とメモリ・サイズ、パッケージを変更	
	表1-1 発注型名一覧 を変更	
	1.3.3 36ピン製品 図を変更	
	1.3.6 48ピン製品 図を変更	
	1.3.9 80ピン製品 注意1-3を変更、備考1-3を追加	
	1.3.10 100ピン製品 注意1-3を変更、備考1-3を追加	
	1.3.11 128ピン製品 注意1-3を変更、備考1-3を追加	
	1.6 機能概要 を変更 および注6, 7を追加	
	図2-5 端子タイプ4-3-5の端子ブロック図 を変更	第2章 端子機能
	図2-6 端子タイプ4-33-1の端子ブロック図 を変更	
	図2-7 端子タイプ4-35-1の端子ブロック図 を変更	
	図2-8 端子タイプ4-37-1の端子ブロック図 を変更	
	図3-1 メモリ・マップ (R7F100GxF (x=A, B, C, E, F, G, J, L)) 注2を変更	第3章 CPUアーキテクチャ
	図3-2 メモリ・マップ (R7F100GxG (x=A, B, C, E, F, G, J, L, M, P)) 注2を変更	
	図3-3 メモリ・マップ (R7F100GxH (x=A, B, C, E, F, G, J, L, M, P)) 注2を変更	
	図3-4 メモリ・マップ (R7F100GxJ (x=A, B, C, E, F, G, J, L, M, P, S)) 注2を変更	
	図3-5 メモリ・マップ (R7F100GxK (x=F, G, J, L, M, P, S)) 注2を変更	
	図3-6 メモリ・マップ (R7F100GxL (x=F, G, J, L, M, P, S)) 注2を変更	
	図3-7 メモリ・マップ (R7F100GxN (x=F, G, J, L, M, P, S)) 注2を変更	
	表3-5 ベクタ・テーブル を変更	
	3.1.1 内部プログラム・メモリ空間 (2)(3)(4)を変更	
	図3-8 プロセッサ・モード・コントロール・レジスタ(PMC)のフォーマット を変更	
	図3-9 データ・メモリとアドレッシングの対応 を変更	
	表3-7 SFR一覧 を変更	
	表3-8 拡張SFR (2nd SFR) 一覧を変更	
	表4-1 ポートの構成 を変更	第4章 ポート機能
	4.3 ポート機能を制御するレジスタ 説明を変更	
	4.3.12 出力電流制御許可レジスタ (CCDE) 説明を変更	
	4.3.13 出力電流選択レジスタ (CCSx) 説明を変更	
	4.3.14 40mAポート出力制御レジスタ (PTDC) タイトルおよび説明を変更	

版数	内容	適用箇所	
Rev.0.80	図4 - 14 40mAポート出力制御レジスタ (PTDC) タイトルを変更	第4章 ポート機能	
	4.3.15 ポート・ファンクション出力許可レジスタ (PFOEx) 説明を変更		
	4.4.5 入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応 (1) 説明を変更		
	4.4.5 入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応 (2) 説明を変更		
	4.5.4 使用するポート機能および兼用機能のレジスタ設定例 を追加		
	5.4 フラッシュ動作モードの遷移 説明を変更	第5章 オペレーション・ステート・コントロール	
	図5 - 4 フラッシュ動作モードの状態遷移 を変更		
	5.5.2 LS (低速メイン)モードの詳細 説明を変更		
	図5 - 6 LSモードの動作範囲 を変更		
	5.5.3 LP (低電力メイン)モードの詳細 説明を変更		
	6.1 クロック発生回路の機能(1) 説明を変更	第6章 クロック発生回路	
	図6 - 1 クロック発生回路のブロック図 を変更		
	図6 - 2 クロック動作モード制御レジスタ (CMC)のフォーマット および 注3, 注意6, 7 を変更		
	図6 - 7 周辺イネーブル・レジスタ0 (PER0)のフォーマット および 注を変更		
	図6 - 8 周辺イネーブル・レジスタ1 (PER1)のフォーマット および 注を変更		
	図6 - 9 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット および 注7 を変更		
	6.3.12 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) 説明を変更		
	6.3.13 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) 説明を変更		
	6.3.14 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) 説明を変更		
	6.4.1 X1 発振回路 説明を変更		
	図6 - 19 XT1 発振回路の外付け回路例 注意を変更		
	表6 - 2 CPUクロックの移行とSFRレジスタの設定例 を変更		
	図7 - 11 周辺イネーブル・レジスタ0 (PER0) のフォーマット 注を追加		
	図8 - 1 リアルタイム・クロックのブロック図 を変更		第8章 リアルタイム・クロック (RTC)
	図8 - 3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット を変更、注1, 2を追加		
	図8 - 4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット 注を変更、注意3を追加		
	図9 - 2 周辺イネーブル・レジスタ1 (PER1) のフォーマット を変更	第9章 32ビット・インターバル・タイマ (TML32)	
	9.2.6 インターバル・タイマ・キャプチャ・レジスタ000 (ITLCP000) 説明を変更		
	9.2.7 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCP00) 説明を変更		
	図9 - 7 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCP00) のフォーマット タイトルを変更		
	9.2.10 インターバル・タイマ分周レジスタ0 (ITLFDIV00) 説明を変更		

(3/32)

版数	内容	適用箇所
Rev.0.80	9.2.13 インターバル・タイマ・ステータス・レジスタ (ITLS0) 注意、備考を追加	第9章 32ビット・インターバル・タイマ (TML32)
	9.3.2 キャプチャ・モードの設定 説明を変更	
	9.3.3 タイマ動作 説明を変更	
	図10-2 クロック出力選択レジスタn (CKSn) のフォーマットを変更	第10章 クロック出力ノブ ザー出力制御回路 (PCLBUZ)
	図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット注3を追加	第12章 A/Dコンバータ (ADC)
	図12-7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマットを変更	
	図12-37 ソフトウェア・トリガ・ウェイト・モード設定を変更	
	図12-41 SNOOZEモード設定 (ソフトウェア・トリガ) のフロー・チャートを変更	
	図13-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット注を追加	第13章 D/Aコンバータ (DAC)
	図14-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット注を追加	第14章 コンパレータ (CMP)
	図15-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット注2を追加	第15章 シリアル・アレイ・ ユニット (SAU)
	16.1 シリアル・インタフェースIICAの機能(3) 説明を変更	第16章 シリアル・インタ フェースIICA (IICA)
	図16-5 周辺イネーブル・レジスタ0 (PER0) のフォーマットを変更	
	図16-18 転送方向指定 注を変更	
	図17-1 UARTAnのブロック図を変更	第17章 シリアル・インタ フェースUARTA (UARTA)
	17.2 レジスタの説明 備考を変更	
	図17-2 周辺イネーブル・レジスタ1 (PER1) のフォーマットおよび注を変更	
	17.2.8 ステータス・クリア・トリガ・レジスタ (ASCTAn) (n = 0~1) 説明を変更	
	図17-13 通信手順フロー 注意を変更	
	図18-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット注を追加	第18章 リモコン信号受信機 能 (REMC)
	図18-5 機能選択レジスタ1 (REMCN1) のフォーマットを変更	
	図18-7 割り込み制御レジスタ (REMINT) のフォーマットを変更	
	図18-8 コンペア制御レジスタ (REMCPC) のフォーマットを変更	
	図18-20 受信ビット数レジスタ (REMRBIT) のフォーマットを変更	
	18.3.4.1 REMC動作クロックとしてfsXLを使用する場合 説明を変更	
	18.3.5 RIN0入力 説明を変更	
	表18-6 割り込みモードとSNOOZEモードからの遷移を変更	
	図18-44 SNOOZEモード設定のフロー・チャートの例を変更	
	図19-5 周辺イネーブル・レジスタ1 (PER1)のフォーマット注を追加	
	図20-2 論理セルブロックL1のブロック図を変更	第20章 ロジック&イベン ト・リンク・コントローラ (ELCL)

(4/32)

版数	内容	適用箇所
Rev.0.80	図20-3 論理セルブロックL2のブロック図を変更	第20章 ロジック&イベント・リンク・コントローラ (ELCL)
	図20-4 論理セルブロックL3のブロック図を変更	
	図20-5 入力信号選択レジスタ n (ELISELn) (n = 0-11)のフォーマット および 注意2を変更	
	図20-6 イベント・リンクL1信号選択レジスタ n (ELL1SELn) (n = 0-3)のフォーマット 注意2を変更	
	図20-7 イベント・リンクL1信号選択レジスタ n (ELL1SELn) (n = 4, 5)のフォーマット 注意2を変更	
	図20-8 イベント・リンクL1信号選択レジスタ 6 (ELL1SEL6)のフォーマット 注意2を変更	
	図20-9 論理セルブロックL1制御レジスタ (ELL1CTL)のフォーマット および 注意2を変更	
	図20-10 イベント・リンクL1出力選択レジスタ n (ELL1LNKn) (n = 0-3)のフォーマット 注意3を変更	
	図20-11 イベント・リンクL1出力選択レジスタ n (ELL1LNKn) (n = 4, 5)のフォーマット 注意3を変更	
	図20-12 イベント・リンクL1出力選択レジスタ 6 (ELL1LNK6)のフォーマット 注意2を変更	
	図20-13 イベント・リンクL2信号選択レジスタ n (ELL2SELn) (n = 0-3)のフォーマット 注意2を変更	
	図20-14 イベント・リンクL2信号選択レジスタ n (ELL2SELn) (n = 4, 5)のフォーマット 注意2を変更	
	図20-15 イベント・リンクL2信号選択レジスタ 6 (ELL2SEL6)のフォーマット 注意2を変更	
	図20-16 論理セルブロックL2制御レジスタ (ELL2CTL)のフォーマット および 注意2を変更	
	図20-17 イベント・リンクL2出力選択レジスタ n (ELL2LNKn) (n = 0-3)のフォーマット 注意3を変更	
	図20-18 イベント・リンクL2出力選択レジスタ n (ELL2LNKn) (n = 4, 5)のフォーマット 注意3を変更	
	図20-19 イベント・リンクL2出力選択レジスタ 6 (ELL2LNK6)のフォーマット 注意2を変更	
	図20-20 イベント・リンクL3信号選択レジスタ n (ELL3SELn) (n = 0-3)のフォーマット 注意2を変更	
	図20-21 イベント・リンクL3信号選択レジスタ n (ELL3SELn) (n = 4, 5)のフォーマット 注意2を変更	
	図20-22 イベント・リンクL3信号選択レジスタ 6 (ELL3SEL6)のフォーマット 注意2を変更	

版数	内容	適用箇所
Rev.0.80	図20 - 23 論理セルブロックL3制御レジスタ (ELL3CTL)のフォーマット および 注意2を変更	第20章 ロジック&イベント・リンク・コントローラ (ELCL)
	図20 - 24 イベント・リンクL3出力選択レジスタ n (ELL3LNKn) (n = 0-3)のフォーマット 注意3を変更	
	図20 - 25 イベント・リンクL3出力選択レジスタ n (ELL3LNKn) (n = 4, 5)のフォーマット 注意3を変更	
	図20 - 26 イベント・リンクL3出力選択レジスタ 6 (ELL3LNK6)のフォーマット 注意2を変更	
	20.4 ELCLの動作 説明を変更	
	20.6 ELCL接続時の注意事項 (4)を追加	
	表21 - 2 割り込み要求ソースに対応する各種フラグ 注1, 2を変更	第21章 割り込み機能
	表23 - 1 HALTモード時の動作状態(1)を変更	第23章 スタンバイ機能
	表23 - 2 HALTモード時の動作状態(2)を変更	
	表23 - 3 STOPモード時の動作状態を変更	
	表23 - 4 SNOOZEモード時の動作状態を変更	
	図27 - 16 IAWCTLレジスタ・ガードレジスタ (GIAWCTL) のフォーマットを変更	第27章 安全機能
	図29 - 8 シーケンサの内部動作フロー を変更	第29章 SNOOZEモード・シーケンサ (SMS)
	29.5.13 分岐処理2 (SCY = 0) 説明を変更	
	29.5.14 分岐処理3 (SZ = 1) 説明を変更	
	29.5.15 分岐処理4 (SZ = 0) 説明を変更	
	29.5.16 ウェイト処理 説明を変更	
	第30章 静電容量センサユニット (CTSU2L) 説明を変更	第30章 静電容量センサユニット (CTSU2L)
	表30 - 1 CTSUの機能概要 を変更	
	図30 - 3 CTSUのブロック図 を変更	
	表30 - 2 CTSUで使用する外部端子 を変更	
	30.3 動作説明 を削除	
	30.4 使用上の注意 を削除	
	図33 - 9 ブート・スワップ機能 を変更	第33章 フラッシュ・メモリ
	37.1 絶対最大定格 注意を変更	第37章 電气的特性 TA = -40°C ~ +85°C (ターゲット)
	37.2.1 X1, XT1発振回路特性 を変更	
	37.3.1 端子特性 (2/7) 注3を変更	
	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュ ROM96~128KBの製品 (2/4) 注3を変更	
	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュ ROM96~128KBの製品 (4/4) 注5, 8を変更	
	37.3.2 電源電流特性 (2) 30~80ピン製品のフラッシュ ROM192~256KBの製品 (2/4) 注3を変更	

(6/32)

版数	内容	適用箇所
Rev.0.80	37.3.2 電源電流特性 (2) 30～80 ピン製品のフラッシュ ROM192～256 KBの製品 (4/4) 注5, 8変更	第37章 電気的特性 TA = -40°C ~ +85°C (ターゲット)
	37.3.2 電源電流特性 (3) 44～80 ピン製品のフラッシュ ROM : 384～768 KBの製品と、100ピン、128ピン製品(2/4) 注3変更	
	37.3.2 電源電流特性 (3) 44～80 ピン製品のフラッシュ ROM : 384～768 KBの製品と、100ピン、128ピン製品(4/4) 注5, 8変更	
	37.4 AC特性 を変更	
	37.5.3 シリアル・インタフェース IICA (1) を変更	
	37.5.3 シリアル・インタフェース IICA (2) を変更	
	37.5.3 シリアル・インタフェース IICA (3) を変更	
	37.6.3 D/Aコンバータ特性 を変更	
	37.6.4 コンパレータ特性 を変更	
Rev.0.90	表1-1 発注型名一覧 を変更	第1章 概説
	1.6 機能概要 表を変更	
	表3-7 SFR一覧 を変更	第3章 CPUアーキテクチャ
	表3-8 拡張SFR (2nd SFR) 一覧 を変更	
	図4-12 出力電流制御許可レジスタ (CCDE) を変更、注意を追加	第4章 ポート機能
	4.3.14 40 mAポート出力制御レジスタ (PTDC) 説明を変更	
	図4-14 40 mAポート出力制御レジスタ (PTDC) を変更	
	図4-15 ポート・ファンクション出力許可レジスタ0 (PFOE0) を変更	
	図4-16 ポート・ファンクション出力許可レジスタ1 (PFOE1) を変更	
	表4-5 基本的な設定の考え方 表 および 注1を変更	
	4.5.2 出力機能を使用しない兼用機能のレジスタ設定 説明を変更	
	表4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ 96 KB・128 KBの30ピン製品～64ピン製品) を変更	
	表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ 192 KB～768 KBの製品、フラッシュ・メモリ 128 KBの80ピン・100ピン製品) を変更	
	表5-2 各フラッシュ動作モードの特長 注を変更	
	図6-1 クロック発生回路のブロック図 および 備考を変更	第6章 クロック発生回路
	図6-7 周辺イネーブル・レジスタ0 (PER0)のフォーマット を変更および 注を削除	
	図6-8 周辺イネーブル・レジスタ1 (PER1)のフォーマット を変更および 注を削除	
図6-9 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット および 注2, 3, 4 を変更		
6.3.8 サブシステム・クロック選択レジスタ (CKSEL) 説明を変更		

版数	内容	適用箇所
Rev.0.90	図6-10 サブシステム・クロック選択レジスタ (CKSEL) のフォーマット および注を変更	第6章 クロック発生回路
	6.5 クロック発生回路の動作 説明を変更	
	表6-2 CPUクロックの移行とSFRレジスタの設定例 を変更	
	図7-11 周辺イネーブル・レジスタ0 (PER0) のフォーマット を変更	第7章 タイマ・アレイ・ユニット (TAU)
	図7-12 周辺リセット制御レジスタ0 (PRR0) のフォーマット を変更	
	図7-19 タイマ入力選択レジスタ0 (TIS0) のフォーマット を変更	
	7.10.2 タイマ出力をELCLのイベント入力として使用するときの注意事項 説明を変更	
	図8-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット および注1, 注意を変更	第8章 リアルタイム・クロック (RTC)
	9.1 概要 説明を変更	第9章 32ビット・インターバル・タイマ (TML32)
	表9-1 32ビット・インターバル・タイマの動作仕様 および 備考を変更	
	図9-1 32ビット・インターバル・タイマのブロック図 および 説明を変更	
	表9-2 レジスター一覧 を変更	
	図9-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット を変更 および 注を削除	
	図9-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット を変更	
	9.2.4 インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0mn) (mn = 00, 01, 12, 13) タイトル および 説明を変更	
	図9-4 インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0mn) のフォーマット を変更	
	9.2.5 インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n) (n = 0, 1) 説明を変更	
	図9-5 インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n) のフォーマット を変更	
	9.2.6 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) 説明を変更	
	図9-6 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) のフォーマット を変更	
	図9-7 インターバル・タイマ制御レジスタ (ITLCTL0) のフォーマット および 説明を変更	
	図9-8 インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0) のフォーマット および 備考 を変更	
	9.2.9 インターバル・タイマ分周レジスタ0 (ITLFDIV00) 説明 を変更	
	図9-9 インターバル・タイマ分周レジスタ0 (ITLFDIV00) のフォーマット および 注1 を変更	
	9.2.10 インターバル・タイマ分周レジスタ1 (ITLFDIV01) 説明を変更	
	図9-10 インターバル・タイマ分周レジスタ1 (ITLFDIV01) のフォーマット 注1, 2 を変更	

版数	内容	適用箇所
Rev.0.90	図9-11 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) のフォーマットを変更 および注7を追加	第9章 32ビット・インターバル・タイマ (TML32)
	9.2.12 インターバル・タイマ・ステータス・レジスタ (ITLS0) 説明を変更	
	表9-3 モードごとの割り込みステータス・フラグのセット要因を変更	
	9.2.13 インターバル・タイマ一致検出マスク・レジスタ (ITLMKF0) 説明を変更	
	表9-4 8ビット・カウンタ・モード時の使用レジスタと設定値 および備考を変更	
	表9-5 16ビット・カウンタ・モード時の使用レジスタと設定値を変更	
	表9-6 32ビット・カウンタ・モード時の使用レジスタと設定値を変更	
	表9-7 16ビット・キャプチャ・モード時の使用レジスタと設定値 注意を追加	
	9.3.3 タイマ動作 説明を変更	
	図9-14 タイマ動作例 および備考を変更	
	9.3.4 キャプチャ動作 説明を変更	
	図9-15 キャプチャ動作例 および備考を変更	
	表9-8 8/16/32ビット・カウンタ・モード時割り込み要因を変更	
	図9-16 32ビット・インターバル・タイマの動作開始手順を変更	
	図9-17 32ビット・インターバル・タイマの動作停止手順を変更	
	図9-18 32ビット・インターバル・タイマの動作モード変更手順を変更	
	図9-19 32ビット・インターバル・タイマのリセット手順を変更	
	図9-20 ELCLからのイベント入力の動作開始手順を変更	
	図9-21 ELCLからのイベント入力の動作停止手順を変更	
	10.1 クロック出力/ブザー出力制御回路の機能 注意を変更	
	図10-1 クロック出力/ブザー出力制御回路のブロック図を変更	
	図10-2 クロック出力選択レジスタn (CKSn) のフォーマットおよび注意3, 備考2を変更	
	12.3 A/Dコンバータを制御するレジスタ 説明を変更	第12章 A/Dコンバータ (ADC)
	図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマットを変更	
	図12-3 周辺リセット制御レジスタ0 (PRR0) のフォーマットを変更	
	表12-3 A/D変換時間の選択を変更	
	図12-8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマットを変更	
	12.8.2 ハードウェア・トリガの入力によるA/D変換 説明を変更 および注意を追加	
	12.10 A/Dコンバータ使用時の注意事項 説明を変更	
	図12-52 アナログ入力端子の処理を変更	
	第13章 D/Aコンバータ (DAC) 説明を追加	第13章 D/Aコンバータ (DAC)
	図13-1 D/Aコンバータのブロック図を変更	
	図13-2 周辺イネーブル・レジスタ1 (PER1) のフォーマットを変更、注を削除	
図13-3 周辺リセット制御レジスタ1 (PRR1) のフォーマットを変更		
13.4.2 リアルタイム出力モード時の動作 説明を変更		
図13-6 D/A変換値の出力タイミングを変更		

(9/32)

版数	内容	適用箇所
Rev.0.90	13.5 D/Aコンバータ使用時の注意事項(8)を削除	第13章 D/Aコンバータ(DAC)
	図14-1 コンパレータのブロック図を変更	第14章 コンパレータ(CMP)
	図14-2 周辺イネーブル・レジスタ1(PER1)のフォーマットを変更および注を削除	
	図14-3 周辺リセット制御レジスタ1(PRR1)のフォーマットを変更および注2を追加	
	図14-4 コンパレータ・モード設定レジスタ(COMPMDR)のフォーマット注3を追加	
	図15-1 シリアル・アレイ・ユニット0のブロック図を変更	第15章 シリアル・アレイ・ユニット(SAU)
	図15-2 シリアル・アレイ・ユニット1のブロック図を変更	
	図15-5 周辺イネーブル・レジスタ0(PER0)のフォーマットを変更	
	図15-6 周辺リセット制御レジスタ0(PRR0)のフォーマットを変更	
	図15-22 入力切り替え制御レジスタ(ISC)のフォーマットを変更および注1~4を追加	
	15.5.9 3線シリアルI/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)通信時におけるエラー発生時の処理手順 説明を変更	
	図16-5 周辺イネーブル・レジスタ0(PER0)のフォーマットを変更	第16章 シリアル・インタフェースIICA(IICA)
	図16-6 周辺リセット制御レジスタ0(PRR0)のフォーマットを変更	
	図16-7 IICAコントロール・レジスタn0(IICCTLn0)のフォーマット注2を変更	
	図17-1 UARTAnのブロック図および備考を変更	第17章 シリアル・インタフェースUARTA(UARTA)
	図17-2 周辺イネーブル・レジスタ1(PER1)のフォーマットを変更および注を削除	
	17.2.9 UARTAクロック選択レジスタ0(UTA0CK)説明を変更	
	図17-10 UARTA0クロック選択レジスタ(UTA0CK)のフォーマットおよび備考を変更	
	17.2.10 UARTAクロック選択レジスタ1(UTA1CK)説明を変更	
	図17-11 UARTA1動作モードレジスタ(UTA1CK)のフォーマットおよび備考を変更	
	17.3.2 UARTモード(4)通常送信 説明を変更	
	表17-8 ボー・レート・ジェネレータ設定データを変更	
	17.4.3 UARTAn動作クロック(fUTAn)選択時の注意事項 説明を変更	
	表18-1 リモコン信号受信機能の仕様および注2を変更	
	図18-1 リモコン信号受信機能のブロック図を変更	
	図18-2 周辺イネーブル・レジスタ1(PER1)のフォーマットを変更および注を削除	
	図18-3 周辺リセット制御レジスタ1(PRR1)のフォーマットを変更	
	図18-5 機能選択レジスタ1(REMCON1)のフォーマットを変更	

版数	内容	適用箇所
Rev.0.90	図 18 - 19 受信機能スタンバイ・コントロール・レジスタ (REMSTC) のフォーマットを変更	第 18 章 リモコン信号受信機能 (REMC)
	18.3.4 動作クロック 説明を変更	
	図 18 - 28 RIN0 内部入力信号生成 を変更	
	18.3.5 RIN0入力 説明を変更	
	18.3.12 割り込み 説明を変更	
	18.3.13 SNOOZEモード機能説明 および 備考 を変更	
	図 18 - 44 SNOOZEモード設定のフロー・チャートの例 を変更	
	18.4.1 リモコン信号受信機能の動作開始時のレジスタアクセス タイトルを変更	
	18.4.2 レジスタ変更タイミング タイトルを変更	
	18.4.4 動作クロックの変更 タイトルを変更	
	図 19 - 5 周辺イネーブル・レジスタ 1 (PER1)のフォーマット 注を削除	第 19 章 データ・トランスファ・コントローラ (DTC)
	19.5.8 スタンバイ・モード時の動作 説明 を変更および 注1を追加	
	表 20 - 1 論理セルブロックL1の接続 注2を変更	第 20 章 ロジック&イベント・リンク・コントローラ (ELCL)
	表 20 - 2 論理セルブロックL2の接続 注2を変更	
	表 20 - 3 論理セルブロックL3の接続 注2を変更	
	図 20 - 5 入力信号選択レジスタ n (ELISELn) (n = 0-11)のフォーマット 注3, 4 および 注意2を変更	
	図 20 - 6 イベント・リンクL1信号選択レジスタ n (ELL1SELn) (n = 0-3)のフォーマット 注意2を変更	
	図 20 - 7 イベント・リンクL1信号選択レジスタ n (ELL1SELn) (n = 4, 5)のフォーマット 注意2を変更	
	図 20 - 8 イベント・リンクL1信号選択レジスタ 6 (ELL1SEL6)のフォーマット 注意2を変更	
	図 20 - 9 論理セルブロックL1制御レジスタ (ELL1CTL)のフォーマット 注意2を変更	
図 20 - 10 イベント・リンクL1出力選択レジスタ n (ELL1LNKn) (n = 0-3)のフォーマット 注意3を変更		
図 20 - 11 イベント・リンクL1出力選択レジスタ n (ELL1LNKn) (n = 4, 5)のフォーマット 注意3を変更		
図 20 - 12 イベント・リンクL1出力選択レジスタ 6 (ELL1LNK6)のフォーマット 注意2を変更		
図 20 - 13 イベント・リンクL2信号選択レジスタ n (ELL2SELn) (n = 0-3)のフォーマット 注意2を変更		
図 20 - 14 イベント・リンクL2信号選択レジスタ n (ELL2SELn) (n = 4, 5)のフォーマット 注意2を変更		
図 20 - 15 イベント・リンクL2信号選択レジスタ 6 (ELL2SEL6)のフォーマット 注意2を変更		

(11/32)

版数	内容	適用箇所
Rev.0.90	図20-16 論理セルブロックL2制御レジスタ (ELL2CTL)のフォーマット 注意2を変更	第20章 ロジック&イベント・リンク・コントローラ (ELCL)
	図20-17 イベント・リンクL2出力選択レジスタ n (ELL2LNKn) (n = 0-3)のフォーマット 注意3を変更	
	図20-18 イベント・リンクL2出力選択レジスタ n (ELL2LNKn) (n = 4, 5)のフォーマット 注意3を変更	
	図20-19 イベント・リンクL2出力選択レジスタ 6 (ELL2LNK6)のフォーマット 注意2を変更	
	図20-20 イベント・リンクL3信号選択レジスタ n (ELL3SELn) (n = 0-3)のフォーマット 注意2を変更	
	図20-21 イベント・リンクL3信号選択レジスタ n (ELL3SELn) (n = 4, 5)のフォーマット 注意2を変更	
	図20-22 イベント・リンクL3信号選択レジスタ 6 (ELL3SEL6)のフォーマット 注意2を変更	
	図20-23 論理セルブロックL3制御レジスタ (ELL3CTL)のフォーマット および 注意2を変更	
	図20-24 イベント・リンクL3出力選択レジスタ n (ELL3LNKn) (n = 0-3)のフォーマット 注意3を変更	
	図20-25 イベント・リンクL3出力選択レジスタ n (ELL3LNKn) (n = 4, 5)のフォーマット 注意3を変更	
	図20-26 イベント・リンクL3出力選択レジスタ 6 (ELL3LNK6)のフォーマット 注意2を変更	
	図20-27 出力信号選択レジスタ n (ELOSELn) (n = 0-7) のフォーマットを変更	
	図20-28 出力信号イネーブル設定レジスタ (ELOENCTL) のフォーマット 注を変更	
	表20-5 出力信号のイネーブル設定レジスタに対応するイベント受付側 (周辺機能) の接続を変更 および 注4を追加	
	20.6 ELCL 接続時の注意事項 (1), (3) を変更	
	23.1 スタンバイ機能 注意2を変更	第23章 スタンバイ機能
	23.2.2 メモリ電力削減制御レジスタ (PSMCR) 説明を追加	
	表23-1 HALTモード時の動作状態(1) を変更	
	表23-2 HALTモード時の動作状態(2) を変更	
	表23-3 STOPモード時の動作状態 および 備考1を変更	
表23-4 SNOOZEモード時の動作状態 および 備考1を変更		
図24-7 周辺リセット制御レジスタ 0 (PRR0) のフォーマットを変更	第24章 リセット機能	
図24-8 周辺リセット制御レジスタ 1 (PRR1) のフォーマットを変更		
25.1 パワーオン・リセット回路の機能 説明を変更	第25章 パワーオン・リセット回路 (POR)	
図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング 注意を変更		

(12/32)

版数	内容	適用箇所
Rev.0.90	図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング備考2を変更	第25章 パワーオン・リセット回路 (POR)
	26.1 電圧検出回路の機能説明を変更	第26章 電圧検出回路 (LVD)
	図26-3 電圧検出レジスタ (LVIM) のフォーマットを変更 および注4を追加	
	図26-5 電圧検出レベル・レジスタ (LVIS) のフォーマットおよび注1,2を変更	
	26.4.1 リセット・モードとして使用する場合の設定説明を変更	
	図26-7 LVD1の内部リセット信号発生タイミングを追加	
	26.4.2 割り込みモードとして使用する場合の設定説明を変更	
	図26-9 LVD1の割り込み信号発生タイミングを追加	
	図27-23 UARTループバック選択レジスタ (ULBS) のフォーマットを変更	第27章 安全機能
	図29-2 周辺イネーブル・レジスタ1 (PER1) のフォーマットを変更 および注を削除	第29章 SNOOZEモード・シーケンサ (SMS)
	図29-3 周辺リセット制御レジスタ1 (PRR1) のフォーマットを変更	
	表29-3 SMSIpレジスタに設定できる処理の一覧注3を変更	
	29.5 シーケンサ処理コマンド説明を変更	
	29.5.1 8ビット・データ転送処理1説明を変更	
	29.5.2 8ビット・データ転送処理2説明を変更	
	29.5.3 16ビット・データ転送処理1説明を変更	
	29.5.4 16ビット・データ転送処理2説明を変更	
	29.5.5 1ビット・データ・セット処理説明を変更	
	29.5.6 1ビット・データ・クリア処理説明を変更	
	29.5.7 1ビット・データ転送処理説明を変更	
	29.5.12 分岐処理1 (SCY = 1)説明を変更	
	29.5.13 分岐処理2 (SCY = 0)説明を変更	
	29.5.14 分岐処理3 (SZ = 1)説明を変更	
	29.5.15 分岐処理4 (SZ = 0)説明を変更	
	29.5.16 ウェイト処理説明 および注1を変更	
	29.5.17 条件付きウェイト処理1 (bit = 1)説明を変更	
	29.5.18 条件付きウェイト処理2 (bit = 0)説明を変更	
	29.5.19 終了処理説明を変更	
	29.5.20 割り込み&終了処理説明を変更	
	29.6 スタンバイ・モード時の動作説明を変更 および注1を追加	
	30.2 CTSUを制御するレジスタ説明を変更	第30章 静電容量センサユニット (CTSU2L)
	図30-5 周辺イネーブル・レジスタ1 (PER1) のフォーマットを変更 注を削除	
	図30-6 周辺リセット制御レジスタ1 (PRR1) のフォーマットを変更	
30.2.10 CTSU センサカウンタレジスタL, H (CTSUSC, CTSUUC) タイトルを変更		

版数	内容	適用箇所
Rev.0.90	図30-14 CTSU センサカウンタレジスタL, H (CTSUSC, CTSUUC) のフォーマット タイトルを変更	第30章 静電容量センサユニット (CTSUL2L)
	30.2.13 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1) タイトルおよび説明を変更	
	図30-17 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1) のフォーマット タイトルを変更	
	30.2.14 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3) を追加	
	図32-2 ユーザ・オプション・バイト (000C1H/040C1H) のフォーマットを変更	第32章 オプション・バイト
	図32-3 ユーザ・オプション・バイト (000C1H/040C1H) のフォーマットを変更	
	34.2 外部デバイス (UART内蔵) との接続 注3を追加	第34章 オンチップ・デバッグ機能
	表36-16 オペレーション一覧 注意を変更	第36章 命令セットの概要
	37.2.1 X1, XT1 発振回路特性 を変更	第37章 電気的特性 TA = -40°C ~ +105°C (ターゲット)
	37.2.2 オンチップ・オシレータ特性 を変更	
	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュROM96~128KBの製品 (1/4) 注2を変更	
	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュROM96~128KBの製品 (2/4) 注3を変更	
	37.3.2 電源電流特性 (2) 周辺機能 (全製品共通) を変更	
	37.4 AC特性 を変更	
	37.6.4 コンパレータ特性 を変更	
	37.6.6 LVD回路特性 (1) LVD0 リセット・モード、割り込みモードのLVD検出電圧を変更	
	37.6.6 LVD回路特性 (2) LVD1 リセット・モード、割り込みモードのLVD検出電圧を変更 および 注を追加	
	37.6.7 電源電圧立ち上がり特性 注意を変更	
Rev.1.00	CSIの名称をCSI→SPI(CSI)に変更	全般
	ウェイト→クロック・ストレッチに変更	
	1.1 特徴 注を追加	第1章 概説
	1.1 特徴 説明を追加	
	図1-1 RL78/G23の型名とメモリ・サイズ、パッケージを変更	
	表1-1 発注型名一覧 を変更 および 注2, 3を追加	
	図4-12 出力電流制御許可レジスタのフォーマット (CCDE) 注意2を変更	第4章 ポート機能
	4.4.5 入出力バッファによる異電位 (1.8V系、2.5V系、3V系) 対応 (1) UART0-UART3, UARTA0, UARTA1, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の入力ポートをTTL入力バッファで使用する場合の設定手順 注を追加	
	表4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ96KB・128KBの30ピン製品~64ピン製品) を変更	

版数	内容	適用箇所	
Rev.1.00	表4-8 端子機能使用時のレジスタ、出力ラッチの設定例（フラッシュ・メモリ192KB～768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品）を変更	第4章 ポート機能	
	図6-1 クロック発生回路のブロック図 および 備考 を変更	第6章 クロック発生回路	
	図8-19 リアルタイム・クロックの動作開始手順 を変更	第8章 リアルタイム・クロック (RTC)	
	表12-4 等価回路の各抵抗と容量値（参考値）を変更	第12章 A/Dコンバータ (ADC)	
	第15章 シリアル・アレイ・ユニット (SAU) 注を追加	第15章 シリアル・アレイ・ユニット (SAU)	
	図15-1 シリアル・アレイ・ユニット0のブロック図 を変更		
	15.3.15 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) 注意を変更		
	15.6.3 SNOOZEモード機能 注意2を変更		
	図17-1 UARTAnのブロック図 を変更	第17章 シリアル・インタフェースUARTA (UARTA)	
	図17-5 動作モード設定レジスタ0 (ASIMAn0) のフォーマット 注意4を変更		
	図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング 注3を変更	第25章 パワーオン・リセット回路 (POR)	
	26.1 電圧検出回路の機能 説明を変更	第26章 電圧検出回路 (LVD)	
	図26-1 LVD0のブロック図 を変更		
	図26-2 LVD1のブロック図 を変更		
	26.3.1 電圧検出レジスタ (LVIM) 説明を変更		
	図26-3 電圧検出レジスタ (LVIM) のフォーマット 注1を変更		
	図26-5 電圧検出レベル・レジスタ (LVIS) のフォーマット および 注2を変更、注3,4 を追加		
	26.4.1 リセット・モードとして使用する場合の設定 説明を変更		
	図26-6 LVD0の内部リセット信号発生のタイミング を変更		
	図26-7 LVD1の内部リセット信号発生のタイミング および 備考 を変更		
	図26-8 LVD0の割り込み信号発生のタイミング を変更		
	図26-9 LVD1の割り込み信号発生のタイミング および 備考 を変更		
	26.5 電圧検出回路使用時の注意事項 (5) を追加		
	図27-13 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマットを変更		第27章 安全機能
	表30-1 CTSUの機能概要 を変更		第30章 静電容量センサユニット (CTSUL2L)
	図30-7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマットを変更		
	図30-8 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマットを変更		
	図30-9 CTSU計測チャンネルレジスタL, H (CTSUMCHL, CTSUMCHH) のフォーマットを変更		

版数	内容	適用箇所
Rev.1.00	図30 - 11 CTSUチャネル送受信制御レジスタAL, AH, BL, BH (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH) のフォーマット 注意4を変更	第30章 静電容量センサユニット (CTSU2L)
	図30 - 12 CTSUステータスレジスタL (CTSUSRL) のフォーマットを変更	
	図30 - 13 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) のフォーマットを変更	
	図30 - 15 CTSU キャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) のフォーマットを変更	
	第33章 フラッシュ・メモリ 説明を変更	第33章 フラッシュ・メモリ
	33.2 外部デバイス (UART内蔵) によるシリアル・プログラミング 説明を変更	
	33.4.2 フラッシュ・メモリ・プログラミング・モード 説明を変更	
	33.4.4 通信コマンド 説明を変更	
	33.6 セルフ・プログラミング 備考を削除	
	33.6.1 セルフ・プログラミング手順 説明を変更	
	33.6.2 フラッシュ・メモリを制御するレジスタ を追加	
	33.6.3 フラッシュ・メモリ制御モードの設定 を追加	
	33.6.4 フラッシュ・メモリ・シーケンサ用レジスタのクリア を追加	
	33.6.5 フラッシュ・メモリ・シーケンサの動作周波数設定 を追加	
	33.6.6 フラッシュ・メモリ・シーケンサ・コマンド を追加	
	33.6.8 フラッシュ・シールド・ウインドウ機能 を変更	
	図33 - 29 フラッシュ・シールド・ウインドウの設定例 (対象デバイス: R7F100GLG、先頭ブロック: 04H、終了ブロック: 06H、FSWC: 1の場合) を変更	
	表33 - 13 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係 を変更	
	33.6.9 コード・フラッシュ・プログラミング・モード中の割り込み を追加	
	33.6.10 フラッシュ領域書き換え時のコマンドの実行例 を追加	
33.6.11 セルフ・プログラミング時の注意事項 を追加		
37.2.2 オンチップ・オシレータ特性 および 注1. を変更	第37章 電気的特性 TA = -40°C ~ +105°C	
37.3.2 電源電流特性 (1) 30 ~ 64 ピン製品のフラッシュ ROM96 ~ 128 KBの製品を変更		
37.3.2 電源電流特性 (2) 周辺機能 (全製品共通) を変更		
37.3.2 電源電流特性 (2) 周辺機能 (全製品共通) 注15, 16, 17, 18 を追加		
37.4 AC特性 を変更		
37.5.1 シリアル・アレイ・ユニット (1) 同電位通信、UARTモード時 注1 を変更		
37.5.1 シリアル・アレイ・ユニット (2) 同電位通信、SPI (CSI) モード時 (マスク・モード、SCKp...内部クロック出力、CSI01のみ対応) を変更		

版数	内容	適用箇所
Rev.1.00	37.5.1 シリアル・アレイ・ユニット (3) 同電位通信、SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力) を変更	第37章 電気的特性 TA = -40°C ~ +105°C
	37.5.1 シリアル・アレイ・ユニット (5) 同電位通信、簡易I <sup>2</sup> Cモード時 を変更	
	37.5.1 シリアル・アレイ・ユニット (6) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、UARTモード時 注1 を変更	
	37.5.1 シリアル・アレイ・ユニット (7) 異電位 (2.5 V系、3 V系) 通信、SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力、CSI00のみ対応) を変更	
	37.5.1 シリアル・アレイ・ユニット (8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力) を変更	
	37.5.1 シリアル・アレイ・ユニット (9) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、SPI (CSI) モード時 (スレーブ・モード、SCKp... 外部クロック入力) を変更	
	37.5.1 シリアル・アレイ・ユニット (10) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易I <sup>2</sup> Cモード時 を変更	
	37.6.1 A/Dコンバータ特性 (1) 標準モード1, 2 を変更	
	37.6.1 A/Dコンバータ特性 (2) 低電圧モード1, 2 を変更	
	37.6.1 A/Dコンバータ特性 (3) 基準電圧 (+) に内部基準電圧を選択 を変更	
	37.6.1 A/Dコンバータ特性 (4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0)、基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1) 選択時、変換対象 : ANI0, ANI2-ANI14, ANI16-ANI26 を削除	
	37.6.6 LVD回路特性 (1) LVD0 リセット・モード、割り込みモードのLVD検出電圧 を変更	
	37.6.6 LVD回路特性 (2) LVD1 リセット・モード、割り込みモードのLVD検出電圧 および注 を変更	
	37.8 フラッシュ・メモリ・プログラミング特性 (1) コード・フラッシュ を追加	
37.8 フラッシュ・メモリ・プログラミング特性 (2) データ・フラッシュ を追加		
Rev.1.10	3線シリアルSPIを簡易SPIに変更	全般
	SPIを簡易SPIに変更	
	1.1 特徴 中速オンチップ・オシレータ 説明を変更	第1章 概説
	1.1 特徴 タイマ 説明を変更	
	図1 - 1 RL78/G23の型名とメモリ・サイズ、パッケージを変更	
	1.3.5 44ピン製品 図を変更	
	1.3.6 48ピン製品 図の注2を変更	
	1.3.6 48ピン製品 図の備考3を追加	
	1.5 ブロック図 図を変更	
	1.6 機能概要【30ピン、32ピン、36ピン、40ピン、44ピン、48ピン製品】説明を変更	
	1.6 機能概要【52ピン、64ピン、80ピン、100ピン、128ピン製品】説明を変更	
	2.1.1 30ピン製品~2.2.1 製品別の搭載機能 備考を変更	
	2.1.5 44ピン製品 説明を変更	

(17/32)

版数	内容	適用箇所
Rev.1.10	2.2.1 製品別の搭載機能 説明を変更	第2章 端子機能
	2.2.2 機能説明 説明を変更	
	表2-3 各端子の未使用端子処理 表の説明を変更、注を追加	
	図2-20 端子タイプ7-39-1の端子ブロック図 を変更、注意2を追加	
	図2-25 端子タイプ8-31-1の端子ブロック図 を変更	
	図2-33 端子タイプ12-38-3の端子ブロック図 注意を変更	
	表3-8 拡張SFR (2nd SFR) 一覧 を変更	第3章 CPU アーキテクチャ
	表4-1 ポートの構成 説明を変更	第4章 ポート機能
	4.2.6 ポート5注3を追加	
	4.3.1 ポート・モード・レジスタ (PMxx) 説明を変更	
	図4-1 ポート・モード・レジスタ (PMxx) のフォーマット タイトルを変更	
	4.3.2 ポート・レジスタ (Pxx) 説明を変更	
	図4-2 ポート・レジスタ (Pxx) のフォーマット タイトルを変更	
	4.3.3 プルアップ抵抗オプション・レジスタ (PUxx) 説明を変更	
	図4-3 プルアップ抵抗オプション・レジスタ (PUxx) のフォーマット タイトルを変更	
	4.3.4 ポート入力モード・レジスタ (PIMxx) 説明を変更	
	図4-4 ポート入力モード・レジスタ (PIMxx) のフォーマット (128ピン製品) タイトルを変更	
	図4-5 ポート出力モード・レジスタ (POMxx) のフォーマット タイトルを変更	
	図4-6 ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) のフォーマット タイトルを変更	
	4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) 説明を変更	
	図4-7 ポート・モード・コントロールA・レジスタ (PMCAxx) レジスタのフォーマット タイトルを変更、注意4を追加	
	図4-8 ポート・モード・コントロールT・レジスタ (PMCTxx) のフォーマット タイトルを変更	
	図4-9 ポート・モード・コントロールE・レジスタ (PMCExx) のフォーマット タイトルを変更	
	図4-12 出力電流制御許可レジスタ (CCDE) のフォーマット を変更、注1を追加	
	図4-13 出力電流選択レジスタ (CCSx) のフォーマット タイトルを変更	
	図4-15 ポート・ファンクション出力許可レジスタ0 (PFOE0) のフォーマット 説明を変更	
	図4-16 ポート・ファンクション出力許可レジスタ1 (PFOE1) のフォーマット 説明を変更	
	4.4.5 入出力バッファによる異電位 (1.8V系、2.5V系、3V系) 対応 説明を変更	
	4.5.2 出力機能を使用しない兼用機能のレジスタ設定 (6) TxDAp = 1 / CLKAp = 0 (UARTAを使用しない場合の設定) タイトルを変更、説明を変更	

(18/32)

版数	内容	適用箇所
Rev.1.10	4.5.4 使用するポート機能および兼用機能のレジスタ設定例 注意を追加	第4章 ポート機能
	表4-7 端子機能使用時のレジスタ、出力ラッチの設定例（フラッシュ・メモリ96 KB・128 KBの30ピン製品～64ピン製品）説明を変更	
	表4-8 端子機能使用時のレジスタ、出力ラッチの設定例（フラッシュ・メモリ192 KB～768 KBの製品、フラッシュ・メモリ128 KBの80ピン・100ピン製品）説明を変更	
	表5-2 各フラッシュ動作モードの特長 説明を変更	第5章 オペレーション・ステート・コントロール
	図5-2 フラッシュ動作モード選択レジスタ（FLMODE）のフォーマット 注意7を変更	
	5.5.3 LP（低電力メイン）モードの詳細 説明を変更	
	図6-3 システム・クロック制御レジスタ（CKC）のフォーマット 注意4,5を追加	第6章 クロック発生回路
	図6-9 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット説明を変更	
	7.3.2 周辺リセット制御レジスタ0（PRR0）説明を変更	第7章 タイマ・アレイ・ユニット（TAU）
	9.1 概要 説明、図を追加	第9章 32ビット・インターバル・タイマ（TML32）
	表9-1 32ビット・インターバル・タイマの動作仕様 説明、備考を変更	
	9.2.2 周辺リセット制御レジスタ1（PRR1）説明を変更	
	図9-4 インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn）のフォーマット タイトルを変更	
	9.2.4 インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）（n = 0, 1）説明を変更	
	9.2.5 インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）説明を変更	
	図9-7 インターバル・タイマ制御レジスタ（ITLCTL0）のフォーマット 説明を変更	
	図9-8 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）のフォーマット備考を変更	
	図9-9 インターバル・タイマ分周レジスタ0（ITLFDIV00）のフォーマット 説明を変更	
	図9-10 インターバル・タイマ分周レジスタ1（ITLFDIV01）のフォーマット 説明を変更	
	図9-11 インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）のフォーマット 説明を変更	
	9.2.11 インターバル・タイマ・ステータス・レジスタ（ITLS0）説明を変更	
	図9-12 インターバル・タイマ・ステータス・レジスタ（ITLS0）のフォーマット注、注意1, 注意2を変更、備考を削除	
	表9-2 モードごとのステータス・フラグのセット要因 タイトル、説明を変更	
9.2.12 インターバル・タイマ一致検出マスク・レジスタ（ITLMKF0）説明を変更		
図9-13 インターバル・タイマ一致検出マスク・レジスタ（ITLMKF0）のフォーマット注を変更		

(19/32)

版数	内容	適用箇所
Rev.1.10	9.3.1 カウンタ・モードの設定 説明を変更	第9章 32ビット・インターバル・タイマ (TML32)
	表9-3 8ビット・カウンタ・モード時の使用レジスタと設定内容 説明を変更	
	表9-4 16ビット・カウンタ・モード時の使用レジスタと設定内容 タイトル、説明を変更	
	表9-5 32ビット・カウンタ・モード時の使用レジスタと設定内容 タイトル、説明を変更	
	9.3.2 キャプチャ・モードの設定 説明を変更	
	表9-6 16ビット・キャプチャ・モード時の使用レジスタと設定内容 タイトル、説明、注を変更	
	9.3.4 キャプチャ動作 説明を変更	
	9.3.5 割り込み動作 タイトル追加、説明を変更	
	図9-16 検出フラグのクリア例 を追加	
	図9-17 32ビット・インターバル・タイマの動作開始手順 を変更	
	12.3.2 周辺リセット制御レジスタ0 (PRR0) 説明を変更	第12章 A/Dコンバータ (ADC)
	表12-3 A/D変換時間の選択 (3) A/D電源安定待ち時間あり 標準モード1, 2 表の説明を変更	
	図12-10 12ビット/10ビットA/D変換結果レジスタ (ADCRn) のフォーマット 注意3を追加	
	図12-12 アナログ入力チャネル指定レジスタ (ADS) のフォーマット 説明を変更、注意9を追加	
	図12-19 ソフトウェア・セレクト・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例 注意を変更	
	図12-21 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例 注意を変更	
	図12-23 ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例 注意を変更	
	図12-25 ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例 注意を変更	
	図12-26 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例 注意を変更	
図12-27 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例 注意を変更		
図12-28 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例 注意を変更		
図12-29 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例 注意を変更		
図12-31 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例 注意を変更		

版数	内容	適用箇所	
Rev.1.10	図 12 - 33 ハードウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例 注意を変更	第 12 章 A/Dコンバータ (ADC)	
	12.10 A/Dコンバータ使用時の注意事項 説明を変更		
	13.3.2 周辺リセット制御レジスタ 1 (PRR1) 説明を変更	第 13 章 D/Aコンバータ (DAC)	
	14.3.2 周辺リセット制御レジスタ 1 (PRR1) 説明を変更	第 14 章 コンパレータ (CMP)	
	15.1.1 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 注意を追加	第 15 章 シリアル・アレイ・ユニット (SAU)	
	15.3.2 周辺リセット制御レジスタ 0 (PRR0) 説明を変更		
	図 15 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (1/2) 注意を変更		
	図 15 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (2/2) 注意を変更		
	15.5 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作 注意を追加		
	図 15 - 35 3線シリアルSPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例 (b) シリアル通信動作設定レジスタ mn (SCRmn) 説明を変更		
	表 15 - 3 SNOOZEモード時のUART受信ポー・レート設定 (高速オンチップ・オシレータ通常起動 (FWKUP = 0)) 追加		
	表 15 - 4 SNOOZEモード時のUART受信ポー・レート設定 (高速オンチップ・オシレータ高速起動 (FWKUP = 1)) 追加		
	図 17 - 3 送信バッファ・レジスタ (TXBAn) のフォーマット 備考を変更		第 17 章 シリアル・インタフェースUARTA (UARTA)
	図 17 - 6 動作モード設定レジスタ 1 (ASIMAn1) のフォーマット 注を変更		
	図 17 - 8 ステータス・レジスタ (ASISAn) のフォーマット 注意2, 注意3を変更		
	図 17 - 13 通信手順フロー 注意を変更		
	17.3.2 UARTモード (4) 通常送信 説明を変更		
	図 17 - 16 割り込み出カタイミング を変更		
	17.3.2 UARTモード (5) 連続送信 説明、注意1を変更		
	図 17 - 18 割り込みによる連続送信処理フロー例 を変更		
	17.3.2 UARTモード (6) 通常受信 説明を変更		
	17.3.2 UARTモード (7) 受信エラー 説明を変更		
	図 17 - 22 ISRMAAnビットによる割り込み出力波形 を変更	第 18 章 リモコン信号受信機能 (REMC)	
	18.2.2 周辺リセット制御レジスタ 1 (PRR1) 説明を変更		
	18.3.4.1 REMC動作クロックとしてfsxpを使用する場合 説明を変更	第 23 章 スタンバイ機能	
	表 18 - 6 割り込みモードとSNOOZEモードからの遷移 説明を変更、注を追加		
	図 23 - 2 メモリ電力削減制御レジスタ (PSMCR) のフォーマット 注意3を追加		
	図 23 - 4 シャットダウン・モードから通常モードへの設定手順 注意を追加		

版数	内容	適用箇所	
Rev.1.10	表 23 - 1 HALT モード時の動作状態 (1) 説明を追加	第23章 スタンバイ機能	
	表 23 - 2 HALT モード時の動作状態 (2) 説明を追加		
	表 23 - 3 STOP モード時の動作状態 説明を追加		
	表 23 - 4 SNOOZE モード時の動作状態 (2/2) 説明を追加		
	表 24 - 1 リセット期間中の動作状態 説明を変更	第24章 リセット機能	
	24.2.1 リセット・コントロール・フラグ・レジスタ (RESF) 説明を変更		
	表 24 - 5 PRR1の各ビットにおける制御対象 説明を変更		
	図 26 - 11 LVD0, LVD1 リセット要因発生からLVD0, LVD1 リセット発生または解除までの遅延 説明を変更	第26章 電圧検出回路 (LVD)	
	28.1.2.1 乱数シード・コマンド・レジスタ0 (TRNGSCRO) 説明を変更	第28章 セキュリティ機能	
	28.1.2.2 乱数シード・データ・レジスタ (TRNGSDR)) 説明を変更		
	図 28 - 3 真性乱数発生器の乱数シードの生成手順 を変更		
	28.2.2 フラッシュ・リード・プロテクションの設定 説明を変更		
	表 28 - 1 フラッシュ・リード・プロテクトの設定と機能 説明を変更		
	表 28 - 2 フラッシュ・リード・プロテクションの設定方法 説明、注、注意4を変更		
	28.2.3 動作説明 説明を変更		
	29.3.2 周辺リセット制御レジスタ1 (PRR1) 説明を変更		第29章 SNOOZEモード・シーケンサ (SMS)
	表 29 - 1 SMSip レジスタのメモリ・アドレスとSMSCV0 - SMSCV4ビットの関係 注意1を変更		
	第30章 静電容量センサユニット (CTS U2L) を変更		第30章 静電容量センサユニット (CTS U2L)
	第30章 静電容量センサユニット (CTS U2L) 説明を変更		
	30.1 概要 説明を変更		
	表 30 - 1 CTSUの機能概要 説明を変更		
	図 30 - 3 CTSUのブロック図 を変更		
	図 30 - 4 センサドライブパルス出力のクロック構成 を変更		
	表 30 - 2 CTSUで使用する外部端子 説明を変更		
	図 30 - 6 周辺リセット制御レジスタ1 (PRR1) のフォーマット 説明を変更		
	図 30 - 7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット アドレス、説明を変更		
	図 30 - 8 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット アドレス、説明を変更		
	図 30 - 9 CTSU計測チャンネルレジスタL, H (CTS U MCHL, CTS U MCHH) のフォーマット アドレス、説明を変更		
	図 30 - 10 CTSUチャンネル有効制御レジスタAL, AH, BL, BH (CTS U CHACAL, CTS U CHACAH, CTS U CHACBL, CTS U CHACBH) のフォーマット アドレスを変更		
	図 30 - 11 CTSUチャンネル送受信制御レジスタAL, AH, BL, BH (CTS U CHTRCAL, CTS U CHTRCAH, CTS U CHTRCBL, CTS U CHTRCBH) のフォーマット アドレス、注意3を変更		

版数	内容	適用箇所
Rev.1.10	図30 - 12 CTSUステータスレジスタL (CTSUSURL) のフォーマット 説明を変更	第30章 静電容量センサユニット (CTSU2L)
	図30 - 13 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) のフォーマット アドレス、説明を変更	
	図30 - 14 CTSU センサカウンタレジスタL, H (CTSUSC, CTSUUC) のフォーマット アドレスを変更	
	図30 - 15 CTSU キャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) のフォーマット アドレス、説明を変更	
	図30 - 16 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3) のフォーマット アドレス、説明を変更	
	図30 - 17 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1) のフォーマット アドレスを変更	
	図30 - 18 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3) のフォーマット アドレスを変更	
	30.3 静電容量センサユニット使用時の注意事項 追加	
	31.1 レギュレータの概要 説明を変更	第31章 レギュレータ
	図32 - 2 ユーザ・オプション・バイト (000C1H/040C1H) のフォーマット 説明を変更	第32章 オプション・バイト
	図32 - 3 ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット 説明を変更	
	第33章 フラッシュ・メモリ 説明を変更	第33章 フラッシュ・メモリ
	図33 - 2 専用フラッシュ・メモリ・プログラマとの通信 を変更	
	表33 - 2 端子接続一覧 説明を変更	
	33.2.1 プログラミング環境 説明を削除	
	33.3.5 X1, X2端子 項を削除	
	33.6 セルフ・プログラミング 説明、注意2~注意4を変更	
	33.6.1 セルフ・プログラミング手順 説明を変更	
	図33 - 8 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ 変更	
	33.6.2 フラッシュ・メモリを制御するレジスタ 説明を変更	
	表33 - 10 書き込みが有効となる条件 を削除	
	図33 - 9 フラッシュ・アドレス・ポインタ・レジスタH, L (FLAPH, FLAPL) のフォーマット 注意1, 注意2を変更	
	図33 - 10 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L (FLSEDH, FLSEDL) のフォーマット 注意1, 注意2, 注意3を変更	
	表33 - 10 FLAPH, FLAPL, FLSEDH, FLSEDL レジスタの設定方法 説明、注を変更、注意1~3を削除	
	33.6.2.3 フラッシュ・ライト・バッファ・レジスタH, L (FLWH, FLWL) 説明を変更	
	図33 - 11 フラッシュ・ライト・バッファ・レジスタH, L (FLWH, FLWL) のフォーマット 注意1~3を変更	

(23/32)

版数	内容	適用箇所
Rev.1.10	33.6.2.4 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) 説明を変更	第33章 フラッシュ・メモリ
	33.6.2.5 フラッシュ・ステータス・レジスタ (PFS) 説明を変更	
	33.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) 説明を変更	
	図33-14 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット 注意を追加	
	33.6.2.7 フラッシュ領域選択レジスタ (FLARS) 説明を変更	
	図33-15 フラッシュ領域選択レジスタ (FLARS) のフォーマット 説明を変更、注意を追加	
	図33-16 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) のフォーマット 説明、注、注意を変更	
	表33-11 フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0設定値の関係 タイトル、説明を変更、注意を追加	
	33.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ) 説明を変更	
	図33-17 フラッシュ・シーケンサ制御レジスタ (FSSQ) のフォーマット 説明、注1~4、注意を変更、備考を削除	
	33.6.2.10 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) タイトル、説明を変更	
	図33-18 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) のフォーマット タイトル、説明、注、注意1, 注意3を変更	
	33.6.2.11 フラッシュ・レジスタ初期化レジスタ (FLRST) 説明を変更	
	図33-19 フラッシュ・レジスタ初期化レジスタ (FLRST) のフォーマット 説明、注意1, 注意2を変更、注を削除	
	図33-20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット 説明、リセット時の値を変更	
	33.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) 説明を変更	
	図33-21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) のフォーマット 説明を変更	
	図33-22 フラッシュ FSWモニタ・レジスタ E (FLFSWE) のフォーマット 説明、注を変更	
	図33-23 フラッシュ FSWモニタ・レジスタ S (FLFSWS) のフォーマット 説明を変更	
	33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL) 説明を変更	
	図33-24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット 説明を変更	
33.6.3 フラッシュ・メモリ制御モードの設定 説明を変更		
33.6.3.1 特定シーケンス実行手順 説明を変更		
33.6.3.4 非書き換えモード移行手順 説明、注を変更		

(24/32)

版数	内容	適用箇所
Rev.1.10	33.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化 タイトル、説明を変更	第33章 フラッシュ・メモリ
	33.6.5 フラッシュ・メモリ・シーケンサの動作周波数設定 注意を変更	
	33.6.6 フラッシュ・メモリの書き換え タイトルを変更	
	33.6.6.2 書き換え領域の選択 説明を変更	
	33.6.6.3 コード/データ・フラッシュ領域シーケンサ・コマンド 説明を変更	
	33.6.6.4 コード・フラッシュ領域書き換えの操作 説明を変更、注を追加	
	33.6.6.5 データ・フラッシュ領域書き換えの操作 説明を変更、注を追加	
	33.6.6.6 エクストラ領域シーケンサ・コマンド 説明を変更	
	33.6.6.7 エクストラ領域の書き換えの操作 説明を変更	
	33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ 注を追加、説明、注意を追加/変更	
	33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順 説明を変更	
	33.6.6.10 コード/データ・フラッシュ領域シーケンサのコマンドの強制終了手順 説明を変更	
	33.6.7.3 割り込み分岐先を変更する場合の操作 説明を変更	
	図33-29 エクストラ領域書き換え時のコマンド実行フローを変更	
	33.6.9 セルフ・プログラミング時の注意事項 説明を変更	
	33.7 ブート・スワップ機能 タイトルの階層、説明、注を変更	
	33.8 フラッシュ・シールド・ウインドウ機能 タイトルの階層を変更	
	図33-32 フラッシュ・シールド・ウインドウの設定例 を変更、注意1を変更	
	表33-12 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係 説明を変更	
	33.9 セキュリティ設定 説明を変更、注を追加	
	表33-13 セキュリティ機能有効時とコマンドの関係 を変更	
	表33-14 各プログラミング・モード時のセキュリティ設定方法 を変更	
	33.10.2 データ・フラッシュへのアクセス手順 注意4を追加	
	34.1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続 説明を追加	第34章 オンチップ・デバッグ機能
	34.2 外部デバイス (UART内蔵) との接続 説明を追加、注3を変更	
	34.3 オンチップ・デバッグ・セキュリティ タイトル、説明を変更	
	表34-1 オンチップ・デバッグ・セキュリティ ID 説明、注1を追加	
	37.1 絶対最大定格 注を変更	第37章 電気的特性 TA = -40°C ~ +105°C
	37.2.1 X1, XT1 発振回路特性 条件を変更	
	37.3.1 端子特性 注4~注6を変更	
	37.3.1 端子特性 注3、注5、注6を変更	
	37.3.2 電源電流特性 (1) 30~64ピン製品のフラッシュ ROM96~128KBの製品の説明を変更	
	37.3.2 電源電流特性 (2) 30~64ピン製品のフラッシュ ROM192~256KBの製品および80ピン製品のフラッシュ ROM128~256KBの製品を追加	

版数	内容	適用箇所
Rev.1.10	37.3.2 電源電流特性 (3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品 および100～128ピン製品を追加	第37章 電気的特性 TA = -40°C ~ +105°C
	37.3.2 電源電流特性 (4) 周辺機能（全製品共通）表の説明を追加、注13, 注14, 注16 を変更、注19を追加	
	37.5.2 シリアル・インタフェース UARTA を変更	
	37.6.1 A/Dコンバータ特性 (1) 標準モード1, 2表の説明を変更	
	37.6.1 A/Dコンバータ特性 (2) 低電圧モード1, 2表の説明を変更	
	37.6.4 コンパレータ特性 表の説明を変更	
	37.8 フラッシュ・メモリ・プログラミング特性 (2) データ・フラッシュ 表の説明を変更	
Rev.1.10	38.4 40ピン製品 図を追加	第38章 外形図
	38.6 48ピン製品 図を追加	
Rev.1.20	表1-1 発注型名一覧を変更	第1章 概説
	表1-2 30ピン製品の兼用機能 を追加	
	表1-3 32ピン製品の兼用機能 を追加	
	表1-4 36ピン製品の兼用機能 を追加	
	表1-5 40ピン製品の兼用機能 を追加	
	表1-6 44ピン製品の兼用機能 を追加	
	表1-7 48ピン製品の兼用機能 を追加	
	表1-8 52ピン製品の兼用機能 を追加	
	表1-9 64ピン製品の兼用機能 を追加	
	表1-10 64ピン製品の兼用機能2 を追加	
	表1-11 80ピン製品の兼用機能 を追加	
	表1-12 100ピン製品の兼用機能 を追加	
	表1-13 100ピン製品の兼用機能2 を追加	
	表1-14 128ピン製品の兼用機能 を追加	
	1.6 機能概要 【30ピン、32ピン、36ピン、40ピン、44ピン、48ピン製品】 を変更	
	1.6 機能概要 【52ピン、64ピン、80ピン、100ピン、128ピン製品】 を変更	
	Rev.1.20	2.2.2 機能説明 を変更
2.2.3 VBAT 端子 を追加		
図2-33 端子タイプ 12-38-1 の端子ブロック図 注意を削除		
図2-34 端子タイプ 12-38-2 の端子ブロック図 注意を変更		
図3-1 メモリ・マップ (R7F100GxF (x = A, B, C, E, F, G, J, L)) を変更		第3章 CPU アーキテクチャ
図3-1 メモリ・マップ (R7F100GxF (x = A, B, C, E, F, G, J, L)) 注3を変更、注4 を追加		
図3-2 メモリ・マップ (R7F100GxG (x = A, B, C, E, F, G, J, L, M, P)) を変更		
図3-2 メモリ・マップ (R7F100GxG (x = A, B, C, E, F, G, J, L, M, P)) 注3を変更、注4 を追加		

版数	内容	適用箇所
Rev.1.20	図3-3 メモリ・マップ (R7F100GxH (x = A, B, C, E, F, G, J, L, M, P)) を変更	第3章 CPU アーキテクチャ
	図3-3 メモリ・マップ (R7F100GxH (x = A, B, C, E, F, G, J, L, M, P)) 注3を変更、注4を追加	
	図3-4 メモリ・マップ (R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S)) を変更	
	図3-4 メモリ・マップ (R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S)) 注3を変更、注4を追加	
	図3-5 メモリ・マップ (R7F100GxK (x = F, G, J, L, M, P, S)) を変更	
	図3-5 メモリ・マップ (R7F100GxK (x = F, G, J, L, M, P, S)) 注3を変更、注4を追加	
	図3-6 メモリ・マップ (R7F100GxL (x = F, G, J, L, M, P, S)) を変更	
	図3-6 メモリ・マップ (R7F100GxL (x = F, G, J, L, M, P, S)) 注3を変更、注4を追加	
	図3-7 メモリ・マップ (R7F100GxN (x = F, G, J, L, M, P, S)) を変更	
	図3-7 メモリ・マップ (R7F100GxN (x = F, G, J, L, M, P, S)) 注3を変更、注4を追加	
	3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 注意2を変更	
	表3-6 拡張SFR (2nd SFR) 一覧を変更	
	4.4.5 入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応) 説明を追加	
4.4.5 入出力バッファによる異電位 (1.8 V系、2.5 V系、4 V系) 対応) (2) 説明を追加		
表4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ 96 KB・128 KBの30ピン製品～64ピン製品) を変更		
表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ 192 KB～768 KBの製品、フラッシュ・メモリ 128 KBの80ピン・100ピン製品) を変更	第6章 クロック発生回路	
図6-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット 注1, 2を追加		
図6-8 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2を追加		
6.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC) 説明を変更		
6.6.2 X1 発振回路の設定例 注意を変更	第7章 タイマ・アレイ・ユニット (TAU)	
図7-11 周辺イネーブル・レジスタ0 (PER0) のフォーマット 注1, 2を追加 および 注意2を変更		
図7-12 周辺リセット制御レジスタ0 (PRR0) のフォーマット 注1, 2 および 注意1, 2を追加		
7.3.17 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ を変更		
図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット 注意3を変更	第8章 リアルタイム・クロック (RTC)	
8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC) 説明を変更		
図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット 注意4を追加		
図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット 注意2を追加		
図8-6 秒カウント・レジスタ (SEC) のフォーマット 注意2を追加		

(27/32)

版数	内容	適用箇所
Rev.1.20	図8-7 分カウント・レジスタ (MIN) のフォーマット 注意2を追加	第8章 リアルタイム・クロック (RTC)
	図8-8 時カウント・レジスタ (HOUR) のフォーマット 注意3を追加	
	図8-9 日カウント・レジスタ (DAY) のフォーマット 注意2を追加	
	図8-10 曜日カウント・レジスタ (WEEK) のフォーマット 注意3を追加	
	図8-11 月カウント・レジスタ (MONTH) のフォーマット 注意2を追加	
	図8-12 年カウント・レジスタ (YEAR) のフォーマット 注意2を追加	
	図8-13 時計誤差補正レジスタ (SUBCUD) のフォーマット 注意2を追加	
	図8-14 アラーム分レジスタ (ALARMWMM) のフォーマット 注意を追加	
	図8-15 アラーム時レジスタ (ALARMWH) のフォーマット 注意2を追加	
	図8-16 アラーム曜日レジスタ (ALARMWW) のフォーマット 注意を追加	
	8.3.16 リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するレジスタ を変更	
	9.1 概要 (3) を変更	
	図9-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2 および 注意を追加	
	図9-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット 注 および 注意1, 2 を追加	
	図9-11 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) のフォーマット を変更 および 注8を追加	
	図9-15 キャプチャ動作例 説明を変更	第10章 クロック出力/ブザー出力制御回路 (PCLBUZ)
	10.3.2 クロック出力/ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ を変更	
	表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 備考を変更	第11章 ウォッチドッグ・タイマ (WDT)
	図12-3 周辺リセット制御レジスタ0 (PRR0) のフォーマット 注1, 2 および 注意1, 2を追加	第12章 A/Dコンバータ (ADC)
	表12-3 A/D変換時間の選択 (1)~(8) 注意1を変更	
	図12-10 12ビット/10ビットA/D変換結果レジスタ (ADCRn) のフォーマット 注意3を変更	
	12.3.12 A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ を変更	
	図12-42 SNOOZEモード機能時のブロック図 (ハードウェア・トリガ・ウエイト・モード時) 注を変更	
	図12-45 SNOOZEモード設定 (ハードウェア・トリガ) のフロー・チャート を変更	第13章 D/Aコンバータ (DAC)
	第13章 D/Aコンバータ (DAC) 説明を削除	
	図13-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2 を追加 および 注意2を変更	
	図13-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット 注を追加 および 注意2を変更	

(28/32)

版数	内容	適用箇所	
Rev.1.20	13.3.6 D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御するレジスタを変更	第13章 D/Aコンバータ (DAC)	
	図14-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2 および 注意2 を追加	第14章 コンパレータ (CMP)	
	図14-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット 注を追加 および 注意2を変更		
	14.3.6 コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するレジスタを変更		
	図15-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット 注1を追加 および 注意2を変更	第15章 シリアル・アレイ・ユニット (SAU)	
	図15-6 周辺リセット制御レジスタ0 (PRR0) のフォーマット 注1, 2 および 注意2 を追加		
	15.3.18 シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタを変更		
	図15-24 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定 注1を追加 および 注意2を変更		
	図15-71 スレーブ送受信 (連続送受信モード時) のフロー・チャートを変更		
	図15-84 UART (UART0-UART3) のUART受信時のレジスタ設定内容例を変更		
	15.6.3 SNOOZEモード機能 説明 および 注意4を変更		
	図15-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート 注意を変更		
	図16-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット 注1, 2を追加 および 注意1, 2を変更		第16章 シリアル・インタフェースIICA (IICA)
	図16-6 周辺リセット制御レジスタ0 (PRR0) のフォーマット 注1, 2 および 注意1, 2を追加		
	16.3.9 IICA入出力端子と端子を兼用するポートのポート機能を制御するレジスタを変更		
	図17-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2を追加 および 注意2を変更	第17章 シリアル・インタフェースUARTA (UARTA)	
	図17-10 UARTA0クロック選択レジスタ (UTA0CK) のフォーマット 注を追加		
	図17-11 UARTA1動作モードレジスタ (UTA1CK) のフォーマット 注を追加		
	17.2.12 シリアル・インタフェース入出力と端子を兼用するポートのポート機能を制御するレジスタを追加		
	図17-21 UART受信動作タイミングを変更		
	図18-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2を追加 および 注意を変更	第18章 リモコン信号受信機能 (REMC)	
	図18-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット 注を追加 および 注意2を変更		
	18.2.23 リモコン信号入力と端子を兼用するポートのポート機能を制御するレジスタを追加		
	18.3.4 動作クロック 説明を変更		
18.3.13 SNOOZEモード機能 備考を変更			

(29/32)

版数	内容	適用箇所
Rev.1.20	図19-5 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2 を追加 および 注意を変更	第19章 データ・トランスファ・コントローラ (DTC)
	表20-1 論理セルブロックL1の接続 (1) および 注1を変更	第20章 ロジック&イベント・リンク・コントローラ (ELCL)
	表20-3 論理セルブロックL2の接続 (1) 注1を変更	
	表20-5 論理セルブロックL3の接続 (1) 注1を変更	
	図20-5 入力信号選択レジスタn (ELISELn) (n = 0-11) のフォーマット (2/3), (3/3) および 注2を変更	
	表20-7 出力信号のイネーブル設定レジスタに対応するイベント受付側 (周辺機能) の接続 を変更	
	20.3.26 ロジック&イベント・リンク・コントローラ入出力と端子を兼用するポートのポート機能を制御するレジスタ を追加	
	図20-32 ELCL設定例 (OR回路) を変更	
	表20-8 ELCL設定レジスタ設定例 (OR回路) を変更	
	図20-33 ELCL設定例 (AND回路) を変更	
	表20-9 ELCL設定レジスタ設定例 (AND回路) を変更	
	21.3.6 割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ を追加	第21章 割り込み機能
	図22-3 キー・リターン・モード・レジスタ0 (KRM0) のフォーマット 注意4を追加	第22章 キー割り込み機能
	22.3.4 キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ を変更	
	図23-2 メモリ電力削減制御レジスタ (PSMCR) のフォーマット 注意4を追加	第23章 スタンバイ機能
	図23-7 STOPモードの割り込み要求発生による解除 (1/3) 注2を変更	
	図23-7 STOPモードの割り込み要求発生による解除 (2/3) 注2を変更	
	23.3.3 SNOOZEモード(1) を変更	第24章 リセット機能
	図24-7 周辺リセット制御レジスタ0 (PRR0) のフォーマット を変更 および 注1, 2、注意1 を追加	
	図24-8 周辺リセット制御レジスタ1 (PRR1) のフォーマット を変更 および 注、注意1を追加	
	26.1 電圧検出回路の機能 説明を変更	第26章 電圧検出回路 (LVD)
	図27-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット 注意を追加	第27章 安全機能
	図27-14 不正アクセス検出空間 を変更	
	図27-16 IAWCTL レジスタ・ガードレジスタ (GIAWCTL) のフォーマット を変更	
	27.3.10 A/Dテスト機能 説明を変更	
	図27-22 ポート・モード選択レジスタ (PMS) のフォーマット 注意3を追加	
	27.3.12 UARTループバック機能 説明を追加	
	図27-23 UARTループバック選択レジスタ (ULBS) のフォーマット を変更 および 注1, 2を削除	
	28.2.1 フラッシュ・リード・プロテクションの機能 説明を変更	第28章 セキュリティ機能
	28.2.2 フラッシュ・リード・プロテクションの設定 説明を変更	

版数	内容	適用箇所
Rev.1.20	表 28 - 1 フラッシュ・リード・プロテクトの設定と機能 を変更	第28章 セキュリティ機能
	表 28 - 2 フラッシュ・リード・プロテクションの設定方法 注意5を追加	
	図 28 - 4 フラッシュ・リード・プロテクションによる読み出し不可領域の設定例 説明を追加	
	図 29 - 1 SNOOZEモード・シーケンサのブロック図 を変更	第29章 SNOOZEモード・シーケンサ (SMS)
	図 29 - 2 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2 および 注意2 を追加	
	図 29 - 3 周辺リセット制御レジスタ1 (PRR1) のフォーマット 注を変更 および 注意1, 2を追加	
	表 29 - 2 SMSIpレジスタに設定できる処理の一覧 注3を変更	
	29.5 シーケンサ処理コマンド 説明を変更	
	29.5.2 8ビット・データ転送処理2 説明を変更	
	29.5.12 分岐処理1 (SCY = 1) 説明を変更	
	29.5.13 分岐処理2 (SCY = 0) 説明を変更	
	29.5.14 分岐処理3 (SZ = 1) 説明を変更	
	29.5.15 分岐処理4 (SZ = 0) 説明を変更	
	29.6 スタンバイ・モード時の動作 注意を追加	
	表 30 - 2 CTSUで使用する外部端子 を変更	第30章 静電容量センサユニット (CTSU2L)
	図 30 - 5 周辺イネーブル・レジスタ1 (PER1) のフォーマット 注1, 2 および 注意を追加	
	図 30 - 6 周辺リセット制御レジスタ1 (PRR1) のフォーマット を変更 および 注、注意1, 2を追加	
	30.2.3 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) 説明を変更	
	図 30 - 7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット を変更	
	30.2.4 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) 説明を変更	
	30.2.5 CTSU計測チャネルレジスタL, H (CTSUMCHL, CTSUMCHH) 説明を変更	
	30.2.6 CTSUチャネル有効制御レジスタAL, AH, BL, BH (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH) 説明を変更	
	30.2.7 CTSUチャネル送受信制御レジスタAL, AH, BL, BH (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH) 説明を変更	
	30.2.8 CTSUステータスレジスタL (CTSUSRL) 説明を変更	
	図 30 - 12 CTSUステータスレジスタL (CTSUSRL) のフォーマット を変更	
	30.2.9 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) 説明を追加	
	30.2.10 CTSUセンサカウンタレジスタL, H (CTSUSC, CTSUUC) 説明を追加	
	30.2.11 CTSUキャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) 説明を追加	
	30.2.12 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3) 説明を追加	
	30.2.13 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1) 説明を変更	

版数	内容	適用箇所
Rev.1.20	30.2.14 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3) 説明を変更	第30章 静電容量センサユニット (CTSU2L)
	30.2.15 静電容量センサ入出力と端子を兼用するポートのポート機能を制御するレジスタを追加	
	33.6 セルフ・プログラミングを変更	第33章 フラッシュ・メモリ
	図33-9 フラッシュ・アドレス・ポインタ・レジスタH, L (FLAPH, FLAPL) のフォーマット 注意2を変更	
	図33-10 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L (FLSEDH, FLSEDL) のフォーマット 注意2を変更	
	図33-11 フラッシュ・ライト・バッファ・レジスタH, L (FLWH, FLWL) のフォーマット 注意2を変更	
	図33-14 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット 注意を変更	
	図33-17 フラッシュ・シーケンサ制御レジスタ (FSSQ) のフォーマットを変更	
	図33-18 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) のフォーマット および 注意3を変更	
	図33-19 フラッシュ・レジスタ初期化レジスタ (FLRST) のフォーマット 注意1, 2を変更	
	図33-20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL) のフォーマットを変更	
	33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL) 説明を変更	
	図33-24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマットを変更	
	33.6.3 フラッシュ・メモリ制御モードの設定 説明 および 注意を変更	
	33.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化 説明を変更	
	図33-29 エクストラ領域書き換え時のコマンド実行フローを変更	
	33.6.9 セルフ・プログラミング時の注意事項 (2), (5) 説明を変更	
	33.7 ブート・スワップ機能 説明 および 注を変更	
	33.9 セキュリティ設定 説明を変更	
	33.10.1 データ・フラッシュの概要 説明および 注意2を変更	
	33.10.2 データ・フラッシュへのアクセス手順 注意3を変更	
	図34-2 デバッグ用モニタ・プログラムが配置されるメモリ空間を変更 および 注5を追加	
	第37章 電気的特性 タイトル名を変更 および 説明、注意1~4を追加	第37章 電気的特性
	37.1 絶対最大定格 を変更	
	37.2.1 X1発振回路特性 を変更	
	37.2.2 XT1発振回路特性 を追加	
	37.3.1 端子特性 および 注、注意を変更	
	37.3.2 電源電流特性 (1) 注3~5を変更	
	37.3.2 電源電流特性 (2) 注3~5を変更	
	37.3.2 電源電流特性 (3) 注3~5を変更	

(32/32)

版数	内容	適用箇所
Rev.1.20	37.3.2 電源電流特性 (4) を変更 および 注20を追加	第37章 電気的特性
	37.4 AC特性 を変更	
	37.6.1 A/Dコンバータ特性 (2) 低電圧モード1, 2 を変更、注7を追加	
	38.3 36ピン製品 変更	第38章 外形図
	38.8 64ピン製品 変更	
Rev.1.21	しおりを変更	全般
	表1-1 発注型名一覧を変更	第1章 概説

---

RL78/G23 ユーザーズマニュアル  
ハードウェア編

発行年月日 2020年5月15日 Rev.0.50  
2024年1月31日 Rev.1.30

発行 ルネサス エレクトロニクス株式会社  
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

---

RL78/G23